

## SNx4AHC32 クワッド 2 入力正論理 OR ゲート

### 1 特長

- 2V~5.5V の  $V_{CC}$  で動作
- 低消費電力、 $I_{CC}$  の最大値 10 $\mu$ A
- 5V で  $\pm 8$ mA の出力駆動能力
- JESD 17 準拠で 250mA 超のラッチアップ性能

### 2 アプリケーション

- デジタル信号のイネーブルまたはディスエーブル
- インジケータ LED の制御
- 通信モジュールとシステム・コントローラ間の変換

### 3 概要

SNx4AHC32 デバイスは、クワッド 2 入力正論理 OR ゲートです。これらのデバイスは、ブール関数  $Y = \overline{A} \times \overline{B}$  または  $Y = A + B$  を正論理で実行します。

#### 製品情報

部品番号	定格	パッケージ <sup>(1)</sup>
SN54AHC32	軍用	FK (LCCC, 20)
		J (CDIP, 14)
		W (CFP, 14)
SN74AHC32	商用	DB (SSOP, 14)
		DGV (TVSOP, 14)
		D (SOIC, 14)
		N (PDIP, 14)
		NS (SO, 14)
		PW (TSSOP, 14)
		RGY (VQFN, 14)
		BQA (WQFN, 14)

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。



論理図 (正論理)



## 目次

1 特長.....	1	7.3.3 クランプ・ダイオード構造.....	9
2 アプリケーション.....	1	7.4 デバイスの機能モード.....	10
3 概要.....	1	8 アプリケーションと実装.....	11
4 ピン構成と機能.....	3	8.1 アプリケーション情報.....	11
5 仕様.....	5	8.2 代表的なアプリケーション.....	11
5.1 絶対最大定格.....	5	8.2.1 設計要件.....	11
5.2 ESD 定格.....	5	8.2.2 詳細な設計手順.....	12
5.3 推奨動作条件.....	5	8.2.3 アプリケーション曲線.....	13
5.4 熱に関する情報.....	6	8.3 電源に関する推奨事項.....	13
5.5 電気的特性.....	6	8.4 レイアウト.....	13
5.6 スwitchング特性、 $V_{CC} = 3.3V \pm 0.3V$ .....	6	8.4.1 レイアウトのガイドライン.....	13
5.7 スwitchング特性、 $V_{CC} = 5V \pm 0.5V$ .....	7	8.4.2 レイアウト例.....	14
5.8 ノイズ特性.....	7	9 デバイスおよびドキュメントのサポート.....	14
5.9 動作特性.....	7	9.1 ドキュメントの更新通知を受け取る方法.....	14
6 パラメータ測定情報.....	8	9.2 サポート・リソース.....	14
7 詳細説明.....	9	9.3 商標.....	14
7.1 概要.....	9	9.4 静電気放電に関する注意事項.....	14
7.2 機能ブロック図.....	9	9.5 用語集.....	14
7.3 機能説明.....	9	10 改訂履歴.....	15
7.3.1 標準 CMOS 入力.....	9	11 メカニカル、パッケージ、および注文情報.....	15
7.3.2 平衡化された CMOS プッシュプル出力.....	9		

## 4 ピン構成と機能

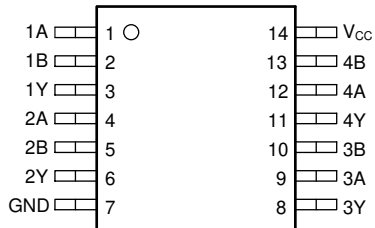


図 4-1. SN54AHC32 J または W  
SN74AHC32 D、DB、DGV、N、NS または PW パッケージ、14 ピン (上面図)

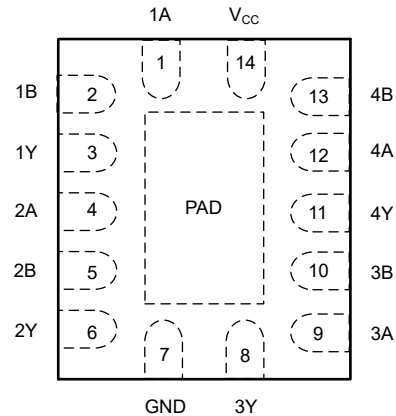


図 4-2. SN74AHC32 RGY または BQA パッケージ、14  
ピン (上面図)

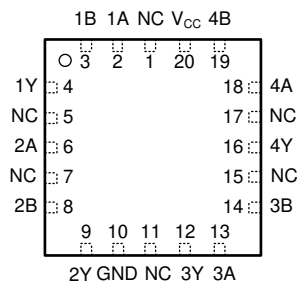


図 4-3. SN54AHC32 FK パッケージ、20 ピン (上面図)

表 4-1. ピンの機能

名称	ピン		種類 <sup>(1)</sup>	説明
	SN74AHC32 D、DB、DGV、N、NS、 PW、RGY、BQA	SN54AHC32 J、W      FK		
1A	1	1      2	I	1A 入力
1B	2	23    3	I	1B 入力
1Y	3	3      4	O	1Y 出力
2A	4	4      6	I	2A 入力
2B	5	5      8	I	2B 入力
2Y	6	6      9	O	2Y 出力
3A	9	9      13	I	3A 入力
3B	10	10    14	I	3B 入力
3Y	8	8      12	O	3Y 出力
4A	12	12    18	I	4A 入力
4B	13	13    19	I	4B 入力
4Y	11	11    16	O	4Y 出力
GND	7	7      10	—	グラウンド・ピン

表 4-1. ピンの機能 (続き)

名称	ピン		種類 <sup>(1)</sup>	説明
	SN74AHC32 D、DB、DGV、N、NS、 PW、RGY、BQA	SN54AHC32 J、W FK		
NC	—	—	1、5、7、 11、15、17	— 非接続
V <sub>CC</sub>	14	14	20	— パワー・ピン
サーマル・ パッド <sup>(2)</sup>	—	—	—	— サーマル・パッド

(1) 信号タイプ: I = 入力、O = 出力、I/O = 入力または出力。

(2) RGY および BQA パッケージのみ

## 5 仕様

### 5.1 絶対最大定格

自由空気での動作温度範囲内 (特に記述のない限り)<sup>(1)</sup>

	最小値	最大値	単位
電源電圧範囲、 $V_{CC}$	-0.5	7	V
入力電圧範囲、 $V_I$ <sup>(2)</sup>	-0.5	7	V
出力電圧範囲、 $V_O$ <sup>(2)</sup>	-0.5	$V_{CC} + 0.5$	V
入力クランプ電流、 $I_{IK}$ ( $V_I < 0$ )		-20	mA
出力クランプ電流、 $I_{OK}$ ( $V_O < 0$ または $V_O > V_{CC}$ )		$\pm 20$	mA
連続出力電流、 $I_O$ ( $V_O = 0 \sim V_{CC}$ )		$\pm 25$	mA
$V_{CC}$ または GND を通過する連続電流		$\pm 50$	mA
保管温度範囲、 $T_{stg}$	-65	150	°C

- (1) 「絶対最大定格」を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これらはいくまでもストレス評価であり、データシートの「推奨動作条件」に示された値と等しい、またはそれを超える条件で本製品が正しく動作することを暗黙的に示すものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
- (2) 入力と出力の電流定格を順守しても、入力と出力の電圧定格を超えることがあります。

### 5.2 ESD 定格

		値	単位
$V_{(ESD)}$ 静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 <sup>(1)</sup>	$\pm 2000$	V
	デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 <sup>(2)</sup>	$\pm 1000$	

- (1) JEDEC のドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
- (2) JEDEC のドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

### 5.3 推奨動作条件

		SN54AHC32		SN74AHC32		単位
		最小値	最大値	最小値	最大値	
$V_{CC}$	電源電圧	2	5.5	2	5.5	V
$V_{IH}$	High レベル入力電圧	$V_{CC} = 2V$	1.5	1.5		V
		$V_{CC} = 3V$	2.1	2.1		
		$V_{CC} = 5.5V$	3.85	3.85		
$V_{IL}$	Low レベル入力電圧	$V_{CC} = 2V$		0.5	0.5	V
		$V_{CC} = 3V$		0.9	0.9	
		$V_{CC} = 5.5V$		1.65	1.65	
$V_I$	入力電圧	0	5.5	0	5.5	V
$V_O$	出力電圧	0	$V_{CC}$	0	$V_{CC}$	V
$I_{OH}$	High レベル出力電流	$V_{CC} = 2V$		-50	-50	mA
		$V_{CC} = 3.3V \pm 0.3V$		-4	-4	
		$V_{CC} = 5V \pm 0.5V$		-8	-8	
$I_{OL}$	Low レベル出力電流	$V_{CC} = 2V$		50	50	mA
		$V_{CC} = 3.3V \pm 0.3V$		4	4	
		$V_{CC} = 5V \pm 0.5V$		8	8	
$\Delta t/\Delta v$	入力遷移の立ち上がりまたは立ち下がりレート	$V_{CC} = 3.3V \pm 0.3V$		100	100	ns/V
		$V_{CC} = 5V \pm 0.5V$		20	20	

**SN74AHC32, SN54AHC32**

JAJSQF7L – OCTOBER 1995 – REVISED FEBRUARY 2024

		SN54AHC32		SN74AHC32		単位
		最小値	最大値	最小値	最大値	
$T_A$	自由気流での動作温度	-55	125	-40	125	°C

**5.4 熱に関する情報**

熱評価基準 <sup>(1)</sup>		SNx4AHC32							単位	
		D <sup>(2)</sup>	DB <sup>(2)</sup>	DGV <sup>(2)</sup>	N <sup>(2)</sup>	NS <sup>(2)</sup>	PW <sup>(2)</sup>	RGY <sup>(3)</sup>		BQA
		14	14	14	14	14	14	14		14
$R_{\theta JA}$	接合部から周囲への熱抵抗	124.6	96	127	80	76	147.7	47	88.3	°C/W

- (1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーションレポートを参照してください。  
 (2) パッケージの熱インピーダンスは、JESD 51-7 に従って計算しています。  
 (3) パッケージの熱インピーダンスは、JESD 51-5 に従って計算しています

**5.5 電気的特性**

自由空気での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	$V_{CC}$	$T_A = 25^\circ\text{C}$		$T_A = -55^\circ\text{C} \sim 125^\circ\text{C}$		$T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$		$T_A = -40^\circ\text{C} \sim 125^\circ\text{C}$		単位	
			最小値	代表値	最大値	最小値	最大値	最小値	最大値	推奨		
										SN74AHC32		
$V_{OH}$	$I_{OH} = -50\mu\text{A}$	2V	1.9	2	1.9	1.9	1.9	1.9			V	
		3V	2.9	3	2.9	2.9	2.9	2.9				
		4.5V	4.4	4.5	4.4	4.4	4.4	4.4				
	$I_{OH} = -4\text{mA}$	3V	2.58		2.48	2.48	2.48					
	$I_{OH} = -8\text{mA}$	4.5V	3.94		3.8	3.8	3.8					
$V_{OL}$	$I_{OL} = 50\mu\text{A}$	2V		0.1		0.1		0.1	0.1			V
		3V		0.1		0.1		0.1	0.1			
		4.5V		0.1		0.1		0.1	0.1			
	$I_{OH} = 4\text{mA}$	3V		0.36		0.5		0.44	0.5			
	$I_{OH} = 8\text{mA}$	4.5V		0.36		0.5		0.44	0.5			
$I_I$	$V_I = 5.5\text{V}$ または GND	0V~5.5V		$\pm 0.1$		$\pm 1^{(1)}$		$\pm 1$	$\pm 1$			$\mu\text{A}$
$I_{CC}$	$V_I = V_{CC}$ または GND、 $I_O = 0$	5.5V		2		20		20	20			$\mu\text{A}$
$C_i$	$V_I = V_{CC}$ または GND	5V		2	10			10				pF

- (1) MIL-PRF-38535 に準拠した製品では、このパラメータについては、 $V_{CC} = 0\text{V}$  で出荷時のテストは行っていません。

**5.6 スイッチング特性、 $V_{CC} = 3.3\text{V} \pm 0.3\text{V}$** 

自由空気での推奨動作温度範囲内 (特に記述のない限り)、(図 6-1 を参照)

パラメータ	始点 (入力)	終点 (出力)	負荷容量	$T_A = 25^\circ\text{C}$		$T_A = -55^\circ\text{C} \sim 125^\circ\text{C}$		$T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$		$T_A = -40^\circ\text{C} \sim 125^\circ\text{C}$		単位
				代表値	最大値	最小値	最大値	最小値	最大値	推奨		
										SN74AHC32		
$t_{PLH}$	A または B	Y	$C_L = 15\text{pF}$	5.5 <sup>(1)</sup>	7.9 <sup>(1)</sup>	1 <sup>(1)</sup>	9.5 <sup>(1)</sup>	1	9.5	1	9.5	ns
$t_{PHL}$				5.5 <sup>(1)</sup>	7.9 <sup>(1)</sup>	1 <sup>(1)</sup>	9.5 <sup>(1)</sup>	1	9.5	1	9.5	
$t_{PLH}$	A または B	Y	$C_L = 50\text{pF}$	8	11.4	1	13	1	13	1	13	ns
$t_{PHL}$				8	11.4	1	13	1	13	1	13	

- (1) MIL-PRF-38535 に準拠した製品では、このパラメータについては、出荷時のテストは行っていません。

## 5.7 スイッチング特性、 $V_{CC} = 5V \pm 0.5V$

自由空気での推奨動作温度範囲内 (特に記述のない限り)、(図 6-1 を参照)

パラメータ	始点 (入力)	終点 (出力)	負荷 容量	$T_A = 25^\circ\text{C}$		$T_A = -55^\circ\text{C} \sim 125^\circ\text{C}$		$T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$		$T_A = -40^\circ\text{C} \sim 125^\circ\text{C}$		単位
						推奨		SN74AHC32		SN74AHC32		
				代表値	最大値	最小値	最大値	最小値	最大値	最小値	最大値	
$t_{PLH}$	A または B	Y	$C_L = 15\text{pF}$	3.8 <sup>(1)</sup>	5.5 <sup>(1)</sup>	1 <sup>(1)</sup>	6.5 <sup>(1)</sup>	1	6.5	1	6.5	ns
$t_{PHL}$				3.8 <sup>(1)</sup>	5.5 <sup>(1)</sup>	1 <sup>(1)</sup>	6.5 <sup>(1)</sup>	1	6.5	1	6.5	
$t_{PLH}$	A または B	Y	$C_L = 50\text{pF}$	5.3	7.5	1	8.5	1	8.5	1	8.5	ns
$t_{PHL}$				5.3	7.5	1	8.5	1	8.5	1	8.5	

## 5.8 ノイズ特性

$V_{CC} = 5V$ ,  $C_L = 50\text{pF}$ ,  $T_A = 25^\circ\text{C}$ <sup>(1)</sup>

パラメータ		SN74AHC32			単位
		最小値	代表値	最大値	
$V_{OL(P)}$	低ノイズ出力、動的電圧 $V_{OL}$ (最大値)		0.3	0.8	V
$V_{OL(V)}$	低ノイズ出力、動的電圧 $V_{OL}$ (最小値)	-0.3		-0.8	V
$V_{OH(V)}$	低ノイズ出力、動的電圧 $V_{OH}$ (最小値)		4.7		V
$V_{IH(D)}$	High レベル動的入力電圧		3.5		V
$V_{IL(D)}$	Low レベル動的入力電圧			1.5	V

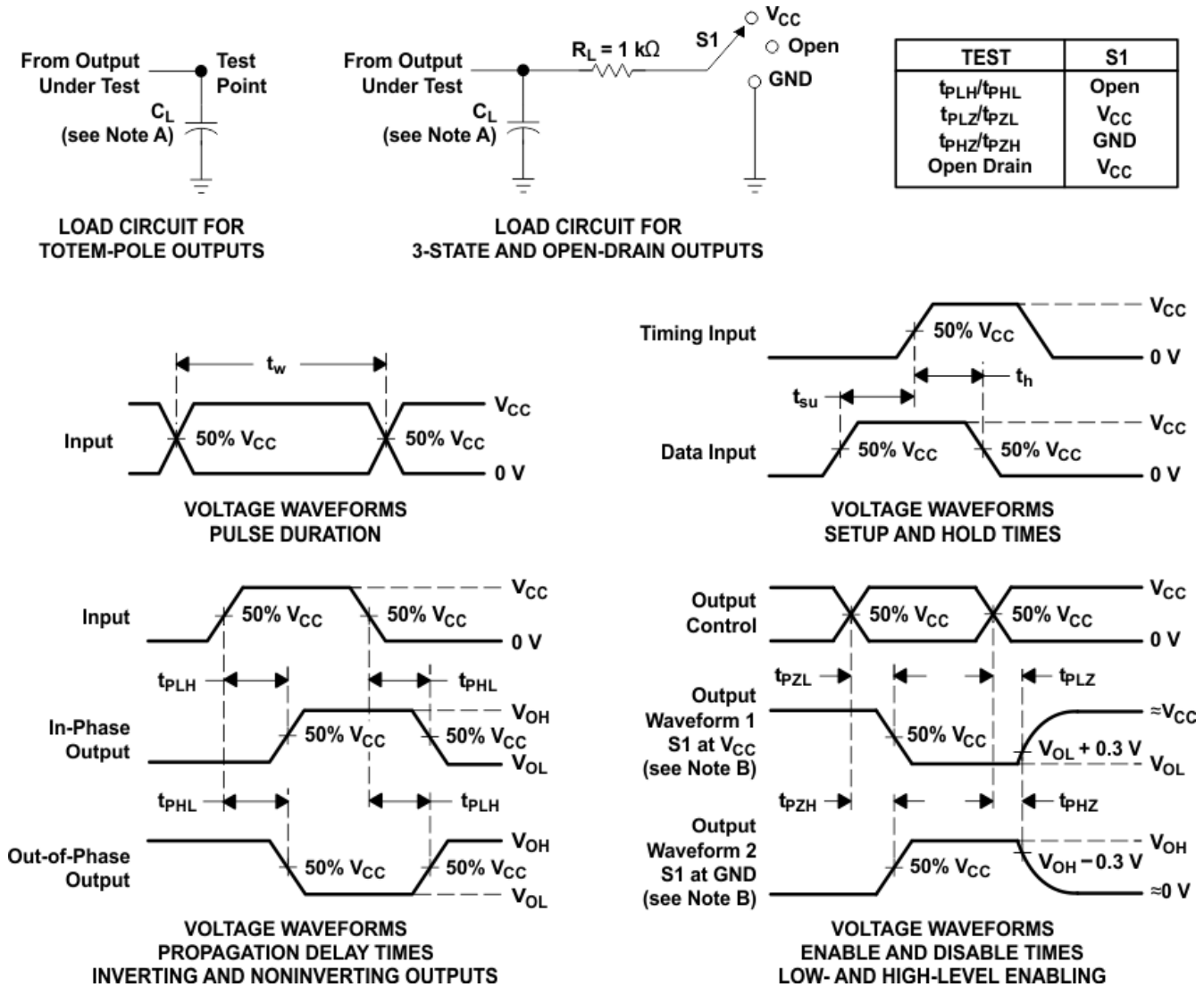
(1) 特性は表面実装パッケージのみが対象です。

## 5.9 動作特性

$V_{CC} = 5V$ ,  $T_A = 25^\circ\text{C}$

パラメータ		テスト条件		代表値	単位
$C_{pd}$	電力散逸容量	無負荷、	$f = 1\text{MHz}$	14	pF

## 6 パラメータ測定情報



- A.  $C_L$  にはプローブと治具の容量が含まれます。
- B. 波形 1 は、出力が Low になるような内部条件を持つ出力についてのものです。ただし、出力制御によってディセーブルされている場合は除きます。  
波形 2 は、出力が High になるような内部条件を持つ出力についてのものです。ただし、出力制御によってディセーブルされている場合は除きます。
- C. すべての入力パルスは、以下の特性を持つジェネレータから供給されます。PRR  $\leq$  1MHz、 $Z_0 = 50\Omega$ 、 $t_r \leq 3ns$ 、 $t_f \leq 3ns$ 。
- D. 出力は一度に 1 回ずつ測定され、測定するたびに入力が 1 回遷移します。
- E. すべてのパラメータと波形が、すべてのデバイスに適用できるわけではありません。

図 6-1. 負荷回路および電圧波形

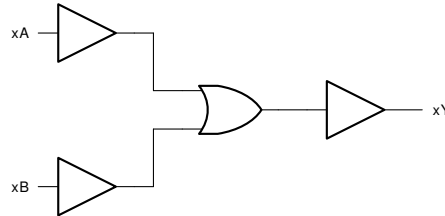


## 7 詳細説明

### 7.1 概要

SNx4AHC32 には、4 つの独立した 2 入力 OR ゲートが内蔵されています。各ゲートはブール関数  $Y = A + B$  を正論理で実行します。

### 7.2 機能ブロック図



### 7.3 機能説明

#### 7.3.1 標準 CMOS 入力

このデバイスには、標準 CMOS 入力 that 搭載されています。標準 CMOS 入力は高インピーダンスであり、通常は電気的特性に示されている入力容量と並列の抵抗としてモデル化されます。ワースト ケースの抵抗は、「絶対最大定格」に示されている最大入力電圧と、「電気的特性」に示されている最大入力リーク電流からオームの法則 ( $R = V \div I$ ) を使用して計算されます。

標準 CMOS 入力では、「推奨動作条件」表の入力遷移時間またはレートで定義されるように、有効なロジック状態間で入力信号を迅速に遷移させる必要があります。この仕様を満たさないと、消費電力が過剰になり、発振の原因となる可能性があります。詳細については、『[低速またはフローティング CMOS 入力の影響](#)』を参照してください。

動作中は、標準 CMOS 入力をフローティングのままにしないでください。未使用の入力は、 $V_{CC}$  または GND に終端させる必要があります。システムが入力を常にアクティブに駆動している訳ではない場合、システムが入力をアクティブに駆動していないときに有効な入力電圧を与えるため、プルアップまたはプルダウン抵抗を追加できます。抵抗値は複数の要因に依存しますが、10k $\Omega$  の抵抗を推奨します。通常はこれですべての要件を満たします。

#### 7.3.2 平衡化された CMOS プッシュプル出力

このデバイスには、平衡化された CMOS プッシュプル出力が内蔵されています。「平衡化」という用語は、デバイスが同様の電流をシンクおよびソースできることを示します。このデバイスの駆動能力により、軽負荷に高速エッジが生成される場合があるため、リングングを防ぐために配線と負荷の条件を考慮する必要があります。さらに、このデバイスの出力は、デバイスを損傷することなく維持できる以上に大きな電流を駆動できます。過電流による損傷を防止するため、デバイスの出力電力を制限することが重要です。「絶対最大定格」で定義されている電気的および熱的制限を常に順守してください。

未使用のプッシュプル CMOS 出力は、未接続のままにする必要があります。

#### 7.3.3 クランプ・ダイオード構造

図 7-1 に示すように、このデバイスへの出力には正と負の両方のクランプ・ダイオードがあり、このデバイスへの入力には負のクランプ・ダイオードのみがあります。

#### 注意

「絶対最大定格」表に規定されている値を超える電圧は、デバイスに損傷を与える可能性があります。入力と出力のクランプ電流の定格を順守しても、入力と出力の電圧定格を超えることがあります。

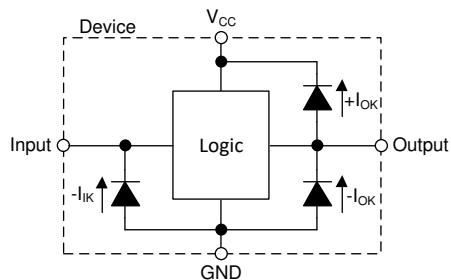


図 7-1. 各入力と出力に対するクランプ・ダイオードの電氣的配置

## 7.4 デバイスの機能モード

表 7-1 に、SNx4AHC32 の機能モードを示します。

表 7-1. 機能表

入力 <sup>(1)</sup>		出力 Y
A	B	
H	H	H
L	H	H
H	L	H
L	L	L

(1) H = High 電圧レベル、L = Low 電圧レベル、X = ドントケア、Z = 高インピーダンス

## 8 アプリケーションと実装

### 注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

### 8.1 アプリケーション情報

このアプリケーションでは、[図 8-1](#) に示すように、3 つの 2 入力 OR ゲートを組み合わせて、4 入力 OR ゲート機能を実現しています。4 番目のゲートは、システム内の別のアプリケーションで使用することも、入力を接地してチャンネルを未使用のままにすることもできます。

SNx4AHC32 は、ファン・ドライバのイネーブル・ピンを直接制御するために使用されています。ファン・ドライバは、いずれか 1 つの入力信号が High になるだけでイネーブルになります。また、すべての信号が Low になればディセーブルになる必要があります。この 4 入力 OR ゲート機能は、4 つの個別の過熱信号を 1 つのアクティブ High イネーブル信号に結合します。

温度センサは多くの場合、単一の場所に配置されるのではなく、システム全体に分散して配置されます。つまり、信号を通過させる配線の長さが長くなり、結果的にエッジ遷移が遅くなります。したがって、SNx4AHC32 は受信信号を合成する目的に適しています。

### 8.2 代表的なアプリケーション

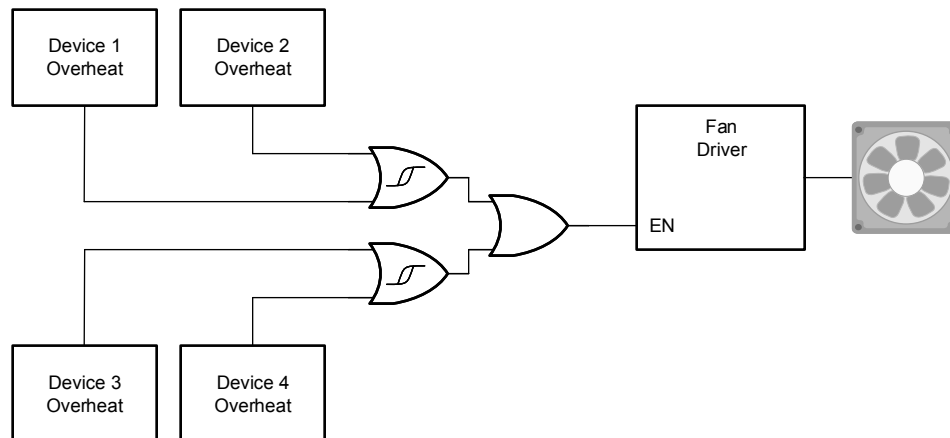


図 8-1. 代表的なアプリケーションのブロック図

#### 8.2.1 設計要件

##### 8.2.1.1 電源に関する考慮事項

目的の電源電圧が、「推奨動作条件」に規定された範囲に入っていることを確認します。「電気的特性」セクションに記載されているように、電源電圧は本デバイスの電気的特性を決定づけます。

正電圧の電源は、「電気的特性」に記載された静的消費電流 ( $I_{CC}$ ) の最大値、スイッチングに必要な任意の過渡電流の合計に等しい電流を供給できる必要があります。

グラウンドは、SNx4AHC32 のすべての出力によってシンクされる総電流、「電気的特性」に記載された消費電流 ( $I_{CC}$ ) の最大値、スイッチングに必要な任意の過渡電流の合計に等しい電流をシンクできる必要があります。論理デバイスは、グラウンド接続にシンク可能な電流量分のみをシンクできます。「絶対最大定格」に記載された GND 総電流の最大値を超えないようにしてください。

SNx4AHC32 は、データシートの仕様をすべて満たしつつ、合計容量 50pF 以下の負荷を駆動できます。これより大きな容量性負荷を印加することもできますが、50pF を超えることは推奨しません。

SNx4AHC32 は、「電気的特性」表に定義されている出力電圧および電流 ( $V_{OL}$ ) で、 $R_L \geq V_O / I_O$  で記述される合計抵抗の負荷を駆動できます。High 状態で出力する場合、式の出力電圧は、測定された出力電圧と  $V_{CC}$  ピンの電源電圧との差として定義されます。

総消費電力は、『CMOS の消費電力と CPD の計算』アプリケーション・ノートに記載されている情報を使用して計算できます。

熱上昇は、『標準リニアおよびロジック (SLL) パッケージおよびデバイスの熱特性』アプリケーション・ノートに記載されている情報を使用して計算できます。

#### 注意

「絶対最大定格」に記載されている最大接合部温度  $T_{J(max)}$  は、デバイスの損傷を防止するための追加の制限です。「絶対最大定格」に記載されたすべての制限値を必ず満たすようにしてください。これらの制限は、デバイスへの損傷を防ぐために規定されています。

#### 8.2.1.2 入力に関する検討事項

入力信号は、がロジック Low と見なされるように、がロジック High と見なされるように交差する必要があります。「絶対最大定格」に記載された最大入力電圧範囲を超えないようにしてください。

未使用の入力は、 $V_{CC}$  またはグラウンドに終端させる必要があります。入力がまったく使われていない場合は、未使用の入力を直接終端させることができます。入力が常時ではなく、時々使用される場合は、プルアップ抵抗かプルダウン抵抗と接続することも可能です。デフォルト状態が High の場合にはプルアップ抵抗、デフォルト状態が Low の場合にはプルダウン抵抗を使用します。コントローラの駆動電流、SNx4AHC32 へのリーク電流（「電気的特性」で規定）、および必要な入力遷移レートによって抵抗のサイズが制限されます。10k $\Omega$  の抵抗値は、こうした要因によりしばしば使用されます。

このデバイスの入力の詳細については、「機能説明」セクションを参照してください。

#### 8.2.1.3 出力に関する考慮事項

グラウンド電圧を使用して、出力 Low 電圧を生成します。出力に電流をシンクすると、「電気的特性」の  $V_{OL}$  仕様で規定されたように出力電圧が上昇します。

未使用の出力はフローティングのままにできます。出力を  $V_{CC}$  またはグラウンドに直接接続しないようにしてください。

本デバイスの出力の詳細については、「機能説明」セクションを参照してください。

#### 8.2.2 詳細な設計手順

1.  $V_{CC}$  と GND の間にデカップリング コンデンサを追加します。このコンデンサは、物理的にデバイスの近く、かつ  $V_{CC}$  ピンと GND ピンの両方に電気的に近づけて配置する必要があります。レイアウト例を「レイアウト」セクションに示します。
2. 出力の容量性負荷は、必ず 50pF 以下になるようにします。これは厳密な制限ではありませんが、設計上、性能が最適化されます。これは、SNx4AHC32 から 1 つまたは複数の受信デバイスまでのトレースを短い適切なサイズにすることで実現できます。
3. 出力の抵抗性負荷を ( $V_{CC}/I_{O(max)}$ ) $\Omega$  より大きくします。これを行うと、「絶対最大定格」の最大出力電流に違反するのを防ぐことができます。ほとんどの CMOS 入力は、M $\Omega$  単位で測定される抵抗性負荷を備えています。これは、上記で計算される最小値よりはるかに大きい値です。

4. 熱の問題がロジックゲートにとって問題となることはほとんどありません。ただし、消費電力と熱の上昇は、アプリケーションレポート『[CMOS 消費電力と CPD の計算](#)』に記載されている手順を使用して計算できます。

### 8.2.3 アプリケーション曲線

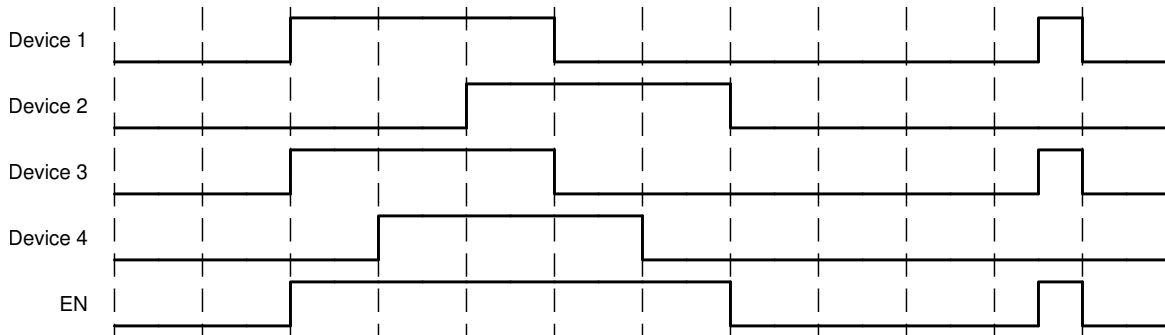


図 8-2. アプリケーションのタイミング図

### 8.3 電源に関する推奨事項

電源には、「推奨動作条件」に記載された電源電圧定格の最小値と最大値の間の任意の電圧を使用できます。電力障害を防止するため、各  $V_{CC}$  端子に適切なバイパス・コンデンサを配置する必要があります。このデバイスには  $0.1\mu\text{F}$  のコンデンサをお勧めします。複数のバイパス・コンデンサを並列に配置して、異なる周波数のノイズを除去することが可能です。一般的に、 $0.1\mu\text{F}$  と  $1\mu\text{F}$  のコンデンサは並列に使用されます。以下のレイアウト例に示すように、バイパス・コンデンサを電源端子のできるだけ近くに配置すると最適な結果が得られます。

### 8.4 レイアウト

#### 8.4.1 レイアウトのガイドライン

マルチ入力およびマルチチャネルのロジック・デバイスを使用する場合、入力をオープンのままにはしてはいけません。多くの場合、デジタル論理デバイスの機能または機能の一部は使用されません（たとえば、トリプル入力 AND ゲートの 2 入力のみを使用したり、4 つのバッファ・ゲートのうち 3 つのみを使用する場合）。このような未使用の入力ピンを未接続のままにすることはできません。外部接続の電圧が未確定の場合、動作状態が不定になるためです。デジタル論理デバイスの未使用入力はすべて、フローティングにならないよう、入力電圧の仕様で定義されているようにロジック High かロジック Low の電圧に接続する必要があります。特定の未使用の入力に対して適用が必要となるロジック・レベルは、デバイスの機能により異なります。一般に入力は、GND または  $V_{CC}$  のうち、ロジックの機能にとってより適切であるかより利便性の高い方に接続されます。

## 8.4.2 レイアウト例

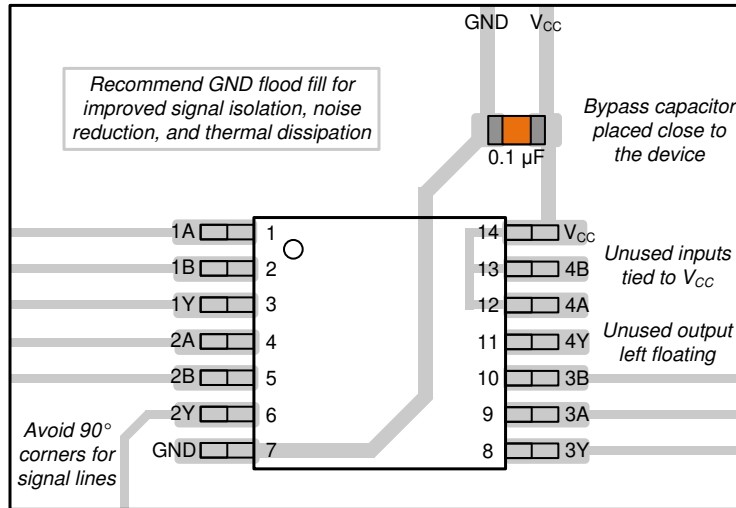


図 8-3. SNx4AHC32 のレイアウト例

## 9 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

### 9.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、[www.tij.co.jp](http://www.tij.co.jp) のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

### 9.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

### 9.3 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

### 9.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

### 9.5 用語集

#### テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

## 10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

<b>Changes from Revision K (October 2023) to Revision L (February 2024)</b>	<b>Page</b>
---	-------------

- |   |   |
|---|---|
| • R0JA の値を更新: D = 86~124.6、すべての値は°C/W 単位..... | 6 |
|---|---|

<b>Changes from Revision J (May 2023) to Revision K (October 2023)</b>	<b>Page</b>
--	-------------

- |   |   |
|---|---|
| • R0JA の値を更新: PW = 113~147.7、値はすべて°C/W..... | 6 |
|---|---|

## 11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに対して提供されている最新のデータです。このデータは、予告なしに、またドキュメントの改訂なしに変更される場合があります。本データシートのブラウザ版を使用している場合は、画面左側のナビゲーションをご覧ください。

## 重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適したテキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されているテキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかるテキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265  
Copyright © 2024, Texas Instruments Incorporated



**PACKAGING INFORMATION**

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
5962-9682501Q2A	ACTIVE	LCCC	FK	20	55	Non-RoHS & Green	SNPB	N / A for Pkg Type	-55 to 125	5962-9682501Q2A SNJ54AHC32FK	<a href="#">Samples</a>
5962-9682501QCA	ACTIVE	CDIP	J	14	25	Non-RoHS & Green	SNPB	N / A for Pkg Type	-55 to 125	5962-9682501QCA SNJ54AHC32J	<a href="#">Samples</a>
5962-9682501QDA	ACTIVE	CFP	W	14	25	Non-RoHS & Green	SNPB	N / A for Pkg Type	-55 to 125	5962-9682501QDA SNJ54AHC32W	<a href="#">Samples</a>
SN74AHC32BQAR	ACTIVE	WQFN	BQA	14	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AHC32	<a href="#">Samples</a>
SN74AHC32D	OBSOLETE	SOIC	D	14		TBD	Call TI	Call TI	-40 to 125	AHC32	
SN74AHC32DBR	ACTIVE	SSOP	DB	14	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HA32	<a href="#">Samples</a>
SN74AHC32DGVR	ACTIVE	TVSOP	DGV	14	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HA32	<a href="#">Samples</a>
SN74AHC32DR	ACTIVE	SOIC	D	14	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AHC32	<a href="#">Samples</a>
SN74AHC32N	ACTIVE	PDIP	N	14	25	RoHS & Green	NIPDAU	N / A for Pkg Type	-40 to 125	SN74AHC32N	<a href="#">Samples</a>
SN74AHC32NSR	ACTIVE	SOP	NS	14	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AHC32	<a href="#">Samples</a>
SN74AHC32PW	OBSOLETE	TSSOP	PW	14		TBD	Call TI	Call TI	-40 to 125	HA32	
SN74AHC32PWR	ACTIVE	TSSOP	PW	14	2000	RoHS & Green	NIPDAU   SN	Level-1-260C-UNLIM	-40 to 125	HA32	<a href="#">Samples</a>
SN74AHC32RGYR	ACTIVE	VQFN	RGY	14	3000	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	HA32	<a href="#">Samples</a>
SNJ54AHC32FK	ACTIVE	LCCC	FK	20	55	Non-RoHS & Green	SNPB	N / A for Pkg Type	-55 to 125	5962-9682501Q2A SNJ54AHC32FK	<a href="#">Samples</a>
SNJ54AHC32J	ACTIVE	CDIP	J	14	25	Non-RoHS & Green	SNPB	N / A for Pkg Type	-55 to 125	5962-9682501QCA SNJ54AHC32J	<a href="#">Samples</a>
SNJ54AHC32W	ACTIVE	CFP	W	14	25	Non-RoHS & Green	SNPB	N / A for Pkg Type	-55 to 125	5962-9682501QDA SNJ54AHC32W	<a href="#">Samples</a>

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
										SNJ54AHC32W	

(1) The marketing status values are defined as follows:

**ACTIVE:** Product device recommended for new designs.

**LIFEBUY:** TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

**NRND:** Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

**PREVIEW:** Device has been announced but is not in production. Samples may or may not be available.

**OBSELETE:** TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

**RoHS Exempt:** TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

**Green:** TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

**Important Information and Disclaimer:**The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

**OTHER QUALIFIED VERSIONS OF SN54AHC32, SN74AHC32 :**

- Catalog : [SN74AHC32](#)

- Enhanced Product : [SN74AHC32-EP](#), [SN74AHC32-EP](#)
- Military : [SN54AHC32](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product
- Enhanced Product - Supports Defense, Aerospace and Medical Applications
- Military - QML certified for Military and Defense Applications

**TAPE AND REEL INFORMATION**

**QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE**


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74AHC32BQAR	WQFN	BQA	14	3000	180.0	12.4	2.8	3.3	1.1	4.0	12.0	Q1
SN74AHC32DBR	SSOP	DB	14	2000	330.0	16.4	8.35	6.6	2.4	12.0	16.0	Q1
SN74AHC32DGVR	TVSOP	DGV	14	2000	330.0	12.4	6.8	4.0	1.6	8.0	12.0	Q1
SN74AHC32DR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
SN74AHC32DR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
SN74AHC32DR	SOIC	D	14	2500	330.0	12.4	3.75	3.75	1.15	8.0	12.0	Q1
SN74AHC32NSR	SOP	NS	14	2000	330.0	16.4	8.2	10.5	2.5	12.0	16.0	Q1
SN74AHC32PWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74AHC32PWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74AHC32PWR	TSSOP	PW	14	2000	330.0	12.4	6.85	5.45	1.6	8.0	12.0	Q1
SN74AHC32RGYR	VQFN	RGY	14	3000	330.0	12.4	3.75	3.75	1.15	8.0	12.0	Q1

**TAPE AND REEL BOX DIMENSIONS**


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74AHC32BQAR	WQFN	BQA	14	3000	210.0	185.0	35.0
SN74AHC32DBR	SSOP	DB	14	2000	356.0	356.0	35.0
SN74AHC32DGVR	TVSOP	DGV	14	2000	356.0	356.0	35.0
SN74AHC32DR	SOIC	D	14	2500	353.0	353.0	32.0
SN74AHC32DR	SOIC	D	14	2500	356.0	356.0	35.0
SN74AHC32DR	SOIC	D	14	2500	340.5	336.1	32.0
SN74AHC32NSR	SOP	NS	14	2000	356.0	356.0	35.0
SN74AHC32PWR	TSSOP	PW	14	2000	353.0	353.0	32.0
SN74AHC32PWR	TSSOP	PW	14	2000	356.0	356.0	35.0
SN74AHC32PWR	TSSOP	PW	14	2000	366.0	364.0	50.0
SN74AHC32RGYR	VQFN	RGY	14	3000	356.0	356.0	35.0

**TUBE**


\*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
5962-9682501Q2A	FK	LCCC	20	55	506.98	12.06	2030	NA
5962-9682501QDA	W	CFP	14	25	506.98	26.16	6220	NA
SN74AHC32N	N	PDIP	14	25	506	13.97	11230	4.32
SN74AHC32N	N	PDIP	14	25	506	13.97	11230	4.32
SNJ54AHC32FK	FK	LCCC	20	55	506.98	12.06	2030	NA
SNJ54AHC32W	W	CFP	14	25	506.98	26.16	6220	NA



# D0014A

# PACKAGE OUTLINE

## SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4220718/A 09/2016

### NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.

# EXAMPLE BOARD LAYOUT

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE  
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



# EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE  
BASED ON 0.125 mm THICK STENCIL  
SCALE:8X

4220718/A 09/2016


NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

RGY (S-PVQFN-N14)

PLASTIC QUAD FLATPACK NO-LEAD



- NOTES:
- A. All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M-1994.
  - B. This drawing is subject to change without notice.
  - C. QFN (Quad Flatpack No-Lead) package configuration.
  - D. The package thermal pad must be soldered to the board for thermal and mechanical performance.
  - E. See the additional figure in the Product Data Sheet for details regarding the exposed thermal pad features and dimensions.
  -  Pin 1 identifiers are located on both top and bottom of the package and within the zone indicated. The Pin 1 identifiers are either a molded, marked, or metal feature.
  - G. Package complies to JEDEC MO-241 variation BA.

RGY (S-PVQFN-N14)

PLASTIC QUAD FLATPACK NO-LEAD

**THERMAL INFORMATION**

This package incorporates an exposed thermal pad that is designed to be attached directly to an external heatsink. The thermal pad must be soldered directly to the printed circuit board (PCB). After soldering, the PCB can be used as a heatsink. In addition, through the use of thermal vias, the thermal pad can be attached directly to the appropriate copper plane shown in the electrical schematic for the device, or alternatively, can be attached to a special heatsink structure designed into the PCB. This design optimizes the heat transfer from the integrated circuit (IC).

For information on the Quad Flatpack No-Lead (QFN) package and its advantages, refer to Application Report, QFN/SON PCB Attachment, Texas Instruments Literature No. SLUA271. This document is available at [www.ti.com](http://www.ti.com).

The exposed thermal pad dimensions for this package are shown in the following illustration.



Bottom View

Exposed Thermal Pad Dimensions

4206353-2/P 03/14

NOTE: All linear dimensions are in millimeters

RGY (S-PVQFN-N14)

PLASTIC QUAD FLATPACK NO-LEAD



4208122-2/P 03/14

- NOTES:
- All linear dimensions are in millimeters.
  - This drawing is subject to change without notice.
  - Publication IPC-7351 is recommended for alternate designs.
  - This package is designed to be soldered to a thermal pad on the board. Refer to Application Note, Quad Flat-Pack QFN/SON PCB Attachment, Texas Instruments Literature No. SLUA271, and also the Product Data Sheets for specific thermal information, via requirements, and recommended board layout. These documents are available at [www.ti.com](http://www.ti.com) <<http://www.ti.com>>.
  - Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC 7525 for stencil design considerations.
  - Customers should contact their board fabrication site for minimum solder mask web tolerances between signal pads.

## GENERIC PACKAGE VIEW

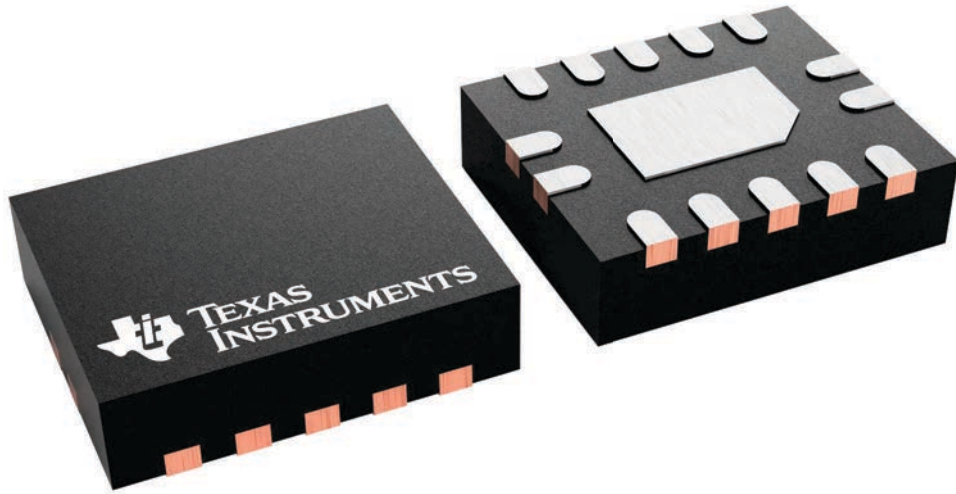
**BQA 14**

**WQFN - 0.8 mm max height**

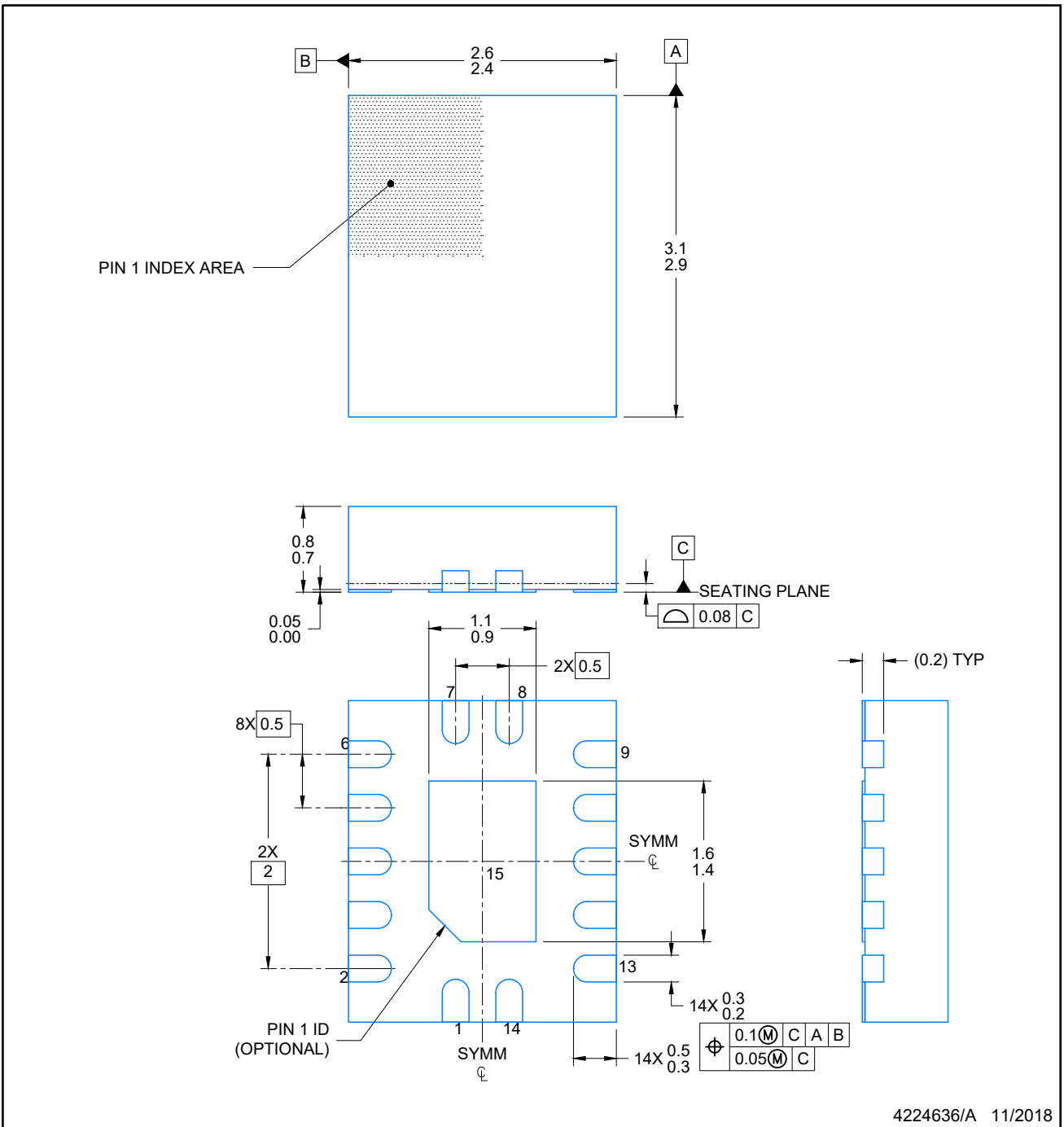
2.5 x 3, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.  
Refer to the product data sheet for package details.



4227145/A



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.

# EXAMPLE BOARD LAYOUT

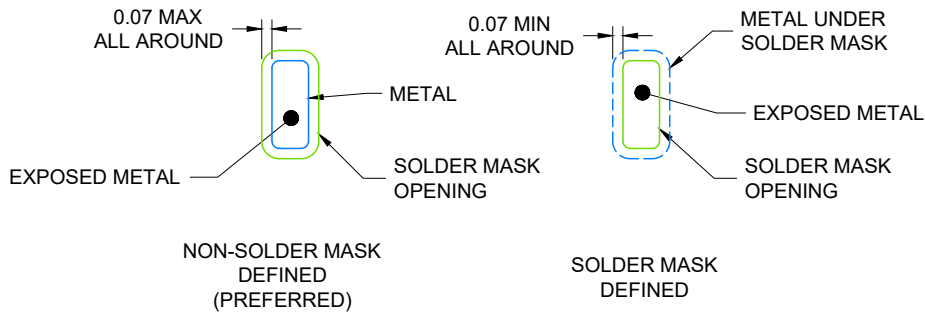
WQFN - 0.8 mm max height

BQA0014A

PLASTIC QUAD FLAT PACK-NO LEAD



LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE: 20X



4224636/A 11/2018

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 ([www.ti.com/lit/sluea271](http://www.ti.com/lit/sluea271)).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

# EXAMPLE STENCIL DESIGN

BQA0014A

WQFN - 0.8 mm max height

PLASTIC QUAD FLAT PACK-NO LEAD



SOLDER PASTE EXAMPLE  
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD  
88% PRINTED COVERAGE BY AREA  
SCALE: 20X

4224636/A 11/2018

NOTES: (continued)

- 6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.



# MECHANICAL DATA

NS (R-PDSO-G\*\*)

PLASTIC SMALL-OUTLINE PACKAGE

14-PINS SHOWN



- NOTES:
- A. All linear dimensions are in millimeters.
  - B. This drawing is subject to change without notice.
  - C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15.

W (R-GDFP-F14)

CERAMIC DUAL FLATPACK



4040180-2/F 04/14

- NOTES:
- A. All linear dimensions are in inches (millimeters).
  - B. This drawing is subject to change without notice.
  - C. This package can be hermetically sealed with a ceramic lid using glass frit.
  - D. Index point is provided on cap for terminal identification only.
  - E. Falls within MIL STD 1835 GDFP1-F14

# DB0014A



# PACKAGE OUTLINE

## SSOP - 2 mm max height

SMALL OUTLINE PACKAGE



### NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-150.

# EXAMPLE BOARD LAYOUT

DB0014A

SSOP - 2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE: 10X



4220762/A 05/2024

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

# EXAMPLE STENCIL DESIGN

DB0014A

SSOP - 2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE  
BASED ON 0.125 mm THICK STENCIL  
SCALE: 10X

4220762/A 05/2024

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

N (R-PDIP-T\*\*)

PLASTIC DUAL-IN-LINE PACKAGE

16 PINS SHOWN



- NOTES:
- A. All linear dimensions are in inches (millimeters).
  - B. This drawing is subject to change without notice.
  - Falls within JEDEC MS-001, except 18 and 20 pin minimum body length (Dim A).
  - The 20 pin end lead shoulder width is a vendor option, either half or full width.

PW0014A



**PACKAGE OUTLINE**  
**TSSOP - 1.2 mm max height**

SMALL OUTLINE PACKAGE



4220202/B 12/2023

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.

# EXAMPLE BOARD LAYOUT

PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE: 10X



4220202/B 12/2023

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



# EXAMPLE STENCIL DESIGN

PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE  
BASED ON 0.125 mm THICK STENCIL  
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

## GENERIC PACKAGE VIEW

**FK 20**

**LCCC - 2.03 mm max height**

8.89 x 8.89, 1.27 mm pitch

LEADLESS CERAMIC CHIP CARRIER

This image is a representation of the package family, actual package may vary.  
Refer to the product data sheet for package details.



4229370VA\

J 14

**GENERIC PACKAGE VIEW**  
**CDIP - 5.08 mm max height**  
CERAMIC DUAL IN LINE PACKAGE



Images above are just a representation of the package family, actual package may vary.  
Refer to the product data sheet for package details.

4040083-5/G

J0014A



# PACKAGE OUTLINE

CDIP - 5.08 mm max height

CERAMIC DUAL IN LINE PACKAGE



4214771/A 05/2017

NOTES:

1. All controlling linear dimensions are in inches. Dimensions in brackets are in millimeters. Any dimension in brackets or parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This package is hermetically sealed with a ceramic lid using glass frit.
4. Index point is provided on cap for terminal identification only and on press ceramic glass frit seal only.
5. Falls within MIL-STD-1835 and GDIP1-T14.

# EXAMPLE BOARD LAYOUT

J0014A

CDIP - 5.08 mm max height

CERAMIC DUAL IN LINE PACKAGE



LAND PATTERN EXAMPLE  
NON-SOLDER MASK DEFINED  
SCALE: 5X



4214771/A 05/2017

## 重要なお知らせと免責事項

TI は、技術データと信頼性データ（データシートを含みます）、設計リソース（リファレンス・デザインを含みます）、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](#) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265  
Copyright © 2024, Texas Instruments Incorporated