

SN74AHCT126-Q1 車載対応、シングル・バス・バッファ・ゲート、3 ステート出力搭載

1 特長

- 車載アプリケーション用に認定済み
- 動作範囲: 3V~5.5V
- 最大 t_{pd} 6ns (5V 時)
- 低消費電力、最大 I_{CC} 10 μ A
- 5V で $\pm 8mA$ の出力駆動能力
- 入力は TTL 電圧互換

2 アプリケーション

- デジタル信号のイネーブルまたはディセーブル
- インジケータ LED の制御
- 通信モジュールとシステム・コントローラの間の変換

3 概要

SN74AHCT1G126 は、3 ステート出力を搭載したシングル・バス・バッファ・ゲート / ライン・ドライバです。

パッケージ情報

部品番号	パッケージ ⁽¹⁾	パッケージ・サイズ ⁽²⁾	本体サイズ ⁽³⁾
SN74AHCT1G126-Q1	DBV (SOT-23, 5)	2.9mm × 2.8mm	2.9mm × 1.6mm
	DCK (SOT-SC70, 5)	2mm × 2.1mm	2mm × 1.25mm

- (1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
- (2) パッケージ・サイズ (長さ × 幅) は公称値で、該当する場合はピンも含まれます。
- (3) 本体サイズ (長さ × 幅) は公称値であり、ピンは含まれていません。

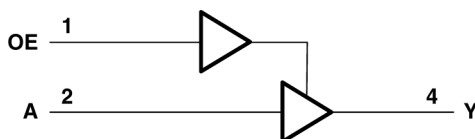


図 3-1. 論理図 (正論理)

目次

1 特長.....	1	8.1 概要.....	8
2 アプリケーション.....	1	8.2 機能ブロック図.....	8
3 概要.....	1	8.3 デバイスの機能モード.....	8
4 改訂履歴.....	2	9 アプリケーションと実装.....	9
5 ピン構成および機能.....	3	9.1 アプリケーション情報.....	9
6 仕様.....	4	9.2 代表的なアプリケーション.....	9
6.1 絶対最大定格.....	4	9.3 電源に関する推奨事項.....	11
6.2 ESD 定格.....	4	9.4 レイアウト.....	11
6.3 推奨動作条件.....	4	10 デバイスおよびドキュメントのサポート.....	12
6.4 熱に関する情報.....	5	10.1 ドキュメントのサポート (アナログ).....	12
6.5 電気的特性.....	5	10.2 ドキュメントの更新通知を受け取る方法.....	12
6.6 スイッチング特性、 $V_{CC} = 3 V \pm 0.3V$	5	10.3 サポート・リソース.....	12
6.7 スイッチング特性、 $V_{CC} = 5V \pm 0.5V$	6	10.4 商標.....	12
6.8 動作特性.....	6	10.5 静電気放電に関する注意事項.....	12
7 パラメータ測定情報.....	7	10.6 用語集.....	12
8 詳細説明.....	8	11 メカニカル、パッケージ、および注文情報.....	12

4 改訂履歴

Changes from Revision C (February 2008) to Revision D (October 2023)	Page
• 「アプリケーション」セクションを追加	1
• 「パッケージ情報」表に DBV パッケージを追加	1
• 「ピン構成および機能」セクションに DBV パッケージを追加	3
• DBV パッケージの熱特性値を追加: $R\theta JA = 278.0^{\circ}C/W$	5
• 「アプリケーションと実装」セクションを追加	9

Changes from Revision B (February 2008) to Revision C (July 2023)	Page
• 「パッケージ情報」表、「ピンの機能」表、「ESD 定格」表、「熱に関する情報」表、「デバイスの機能モード」セクション、「デバイスおよびドキュメントのサポート」セクション、「メカニカル、パッケージ、および注文情報」セクションを追加	1
• DCK パッケージの熱特性値を $R\theta JA = 252$ から 293.4 に更新、値はすべて $^{\circ}C/W$	5

5 ピン構成および機能

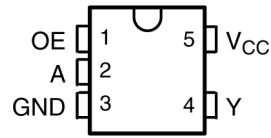


図 5-1. DBV パッケージ、SOT-23 DCK パッケージ、5 ピン SOT SC-70 (上面図)

ピン		タイプ	説明
番号	名称		
1	OE	I	出力イネーブル
2	A	I	入力 A
3	GND	—	グラウンド・ピン
4	Y	O	出力 Y
5	V _{CC}	—	パワー・ピン

6 仕様

6.1 絶対最大定格

自由空気での動作温度範囲内 (特に記述のない限り)⁽¹⁾

		最小値	最大値	単位
V _{CC}	電源電圧範囲	-0.5	7	V
V _I ⁽²⁾	入力電圧範囲	-0.5	7	V
V _O ⁽²⁾	出力電圧範囲	-0.5	V _{CC} + 0.5	V
I _{IK}	入力クランプ電流	(V _I < 0)	-20	mA
I _{OK}	出力クランプ電流	(V _O < 0 または V _O > V _{CC})	±20	mA
I _O	連続出力電流	(V _O = 0 ~ V _{CC})	±25	mA
V _{CC} または GND を通過する連続電流			±50	mA
T _{stg}	保管温度範囲	-65	150	°C

(1) 「絶対最大定格」に示された値を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これらは、ストレス定格のみを示すものであり、これらの条件や「推奨動作条件」に示された値を超える条件で、本製品が機能することを意味するものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。

(2) 入力と出力の電流定格を順守しても、入力と出力の電圧定格を超えることがあります。

6.2 ESD 定格

		値	単位
V _(ESD)	静電気放電	人体モデル (HBM) ⁽¹⁾	±2000
		デバイス帯電モデル (CDM)	±1000

(1) AEC Q100-002 は、HBM ストレス試験を ANSI/ESDA/JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

6.3 推奨動作条件

自由空気での推奨動作温度範囲内 (特に記述のない限り)⁽¹⁾

		最小値	最大値	単位
V _{CC}	電源電圧	3	5.5	V
V _{IH}	High レベル入力電圧	V _{CC} = 3.0V	1.4	V
		V _{CC} = 4.5V ~ 5.5V	2	
V _{IL}	Low レベル入力電圧	V _{CC} = 3.0V	0.53	V
		V _{CC} = 4.5V ~ 5.5V	0.8	
V _I	入力電圧	0	5.5	V
V _O	出力電圧	0	V _{CC}	V
I _{OH}	High レベル出力電流		-8	mA
I _{OL}	Low レベル出力電流		8	mA
Δt/Δv	入力遷移の立ち上がりレートと立ち下がりレート		20	ns/V
T _A	自由気流での動作温度	-40	125	°C

(1) デバイスが適切に動作するように、デバイスの未使用の入力はすべて、V_{CC} または GND に固定する必要があります。テキサス・インスツルメンツのアプリケーション・レポート『低速またはフローティング CMOS 入力の影響』(文献番号 SCBA004) を参照してください。

6.4 熱に関する情報

熱評価基準 ⁽¹⁾		DBV (SOT-23)	DCK (SC-70)	単位
		5ピン	5ピン	
R _{θJA}	接合部から周囲への熱抵抗	278.0	293.4	°C/W

(1) 従来および新しい熱評価基準値の詳細については、『IC パッケージの熱評価基準』アプリケーション・レポート (SPRA953) を参照してください。

6.5 電気的特性

自由気流での推奨動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件		V _{CC}	T _A = 25°C			最小値	最大値	単位
				最小値	代表値	最大値			
V _{OH}	I _{OH} = -50μA		3V	2.9	3		2.9	V	
			4.5V	4.4	4.5		4.4		
	I _{OH} = -4mA		3V	2.58			2.34		
			4.5V	3.94			3.66		
V _{OL}	I _{OL} = 50μA		3V および 4.5V	0.1			0.1	V	
	I _{OL} = 4mA		3V	0.36			0.52		
	I _{OL} = 8mA		4.5V	0.36			0.52		
I _I	V _I = 5.5V または GND		0V ~ 5.5V	±0.1			±1	μA	
I _{OZ}	V _O = V _{CC} または GND		5.5V	±0.25			±2.5	μA	
I _{CC}	V _I = V _{CC} または GND、	I _O = 0、	OE が High または Low	3V および 5.5V	1			10	μA
ΔI _{CC} ⁽¹⁾	3.4V の単一入力、	V _{CC} または GND のその他の入力		5.5V	1.35			1.5	mA
C _i	V _I = V _{CC} または GND		5V	4			10	10	pF
C _O	V _O = V _{CC} または GND		5V	10					pF

(1) これは、0V や V_{CC} ではなく、規定された TTL 電圧レベルのいずれかにおける各入力の電源電流の増加量です。

6.6 スイッチング特性、V_{CC} = 3 V ± 0.3V

自由気流での推奨動作温度範囲内、V_{CC} = 3V ± 0.3V (特に記述のない限り) (負荷回路および電圧波形を参照)

パラメータ	始点 (入力)	終点 (出力)	負荷容量	T _A = 25°C			最小値	最大値	単位
				最小値	代表値	最大値			
t _{PLH}	A	Y	C _L = 15pF	5.6			8	12	ns
t _{PHL}				5.6			8	12	
t _{PZH}	OE	Y	C _L = 15pF	5.4			8	11.5	ns
t _{PZL}				5.4			8	11.5	
t _{PHZ}	OE	Y	C _L = 15pF	6.5			9.7	14.5	ns
t _{PLZ}				6.5			9.7	14.5	
t _{PLH}	A	Y	C _L = 50pF	8.1			11.5	16	ns
t _{PHL}				8.1			11.5	16	
t _{PZH}	OE	Y	C _L = 50pF	7.9			11.5	15	ns
t _{PZL}				7.9			11.5	15	
t _{PHZ}	OE	Y	C _L = 50pF	8			13.2	18	ns
t _{PLZ}				8			13.2	18	

6.7 スイッチング特性、 $V_{CC} = 5V \pm 0.5V$

自由気流での推奨動作温度範囲内、 $V_{CC} = 5V \pm 0.5V$ (特に記述のない限り) (負荷回路および電圧波形を参照)

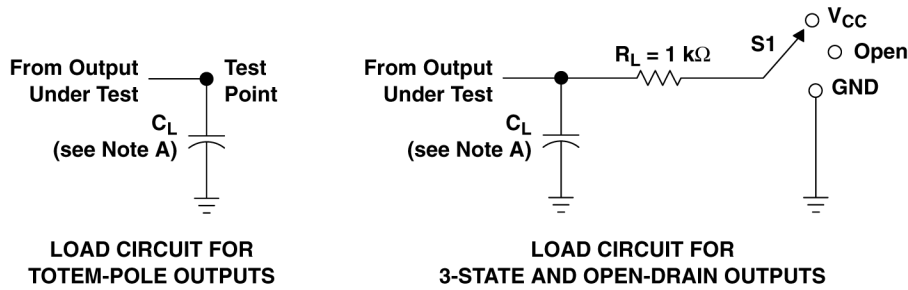
パラメータ	始点 (入力)	終点 (出力)	負荷容量	$T_A = 25^\circ\text{C}$			最小値	最大値	単位
				最小値	代表値	最大値			
t_{PLH}	A	Y	$C_L = 15\text{pF}$		3.8	5.5		8.5	ns
t_{PHL}					3.8	5.5			
t_{PZH}	OE	Y	$C_L = 15\text{pF}$		3.6	5.1		7.5	ns
t_{PZL}					3.6	5.1			
t_{PHZ}	OE	Y	$C_L = 15\text{pF}$		4.8	6.8		10	ns
t_{PLZ}					4.8	6.8			
t_{PLH}	A	Y	$C_L = 50\text{pF}$		5.3	7.5		10.5	ns
t_{PHL}					5.3	7.5			
t_{PZH}	OE	Y	$C_L = 50\text{pF}$		5.1	7.1		9.5	ns
t_{PZL}					5.1	7.1			
t_{PHZ}	OE	Y	$C_L = 50\text{pF}$		7	8.8		12	ns
t_{PLZ}					7	8.8			

6.8 動作特性

$V_{CC} = 5V$ 、 $T_A = 25^\circ\text{C}$

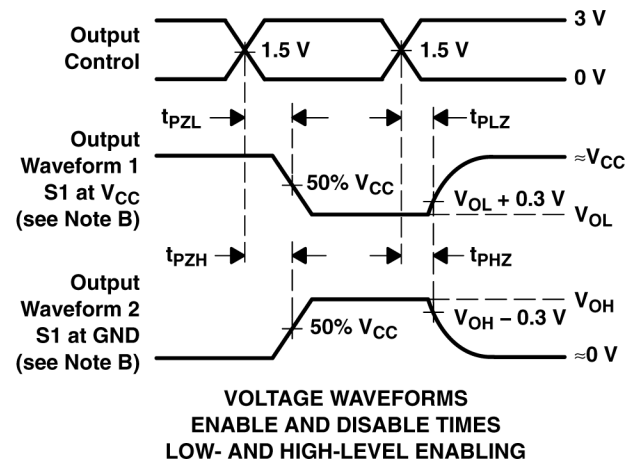
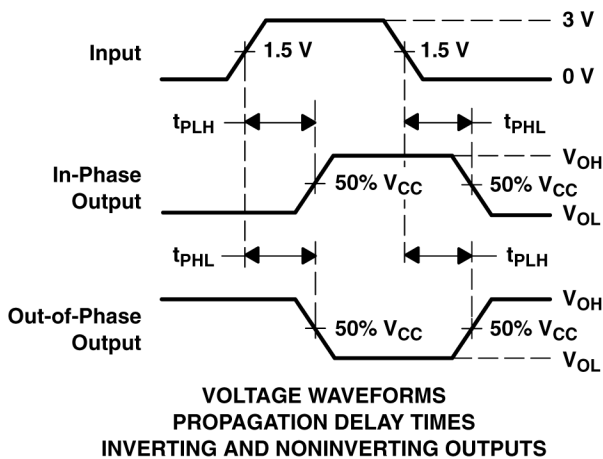
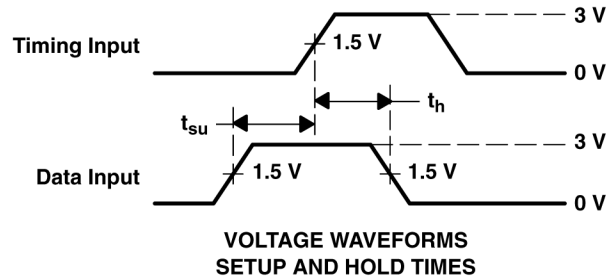
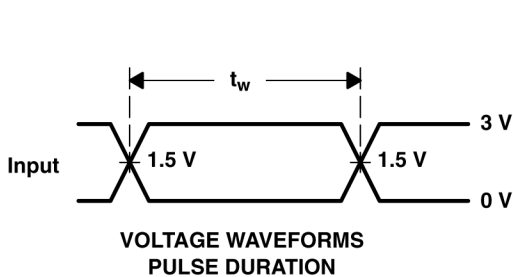
パラメータ	テスト条件	代表値	単位
C_{pd} 電力散逸容量	無負荷、 $f = 1\text{MHz}$	14	pF

7 パラメータ測定情報



LOAD CIRCUIT FOR
TOTEM-POLE OUTPUTS

LOAD CIRCUIT FOR
3-STATE AND OPEN-DRAIN OUTPUTS



- A. C_L にはプローブと治具の容量が含まれます。
- B. 波形 1 は、出力が Low になるような内部条件を持つ出力についてのものです。ただし、出力制御によってディセーブルされている場合は除きます。波形 2 は、出力が High になるような内部条件を持つ出力についてのものです。ただし、出力制御によってディセーブルされている場合は除きます。
- C. すべての入力パルスは、以下の特性を持つジェネレータから供給されます。PRR \leq 1MHz、 $Z_O = 50\Omega$ 、 $t_r \leq 3ns$ 、 $t_f \leq 3ns$ 。
- D. 出力は一度に 1 回ずつ測定され、測定するたびに入力が 1 回遷移します。
- E. すべてのパラメータと波形が、すべてのデバイスに適用できるわけではありません。

図 7-1. 負荷回路および電圧波形

テスト	S1
t_{PLH}/t_{PHL}	オープン
t_{PLZ}/t_{PZL}	V_{CC}
t_{PHZ}/t_{PZH}	GND
オープン・ドレイン	V_{CC}

8 詳細説明

8.1 概要

SN74AHCT1G126 は、3 ステート出力を搭載したシングル・バス・バッファ・ゲート / ライン・ドライバです。出力イネーブル (OE) 入力が Low の場合、出力はディセーブルになります。OE が High の場合、真のデータが A 入力から Y 出力に渡されます。

電源オンまたは電源オフ時に高インピーダンス状態を確保するため、OE をプルダウン抵抗経路で GND に接続する必要があります。この抵抗の最小値は、ドライバの電流ソース能力によって決まります。

8.2 機能ブロック図

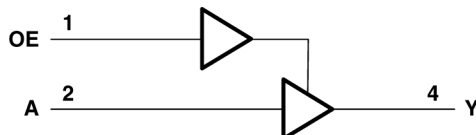


図 8-1. 論理図 (正論理)

8.3 デバイスの機能モード

表 8-1. 機能表

入力		出力
OE	A	Y
H	H	H
H	L	L
L	X	Z

9 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 アプリケーション情報

このアプリケーションでは、「代表的なアプリケーションのブロック図」に示すように、3 ステート出力のバッファを使用してデータ信号をディセーブルします。

9.2 代表的なアプリケーション

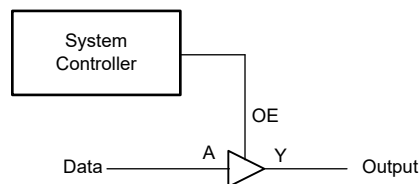


図 9-1. 代表的なアプリケーションのブロック図

9.2.1 設計要件

9.2.1.1 電源に関する考慮事項

目的の電源電圧が「推奨動作条件」で規定されている範囲内であることを確認します。「電気的特性」セクションに記載されているように、電源電圧はデバイスの電気的特性を設定します。

正の電圧電源は、「電気的特性」に示されている最大静的電源電流 I_{CC} に SN74AHCT1G126-Q1 のすべての出力がソースとする合計電流を加えた電流と、スイッチングに必要な過渡電流をソースできる必要があります。ロジック・デバイスは、正の電源から供給される電流量のみをソースできます。「絶対最大定格」に記載されている V_{CC} を流れる最大合計電流を超えないようにしてください。

グラウンドは、SN74AHCT1G126-Q1 のすべての出力によってシンクされる合計電流に「電気的特性」に記載されている最大電源電流 I_{CC} を加えた電流と、スイッチングに必要な過渡電流をシンクできる必要があります。ロジック・デバイスは、グラウンド接続にシンクできる電流量のみをシンクできます。「絶対最大定格」に記載されている GND を流れる最大合計電流を超えないようにしてください。

SN74AHCT1G126-Q1 は、データシートのすべての仕様を満たしながら、合計容量が 50pF 以下の負荷を駆動できます。より大きな容量性負荷を印加することもできますが、50pF を超えないようにすることを推奨します。

SN74AHCT1G126-Q1 は、「電気的特性」表に定義されている出力電圧および電流 (V_{OH} および V_{OL}) で、 $R_L \geq V_O / I_O$ で記述される合計抵抗の負荷を駆動できます。HIGH 状態で出力する場合、式の出力電圧は、測定された出力電圧と V_{CC} ピンの電源電圧との差として定義されます。

総消費電力は、『CMOS の消費電力と CPD の計算』に記載されている情報を使用して計算できます。

熱上昇は、『標準リニアおよびロジック (SLL) パッケージおよびデバイスの熱特性』に記載されている情報を使用して計算できます。

注意

「絶対最大定格」に記載されている最大接合部温度 $T_{J(max)}$ は、デバイスの損傷を防止するための追加の制限です。「絶対最大定格」に記載されている値を超えないようにしてください。これらの制限値は、デバイスの損傷を防止するために規定されています。

9.2.1.2 入力に関する考慮事項

入力信号がロジック **LOW** と見なされるには を下回る必要があります、ロジック **HIGH** と見なされるには を上回る必要があります。「絶対最大定格」に記載されている最大入力電圧範囲を超えないようにしてください。

未使用の入力は、 V_{CC} またはグランドに終端する必要があります。入力がまったく使用されていない場合は、未使用の入力を直接終端できます。入力が時々使用される場合、または常には使用されない場合は、プルアップ抵抗またはプルダウン抵抗を使用して接続できます。デフォルト状態が **HIGH** の場合はプルアップ抵抗を使用し、デフォルト状態が **LOW** の場合はプルダウン抵抗を使用します。コントローラの駆動電流、SN74AHCT1G126-Q1 へのリーク電流（「電気的特性」で規定）、および必要な入力遷移レートによって抵抗のサイズが制限されます。これらの要因により、多くの場合は $10k\Omega$ の抵抗値が使用されます。

このデバイスの入力の詳細については、「機能説明」セクションを参照してください。

9.2.1.3 出力に関する考慮事項

出力 **HIGH** 電圧は、正の電源電圧を使用して生成します。「電気的特性」の V_{OH} 仕様に規定されているように、出力から電流を引き込むと出力電圧が低下します。出力 **LOW** 電圧は、グランド電圧を使用して生成します。「電気的特性」の V_{OL} 仕様に規定されているように、出力に電流をシンクすると出力電圧が上昇します。

非常に短い期間であっても、逆の状態になる可能性があるプッシュプル出力同士は、直接接続しないでください。これにより過電流が発生し、デバイスが損傷する可能性があります。

同じデバイス内で、同じ入力信号を持つ 2 つのチャネルを並列に接続すると、出力駆動能力を高めることができます。

未使用の出力はフローティングのままにできます。出力を直接 V_{CC} またはグランドに接続しないでください。

このデバイスの出力の詳細については、「機能説明」セクションを参照してください。

9.2.2 詳細な設計手順

- V_{CC} から **GND** の間にデカップリング・コンデンサを追加します。このコンデンサは、物理的にデバイスの近く、かつ V_{CC} ピンと **GND** ピンの両方に電気的に近づけて配置する必要があります。レイアウト例を「レイアウト」セクションに示します。
- 出力の容量性負荷が $50pF$ 以下であることを確認します。これは厳密な制限ではありませんが、設計上、性能が最適化されます。これは、SN74AHCT1G126-Q1 から 1 つ以上の受信デバイスへのトレースを短い適切なサイズにすることで実現できます。
- 出力の抵抗性負荷を ($V_{CC} / I_{O(max)}$) Ω より大きくします。これを行うと、「絶対最大定格」の最大出力電流に違反するのを防ぐことができます。ほとんどの **CMOS** 入力には抵抗性負荷 (測定単位は $M\Omega$) があります。これは、前述の計算された最小値よりもはるかに大きな値になります。
- 熱の問題がロジック・ゲートで懸念されることはほとんどありませんが、消費電力と温度上昇は、アプリケーション・レポート『[CMOS 消費電力と Cpd の計算](#)』に記載された手順を使って計算できます。

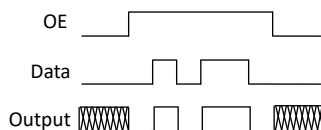
9.2.3 アプリケーション曲線

図 9-2. アプリケーションのタイミング図

9.3 電源に関する推奨事項

電源には、「推奨動作条件」に記載された電源電圧定格の最小値と最大値の間の任意の電圧を使用できます。電力障害を防止するため、各 V_{CC} 端子に適切なバイパス・コンデンサを配置する必要があります。このデバイスには $0.1\mu\text{F}$ のコンデンサをお勧めします。複数のバイパス・コンデンサを並列に配置して、異なる周波数のノイズを除去することが可能です。一般的に、 $0.1\mu\text{F}$ と $1\mu\text{F}$ のコンデンサは並列に使用されます。以下のレイアウト例に示すように、バイパス・コンデンサを電源端子のできるだけ近くに配置すると最適な結果が得られます。

9.4 レイアウト

9.4.1 レイアウトのガイドライン

マルチ入力およびマルチチャネルのロジック・デバイスを使用する場合、入力をオープンのままにはしてはいけません。多くの場合、デジタル論理デバイスの機能または機能の一部は使用されません (たとえば、トリプル入力 AND ゲートの 2 入力のみを使用したり、4 つのバッファ・ゲートのうち 3 つのみを使用する場合)。このような未使用の入力ピンを未接続のままにすることはできません。外部接続の電圧が未確定の場合、動作状態が不定になるためです。デジタル論理デバイスの未使用入力はすべて、フローティングにならないよう、入力電圧の仕様で定義されているようにロジック High かロジック Low の電圧に接続する必要があります。特定の未使用の入力に対して適用が必要となるロジック・レベルは、デバイスの機能により異なります。一般に入力は、GND または V_{CC} のうち、ロジックの機能にとってより適切であるかより利便性の高い方に接続されます。

9.4.2 レイアウト例

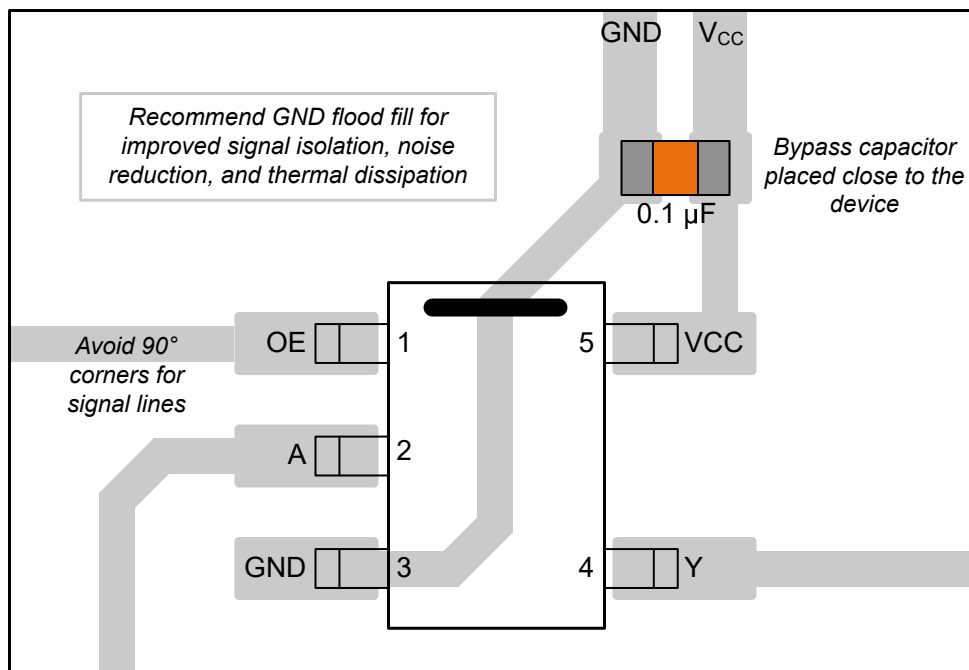


図 9-3. SN74AHCT1G126-Q1 のレイアウト例

10 デバイスおよびドキュメントのサポート

10.1 ドキュメントのサポート (アナログ)

10.1.1 関連資料

次の表に、クイック・アクセス・リンクを示します。カテゴリには、技術資料、サポートおよびコミュニティ・リソース、ツールとソフトウェア、およびサンプル注文またはご購入へのクイック・アクセスが含まれます。

表 10-1. 関連リンク

製品	プロダクト・フォルダ	サンプルとご購入	技術資料	ツールとソフトウェア	サポートとコミュニティ
SN74AHCT1G126-Q1	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック

10.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

10.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

10.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

10.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに対して提供されている最新のデータです。このデータは、予告なしに、またドキュメントの改訂なしに変更される場合があります。本データシートのブラウザ版を使用している場合は、画面左側のナビゲーションをご覧ください。

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
CAHCT1G126DBVRQ1	ACTIVE	SOT-23	DBV	5	3000	RoHS & Green	SN	Level-1-260C-UNLIM	-40 to 125	39AH	Samples
CAHCT1G126QDCKRG4	ACTIVE	SC70	DCK	5	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	BNU	Samples
CAHCT1G126QDCKRG4Q	ACTIVE	SC70	DCK	5	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	BNS	Samples
CAHCT1G126QDCKRQ1	ACTIVE	SC70	DCK	5	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	BNS	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSELETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "-" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and

continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN74AHCT1G126-Q1 :

- Catalog : [SN74AHCT1G126](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CAHCT1G126DBVRQ1	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
CAHCT1G126QDCKRG4	SC70	DCK	5	3000	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3
CAHCT1G126QDCKRQ1	SC70	DCK	5	3000	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
CAHCT1G126DBVRQ1	SOT-23	DBV	5	3000	210.0	185.0	35.0
CAHCT1G126QDCKRG4	SC70	DCK	5	3000	190.0	190.0	30.0
CAHCT1G126QDCKRQ1	SC70	DCK	5	3000	190.0	190.0	30.0

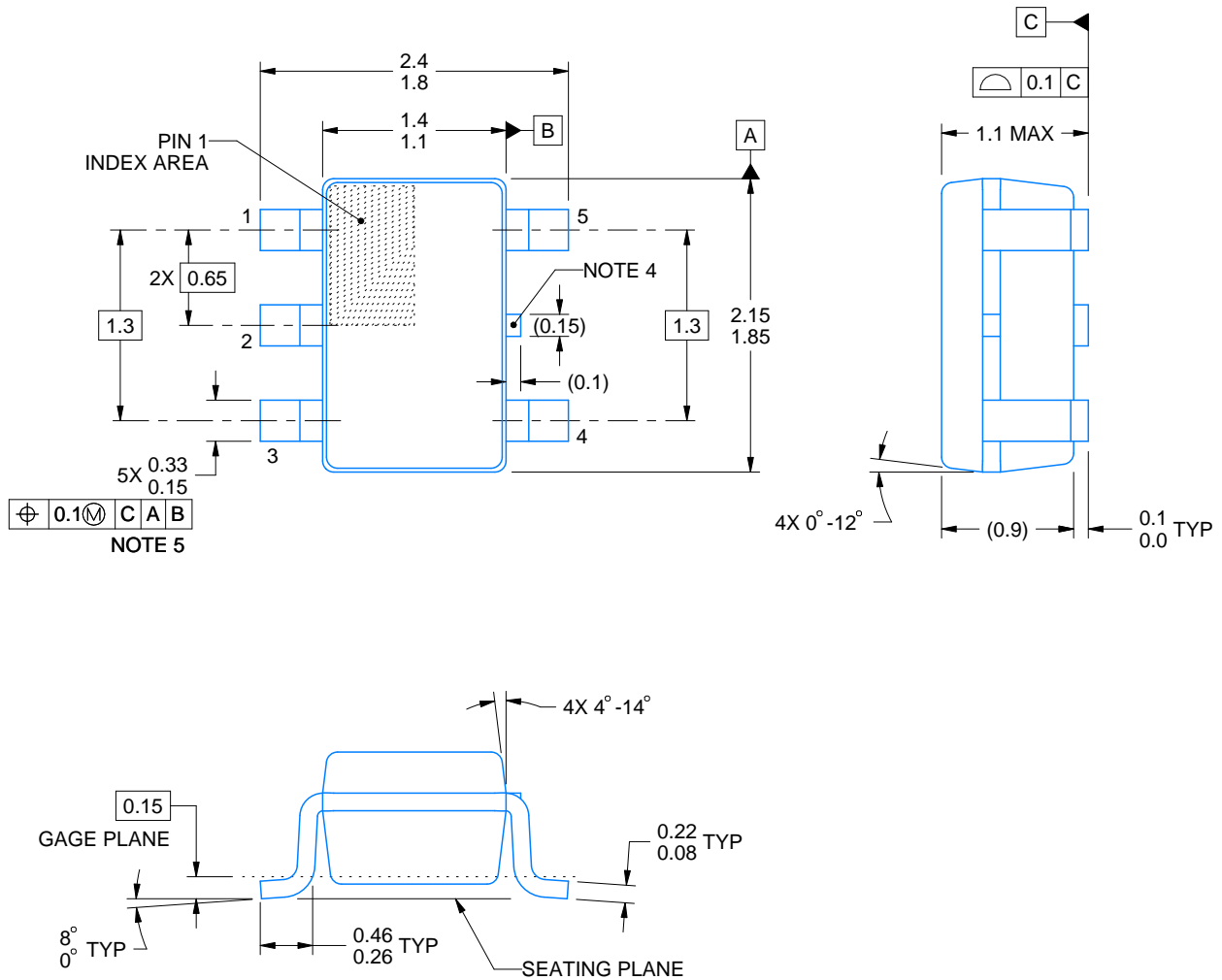
DCK0005A



PACKAGE OUTLINE

SOT - 1.1 max height

SMALL OUTLINE TRANSISTOR



4214834/F 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC MO-203.
4. Support pin may differ or may not be present.
5. Lead width does not comply with JEDEC.
6. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25mm per side

EXAMPLE BOARD LAYOUT

DCK0005A

SOT - 1.1 max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X



SOLDER MASK DETAILS

4214834/F 08/2024

NOTES: (continued)

- 7. Publication IPC-7351 may have alternate designs.
- 8. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DCK0005A

SOT - 1.1 max height

SMALL OUTLINE TRANSISTOR



SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE: 18X

4214834/F 08/2024

NOTES: (continued)

9. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
10. Board assembly site may have different recommendations for stencil design.

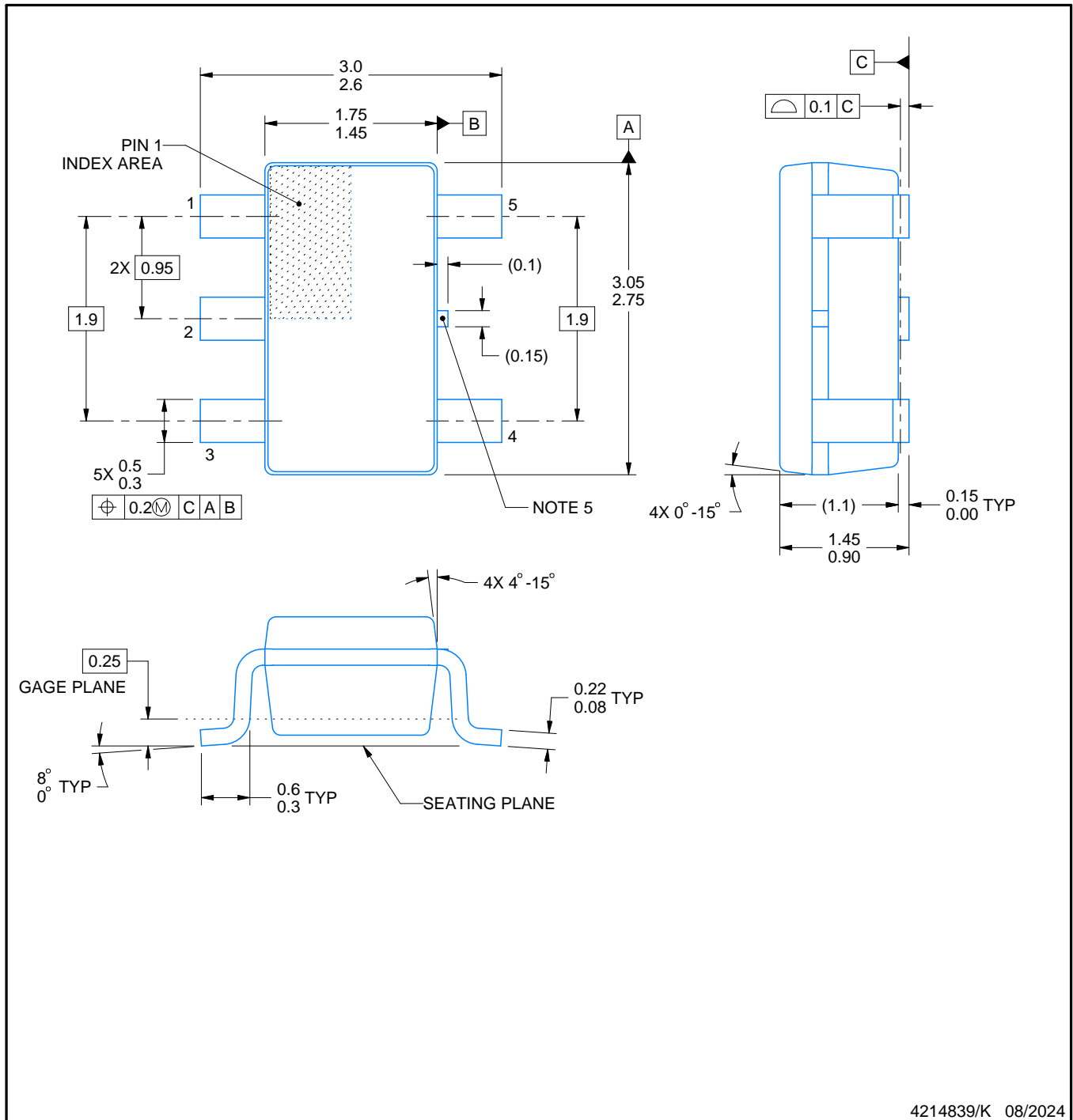
DBV0005A



PACKAGE OUTLINE

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



4214839/K 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.

EXAMPLE BOARD LAYOUT

DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](#) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated