

SNx4AHCT595 8 ビット シフト レジスタ、3 ステート 出力レジスタ付

1 特長

- 入力は TTL 電圧互換
- 8 ビットのシリアル イン / パラレル アウト シフト
- シフトレジスタはダイレクト クリアを装備
- JESD 78、Class II 準拠で 100mA を超えるラッチアップ性能
- JESD 22 を上回る ESD 保護:
 - 2000V、人体モデル (A114-A)
 - 200V、マシン モデル(A115-A)
 - 1000V、デバイス帯電モデル (C101)

2 アプリケーション

- ネットワーク スイッチ
- 電源インフラストラクチャ
- [PC](#) およびノートパソコン
- [LED ディスプレイ](#)
- サーバー

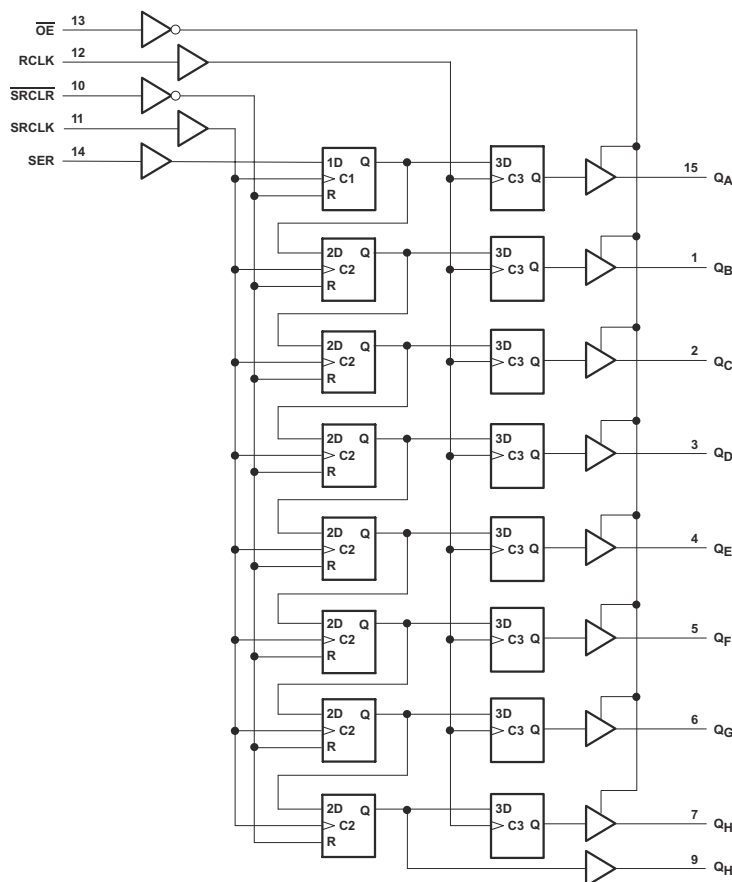
3 概要

SNx4AHCT595 デバイスには、8 ビットのシリアル イン / パラレル アウトのシフトレジスタが内蔵されており、8 ビットの D タイプ ストレージレジスタへデータを供給します。シフトレジスタクロック (SRCLK) とストレージレジスタクロック (RCLK) はどちらもポジティブ エッジトリガです。

パッケージ情報

部品番号	パッケージ ⁽¹⁾	パッケージサイズ ⁽²⁾	本体サイズ (公称) ⁽³⁾
SNx4AHCT595	BQB (WQFN, 16)	3.5mm × 2.5mm	3.5mm × 2.5mm
	PW (TSSOP, 16)	5.0mm × 6.4mm	5.0mm × 4.4mm

- (1) 詳細については、[セクション 11](#) を参照してください。
- (2) パッケージサイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。
- (3) 本体サイズ (長さ × 幅) は公称値であり、ピンは含まれません。



ここに示すピン番号は D、DB、J、N、NS、PW、W の各パッケージのものであります。

概略回路図



目次

1 特長	1	7.1 概要.....	9
2 アプリケーション	1	7.2 機能ブロック図.....	9
3 概要	1	7.3 機能説明.....	10
4 ピン構成および機能	3	7.4 デバイスの機能モード.....	10
5 仕様	4	8 アプリケーションと実装	11
5.1 絶対最大定格.....	4	8.1 アプリケーション情報.....	11
5.2 取り扱い定格.....	4	8.2 代表的なアプリケーション.....	11
5.3 推奨動作条件.....	4	8.3 電源に関する推奨事項.....	12
5.4 熱に関する情報.....	5	8.4 レイアウト.....	12
5.5 電気的特性.....	5	9 デバイスおよびドキュメントのサポート	14
5.6 タイミング要件.....	5	9.1 ドキュメントの更新通知を受け取る方法.....	14
5.7 スイッチング特性.....	6	9.2 サポート・リソース.....	14
5.8 ノイズ特性.....	7	9.3 商標.....	14
5.9 動作特性.....	7	9.4 静電気放電に関する注意事項.....	14
5.10 代表的特性.....	7	9.5 用語集.....	14
6 パラメータ測定情報	8	10 改訂履歴	14
7 詳細説明	9	11 メカニカル、パッケージ、および注文情報	14

4 ピン構成および機能

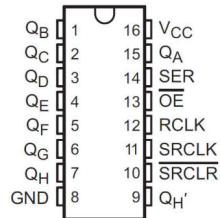


図 4-1.

SN74AHCT595-Q1 PW パッケージ (上面図)

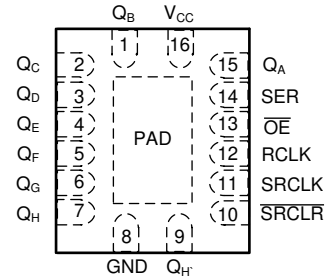
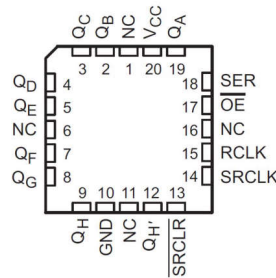


図 4-2. BQB パッケージ、16 ピン WQFN (上面図)



NC - No internal connection

図 4-3. SN74AHCT595-Q1 BQB パッケージ (上面図)

表 4-1. ピンの機能

名称	ピン		種類 ⁽¹⁾	説明
	SN74AHCT595 PW	SN74AHCT595 BQB		
GND	8	8	—	グラウンドピン
OE	13	13	I	出力イネーブル
Q _A	15	15	O	Q _A 出力
Q _B	1	1	O	Q _B 出力
Q _C	2	2	O	Q _C 出力
Q _D	3	3	O	Q _D 出力
Q _E	4	4	O	Q _E 出力
Q _F	5	5	O	Q _F 出力
Q _G	6	6	O	Q _G 出力
Q _H	7	7	O	Q _H 出力
Q _{H'}	9	9	O	Q _{H'} 出力
RCLK	12	12	I	RCLK 入力
SER	14	14	I	SER 入力
SRCLK	11	11	I	SRCLK 入力
SRCLR	10	10	I	SRCLR 入力
NC	—	—	—	非接続
V _{CC}	16	16	—	パワーピン

(1) I = 入力、O = 出力

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位	
V_{CC}	電源電圧範囲	-0.5	7	V	
V_I	入力電圧範囲 ⁽²⁾	-0.5	7	V	
V_O	出力電圧範囲 ⁽²⁾	-0.5	$V_{CC} + 0.5$	V	
I_{IK}	入力クランプ電流	$V_I < 0$		-20	mA
I_{OK}	出力クランプ電流	$V_O < 0$ または $V_O > V_{CC}$		± 20	mA
I_O	連続出力電流	$V_O = 0 \sim V_{CC}$		± 25	mA
V_{CC} または GND を通過する連続電流				± 50	mA

- (1) 「絶対最大定格」を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについての話で、絶対最大定格において、またはこのデータシートの「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
- (2) 入力と出力の電流定格を順守しても、入力と出力の電圧定格を超えることがあります。

5.2 取り扱い定格

			最小値	最大値	単位
T_{stg}	保管温度範囲		-65	150	°C
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン ⁽¹⁾	0	2000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠、すべてのピン ⁽²⁾	0	1000	

- (1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
- (2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		SN54AHCT595 ⁽²⁾		SN74AHCT595		単位
		最小値	最大値	最小値	最大値	
V_{CC}	電源電圧	4.5	5.5	4.5	5.5	V
V_{IH}	High レベル入力電圧	2		2		V
V_{IL}	Low レベル入力電圧		0.8		0.8	V
V_I	入力電圧	0	5.5	0	5.5	V
V_O	出力電圧	0	V_{CC}	0	V_{CC}	V
I_{OH}	High レベル出力電流		-8		-8	mA
I_{OL}	Low レベル出力電流		8		8	mA
$\Delta t/\Delta v$	入力遷移の立ち上がり時間と立ち下がり時間		20		20	ns/V
T_A	自由空気での動作温度	-55	125	-40	125	°C

- (1) デバイスが適切に動作するように、デバイスの未使用の入力はすべて、 V_{CC} または GND に固定する必要があります。テキサス・インスツルメンツのアプリケーションレポート『低速またはフローティング CMOS 入力の影響』(文献番号 SCBA004) を参照してください。
- (2) 製品レビュー

5.4 熱に関する情報

熱評価基準 ⁽¹⁾	SN74AHCT595						単位
	BQB (WQFN)	D (SOIC)	DB (SSOP)	N (PDIP)	NS (SOP)	PW (TSSOP)	
	16ピン						
R _{θJA} 接合部から周囲への熱抵抗	91.8	80.2	97.5	47.5	126.2	135.9	°C/W
R _{θJC(top)} 接合部からケース (上面) への熱抵抗	87.7	39.1	47.7	34.9	68.7	70.3	
R _{θJB} 接合部から基板への熱抵抗	61.6	27.7	48.1	27.5	77.3	81.3	
Ψ _{JT} 接合部から上面への特性パラメータ	11.9	9.9	9.8	19.8	22.3	22.5	
Ψ _{JB} 接合部から基板への特性パラメータ	61.4	37.4	47.6	27.4	76.9	80.8	
R _{θJC(bot)} 接合部からケース (底面) への熱抵抗	39.4	該当なし	該当なし	該当なし	該当なし	該当なし	

(1) 従来および新しい熱評価基準の詳細については、『IC パッケージの熱評価基準』アプリケーション レポート、[SPRA953](#) を参照してください。

5.5 電気的特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	V _{CC}	T _A = 25°C			SN54AHCT595 ⁽¹⁾		SN74AHCT595		単位
			最小値	代表値	最大値	最小値	最大値	最小値	最大値	
V _{OH}	I _{OH} = -50mA	4.5V	4.4	4.5		4.4		4.4	V	
	I _{OH} = -8mA		3.94			3.8		3.8		
V _{OL}	I _{OL} = 50μA	4.5V			0.1			0.1	V	
	I _{OL} = 8mA				0.36			0.44		
I _I	V _I = 5.5V または GND	0~5.5V			±0.1			±1 ⁽²⁾	μA	
I _{OZ}	V _O = V _{CC} または GND Q _A - Q _H	5.5V			±0.25			±2.5	μA	
I _{CC}	V _I = V _{CC} または GND I _O = 0	5.5V			4			40	μA	
ΔI _{CC} ⁽³⁾	1つの入力は 3.4V、 その他の入力は V _{CC} または GND	5.5V			2			2.2	mA	
C _i	V _I = V _{CC} または GND	5V			3			10	pF	
C _O	V _O = V _{CC} または GND	5V			5.5				pF	

(1) 製品プレビュー

(2) MIL-PRF-38535 に準拠した製品では、このパラメータについては、V_{CC} = 0V で出荷時のテストは行っていません。

(3) これは、0V や V_{CC} ではなく、規定された TTL 電圧レベルのいずれかにおける各入力電源電流の増加量です。

5.6 タイミング要件

自由気流での推奨動作温度範囲内、V_{CC} = 5V±0.5V (特に記述のない限り) (図 6-1 を参照)

パラメータ	テスト条件	T _A = 25°C		SN54AHCT595 ⁽¹⁾		SN74AHCT595		単位
		最小値	最大値	最小値	最大値	最小値	最大値	
t _w パルス幅	SRCLK が High または Low	5		5.5		5.5		ns
	RCLK が High または Low	5		5.5		5.5		
	SRCLR が Low	5		5		5		
t _{su} セットアップ時間	SRCLK ↑ の前の SER	3		3		3		ns
	RCLK ↑ 前の SRCLK ↑ ⁽²⁾	5		5		5		
	RCLK ↑ より前に SRCLR が Low	5		5		5		
	SRCLK ↑ より前に SRCLR が High (非アクティブ)	3.4		3.8		3.8		
t _h ホールド時間	SRCLK ↑ 後の SER	2		2		2		ns

(1) 製品プレビュー

(2) このセットアップ時間により、ストレージレジスタはシフトレジスタから安定したデータを受信できます。クロックを同期することができ、その場合シフトレジスタのクロックをストレージレジスタより 1 クロックパルス早くします。

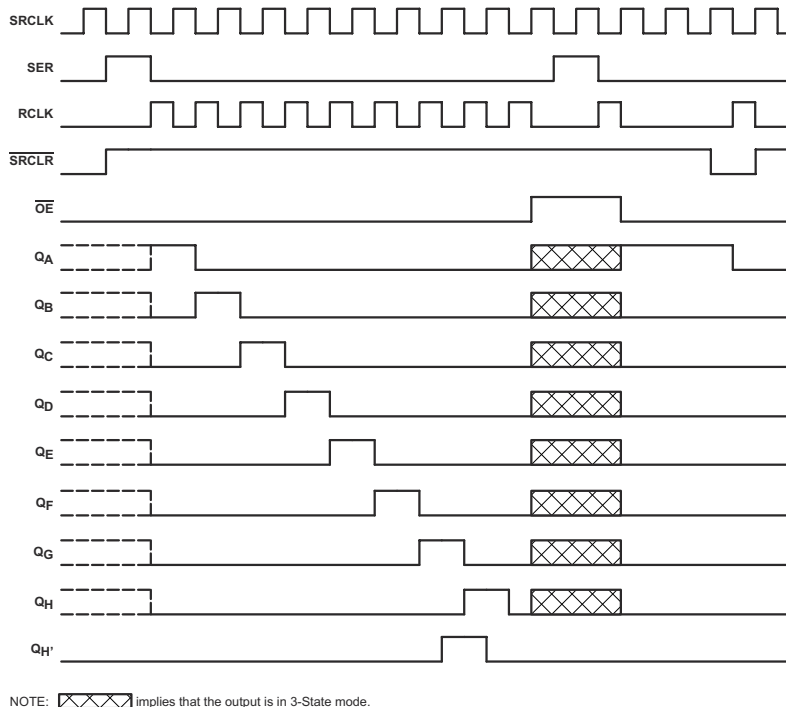


図 5-1. タイミング図

5.7 スイッチング特性

自由気流での推奨動作温度範囲内、 $V_{CC} = 5V \pm 0.5V$ (特に記述のない限り) (図 6-1 を参照)

パラメータ	始点 (入力)	終点 (出力)	負荷 容量	$T_A = 25^\circ\text{C}$			SN54AHCT595 ⁽¹⁾		SN74AHCT595		単位
				最小値	代表値	最大値	最小値	最大値	最小値	最大値	
f_{\max}			$C_L = 15\text{pF}$	135 ⁽²⁾	170 ⁽²⁾		115 ⁽²⁾		115		MHz
			$C_L = 50\text{pF}$	95	140		85		85		
t_{PLH}	RCLK	$Q_A - Q_H$	$C_L = 15\text{pF}$		4.3 ⁽²⁾	7.4 ⁽²⁾	1 ⁽²⁾	8.5 ⁽²⁾	1	8.5	ns
t_{PHL}					4.3 ⁽²⁾	7.4 ⁽²⁾	1 ⁽²⁾	8.5 ⁽²⁾	1	8.5	
t_{PLH}	SRCLK	$Q_{H'}$	$C_L = 15\text{pF}$		4.5 ⁽²⁾	8.2 ⁽²⁾	1 ⁽²⁾	9.4 ⁽²⁾	1	9.4	ns
t_{PHL}					4.5 ⁽²⁾	8.2 ⁽²⁾	1 ⁽²⁾	9.4 ⁽²⁾	1	9.4	
t_{PHL}	$\overline{\text{SRCLR}}$	$Q_{H'}$	$C_L = 15\text{pF}$		4.5 ⁽²⁾	8 ⁽²⁾	1 ⁽²⁾	9.1 ⁽²⁾	1	9.1	ns
t_{PZH}	OE	$Q_A - Q_H$	$C_L = 15\text{pF}$		4.3 ⁽²⁾	8.6 ⁽²⁾	1 ⁽²⁾	10 ⁽²⁾	1	10	ns
t_{PZL}					5.4 ⁽²⁾	8.6 ⁽²⁾	1 ⁽²⁾	10 ⁽²⁾	1	10	
t_{PLH}	RCLK	$Q_A - Q_H$	$C_L = 50\text{pF}$		5.6	9.4	1	10.5	1	10.5	ns
t_{PHL}					5.6	9.4	1	10.5	1	10.5	
t_{PLH}	SRCLK	$Q_{H'}$	$C_L = 50\text{pF}$		6.4	10.2	1	11.4	1	11.4	ns
t_{PHL}					6.4	10.2	1	11.4	1	11.4	
t_{PHL}	$\overline{\text{SRCLR}}$	$Q_{H'}$	$C_L = 50\text{pF}$		6.4	10	1	11.1	1	11.1	ns
t_{PZH}	$\overline{\text{OE}}$	$Q_A - Q_H$	$C_L = 50\text{pF}$		5.7	10.6	1	12	1	12	ns
t_{PZL}					6.8	10.6	1	12	1	12	
t_{PHZ}	$\overline{\text{OE}}$	$Q_A - Q_H$	$C_L = 50\text{pF}$		3.5	10.3	1	11	1	11	ns
t_{PLZ}					3.4	10.3	1	11	1	11	

- (1) 製品プレビュー
 (2) MIL-PRF-38535 に準拠した製品では、このパラメータについては、出荷時のテストは行っていません。

5.8 ノイズ特性

$V_{CC} = 5V$, $C_L = 50pF$, $T_A = 25^\circ C$

パラメータ (1)		SN74AHCT595			単位
		最小値	代表値	最大値	
$V_{OL(P)}$	低ノイズ出力、最大動的電圧 V_{OL}		1		V
$V_{OL(V)}$	低ノイズ出力、最小動的電圧 V_{OL}		-0.6		V
$V_{OH(V)}$	低ノイズ出力、最小動的電圧 V_{OH}		3.8		V
$V_{IH(D)}$	High レベル動的入力電圧	2			V
$V_{IL(D)}$	Low レベル動的入力電圧			0.8	V

(1) 特性は表面実装パッケージのみが対象です。

5.9 動作特性

$V_{CC} = 5V$, $T_A = 25^\circ C$

パラメータ		テスト条件		標準値	単位
C_{pd}	電力散逸容量	無負荷	$f = 1\text{ MHz}$	112	pF

5.10 代表的特性

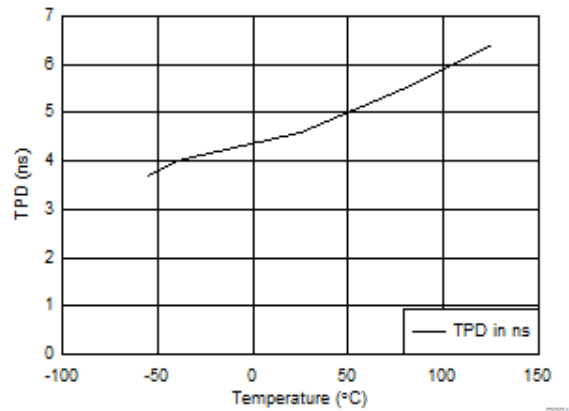
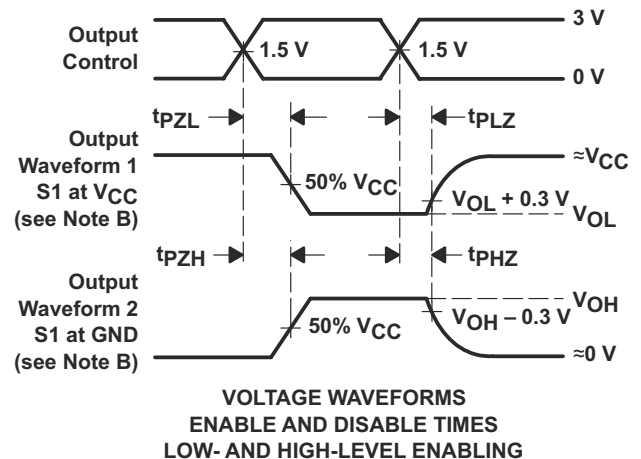
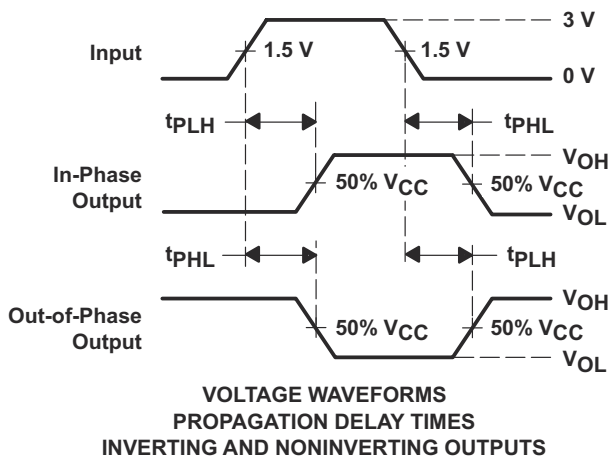
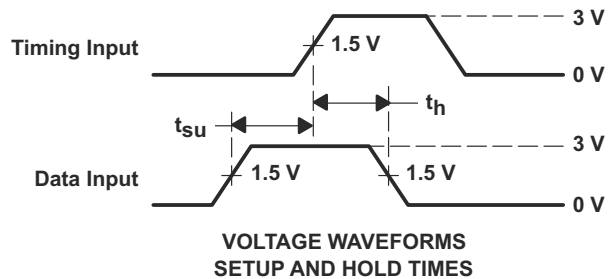
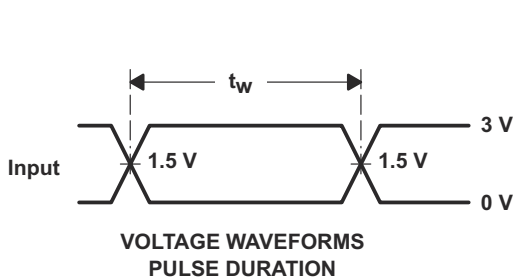
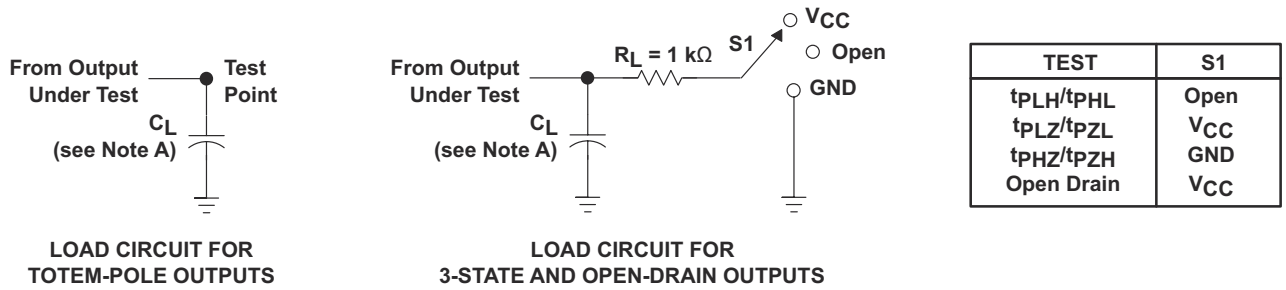


図 5-2. SN74AHCT595 TPD の温度特性、15 pF 負荷
RCLK から Q まで

6 パラメータ測定情報



- NOTES: A. C_L includes probe and jig capacitance.
 B. Waveform 1 is for an output with internal conditions such that the output is low, except when disabled by the output control. Waveform 2 is for an output with internal conditions such that the output is high, except when disabled by the output control.
 C. All input pulses are supplied by generators having the following characteristics: $PRR \leq 1$ MHz, $Z_O = 50 \Omega$, $t_r \leq 3$ ns, $t_f \leq 3$ ns.
 D. The outputs are measured one at a time, with one input transition per measurement.
 E. All parameters and waveforms are not applicable to all devices.

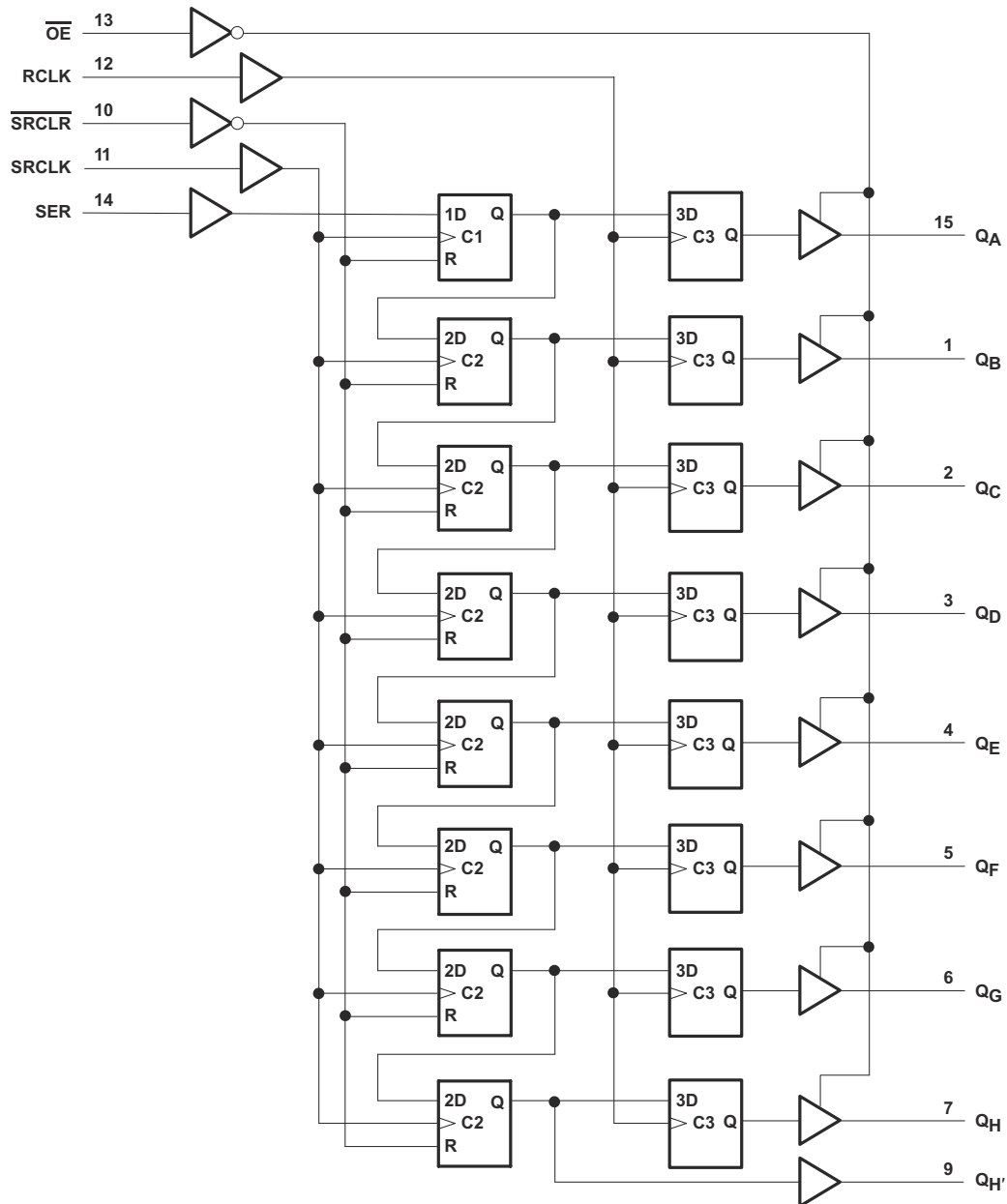
図 6-1. 負荷回路および電圧波形

7 詳細説明

7.1 概要

SNx4AHCT595 デバイスには、8 ビットのシリアル イン、パラレル アウトのシフトレジスタが内蔵されており、8 ビットの D タイプ ストレージレジスタへデータを供給します。ストレージレジスタはパラレル 3 ステート出力を備えています。シフトレジスタとストレージレジスタに、それぞれ独立したクロックが供給されます。シフトレジスタは、ダイレクト オーバーライディング クリア ($\overline{\text{SRCLR}}$) 入力、シリアル (SER) 入力、カスケード接続用シリアル出力を備えています。出力イネーブル ($\overline{\text{OE}}$) 入力が HIGH のとき、出力は高インピーダンス状態になります。シフトレジスタ クロック (SRCLK) とストレージレジスタ クロック (RCLK) はどちらもポジティブ エッジトリガです。両方のクロックが一緒に接続されている場合、シフトレジスタはストレージレジスタより 1 クロック パルス前になります。

7.2 機能ブロック図



ここに示すピン番号は D、DB、J、N、NS、PW、W の各パッケージのものであります。

7.3 機能説明

- 入力は TTL 電圧互換
- 低速エッジによるノイズ低減
- 低消費電力

7.4 デバイスの機能モード

表 7-1. 機能表

入力					機能
SER	SRCLK	SRCLR	RCLK	OE	
X	X	X	X	H	出力 Q _A ~Q _H がディセーブルになります。
X	X	X	X	L	出力 Q _A ~Q _H がイネーブルになります。
X	X	L	X	X	シフトレジスタがクリアされます。
L	↑	H	X	X	シフトレジスタの最初のステージが Low になります。 他のステージでは、それぞれ前のステージのデータが保存されます。
H	↑	H	X	X	シフトレジスタの最初のステージが High になります。 他のステージでは、それぞれ前のステージのデータが保存されます。
X	X	X	↑	X	シフトレジスタのデータは、ストレージレジスタに保存されます。

8 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

SNx4AHCT595 は、出力リンギングが懸念される多くのバス インターフェイス タイプのアプリケーションで使用できる低駆動能力の CMOS デバイスです。低駆動および低速エッジ レートにより、出力のオーバーシュートとアンダーシュートが最小限に抑えられます。 $V_{IL} = 0.8V$ および $V_{IH} = 2V$ の TTL 入力に対応するため、入力スイッチング レベルが下げられています。この機能により、本デバイスは 3.3V から 5V への変換に最適です。このタイプの変換を、[図 8-1](#) に示します。

8.2 代表的なアプリケーション

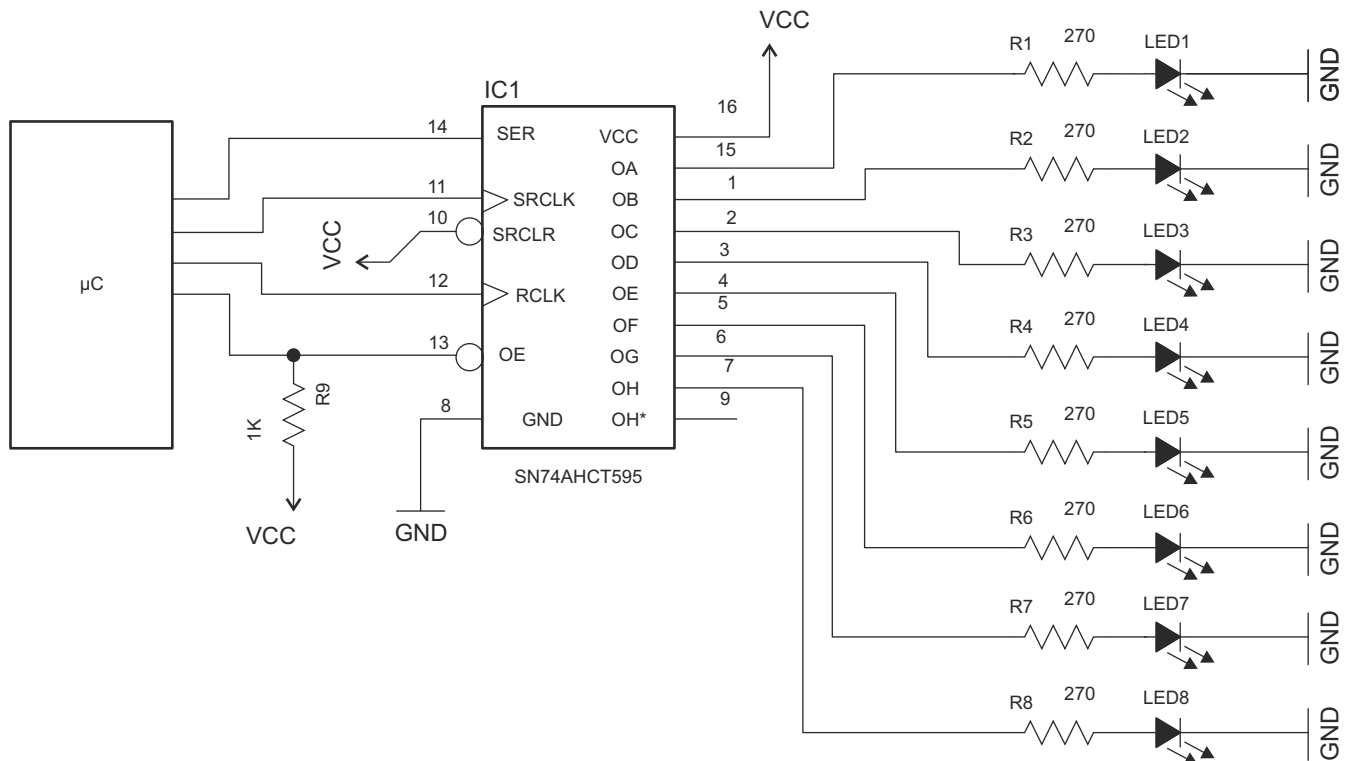


図 8-1. 具体的なアプリケーション回路図

8.2.1 設計要件

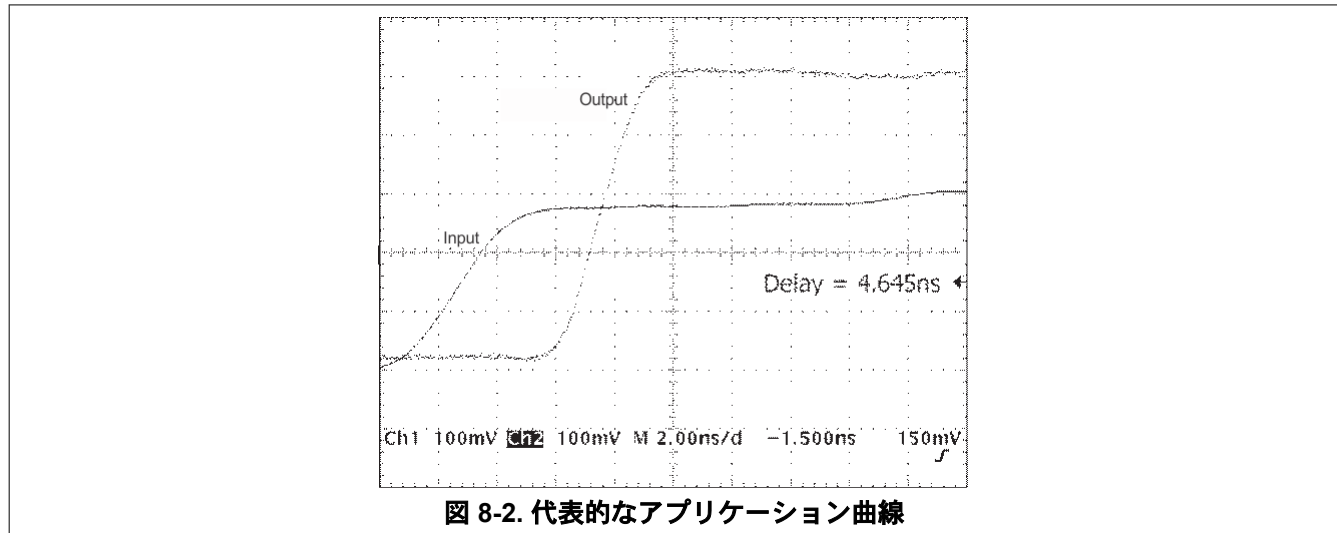
このデバイスは CMOS 技術を採用しており、平衡型出力ドライバを備えています。上限値を超える電流が流れる可能性があるため、バスが競合しないように注意が必要です。また、大きな駆動能力で軽負荷を駆動することでも高速なエッジが生じるため、配線と負荷の条件を検討してリンギングを防止してください。

8.2.2 詳細な設計手順

- 推奨入力条件
 - High レベルと Low レベルを規定。「推奨動作条件」表の (V_{IH} および V_{IL}) を参照してください。
 - High レベルと Low レベルを規定。「推奨動作条件」表の (V_{IH} および V_{IL}) を参照してください。

- 入力は過電圧許容で、任意の有効な V_{CC} において最大 5.5V に対応できます。
- 推奨出力条件
 - 負荷電流は、出力あたりの 25mA および部品の合計 50mA を超えないようにする必要があります。
 - 出力は、 V_{CC} を超えてプルされないようにしてください。

8.2.3 アプリケーション曲線



8.3 電源に関する推奨事項

電源には、「[推奨動作条件](#)」表に記載されている最小電源電圧定格と最大電源電圧定格の間の任意の電圧を使用できます。

電源の障害を防止するため、各 V_{CC} ピンに適切なバイパス コンデンサを配置する必要があります。単一電源のデバイスの場合は、 $0.1\mu\text{F}$ のコンデンサを推奨します。複数の V_{CC} ピンがある場合は、各電源ピンに対して $0.01\mu\text{F}$ または $0.022\mu\text{F}$ のコンデンサを推奨します。複数のバイパス コンデンサを並列に配置して、異なる周波数のノイズを除去することが許容されます。 $0.1\mu\text{F}$ と $1\mu\text{F}$ のコンデンサを並列に使用するのが一般的です。最良の結果を得るため、バイパス コンデンサは電源ピンのできるだけ近くに配置してください。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

多ビットロジック デバイスを使用する場合、入力をフローティングにしないでください。

多くの場合、デジタル論理デバイスの機能または機能の一部は使用されません (たとえば、3 入力 AND ゲートの 2 つの入力のみを使用したり、4 つのバッファ ゲートのうち 3 つのみを使用したりする場合)。このような入力ピンを未接続のままにしないでください。外部接続の電圧が未確定の場合、動作状態が不定になるためです。図 8-3 の仕様は、あらゆる状況で遵守する必要があります。デジタル ロジック デバイスの未使用の入力はすべて、フローティングにならないように、High または Low バイアスに接続する必要があります。特定の未使用の入力に対して適用が必要となるロジック レベルは、デバイスの機能により異なります。一般に、 GND または V_{CC} のうち、より適切であるかより利便性の高い方に接続されます。本部品がトランシーバでない限り、一般的に、出力をフローティングにすることが許容されます。トランシーバに出力イネーブル ピンがある場合、アサートされると本部品の出力セクションがディセーブルになります。この場合、I/O の入力セクションはディセーブルされないため、ディセーブル時にもフローティングにできません。

8.4.2 レイアウト例

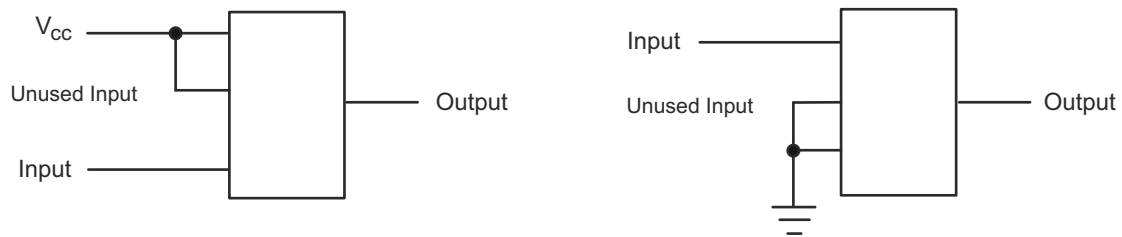


図 8-3. レイアウトの図

9 デバイスおよびドキュメントのサポート

9.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

9.3 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.5 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision O (March 2024) to Revision P (April 2024)	Page
• PW パッケージの熱特性値を R θ JA = 105.7 から 135.9、R θ JC(top) = 40.4 から 70.3、R θ JB = 50.7 から 81.3、 Ψ JT = 3.7 から 22.5、 Ψ JB = 50.1 から 80.8 に更新 (値はすべて°C/W).....	5

Changes from Revision N (July 2020) to Revision O (March 2024)	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1
• 「製品情報」表のピン数を更新.....	1
• 「製品情報」表の部品番号を変更.....	1
• 「パッケージ情報」表、「ピン構成および機能」セクション、「熱に関する情報」表に BQB パッケージを追加.....	1

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適したテキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されているテキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかるテキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
SN74AHCT595BQBR	ACTIVE	WQFN	BQB	16	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AHT595	Samples
SN74AHCT595D	OBSOLETE	SOIC	D	16		TBD	Call TI	Call TI	-40 to 125	AHCT595	
SN74AHCT595DBR	ACTIVE	SSOP	DB	16	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HB595	Samples
SN74AHCT595DR	ACTIVE	SOIC	D	16	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AHCT595	Samples
SN74AHCT595N	ACTIVE	PDIP	N	16	25	RoHS & Green	NIPDAU	N / A for Pkg Type	-40 to 125	SN74AHCT595N	Samples
SN74AHCT595NE4	ACTIVE	PDIP	N	16	25	RoHS & Green	NIPDAU	N / A for Pkg Type	-40 to 125	SN74AHCT595N	Samples
SN74AHCT595PW	OBSOLETE	TSSOP	PW	16		TBD	Call TI	Call TI	-40 to 125	HB595	
SN74AHCT595PWR	ACTIVE	TSSOP	PW	16	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HB595	Samples
SN74AHCT595PWRG3	ACTIVE	TSSOP	PW	16	2000	RoHS & Green	SN	Level-1-260C-UNLIM	-40 to 125	HB595	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

⁽⁶⁾ Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN74AHCT595 :

- Automotive : [SN74AHCT595-Q1](#)

NOTE: Qualified Version Definitions:

- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74AHCT595BQBR	WQFN	BQB	16	3000	180.0	12.4	2.8	3.8	1.2	4.0	12.0	Q1
SN74AHCT595DBR	SSOP	DB	16	2000	330.0	16.4	8.35	6.6	2.4	12.0	16.0	Q1
SN74AHCT595DR	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
SN74AHCT595PWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74AHCT595PW RG3	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74AHCT595BQBR	WQFN	BQB	16	3000	210.0	185.0	35.0
SN74AHCT595DBR	SSOP	DB	16	2000	356.0	356.0	35.0
SN74AHCT595DR	SOIC	D	16	2500	340.5	336.1	32.0
SN74AHCT595PWR	TSSOP	PW	16	2000	356.0	356.0	35.0
SN74AHCT595PWRG3	TSSOP	PW	16	2000	364.0	364.0	27.0

TUBE


*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
SN74AHCT595N	N	PDIP	16	25	506	13.97	11230	4.32
SN74AHCT595N	N	PDIP	16	25	506	13.97	11230	4.32
SN74AHCT595NE4	N	PDIP	16	25	506	13.97	11230	4.32
SN74AHCT595NE4	N	PDIP	16	25	506	13.97	11230	4.32

D (R-PDSO-G16)

PLASTIC SMALL OUTLINE



- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 - C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.
 - D. Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.
 - E. Reference JEDEC MS-012 variation AC.

D (R-PDSO-G16)

PLASTIC SMALL OUTLINE



- NOTES:
- All linear dimensions are in millimeters.
 - This drawing is subject to change without notice.
 - Publication IPC-7351 is recommended for alternate designs.
 - Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC-7525 for other stencil recommendations.
 - Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.



4220204/A 02/2017

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.

EXAMPLE BOARD LAYOUT

PW0016A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



SOLDER MASK DETAILS

4220204/A 02/2017

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0016A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220204/A 02/2017

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

DB0016A



PACKAGE OUTLINE

SSOP - 2 mm max height

SMALL OUTLINE PACKAGE



4220763/A 05/2022

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-150.

EXAMPLE BOARD LAYOUT

DB0016A

SSOP - 2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



4220763/A 05/2022

NOTES: (continued)

- 5. Publication IPC-7351 may have alternate designs.
- 6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DB0016A

SSOP - 2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220763/A 05/2022

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

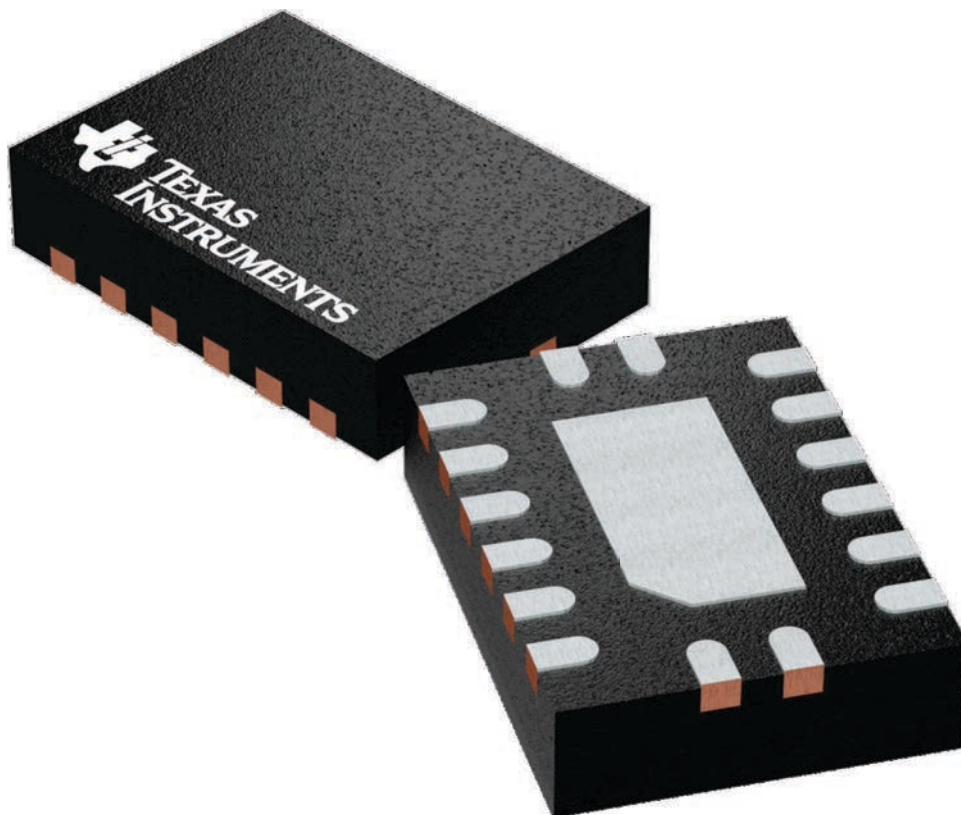
BQB 16

WQFN - 0.8 mm max height

2.5 x 3.5, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



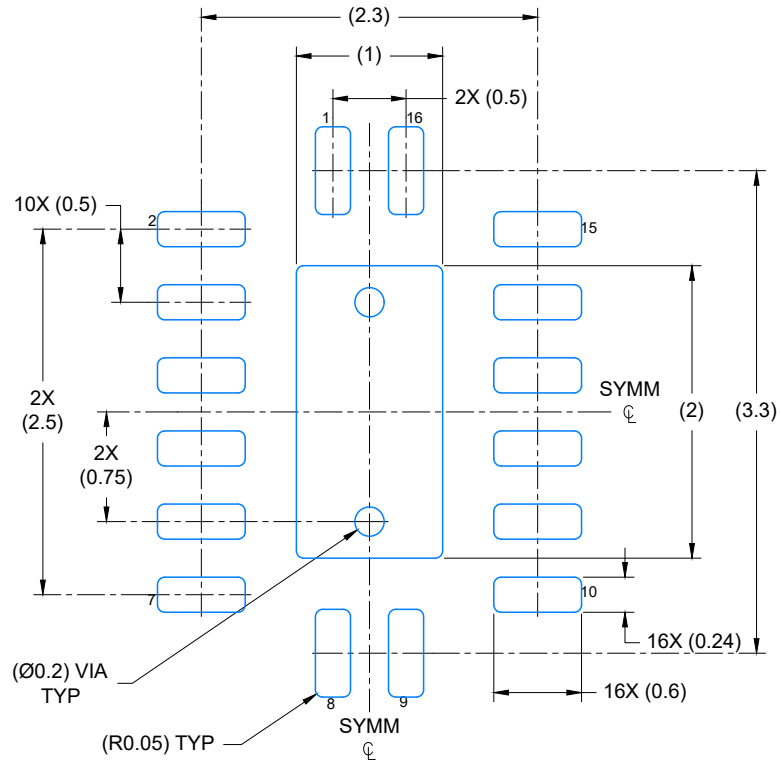
4226161/A



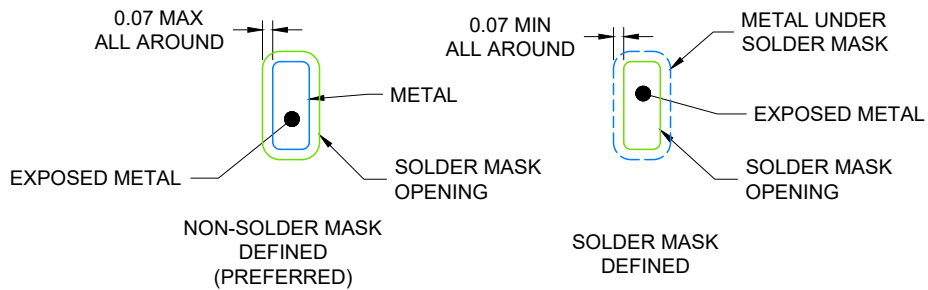
4224640/A 11/2018

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X



4224640/A 11/2018

NOTES: (continued)

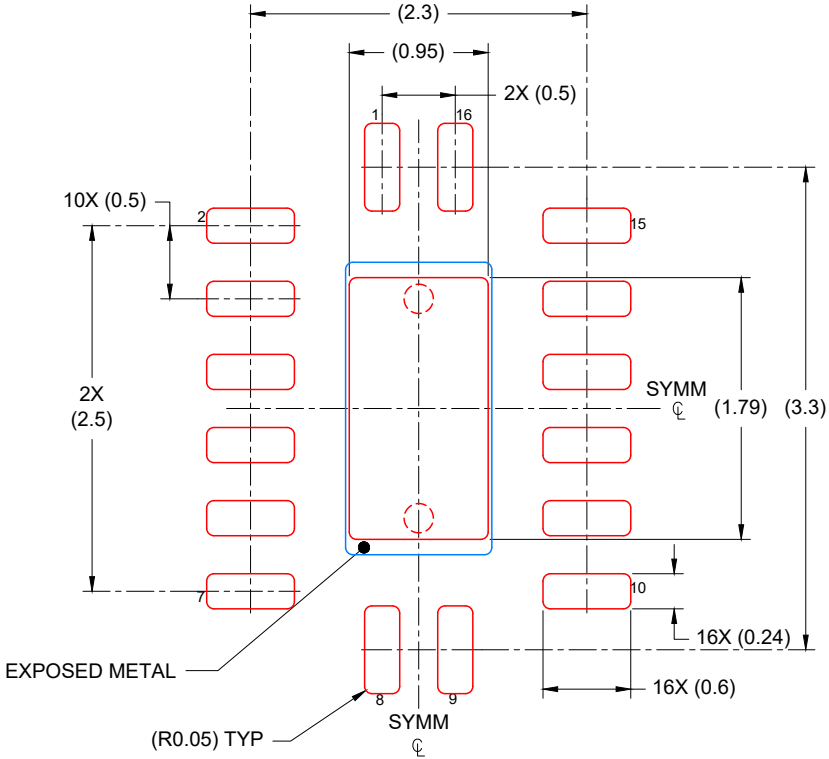
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

WQFN - 0.8 mm max height

BQB0016A

PLASTIC QUAD FLAT PACK-NO LEAD



SOLDER PASTE EXAMPLE
 BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
 85% PRINTED COVERAGE BY AREA
 SCALE: 20X

4224640/A 11/2018

NOTES: (continued)

- 6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

N (R-PDIP-T**)

PLASTIC DUAL-IN-LINE PACKAGE

16 PINS SHOWN



4040049/E 12/2002

- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 - $\triangle C$ Falls within JEDEC MS-001, except 18 and 20 pin minimum body length (Dim A).
 - $\triangle D$ The 20 pin end lead shoulder width is a vendor option, either half or full width.

重要なお知らせと免責事項

TI は、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](#) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated