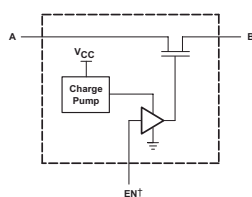


# SN74CB3Q16211 24 ビット、2.5V/3.3V、低電圧 FET バス・スイッチ

## 1 特長

- テキサス・インスツルメンツの Widebus+® ファミリー製品
- 高帯域幅のデータ・バス (最大 500MHz<sup>(1)</sup>)
- デバイスの電源オン時とオフ時の両方で 5V 許容の I/O
- 動作範囲全体にわたって小さく平坦なオン抵抗 ( $r_{on}$ ) 特性 ( $r_{on} = 5\Omega$ , 標準値)
- データ I/O ポートのレール・ツー・レール・スイッチング
  - 3.3V  $V_{CC}$  で 0~5V のスイッチング
  - 2.5V  $V_{CC}$  で 0~3.3V のスイッチング
- 伝播遅延がゼロに近い双方向データ・フロー
- 低い入力および出力容量により負荷および信号歪みが最小化 ( $C_{io(OFF)} = 4pF$ , 標準値)
- 高いスイッチング周波数 ( $f_{OE} = 20MHz$ , 最大値)
- データおよび制御入力にアンダーシュート・クランプ・ダイオードを搭載
- 低消費電力 ( $I_{CC} = 1mA$ , 標準値)
- 2.3V~3.6V の範囲の  $V_{CC}$  で動作
- データ I/O は 0~5V の信号レベルに対応 (0.8V, 1.2V, 1.5V, 1.8V, 2.5V, 3.3V, 5V)
- 制御入力を TTL または 5V/3.3V CMOS 出力で駆動可能
- $I_{off}$  により部分的パワーダウン・モードでの動作をサポート
- JESD 78, Class II 準拠で 100mA 超のラッチアップ性能
- JESD 22 準拠で ESD 性能をテスト済み
  - 2000V, 人体モデル (A114-B, Class II)
  - 1000V, 荷電デバイス・モデル (C101)
- デジタルとアナログの両方のアプリケーションに対応: PCI インターフェイス、差動信号インターフェイス、メモリ・インターリーブ、バス絶縁、低歪み信号ゲーティング。<sup>1</sup>



† EN はスイッチに印加される内部イネーブル信号

## 概略回路図、各 FET スイッチ (SW)

<sup>1</sup> CB3Q ファミリーの性能特性の詳細については、TI のアプリケーション・レポート『CBT-C、CB3T、および CB3Q シグナル・スイッチ・ファミリ』を参照してください。

## 2 アプリケーション

- AV レシーバ
- ブルーレイ・レコーダとブルーレイ・プレーヤ
- 組み込み PC
- 携帯用オーディオ・ドック
- DLP フロント・プロジェクション・システム

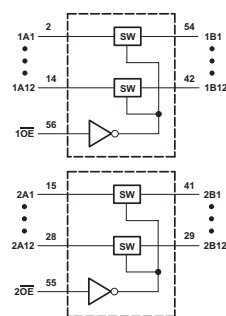
## 3 概要

SN74CB3Q16211 デバイスは高帯域の FET バス・スイッチで、チャージ・ポンプを利用してバス・トランジスタのゲート電圧を上昇させ、低い平坦なオン抵抗 ( $r_{on}$ ) を実現します。オン抵抗が低く平坦であるため、伝搬遅延を最小限に抑えることができ、データ入出力 (I/O) ポートでのレール・ツー・レール・スイッチングをサポートします。本デバイスはデータ I/O の静電容量が小さいため、データ・バスの容量性負荷と信号歪みも最小限に抑えることができます。高帯域幅アプリケーションに対応するために特別に設計された SN74CB3Q16211 デバイスは、ブロードバンド通信、ネットワーク、データ集約型コンピューティング・システムに理想的な、最適化されたインターフェイス・ソリューションを提供します。

### 製品情報 (1)

部品番号	パッケージ	本体サイズ
SN74CB3Q16211	TSSOP (56)	14.00mm×6.10mm
	TVSOP (56)	11.30mm × 4.40mm
	SSOP (56)	18.40mm × 7.49mm
	BGA MICROSTAR JUNIOR (56)	7.00mm×4.50mm

(1) 利用可能なパッケージについては、このデータシートの末尾にある注文情報を参照してください。



ここに示す端子番号は、DGG、DGV、DL パッケージ用です。

### 論理図 (正論理)



## Table of Contents

1 特長.....	1	7.6 Typical Characteristics.....	6
2 アプリケーション.....	1	<b>8 Parameter Measurement Information.....</b>	<b>7</b>
3 概要.....	1	<b>9 Device and Documentation Support.....</b>	<b>8</b>
4 Revision History.....	2	9.1 Documentation Support.....	8
5 概要 (続き).....	2	9.2 Receiving Notification of Documentation Updates.....	8
6 Pin Configuration and Functions.....	3	9.3 サポート・リソース.....	8
7 Specifications.....	4	9.4 Trademarks.....	8
7.1 Absolute Maximum Ratings.....	4	9.5 Electrostatic Discharge Caution.....	8
7.2 Handling Ratings.....	4	9.6 Glossary.....	8
7.3 Recommended Operating Conditions.....	4	<b>10 Mechanical, Packaging, and Orderable</b>	
7.4 Electrical Characteristics.....	5	<b>Information.....</b>	<b>8</b>
7.5 Switching Characteristics.....	5		

## 4 Revision History

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

### Changes from Revision \* (May 2004) to Revision A (July 2022)

Page

• 新しい TI データシート・フォーマットにドキュメントを更新 - 仕様変更なし.....	1
• 「注文情報」表を削除.....	1
• 「アプリケーション」を追加.....	1
• 「製品情報」表を追加.....	1
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1
• Changed the BGA package from: GQL to: ZQL in the <i>Pin Configuration and Functions</i> section.....	3
• Moved T <sub>stg</sub> to Handling Ratings table.....	4
• Added Mechanical, Packaging, and Orderable Information section.....	8

## 5 概要 (続き)

SN74CB3Q16211 デバイスは、独立した出力イネーブル ( $\overline{1OE}$ 、 $\overline{2OE}$ ) 入力を備えた 2 つの 12 ビット・バス・スイッチで構成されています。このデバイスは、2 つの 12 ビット・バス・スイッチまたは 1 つの 24 ビット・バス・スイッチとして使用できます。 $\overline{OE}$  が LOW のとき、関連付けられている 12 ビット・バス・スイッチはオンで、A ポートは B ポートに接続され、ポート間で双方向のデータ・フローが可能になります。 $\overline{OE}$  を HIGH にすると、関連する 12 ビット・バス・スイッチはオフになり、A と B のポート間は高インピーダンス状態になります。

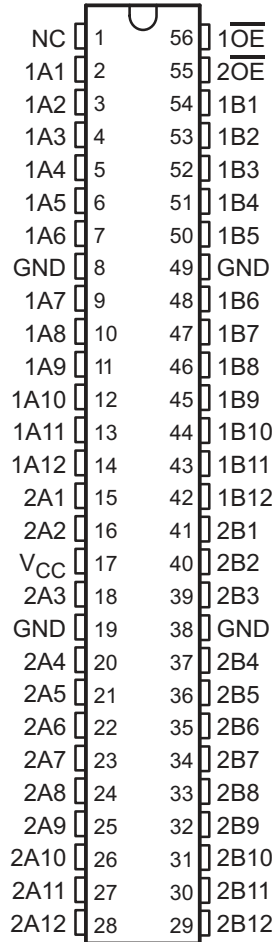
このデバイスは、I<sub>off</sub> を使用する部分的パワーダウン・アプリケーション用の動作が完全に規定されています。電源切断時にデバイスに電流が逆流することによる損傷を I<sub>off</sub> 回路が防止します。

電源オンまたは電源オフ時に高インピーダンス状態を確保するため、 $\overline{OE}$  はプルアップ抵抗経路で V<sub>CC</sub> に接続されます。この抵抗の最小値は、ドライバの電流シンク能力によって決定されます。

**表 5-1. 機能表**  
(各 12 ビット・バス・スイッチ)

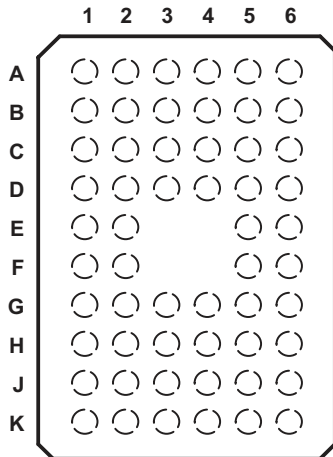
入力 OE	入出力 A	機能
L	B	A ポート = B ポート
H	Z	切断

## 6 Pin Configuration and Functions



NC – No internal connection

✎ 6-1. DGG, DGV, or DL Package, 56-Pin TSSOP and TVSOP (Top View)



✎ 6-2. ZQL Package, 56-Pin BGA (Top View)

	1	2	3	4	5	6
A	1A2	1A1	NC	1OE	2OE	1B1
B	1A5	1A4	1A3	1B2	1B3	1B4
C	1A7	GND	1A6	1B5	GND	1B6
D	1A10	1A8	1A9	1B8	1B7	1B9
E	1A12	1A11			1B10	1B11
F	2A1	2A2			2B1	1B12
G	VCC	GND	2A3	2B3	GND	2B2
H	2A4	2A5	2A6	2B6	2B5	2B4
J	2A7	2A8	2A9	2B9	2B8	2B7
K	2A10	2A11	2A12	2B12	2B11	2B10

NC – No internal connection

✎ 6-3. Functions Table

## 7 Specifications

### 7.1 Absolute Maximum Ratings

over operating free-air temperature range (unless otherwise noted)<sup>(1)</sup>

		MIN	MAX	UNIT
V <sub>CC</sub>	Supply voltage range <sup>(2)</sup>	-0.5	4.6	V
V <sub>IN</sub>	Control input voltage range <sup>(2) (3)</sup>	-0.5	7	V
V <sub>I/O</sub>	Switch I/O voltage range <sup>(2) (3) (4)</sup>	-0.5	7	V
I <sub>IK</sub>	Control input clamp current	V <sub>IN</sub> < 0		-50 mA
I <sub>I/O</sub> K	I/O port clamp current	V <sub>I/O</sub> < 0		-50 mA
I <sub>I/O</sub>	ON-state switch current <sup>(5)</sup>			±64 mA
Continuous current through V <sub>CC</sub> or GND terminals				±100 mA
θ <sub>JA</sub>	Package thermal impedance <sup>(6)</sup>	DGG package		64
		DGV package		48
		DL package		56
		GQL package		42

- (1) Stresses beyond those listed under *Absolute Maximum Ratings* may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated under *Recommended Operating Conditions* is not implied. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.
- (2) All voltages are with respect to ground unless otherwise specified.
- (3) The input and output voltage ratings may be exceeded if the input and output clamp-current ratings are observed.
- (4) V<sub>I</sub> and V<sub>O</sub> are used to denote specific conditions for V<sub>I/O</sub>.
- (5) I<sub>I</sub> and I<sub>O</sub> are used to denote specific conditions for I<sub>I/O</sub>.
- (6) The package thermal impedance is calculated in accordance with JESD 51-7.

### 7.2 Handling Ratings

PARAMETER	DEFINITION	MIN	MAX	UNIT
T <sub>stg</sub>	Storage temperature range	-65	150	°C

### 7.3 Recommended Operating Conditions

over operating free-air temperature range (unless otherwise noted)<sup>(1)</sup>

		MIN	MAX	UNIT	
V <sub>CC</sub>	Supply voltage	2.3	3.6	V	
V <sub>IH</sub>	High-level control input voltage	V <sub>CC</sub> = 2.3 V to 2.7 V	1.7	5.5	V
		V <sub>CC</sub> = 2.7 V to 3.6 V	2	5.5	
V <sub>IL</sub>	Low-level control input voltage	V <sub>CC</sub> = 2.3 V to 2.7 V	0	0.7	V
		V <sub>CC</sub> = 2.7 V to 3.6 V	0	0.8	
V <sub>I/O</sub>	Data input/output voltage	0	5.5	V	
T <sub>A</sub>	Operating free-air temperature	-40	85	°C	

- (1) All unused control inputs of the device must be held at V<sub>CC</sub> or GND to ensure proper device operation. Refer to the TI application report, *Implications of Slow or Floating CMOS Inputs*, literature number [SCBA004](#).

## 7.4 Electrical Characteristics

over recommended operating free-air temperature range (unless otherwise noted)<sup>(1)</sup>

PARAMETER		TEST CONDITIONS			MIN	TYP <sup>(2)</sup>	MAX	UNIT
V <sub>IK</sub>		V <sub>CC</sub> = 3.6 V,	I <sub>I</sub> = -18 mA				-1.8	V
I <sub>IN</sub>	Control inputs	V <sub>CC</sub> = 3.6 V,	V <sub>IN</sub> = 0 to 5.5 V				±1	μA
I <sub>OZ</sub> <sup>(3)</sup>		V <sub>CC</sub> = 3.6 V,	V <sub>O</sub> = 0 to 5.5 V, V <sub>I</sub> = 0	Switch OFF, V <sub>IN</sub> = V <sub>CC</sub> or GND			±1	μA
I <sub>off</sub>		V <sub>CC</sub> = 0,	V <sub>O</sub> = 0 to 5.5 V, V <sub>I</sub> = 0				1	μA
I <sub>CC</sub>		V <sub>CC</sub> = 3.6 V,	I <sub>I/O</sub> = 0,	Switch ON or OFF, V <sub>IN</sub> = V <sub>CC</sub> or GND		1	3	mA
ΔI <sub>CC</sub> <sup>(4)</sup>	Control inputs	V <sub>CC</sub> = 3.6 V,	One input at 3 V,	Other inputs at V <sub>CC</sub> or GND			30	μA
I <sub>CCD</sub> <sup>(5)</sup>	Per control input	V <sub>CC</sub> = 3.6 V,	A and B ports open, Control input switching at 50% duty cycle			0.15	0.25	mA/ MHz
C <sub>in</sub>	Control inputs	V <sub>CC</sub> = 3.3 V,	V <sub>IN</sub> = 5.5 V, 3.3 V, or 0			3.5	5	pF
C <sub>io(OFF)</sub>		V <sub>CC</sub> = 3.3 V,	V <sub>IN</sub> = V <sub>CC</sub> or GND,	Switch OFF, V <sub>I/O</sub> = 5.5 V, 3.3 V, or 0		4	5	pF
C <sub>io(ON)</sub>		V <sub>CC</sub> = 3.3 V,	V <sub>IN</sub> = V <sub>CC</sub> or GND,	Switch ON, V <sub>I/O</sub> = 5.5 V, 3.3 V, or 0		10	12.5	pF
r <sub>on</sub> <sup>(6)</sup>		V <sub>CC</sub> = 2.3 V, TYP at V <sub>CC</sub> = 2.5 V	V <sub>I</sub> = 0,	I <sub>O</sub> = 30 mA		5	8	Ω
			V <sub>I</sub> = 1.7 V,	I <sub>O</sub> = -15 mA		5	9	
		V <sub>CC</sub> = 3 V	V <sub>I</sub> = 0,	I <sub>O</sub> = 30 mA		5	6.5	
			V <sub>I</sub> = 2.4 V,	I <sub>O</sub> = -15 mA		5	8	

- (1) V<sub>IN</sub> and I<sub>IN</sub> refer to control inputs. V<sub>I</sub>, V<sub>O</sub>, I<sub>I</sub>, and I<sub>O</sub> refer to data pins.
- (2) All typical values are at V<sub>CC</sub> = 3.3 V (unless otherwise noted), T<sub>A</sub> = 25°C.
- (3) For I/O ports, the parameter I<sub>OZ</sub> includes the input leakage current.
- (4) This is the increase in supply current for each input that is at the specified TTL voltage level, rather than V<sub>CC</sub> or GND.
- (5) This parameter specifies the dynamic power-supply current associated with the operating frequency of a single control input (see [Figure 7-2](#)).
- (6) Measured by the voltage drop between the A and B terminals at the indicated current through the switch. ON-state resistance is determined by the lower of the voltages of the two (A or B) terminals.

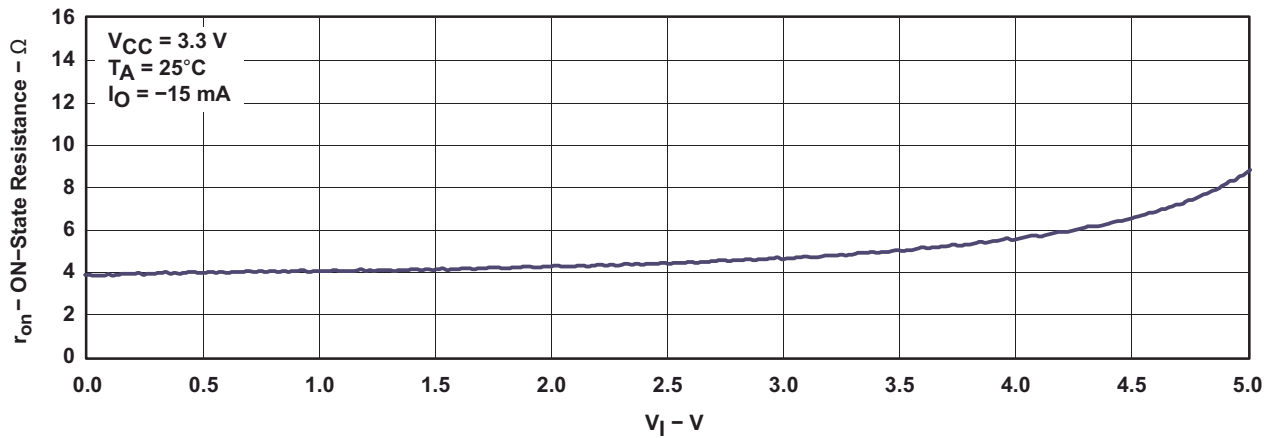
## 7.5 Switching Characteristics

over recommended operating free-air temperature range (unless otherwise noted) (see [Figure 8-1](#))

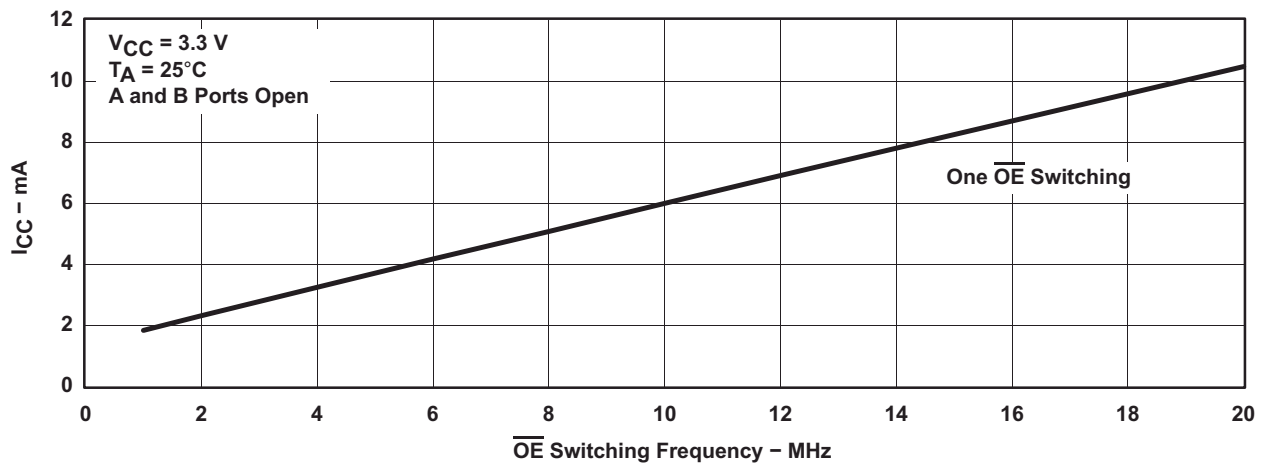
PARAMETER	FROM (INPUT)	TO (OUTPUT)	V <sub>CC</sub> = 2.5 V ± 0.2 V		V <sub>CC</sub> = 3.3 V ± 0.3 V		UNIT
			MIN	MAX	MIN	MAX	
f <sub>OE</sub> <sup>(1)</sup>	OE	A or B		10		20	MHz
t <sub>pd</sub> <sup>(2)</sup>	A or B	B or A		0.15		0.25	ns
t <sub>en</sub>	OE	A or B	1.5	8	1.5	8	ns
t <sub>dis</sub>	OE	A or B	1	7.5	1	7.5	ns

- (1) Maximum switching frequency for control input (V<sub>O</sub> > V<sub>CC</sub>, V<sub>I</sub> = 5 V, R<sub>L</sub> ≥ 1 MΩ, C<sub>L</sub> = 0).
- (2) The propagation delay is the calculated RC time constant of the typical ON-state resistance of the switch and the specified load capacitance, when driven by an ideal voltage source (zero output impedance).

## 7.6 Typical Characteristics

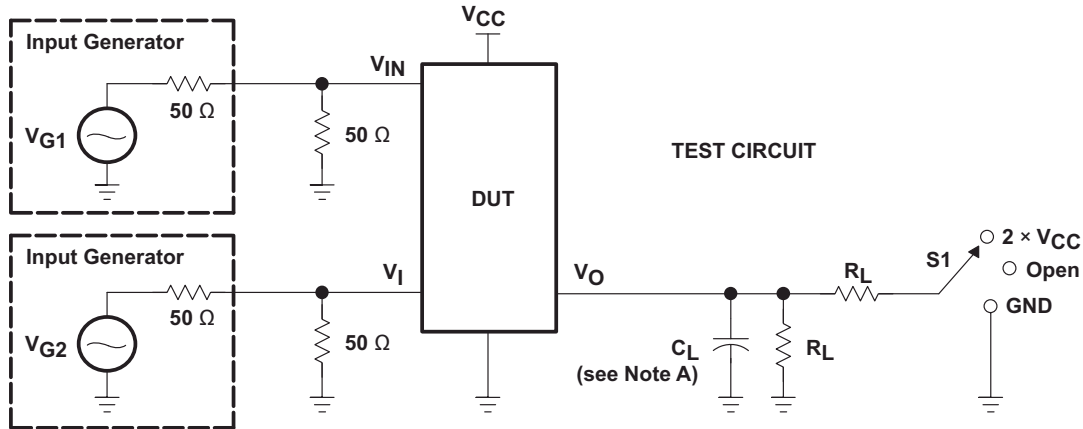


7-1. Typical  $r_{on}$  vs  $V_I$

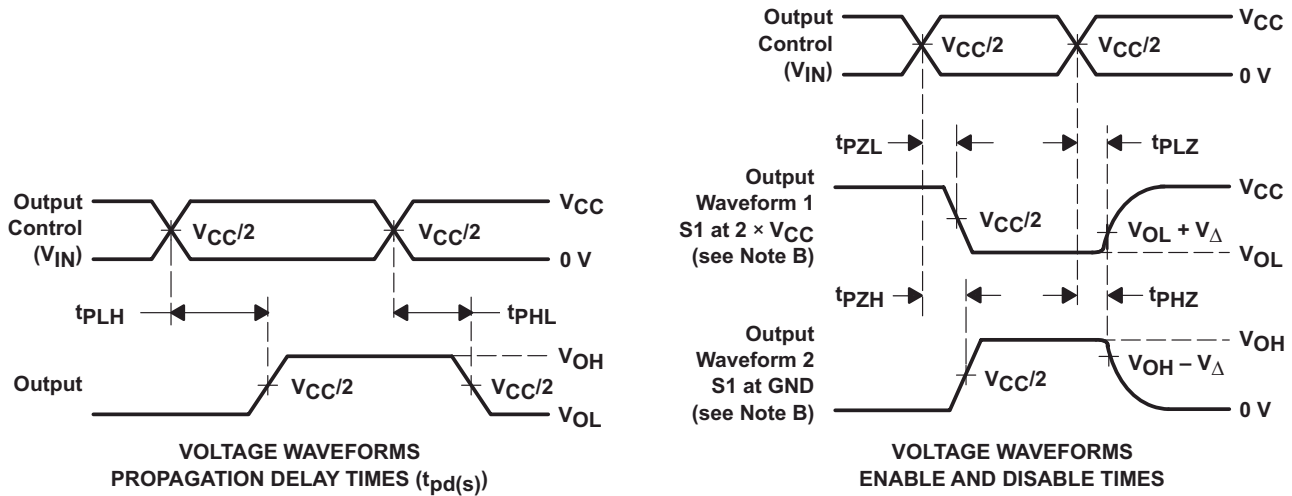


7-2. Typical  $I_{CC}$  vs  $\overline{OE}$  Switching Frequency

## 8 Parameter Measurement Information



TEST	V <sub>CC</sub>	S1	R <sub>L</sub>	V <sub>I</sub>	C <sub>L</sub>	V <sub>Δ</sub>
t <sub>pd</sub> (s)	2.5 V ± 0.2 V	Open	500 Ω	V <sub>CC</sub> or GND	30 pF	
	3.3 V ± 0.3 V	Open	500 Ω	V <sub>CC</sub> or GND	50 pF	
t <sub>PLZ</sub> /t <sub>PZL</sub>	2.5 V ± 0.2 V	2 × V <sub>CC</sub>	500 Ω	GND	30 pF	0.15 V
	3.3 V ± 0.3 V	2 × V <sub>CC</sub>	500 Ω	GND	50 pF	0.3 V
t <sub>PHZ</sub> /t <sub>PZH</sub>	2.5 V ± 0.2 V	GND	500 Ω	V <sub>CC</sub>	30 pF	0.15 V
	3.3 V ± 0.3 V	GND	500 Ω	V <sub>CC</sub>	50 pF	0.3 V



- NOTES:
- A. C<sub>L</sub> includes probe and jig capacitance.
  - B. Waveform 1 is for an output with internal conditions such that the output is low, except when disabled by the output control. Waveform 2 is for an output with internal conditions such that the output is high, except when disabled by the output control.
  - C. All input pulses are supplied by generators having the following characteristics: PRR ≤ 10 MHz, Z<sub>O</sub> = 50 Ω, t<sub>r</sub> ≤ 2.5 ns, t<sub>f</sub> ≤ 2.5 ns.
  - D. The outputs are measured one at a time, with one transition per measurement.
  - E. t<sub>PLZ</sub> and t<sub>PHZ</sub> are the same as t<sub>dis</sub>.
  - F. t<sub>PZL</sub> and t<sub>PZH</sub> are the same as t<sub>en</sub>.
  - G. t<sub>PLH</sub> and t<sub>PHL</sub> are the same as t<sub>pd</sub>(s). The t<sub>pd</sub> propagation delay is the calculated RC time constant of the typical ON-state resistance of the switch and the specified load capacitance, when driven by an ideal voltage source (zero output impedance).
  - H. All parameters and waveforms are not applicable to all devices.

8-1. Test Circuit and Voltage Waveforms

## 9 Device and Documentation Support

### 9.1 Documentation Support

#### 9.1.1 Related Documentation

For related documentation, see the following:

- Texas Instruments, [CBT-C, CB3T, and CB3Q Signal-Switch Families application report](#)

### 9.2 Receiving Notification of Documentation Updates

To receive notification of documentation updates, navigate to the device product folder on [ti.com](#). Click on *Subscribe to updates* to register and receive a weekly digest of any product information that has changed. For change details, review the revision history included in any revised document.

### 9.3 サポート・リソース

TI E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、該当する貢献者により、現状のまま提供されるものです。これらは TI の仕様を構成するものではなく、必ずしも TI の見解を反映したものではありません。TI の [使用条件](#) を参照してください。

### 9.4 Trademarks

TI E2E™ is a trademark of Texas Instruments.

Widebus+® is a registered trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

### 9.5 Electrostatic Discharge Caution



This integrated circuit can be damaged by ESD. Texas Instruments recommends that all integrated circuits be handled with appropriate precautions. Failure to observe proper handling and installation procedures can cause damage.

ESD damage can range from subtle performance degradation to complete device failure. Precision integrated circuits may be more susceptible to damage because very small parametric changes could cause the device not to meet its published specifications.

### 9.6 Glossary

[TI Glossary](#) This glossary lists and explains terms, acronyms, and definitions.

## 10 Mechanical, Packaging, and Orderable Information

The following pages include mechanical packaging and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser based versions of this data sheet, refer to the left hand navigation.



**PACKAGING INFORMATION**

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
SN74CB3Q16211DGGR	ACTIVE	TSSOP	DGG	56	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 85	CB3Q16211	<a href="#">Samples</a>
SN74CB3Q16211DGVR	ACTIVE	TVSOP	DGV	56	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 85	BW211	<a href="#">Samples</a>
SN74CB3Q16211DL	ACTIVE	SSOP	DL	56	20	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 85	CB3Q16211	<a href="#">Samples</a>
SN74CB3Q16211DLR	ACTIVE	SSOP	DL	56	1000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 85	CB3Q16211	<a href="#">Samples</a>

(1) The marketing status values are defined as follows:

**ACTIVE:** Product device recommended for new designs.

**LIFEBUY:** TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

**NRND:** Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

**PREVIEW:** Device has been announced but is not in production. Samples may or may not be available.

**OBSELETE:** TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

**RoHS Exempt:** TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

**Green:** TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "-" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

**Important Information and Disclaimer:**The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and

continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

**TAPE AND REEL INFORMATION**

**QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE**


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74CB3Q16211DGGR	TSSOP	DGG	56	2000	330.0	24.4	8.6	15.6	1.8	12.0	24.0	Q1
SN74CB3Q16211DGVR	TVSOP	DGV	56	2000	330.0	24.4	6.8	11.7	1.6	12.0	24.0	Q1
SN74CB3Q16211DLR	SSOP	DL	56	1000	330.0	32.4	11.35	18.67	3.1	16.0	32.0	Q1

**TAPE AND REEL BOX DIMENSIONS**


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74CB3Q16211DGGR	TSSOP	DGG	56	2000	367.0	367.0	45.0
SN74CB3Q16211DGVR	TVSOP	DGV	56	2000	367.0	367.0	45.0
SN74CB3Q16211DLR	SSOP	DL	56	1000	367.0	367.0	55.0

**TUBE**


\*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
SN74CB3Q16211DL	DL	SSOP	56	20	473.7	14.24	5110	7.87

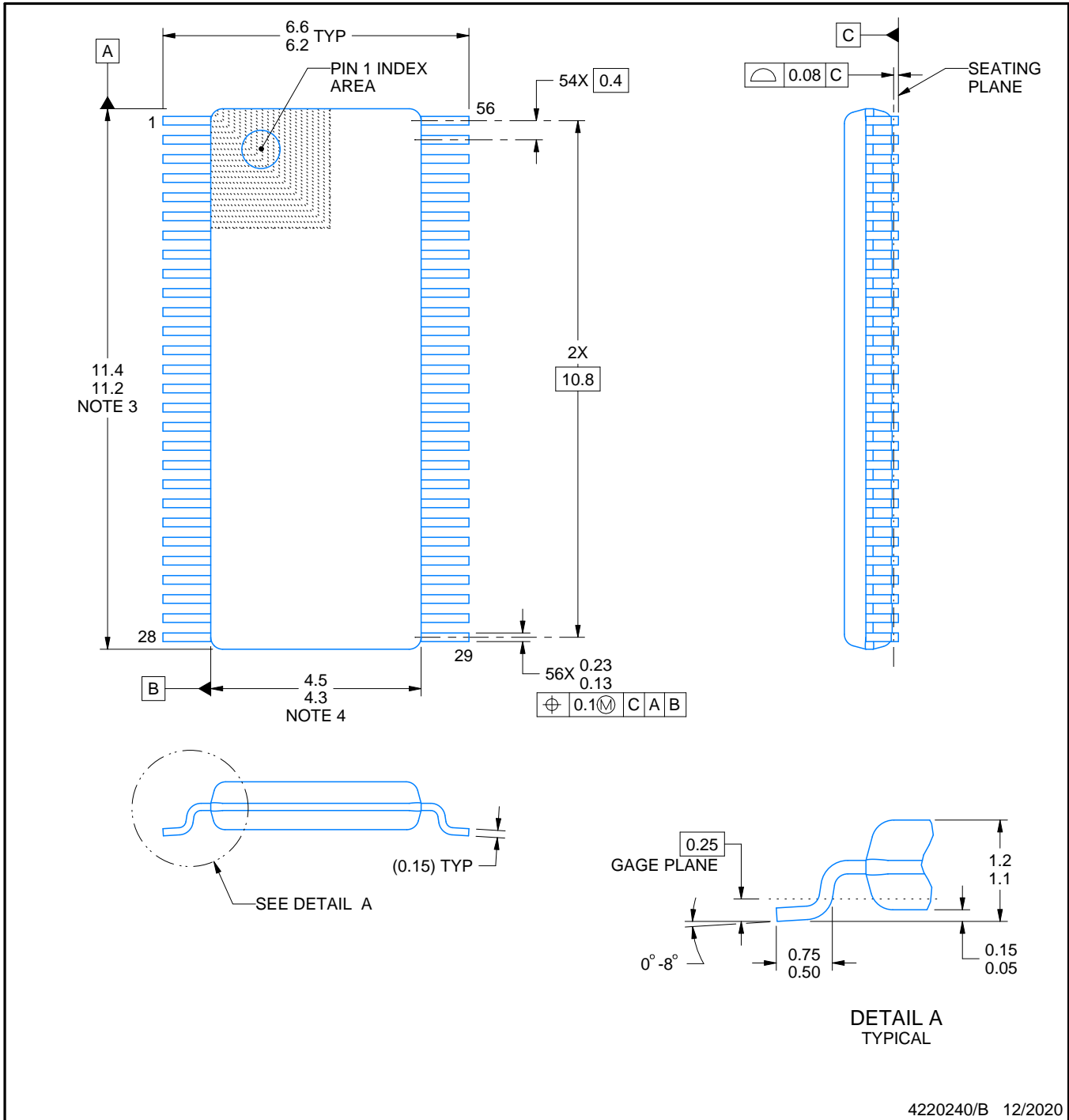
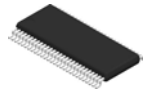
DGV (R-PDSO-G\*\*)

PLASTIC SMALL-OUTLINE

24 PINS SHOWN



- NOTES: A. All linear dimensions are in millimeters.  
 B. This drawing is subject to change without notice.  
 C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15 per side.  
 D. Falls within JEDEC: 24/48 Pins – MO-153  
 14/16/20/56 Pins – MO-194



4220240/B 12/2020

NOTES:

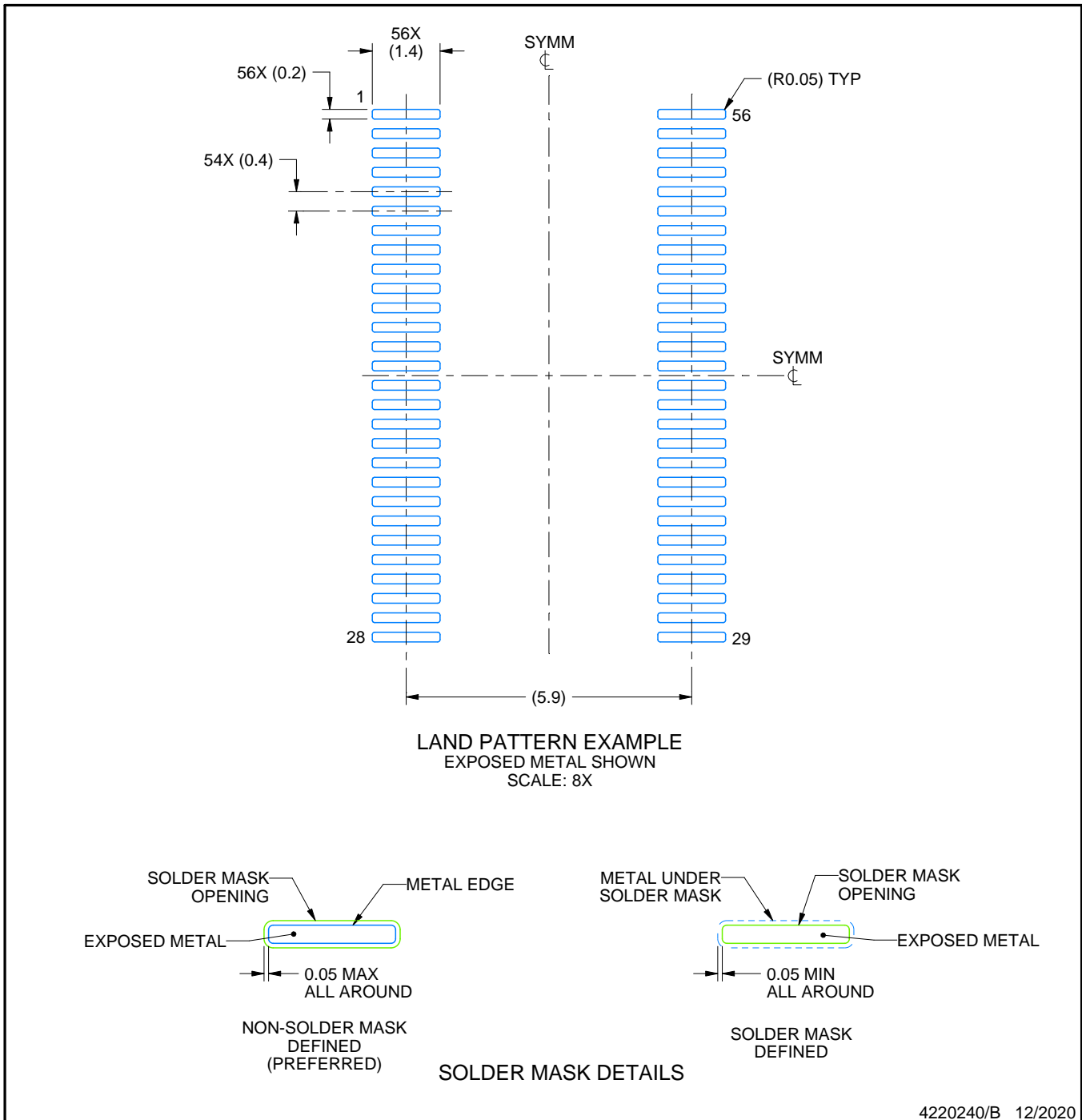
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-194.

# EXAMPLE BOARD LAYOUT

DGV0056A

TVSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

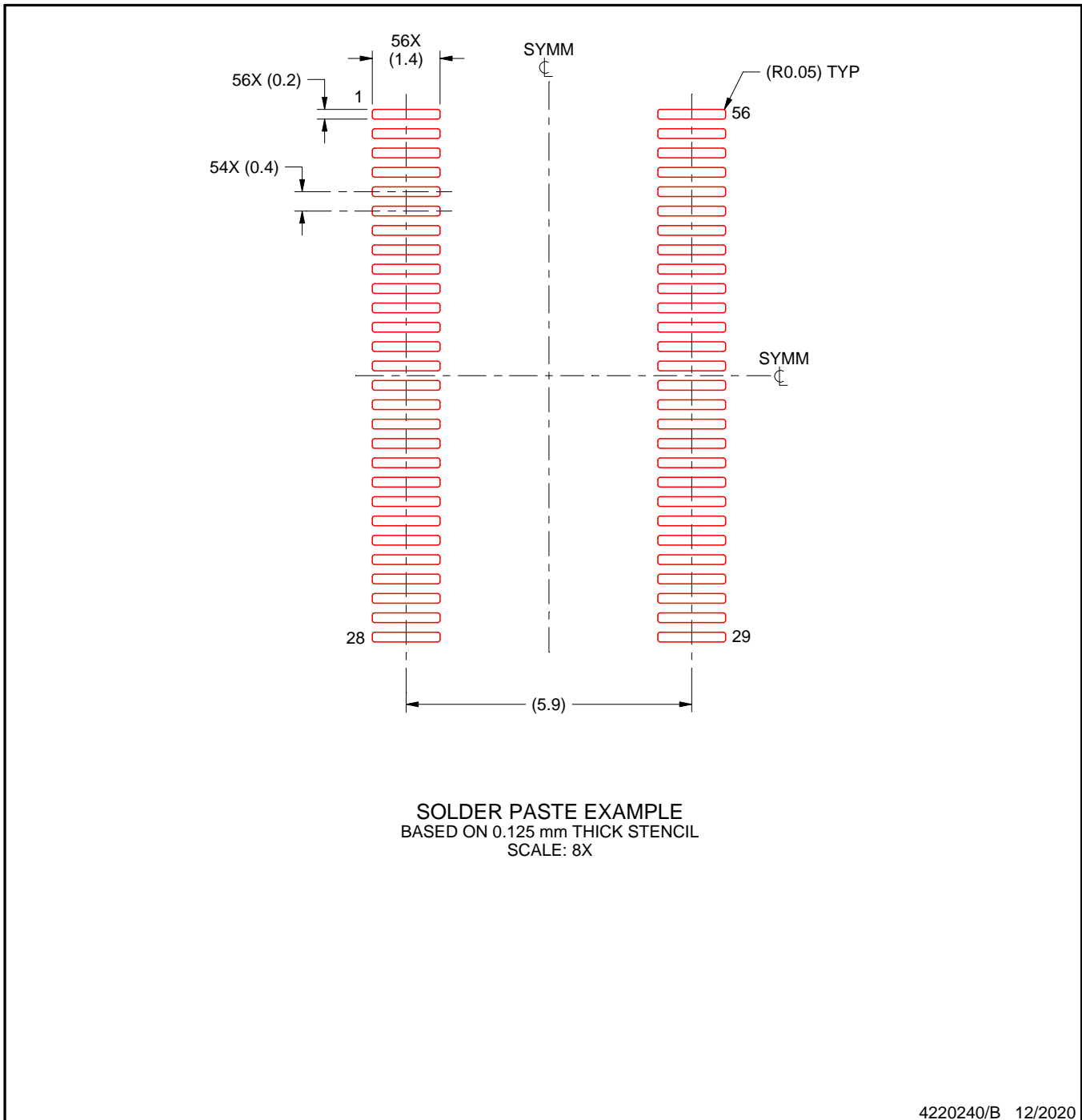


# EXAMPLE STENCIL DESIGN

DGV0056A

TVSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



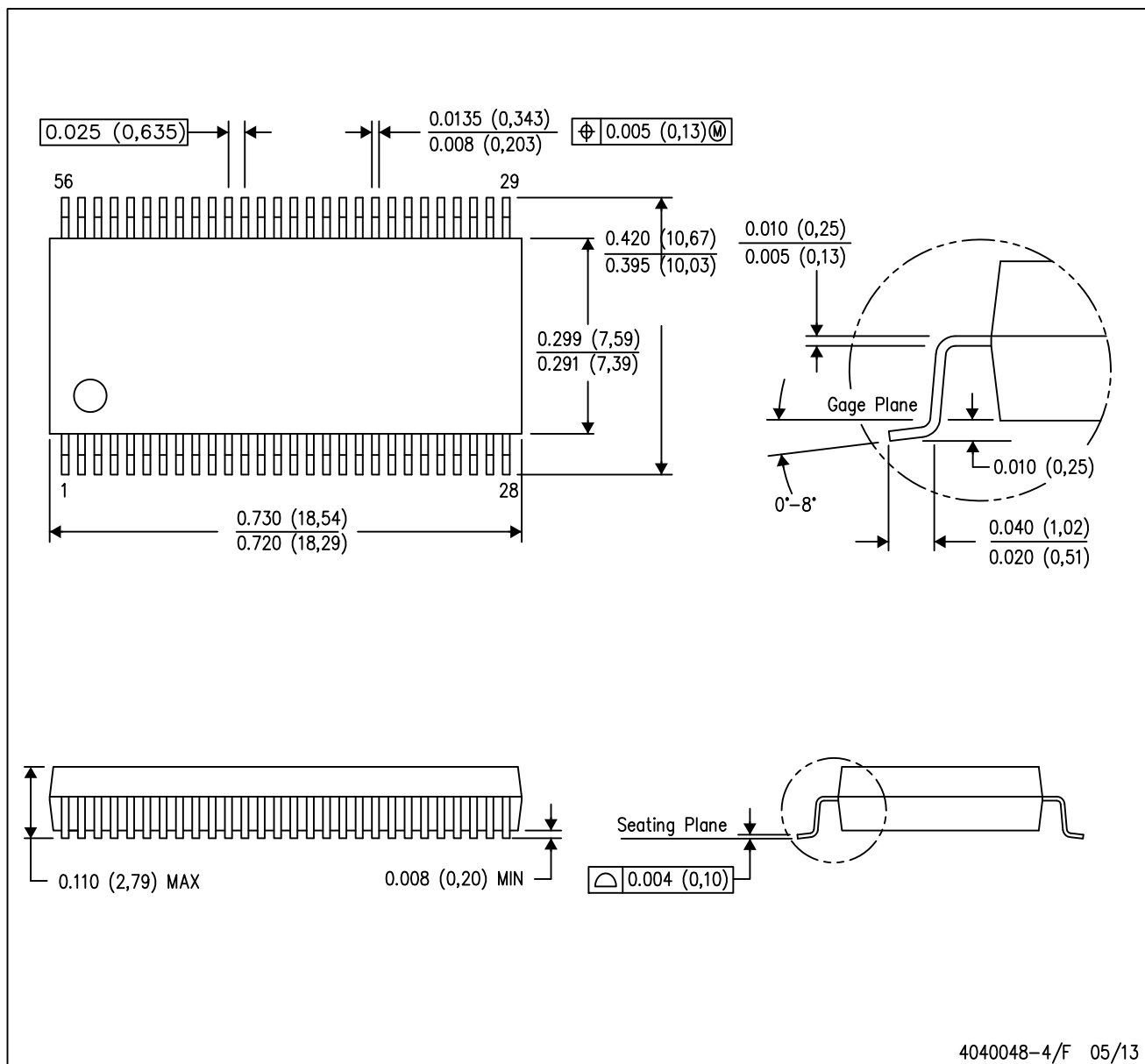
NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

MECHANICAL DATA

DL (R-PDSO-G56)

PLASTIC SMALL-OUTLINE PACKAGE



- NOTES: A. All linear dimensions are in inches (millimeters).  
B. This drawing is subject to change without notice.  
C. Body dimensions do not include mold flash or protrusion not to exceed 0.006 (0,15).  
D. Falls within JEDEC MO-118

PowerPAD is a trademark of Texas Instruments.

# DGG0056A



# PACKAGE OUTLINE

## TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



4222167/A 07/2015

### NOTES:

- All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
- This drawing is subject to change without notice.
- This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
- Reference JEDEC registration MO-153.

# EXAMPLE BOARD LAYOUT

DGG0056A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE  
SCALE:6X



SOLDER MASK DETAILS

4222167/A 07/2015

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

# EXAMPLE STENCIL DESIGN

DGG0056A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE  
BASED ON 0.125 mm THICK STENCIL  
SCALE:6X

4222167/A 07/2015

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

## 重要なお知らせと免責事項

TI は、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](https://www.ti.com) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2022, Texas Instruments Incorporated