

SN74HC4066 クワッド双方向アナログスイッチ

1 特長

- 広い動作電圧範囲: 1V~6V
- スイッチの標準イネーブル時間: 18ns
- 低い消費電力、 I_{CC} 最大値 20 μ A
- 低い入力電流: 最大値 1 μ A
- 高度な線形性
- 高いオン/オフ出力電圧比
- スイッチ間の低いクロストーク
- 低いオン抵抗: 50 Ω ($V_{CC} = 6V$ での標準値)
- スイッチの個別制御

2 アプリケーション

- アナログ信号スイッチング/多重化:
 - 信号ゲーティング、変調器、スケルチ制御、復調器、チョッパー、整流スイッチ
- デジタル信号スイッチング/多重化:
 - [オーディオおよびビデオ信号のルーティング](#)
- 伝送ゲート ロジックの実装
- A/D 変換および D/A 変換
- 周波数、インピーダンス、位相、アナログ信号ゲインのデジタル制御
- モーターの速度制御
- [バッテリーチャージャ](#)
- [DC/DC コンバータ](#)

3 概要

SN74HC4066 デバイスは、シリコン ゲート CMOS のクワッド アナログ スイッチであり、アナログとデジタルの両方の信号を扱えるよう設計されています。各スイッチは、最大 6V (ピーク) までの振幅の信号を、どちらの方向にも転送できます。

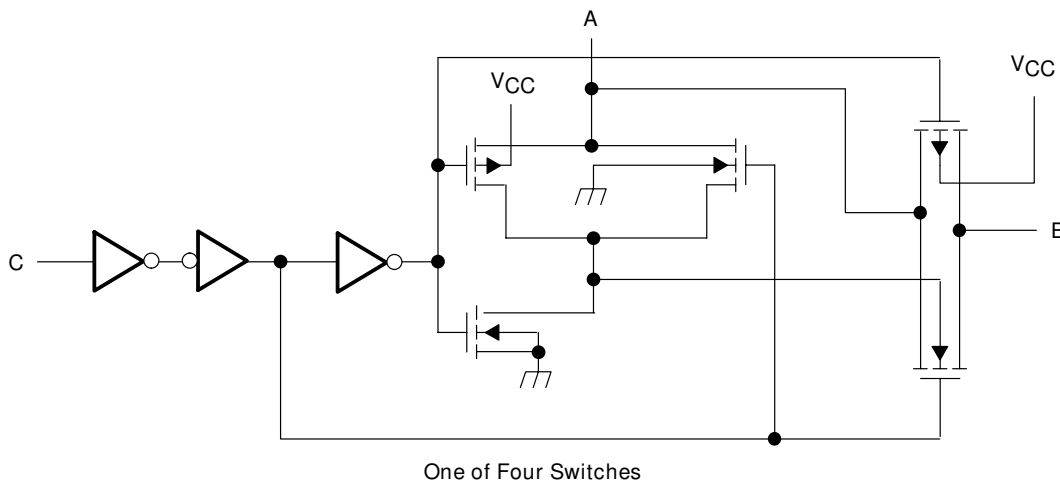
スイッチの各セクションには、専用のイネーブル入力制御 (C) が存在します。C に HIGH レベルの電圧が印加されると、対応するスイッチ セクションがオンになります。

信号ゲーティング、チョッピング、変調または復調 (モデム)、およびアナログ / デジタルやデジタル / アナログ変換システム用の信号多重化などのアプリケーションに使用できます。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ (2)
SN74HC4066	D (SOIC, 14)	8.65mm × 6mm
	PW (TSSOP, 14)	5mm × 6.4mm

- (1) 詳細については、[セクション 11](#) を参照してください。
- (2) パッケージ サイズ (長さ×幅) は公称値であり、該当する場合はピンも含まれます。



Copyright © 2016, Texas Instruments Incorporated

各スイッチの論理図 (正論理)



Table of Contents

1 特長	1	7.3 Feature Description.....	13
2 アプリケーション	1	7.4 Device Functional Modes.....	13
3 概要	1	8 Application and Implementation	14
4 Pin Configuration and Functions	3	8.1 Application Information.....	14
5 Specifications	4	8.2 Typical Application.....	14
5.1 Absolute Maximum Ratings.....	4	8.3 Power Supply Recommendations.....	15
5.2 ESD Ratings.....	4	8.4 Layout.....	15
5.3 Recommended Operating Conditions.....	4	9 Device and Documentation Support	17
5.4 Thermal Information.....	5	9.1 Documentation Support.....	17
5.5 Electrical Characteristics.....	5	9.2 ドキュメントの更新通知を受け取る方法.....	17
5.6 Switching Characteristics.....	6	9.3 サポート・リソース.....	17
5.7 Operating Characteristics.....	6	9.4 Trademarks.....	17
5.8 Typical Characteristics.....	7	9.5 静電気放電に関する注意事項.....	17
6 Parameter Measurement Information	8	9.6 用語集.....	17
7 Detailed Description	13	10 Revision History	17
7.1 Overview.....	13	11 Mechanical, Packaging, and Orderable Information	18
7.2 Functional Block Diagram.....	13		

4 Pin Configuration and Functions

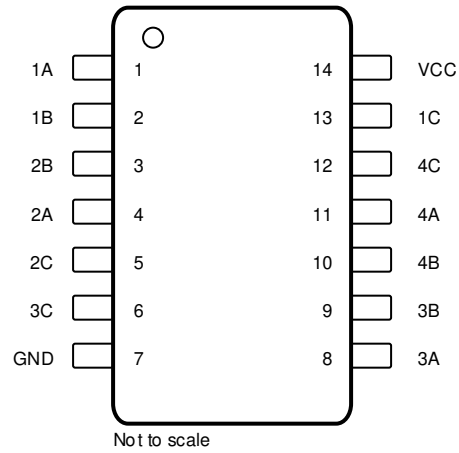


図 4-1. D or PW Package, 14-Pin SOIC or TSSOP (Top View)

表 4-1. Pin Functions

PIN		TYPE ⁽¹⁾	DESCRIPTION
NAME	NO.		
1A	1	I/O	Switch 1 input/output
1B	2	I/O	Switch 1 output/input
2B	3	I/O	Switch 2 output/input
2A	4	I/O	Switch 2 input/output
2C	5	I	Switch 2 control
3C	6	I	Switch 3 control
GND	7	—	Ground
3A	8	I/O	Switch 3 input/output
3B	9	I/O	Switch 3 output/input
4B	10	I/O	Switch 4 output/input
4A	11	I/O	Switch 4 input/output
4C	12	I	Switch 4 control
1C	13	I	Switch 1 control
V _{CC}	14	—	Power

(1) I = input, O = output

5 Specifications

5.1 Absolute Maximum Ratings

over operating free-air temperature range (unless otherwise noted)⁽¹⁾

			MIN	MAX	UNIT
V _{CC}	Supply voltage ⁽²⁾		-0.5	7	V
I _I	Control-input diode current	V _I < 0 or V _I > V _{CC}		±20	mA
I _I	I/O port diode current	V _I < 0 or V _{I/O} > V _{CC}		±20	mA
	On-state switch current	V _{I/O} = 0 to V _{CC}		±25	mA
	Continuous current through V _{CC} or GND			±50	mA
T _J	Junction temperature			150	°C
T _{stg}	Storage temperature		-60	150	°C

- (1) Stresses beyond those listed under *Absolute Maximum Ratings* may cause permanent damage to the device. These are stress ratings only, which do not imply functional operation of the device at these or any other conditions beyond those indicated under *Recommended Operating Conditions*. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.
- (2) All voltages are with respect to ground unless otherwise specified.

5.2 ESD Ratings

			VALUE	UNIT
V _(ESD)	Electrostatic discharge	Human-body model (HBM), per ANSI/ESDA/JEDEC JS-001 ⁽¹⁾	±1000	V
		Charged-device model (CDM), per JEDEC specification JESD22-C101 ⁽²⁾	±1000	

- (1) JEDEC document JEP155 states that 500-V HBM allows safe manufacturing with a standard ESD control process.
- (2) JEDEC document JEP157 states that 250-V CDM allows safe manufacturing with a standard ESD control process. CDM value for N package only.

5.3 Recommended Operating Conditions

over operating free-air temperature range (unless otherwise noted)⁽¹⁾

			MIN	NOM	MAX	UNIT
V _{CC}	Supply voltage		1 (2)	5	6	V
V _{I/O}	I/O port voltage		0		V _{CC}	V
V _{IH}	High-level input voltage, control inputs	V _{CC} = 2V	1.5		V _{CC}	V
		V _{CC} = 4.5V	3.15		V _{CC}	
		V _{CC} = 6V	4.2		V _{CC}	
V _{IL}	Low-level input voltage, control inputs	V _{CC} = 2V	0		0.3	V
		V _{CC} = 4.5V	0		0.9	
		V _{CC} = 6V	0		1.2	
V _I	Logic control input voltage		0		V _{CC}	V
Δt/Δv	Input transition rise and fall time	V _{CC} = 2V			1000	ns
		V _{CC} = 4.5V			500	
		V _{CC} = 6V			400	
T _A	Operating free-air temperature		-40		85	°C

- (1) All unused inputs of the device must be held at V_{CC} or GND for proper device operation. See the TI application report, *Implications of Slow or Floating CMOS Inputs* (SCBA004).
- (2) With supply voltages at or below 2V, the analog switch on-state resistance becomes very nonlinear. It is recommended that only digital signals be transmitted at these low supply voltages.

5.4 Thermal Information

THERMAL METRIC ⁽¹⁾		SN74HC4066		UNIT
		D (SOIC)	PW (TSSOP)	
		14 PINS	14 PINS	
$R_{\theta JA}$	Junction-to-ambient thermal resistance	127.8	150.6	°C/W
$R_{\theta JC(top)}$	Junction-to-case (top) thermal resistance	81.8	78.2	°C/W
$R_{\theta JB}$	Junction-to-board thermal resistance	84.2	93.7	°C/W
Ψ_{JT}	Junction-to-top characterization parameter	39.5	24.6	°C/W
Ψ_{JB}	Junction-to-board characterization parameter	83.7	93.1	°C/W

(1) For more information about traditional and new thermal metrics, see the [Semiconductor and IC Package Thermal Metrics](#) application report.

5.5 Electrical Characteristics

$T_A = -40$ to $+85$ °C unless otherwise specified.

PARAMETER		TEST CONDITIONS	V_{CC}	MIN	TYP	MAX	UNIT
r_{on}	On-state switch resistance	$I_T = -1\text{mA}$, $V_I = 0$ to V_{CC} , $V_C = V_{IH}$ (see 6-1)	$T_A = 25^\circ\text{C}$	2V	150		Ω
			$T_A = 25^\circ\text{C}$	4.5V	50	85	
			$T_A = -40$ to $+85$		106		
			$T_A = 25^\circ\text{C}$	6V	30		
$r_{on(p)}$	Peak on-state resistance	$V_I = V_{CC}$ or GND, $V_C = V_{IH}$, $I_T = -1\text{mA}$	$T_A = 25^\circ\text{C}$	2V	320		Ω
			$T_A = 25^\circ\text{C}$	4.5V	70	170	
			$T_A = -40$ to $+85$		215		
			$T_A = 25^\circ\text{C}$	6V	50		
I_{IH} I_{IL}	Control input current	$V_C = 0$ or V_{CC}	$T_A = 25^\circ\text{C}$	6V	± 0.1	± 100	nA
			$T_A = -40$ to $+85$		± 1000		
I_{soff}	Off-state switch leakage current	$V_I = V_{CC}$ or 0, $V_O = V_{CC}$ or 0, $V_C = V_{IL}$ (see 6-2)	$T_A = -40$ to $+85$	6V	± 5		μA
			$T_A = 25^\circ\text{C}$		± 0.1		
I_{son}	On-state switch leakage current	$V_I = V_{CC}$ or 0, $V_C = V_{IH}$ (see 6-3)	$T_A = -40$ to $+85$	6V	± 5		μA
			$T_A = 25^\circ\text{C}$		± 0.1		
I_{CC}	Supply current	$V_I = 0$ or V_{CC} , $I_O = 0$	$T_A = -40$ to $+85$	6V	20		μA
			$T_A = 25^\circ\text{C}$		2		
C_i	Input capacitance	A or B	$T_A = 25^\circ\text{C}$	5V	8		pF
		C	$T_A = -40$ to $+85$		10		
			$T_A = 25^\circ\text{C}$		3	10	
C_f	Feed-through capacitance	A to B	$V_I = 0$		0.5		pF
C_o	Output capacitance	A or B		5V	9		pF

5.6 Switching Characteristics

$T_A = -40$ to $+85$ °C unless otherwise specified.

PARAMETER	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	V_{CC}	MIN	TYP	MAX	UNIT
t_{PLH} , t_{PHL} Propagation delay time	A or B	B or A	$C_L = 50\text{pF}$ (see 6-4)	$T_A = 25^\circ\text{C}$	2V	10	60	ns
				$T_A = -40$ to $+85$			75	
				$T_A = 25^\circ\text{C}$	4.5V	4	12	
				$T_A = -40$ to $+85$			15	
				$T_A = 25^\circ\text{C}$	6V	3	10	
				$T_A = -40$ to $+85$			13	
t_{PZH} , t_{PZL} Switch turn-on time	C	A or B	$R_L = 1\text{k}\Omega$, $C_L = 50\text{pF}$ (see 6-5)	$T_A = 25^\circ\text{C}$	2V	70	180	ns
				$T_A = -40$ to $+85$			225	
				$T_A = 25^\circ\text{C}$	4.5V	21	36	
				$T_A = -40$ to $+85$			45	
				$T_A = 25^\circ\text{C}$	6V	18	31	
				$T_A = -40$ to $+85$			38	
t_{PLZ} , t_{PHZ} Switch turn-off time	C	A or B	$R_L = 1\text{k}\Omega$, $C_L = 50\text{pF}$ (see 6-5)	$T_A = 25^\circ\text{C}$	2V	50	200	ns
				$T_A = -40$ to $+85$			250	
				$T_A = 25^\circ\text{C}$	4.5V	25	40	
				$T_A = -40$ to $+85$			50	
				$T_A = 25^\circ\text{C}$	6V	22	34	
				$T_A = -40$ to $+85$			43	
f_i Control input frequency	C	A or B	$C_L = 15\text{pF}$, $R_L = 1\text{k}\Omega$, $V_C = V_{CC}$ or GND, $V_O = V_{CC} / 2$ (see 6-6)	$T_A = 25^\circ\text{C}$	2V	15	MHz	
				$T_A = 25^\circ\text{C}$				30
				$T_A = 25^\circ\text{C}$	6V	30		
Control feed-through noise	C	A or B	$C_L = 50\text{pF}$, $R_{in} = R_L = 600\ \Omega$, $V_C = V_{CC}$ or GND, $f_{in} = 1\text{MHz}$ (see 6-7)	$T_A = 25^\circ\text{C}$	4.5V	15	mV (rms)	
				$T_A = 25^\circ\text{C}$				6V

5.7 Operating Characteristics

$V_{CC} = 4.5\text{V}$, $T_A = 25^\circ\text{C}$

PARAMETER	TEST CONDITIONS	TYP	UNIT
C_{pd} Power dissipation capacitance per gate	$C_L = 50\text{pF}$, $f = 1\text{MHz}$	45	pF
Minimum through bandwidth, A to B or B to A ⁽¹⁾ $[20 \log (V_O / V_I)] = -3$ dB	$C_L = 50\text{pF}$, $R_L = 600\ \Omega$, $V_C = V_{CC}$ (see 6-8)	100	MHz
Crosstalk between any switches ⁽²⁾	$C_L = 10\text{pF}$, $R_L = 50\ \Omega$, $f_{in} = 1\text{MHz}$ (see 6-9)	-45	dB
Feed through, switch off, A to B or B to A ⁽²⁾	$C_L = 50\text{pF}$, $R_L = 600\ \Omega$, $f_{in} = 1\text{MHz}$ (see 6-10)	-42	dB
Amplitude distortion rate, A to B or B to A	$C_L = 50\text{pF}$, $R_L = 10\text{k}\Omega$, $f_{in} = 1\text{kHz}$ (see 6-11)	0.05%	

(1) Adjust the input amplitude for output = 0 dBm at $f = 1\text{MHz}$. Input signal must be a sine wave.

(2) Adjust the input amplitude for input = 0 dBm at $f = 1\text{MHz}$. Input signal must be a sine wave.

5.8 Typical Characteristics

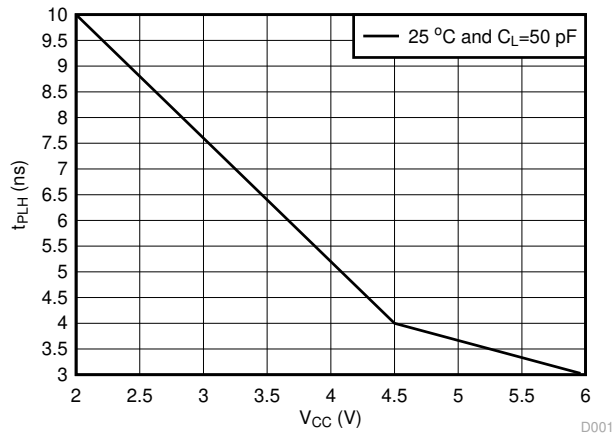


図 5-1. t_{PLH} vs V_{CC}

6 Parameter Measurement Information

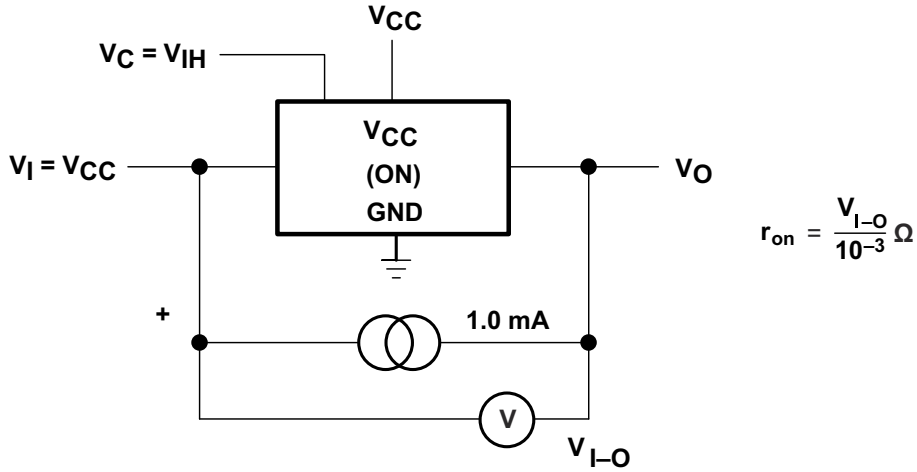


図 6-1. ON-State Resistance Test Circuit

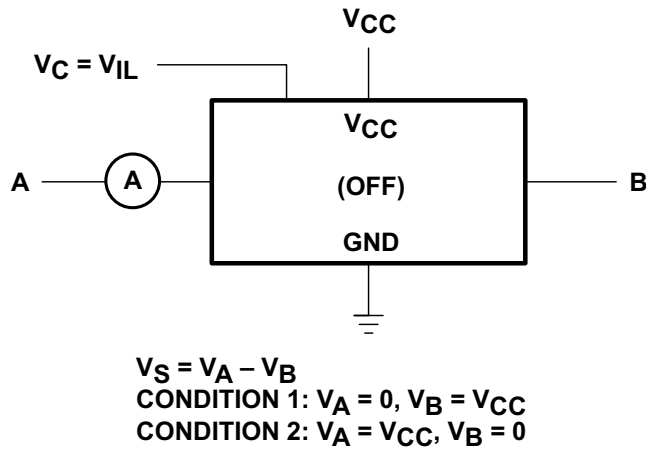


図 6-2. OFF-State Switch Leakage-Current Test Circuit

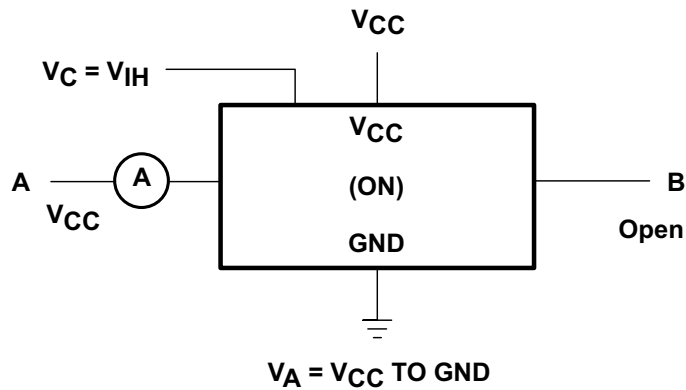


図 6-3. ON-State Leakage-Current Test Circuit

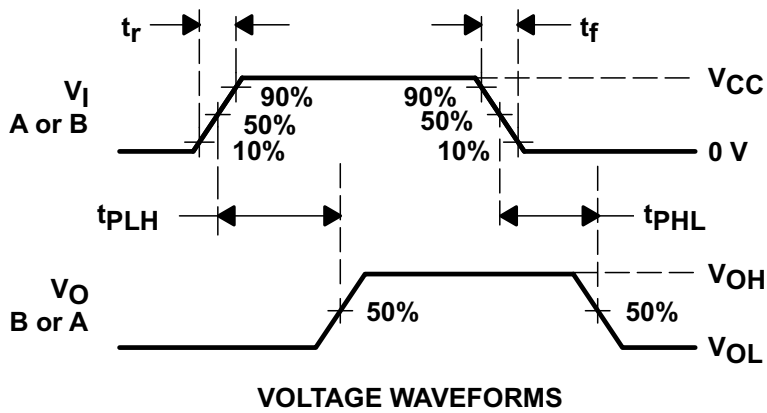
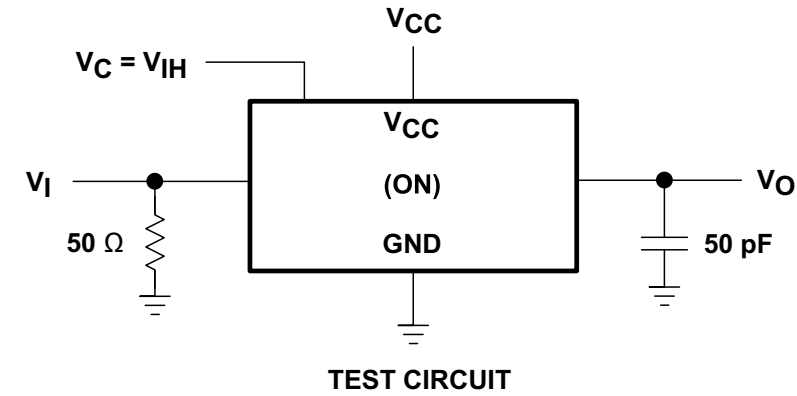
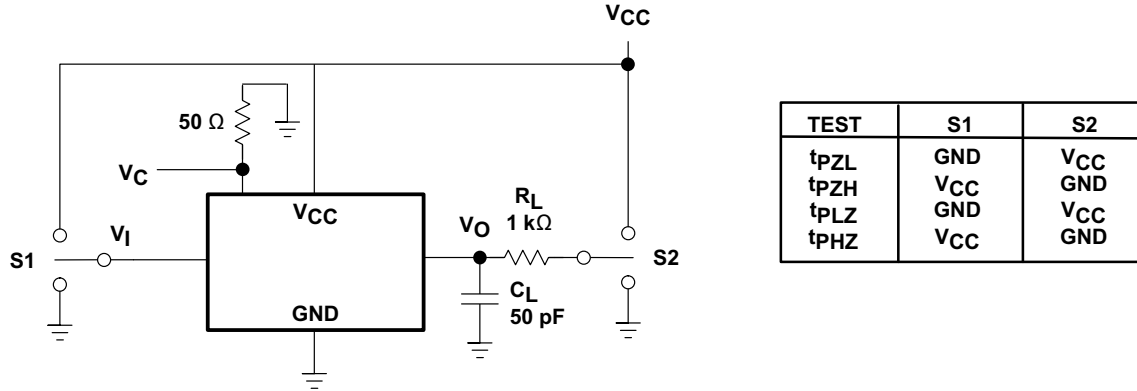
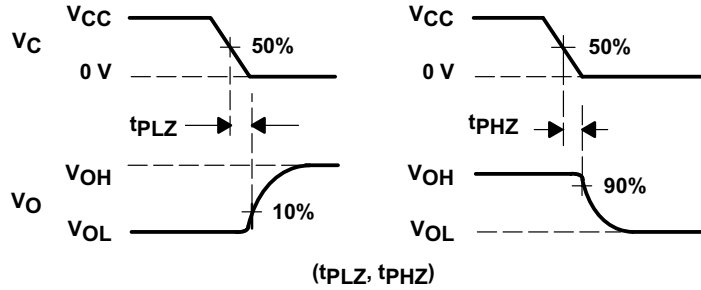
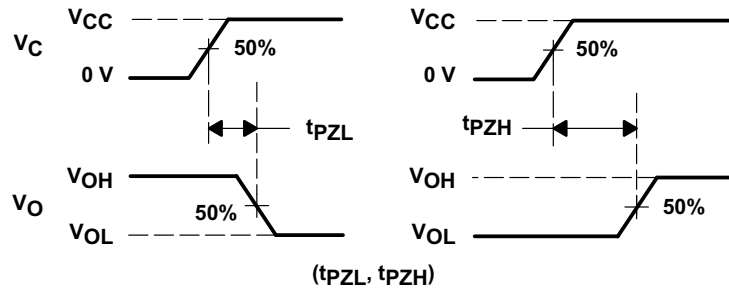


図 6-4. Propagation Delay Time, Signal Input to Signal Output



TEST CIRCUIT



VOLTAGE WAVEFORMS

图 6-5. Switching Time (t_{PZL}, t_{PLZ}, t_{PZH}, t_{PHZ}), Control to Signal Output

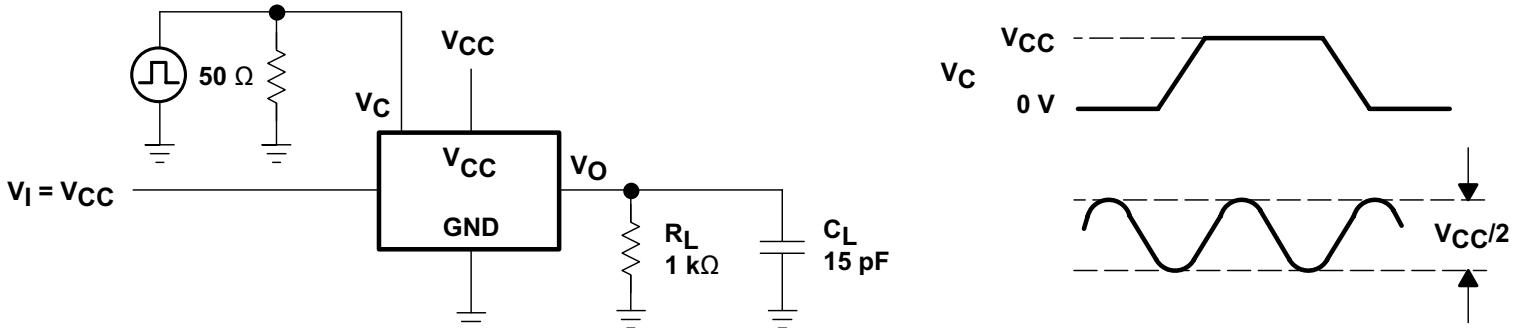


图 6-6. Control-Input Frequency

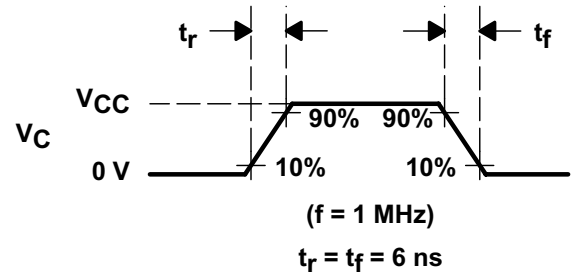
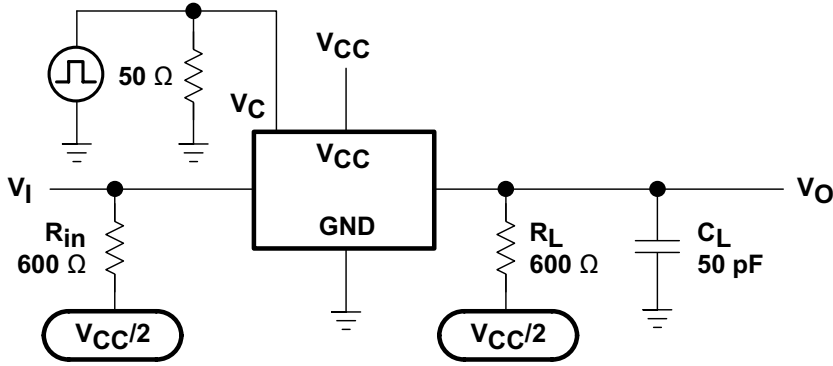


Figure 6-7. Control Feed-Through Noise

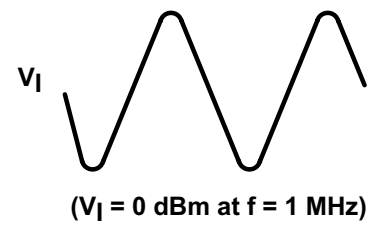
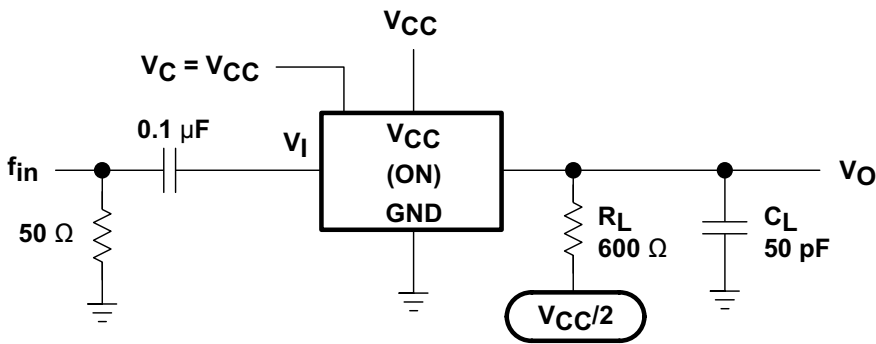


Figure 6-8. Minimum Through Bandwidth

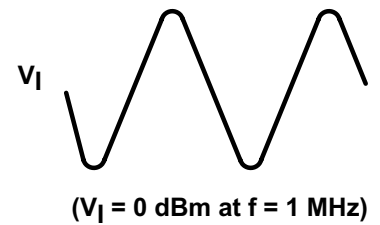
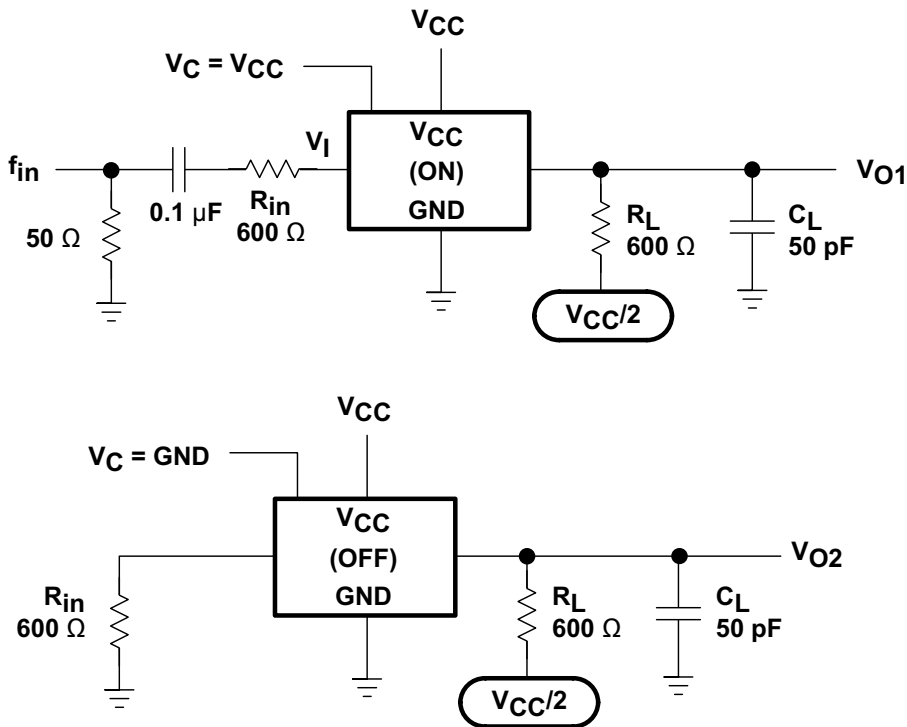


Figure 6-9. Crosstalk Between Any Two Switches

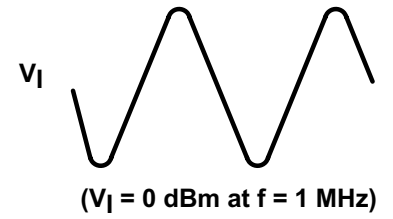
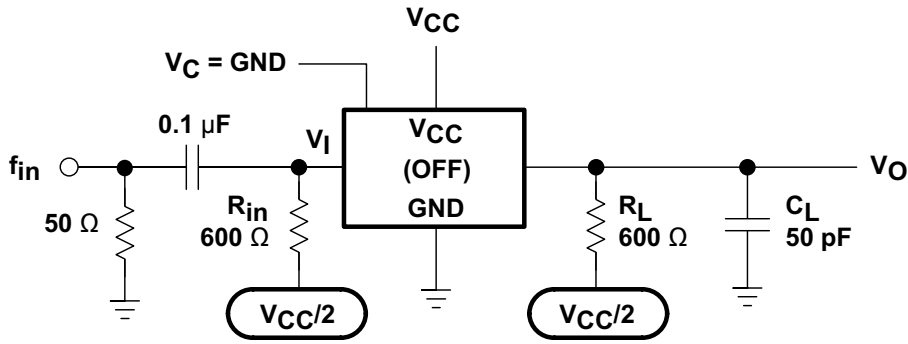


图 6-10. Feed Through, Switch OFF

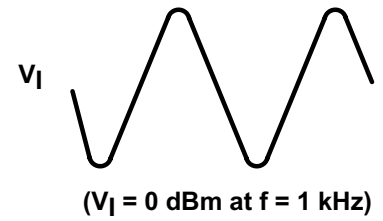
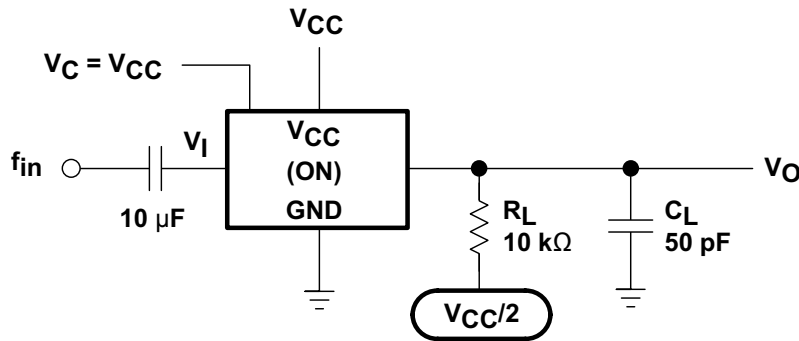


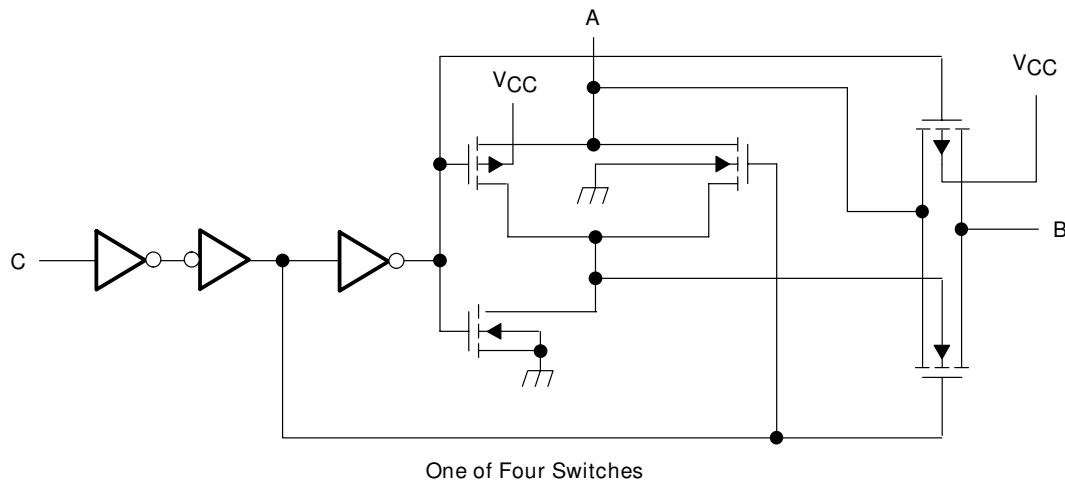
图 6-11. Amplitude-Distortion Rate

7 Detailed Description

7.1 Overview

The SN74HC4066 device is a silicon-gate CMOS quadruple analog switch designed for 2-V to 6-V VCC operation. It is designed to handle both analog and digital signals. Each switch permits signals with amplitudes of up to 6V (peak) to be transmitted in either direction. A high-level voltage applied to the control pin C enables the respective switch to begin propagating signals across the device.

7.2 Functional Block Diagram



Copyright © 2016, Texas Instruments Incorporated

図 7-1. Logic Diagram, Each Switch (Positive Logic)

7.3 Feature Description

Each switch section has its own enable-input control (C). A high-level voltage applied to C turns on the associated switch section, with typically 18ns of switch enable time. The SN74HC4066 has a wide operating voltage range of 2V to 6V. It has low power consumption, with 20μA maximum I_{CC} and a low on-state impedance of 50 Ω. It also has low crosstalk between switches to minimize noise.

7.4 Device Functional Modes

表 7-1 lists the functions for the SN74HC4066 device.

表 7-1. Function Table
(Each Switch)

INPUT CONTROL (C)	SWITCH
L	OFF
H	ON

8 Application and Implementation

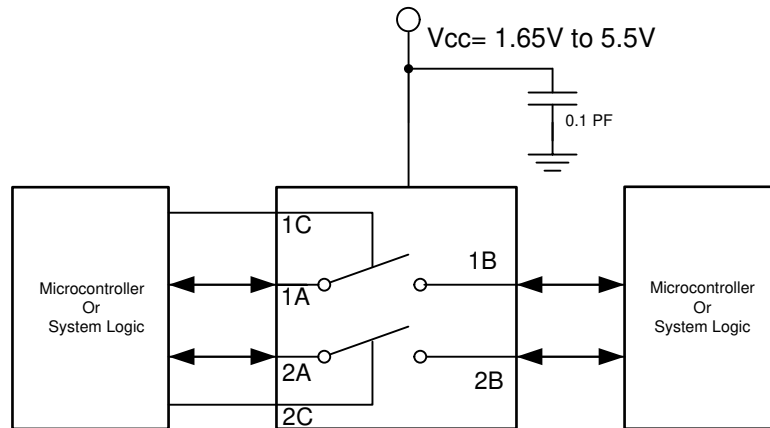
注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくこととなります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 Application Information

The SN74HC4066 can be used in any situation where a dual SPST switch is used and a solid-state voltage controlled version is preferred.

8.2 Typical Application



Copyright © 2016, Texas Instruments Incorporated

図 8-1. t_{PZH} vs V_{CC}

8.2.1 Design Requirements

The SN74HC4066 allows ON/OFF control of analog and digital signals with a digital control signal. All input signals should remain between 0V and V_{CC} for optimal operation.

8.2.2 Detailed Design Procedure

- Recommended Input Conditions:
 - For rise time and fall time specifications, see $\Delta t/\Delta v$ in [セクション 5.3](#).
 - For specified high and low levels, see V_{IH} and V_{IL} in [セクション 5.3](#).
- Recommended Output Conditions:
 - On-state switch current should not exceed $\pm 25\text{mA}$.

8.2.3 Application Curve

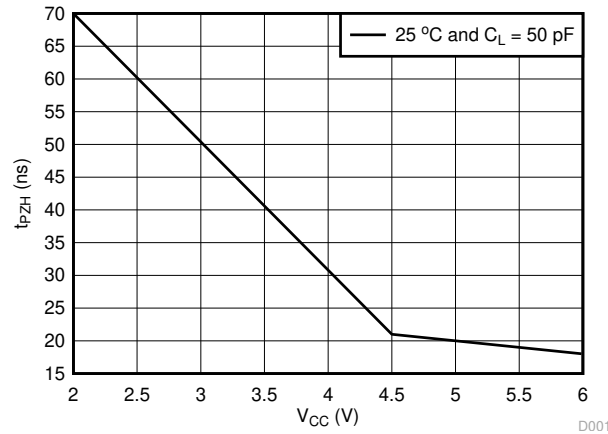


図 8-2. t_{pZH} vs V_{CC}

8.3 Power Supply Recommendations

The power supply can be any voltage between the minimum and maximum supply voltage rating located in the [セクション 5.3](#).

Each V_{CC} terminal should have a good bypass capacitor to prevent power disturbance. For devices with a single supply, TI recommends a 0.1 μ F bypass capacitor. If there are multiple pins labeled V_{CC} , then a 0.01 μ F or 0.022 μ F capacitor is recommended for each V_{CC} because the VCC pins will be tied together internally. For devices with dual-supply pins operating at different voltages, for example V_{CC} and V_{DD} , TI recommends a 0.1 μ F bypass capacitor for each supply pin. It is acceptable to parallel multiple bypass capacitors to reject different frequencies of noise. 0.1 μ F and 1 μ F capacitors are commonly used in parallel. The bypass capacitor should be installed as close to the power terminal as possible for best results.

8.4 Layout

8.4.1 Layout Guidelines

Reflections and matching are closely related to loop antenna theory, but different enough to warrant their own discussion. When a PCB trace turns a corner at a 90° angle, a reflection can occur. This is primarily due to the change of width of the trace. At the apex of the turn, the trace width is increased to 1.414 times its width. This upsets the transmission line characteristics, especially the distributed capacitance and self-inductance of the trace — resulting in the reflection.

注

Not all PCB traces can be straight, and so they will have to turn corners. [図 8-3](#) shows progressively better techniques of rounding corners. Only the last example maintains constant trace width and minimizes reflections.

8.4.2 Layout Example

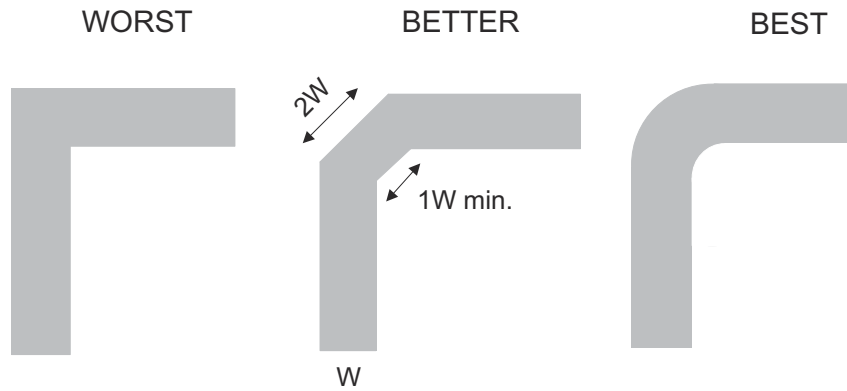


図 8-3. Trace Example

9 Device and Documentation Support

9.1 Documentation Support

9.1.1 Related Documentation

For related documentation, see the following:

- Texas Instruments, [Implications of Slow or Floating CMOS Inputs application notes](#)

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

9.4 Trademarks

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

10 Revision History

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision J (November 2021) to Revision K (February 2024) Page

• パッケージリード サイズを含めるよう「パッケージ情報」表を更新	1
• D (SOIC, 14) または PW (TSSOP, 14) パッケージのみを含めるようにデータシートを更新	1
• Updated <i>Thermal Information</i> section.....	5
• Updated V_{CC} operation from: 2V - 6V to: 1V - 6V.....	5

Changes from Revision I (January 2019) to Revision J (November 2021) Page

• Changed the MAX values for I_{soff} , I_{son} , and I_{CC} in the <i>Electrical Characteristics</i> table.....	5
--	---

Changes from Revision H (August 2016) to Revision I (January 2019) Page

• ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1
--------------------------------------	---

- Changed the Description of pins 8 through 12 in the *Pin Functions* table.....3

Changes from Revision G (July 2003) to Revision H (August 2016)	Page
• 「ESD 定格」表、「機能説明」セクション、「デバイスの機能モード」セクション、「アプリケーションと実装」セクション、「電源に関する推奨事項」セクション、「レイアウト」セクション、「デバイスおよびドキュメントのサポート」セクション、「メカニカル、パッケージ、および注文情報」セクションを追加。	1
• 「注文情報」表を削除 (データシートの末尾にある POA を参照)	1

11 Mechanical, Packaging, and Orderable Information

The following pages include mechanical, packaging, and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser-based versions of this data sheet, refer to the left-hand navigation.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適したテキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されているテキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかるテキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
SN74HC4066D	OBSOLETE	SOIC	D	14		TBD	Call TI	Call TI	-40 to 85	HC4066	
SN74HC4066DBR	NRND	SSOP	DB	14	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HC4066	
SN74HC4066DR	ACTIVE	SOIC	D	14	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HC4066	Samples
SN74HC4066DT	OBSOLETE	SOIC	D	14		TBD	Call TI	Call TI	-40 to 85	HC4066	
SN74HC4066N	NRND	PDIP	N	14	25	RoHS & Green	NIPDAU	N / A for Pkg Type	-40 to 85	SN74HC4066N	
SN74HC4066NSR	NRND	SO	NS	14	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HC4066	
SN74HC4066PWR	ACTIVE	TSSOP	PW	14	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HC4066	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74HC4066DBR	SSOP	DB	14	2000	330.0	16.4	8.35	6.6	2.4	12.0	16.0	Q1
SN74HC4066DR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
SN74HC4066DR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
SN74HC4066NSR	SO	NS	14	2000	330.0	16.4	8.2	10.5	2.5	12.0	16.0	Q1
SN74HC4066PWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74HC4066PWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74HC4066DBR	SSOP	DB	14	2000	356.0	356.0	35.0
SN74HC4066DR	SOIC	D	14	2500	356.0	356.0	35.0
SN74HC4066DR	SOIC	D	14	2500	353.0	353.0	32.0
SN74HC4066NSR	SO	NS	14	2000	356.0	356.0	35.0
SN74HC4066PWR	TSSOP	PW	14	2000	353.0	353.0	32.0
SN74HC4066PWR	TSSOP	PW	14	2000	356.0	356.0	35.0

TUBE


*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
SN74HC4066N	N	PDIP	14	25	506	13.97	11230	4.32
SN74HC4066N	N	PDIP	14	25	506	13.97	11230	4.32

DB0014A



PACKAGE OUTLINE

SSOP - 2 mm max height

SMALL OUTLINE PACKAGE



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-150.

EXAMPLE BOARD LAYOUT

DB0014A

SSOP - 2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



4220762/A 05/2024

NOTES: (continued)

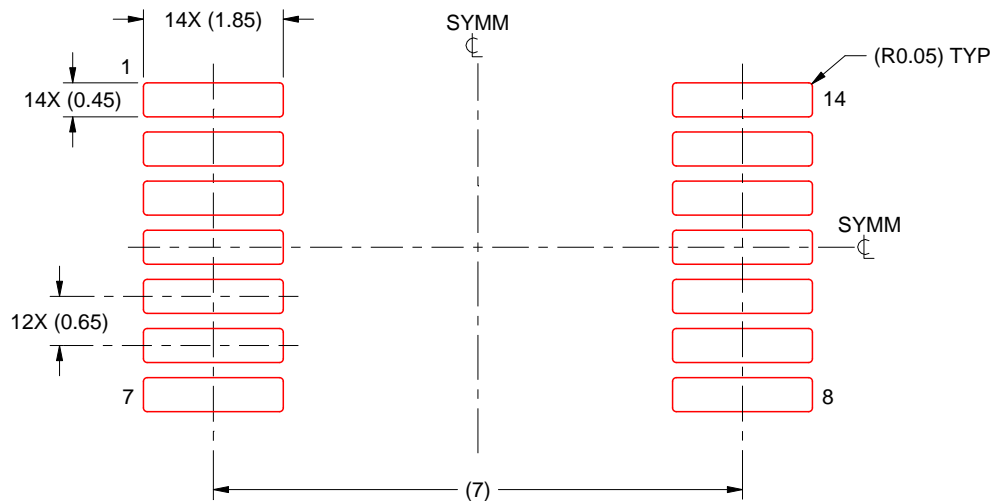
- 5. Publication IPC-7351 may have alternate designs.
- 6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DB0014A

SSOP - 2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220762/A 05/2024

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

N (R-PDIP-T**)

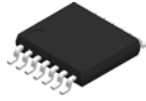
PLASTIC DUAL-IN-LINE PACKAGE

16 PINS SHOWN



- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 - Falls within JEDEC MS-001, except 18 and 20 pin minimum body length (Dim A).
 - The 20 pin end lead shoulder width is a vendor option, either half or full width.

PW0014A



PACKAGE OUTLINE
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



4220202/B 12/2023

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.

EXAMPLE BOARD LAYOUT

PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



4220202/B 12/2023

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.



D0014A

PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4220718/A 09/2016

NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.

EXAMPLE BOARD LAYOUT

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

MECHANICAL DATA

NS (R-PDSO-G**)

PLASTIC SMALL-OUTLINE PACKAGE

14-PINS SHOWN



- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.
 - C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15.

重要なお知らせと免責事項

TI は、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](#) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated