

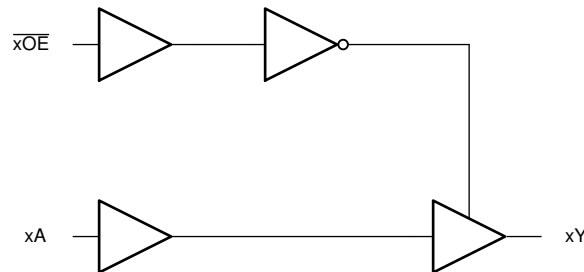
SN74LV1T125-Q1 車載用シングル・バッファ・ゲート、3 ステート出力および統合変換機能付き

1 特長

- 車載アプリケーション用に AEC-Q100 認定済み:
 - デバイス温度グレード 1: $-40^{\circ}\text{C} \sim +125^{\circ}\text{C}$
 - デバイス HBM ESD 分類レベル 2
 - デバイス CDM ESD 分類レベル C4B
- 幅広い動作範囲: 1.8V ~ 5.5V
- 単一電源電圧トランスレータ (「LVxT 拡張入力電圧」を参照):
 - 昇圧変換:
 - 1.2V から 1.8V
 - 1.5V から 2.5V
 - 1.8V から 3.3V
 - 3.3V から 5.0V
 - 降圧変換:
 - 5.0V、3.3V、2.5V から 1.8V
 - 5.0V、3.3V から 2.5V
 - 5.0V から 3.3V
- 5.5V 許容入力ピン
- 標準ピン配置をサポート
- 5V または 3.3V の V_{CC} で最大 150Mbps
- JESD 17 準拠で 250mA 超のラッチアップ性能

2 アプリケーション

- デジタル信号のイネーブルまたはディスエーブル
- インジケータ LED の制御
- 通信モジュールとシステム・コントローラ間の変換



概略論理図 (正論理)

3 概要

SN74LV1T125-Q1 は、3 ステート出力と電圧変換機能を内蔵したシングル・バッファ・ゲートです。このバッファはブール関数 $Y = A$ を正論理で実行します。OE ピンに High を印加することで、出力をハイ・インピーダンス状態にできます。出力レベルは電源電圧 (V_{CC}) を基準としており、1.8V、2.5V、3.3V、5V の CMOS レベルをサポートしています。

入力は低スレッショルド回路を使用して設計され、低電圧 CMOS 入力の昇圧変換 (例: 1.2V 入力から 1.8V 出力、1.8V 入力から 3.3V 出力) をサポートします。また、5V 許容入力ピンにより、降圧変換 (例: 3.3V から 2.5V 出力) が可能です。

パッケージ情報

部品番号	パッケージ ⁽¹⁾	パッケージ・サイズ ⁽²⁾	本体サイズ (公称) ⁽³⁾
SN74LV1T125-Q1	DCK (SC70, 5)	2mm × 2.1mm	2mm × 1.25mm
	DBV (SOT-23, 5)	2.9mm × 2.8mm	2.9mm × 1.6mm

- 詳細については、[セクション 13](#) を参照してください。
- パッケージ・サイズ (長さ×幅) は公称値であり、該当する場合はピンも含まれます。
- 本体サイズ (長さ×幅) は公称値であり、ピンは含まれません。



目次

1 特長	1	7.3 機能説明.....	11
2 アプリケーション	1	7.4 デバイスの機能モード.....	13
3 概要	1	8 アプリケーションと実装	14
4 ピン構成および機能	3	8.1 アプリケーション情報.....	14
5 仕様	4	8.2 代表的なアプリケーション.....	14
5.1 絶対最大定格.....	4	9 電源に関する推奨事項	16
5.2 ESD 定格.....	4	10 レイアウト	16
5.3 推奨動作条件.....	4	10.1 レイアウトのガイドライン.....	16
5.4 熱に関する情報.....	5	10.2 レイアウト例.....	17
5.5 電気的特性.....	5	11 デバイスおよびドキュメントのサポート	18
5.6 スイッチング特性 - 1.8V V _{CC}	6	11.1 ドキュメントのサポート.....	18
5.7 スイッチング特性 - 2.5V V _{CC}	6	11.2 ドキュメントの更新通知を受け取る方法.....	18
5.8 スイッチング特性 - 3.3V V _{CC}	6	11.3 サポート・リソース.....	18
5.9 スイッチング特性 - 5.0V V _{CC}	6	11.4 商標.....	18
5.10 代表的特性.....	7	11.5 静電気放電に関する注意事項.....	18
6 パラメータ測定情報	10	11.6 用語集.....	18
7 詳細説明	11	12 改訂履歴	18
7.1 概要.....	11	13 メカニカル、パッケージ、および注文情報	19
7.2 機能ブロック図.....	11		

4 ピン構成および機能

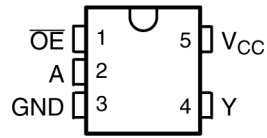


図 4-1. DCK または DBV パッケージ、5 ピン SC70 または SOT-23 (上面図)

表 4-1. ピンの機能

ピン		種類 ⁽¹⁾	説明
名称	番号		
OE	1	I	Output enable. Active low
A	2	I	Input
GND	3	G	Ground
Y	4	O	Output
V _{CC}	5	P	Power Supply

(1) I = 入力、O = 出力、I/O = 入力または出力、G = グランド、P = 電源。

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)⁽¹⁾

		最小値	最大値	単位
V _{CC}	電源電圧	-0.5	7	V
V _I	入力電圧範囲	-0.5	7	V
V _O	出力電圧範囲	-0.5	V _{CC} + 0.5	V
V _O	高インピーダンスまたは電源オフ状態で出力に印加される電圧範囲	-0.5	4.6	V
I _{IK}	入力クランプ電流 ⁽²⁾	V _I < 0 または V _I > V _{CC}		mA
I _{OK}	出力クランプ電流 ⁽²⁾	V _O < 0 または V _O > V _{CC}		mA
I _O	連続出力電流	V _O = 0 ~ V _{CC}		mA
I _O	V _{CC} または GND を通過する連続出力電流	-50	50	mA
T _J	接合部温度		150	°C
T _{stg}	保管温度	-65	150	°C

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内で、一時的に「推奨動作条件」の範囲を超えた動作をさせる場合、必ずしもデバイスが損傷を受けるものではありませんが、完全には機能しない可能性があります。この方法でデバイスを動作させると、デバイスの信頼性、機能性、性能に影響を及ぼし、デバイスの寿命を短縮する可能性があります。
- (2) 入力と出力の電流定格を順守しても、入力と出力の電圧定格を超えることがあります。

5.2 ESD 定格

		値	単位
V _(ESD)	静電気放電	人体モデル (HBM)、AEC Q100-002 ⁽¹⁾ HBM ESD 分類レベル 2 準拠	±2000
		デバイス帯電モデル (CDM)、AEC Q100-011 CDM ESD 分類レベル C4B 準拠	±1000

- (1) AEC Q100-002 には、HBM ストレス試験は ANSI/ESDA/JEDEC JS-001 仕様に従って実施することと規定されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件		最小値	最大値	単位
V _{CC}	電源電圧		1.6	5.5	V
V _I	入力電圧		0	5.5	V
V _O	出力電圧		0	V _{CC}	V
V _{IH}	High レベル入力電圧	V _{CC} = 1.65V ~ 2V	1.1		V
		V _{CC} = 2.25V ~ 2.75V	1.28		V
		V _{CC} = 3V ~ 3.6V	1.45		V
		V _{CC} = 4.5V ~ 5.5V	2.00		V
V _{IL}	Low レベル入力電圧	V _{CC} = 1.65V ~ 2V		0.50	V
		V _{CC} = 2.25V ~ 2.75V		0.65	V
		V _{CC} = 3V ~ 3.6V		0.75	V
		V _{CC} = 4.5V ~ 5.5V		0.85	V
I _O	出力電流	V _{CC} = 1.6V ~ 2V		±3	mA
		V _{CC} = 2.25V ~ 2.75V		±7	mA
		V _{CC} = 3.3V ~ 5.0V		±15	mA

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	最大値	単位
$\Delta t/\Delta v$	入力遷移の立ち上がりまたは立ち下がりレート $V_{CC} = 1.6V \sim 5.0V$		20	ns/V
T_A	自由気流での動作温度	-40	125	C

5.4 熱に関する情報

熱評価基準 ⁽¹⁾	説明	SN74LV1T125-Q1		単位
		DCK (SC70)	DBV (SOT-23)	
		5ピン	5ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	293.4	278.0	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	208.8	180.5	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	180.6	184.4	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	120.6	115.4	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	179.5	183.4	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーションレポートを参照してください。

5.5 電気的特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	V_{CC}	$T_A = 25^\circ C$			$-40^\circ C \sim 125^\circ C$			単位
			最小値	標準値	最大値	最小値	標準値	最大値	
V_{OH}	$I_{OH} = -50\mu A$ $I_{OH} = -2mA$ $I_{OH} = -3mA$ $I_{OH} = -5.5mA$ $I_{OH} = -8mA$	1.65V~5.5V	$V_{CC}-0.1$			$V_{CC}-0.1$			V
		1.65V	1.28	1.7 ⁽¹⁾	1.21				
		2.25V	2	2.4 ⁽¹⁾	1.93				
		3.0V	2.6	3.08 ⁽¹⁾	2.49				
		4.5V	4.1	4.65 ⁽¹⁾	3.95				
V_{OL}	$I_{OH} = 50\mu A$ $I_{OH} = 2mA$ $I_{OH} = 3mA$ $I_{OH} = 5.5mA$ $I_{OH} = 8mA$	1.65V~5.5V				0.1			V
		1.65V	0.1 ⁽¹⁾		0.2	0.25			
		2.25V	0.1 ⁽¹⁾		0.15	0.2			
		3.0V	0.2 ⁽¹⁾		0.2	0.25			
		4.5V	0.3 ⁽¹⁾		0.3	0.35			
I_{CC}	$V_I = V_{CC}$ または GND、 $I_O = 0$	5V				0.12			μA
		3.3V				1			
		2.5V				1			
		1.8V				1			
ΔI_{CC}	1つの入力は 0.3V または 3.4V、その他の入力は V_{CC} または GND	5.5V				1.35			mA
		1.8V				10			
I_I	$V_I = 0V \sim V_{CC}$					0.12			μA
C_i	$V_I = V_{CC}$ または GND	3.3V	2 10			2 10			pF
C_O	$V_O = V_{CC}$ または GND	3.3V	2.5			2.5			pF
C_{PD} ⁽²⁾⁽³⁾	$F = 1MHz$ および $10MHz$	5.5V	14						pF

(1) 最も近い公称電圧 (1.8V、2.5V、3.3V、5V) での代表値

(2) C_{PD} は、チャネルごとの動的消費電力を求めるために使われます。

(3) $P_D = V_{CC}^2 \times F_1 \times (C_{PD} + C_L)$, F_1 = 入力周波数、 C_L = 出力負荷容量、 V_{CC} = 電源電圧

5.6 スイッチング特性 - 1.8V V_{CC}

自由空気での動作温度範囲内 (特に記述のない限り)

パラメータ	始点 (入力)	終点 (出力)	負荷容量	$T_A = 25^\circ\text{C}$			$-40^\circ\text{C} \sim 125^\circ\text{C}$			単位
				最小値	標準値	最大値	最小値	標準値	最大値	
T_{PD}	A	Y	CL = 15pF	8.8	12.7		1	10.4	14.9	ns
			CL = 50pF	10.8	15.7		1	12.7	18.3	
T_{DIS}	OE	Y	CL = 15pF	10.2	12.7		1	11.3	14.3	ns
			CL = 50pF	17	19.5		1	18.4	21.2	
T_{EN}	OE	Y	CL = 15pF	8.2	11.9		1	9.7	14	ns
			CL = 50pF	10.3	15.1		1	12.1	18.5	

5.7 スイッチング特性 - 2.5V V_{CC}

自由空気での動作温度範囲内 (特に記述のない限り)

パラメータ	始点 (入力)	終点 (出力)	負荷容量	$T_A = 25^\circ\text{C}$			$-40^\circ\text{C} \sim 125^\circ\text{C}$			単位
				最小値	標準値	最大値	最小値	標準値	最大値	
T_{PD}	A	Y	CL = 15pF	6.3	7.9		1	7.4	9.5	ns
			CL = 50pF	7.4	9.6		1	8.9	11.5	
T_{DIS}	OE	Y	CL = 15pF	7.2	8.3		1	8.1	9.6	ns
			CL = 50pF	11.8	12.9		1	12.7	14.3	
T_{EN}	OE	Y	CL = 15pF	5.3	7.1		1	6.5	8.6	ns
			CL = 50pF	6.7	9.9		1	8	11.9	

5.8 スイッチング特性 - 3.3V V_{CC}

自由空気での動作温度範囲内 (特に記述のない限り)

パラメータ	始点 (入力)	終点 (出力)	負荷容量	$T_A = 25^\circ\text{C}$			$-40^\circ\text{C} \sim 125^\circ\text{C}$			単位
				最小値	標準値	最大値	最小値	標準値	最大値	
T_{PD}	A	Y	CL = 15pF	4.9	5.9		1	6	7.3	ns
			CL = 50pF	5.9	7.2		1	7.1	8.8	
T_{DIS}	OE	Y	CL = 15pF	5.6	6.3		1	6.4	7.2	ns
			CL = 50pF	9.1	9.8		1	9.8	11.1	
T_{EN}	OE	Y	CL = 15pF	4.1	5.6		1	5	6.8	ns
			CL = 50pF	5.1	7.5		1	6.2	8.9	

5.9 スイッチング特性 - 5.0V V_{CC}

自由空気での動作温度範囲内 (特に記述のない限り)

パラメータ	始点 (入力)	終点 (出力)	負荷容量	$T_A = 25^\circ\text{C}$			$-40^\circ\text{C} \sim 125^\circ\text{C}$			単位
				最小値	標準値	最大値	最小値	標準値	最大値	
T_{PD}	A	Y	CL = 15pF	3.4	4.1		1	4.1	4.7	ns
			CL = 50pF	3.9	5.3		1	4.9	6.3	
T_{DIS}	OE	Y	CL = 15pF	4	5.5		1	4.9	6.2	ns
			CL = 50pF	6.8	7.8		1	7.4	8.8	
T_{EN}	OE	Y	CL = 15pF	3	4.1		1	3.7	4.8	ns
			CL = 50pF	3.8	5.5		1	4.7	6.4	

5.10 代表的特性

$T_A = 25^\circ\text{C}$ (特に記述のない限り)

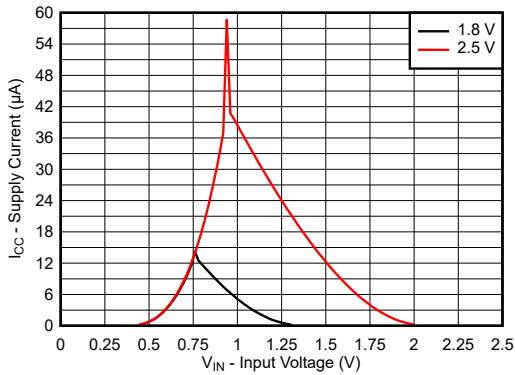


図 5-1. 電源電流と入力電圧との関係 (1.8V、2.5V 電源)

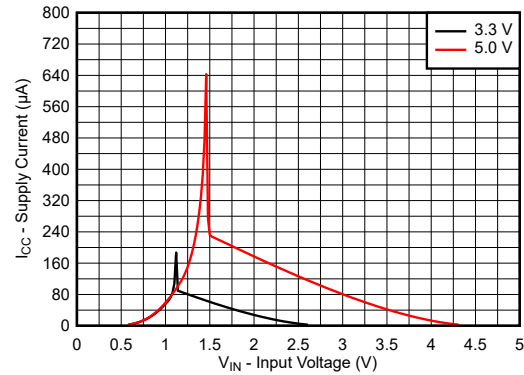


図 5-2. 電源電流と入力電圧との関係 (3.3V、5.0V 電源)

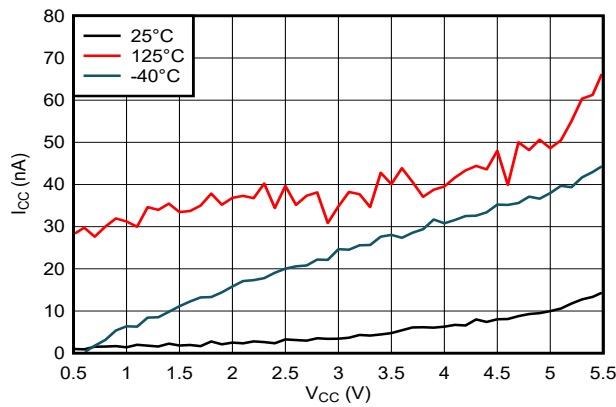


図 5-3. 電源電流と電源電圧との関係

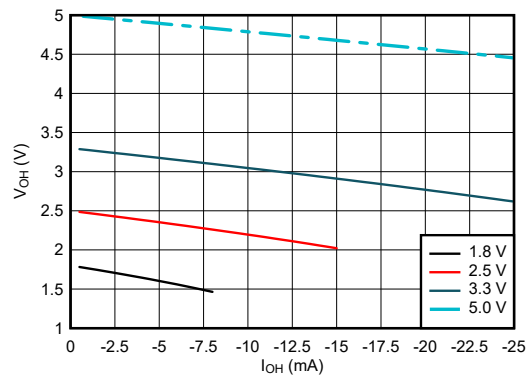


図 5-4. High 状態における出力電圧と電流との関係

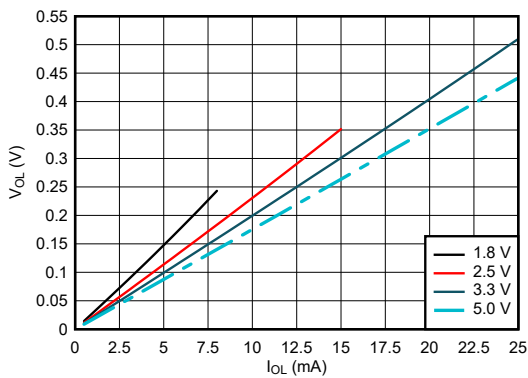


図 5-5. Low 状態における出力電圧と電流との関係

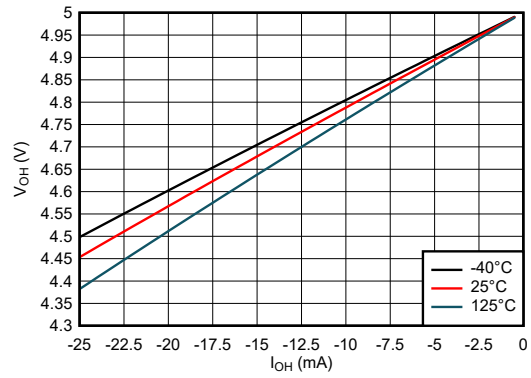


図 5-6. High 状態における出力電圧と電流との関係、
5V 電源

5.10 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ (特に記述のない限り)

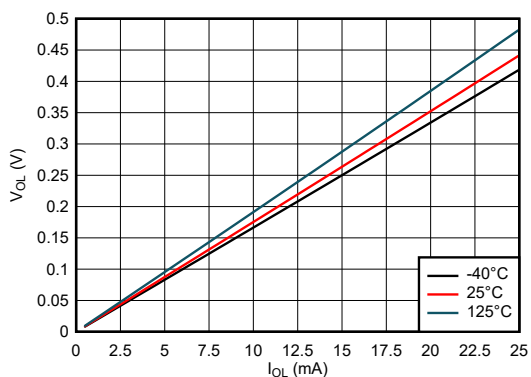


図 5-7. Low 状態における出力電圧と電流との関係、5V 電源

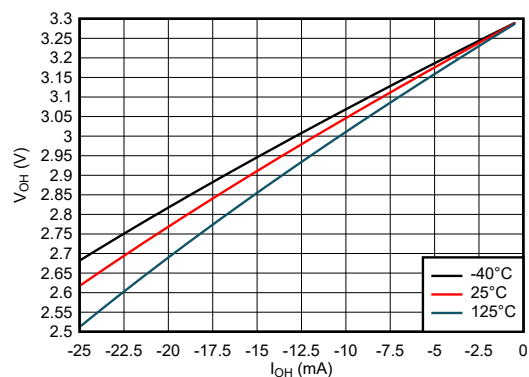


図 5-8. High 状態における出力電圧と電流との関係、3.3V 電源

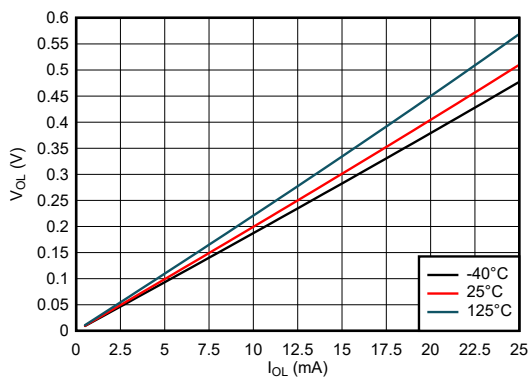


図 5-9. Low 状態における出力電圧と電流との関係、3.3V 電源

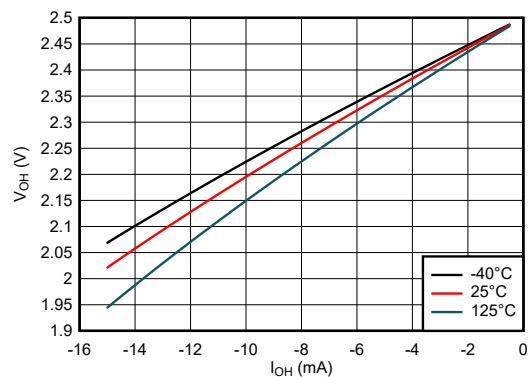


図 5-10. High 状態における出力電圧と電流との関係、2.5V 電源

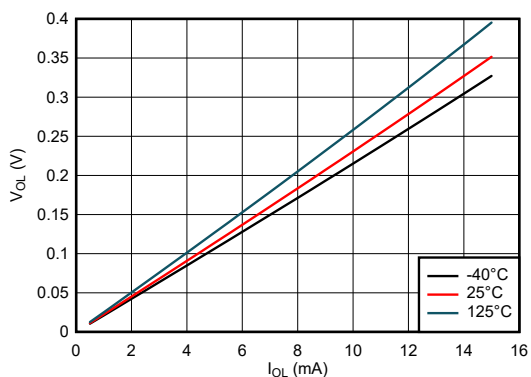


図 5-11. Low 状態における出力電圧と電流との関係、2.5V 電源

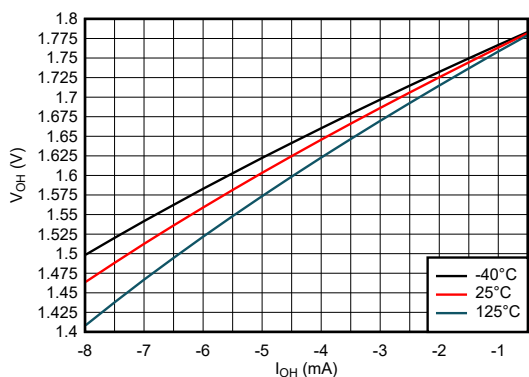


図 5-12. High 状態における出力電圧と電流との関係、1.8V 電源

5.10 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ (特に記述のない限り)

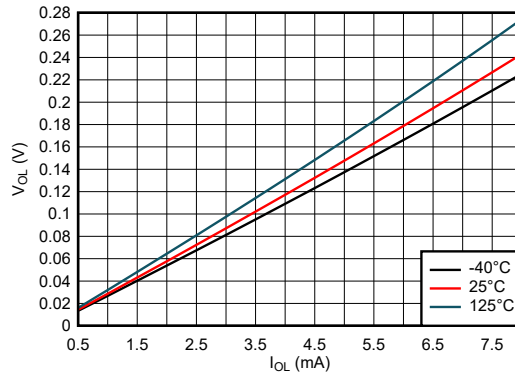


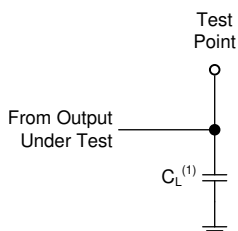
図 5-13. Low 状態における出力電圧と電流との関係、1.8V 電源

6 パラメータ測定情報

波形間の位相関係は、任意に選択されています。すべての入力パルスは、以下の特性を持つジェネレータによって供給されます。PRR \leq 1MHz、 $Z_O = 50\Omega$ 。

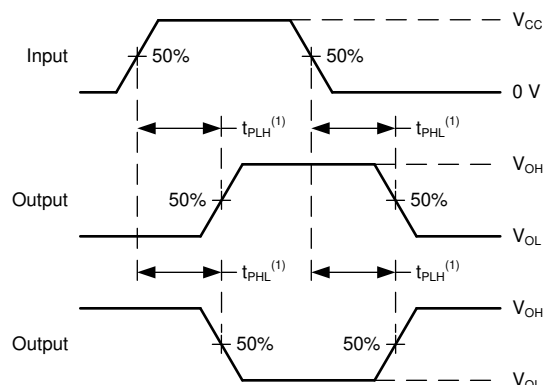
クロック入力の f_{max} は、入力デューティサイクルが 50% のときの測定値です。

出力は一度に 1 つずつ測定され、測定ごとに入力が 1 回遷移します。



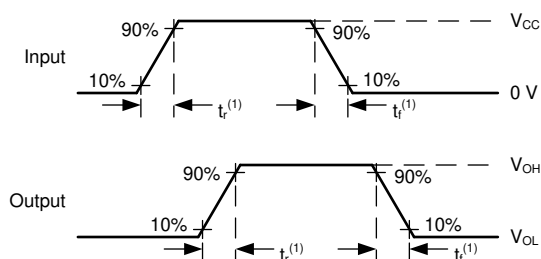
(1) C_L にはプローブとテスト装置の容量が含まれます。

図 6-1. プッシュプル出力の負荷回路



(1) t_{PLH} と t_{PHL} の大きい方が t_{pd} に相当します。

図 6-2. 電圧波形の伝搬遅延



(1) t_r と t_f の大きい方が t_t に相当します。

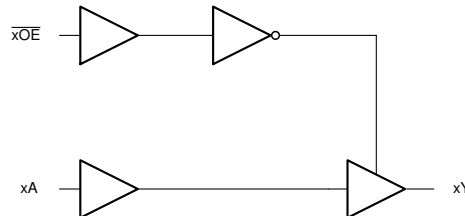
図 6-3. 電圧波形、入力および出力の遷移時間

7 詳細説明

7.1 概要

SN74LV1T125-Q1 は、3 ステート出力と電圧変換機能を内蔵したシングル バッファ ゲートです。このバッファはブール関数 $Y = A$ を正論理で実行します。 \overline{OE} ピンに High を印加することで、出力をハイ インピーダンス状態にできます。出力レベルは電源電圧 (V_{CC}) を基準としており、1.8V、2.5V、3.3V、5V の CMOS レベルをサポートしています。

7.2 機能ブロック図



7.3 機能説明

7.3.1 平衡化された CMOS 3 ステート出力

このデバイスには、平衡化された CMOS 3 ステート出力が内蔵されています。High に駆動、Low に駆動、高インピーダンスが、これらの出力が取り得る 3 つの状態です。平衡化という用語は、このデバイスが類似の電流に対するシンクとソースを行えることを示します。このデバイスの駆動能力により、軽負荷に高速エッジが生成される場合があるため、リングングを防ぐために配線と負荷の条件を考慮する必要があります。さらに、このデバイスの出力は、デバイスを損傷することなく維持できる以上に大きな電流を駆動できます。過電流による損傷を防止するため、デバイスの出力電力を制限することが重要です。「絶対最大定格」で定義されている電気的および熱的制限を常に順守してください。

高インピーダンス モードに移行したとき、出力は電流のソースとシンクのどちらも行きません。ただし、「電気的特性」表に定義されている小さなリーク電流は例外です。高インピーダンス状態では、出力電圧はデバイスによって制御されず、外部要因に依存します。ノードに他のドライバが接続されていない場合、これはフローティング ノードと呼ばれ、電圧は不明です。出力にプルアップ抵抗またはプルダウン抵抗を接続することで、高インピーダンス状態の出力に既知の電圧を供給できます。抵抗の値は、寄生容量や消費電力の制限など複数の要因に依存します。通常、これらの要件を満たすために 10k Ω の抵抗を使用できます。

未使用の 3 ステート CMOS 出力は、未接続のままにする必要があります。

7.3.2 クランプ ダイオード構造

このデバイスの出力には正と負の両方のクランプ ダイオードが備わっており、このデバイスの入力には負のクランプ ダイオードのみが備わっています (図 7-1 を参照)。

注意

「絶対最大定格」表に規定されている値を超える電圧は、デバイスに損傷を与える可能性があります。入力と出力のクランプ電流の定格を順守しても、入力と出力の電圧定格を超えることがあります。

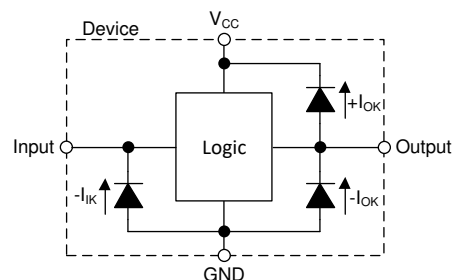


図 7-1. 各入力と出力に対するクランプダイオードの電気的配置

7.3.3 LVxT 拡張入力電圧

SN74LV1T125-Q1 は、テキサス・インスツルメンツの電圧レベル変換機能内蔵 LVxT ロジック デバイス ファミリの製品です。このデバイス ファミリは、昇圧変換に対応するための小さい入力電圧スレッショルドと、降圧変換に対応するための最大 5.5V レベルの信号に耐える入力を持つように設計されています。出力電圧は、「電気的特性」表に記載されているように、常に電源電圧 (V_{CC}) を基準とします。正常に機能させるには、High 入力状態では規定の $V_{IH(MIN)}$ レベル以下、Low 入力状態では規定の $V_{IL(MAX)}$ 以下に信号を保持する必要があります。図 7-2 に、LVxT デバイス ファミリの V_{IH} および V_{IL} レベル (代表値) と一般的な CMOS デバイスの電圧レベルを比較のために示します。

入力は高インピーダンスであり、通常は「電気的特性」に示されている入力容量と並列の抵抗としてモデル化されます。ワーストケースの抵抗は「絶対最大定格」に示されている最大入力電圧と、「電気的特性」に示されている最大入力リーケージ電流からオームの法則 ($R = V \div I$) を使用して計算します。

入力に関しては、「推奨動作条件」表の入力遷移時間またはレートで定義されているように、有効なロジック状態の間を入力信号が素早く遷移する必要があります。この仕様を満たさないと、消費電力が増大し、発振の原因となる可能性があります。詳細については、『低速またはフローティング CMOS 入力の影響』アプリケーション レポートを参照してください。

動作中は片時も、入力をフローティングにすることはできません。未使用の入力は、 V_{CC} または GND に接続して終端する必要があります。システムが入力を常にアクティブに駆動している訳ではない場合、システムが入力をアクティブに駆動していないときに有効な入力電圧を与えるため、プルアップまたはプルダウン抵抗を追加できます。抵抗値は複数の要因で決まりますが、10k Ω の抵抗が推奨され、通常はすべての要件を満たします。

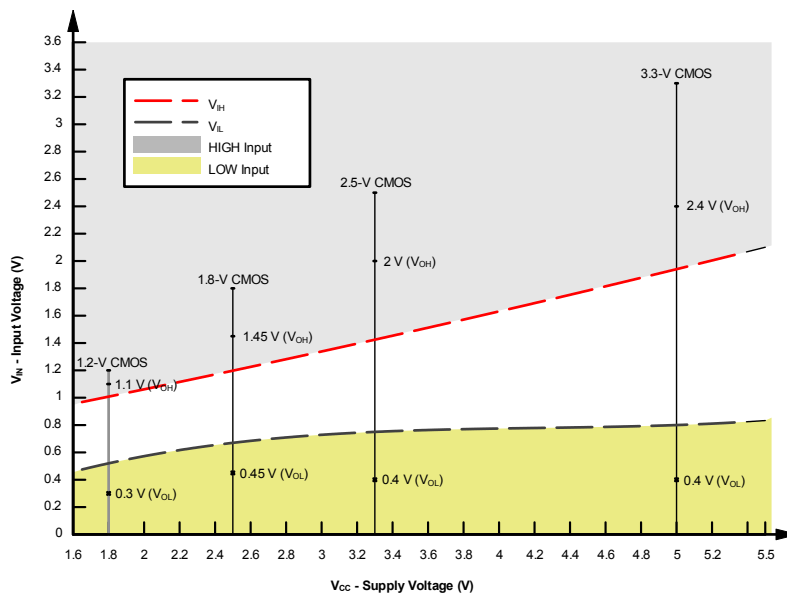


図 7-2. LVxT の入力電圧レベル

7.3.3.1 降圧変換

SN74LV1T125-Q1 を使うことで、信号を降圧変換できます。 V_{CC} の印加電圧によって、出力電圧と入力スレッショルドが決まります（「推奨動作条件」と「電気的特性」の表を参照）。

高インピーダンスの入りに接続した場合、出力電圧は、High 状態ではほぼ V_{CC} 、Low 状態では 0V になります。図 7-2 に示すように確実に、High 状態の入力信号が $V_{IH(MIN)}$ と 5.5V の間にあり、Low 状態の入力信号が $V_{IL(MAX)}$ を下回るようにしてください。

たとえば、図 7-3 に示すように、 $V_{CC} = 1.8V$ で動作させる場合、5.0V、3.3V、2.5V で動作するデバイスの標準 CMOS 入力を 1.8V CMOS 信号と一致するように降圧レベル変換できます。

降圧変換の組み合わせは次のとおりです。

- 1.8V V_{CC} – 2.5V、3.3V、5.0V からの入力
- 2.5V V_{CC} – 3.3V、5.0V からの入力
- 3.3V V_{CC} – 5.0V からの入力

7.3.3.2 昇圧変換

SN74LV1T125-Q1 を使うことで、入力信号を昇圧変換できます。 V_{CC} の印加電圧によって、出力電圧と入力スレッシュホールドが決まります（「推奨動作条件」と「電気的特性」の表を参照）。高インピーダンスの入力に接続した場合、出力電圧は、High 状態ではほぼ V_{CC} 、Low 状態では 0V になります。

入力のスレッシュホールドが低いため、一般的な値よりもはるかに低い入力 High 状態レベルにも対応できます。たとえば、5V 電源で動作するデバイスの代表的な CMOS 入力の $V_{IH(MIN)}$ は 3.5V です。SN74LV1T125-Q1 の場合、5V 電源での $V_{IH(MIN)}$ が 2V と低いため、2.5V (代表値) 信号から 5V (代表値) 信号への昇圧レベル変換が可能です。

図 7-3 に示すように、High 状態の入力信号は $V_{IH(MIN)}$ を上回り、Low 状態の入力信号は $V_{IL(MAX)}$ を下回るようにします。

昇圧変換の組み合わせは次のとおりです。

- 1.8V V_{CC} – 1.2V からの入力
- 2.5V V_{CC} – 1.8V からの入力
- 3.3V V_{CC} – 1.8V および 2.5V からの入力
- 5.0V V_{CC} – 2.5V および 3.3V からの入力

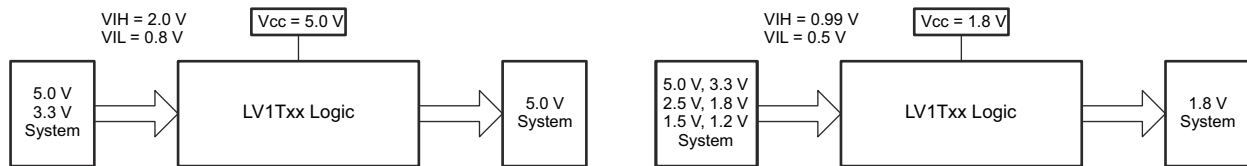


図 7-3. LVxT の昇圧および降圧変換の例

7.4 デバイスの機能モード

表 7-1 に、SN74LV1T125-Q1 の機能モードを示します。

表 7-1. 機能表

入力 ⁽¹⁾		出力 Y
A	OE	
H	L	H
L	L	L
X	H	Z

(1) H = High 電圧レベル、L = Low 電圧レベル、X = なし、Z = 高インピーダンス

8 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

このアプリケーションでは、「代表的なアプリケーションのブロック図」に示すように、3 ステート出力のバッファを使用してデータ信号をディセーブルします。

8.2 代表的なアプリケーション

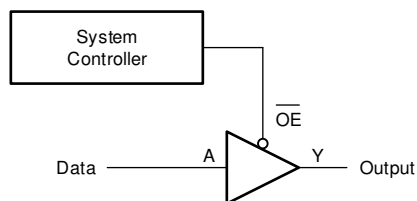


図 8-1. 代表的なアプリケーションのブロック図

8.2.1 設計要件

8.2.1.1 電源に関する考慮事項

目的の電源電圧が、「推奨動作条件」に規定された範囲に入っていることを確認します。「電気的特性」セクションに記載されているように、電源電圧は本デバイスの電気的特性を決定づけます。

正電圧の電源は、SN74LV1T125-Q1 のすべての出力によってソースされる総電流、「電気的特性」に記載された静的消費電流 (I_{CC}) の最大値、スイッチングに必要な任意の過渡電流の合計に等しい電流を供給できる必要があります。ロジック デバイスは、正の電源から供給される電流のみをソースできます。「絶対最大定格」に記載された V_{CC} 総電流の最大値を超えないようにしてください。

グラウンドは、SN74LV1T125-Q1 のすべての出力によってシンクされる総電流、「電気的特性」に記載された最大消費電流 (I_{CC})、スイッチングに必要な任意の過渡電流の合計に等しい電流をシンクできる必要があります。ロジック デバイスは、グラウンド接続にシンクできる電流のみをシンクできます。「絶対最大定格」に記載された GND 総電流の最大値を超えないようにしてください。

SN74LV1T125-Q1 は、データシートの仕様をすべて満たしつつ、合計容量 50pF 以下の負荷を駆動できます。これより大きな容量性負荷を印加することもできますが、50pF を超えることは推奨しません。

SN74LV1T125-Q1 は、「電気的特性」表に定義されている出力電圧および電流 (V_{OH} および V_{OL}) で、 $R_L \geq V_O / I_O$ で記述される合計抵抗の負荷を駆動できます。High 状態で出力する場合、この式の出力電圧は、測定した出力電圧と V_{CC} ピンの電源電圧の差として定義されます。

総消費電力は、『CMOS の消費電力と Cpd の計算』アプリケーション ノートに記載された情報を使って計算できます。

温度の上昇は、『標準リニアおよびロジック (SLL) パッケージおよびデバイスの熱特性』アプリケーション ノートに記載された情報を使って計算できます。

注意

「絶対最大定格」に記載された最大接合部温度 ($T_{J(max)}$) は、本デバイスの損傷を防止するための追加の制限値です。「絶対最大定格」に記載されたすべての制限値を必ず満たすようにしてください。これらの制限値は、デバイスへの損傷を防ぐために規定されています。

8.2.1.2 入力に関する考慮事項

入力信号は、 $V_{IL(max)}$ を超えるとロジック Low と見なされ、 $V_{IH(min)}$ を超えるとロジック High と見なされます。「絶対最大定格」に記載された最大入力電圧範囲を超えないようにしてください。

未使用の入力は、 V_{CC} またはグランドに終端させる必要があります。入力がまったく使われていない場合は、未使用の入力を直接終端させることができます。入力が常時ではなく、時々使用される場合は、プルアップ抵抗かプルダウン抵抗と接続することも可能です。デフォルト状態が High の場合にはプルアップ抵抗、デフォルト状態が Low の場合にはプルダウン抵抗を使用します。コントローラの駆動電流、SN74LV1T125-Q1 へのリーク電流（「電気的特性」で規定）、および必要な入力遷移レートによって抵抗のサイズが制限されます。こうした要因により 10k Ω の抵抗値がしばしば使用されます。

SN74LV1T125-Q1 は CMOS 入力を備えているため、正しく動作するには、「推奨動作条件」表で定義されているように、入力が素早く遷移する必要があります。入力遷移が遅いと発振が発生し、消費電力の増大やデバイスの信頼性の低下を招くことがあります。

このデバイスの入力の詳細については、「機能説明」セクションを参照してください。

8.2.1.3 出力に関する考慮事項

正の電源電圧を使用して、出力 High 電圧を生成します。出力から電流を引き出すと、「電気的特性」の V_{OH} 仕様で規定されたように出力電圧が低下します。グランド電圧を使用して、出力 Low 電圧を生成します。出力に電流をシンクすると、「電気的特性」の V_{OL} 仕様で規定されたように出力電圧が上昇します。

非常に短い期間であっても、逆の状態になる可能性があるプッシュプル出力は、互いに直接接続しないでください。これは、過電流やデバイスへの損傷を引き起こす可能性があります。

同じ入力信号を持つ同一デバイス内の 2 つのチャンネルを並列に接続することにより、出力駆動の強度を高めることができます。

未使用の出力はフローティングのままにできます。出力を V_{CC} またはグランドに直接接続しないようにしてください。

本デバイスの出力の詳細については、「機能説明」セクションを参照してください。

8.2.2 詳細な設計手順

1. V_{CC} から GND の間にデカップリング・コンデンサを追加します。このコンデンサは、物理的にデバイスの近く、かつ V_{CC} ピンと GND ピンの両方に電氣的に近づけて配置する必要があります。レイアウト例を「レイアウト」セクションに示します。
2. 出力の容量性負荷は、必ず 50pF 以下になるようにします。これは厳密な制限ではありませんが、設計上、性能が最適化されます。これは、SN74LV1T125-Q1 から 1 つ以上の受信デバイスへのトレースを短い適切なサイズにすることで実現できます。
3. 出力の抵抗性負荷を $(V_{CC}/I_{O(max)})\Omega$ より大きくします。これを行うと、「絶対最大定格」の最大出力電流に違反するのを防ぐことができます。ほとんどの CMOS 入力には抵抗性負荷 (測定単位は $M\Omega$) があります。これは、前述の計算された最小値よりもはるかに大きな値になります。
4. 熱の問題がロジック・ゲートで懸念されることはほとんどありませんが、消費電力と温度上昇は、アプリケーション・レポート『CMOS 消費電力と Cpd の計算』に記載された手順を使って計算できます。

8.2.3 アプリケーション曲線

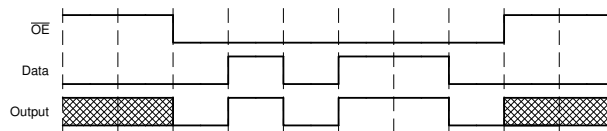


図 8-2. アプリケーション タイミング図

9 電源に関する推奨事項

電源には、「推奨動作条件」に記載された電源電圧定格の最小値と最大値の間の任意の電圧を使用できます。電源の外乱を防止するため、各 V_{CC} 端子に適切なバイパス コンデンサを配置する必要があります。このデバイスには 0.1 μ F のコンデンサを推奨します。複数のバイパス コンデンサを並列に配置して、異なる周波数のノイズを除去することが許容されます。一般的に、0.1 μ F と 1 μ F のコンデンサは並列に使用されます。最良の結果を得るには、次のレイアウト例に示すように、バイパス コンデンサを電源端子のできるだけ近くに配置する必要があります。

10 レイアウト

10.1 レイアウトのガイドライン

マルチ入力およびマルチチャネルのロジック デバイスを使用する場合、入力をフローティングのままにはいけません。多くの場合、デジタル論理デバイスの機能または機能の一部は使用されません (たとえば、トリプル入力 AND ゲートの 2 つの入力のみを使用したり、4 つのバッファ ゲートのうち 3 つのみを使用したりする場合)。このような未使用の入力ピンを未接続のままにすることはできません。外部接続の電圧が未確定の場合、動作状態が不定になるためです。デジタルロジック デバイスの未使用入力はすべて、入力電圧の仕様で定義されるロジック High またはロジック Low 電圧に接続して、それらがフローティングにならないようにする必要があります。特定の未使用入力に適用する必要があるロジックレベルは、デバイスの機能によって異なります。一般に入力は、GND または V_{CC} のうち、ロジックの機能にとってより適切であるかより利便性の高い方に接続されます。

10.2 レイアウト例

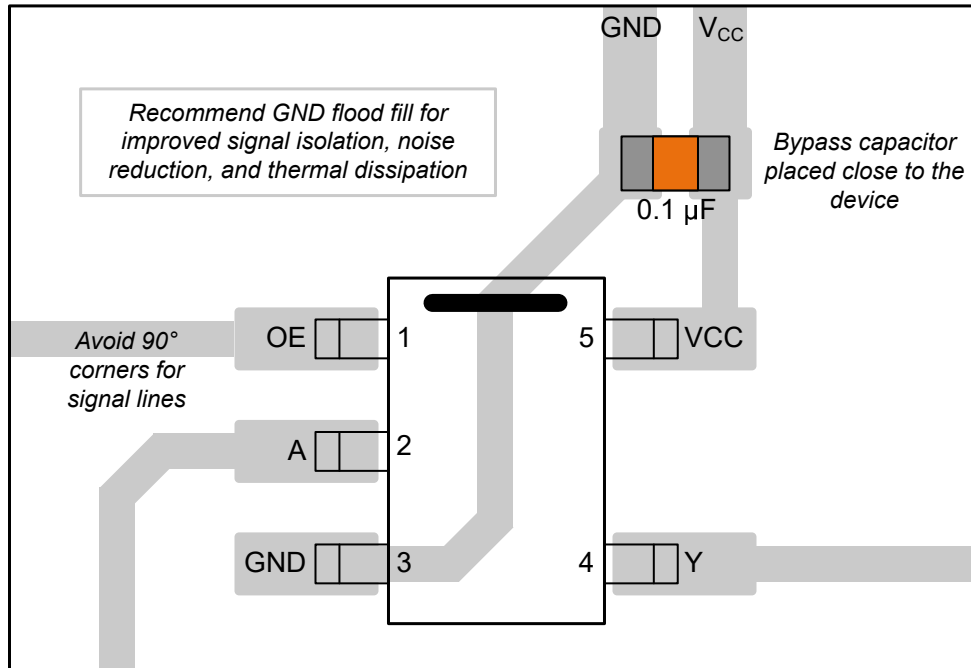


図 10-1. SN74LV1T125-Q1 のレイアウト例

11 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介합니다。

11.1 ドキュメントのサポート

11.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『[CMOS の消費電力と Cpd の計算](#)』アプリケーション ノート
- テキサス・インスツルメンツ、『[ロジック設計](#)』アプリケーション ノート
- テキサス・インスツルメンツ、『[標準リニアおよびロジック \(SLL\) パッケージおよびデバイスの熱特性](#)』アプリケーション ノート
- テキサス・インスツルメンツ、『[低速またはフローティング CMOS 入力の影響](#)』アプリケーション ノート

11.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

11.3 サポート・リソース

[テキサス・インスツルメンツ E2E™ サポート・フォーラム](#)は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

11.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

11.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

11.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

12 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (May 2023) to Revision A (November 2023)

Page

- | Changes from Revision * (May 2023) to Revision A (November 2023) | Page |
|--|------|
| • データシート全体にわたって DBV のパッケージ情報を追加 | 1 |

13 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用している場合は、画面左側のナビゲーションをご覧ください。

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
SN74LV1T125QDBVRQ1	ACTIVE	SOT-23	DBV	5	3000	RoHS & Green	SN	Level-1-260C-UNLIM	-40 to 125	39MH	Samples
SN74LV1T125QDCKRQ1	ACTIVE	SC70	DCK	5	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1P6	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN74LV1T125-Q1 :

- Catalog : [SN74LV1T125](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74LV1T125QDBVRQ1	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
SN74LV1T125QDCKRQ1	SC70	DCK	5	3000	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74LV1T125QDBVRQ1	SOT-23	DBV	5	3000	210.0	185.0	35.0
SN74LV1T125QDCKRQ1	SC70	DCK	5	3000	190.0	190.0	30.0

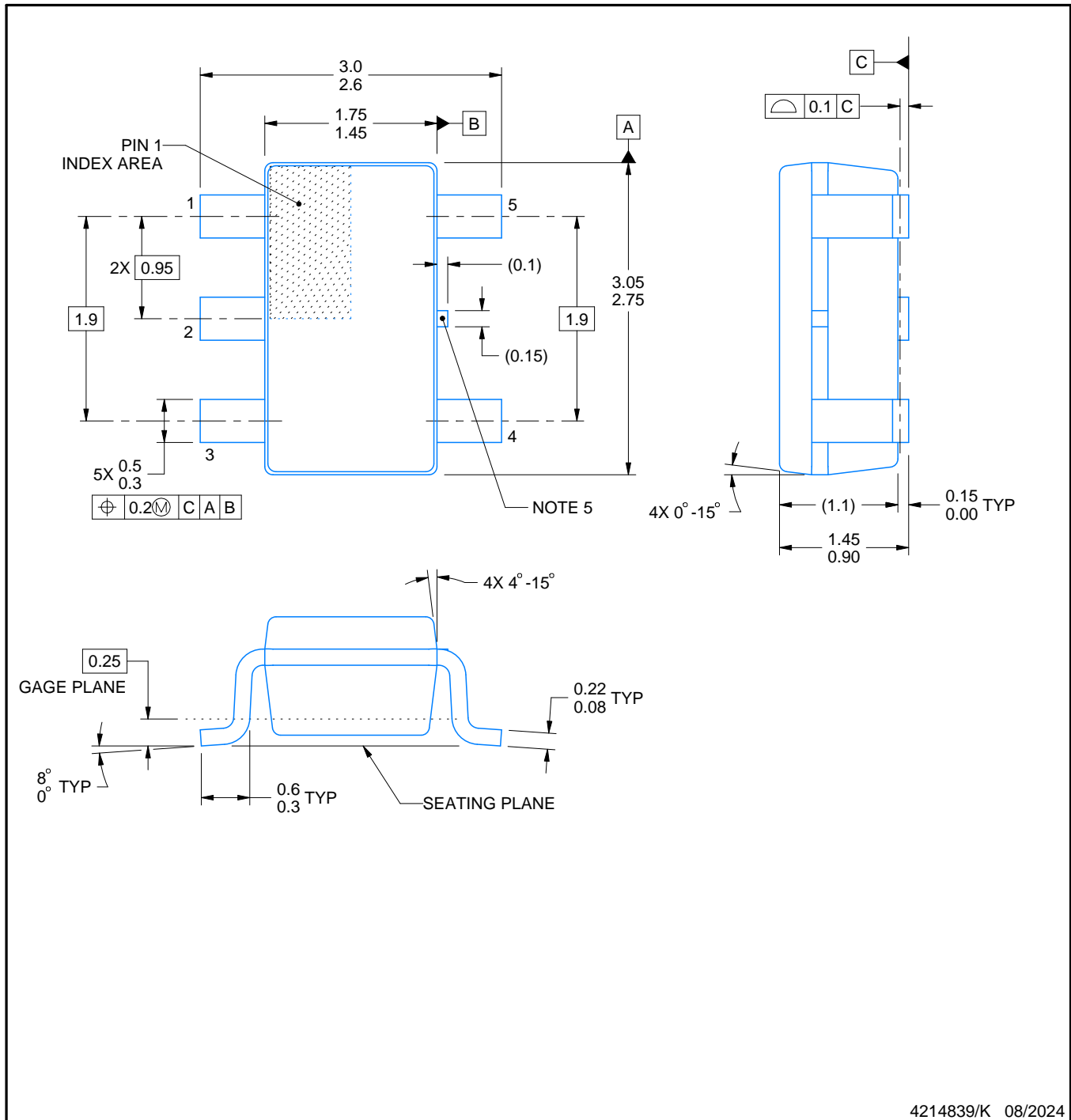
DBV0005A



PACKAGE OUTLINE

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



4214839/K 08/2024

NOTES:

- All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
- This drawing is subject to change without notice.
- Reference JEDEC MO-178.
- Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
- Support pin may differ or may not be present.

EXAMPLE BOARD LAYOUT

DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

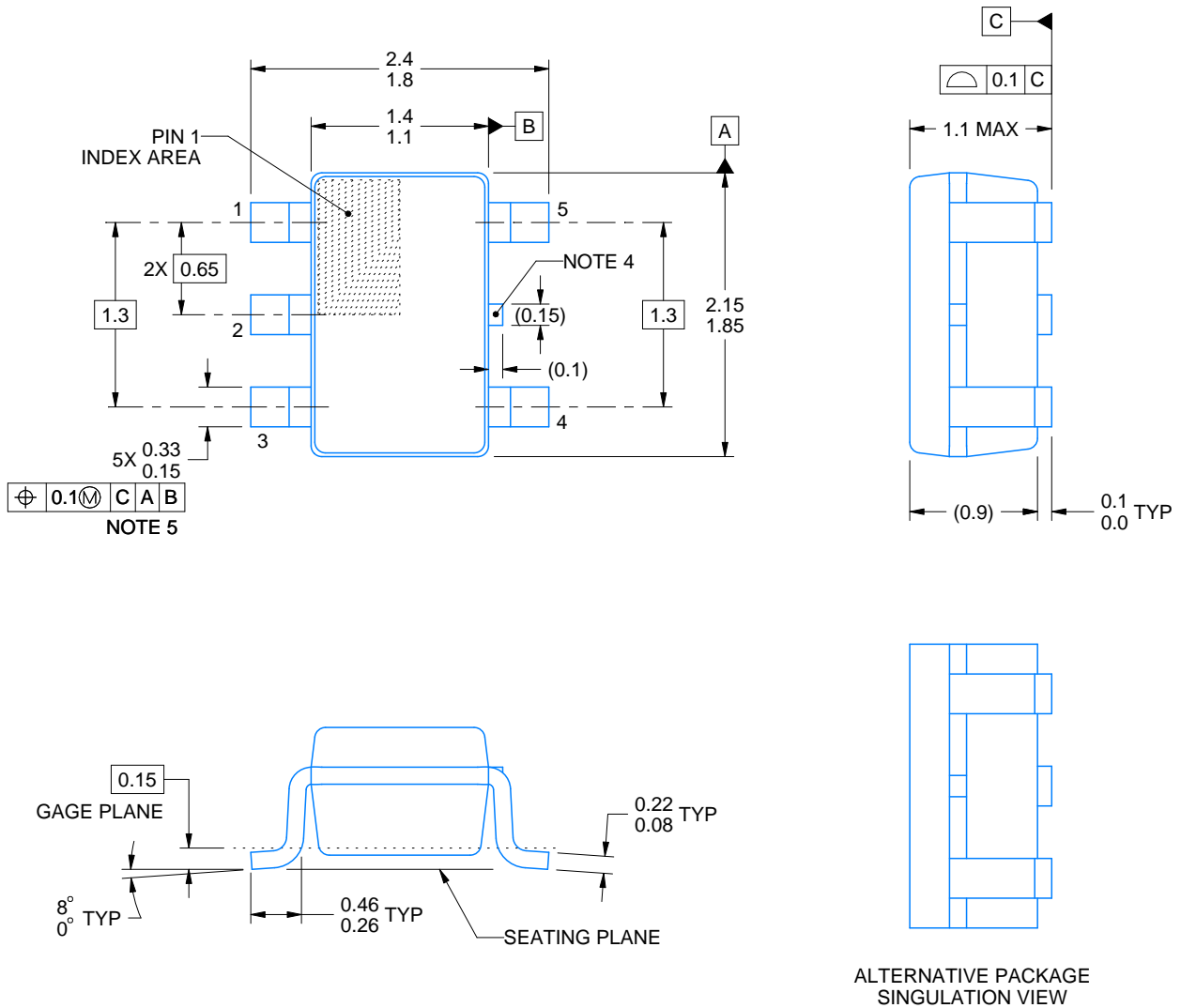
DCK0005A



PACKAGE OUTLINE

SOT - 1.1 max height

SMALL OUTLINE TRANSISTOR



4214834/E 06/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC MO-203.
4. Support pin may differ or may not be present.
5. Lead width does not comply with JEDEC.
6. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25mm per side

EXAMPLE BOARD LAYOUT

DCK0005A

SOT - 1.1 max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X



SOLDER MASK DETAILS

4214834/E 06/2024

NOTES: (continued)

- 7. Publication IPC-7351 may have alternate designs.
- 8. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DCK0005A

SOT - 1.1 max height

SMALL OUTLINE TRANSISTOR



SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE: 18X

4214834/E 06/2024

NOTES: (continued)

9. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
10. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ（データシートを含みます）、設計リソース（リファレンス・デザインを含みます）、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](#) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated