

SN74LV20A デュアル 4 入力正論理 NAND ゲート

1 特長

- 2V~5.5V の V_{CC} で動作
- 最大 t_{pd} 6ns (5V 時)
- 標準 V_{OLP} (出力グランド バウンス) $< 0.8V$ ($V_{CC} = 3.3V$, $T_A = 25^\circ C$)
- 標準 V_{OHV} (出力 V_{OH} アンダーシュート) $> 2.3V$ ($V_{CC} = 3.3V$, $T_A = 25^\circ C$)
- I_{off} により部分的パワーダウン モードでの動作をサポート
- JESD 78, Class II 準拠で 100mA 超のラッチアップ性能

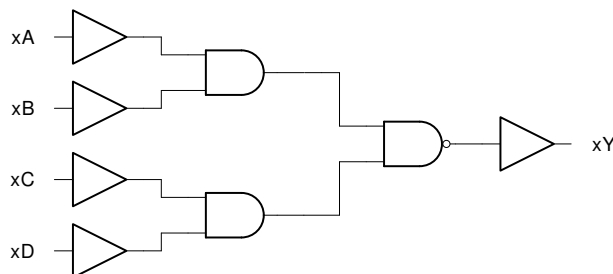
2 概要

これらのデュアル 4 入力正論理 NAND ゲートは、2V~5.5V の V_{CC} で動作するように設計されています。

パッケージ情報

部品番号	パッケージ ⁽¹⁾	パッケージサイズ ⁽²⁾	本体サイズ ⁽³⁾
SN74LV20A	DGV (TVSOP, 14)	3.60mm × 6.4mm	3.60mm × 4.4mm
	D (SOIC, 14)	8.65mm × 6mm	8.65mm × 3.9mm
	NS (SOP, 14)	10.20mm × 7.8mm	10.3mm × 5.3mm
	DB (SSOP, 14)	6.20mm × 7.8mm	6.20mm × 5.3mm
	PW (TSSOP, 14)	5.00mm × 6.4mm	5.00mm × 4.4mm

- (1) 詳細については、[セクション 10](#) を参照してください。
- (2) パッケージサイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。
- (3) 本体サイズ (長さ × 幅) は公称値であり、ピンは含まれません。



目次

1 特長	1	6.1 概要.....	8
2 概要	1	6.2 機能ブロック図	8
3 ピン構成および機能	3	6.3 デバイスの機能モード	8
4 仕様	4	7 アプリケーションと実装	9
4.1 絶対最大定格	4	7.1 電源に関する推奨事項	9
4.2 ESD 定格	4	7.2 レイアウト	9
4.3 推奨動作条件	4	8 デバイスおよびドキュメントのサポート	10
4.4 熱に関する情報	5	8.1 ドキュメントのサポート (アナログ)	10
4.5 電気的特性	5	8.2 ドキュメントの更新通知を受け取る方法	10
4.6 スイッチング特性、 $V_{CC} = 2.5\text{ V} \pm 0.2\text{ V}$	5	8.3 サポート・リソース	10
4.7 スイッチング特性、 $V_{CC} = 3.3\text{ V} \pm 0.3\text{ V}$	6	8.4 商標	10
4.8 スイッチング特性、 $V_{CC} = 5\text{ V} \pm 0.5\text{ V}$	6	8.5 静電気放電に関する注意事項	10
4.9 ノイズ特性	6	8.6 用語集	10
4.10 動作特性	6	9 改訂履歴	10
5 パラメータ測定情報	7	10 メカニカル、パッケージ、および注文情報	11
6 詳細説明	8		

3 ピン構成および機能

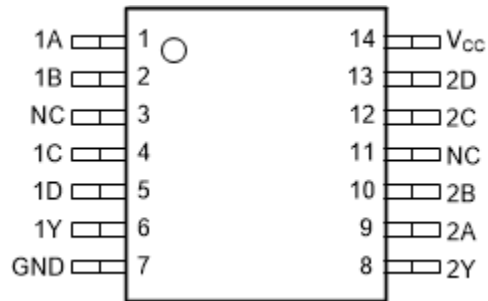


図 3-1. SN74LV20A D、DB、DGV、NS、PW パッケージ、14 ピン SOIC、SSOP、TVSOP、SOP、TSSOP (上面図)

表 3-1. ピンの機能

ピン		種類 (1)	説明
名称	番号		
1A	1	I	1A 入力
1B	2	I	1B 入力
NC	3	—	内部接続なし
1C	4	I	1C 入力
1D	5	I	1D 入力
1Y	6	O	1Y 出力
2Y	8	O	2Y 出力
2A	9	I	2A 入力
2B	10	I	2B 入力
NC	11	—	内部接続なし
2C	12	I	2C 入力
2D	13	I	2D 入力
GND	7	—	グランドピン
V _{CC}	14	—	パワーピン

(1) 信号タイプ: I = 入力、O = 出力。

4 仕様

4.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位
V _{CC}	電源電圧範囲	-0.5	7	V
V _I	入力電圧範囲 ⁽²⁾	-0.5	7	V
V _O	High または Low 状態で印加される出力電圧範囲 ^{(2) (3)}	-0.5	V _{CC} + 0.5	V
V _O	電源オフ状態で印加される出力電圧範囲 ⁽²⁾	-0.5	7	V
I _{IK}	入力クランプ電流	(V _I < 0)	-20	mA
I _{OK}	出力クランプ電流	(V _O < 0)	-50	mA
I _O	連続出力電流	(V _O = 0 ~ V _{CC})	±25	mA
	V _{CC} または GND を通過する連続電流		±50	mA
T _J	接合部温度		150	°C
T _{stg}	保管温度	-65	150	°C

- (1) 絶対最大定格を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレス定格のみについて示しており、このデータシートの「推奨動作条件」に示された値を超える状態で本製品が正常に動作することを暗黙的に示すものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
- (2) 入力と出力の電流定格を順守しても、入力と出力の電圧定格を超えることがあります。
- (3) この値は最大 5.5V に制限されています。

4.2 ESD 定格

		値	単位
V _(ESD)	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	±2000
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 準拠 ⁽²⁾	±1000

- (1) JEDEC のドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
- (2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

4.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位
V _{CC}	電源電圧	2	5.5	V
V _{IH}	High レベル入力電圧	V _{CC} = 2 V	1.5	V
		V _{CC} = 2.3 V ~ 2.7 V	V _{CC} × 0.7	
		V _{CC} = 3 V ~ 3.6 V	V _{CC} × 0.7	
		V _{CC} = 4.5 V ~ 5.5 V	V _{CC} × 0.7	
V _{IL}	Low レベル入力電圧	V _{CC} = 2 V	0.5	V
		V _{CC} = 2.3 V ~ 2.7 V	V _{CC} × 0.3	
		V _{CC} = 3 V ~ 3.6 V	V _{CC} × 0.3	
		V _{CC} = 4.5 V ~ 5.5 V	V _{CC} × 0.3	
V _I	入力電圧	0	5.5	V
V _O	出力電圧	0	V _{CC}	V
I _{OH}	High レベル入力電流	V _{CC} = 2 V	-50	μA
		V _{CC} = 2.3 V ~ 2.7 V	-2	
		V _{CC} = 3 V ~ 3.6 V	-6	
		V _{CC} = 4.5 V ~ 5.5 V	-12	

4.3 推奨動作条件 (続き)

自由気流での動作温度範囲内 (特に記述のない限り) (1)

		最小値	最大値	単位
I _{OL}	Low レベル入力電流	V _{CC} = 2 V	50	μA
		V _{CC} = 2.3 V~2.7 V	2	mA
		V _{CC} = 3 V~3.6 V	6	
		V _{CC} = 4.5 V~5.5 V	12	
Δt/Δv	入力遷移の立ち上がりおよび立ち下がりレート	V _{CC} = 2.3 V~2.7 V	200	ns/V
		V _{CC} = 3 V~3.6 V	100	
		V _{CC} = 4.5 V~5.5 V	20	
T _A	自由空気での動作温度	-40	85	°C

(1) デバイスが適切に動作するように、デバイスの未使用の入力はすべて、V_{CC} または GND に固定する必要があります。テキサス・インスツルメンツのアプリケーションレポート『低速またはフローティング CMOS 入力の影響』(文献番号 SCBA004) を参照してください。

4.4 熱に関する情報

熱評価基準(1)	SN74LV20A					単位
	D	DB	DGV	NS	PW	
	14 ピン	14 ピン	14 ピン	14 ピン	14 ピン	
R _{θJA}	接合部から周囲への熱抵抗					°C/W
	86	96	127	76	113	

(1) 従来および新しい熱評価基準値の詳細については、『IC パッケージの熱評価基準』アプリケーションレポート (SPRA953) を参照してください。

4.5 電気的特性

自由空気での推奨動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	V _{CC}	最小値	代表値	最大値	単位	
V _{OH}	High レベル出力電圧	2 V~5.5 V	V _{CC} - 0.1	2	3.8	V	
							I _{OH} = -50 μA
							I _{OH} = -2 mA
							I _{OH} = -6 mA
V _{OL}	Low レベル出力電圧	2 V~5.5 V	0.1	0.44	0.55	V	
							I _{OL} = 50 μA
							I _{OL} = 2 mA
							I _{OL} = 6 mA
I _I	入力リーク電流	V _I = 5.5V または GND	0~5.5V		±1	μA	
I _{CC}	電源電流	V _I = V _{CC} または I _O = 0 GND、	5.5 V		20	μA	
I _{off}	オフ状態のリーク電流	V _I または V _O = 0~5.5 V	0 V		5	μA	
C _i	入力容量	V _I = V _{CC} または GND	3.3 V	1.9		pF	

4.6 スイッチング特性、V_{CC} = 2.5 V ± 0.2 V

自由空気での推奨動作温度範囲内 (特に記述のない限り) (「負荷回路および電圧波形」を参照)

パラメータ	始点 (入力)	終点 (出力)	負荷容量	T _A = 25°C			SN74LV20A		単位
				最小値	代表値	最大値	最小値	最大値	
t _{pd}	A, B, C, D	Y	C _L = 15pF		6.8	11.6	1	13.5	ns
t _{pd}	A, B, C, D	Y	C _L = 50pF		9.2	15.3	1	18.5	

4.7 スイッチング特性、 $V_{CC} = 3.3\text{ V} \pm 0.3\text{ V}$

自由空気での推奨動作温度範囲内 (特に記述のない限り) (「[負荷回路および電圧波形](#)」を参照)

パラメータ	始点 (入力)	終点 (出力)	負荷 容量	$T_A = 25^\circ\text{C}$			SN74LV20A		単位
				最小値	代表値	最大値	最小値	最大値	
t_{pd}	A, B, C, D	Y	$C_L = 15\text{pF}$		4.9	6.6	1	8	ns
t_{pd}	A, B, C, D	Y	$C_L = 50\text{pF}$		6.5	10.1	1	11.5	

4.8 スイッチング特性、 $V_{CC} = 5\text{ V} \pm 0.5\text{ V}$

自由空気での推奨動作温度範囲内 (特に記述のない限り) (「[負荷回路および電圧波形](#)」を参照)

パラメータ	始点 (入力)	終点 (出力)	負荷 容量	$T_A = 25^\circ\text{C}$			SN74LV20A		単位
				最小値	代表値	最大値	最小値	最大値	
t_{pd}	A, B, C, D	Y	$C_L = 15\text{pF}$		3.7	5	1	6	ns
t_{pd}	A, B, C, D	Y	$C_L = 50\text{pF}$		4.8	7	1	8	

4.9 ノイズ特性

$V_{CC} = 3.3\text{ V}$, $C_L = 50\text{pF}$, $T_A = 25^\circ\text{C}$

パラメータ (1)		最小値	代表値	最大値	単位
$V_{OL(P)}$	低ノイズ出力、最大動的電圧 V_{OL}		0.2	0.8	V
$V_{OL(V)}$	低ノイズ出力、最小動的電圧 V_{OL}		0	-0.8	V
$V_{OH(V)}$	低ノイズ出力、最小動的電圧 V_{OH}		3.2		V
$V_{IH(D)}$	High レベル動的入力電圧	2.31			V
$V_{IL(D)}$	Low レベル動的入力電圧			0.99	V

(1) 特性は表面実装パッケージのみが対象です。

4.10 動作特性

$T_A = 25^\circ\text{C}$

パラメータ		テスト条件		V_{CC}	標準値	単位
C_{pd}	電力散逸容量	$C_L = 50\text{pF}$ 、	$f = 10\text{ MHz}$	3.3 V	20.5	pF
				5 V	23.9	

5 パラメータ測定情報

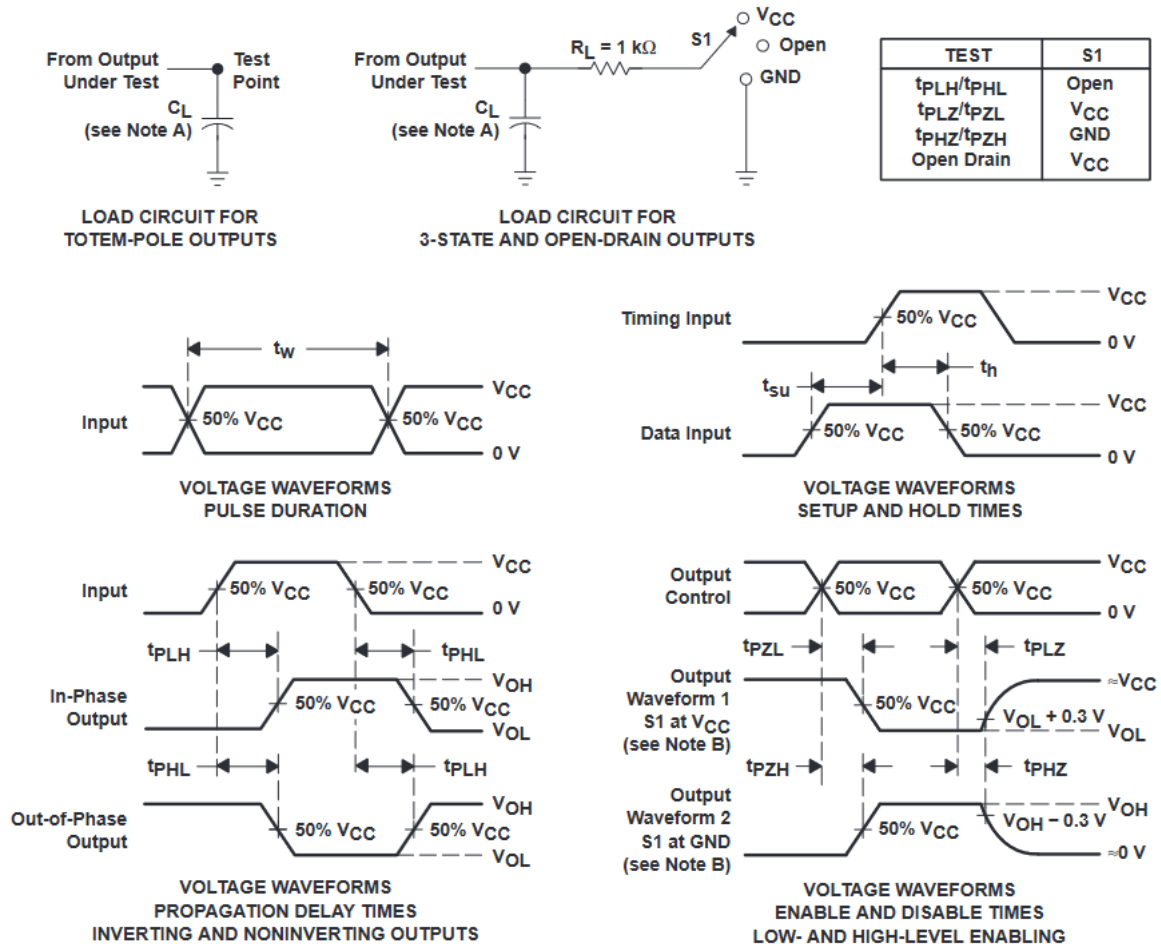


図 5-1. 負荷回路および電圧波形

- A. C_L にはプローブと治具の容量が含まれます。
- B. 波形 1 は、出力が Low になるような内部条件を持つ出力についてのものです。ただし、出力制御によってディセーブルになっている場合は除きます。
波形 2 は、出力が High になるような内部条件を持つ出力についてのものです。ただし、出力制御によってディセーブルになっている場合は除きます。
- C. すべての入力パルスは、以下の特性を持つジェネレータによって供給されます。PRR \leq 1MHz、 $Z_O = 50\Omega$ 、 $t_r \leq 3\text{ns}$ 、 $t_f \leq 3\text{ns}$ 。
- D. 出力は一度に 1 つずつ測定され、測定するたびに入力が 1 回遷移します。
- E. t_{PLZ} と t_{PHZ} は t_{dis} と同じです。
- F. t_{PZL} と t_{PZH} は t_{en} と同じです。
- G. t_{PHL} と t_{PLH} は t_{pd} と同じです。
- H. すべてのパラメータと波形が、すべてのデバイスに適用できるわけではありません。

6 詳細説明

6.1 概要

SN74LV20A デバイスは、ブール関数 $Y = \overline{A \cdot B \cdot C \cdot D}$ 、すなわち $Y = \overline{A} + \overline{B} + \overline{C} + \overline{D}$ を正論理で実行します。

これらのデバイスは、 I_{off} を使用する部分的パワーダウン アプリケーション用の動作が完全に規定されています。 I_{off} 回路が出力をディセーブルにするため、電源切断時にデバイスに電流が逆流して損傷に至ることを回避できます。

6.2 機能ブロック図

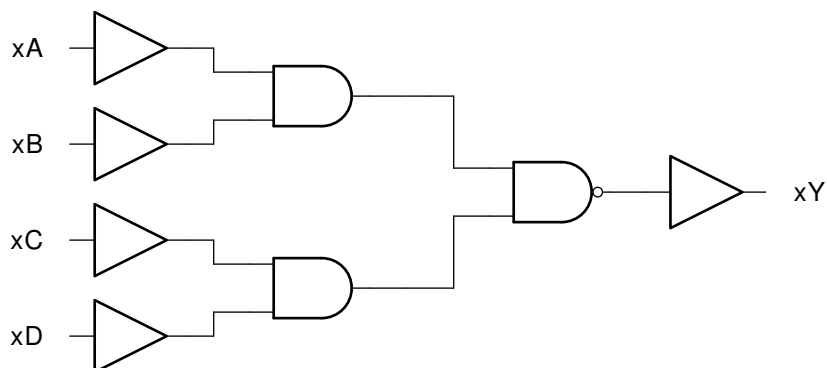


図 6-1. 論理図 (正論理)

6.3 デバイスの機能モード

機能表
(各ゲート)

入力				出力 Y
A	B	C	D	
H	H	H	H	L
L	X	X	X	H
X	L	X	X	H
X	X	L	X	H
X	X	X	L	H

7 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくこととなります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 電源に関する推奨事項

電源には、「推奨動作条件」に記載された電源電圧定格の最小値と最大値の間の任意の電圧を使用できます。電源の外乱を防止するため、各 V_{CC} 端子に適切なバイパス コンデンサを配置する必要があります。このデバイスには $0.1\mu\text{F}$ のコンデンサを推奨します。複数のバイパス コンデンサを並列に配置して、異なる周波数のノイズを除去することが許容されます。一般的に、 $0.1\mu\text{F}$ と $1\mu\text{F}$ のコンデンサは並列に使用されます。バイパス コンデンサを電源端子のできるだけ近くに配置すると最適な結果が得られます。

7.2 レイアウト

7.2.1 レイアウトのガイドライン

マルチ入力およびマルチチャネルのロジック デバイスを使用する場合、入力をフローティングのままにしてはなりません。多くの場合、デジタル論理デバイスの機能または機能の一部は使用されません (たとえば、トリプル入力 AND ゲートの 2 つの入力のみを使用する場合や 4 つのバッファ ゲートのうちの 3 つのみを使用する場合)。このような未使用の入力ピンを未接続のままにすることはできません。外部接続の電圧が未確定の場合、動作状態が不定になるためです。デジタルロジック デバイスの未使用入力はすべて、入力電圧の仕様で定義されるロジック High またはロジック Low 電圧に接続して、それらがフローティングにならないようにする必要があります。特定の未使用入力に適用する必要があるロジック レベルは、デバイスの機能によって異なります。一般に入力は、GND または V_{CC} のうち、ロジックの機能にとってより適切であるかより利便性の高い方に接続されます。

8 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介합니다。

8.1 ドキュメントのサポート (アナログ)

8.1.1 関連資料

次の表に、クイック アクセス リンクを示します。カテゴリには、技術資料、サポートおよびコミュニティリソース、ツールとソフトウェア、およびサンプル注文またはご購入へのクイック アクセスが含まれます。

製品	プロダクト フォルダ	サンプルとご購入	技術資料	ツールとソフトウェア	サポートとコミュニティ
SN74LV20A	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック

8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、ti.com のデバイス製品フォルダを開いてください。「更新の通知を受け取る」をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取れます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

8.3 サポート・リソース

TI E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、該当する貢献者により、現状のまま提供されるものです。これらは TI の仕様を構成するものではなく、必ずしも TI の見解を反映したものではありません。TI の[使用条件](#)を参照してください。

8.4 商標

TI E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

8.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision E (April 2005) to Revision F (May 2024)	Page
<ul style="list-style-type: none"> 「パッケージ情報」表、「ピンの機能」表、「ESD 定格」表、「熱に関する情報」表、「デバイスの機能モード」、「アプリケーションと実装」セクション、「デバイスおよびドキュメントのサポート」セクション、および「メカニカル、パッケージ、および注文情報」セクションを追加 	1

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は指定したデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側のナビゲーションをご覧ください。

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
SN74LV20ADBR	ACTIVE	SSOP	DB	14	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LV20A	Samples
SN74LV20ADGVR	ACTIVE	TVSOP	DGV	14	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LV20A	Samples
SN74LV20ADR	ACTIVE	SOIC	D	14	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LV20A	Samples
SN74LV20ANSR	ACTIVE	SO	NS	14	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 85	74LV20A	Samples
SN74LV20APWR	ACTIVE	TSSOP	PW	14	2000	RoHS & Green	NIPDAU SN	Level-1-260C-UNLIM	-40 to 85	LV20A	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSELETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74LV20ADBR	SSOP	DB	14	2000	330.0	16.4	8.35	6.6	2.4	12.0	16.0	Q1
SN74LV20ADGVR	TVSOP	DGV	14	2000	330.0	12.4	6.8	4.0	1.6	8.0	12.0	Q1
SN74LV20ADR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
SN74LV20ANSR	SO	NS	14	2000	330.0	16.4	8.2	10.5	2.5	12.0	16.0	Q1
SN74LV20APWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74LV20APWR	TSSOP	PW	14	2000	330.0	12.4	6.85	5.45	1.6	8.0	12.0	Q1
SN74LV20APWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74LV20ADBR	SSOP	DB	14	2000	356.0	356.0	35.0
SN74LV20ADGVR	TVSOP	DGV	14	2000	356.0	356.0	35.0
SN74LV20ADR	SOIC	D	14	2500	356.0	356.0	35.0
SN74LV20ANSR	SO	NS	14	2000	356.0	356.0	35.0
SN74LV20APWR	TSSOP	PW	14	2000	356.0	356.0	35.0
SN74LV20APWR	TSSOP	PW	14	2000	366.0	364.0	50.0
SN74LV20APWR	TSSOP	PW	14	2000	356.0	356.0	35.0

MECHANICAL DATA

NS (R-PDSO-G**)

PLASTIC SMALL-OUTLINE PACKAGE

14-PINS SHOWN



- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.
 - C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15.

DGV (R-PDSO-G**)

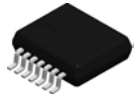
PLASTIC SMALL-OUTLINE

24 PINS SHOWN



- NOTES: A. All linear dimensions are in millimeters.
 B. This drawing is subject to change without notice.
 C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15 per side.
 D. Falls within JEDEC: 24/48 Pins – MO-153
 14/16/20/56 Pins – MO-194

DB0014A



PACKAGE OUTLINE

SSOP - 2 mm max height

SMALL OUTLINE PACKAGE



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-150.

EXAMPLE BOARD LAYOUT

DB0014A

SSOP - 2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



4220762/A 05/2024

NOTES: (continued)

- 5. Publication IPC-7351 may have alternate designs.
- 6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DB0014A

SSOP - 2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220762/A 05/2024

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

D (R-PDSO-G14)

PLASTIC SMALL OUTLINE



- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 - $\triangle C$ Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.
 - $\triangle D$ Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.
 - E. Reference JEDEC MS-012 variation AB.

D (R-PDSO-G14)

PLASTIC SMALL OUTLINE



- NOTES:
- All linear dimensions are in millimeters.
 - This drawing is subject to change without notice.
 - Publication IPC-7351 is recommended for alternate designs.
 - Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC-7525 for other stencil recommendations.
 - Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

PW (R-PDSO-G14)

PLASTIC SMALL OUTLINE



4040064-3/G 02/11

- NOTES:
- A. All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M-1994.
 - B. This drawing is subject to change without notice.
 - C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0,15 each side.
 - D. Body width does not include interlead flash. Interlead flash shall not exceed 0,25 each side.
 - E. Falls within JEDEC MO-153

PW (R-PDSO-G14)

PLASTIC SMALL OUTLINE



4211284-2/G 08/15

- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.
 - C. Publication IPC-7351 is recommended for alternate designs.
 - D. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC-7525 for other stencil recommendations.
 - E. Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

重要なお知らせと免責事項

TI は、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](#) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated