

# SN74LV273A クリア搭載、オクタールDタイプ・フリップ・フロップ

## 1 特長

- 2V~5.5V の  $V_{CC}$  で動作
- 最大  $t_{pd}$  10.5ns (5V 時)
- $V_{OLP}$  (代表値) (出力グランド・バウンス)  
< 0.8V ( $V_{CC} = 3.3V$ ,  $T_A = 25^\circ C$ )
- $V_{OHV}$  (代表値) (出力  $V_{OH}$  アンダーシュート)  
> 2.3V ( $V_{CC} = 3.3V$ ,  $T_A = 25^\circ C$ )
- $I_{off}$  により部分的パワーダウン・モードでの動作をサポート
- すべてのポートで混合モード電圧動作をサポート
- JESD 17 準拠  
250mA 超のラッチアップ性能

## 2 アプリケーション

- 変電設備制御
- I/O モジュール: アナログ PLC/DCS 入力
- ヒューマン・マシン・インターフェイス (HMI)
- 流量計
- メディカル・モニタ
- 試験および計測用ソリューション

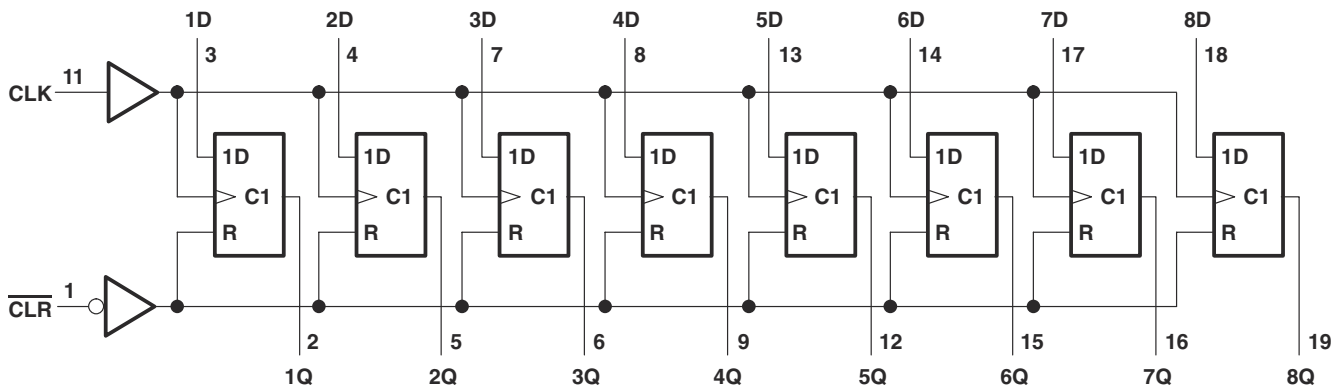
## 3 概要

SN74LV273A デバイスは、2V~5.5V の  $V_{CC}$  で動作するように設計されたオクタール D タイプ・フリップ・フロップです。

### パッケージ情報

部品番号	パッケージ <sup>1</sup>	パッケージ・サイズ <sup>2</sup>
SN74LV273A	DB (SSOP, 20)	7.2mm × 7.8mm
	DGV (TVSOP, 20)	5.00mm × 6.4mm
	DW (SOIC, 20)	12.80mm × 10.3mm
	NS (SO, 20)	12.60mm × 5.30mm
	PW (TSSOP, 20)	6.50mm × 7.8mm
	RGY (VQFN, 20)	4.5mm × 3.50mm
	RKS (VQFN, 20)	4.50mm × 2.50mm
	DGS (VSSOP, 20)	5.10mm × 4.9mm

- (1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
- (2) パッケージ・サイズ (長さ×幅) は公称値であり、該当する場合はピンも含まれます。



論理図 (正論理)



## 目次

1 特長.....	1	6.14 代表的特性.....	10
2 アプリケーション.....	1	7 パラメータ測定情報.....	12
3 概要.....	1	8 詳細説明.....	13
4 改訂履歴.....	2	8.1 概要.....	13
5 ピン構成および機能.....	3	8.2 機能ブロック図.....	13
6 仕様.....	5	8.3 機能説明.....	13
6.1 絶対最大定格.....	5	8.4 デバイスの機能モード.....	14
6.2 ESD 定格.....	5	9 アプリケーションと実装.....	15
6.3 推奨動作条件.....	6	9.1 アプリケーション情報.....	15
6.4 熱に関する情報.....	6	9.2 代表的なアプリケーション.....	15
6.5 電気的特性.....	7	9.3 電源に関する推奨事項.....	18
6.6 タイミング要件、 $V_{CC} = 2.5V \pm 0.2V$ .....	7	9.4 レイアウト.....	18
6.7 タイミング要件、 $V_{CC} = 3.3V \pm 0.3V$ .....	7	10 デバイスおよびドキュメントのサポート.....	19
6.8 タイミング要件、 $V_{CC} = 5V \pm 0.5V$ .....	8	10.1 ドキュメントの更新通知を受け取る方法.....	19
6.9 スwitchング特性、 $V_{CC} = 2.5V \pm 0.2V$ .....	8	10.2 サポート・リソース.....	19
6.10 スwitchング特性、 $V_{CC} = 3.3V \pm 0.3V$ .....	8	10.3 商標.....	19
6.11 スwitchング特性、 $V_{CC} = 5V \pm 0.5V$ .....	9	10.4 静電気放電に関する注意事項.....	19
6.12 ノイズ特性.....	9	10.5 用語集.....	19
6.13 動作特性.....	9	11 メカニカル、パッケージ、および注文情報.....	19

## 4 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision N (March 2023) to Revision O (August 2023)	Page
• 「パッケージ情報」表から ZQN および GQN を削除 .....	1
• PW パッケージの熱特性値を $R\theta_{JA} = 104.7$ から $128.2$ 、 $R\theta_{JC}(top) = 38.8$ から $70.5$ 、 $R\theta_{JB} = 55.7$ から $79.3$ 、 $\Psi_{JT} = 2.9$ から $23.4$ 、 $\Psi_{JB} = 55.1$ から $78.9$ に更新 (値はすべて $^{\circ}C/W$ ).....	6

Changes from Revision M (January 2023) to Revision N (March 2023)	Page
• DB パッケージの熱特性値を $R\theta_{JA} = 98.7$ から $128.2$ 、 $R\theta_{JC}(top) = 60.4$ から $70.5$ 、 $R\theta_{JB} = 56.9$ から $79.3$ 、 $\Psi_{JT} = 21.6$ から $23.4$ 、 $\Psi_{JB} = 55.1$ から $78.9$ に更新 (値はすべて $^{\circ}C/W$ ).....	6
• DW パッケージの熱特性値を $R\theta_{JA} = 81.8$ から $102.3$ 、 $R\theta_{JC}(top) = 47.8$ から $69.9$ 、 $R\theta_{JB} = 49.4$ から $70.8$ 、 $\Psi_{JT} = 20.1$ から $46.4$ 、 $\Psi_{JB} = 49.0$ から $70.4$ に更新 (値はすべて $^{\circ}C/W$ ).....	6

## 5 ピン構成および機能

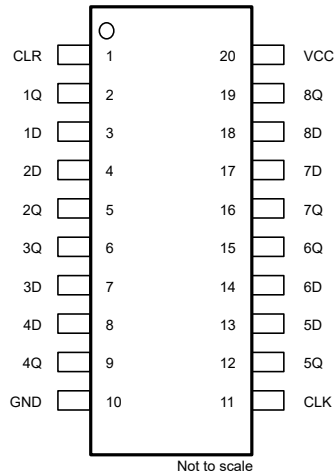


図 5-1. SN74LV273A DB、DGV、DW、NS、PW、または DGS パッケージ、20 ピン SSOP、TVSOP、SOP、TSSOP または VSSOP (上面図)

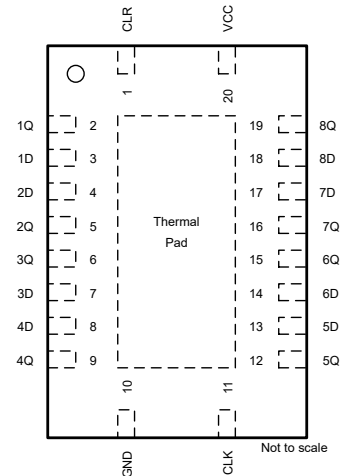


図 5-2. SN74LV273A RGY または RKS パッケージ、20 ピン VQFN (上面図)

表 5-1. ピンの機能

ピン		種類 <sup>(1)</sup>	説明
名称	番号		
CLR	1	I	クリア・ピン
1Q	2	O	1Q 出力
1D	3	I	1D 入力
2D	4	I	2D 入力
2Q	5	O	2Q 出力
3Q	6	O	3Q 出力
3D	7	I	3D 入力
4D	8	I	4D 入力
4Q	9	O	4Q 出力
GND	10	—	グラウンド・ピン
CLK	11	I	クロック・ピン
5Q	12	O	5Q 出力
5D	13	I	5D 入力
6D	14	I	6D 入力
6Q	15	O	6Q 出力
7Q	16	O	7Q 出力
7D	17	I	7D 入力
8D	18	I	8D 入力
8Q	19	O	8Q 出力
V <sub>CC</sub>	20	—	パワー・ピン
サーマル・パッド		—	サーマル・パッド <sup>(2)</sup>

(1) I = 入力、O = 出力  
(2) RKS パッケージのみ

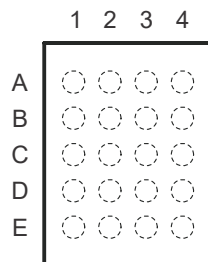


図 5-3. GQN または ZQN パッケージ、20 ピン BGA (上面図)

表 5-2. GQN または ZQN のピン配置

	1	2	3	4
A	1Q	$\overline{\text{CLR}}$	$V_{\text{CC}}$	8Q
B	2D	7D	1D	8D
C	3Q	2Q	6Q	7Q
D	4D	5D	3D	6D
E	GND	4Q	CLK	5Q

## 6 仕様

### 6.1 絶対最大定格

自由空気での動作温度範囲内 (特に記述のない限り)<sup>(1)</sup>

		最小値	最大値	単位
V <sub>CC</sub>	電源電圧範囲	-0.5	7	V
V <sub>I</sub>	入力電圧範囲 <sup>(2)</sup>	-0.5	7	V
V <sub>O</sub>	高インピーダンスまたは電源オフ状態で出力に印加される電圧範囲 <sup>(2)</sup>	-0.5	7	V
V <sub>O</sub>	出力電圧範囲 <sup>(2)</sup> <sup>(3)</sup>	-0.5	V <sub>CC</sub> + 0.5	V
I <sub>IK</sub>	入力クランプ電流	V <sub>I</sub> < 0	-20	mA
I <sub>OK</sub>	出力クランプ電流	V <sub>O</sub> < 0	-50	mA
I <sub>O</sub>	連続出力電流	V <sub>O</sub> = 0 ~ V <sub>CC</sub>	±25	mA
	V <sub>CC</sub> または GND を通過する連続電流		±50	mA
T <sub>stg</sub>	保管温度範囲	-65	150	°C

- (1) 「絶対最大定格」を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これらはあくまでもストレス評価であり、データシートの「推奨動作条件」に示された値と等しい、またはそれを超える条件で本製品が正常に動作することを暗黙的に示すものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
- (2) 入力電流と出力電流の定格が遵守されると、入力と出力の負電圧の定格を超える可能性があります。
- (3) この値は最大 5.5V に制限されています。

### 6.2 ESD 定格

		値	単位
V <sub>(ESD)</sub>	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン <sup>(1)</sup>	±3000	V
	デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 に準拠、すべてのピン <sup>(2)</sup>	±2000	

- (1) JEDEC のドキュメント JEP155 には、500V HBM であれば標準的な ESD 制御プロセスにより安全な製造が可能であると記載されています。
- (2) JEDEC のドキュメント JEP157 には、250V CDM であれば標準的な ESD 制御プロセスにより安全な製造が可能であると記載されています。

### 6.3 推奨動作条件

(1)

		最小値	最大値	単位
V <sub>CC</sub>	電源電圧	2	5.5	V
V <sub>IH</sub>	High レベル入力電圧	V <sub>CC</sub> = 2V	1.5	V
		V <sub>CC</sub> = 2.3V~2.7V	V <sub>CC</sub> × 0.7	
		V <sub>CC</sub> = 3V~3.6V	V <sub>CC</sub> × 0.7	
		V <sub>CC</sub> = 4.5V~5.5V	V <sub>CC</sub> × 0.7	
V <sub>IL</sub>	Low レベル入力電圧	V <sub>CC</sub> = 2V	0.5	V
		V <sub>CC</sub> = 2.3V~2.7V	V <sub>CC</sub> × 0.3	
		V <sub>CC</sub> = 3V~3.6V	V <sub>CC</sub> × 0.3	
		V <sub>CC</sub> = 4.5V~5.5V	V <sub>CC</sub> × 0.3	
V <sub>I</sub>	入力電圧	0	5.5	V
V <sub>O</sub>	出力電圧	0	V <sub>CC</sub>	V
I <sub>OH</sub>	High レベル出力電流	V <sub>CC</sub> = 2V	-50	mA
		V <sub>CC</sub> = 2.3V~2.7V	-2	
		V <sub>CC</sub> = 3V~3.6V	-6	
		V <sub>CC</sub> = 4.5V~5.5V	-12	
I <sub>OL</sub>	Low レベル出力電流	V <sub>CC</sub> = 2V	50	mA
		V <sub>CC</sub> = 2.3V~2.7V	2	
		V <sub>CC</sub> = 3V~3.6V	6	
		V <sub>CC</sub> = 4.5V~5.5V	12	
Δt/Δv	入力遷移の立ち上がりレートと立ち下がりレート	V <sub>CC</sub> = 2.3V~2.7V	200	ns/V
		V <sub>CC</sub> = 3V~3.6V	100	
		V <sub>CC</sub> = 4.5V~5.5V	20	
T <sub>A</sub>	自由空気での動作温度	-40	125	°C

(1) デバイスが適切に動作するように、デバイスの未使用の入力はすべて、V<sub>CC</sub> または GND に固定する必要があります。テキサス・インスツルメンツのアプリケーション・レポート『遅延またはフローティング CMOS 入力の影響』(SCBA004) を参照してください。

### 6.4 熱に関する情報

熱評価基準 <sup>(1)</sup>	SN74LV273A									単位
	DB	DGV	DW	NS	PW	RGY	RKS	DGS	20 ピン	
R <sub>θJA</sub>	118.2	118.1	102.3	79.4	128.2	37.1	75.2	125.5		°C/W
R <sub>θJC(top)</sub>	77.2	33.4	69.9	45.9	70.5	46.1	79.4	80.0		
R <sub>θJB</sub>	73	59.6	70.8	46.9	79.3	14.9	47.8	63.8		
ψ <sub>JT</sub>	42.2	1.1	46.4	19.1	23.4	1.3	14.6	8.4		
ψ <sub>JB</sub>	72.6	58.9	70.4	46.5	78.9	15.0	47.8	79.9		
R <sub>θJC(bot)</sub>	該当なし	該当なし	該当なし	該当なし	該当なし	9.8	31.5	該当なし		

(1) 従来および新しい熱評価基準値の詳細については、『IC パッケージの熱評価基準』アプリケーション・レポート (SPRA953) を参照してください。

## 6.5 電気的特性

自由空気での推奨動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	V <sub>CC</sub>	T <sub>A</sub> = 25°C			-40°C~85°C		-40°C~125°C		単位
			最小値	代表値	最大値	最小値	最大値	最小値	最大値	
V <sub>OH</sub>	I <sub>OH</sub> = -50μA	2V~5.5V	V <sub>CC</sub> - 0.1			V <sub>CC</sub> - 0.1		V <sub>CC</sub> - 0.1		V
	I <sub>OH</sub> = -2mA	2.3V	2			2		2		
	I <sub>OH</sub> = -6mA	3V	2.48			2.48		2.48		
	I <sub>OH</sub> = -12mA	4.5V	3.8			3.8		3.8		
V <sub>OL</sub>	I <sub>OL</sub> = -50μA	2V~5.5V	0.1			0.1		0.1		V
	I <sub>OL</sub> = -2mA	2.3V	0.4			0.4		0.4		
	I <sub>OL</sub> = -6mA	3V	0.44			0.44		0.44		
	I <sub>OL</sub> = -12mA	4.5V	0.55			0.55		0.55		
I <sub>I</sub>	V <sub>I</sub> = 5.5V または GND	0~5.5V	±1			±1		±1		μA
I <sub>CC</sub>	V <sub>I</sub> = V <sub>CC</sub> または GND、 I <sub>O</sub> = 0	5.5V	20			20		20		μA
I <sub>off</sub>	V <sub>I</sub> または V <sub>O</sub> = 0~5.5V	0V	5			5		5		μA
C <sub>i</sub>	V <sub>I</sub> = V <sub>CC</sub> または GND	3.3V	2							pF

## 6.6 タイミング要件、V<sub>CC</sub> = 2.5V ± 0.2V

自由空気での推奨動作温度範囲内 (特に記述のない限り)(「[負荷回路および電圧波形](#)」を参照)

		T <sub>A</sub> = 25°C		-40°C~85°C		-40°C~125°C		単位
		最小値	最大値	最小値	最大値	最小値	最大値	
t <sub>w</sub> パルス幅	CLR low	6.5		7		7.5		ns
	CLK high または low	7		8.5		9		
t <sub>su</sub> セットアップ時間、CLK ↑ 前のデータ	データ	8.5		10.5		12		ns
	CLR 非アクティブ	4		4		4.5		
t <sub>h</sub> ホールド時間、CLK ↑ 後のデータ		0.5		1		2.5		ns

## 6.7 タイミング要件、V<sub>CC</sub> = 3.3V ± 0.3V

自由空気での推奨動作温度範囲内 (特に記述のない限り)(「[負荷回路および電圧波形](#)」を参照)

		T <sub>A</sub> = 25°C		-40°C~85°C		-40°C~125°C		単位
		最小値	最大値	最小値	最大値	最小値	最大値	
t <sub>w</sub> パルス幅	CLR low	5		6		6.5		ns
	CLK high または low	5		6.5		7		
t <sub>su</sub> セットアップ時間、CLK ↑ 前のデータ	データ	5.5		6.5		8		ns
	CLR 非アクティブ	2.5		2.5		3		
t <sub>h</sub> ホールド時間、CLK ↑ 後のデータ		1		1		2.5		ns

## 6.8 タイミング要件、 $V_{CC} = 5V \pm 0.5V$

自由空気での推奨動作温度範囲内 (特に記述のない限り) (「[負荷回路および電圧波形](#)」を参照)

		$T_A = 25^\circ\text{C}$		$-40^\circ\text{C} \sim 85^\circ\text{C}$		$-40^\circ\text{C} \sim 125^\circ\text{C}$		単位
		最小値	最大値	最小値	最大値	最小値	最大値	
$t_w$	パルス幅	CLR low	5		5		5.5	ns
		CLK high または low	5		5		5.5	
$t_{su}$	セットアップ時間、CLK ↑ 前のデータ	データ	4.5		4.5		6	ns
		CLR 非アクティブ	2		2		2.5	
$t_h$	ホールド時間、CLK ↑ 後のデータ	1		1		2	ns	

## 6.9 スイッチング特性、 $V_{CC} = 2.5V \pm 0.2V$

自由空気での推奨動作温度範囲内 (特に記述のない限り) (「[負荷回路および電圧波形](#)」を参照)

パラメータ	始点 (入力)	終点 (出力)	負荷 容量	$T_A = 25^\circ\text{C}$			$-40^\circ\text{C} \sim 85^\circ\text{C}$		$-40^\circ\text{C} \sim 125^\circ\text{C}$		単位
				最小値	代表値	最大値	最小値	最大値	最小値	最大値	
$f_{max}$			$C_L = 15\text{pF}$	55	95		45		45	MHz	
			$C_L = 50\text{pF}$	45	75		40		40		
$t_{pd}$	CLK	Q	$C_L = 15\text{pF}$	10.4	18.3		1	20.5	1	22.5	ns
$t_{PHL}$	CLR	Q		10.3	19		1	21	1	23	ns
$t_{pd}$	CLK	Q	$C_L = 50\text{pF}$	12.9	22.1		1	25	1	27	ns
$t_{PHL}$	CLR	Q		13.1	22.8		1	25.5	1	27.5	ns
$t_{sk(o)}$						2				2	ns

## 6.10 スイッチング特性、 $V_{CC} = 3.3V \pm 0.3V$

自由空気での推奨動作温度範囲内 (特に記述のない限り) (「[負荷回路および電圧波形](#)」を参照)

パラメータ	始点 (入力)	終点 (出力)	負荷 容量	$T_A = 25^\circ\text{C}$			$-40^\circ\text{C} \sim 85^\circ\text{C}$		$-40^\circ\text{C} \sim 125^\circ\text{C}$		単位
				最小値	代表値	最大値	最小値	最大値	最小値	最大値	
$f_{max}$			$C_L = 15\text{pF}$	75	140		65		65	MHz	
			$C_L = 50\text{pF}$	50	110		45		45		
$t_{pd}$	CLK	Q	$C_L = 15\text{pF}$	7.1	13.6		1	16	1	17.5	ns
$t_{PHL}$	CLR	Q		6.9	13.6		1	16	1	17.5	ns
$t_{pd}$	CLK	Q	$C_L = 50\text{pF}$	9.1	17.1		1	19.5	1	21	ns
$t_{PHL}$	CLR	Q		8.7	17.1		1	19.5	1	21	ns
$t_{sk(o)}$						1.5				1.5	ns



## 6.11 スイッチング特性、 $V_{CC} = 5V \pm 0.5V$

自由空気での推奨動作温度範囲内 (特に記述のない限り) (「負荷回路および電圧波形」を参照)

パラメータ	始点 (入力)	終点 (出力)	負荷 容量	$T_A = 25^\circ\text{C}$			$-40^\circ\text{C} \sim 85^\circ\text{C}$		$-40^\circ\text{C} \sim 125^\circ\text{C}$		単位
				最小値	代表値	最大値	最小値	最大値	最小値	最大値	
$f_{\max}$			$C_L = 15\text{pF}$	120	205		100		100		MHz
			$C_L = 50\text{pF}$	80	160		70		70		
$t_{pd}$	CLK	Q	$C_L = 15\text{pF}$		4.8	9	1	10.5	1	11.5	ns
$t_{PHL}$	CLR	Q			4.7	8.5	1	10	1	11	ns
$t_{pd}$	CLK	Q	$C_L = 50\text{pF}$		6.2	11	1	12.5	1	14	ns
$t_{PHL}$	CLR	Q			6	10.5	1	12	1	13.5	ns
$t_{sk(o)}$							1			1	ns

## 6.12 ノイズ特性

$V_{CC} = 3.3V$ ,  $C_L = 50\text{pF}$ ,  $T_A = 25^\circ\text{C}$

パラメータ		SN74LV273A			単位
		最小値	代表値	最大値	
$V_{OL(P)}$	低ノイズ出力、最大動的 $V_{OL}$		0.4	0.8	V
$V_{OL(V)}$	低ノイズ出力、最小動的 $V_{OL}$		-0.4	-0.8	V
$V_{OH(V)}$	低ノイズ出力、最小動的 $V_{OH}$		2.9		V
$V_{IH(D)}$	High レベル動的入力電圧		2.31		V
$V_{IL(D)}$	Low レベル動的入力電圧			0.99	V

## 6.13 動作特性

$T_A = 25^\circ\text{C}$

パラメータ		テスト条件		$V_{CC}$	代表値	単位
$C_{pd}$	電力散逸容量	$C_L = 50\text{pF}$	$f = 10\text{MHz}$	3.3V	15.9	pF
				5V	17.1	

## 6.14 代表的特性

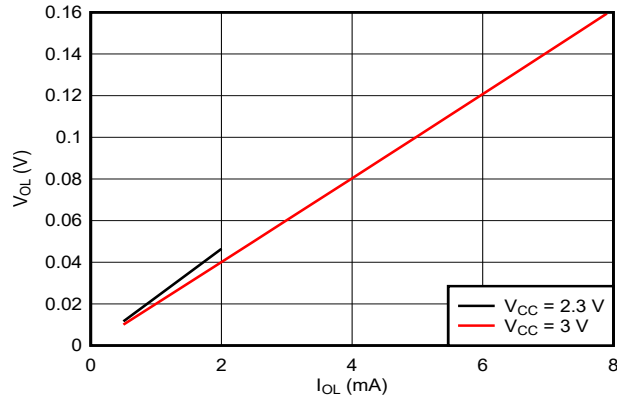


図 6-1. Low 状態での出力電圧、2.3V および 3V 電源

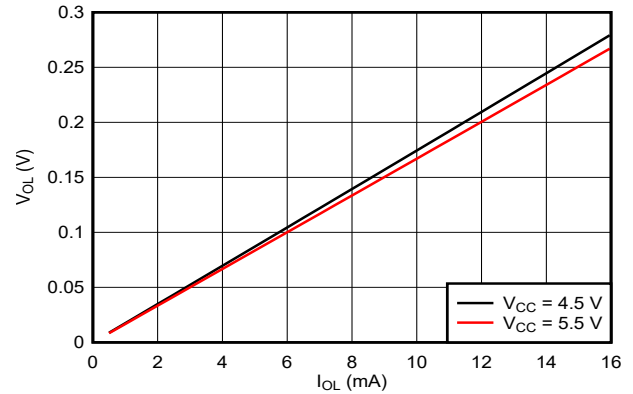


図 6-2. Low 状態での出力電圧、4.5V および 5.5V 電源

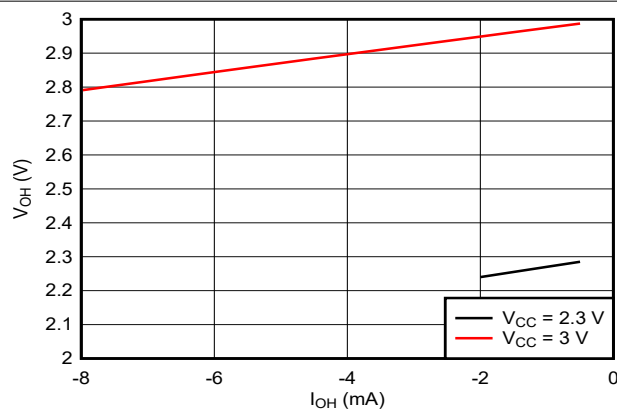


図 6-3. High 状態での出力電圧、2.3V および 3V 電源

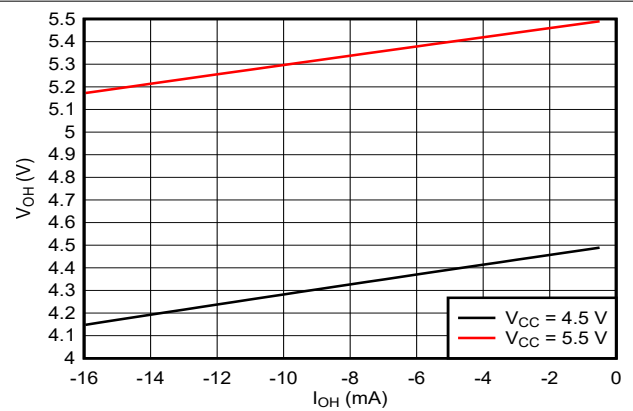


図 6-4. High 状態での出力電圧、4.5V および 5.5V 電源

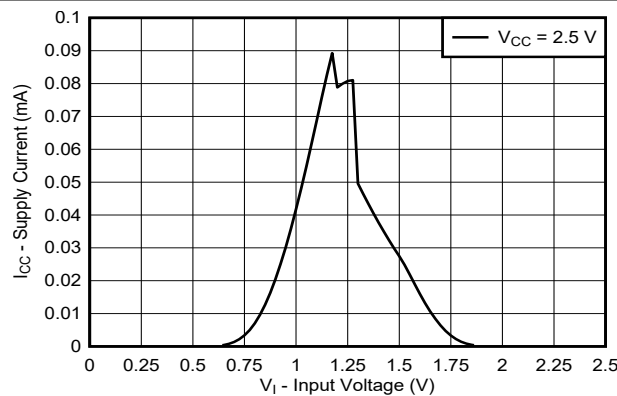


図 6-5. 入力電圧に対する消費電流、2.5V 電源

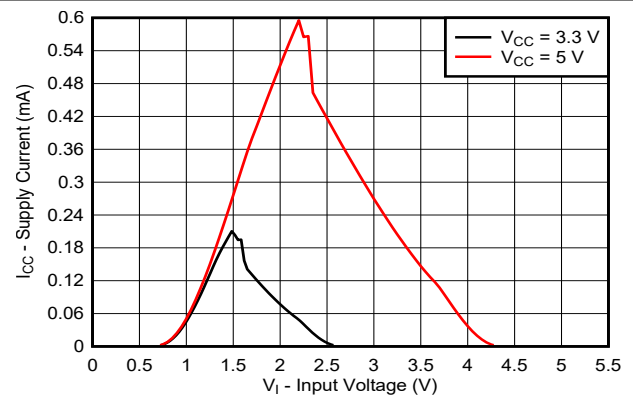
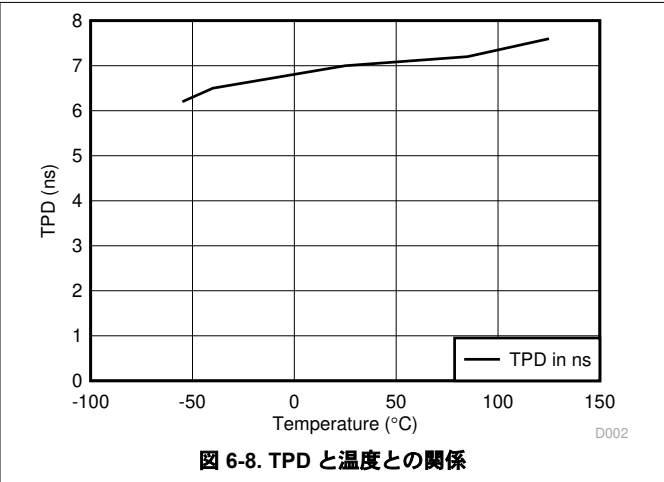
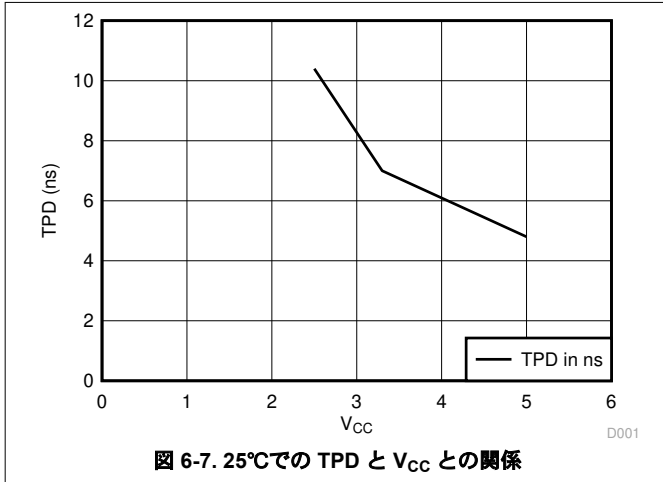
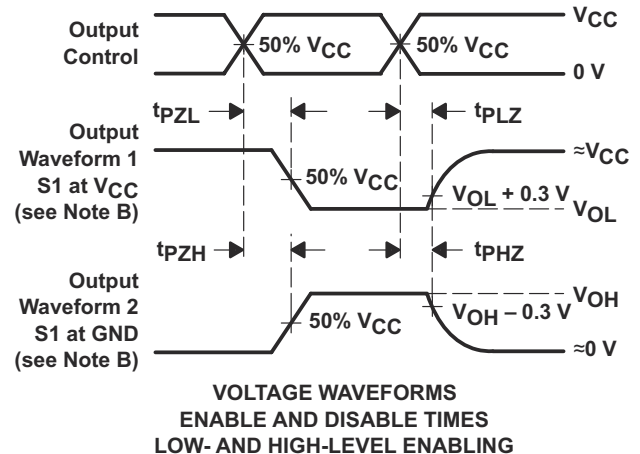
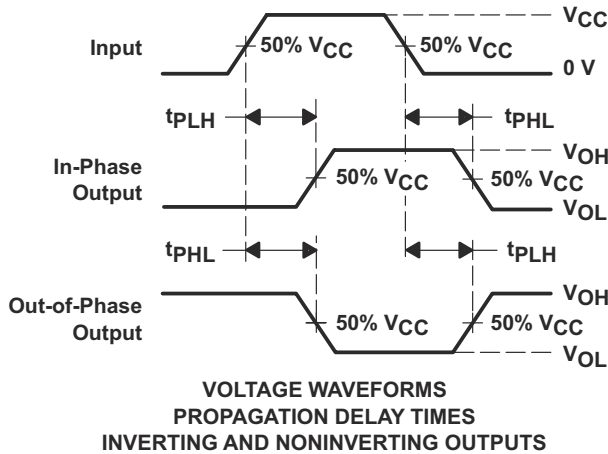
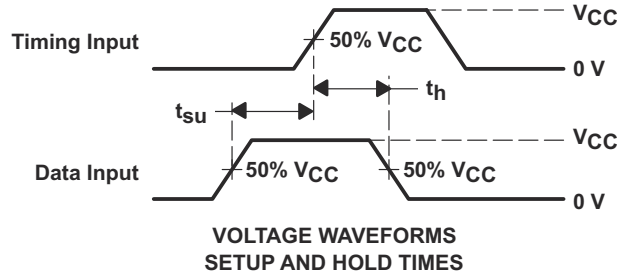
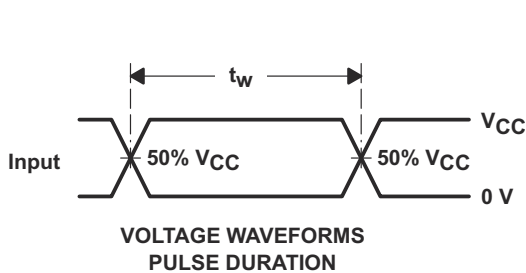
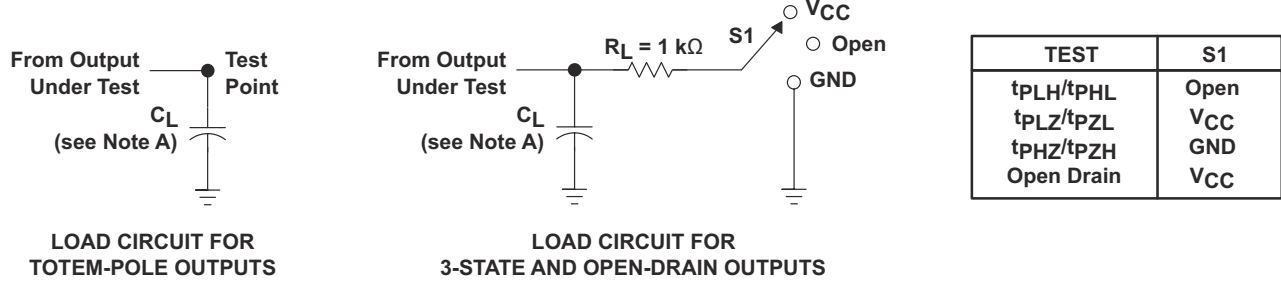


図 6-6. 入力電圧に対する消費電流、3.3V および 5V 電源

### 6.14 代表的特性 (continued)



## 7 パラメータ測定情報



- A.  $C_L$  にはプローブと治具の容量が含まれます。
- B. 波形 1 は、出力が Low になるような内部条件を持つ出力についてのものです。ただし、出力制御によってディセーブルされている場合は除きます。波形 2 は、出力が High になるような内部条件を持つ出力についてのものです。ただし、出力制御によってディセーブルされている場合は除きます。
- C. すべての入力パルスは、以下の特性を持つジェネレータから供給されます:  $PRR \leq 1\text{MHz}$ ,  $Z_O = 50\Omega$ ,  $t_r \leq 3\text{ns}$ ,  $t_f \leq 3\text{ns}$ 。
- D. 出力は一度に 1 つずつ測定され、測定するたびに入力が 1 回遷移します。
- E.  $t_{PLZ}$  と  $t_{PHZ}$  は  $t_{dis}$  と同じです。
- F.  $t_{PZL}$  と  $t_{PZH}$  は  $t_{en}$  と同じです。
- G.  $t_{PHL}$  と  $t_{PLH}$  は  $t_{pd}$  と同じです。
- H. すべてのパラメータと波形が、すべてのデバイスに適用できるわけではありません。

図 7-1. 負荷回路および電圧波形

## 8 詳細説明

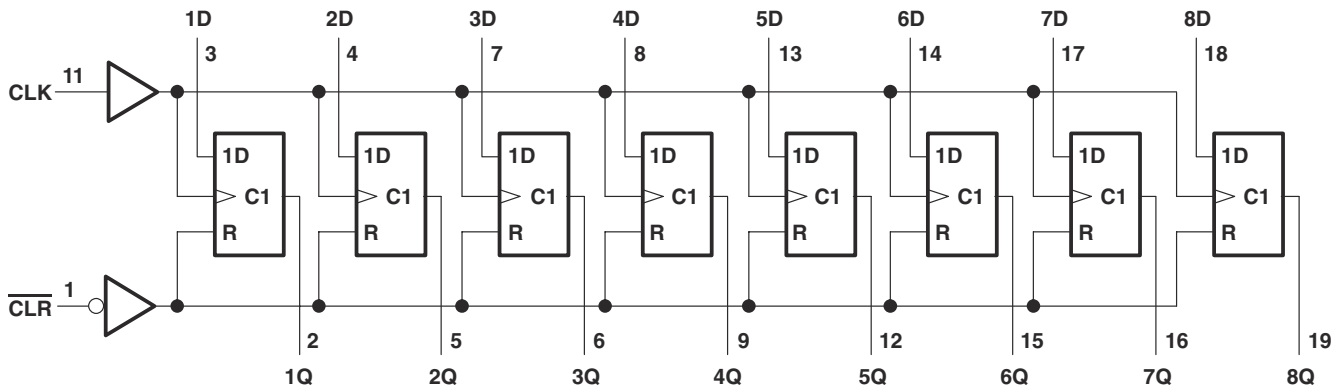
### 8.1 概要

SN74LV273A デバイスは、2V～5.5V の  $V_{CC}$  で動作するように設計されたオクタール D タイプ・フリップ・フロップです。

このデバイスは、ダイレクト・クリア ( $\overline{CLR}$ ) 入力を備えたポジティブ・エッジ・トリガ・フリップ・フロップです。セットアップ時間の要件を満たすデータ (D) 入力の情報は、クロック・パルスの立ち上がりエッジで Q 出力に転送されます。クロックのトリガは、特定の電圧レベルで発生し、正方向パルスの遷移時間とは直接関係しません。クロック (CLK) 入力が High レベルまたは Low レベルのとき、D 入力信号は出力に影響を与えません。

SN74LV273A デバイスは、 $I_{off}$  を使用する部分的パワーダウン・アプリケーション用に完全に動作が規定されています。 $I_{off}$  回路が出力をディセーブルにするので、電源切断時にデバイスに電流が逆流して損傷に至ることを回避できます。

### 8.2 機能ブロック図



### 8.3 機能説明

#### 8.3.1 平衡な CMOS プッシュプル出力

このデバイスには、平衡な CMOS プッシュプル出力が内蔵されています。「平衡な」という用語は、デバイスが同様の電流をシンクおよびソースできることを示します。このデバイスは駆動能力を備えており、軽負荷に高速エッジが生成されるため、リングングを防ぐために配線と負荷の条件を考慮する必要があります。さらに、このデバイスの出力は、デバイスを損傷することなく維持できる以上に大きな電流を駆動できます。過電流による損傷を防止するため、デバイスの出力電力を制限することが重要です。「絶対最大定格」で定義されている電気的および熱的制限を常に順守してください。

未使用のプッシュプル CMOS 出力は、未接続のままにする必要があります。

#### 8.3.2 ラッチ・ロジック

このデバイスには、ラッチ論理回路が内蔵されています。ラッチ回路には一般に D タイプ・ラッチと D タイプ・フリップ・フロップが含まれていますが、揮発性メモリとして機能するすべての論理回路が含まれています。

デバイスの電源がオンのとき、各ラッチの状態は不明です。スタートアップ時の各ラッチには、デフォルト状態はありません。

各ラッチ論理回路の出力状態は、「推奨動作条件」表に規定された電源電圧範囲内でデバイスに電力が供給されている限り、安定した状態を保ちます。

#### 8.3.3 部分的パワーダウン ( $I_{off}$ )

このデバイスには、電源ピンが 0V に保持されているときにすべての出力をディセーブルする回路が内蔵されています。ディセーブル時には、印加された入力電圧に関係なく、出力は電流をソースまたはシンクしません。各出力のリーク電流の量は、「電気的特性」表の  $I_{off}$  仕様によって定義されます。

### 8.3.4 クランプ・ダイオード構造

図 8-1 は、このデバイスの入力と出力に負のクランプ・ダイオードのみが配置されていることを示しています。

**注意**

「絶対最大定格」表に規定されている値を超える電圧は、デバイスに損傷を与える可能性があります。入力と出力のクランプ電流の定格を順守しても、入力と出力の電圧の定格を超えることがあります。

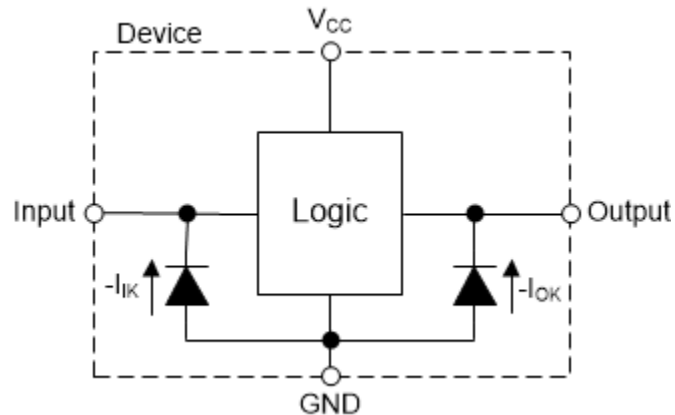


図 8-1. 各入力と出力に対するクランプ・ダイオードの電氣的配置

### 8.4 デバイスの機能モード

表 8-1. 機能表  
(各フリップ・フロップ)

入力			出力 Q
CLR	CLK	D	
L	X	X	L
H	↑	H	H
H	↑	L	L
H	L	X	Q <sub>0</sub>

## 9 アプリケーションと実装

### 注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

### 9.1 アプリケーション情報

SN74LV273A はデータを保持またはラッチする必要がある多くのバス・インターフェイス・タイプアプリケーションに使用できる低駆動の CMOS デバイスです。低駆動および低速エッジ・レートにより、出力のオーバーシュートとアンダーシュートが最小限に抑えられます。入力、任意の有効な  $V_{CC}$  において 5.5V 耐圧です。この機能により、 $V_{CC}$  レベルへの変換に理想的です。図 9-2 に、AC などのより高い駆動部品と比較してリングングが減少していることを示します。

### 9.2 代表的なアプリケーション

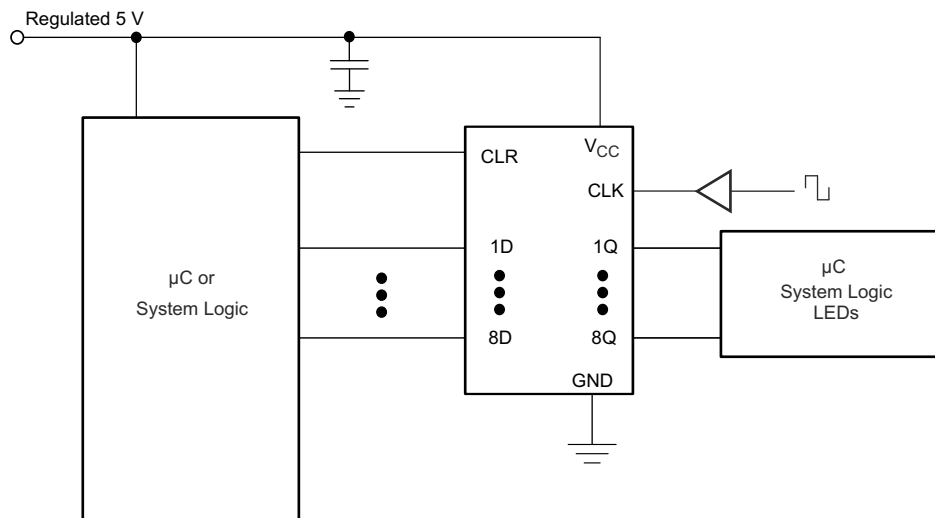


図 9-1. 代表的なアプリケーション回路図

#### 9.2.1 電源に関する考慮事項

目的の電源電圧が「推奨動作条件」で規定されている範囲内であることを確認します。「電気的特性」セクションに記載されているように、電源電圧はデバイスの電気的特性を設定します。

正の電圧電源は、「電気的特性」に示されている最大静的電源電流  $I_{CC}$  に SN74LV273A のすべての出力がソースとする合計電流を加えた電流と、スイッチングに必要な過渡電流をソースできる必要があります。ロジック・デバイスは、正の電源から供給される電流量のみをソースできます。「絶対最大定格」に記載されている  $V_{CC}$  を流れる最大合計電流を超えないようにしてください。

グラウンドは、SN74LV273A のすべての出力によってシンクされる合計電流に「電気的特性」に記載されている最大電源電流  $I_{CC}$  を加えた電流と、スイッチングに必要な過渡電流をシンクできる必要があります。ロジック・デバイスは、グラウンド接続にシンクできる電流量のみをシンクできます。「絶対最大定格」に記載されている  $GND$  を流れる最大合計電流を超えないようにしてください。

SN74LV273A は、データシートのすべての仕様を満たしながら、合計容量が 50pF 以下の負荷を駆動できます。より大きな容量性負荷を印加することもできますが、50pF を超えないようにすることを推奨します。

SN74LV273A は、「電気的特性」表に定義されている出力電圧および電流 ( $V_{OH}$  および  $V_{OL}$ ) で、 $R_L \geq V_O / I_O$  で記述される合計抵抗の負荷を駆動できます。HIGH 状態で出力する場合、式の出力電圧は、測定された出力電圧と  $V_{CC}$  ピンの電源電圧との差として定義されます。

総消費電力は、『[CMOS の消費電力と CPD の計算](#)』に記載されている情報を使用して計算できます。

熱上昇は、『[標準リニアおよびロジック \(SLL\) パッケージおよびデバイスの熱特性](#)』に記載されている情報を使用して計算できます。

#### 注意

「絶対最大定格」に記載されている最大接合部温度  $T_{J(max)}$  は、デバイスの損傷を防止するための追加の制限です。「絶対最大定格」に記載されている値を超えないようにしてください。これらの制限値は、デバイスの損傷を防止するために規定されています。

### 9.2.2 入力に関する考慮事項

入力信号がロジック LOW と見なされるには  $V_{IL(max)}$  を下回る必要があり、ロジック HIGH と見なされるには  $V_{IH(min)}$  を上回る必要があります。「絶対最大定格」に記載されている最大入力電圧範囲を超えないようにしてください。

未使用の入力は、 $V_{CC}$  またはグランドに終端する必要があります。入力がまったく使用されていない場合は、未使用の入力を直接終端できます。入力が時々使用される場合、または常には使用されない場合は、プルアップ抵抗またはプルダウン抵抗を使用して接続できます。デフォルト状態が HIGH の場合はプルアップ抵抗を使用し、デフォルト状態が LOW の場合はプルダウン抵抗を使用します。コントローラの駆動電流、SN74LV273A へのリーク電流（「電気的特性」で規定）、および必要な入力遷移レートによって抵抗のサイズが制限されます。これらの要因により、多くの場合は 10k $\Omega$  の抵抗値が使用されます。

SN74LV273A には CMOS 入力があるため、正しく動作させるためには、「推奨動作条件」表に定義されているように、入力遷移が高速である必要があります。入力遷移が遅いと、発振が発生し、消費電力が増加して、デバイスの信頼性が低下する可能性があります。

このデバイスの入力の詳細については、「機能説明」セクションを参照してください。

### 9.2.3 出力に関する考慮事項

出力 HIGH 電圧は、正の電源電圧を使用して生成します。「電気的特性」の  $V_{OH}$  仕様に規定されているように、出力から電流を引き込むと出力電圧が低下します。出力 LOW 電圧は、グランド電圧を使用して生成します。「電気的特性」の  $V_{OL}$  仕様に規定されているように、出力に電流をシンクすると出力電圧が上昇します。

非常に短い期間であっても、逆の状態になる可能性があるプッシュプル出力同士は、直接接続しないでください。これにより過電流が発生し、デバイスが損傷する可能性があります。

同じデバイス内で、同じ入力信号を持つ 2 つのチャンネルを並列に接続すると、出力駆動能力を高めることができます。

未使用の出力はフローティングのままにできます。出力を直接  $V_{CC}$  またはグランドに接続しないでください。

このデバイスの出力の詳細については、「機能説明」セクションを参照してください。

### 9.2.4 詳細な設計手順

1.  $V_{CC}$  と GND の間にデカップリング・コンデンサを追加します。このコンデンサは物理的にデバイスの近く、かつ  $V_{CC}$  ピンと GND ピンの両方に電気的に近づけて配置する必要があります。レイアウト例を「レイアウト」セクションに示します。
2. 出力の容量性負荷が 50pF 以下であることを確認します。これは厳密な制限ではありませんが、設計上、性能が最適化されます。これは、SN74LV273A から 1 つまたは複数の受信デバイスまでの短い適切なサイズのトレースを提供することで実現できます。
3. 出力の抵抗性負荷が  $(V_{CC} / I_{O(max)}) \Omega$  より大きいことを確認します。これを行うと、「絶対最大定格」の最大出力電流に違反するのを防ぐことができます。ほとんどの CMOS 入力には、M $\Omega$  で測定される抵抗性負荷があります。これは、前に計算した最小値よりもはるかに大きくなります。
4. 熱の問題がロジック・ゲートにとって問題となることはほとんどありません。ただし、消費電力と熱の上昇は、アプリケーション・レポート『[CMOS 消費電力と CPD の計算](#)』に記載されている手順を使用して計算できます。



### 9.2.5 アプリケーション曲線

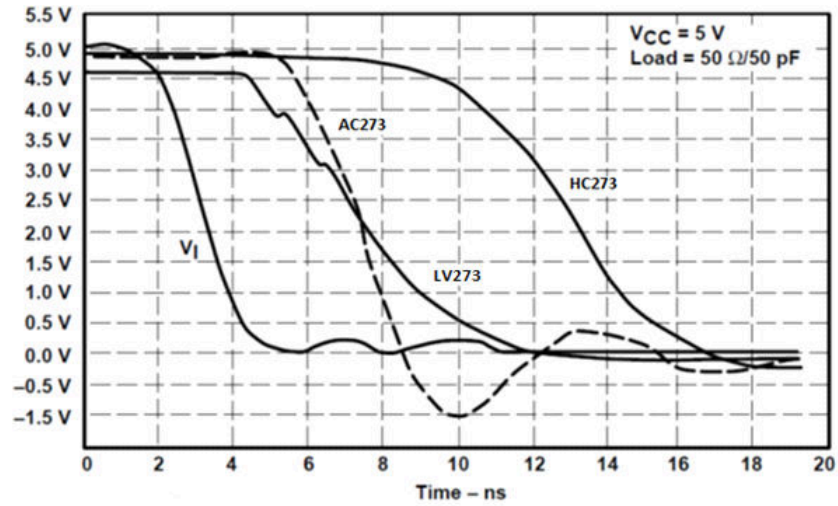


図 9-2. スイッチング特性の比較

## 9.3 電源に関する推奨事項

電源には、「[推奨動作条件](#)」表に記載されている最小電源電圧定格と最大電源電圧定格の間の任意の電圧を使用できます。

電源の障害を防止するため、各  $V_{CC}$  ピンに適切なバイパス・コンデンサを配置する必要があります。単電源のデバイスには、 $0.1\mu\text{F}$  を推奨します。 $V_{CC}$  ピンが複数ある場合、各電源ピンに対して  $0.01\mu\text{F}$  または  $0.022\mu\text{F}$  を推奨します。複数のバイパス・コンデンサを並列に配置して、異なる周波数のノイズを除去することが許容されます。 $0.1\mu\text{F}$  と  $1\mu\text{F}$  のコンデンサを並列に使用するのが一般的です。最良の結果を得るため、バイパス・コンデンサは電源ピンのできるだけ近くに配置する必要があります。

## 9.4 レイアウト

### 9.4.1 レイアウトのガイドライン

多ビット・ロジック・デバイスを使用する場合、入力をフローティングにしないでください。多くの場合、デジタル・ロジック・デバイスの機能または機能の一部は使用されません。例えば、トリプル入力 AND ゲートの 2 入力のみを使用する場合や、4 バッファ・ゲートのうち 3 入力のみを使用する場合です。このような入力ピンを未接続のままにしないでください。外部接続の電圧が未確定の場合、動作状態が不定になるためです。

図 9-3 の仕様は、あらゆる状況で遵守する必要があります。デジタル・ロジック・デバイスの未使用の入力はすべて、フローティングにならないように、High または Low バイアスに接続する必要があります。特定の未使用の入力に対して適用が必要となるロジック・レベルは、デバイスの機能により異なります。一般に、GND または  $V_{CC}$  のうち、より適切であるかより利便性の高い方に接続されます。本部品がトランシーバでない限り、出力をフローティングにすることが許容されます。

### 9.4.2 レイアウト例

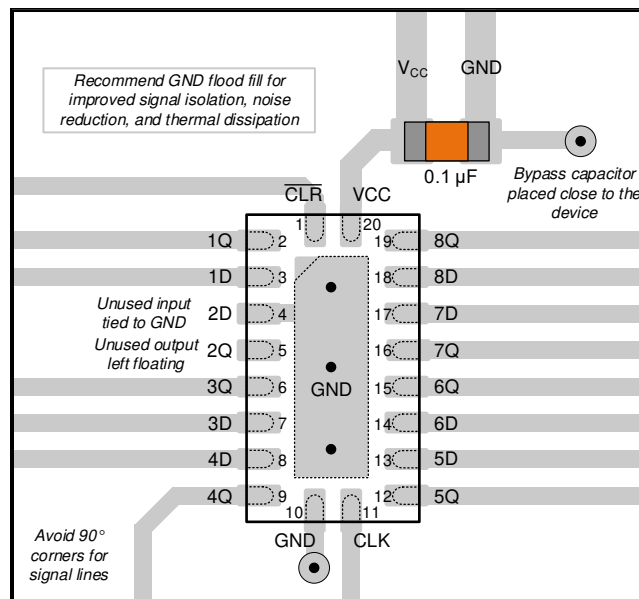


図 9-3. RKS パッケージに封止した SN74LV273A のレイアウト例

## 10 デバイスおよびドキュメントのサポート

### 10.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、[ti.com](http://ti.com) のデバイス製品フォルダを開いてください。「更新の通知を受け取る」をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取れます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

### 10.2 サポート・リソース

**TI E2E™ サポート・フォーラム**は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、該当する貢献者により、現状のまま提供されるものです。これらは TI の仕様を構成するものではなく、必ずしも TI の見解を反映したものではありません。TI の[使用条件](#)を参照してください。

### 10.3 商標

TI E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

### 10.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

### 10.5 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

## 11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスについて利用可能な最新のデータです。このデータは、予告なしに、また、ドキュメントの改訂なしに変更される場合があります。本データシートのブラウザ版を使用している場合は、画面左側のナビゲーションをご覧ください。

**PACKAGING INFORMATION**

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
SN74LV273ADBR	ACTIVE	SSOP	DB	20	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LV273A	<a href="#">Samples</a>
SN74LV273ADBRE4	ACTIVE	SSOP	DB	20	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LV273A	<a href="#">Samples</a>
SN74LV273ADBRG4	ACTIVE	SSOP	DB	20	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LV273A	<a href="#">Samples</a>
SN74LV273ADGSR	ACTIVE	VSSOP	DGS	20	5000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	L273A	<a href="#">Samples</a>
SN74LV273ADGVR	ACTIVE	TVSOP	DGV	20	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LV273A	<a href="#">Samples</a>
SN74LV273ADW	OBSOLETE	SOIC	DW	20		TBD	Call TI	Call TI	-40 to 125	LV273A	
SN74LV273ADWR	ACTIVE	SOIC	DW	20	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LV273A	<a href="#">Samples</a>
SN74LV273ANSR	ACTIVE	SOP	NS	20	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	74LV273A	<a href="#">Samples</a>
SN74LV273APW	OBSOLETE	TSSOP	PW	20		TBD	Call TI	Call TI	-40 to 125	LV273A	
SN74LV273APWR	ACTIVE	TSSOP	PW	20	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LV273A	<a href="#">Samples</a>
SN74LV273APWRE4	ACTIVE	TSSOP	PW	20	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LV273A	<a href="#">Samples</a>
SN74LV273APWRG4	ACTIVE	TSSOP	PW	20	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LV273A	<a href="#">Samples</a>
SN74LV273ARGYR	ACTIVE	VQFN	RGY	20	3000	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	LV273A	<a href="#">Samples</a>
SN74LV273ARKSR	ACTIVE	VQFN	RKS	20	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LV273A	<a href="#">Samples</a>

(1) The marketing status values are defined as follows:

**ACTIVE:** Product device recommended for new designs.

**LIFEBUY:** TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

**NRND:** Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

**PREVIEW:** Device has been announced but is not in production. Samples may or may not be available.

**OBSOLETE:** TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

**RoHS Exempt:** TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

**Green:** TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of  $\leq 1000$ ppm threshold. Antimony trioxide based flame retardants must also meet the  $\leq 1000$ ppm threshold requirement.

- (3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.
- (4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.
- (5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.
- (6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

**Important Information and Disclaimer:** The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

**OTHER QUALIFIED VERSIONS OF SN74LV273A :**

- Automotive : [SN74LV273A-Q1](#)

NOTE: Qualified Version Definitions:

- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

**TAPE AND REEL INFORMATION**

**QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE**


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74LV273ADBR	SSOP	DB	20	2000	330.0	16.4	8.2	7.5	2.5	12.0	16.0	Q1
SN74LV273ADGSR	VSSOP	DGS	20	5000	330.0	16.4	5.4	5.4	1.45	8.0	16.0	Q1
SN74LV273ADGVR	TVSOP	DGV	20	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74LV273ADWR	SOIC	DW	20	2000	330.0	24.4	10.8	13.3	2.7	12.0	24.0	Q1
SN74LV273ADWR	SOIC	DW	20	2000	330.0	24.4	10.9	13.3	2.7	12.0	24.0	Q1
SN74LV273ANSR	SOP	NS	20	2000	330.0	24.4	8.4	13.0	2.5	12.0	24.0	Q1
SN74LV273ANSR	SOP	NS	20	2000	330.0	24.4	8.4	13.0	2.5	12.0	24.0	Q1
SN74LV273APWR	TSSOP	PW	20	2000	330.0	16.4	6.95	7.0	1.4	8.0	16.0	Q1
SN74LV273APWRG4	TSSOP	PW	20	2000	330.0	16.4	6.95	7.0	1.4	8.0	16.0	Q1
SN74LV273APWRG4	TSSOP	PW	20	2000	330.0	16.4	6.95	7.0	1.4	8.0	16.0	Q1
SN74LV273ARGYR	VQFN	RGY	20	3000	330.0	12.4	3.8	4.8	1.6	8.0	12.0	Q1
SN74LV273ARKSR	VQFN	RKS	20	3000	180.0	12.4	2.8	4.8	1.2	4.0	12.0	Q1

**TAPE AND REEL BOX DIMENSIONS**


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74LV273ADBR	SSOP	DB	20	2000	356.0	356.0	35.0
SN74LV273ADGSR	VSSOP	DGS	20	5000	356.0	356.0	35.0
SN74LV273ADGVR	TVSOP	DGV	20	2000	356.0	356.0	35.0
SN74LV273ADWR	SOIC	DW	20	2000	367.0	367.0	45.0
SN74LV273ADWR	SOIC	DW	20	2000	356.0	356.0	41.0
SN74LV273ANSR	SOP	NS	20	2000	367.0	367.0	45.0
SN74LV273ANSR	SOP	NS	20	2000	367.0	367.0	45.0
SN74LV273APWR	TSSOP	PW	20	2000	356.0	356.0	35.0
SN74LV273APWRG4	TSSOP	PW	20	2000	356.0	356.0	35.0
SN74LV273APWRG4	TSSOP	PW	20	2000	356.0	356.0	35.0
SN74LV273ARGYR	VQFN	RGY	20	3000	356.0	356.0	35.0
SN74LV273ARKSR	VQFN	RKS	20	3000	210.0	185.0	35.0

# PW0020A



# PACKAGE OUTLINE TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



4220206/A 02/2017

## NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



# EXAMPLE BOARD LAYOUT

PW0020A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE: 10X



SOLDER MASK DETAILS

4220206/A 02/2017

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

# EXAMPLE STENCIL DESIGN

PW0020A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE  
BASED ON 0.125 mm THICK STENCIL  
SCALE: 10X

4220206/A 02/2017

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

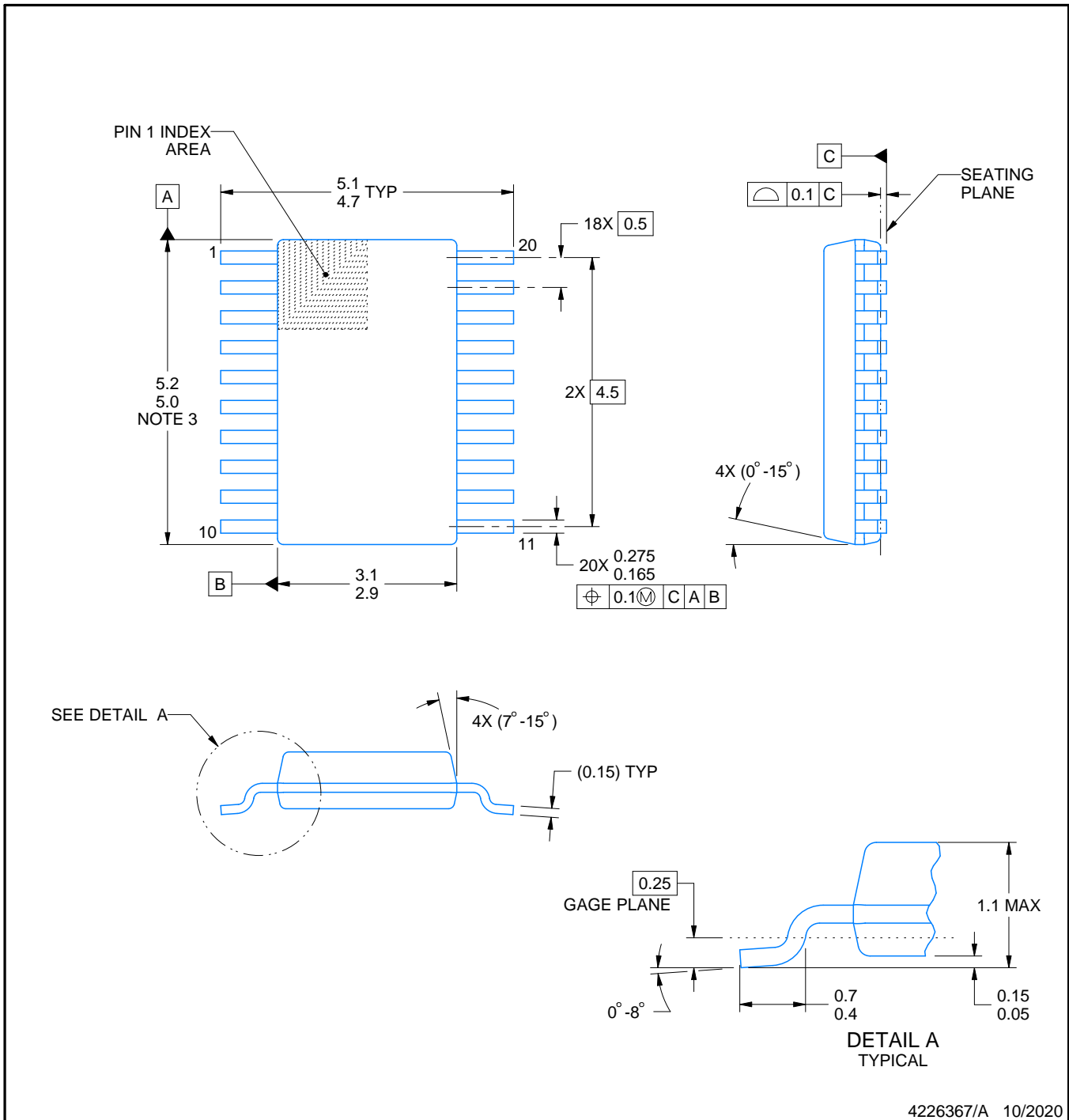
# DGS0020A



# PACKAGE OUTLINE

## VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



4226367/A 10/2020

### NOTES:

PowerPAD is a trademark of Texas Instruments.

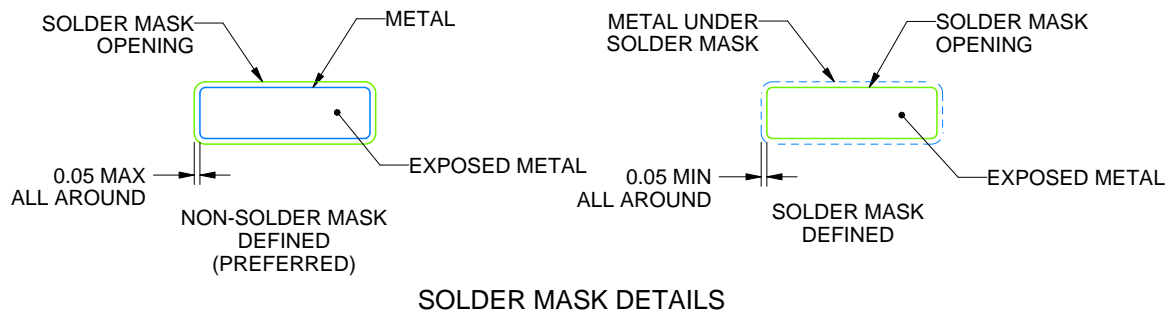
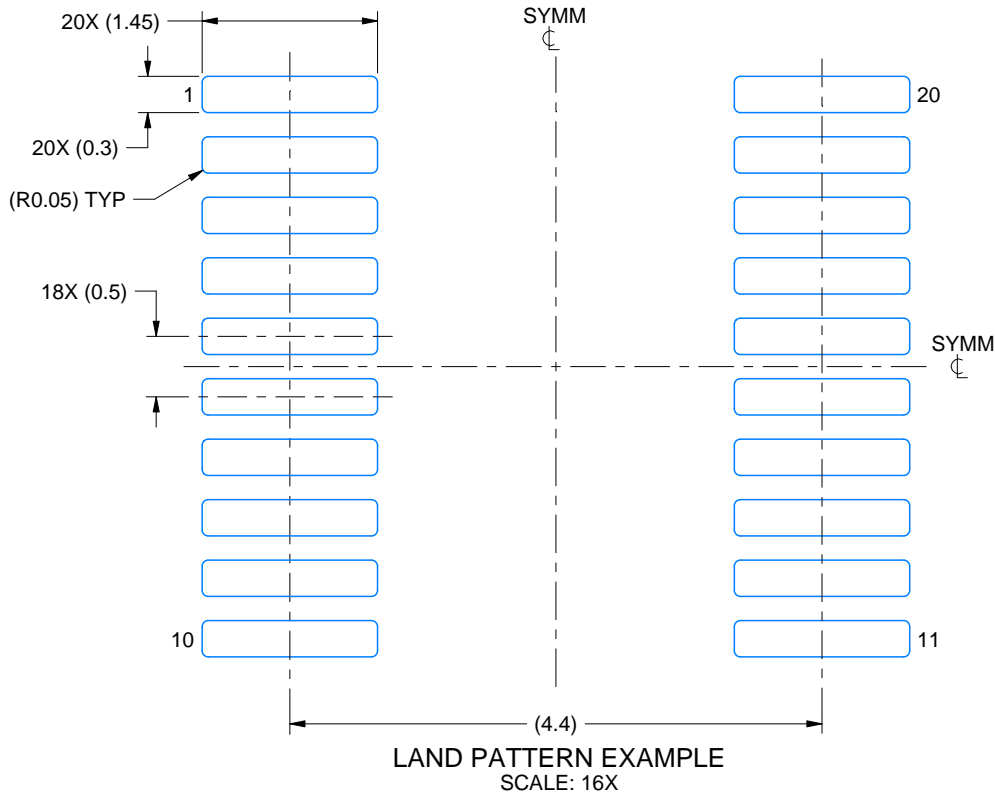
- All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
- This drawing is subject to change without notice.
- This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
- No JEDEC registration as of September 2020.
- Features may differ or may not be present.

# EXAMPLE BOARD LAYOUT

DGS0020A

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



4226367/A 10/2020

NOTES: (continued)

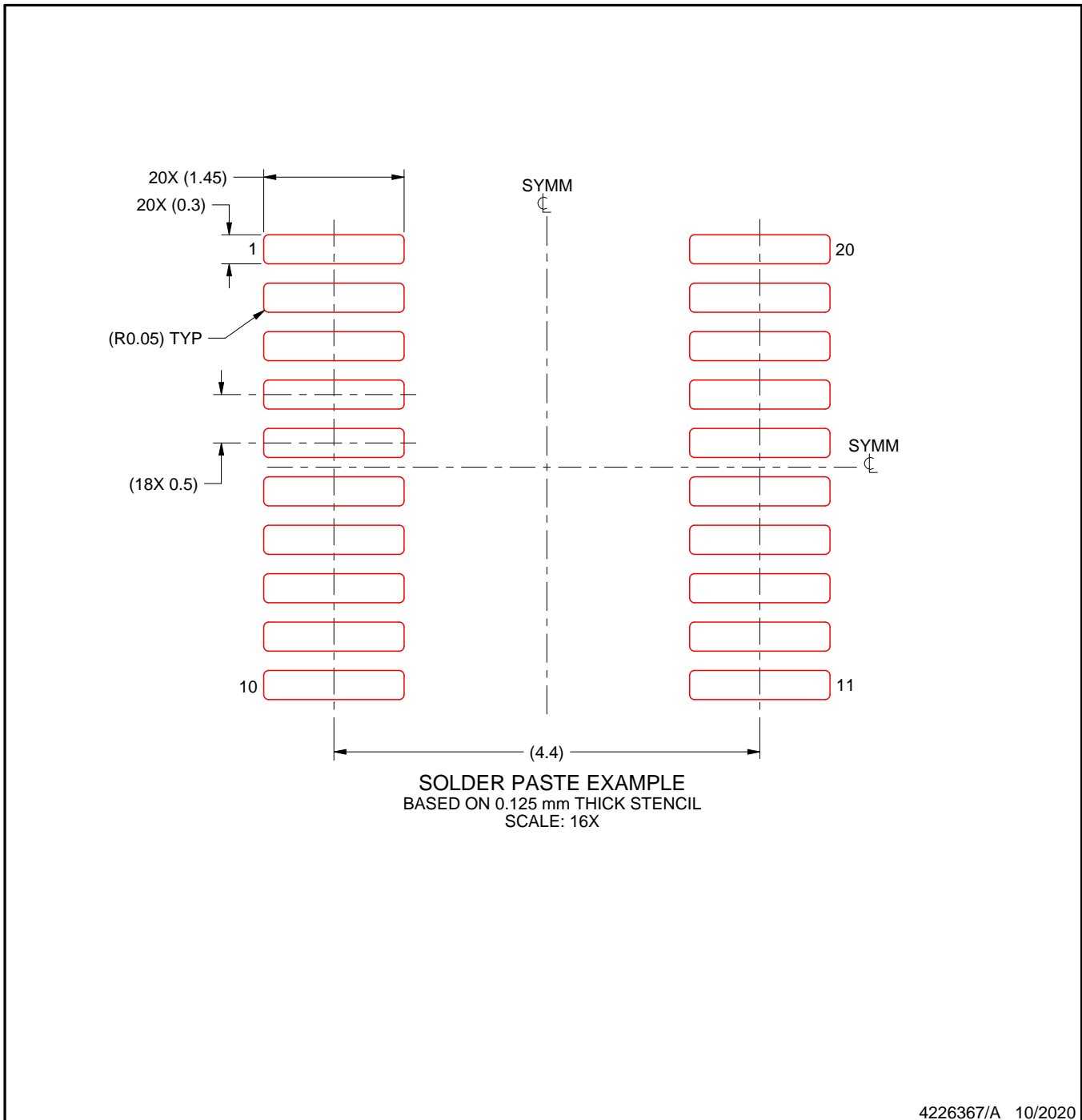
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 ([www.ti.com/lit/slma002](http://www.ti.com/lit/slma002)) and SLMA004 ([www.ti.com/lit/slma004](http://www.ti.com/lit/slma004)).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.

# EXAMPLE STENCIL DESIGN

DGS0020A

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

# DB0020A



# PACKAGE OUTLINE

## SSOP - 2 mm max height

SMALL OUTLINE PACKAGE



4214851/B 08/2019

**NOTES:**

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-150.

# EXAMPLE BOARD LAYOUT

DB0020A

SSOP - 2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE: 10X



4214851/B 08/2019

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

# EXAMPLE STENCIL DESIGN

DB0020A

SSOP - 2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE  
BASED ON 0.125 mm THICK STENCIL  
SCALE: 10X

4214851/B 08/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.



## GENERIC PACKAGE VIEW

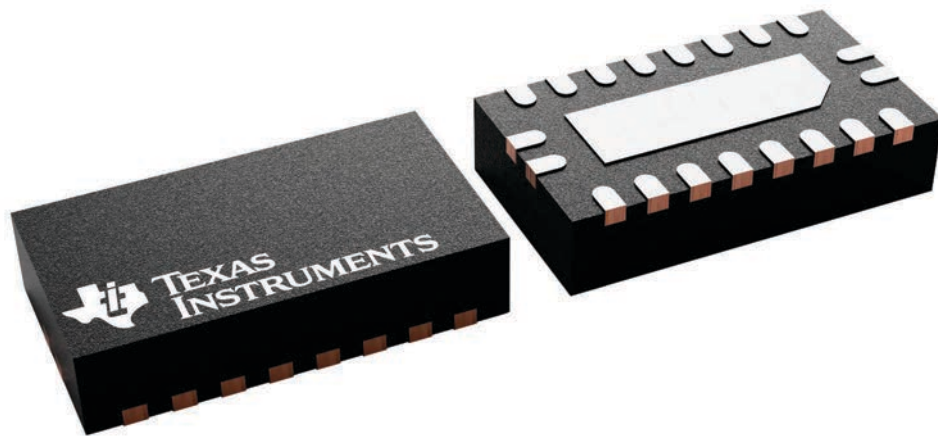
**RKS 20**

**VQFN - 1 mm max height**

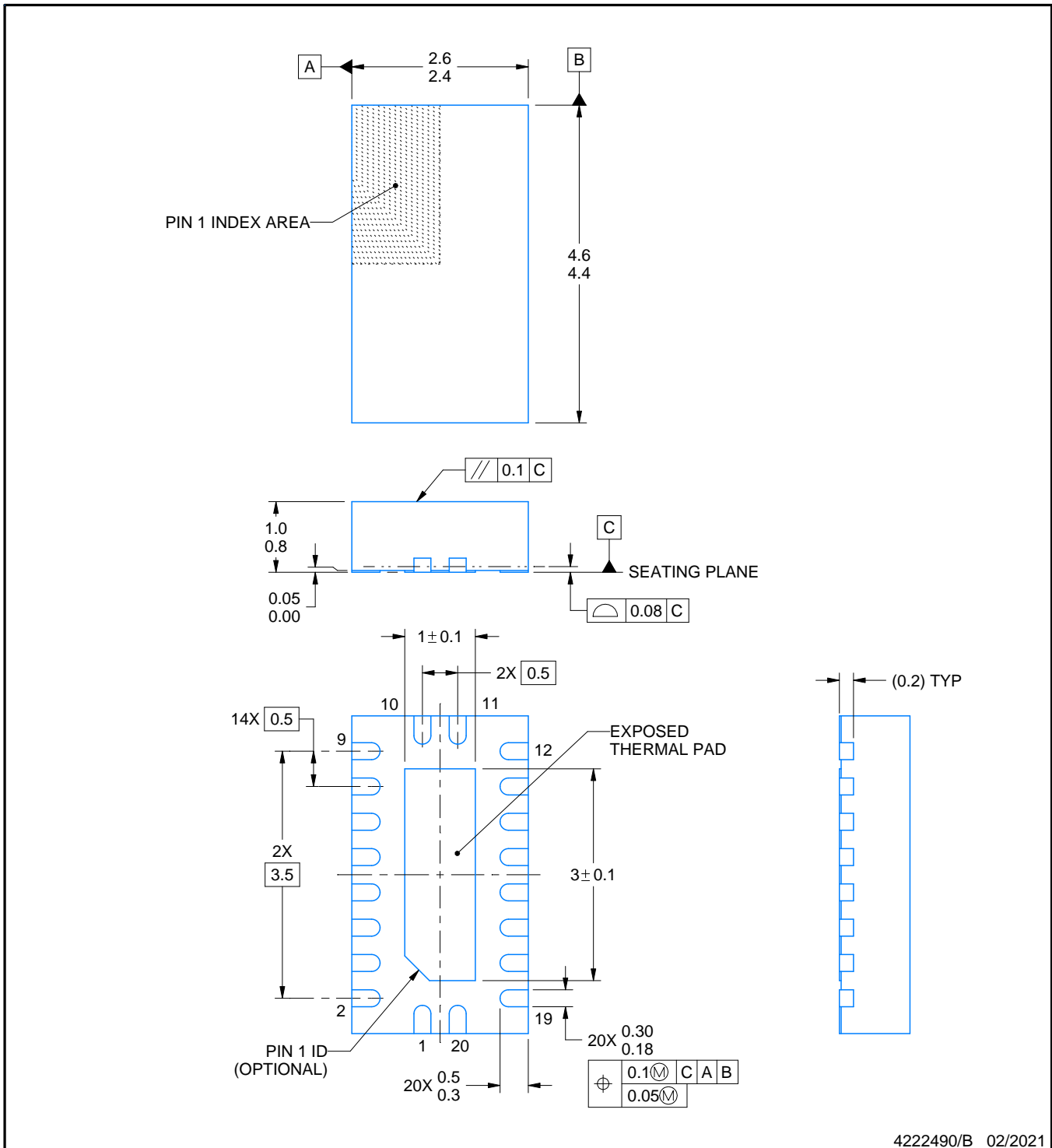
2.5 x 4.5, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.  
Refer to the product data sheet for package details.



4226872/A



4222490/B 02/2021

NOTES:

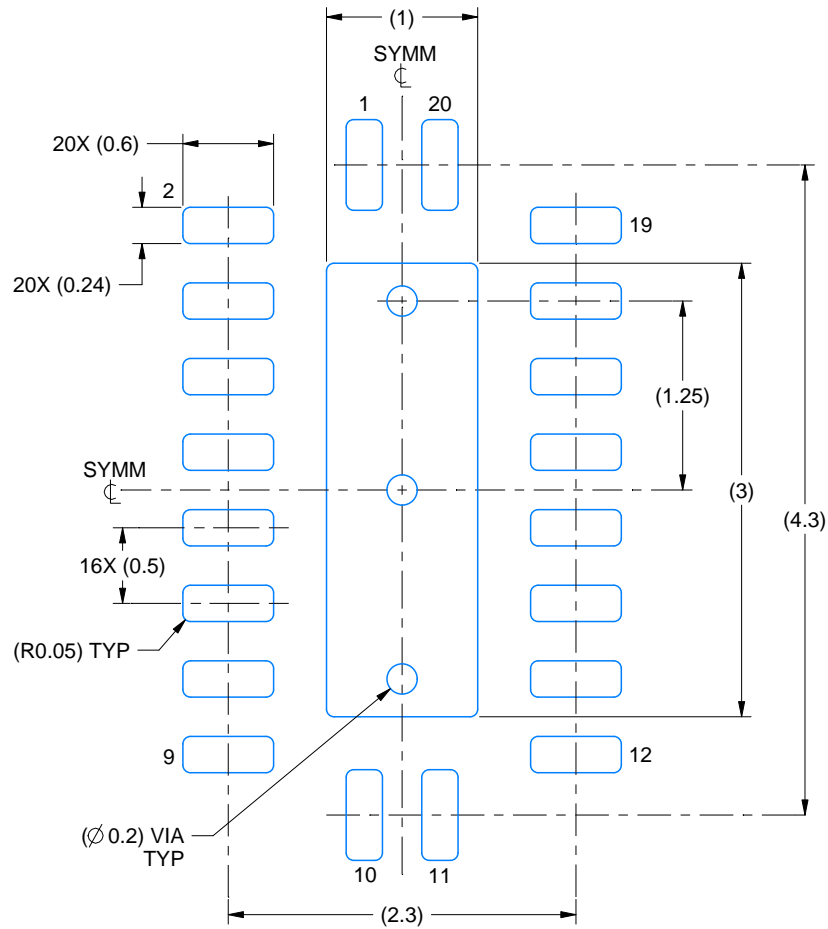
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

# EXAMPLE BOARD LAYOUT

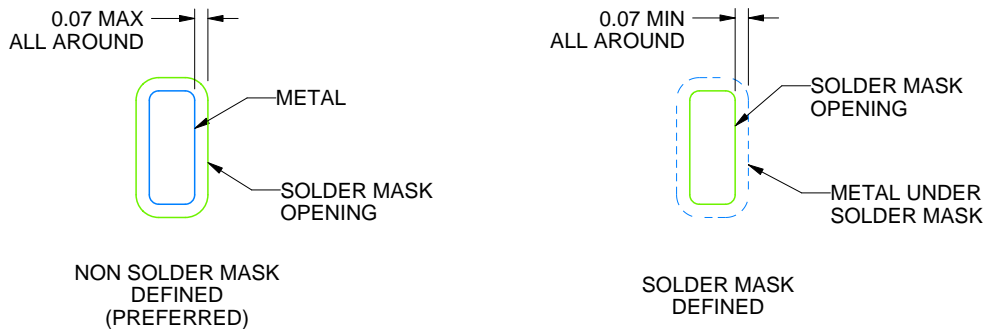
RKS0020A

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE  
SCALE:20X



SOLDER MASK DETAILS

4222490/B 02/2021

NOTES: (continued)

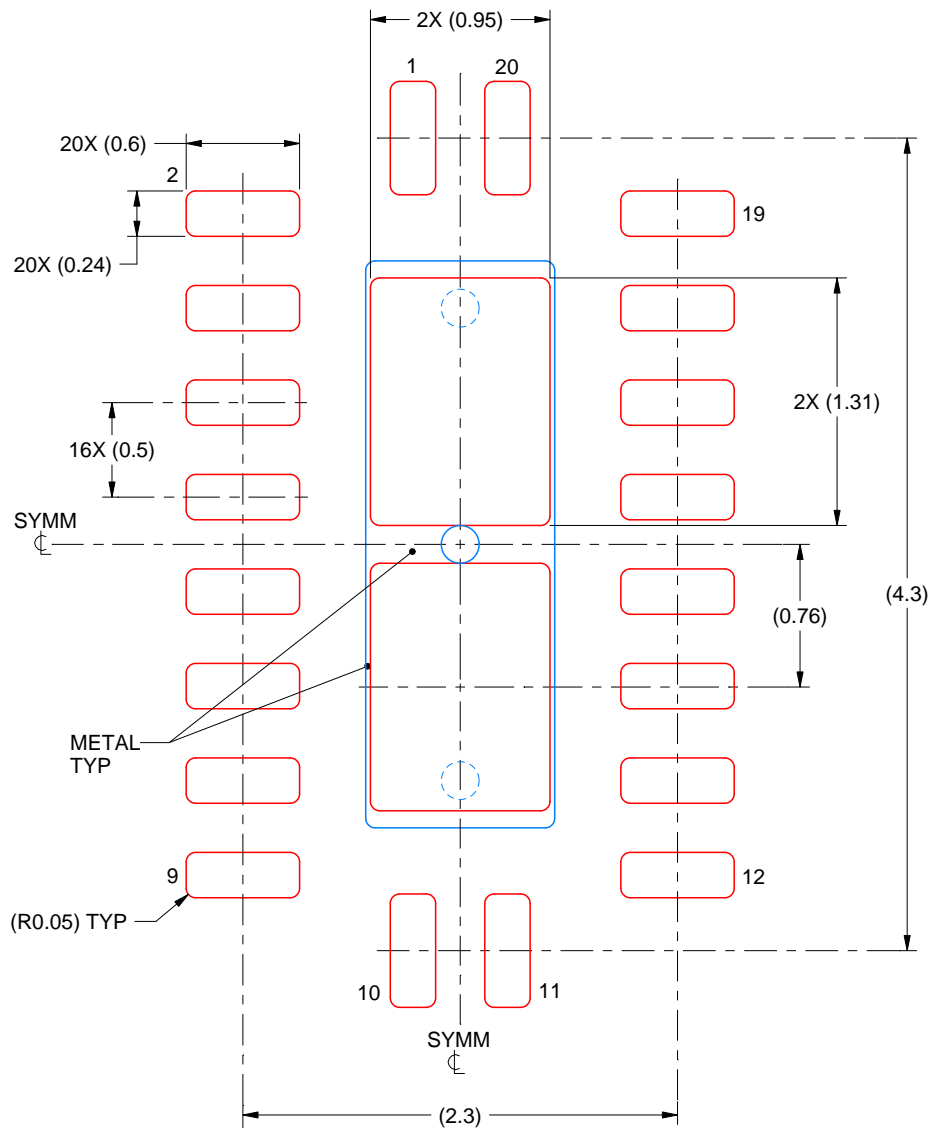
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 ([www.ti.com/lit/sluea271](http://www.ti.com/lit/sluea271)).
5. Vias are optional depending on application, refer to device data sheet. If some or all are implemented, recommended via locations are shown.

# EXAMPLE STENCIL DESIGN

RKS0020A

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



**SOLDER PASTE EXAMPLE**  
 BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD  
 83% PRINTED SOLDER COVERAGE BY AREA  
 SCALE:25X

4222490/B 02/2021

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

# MECHANICAL DATA

NS (R-PDSO-G\*\*)

PLASTIC SMALL-OUTLINE PACKAGE

14-PINS SHOWN



- NOTES:
- A. All linear dimensions are in millimeters.
  - B. This drawing is subject to change without notice.
  - C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15.

## GENERIC PACKAGE VIEW

**RGY 20**

**VQFN - 1 mm max height**

3.5 x 4.5, 0.5 mm pitch

PLASTIC QUAD FGLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.  
Refer to the product data sheet for package details.



4225264/A



4225320/A 09/2019

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

# EXAMPLE BOARD LAYOUT

RGY0020A

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE:18X



SOLDER MASK DETAILS

4225320/A 09/2019

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 ([www.ti.com/lit/slua271](http://www.ti.com/lit/slua271)).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

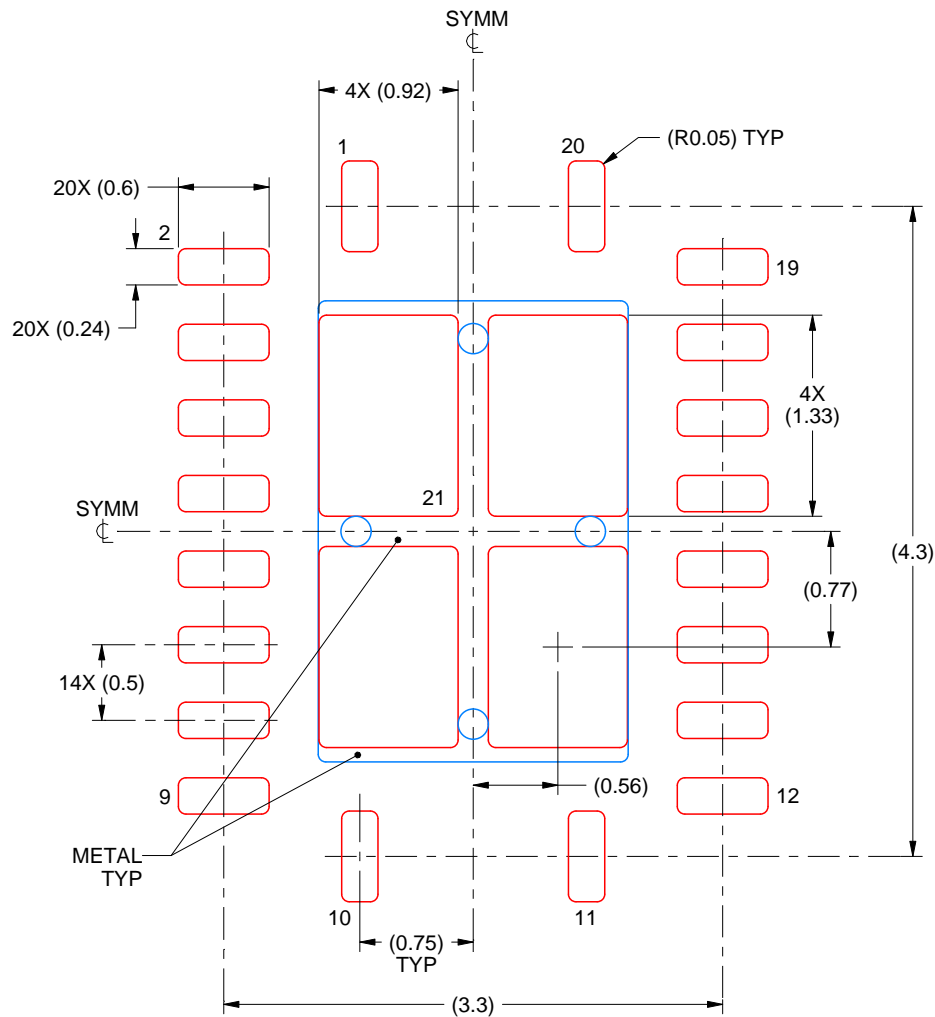


# EXAMPLE STENCIL DESIGN

RGY0020A

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



**SOLDER PASTE EXAMPLE**  
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 21  
78% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE  
SCALE:20X

4225320/A 09/2019

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

# DW0020A



# PACKAGE OUTLINE

## SOIC - 2.65 mm max height

SOIC



4220724/A 05/2016

**NOTES:**

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm per side.
5. Reference JEDEC registration MS-013.

# EXAMPLE BOARD LAYOUT

DW0020A

SOIC - 2.65 mm max height

SOIC



LAND PATTERN EXAMPLE  
SCALE:6X



SOLDER MASK DETAILS

4220724/A 05/2016

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

# EXAMPLE STENCIL DESIGN

DW0020A

SOIC - 2.65 mm max height

SOIC



SOLDER PASTE EXAMPLE  
BASED ON 0.125 mm THICK STENCIL  
SCALE:6X

4220724/A 05/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

## 重要なお知らせと免責事項

TI は、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](#) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265  
Copyright © 2024, Texas Instruments Incorporated