

# SN74LV4051A-Q1 車載用 8 チャンネル アナログ マルチプレクサまたはデマルチプレクサ

## 1 特長

- 車載アプリケーション認定済み
- 以下の結果で AEC-Q100 認定済み:
  - デバイス温度グレード 1: 動作時周囲温度範囲  $-40^{\circ}\text{C} \sim +125^{\circ}\text{C}$
  - デバイス HBM ESD 分類レベル 2
  - デバイス CDM ESD 分類レベル C4B
- $1.65\text{V} \sim 5.5\text{V}$  の  $V_{\text{CC}}$  で動作
- すべてのポートで混合モード電圧動作をサポート
- 高いオン/オフ出力電圧比
- スイッチ間の低いクロストーク
- スイッチの個別制御
- 非常に低い入力電流
- JESD 78, Class II 準拠で  $100\text{mA}$  超のラッチアップ性能

## 2 アプリケーション

- [車載用インフォテインメントおよびクラス](#)
- [テレマティクス、eCall](#)

## 3 概要

この 8 チャンネル CMOS アナログ マルチプレクサおよびデマルチプレクサは、 $1.65\text{V} \sim 5.5\text{V}$  の  $V_{\text{CC}}$  で動作するように設計されています。

SN74LV4051A-Q1 は、アナログとデジタルの両方の信号を扱います。各チャンネルは、最大  $5.5\text{V}$  (ピーク) までの振幅の信号をどちらの方向にも伝送できます。

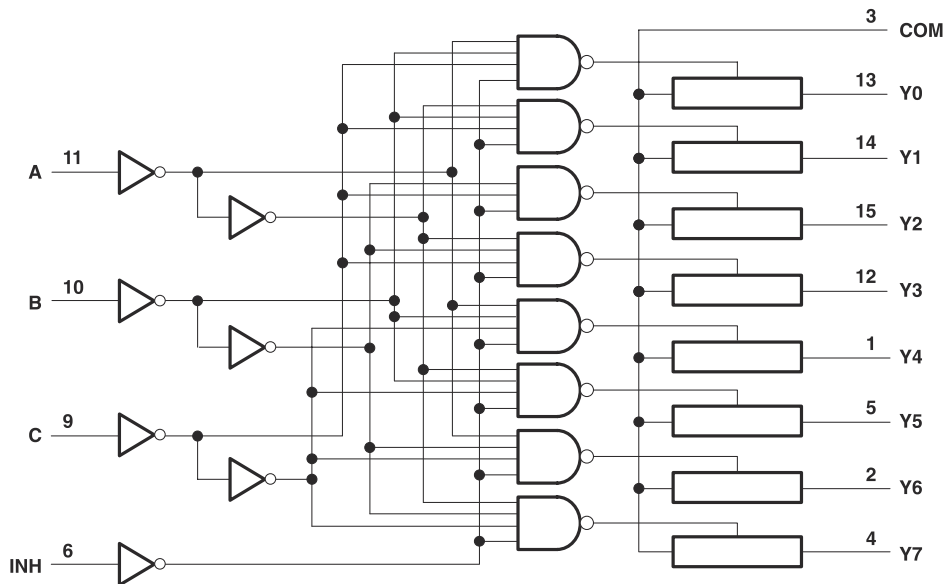
信号ゲーティング、チョッピング、変調または復調 (モデム)、およびアナログ / デジタルやデジタル / アナログ変換システム用の信号多重化などのアプリケーションに使用できます。

### パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ (2)
SN74LV4051A-Q1	PW (TSSOP, 16)	5mm × 6.4mm
	D (SOIC, 16)	9.9mm × 6mm

(1) 詳細については、[セクション 11](#) を参照してください。

(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



論理図 (正論理)



## Table of Contents

<b>1 特長</b> .....	1	7.2 Functional Block Diagram.....	12
<b>2 アプリケーション</b> .....	1	7.3 Feature Description.....	12
<b>3 概要</b> .....	1	7.4 Device Functional Modes.....	12
<b>4 Pin Configuration and Functions</b> .....	3	<b>8 Application and Implementation</b> .....	13
<b>5 Specifications</b> .....	4	8.1 Application Information.....	13
5.1 Absolute Maximum Ratings.....	4	8.2 Typical Application.....	13
5.2 ESD Ratings.....	4	8.3 Power Supply Recommendations.....	14
5.3 Thermal Information: SN74LV4051A-Q1.....	4	8.4 Layout.....	14
5.4 Recommended Operating Conditions.....	5	<b>9 Device and Documentation Support</b> .....	15
5.5 Electrical Characteristics.....	5	9.1 ドキュメントの更新通知を受け取る方法.....	15
5.6 Timing Characteristics $V_{CC} = 2.5V \pm 0.2V$ .....	7	9.2 サポート・リソース.....	15
5.7 Timing Characteristics $V_{CC} = 3.3V \pm 0.3V$ .....	7	9.3 Trademarks.....	15
5.8 Timing Characteristics $V_{CC} = 5V \pm 0.5V$ .....	7	9.4 静電気放電に関する注意事項.....	15
5.9 AC Characteristics.....	8	9.5 用語集.....	15
<b>6 Parameter Measurement Information</b> .....	9	<b>10 Revision History</b> .....	15
<b>7 Detailed Description</b> .....	12	<b>11 Mechanical, Packaging, and Orderable Information</b> .....	15
7.1 Overview.....	12		

## 4 Pin Configuration and Functions

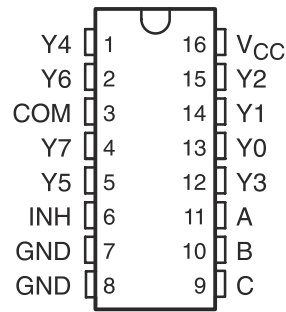


図 4-1. D or PW Package, 16-Pin SOIC or TSSOP (Top View)

表 4-1. Pin Functions

PIN		TYPE <sup>(1)</sup>	DESCRIPTION
NAME	NO.		
Y4	1	I <sup>(2)</sup>	Input to mux
Y6	2	I <sup>(2)</sup>	Input to mux
COM	3	O <sup>(2)</sup>	Output of mux
Y7	4	I <sup>(2)</sup>	Input to mux
Y5	5	I <sup>(2)</sup>	Input to mux
INH	6	I <sup>(2)</sup>	Enables the outputs of the device. Logic low level will turn the outputs on, high level will turn them off.
GND	7	—	Ground
GND	8	—	Ground
C	9	I	Selector line for outputs (see セクション 7.4 for specific information)
B	10	I	Selector line for outputs (see セクション 7.4 for specific information)
A	11	I	Selector line for outputs (see セクション 7.4 for specific information)
Y3	12	I <sup>(2)</sup>	Input to mux
Y0	13	I <sup>(2)</sup>	Input to mux
Y1	14	I <sup>(2)</sup>	Input to mux
Y2	15	I <sup>(2)</sup>	Input to mux
Vcc	16	I	Device power input

(1) I = input, O = output

(2) These I/O descriptions represent the device when used as a multiplexer, when this device is operated as a demultiplexer pins Y0-Y7 may be considered outputs (O) and the COM pin may be considered inputs (I).

## 5 Specifications

### 5.1 Absolute Maximum Ratings

over operating free-air temperature range (unless otherwise noted)<sup>(1) (3)</sup>

		MIN	MAX	UNIT
V <sub>CC</sub>	Supply voltage	-0.5	7.0	V
V <sub>I</sub>	Logic input voltage range	-0.5	7.0	V
V <sub>IO</sub>	Switch I/O voltage range <sup>(2) (3)</sup>	-0.5	V <sub>CC</sub> + 0.5	V
I <sub>IK</sub>	Input clamp current	V <sub>I</sub> < 0	-20	mA
I <sub>IOK</sub>	Switch IO diode clamp current	V <sub>IO</sub> < 0 or V <sub>IO</sub> > V <sub>CC</sub>	-50	mA
I <sub>T</sub>	Switch continuous current	V <sub>IO</sub> = 0 to V <sub>CC</sub>	±25	mA
	Continuous current through V <sub>CC</sub> or GND		±50	mA
T <sub>stg</sub>	Storage temperature	-65	150	°C

- (1) Operation outside the *Absolute Maximum Ratings* may cause permanent device damage. Absolute maximum ratings do not imply functional operation of the device at these or any other conditions beyond those listed under *Recommended Operating Conditions*. If briefly operating outside the *Recommended Operating Conditions* but within the *Absolute Maximum Ratings*, the device may not sustain damage, but it may not be fully functional. Operating the device in this manner may affect device reliability, functionality, performance, and shorten the device lifetime.
- (2) Pins are diode-clamped to the power-supply rails. Over voltage signals must be voltage and current limited to maximum ratings.
- (3) This value is limited to 5.5V maximum

### 5.2 ESD Ratings

				VALUE	UNIT
V <sub>(ESD)</sub>	Electrostatic discharge	Human body model (HBM), per AEC Q100-002 <sup>(1)</sup>	All pins	±2000	V
V <sub>(ESD)</sub>	Electrostatic discharge	Charged device model (CDM), per AEC Q100-011	All pins	±500	V

- (1) AEC Q100-002 indicates that HBM stressing shall be in accordance with the ANSI/ESDA/JEDEC JS-001 specification.

### 5.3 Thermal Information: SN74LV4051A-Q1

THERMAL METRIC <sup>(1)</sup>		SN74LV4051A-Q1	UNIT
		PW (TSSOP)	
		16 PINS	
R <sub>θJA</sub>	Junction-to-ambient thermal resistance	140.2	°C/W
R <sub>θJC(top)</sub>	Junction-to-case (top) thermal resistance	72.6	°C/W
R <sub>θJB</sub>	Junction-to-board thermal resistance	98.7	°C/W
Ψ <sub>JT</sub>	Junction-to-top characterization parameter	13.4	°C/W
Ψ <sub>JB</sub>	Junction-to-board characterization parameter	97.3	°C/W
R <sub>θJC(bot)</sub>	Junction-to-case (bottom) thermal resistance	N/A	°C/W

- (1) For more information about traditional and new thermal metrics, see the [Semiconductor and IC Package Thermal Metrics](#) application report.

## 5.4 Recommended Operating Conditions

over operating free-air temperature range (unless otherwise noted)<sup>(1)</sup>

		MIN	NOM	MAX	UNIT	
V <sub>CC</sub>	Supply voltage	1 <sup>(2)</sup>		5.5	V	
V <sub>IH</sub>	High-level input voltage, logic control inputs	V <sub>CC</sub> = 1.65		5.5	V	
		V <sub>CC</sub> = 2V		5.5		
		V <sub>CC</sub> = 2.3V to 2.7V	V <sub>CC</sub> × 0.7	5.5		
		V <sub>CC</sub> = 3V to 3.6V	V <sub>CC</sub> × 0.7	5.5		
		V <sub>CC</sub> = 4.5V to 5.5V	V <sub>CC</sub> × 0.7	5.5		
V <sub>IL</sub>	Low-level input voltage, logic control inputs	V <sub>CC</sub> = 1.65V to 2.7V		0.4	V	
		V <sub>CC</sub> = 1.65V to 2.7V		0.5		
		V <sub>CC</sub> = 1.65V to 2.7V		0		V <sub>CC</sub> × 0.3
		V <sub>CC</sub> = 3V to 3.6V		0		V <sub>CC</sub> × 0.3
		V <sub>CC</sub> = 4.5V to 5.5V		0		V <sub>CC</sub> × 0.3
V <sub>I</sub>	Logic control input voltage			5.5	V	
V <sub>IO</sub>	Switch input or output voltage			V <sub>CC</sub>	V	
Δt/ΔV	Logic input transition rise or fall rate	V <sub>CC</sub> = 1.0V to 2.0V		500	ns/V	
		V <sub>CC</sub> = 2.0V to 2.7V		200		
		V <sub>CC</sub> = 3V to 3.6V		100		
		V <sub>CC</sub> = 4.5V to 5.5V		20		
T <sub>A</sub>	Ambient temperature	–40		125	°C	

- (1) All unused inputs of the device must be held at V<sub>CC</sub> or GND for proper device operation. Refer to TI application report *Implications of Slow or Floating CMOS Inputs*, SCBA004.
- (2) When using a V<sub>CC</sub> of ≤1.2 V, it is recommended to use these devices only for transmitting digital signals. When supply voltage is near 1.2 V the analog switch ON resistance becomes very non-linear

## 5.5 Electrical Characteristics

over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	Condition	T <sub>A</sub>	V <sub>CC</sub>	MIN	TYP	MAX	UNIT	
r <sub>ON</sub>	ON-state switch resistance	I <sub>T</sub> = 2mA, V <sub>I</sub> = V <sub>CC</sub> or GND, V <sub>INH</sub> = V <sub>IL</sub>	1.65V	25°C		60	150	Ω
				–40°C to 85°C			225	
				–40°C to 125°C			225	
			2.3V	25°C		38	180	
				–40°C to 85°C			225	
				–40°C to 125°C			225	
			3V	25°C		30	150	
				–40°C to 85°C			190	
				–40°C to 125°C			190	
			4.5V	25°C		22	75	
				–40°C to 85°C			100	
				–40°C to 125°C			100	

## 5.5 Electrical Characteristics (続き)

over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER		Condition	T <sub>A</sub>	V <sub>CC</sub>	MIN	TYP	MAX	UNIT
r <sub>ON(p)</sub>	Peak ON-state resistance	I <sub>T</sub> = 2mA, V <sub>I</sub> = GND to V <sub>CC</sub> , V <sub>INH</sub> = V <sub>IL</sub>	25°C	1.65V		220	600	Ω
			-40°C to 85°C				700	
			-40°C to 125°C				700	
			25°C	2.3V		113	500	
			-40°C to 85°C				600	
			-40°C to 125°C				600	
			25°C	3V		54	180	
			-40°C to 85°C				225	
			-40°C to 125°C				225	
			25°C	4.5V		31	100	
			-40°C to 85°C				125	
			-40°C to 125°C				125	
Δr <sub>ON</sub>	Difference in ON-state resistance between switches	I <sub>T</sub> = 2mA, V <sub>I</sub> = GND to V <sub>CC</sub> , V <sub>INH</sub> = V <sub>IL</sub>	25°C	1.65V				Ω
			-40°C to 85°C					
			-40°C to 85°C					
			-40°C to 85°C	2.3V		2.1	30	
			-40°C to 85°C				40	
			-40°C to 125°C				40	
			25°C	3V		1.4	20	
			-40°C to 85°C				30	
			-40°C to 125°C				30	
			25°C	4.5V		1.3	15	
			-40°C to 85°C				20	
			-40°C to 125°C				20	
I <sub>IH</sub> I <sub>IL</sub>	Control input current	V <sub>I</sub> = 5.5V or GND	25°C	0 to 5.5V	-0.1		0.1	μA
			-40°C to 85°C		-1		1	
			-40°C to 125°C		-2		2	
I <sub>S(off)</sub>	OFF-state switch leakage current	V <sub>I</sub> = V <sub>CC</sub> and V <sub>O</sub> = GND, or V <sub>I</sub> = GND and V <sub>O</sub> = V <sub>CC</sub> , V <sub>INH</sub> = V <sub>IH</sub>	25°C	5.5V	-0.1		0.1	μA
			-40°C to 85°C		-1		1	
			-40°C to 125°C		-2		2	
I <sub>S(on)</sub>	ON-state switch leakage current	V <sub>I</sub> = V <sub>CC</sub> or GND, V <sub>INH</sub> = V <sub>IL</sub>	25°C	5.5V	-0.1		0.1	μA
			-40°C to 85°C		-1		1	
			-40°C to 125°C		-2		2	
I <sub>CC</sub>	Supply current	V <sub>I</sub> = V <sub>CC</sub> or GND V <sub>INH</sub> = 0V	25°C	5.5V				μA
			-40°C to 85°C				20	
			-40°C to 125°C				40	
C <sub>IC</sub>	Control input capacitance	f = 10MHz	25°C	3.3V		2		pF
C <sub>IS</sub>	Common terminal capacitance	f = 10MHz	25°C	3.3V		23.4		pF
C <sub>OS</sub>	Switch terminal capacitance	f = 10MHz	25°C	3.3V		5.7		pF
C <sub>F</sub>	Feedthrough capacitance	f = 10MHz	25°C	3.3V		0.5		pF

## 5.5 Electrical Characteristics (続き)

over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER		Condition	T <sub>A</sub>	V <sub>CC</sub>	MIN	TYP	MAX	UNIT
C <sub>PD</sub>	Power dissipation capacitance	C <sub>L</sub> = 50pF, f = 10MHz	25°C	3.3V		5.9		pF

## 5.6 Timing Characteristics V<sub>CC</sub> = 2.5V ± 0.2V

PARAMETER		FROM (INPUT)	TO (OUTPUT)	CONDITIONS	T <sub>A</sub>	MIN	TYP	MAX	UNIT
t <sub>PLH</sub> t <sub>PHL</sub>	Propagation delay time	COM or Yn	Yn or COM	C <sub>L</sub> = 15pF	25°C		1.9	10	ns
					-40°C to 85°C			16	
					-40°C to 125°C			18	
t <sub>PZH</sub> t <sub>PZL</sub>	Enable delay time	INH	COM or Yn	C <sub>L</sub> = 15pF	25°C		6.6	18	ns
					-40°C to 85°C			23	
					-40°C to 125°C			25	
t <sub>PHZ</sub> t <sub>PLZ</sub>	Disable delay time	INH	COM or Yn	C <sub>L</sub> = 15pF	25°C		7.4	18	ns
					-40°C to 85°C			23	
					-40°C to 125°C			25	
t <sub>PLH</sub> t <sub>PHL</sub>	Propagation delay time	COM or Yn	Yn or COM	C <sub>L</sub> = 50pF	25°C		3.8	12	ns
					-40°C to 85°C			18	
					-40°C to 125°C			20	
t <sub>PZH</sub> t <sub>PZL</sub>	Enable delay time	INH	COM or Yn	C <sub>L</sub> = 50pF	25°C		7.8	28	ns
					-40°C to 85°C			35	
					-40°C to 125°C			35	
t <sub>PHZ</sub> t <sub>PLZ</sub>	Disable delay time	INH	COM or Yn	C <sub>L</sub> = 50pF	25°C		11.5	28	ns
					-40°C to 85°C			35	
					-40°C to 125°C			35	

## 5.7 Timing Characteristics V<sub>CC</sub> = 3.3V ± 0.3V

PARAMETER		FROM (INPUT)	TO (OUTPUT)	CONDITIONS	T <sub>A</sub>	MIN	TYP	MAX	UNIT
t <sub>PLH</sub> t <sub>PHL</sub>	Propagation delay time	COM or Yn	Yn or COM	C <sub>L</sub> = 50pF	25°C		2.5	9	ns
					-40°C to 85°C			12	
					-40°C to 125°C			14	
t <sub>PZH</sub> t <sub>PZL</sub>	Enable delay time	INH	COM or Yn	C <sub>L</sub> = 50pF	25°C		5.5	20	ns
					-40°C to 85°C			25	
					-40°C to 125°C			25	
t <sub>PHZ</sub> t <sub>PLZ</sub>	Disable delay time	INH	COM or Yn	C <sub>L</sub> = 50pF	25°C		8.8	20	ns
					-40°C to 85°C			25	
					-40°C to 125°C			25	

## 5.8 Timing Characteristics V<sub>CC</sub> = 5V ± 0.5V

PARAMETER		FROM (INPUT)	TO (OUTPUT)	CONDITIONS	T <sub>A</sub>	MIN	TYP	MAX	UNIT
t <sub>PLH</sub> t <sub>PHL</sub>	Propagation delay time	COM or Yn	Yn or COM	C <sub>L</sub> = 50pF	25°C		1.5	6	ns
					-40°C to 85°C			8	
					-40°C to 125°C			10	

## 5.8 Timing Characteristics $V_{CC} = 5V \pm 0.5V$ (続き)

PARAMETER		FROM (INPUT)	TO (OUTPUT)	CONDITIONS	$T_A$	MIN	TYP	MAX	UNIT
$t_{PZH}$ $t_{PZL}$	Enable delay time	INH	COM or Yn	$C_L = 50pF$	25°C		4	14	ns
					-40°C to 85°C			18	
					-40°C to 125°C			18	
$t_{PHZ}$ $t_{PLZ}$	Disable delay time	INH	COM or Yn	$C_L = 50pF$	25°C		6.2	14	ns
					-40°C to 85°C			18	
					-40°C to 125°C			18	

## 5.9 AC Characteristics

PARAMETER	FROM (INPUT)	TO (OUTPUT)	Device	CONDITIONS	MIN	TYP	MAX	UNIT
Frequency response (switch on)	COM or Yn	Yn or COM	SN74LV4051	$C_L = 50pF, R_L = 600\Omega, F_{in} = 1MHz$ (sine wave)	$V_{CC} = 2.3V$		20	MHz
					$V_{CC} = 3V$		25	
					$V_{CC} = 4.5V$		35	
Feedthrough attenuation (switch off)	COM or Yn	Yn or COM	ALL	$C_L = 50pF, R_L = 600\Omega, F_{in} = 1MHz$ (sine wave)	$V_{CC} = 2.3V$		-45	dB
					$V_{CC} = 3V$		-45	
					$V_{CC} = 4.5V$		-45	
Crosstalk (between any switches)	COM or Yn	Yn or COM	ALL	$C_L = 50pF, R_L = 600\Omega, F_{in} = 1MHz$ (sine wave)	$V_{CC} = 2.3V$		20	mV
					$V_{CC} = 3V$		35	
					$V_{CC} = 4.5V$		60	
Sine-wave distortion	COM or Yn	Yn or COM	ALL	$C_L = 50pF, R_L = 10k\Omega, F_{in} = 1kHz$ (sine wave)	$V_I = 2V_{p-p}, V_{CC} = 2.3V$		0.1	%
					$V_I = 2.5V_{p-p}, V_{CC} = 3V$		0.1	
					$V_I = 4V_{p-p}, V_{CC} = 4.5V$		0.1	



## 6 Parameter Measurement Information

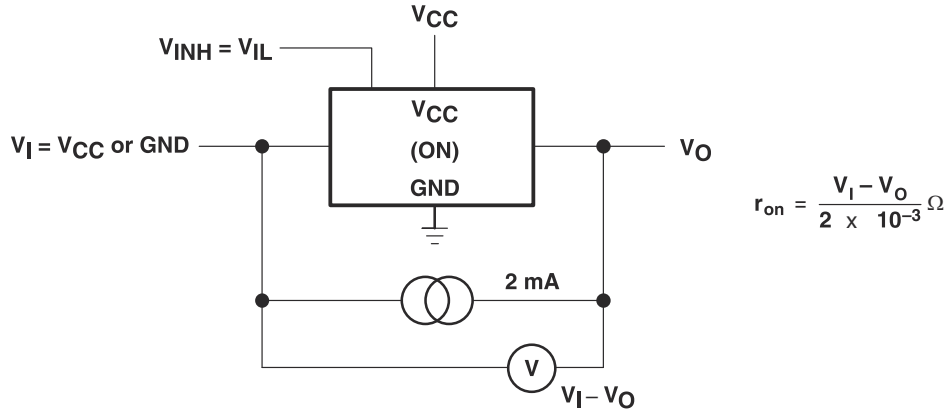


图 6-1. On-State Resistance Test Circuit

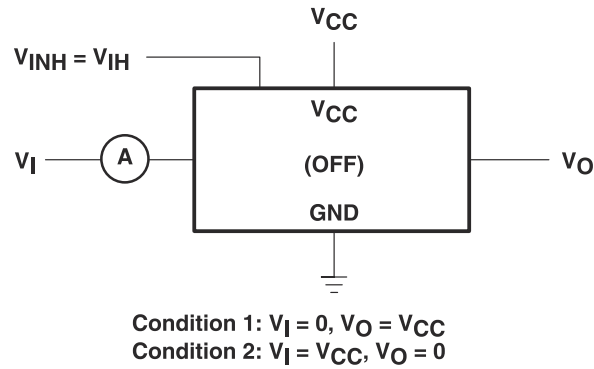


图 6-2. Off-State Switch Leakage-Current Test Circuit

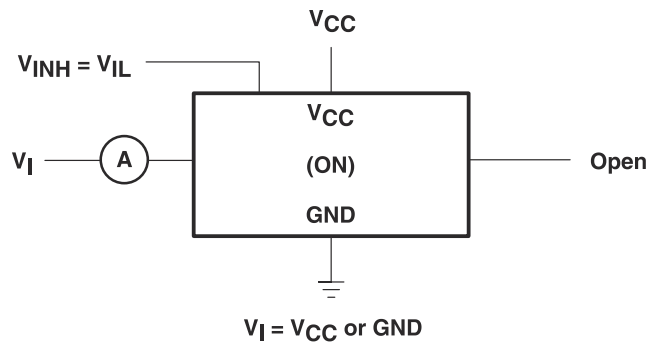


图 6-3. On-State Switch Leakage-Current Test Circuit

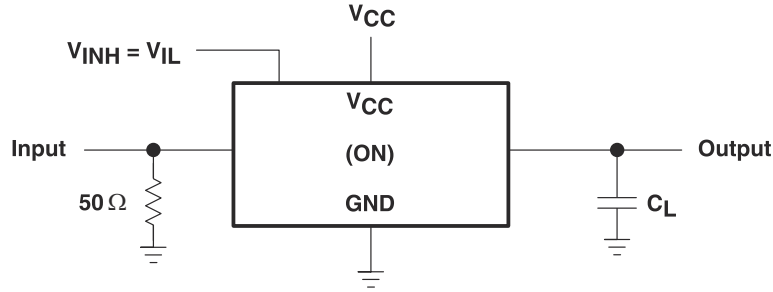
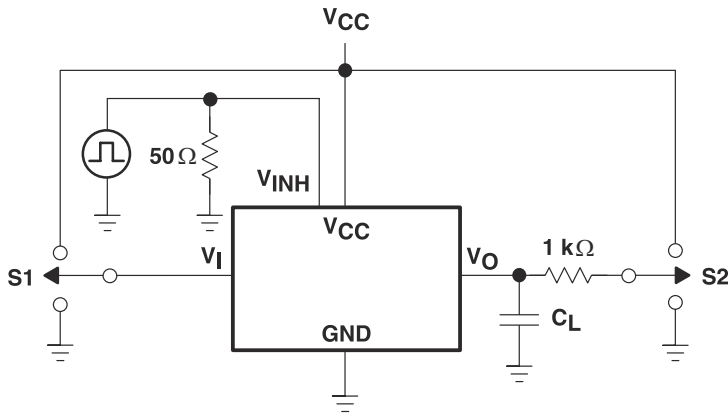


図 6-4. Propagation Delay Time, Signal Input to Signal Output



TEST	S1	S2
$t_{PLZ}/t_{PZL}$	GND	$V_{CC}$
$t_{PHZ}/t_{PZH}$	$V_{CC}$	GND

TEST CIRCUIT

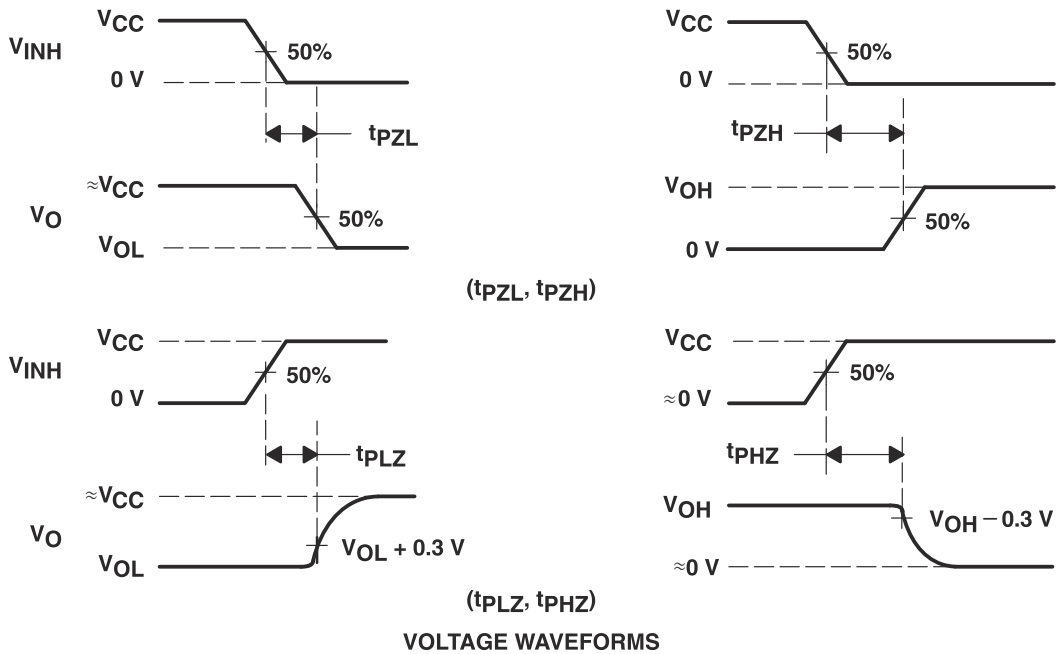
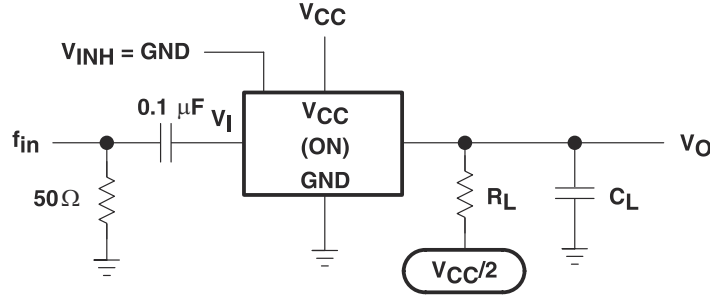
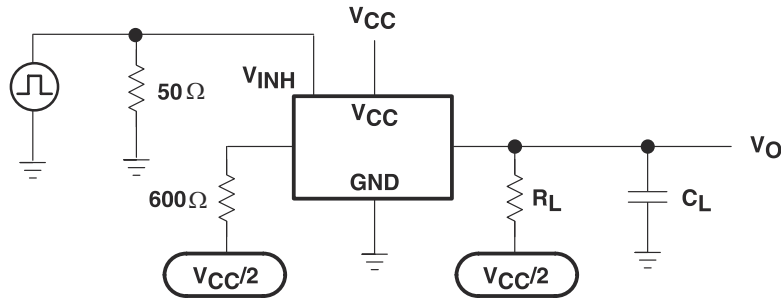


図 6-5. Switching Time ( $t_{PZL}$ ,  $t_{PLZ}$ ,  $t_{PZH}$ ,  $t_{PHZ}$ ), Control to Signal Output

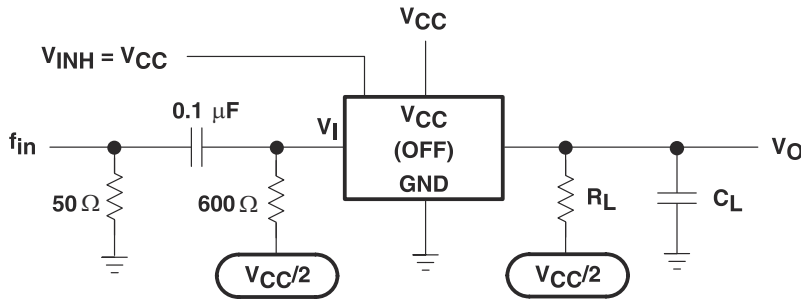


NOTE A:  $f_{in}$  is a sine wave.

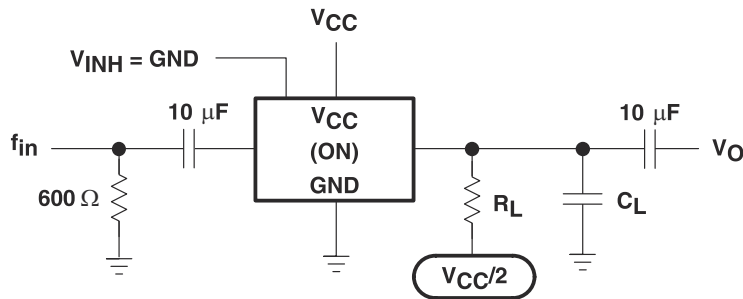
**図 6-6. Frequency Response (Switch On)**



**図 6-7. Crosstalk (Control Input, Switch Output)**



**図 6-8. Feedthrough Attenuation (Switch Off)**



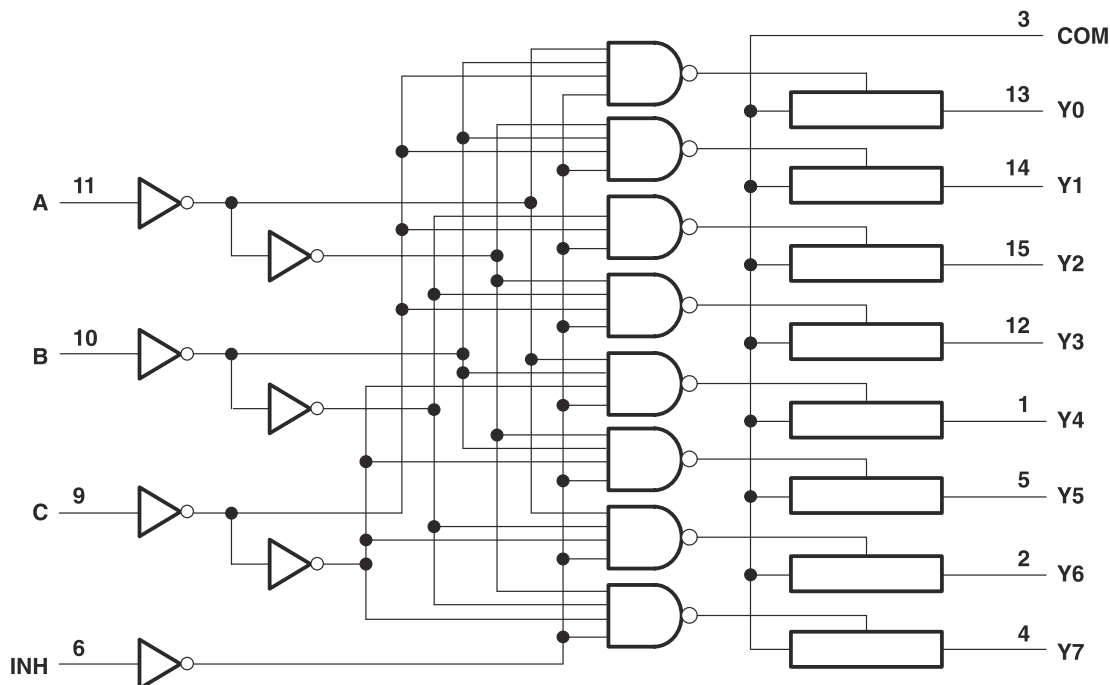
**図 6-9. Sine-Wave Distortion**

## 7 Detailed Description

### 7.1 Overview

This device is an 8-channel analog multiplexer. A multiplexer is used when several signals must share the same device or resource. This device allows the selection of one of these signals at a time, for analysis or propagation.

### 7.2 Functional Block Diagram



### 7.3 Feature Description

This device contains one 8-channel multiplexer for use in a variety of applications, and can also be configured as demultiplexer by using the COM pin as an input and the Yx pins as outputs. This device is qualified for automotive applications and has an extended temperature range of  $-40^{\circ}\text{C}$  to  $125^{\circ}\text{C}$  (maximum depends on package type).

### 7.4 Device Functional Modes

表 7-1. Function Table

INPUTS				ON CHANNEL
INH	C	B	A	
L	L	L	L	Y0
L	L	L	H	Y1
L	L	H	L	Y2
L	L	H	H	Y3
L	H	L	L	Y4
L	H	L	H	Y5
L	H	H	L	Y6
L	H	H	H	Y7
H	X	X	X	None

## 8 Application and Implementation

### 注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

### 8.1 Application Information

A multiplexer is used in applications where multiple signals share a resource. In the example below, several different sensors are connected to the analog-to-digital converter (ADC) of a microcontroller unit (MCU).

### 8.2 Typical Application

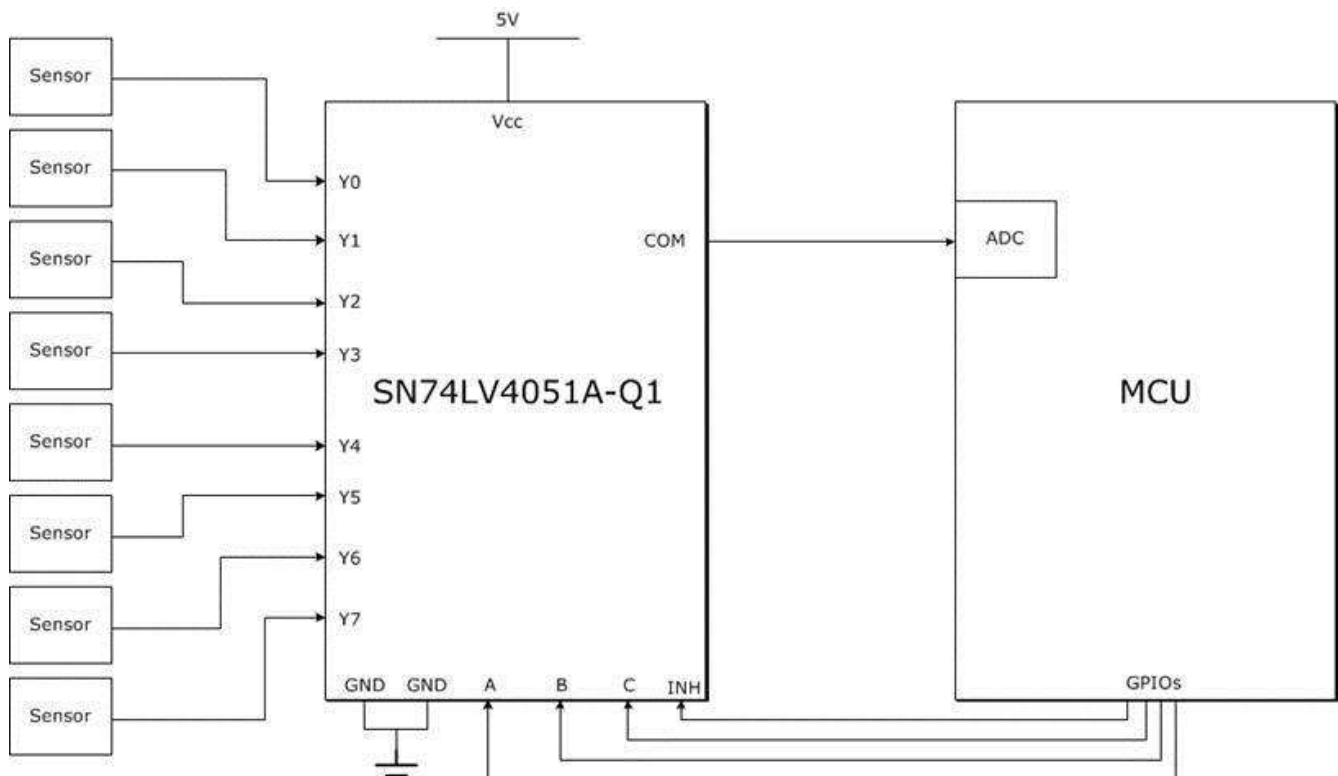


図 8-1. Example of Multiplexer Use With Analog Sensors and the ADC of an MCU

#### 8.2.1 Design Requirements

Designing with the SN74LV4051A-Q1 device requires a stable input voltage between 2 V (see *Recommended Operating Conditions* for details) and 5.5V. Another important design consideration are the characteristics of the signal being multiplexed—ensure no important information is lost due to timing or incompatibility with this device.

#### 8.2.2 Detailed Design Procedure

Processing eight different analog signals would normally require eight separate ADCs, but 図 8-1 shows how to achieve this using only one ADC and four GPIOs (general-purpose input/outputs).

### 8.3 Power Supply Recommendations

Most systems have a common 3.3V or 5V rail that can supply the Vcc pin of this device. If this is not available, a switched-mode power supply (SMPS) or a low dropout regulator (LDO) can supply this device from a higher voltage rail.

### 8.4 Layout

#### 8.4.1 Layout Guidelines

TI recommends keeping the signal lines as short and as straight as possible. Incorporation of microstrip or stripline techniques is also recommended when signal lines are more than 1 inch long. These traces must be designed with a characteristic impedance of either 50Ω or 75Ω, as required by the application. Do not place this device too close to high-voltage switching components, as they may cause interference.

#### 8.4.2 Layout Example

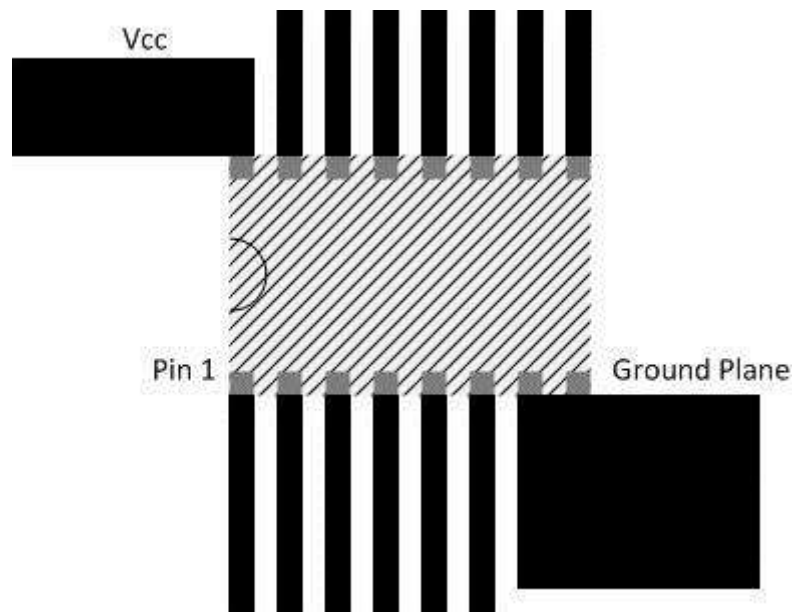


图 8-2. Layout Schematic

## 9 Device and Documentation Support

### 9.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、[www.tij.co.jp](http://www.tij.co.jp) のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

### 9.2 サポート・リソース

[テキサス・インスツルメンツ E2E™ サポート・フォーラム](#)は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

### 9.3 Trademarks

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.  
すべての商標は、それぞれの所有者に帰属します。

### 9.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

### 9.5 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

## 10 Revision History

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision E (January 2015) to Revision F (June 2024)	Page
ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1
パッケージリード サイズを含めるよう「パッケージ情報」表を更新.....	1
Added new VIH and VIL Specifications at 1.65V Vcc.....	5
Added Ron, Ron Peak, and Delta Ron Specifications at 1.65V Vcc.....	5

Changes from Revision D (June 2011) to Revision E (January 2015)	Page
「ESD 定格」表、「機能説明」セクション、「デバイスの機能モード」セクション、「アプリケーションと実装」セクション、「電源に関する推奨事項」セクション、「レイアウト」セクション、「デバイスおよびドキュメントのサポート」セクション、「メカニカル、パッケージ、および注文情報」セクションを追加 .....	1

## 11 Mechanical, Packaging, and Orderable Information

The following pages include mechanical, packaging, and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser-based versions of this data sheet, refer to the left-hand navigation.

## 重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2024, Texas Instruments Incorporated



**PACKAGING INFORMATION**

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
CLV4051ATDWRG4Q1	NRND	SOIC	DW	16	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 105	L4051AQ	
SN74LV4051AQPWRQ1	ACTIVE	TSSOP	PW	16	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	4051AQ1	Samples
SN74LV4051ATDRQ1	NRND	SOIC	D	16	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 105	L4051AQ	
SN74LV4051ATDWRQ1	NRND	SOIC	DW	16	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 105	L4051AQ	
SN74LV4051ATPWRQ1	ACTIVE	TSSOP	PW	16	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 105	L4051AQ	Samples

(1) The marketing status values are defined as follows:

**ACTIVE:** Product device recommended for new designs.

**LIFEBUY:** TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

**NRND:** Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

**PREVIEW:** Device has been announced but is not in production. Samples may or may not be available.

**OBSELETE:** TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

**RoHS Exempt:** TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

**Green:** TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

**Important Information and Disclaimer:** The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and

continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

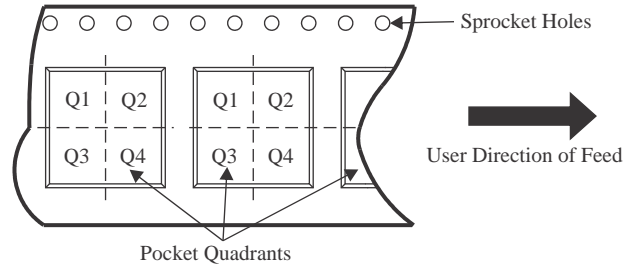
**OTHER QUALIFIED VERSIONS OF SN74LV4051A-Q1 :**

- Catalog : [SN74LV4051A](#)
- Enhanced Product : [SN74LV4051A-EP](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product
- Enhanced Product - Supports Defense, Aerospace and Medical Applications

**TAPE AND REEL INFORMATION**

**QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE**


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CLV4051ATDWRG4Q1	SOIC	DW	16	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1
CLV4051ATPWRG4Q1	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74LV4051AQPWRQ1	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74LV4051ATDWRQ1	SOIC	DW	16	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1
SN74LV4051ATPWRQ1	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

**TAPE AND REEL BOX DIMENSIONS**


\*All dimensions are nominal



Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
CLV4051ATDWRG4Q1	SOIC	DW	16	2000	350.0	350.0	43.0
CLV4051ATPWRG4Q1	TSSOP	PW	16	2000	367.0	367.0	35.0
SN74LV4051AQPWRQ1	TSSOP	PW	16	2000	356.0	356.0	35.0
SN74LV4051ATDWRQ1	SOIC	DW	16	2000	350.0	350.0	43.0
SN74LV4051ATPWRQ1	TSSOP	PW	16	2000	356.0	356.0	35.0

D (R-PDSO-G16)

PLASTIC SMALL OUTLINE



4040047-6/M 06/11

- NOTES:
- A. All linear dimensions are in inches (millimeters).
  - B. This drawing is subject to change without notice.
  -  C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.
  -  D. Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.
  - E. Reference JEDEC MS-012 variation AC.

D (R-PDSO-G16)

PLASTIC SMALL OUTLINE



- NOTES:
- A. All linear dimensions are in millimeters.
  - B. This drawing is subject to change without notice.
  - C. Publication IPC-7351 is recommended for alternate designs.
  - D. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC-7525 for other stencil recommendations.
  - E. Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.



4220204/A 02/2017

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.

# EXAMPLE BOARD LAYOUT

PW0016A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE: 10X



SOLDER MASK DETAILS

4220204/A 02/2017

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



# EXAMPLE STENCIL DESIGN

PW0016A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE  
BASED ON 0.125 mm THICK STENCIL  
SCALE: 10X

4220204/A 02/2017

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

## GENERIC PACKAGE VIEW

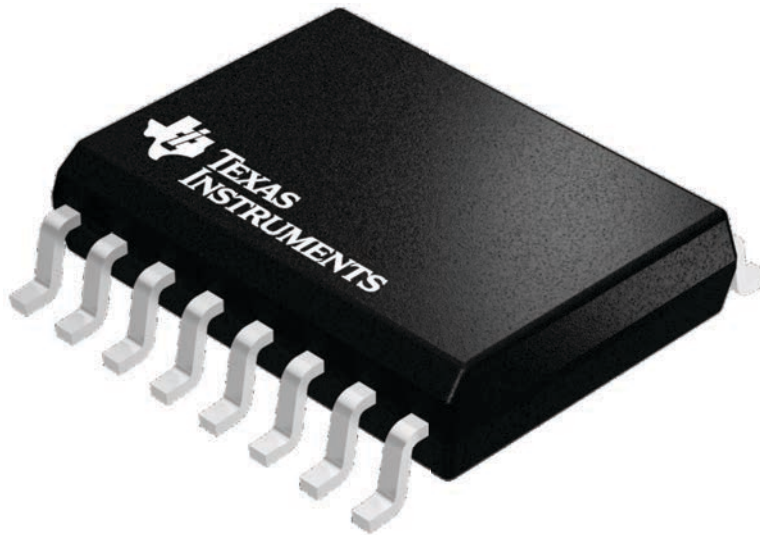
**DW 16**

**SOIC - 2.65 mm max height**

7.5 x 10.3, 1.27 mm pitch

SMALL OUTLINE INTEGRATED CIRCUIT

This image is a representation of the package family, actual package may vary.  
Refer to the product data sheet for package details.



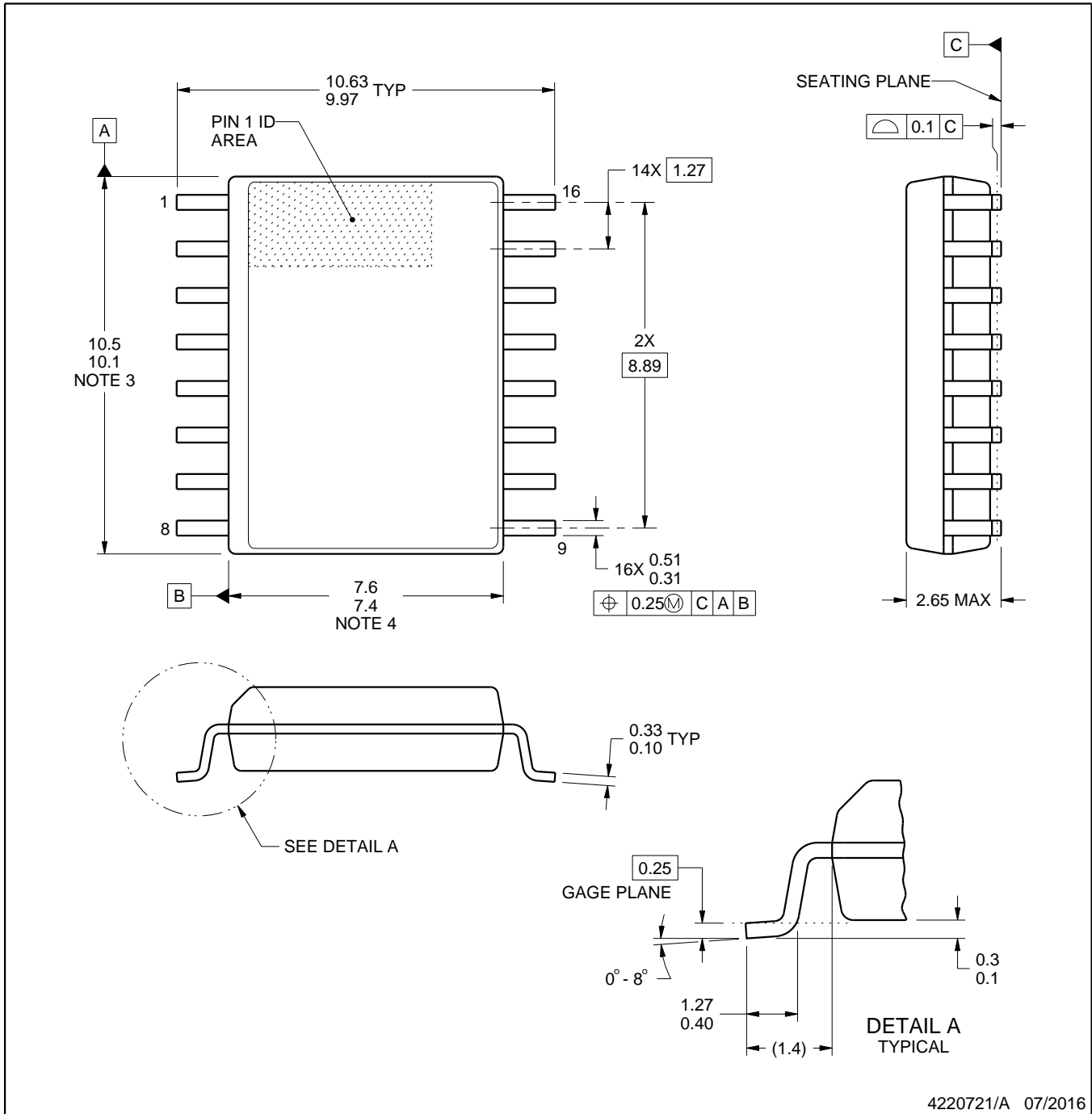
4224780/A



# DW0016A

# PACKAGE OUTLINE SOIC - 2.65 mm max height

SOIC



4220721/A 07/2016

### NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.
5. Reference JEDEC registration MS-013.

# EXAMPLE BOARD LAYOUT

DW0016A

SOIC - 2.65 mm max height

SOIC



LAND PATTERN EXAMPLE  
SCALE:7X



SOLDER MASK DETAILS

4220721/A 07/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

# EXAMPLE STENCIL DESIGN

DW0016A

SOIC - 2.65 mm max height

SOIC



SOLDER PASTE EXAMPLE  
BASED ON 0.125 mm THICK STENCIL  
SCALE:7X

4220721/A 07/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

## 重要なお知らせと免責事項

TI は、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](#) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265  
Copyright © 2024, Texas Instruments Incorporated