

# SN74LV4052A-Q1 オートモーティブデュアル4チャンネルアナログマルチプレクサ/デマルチプレクサ

## 1 特長

- 車載アプリケーション認定済み
- 以下の結果で AEC-Q100 認定済み:
  - デバイス温度グレード 1: 動作時周囲温度範囲  $-40^{\circ}\text{C} \sim +125^{\circ}\text{C}$
  - デバイス HBM ESD 分類レベル 2
  - デバイス CDM ESD 分類レベル C4B
- すべてのポートで混合モード電圧動作をサポート
- 高速スイッチング
- 高いオン/オフ出力電圧比
- スイッチ間の低いクロストーク
- 非常に低い入力電流

## 2 アプリケーション

- 車載:
  - 信号ゲーティング
  - チョッピング
  - 変調または復調 (モデム)
  - アナログ/デジタルおよびデジタル/アナログ変換システム用の信号多重化

## 3 概要

これらのデュアル 4 チャンネル CMOS アナログ マルチプレクサおよびデマルチプレクサは、 $1.0\text{V} \sim 5.5\text{V}$  の  $V_{\text{CC}}$  で動作するように設計されています。

SN74LV4052A-Q1 は、アナログとデジタルの両方の信号を扱います。各チャンネルは、最大  $5.5\text{V}$  (ピーク) までの振幅の信号を許容します。

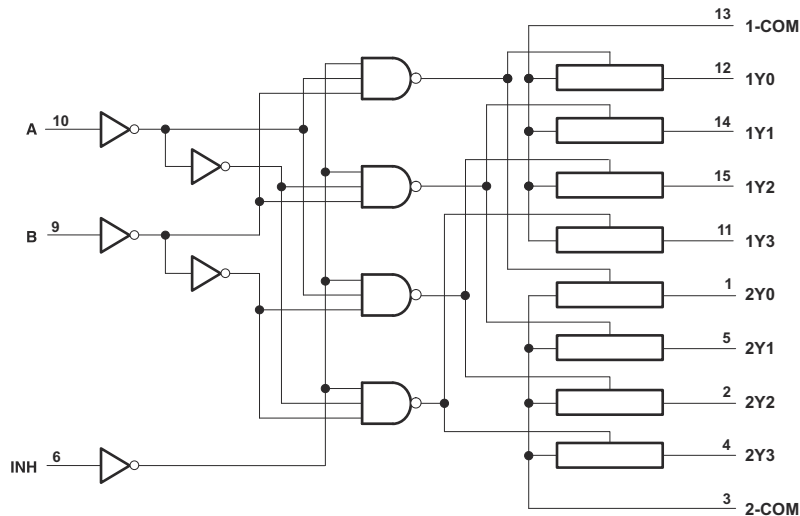
信号ゲーティング、チョッピング、変調または復調 (モデム)、およびアナログ/デジタルやデジタル/アナログ変換システム用の信号多重化などのアプリケーションに使用できます。

### パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ (2)
SN74LV4052A-Q1	PW (TSSOP, 16)	5mm × 6.4 mm
	DYY (SOT-23-THIN, 16)	4.2 mm × 3.26mm

(1) 詳細については、[セクション 11](#) を参照してください。

(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



論理図 (正論理)



## Table of Contents

<b>1 特長</b> .....	1	7.2 Functional Block Diagram.....	13
<b>2 アプリケーション</b> .....	1	7.3 Feature Description.....	13
<b>3 概要</b> .....	1	7.4 Device Functional Modes.....	13
<b>4 Pin Configuration and Functions</b> .....	3	<b>8 Application and Implementation</b> .....	14
<b>5 Specifications</b> .....	4	8.1 Application Information.....	14
5.1 Absolute Maximum Ratings.....	4	8.2 Typical Application.....	14
5.2 ESD Ratings.....	4	8.3 Power Supply Recommendations.....	15
5.3 Thermal Information: SN74LV4052A-Q1.....	4	8.4 Layout.....	15
5.4 Recommended Operating Conditions.....	5	<b>9 Device and Documentation Support</b> .....	16
5.5 Electrical Characteristics.....	5	9.1 ドキュメントの更新通知を受け取る方法.....	16
5.6 Timing Characteristics $V_{CC} = 2.5\text{ V} \pm 0.2\text{ V}$ .....	7	9.2 サポート・リソース.....	16
5.7 Timing Characteristics $V_{CC} = 3.3\text{ V} \pm 0.3\text{ V}$ .....	7	9.3 Trademarks.....	16
5.8 Timing Characteristics $V_{CC} = 5\text{ V} \pm 0.5\text{ V}$ .....	7	9.4 静電気放電に関する注意事項.....	16
5.9 AC Characteristics.....	8	9.5 用語集.....	16
<b>6 Parameter Measurement Information</b> .....	9	<b>10 Revision History</b> .....	16
<b>7 Detailed Description</b> .....	13	<b>11 Mechanical, Packaging, and Orderable Information</b> .....	17
7.1 Overview.....	13		

## 4 Pin Configuration and Functions

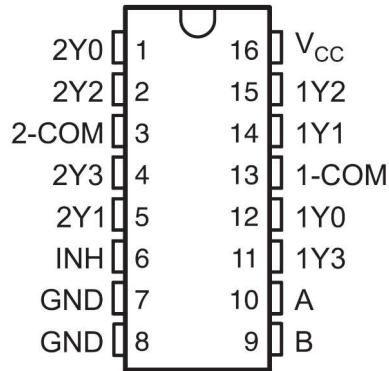


図 4-1. PW, DYY Package, 16-Pin TSSOP, SOT-23-THIN (Top View)

表 4-1. Pin Functions

PIN		TYPE <sup>(1) (2)</sup>	DESCRIPTION
NAME	NO.		
2Y0	1	I <sup>(1)</sup>	Input to mux 2
2Y2	2	I <sup>(1)</sup>	Input to mux 2
2-COM	3	O <sup>(1)</sup>	Output of mux 2
2Y3	4	I <sup>(1)</sup>	Input to mux 2
2Y1	5	I <sup>(1)</sup>	Input to mux 2
INH	6	I	Enables the outputs of the device. Logic low level with turn the outputs on, high level will turn them off.
GND	7	-	Ground
GND	8	-	Ground
B	9	I	Selector line for outputs (see <a href="#">セクション 7.4</a> for specific information)
A	10	I	Selector line for outputs (see <a href="#">セクション 7.4</a> for specific information)
1Y3	11	I <sup>(1)</sup>	Input to mux 1
1Y0	12	I <sup>(1)</sup>	Input to mux 1
1-COM	13	O <sup>(1)</sup>	Output of mux 1
1Y1	14	I <sup>(1)</sup>	Input to mux 1
1Y2	15	I <sup>(1)</sup>	Input to mux 1
V <sub>CC</sub>	16	I	Device power input

- (1) These I/O descriptions represent the device when used as a multiplexer, when this device is operated as a demultiplexer pins 1Y0, 1Y1, 1Y2, 1Y3, 2Y0, 2Y1, 2Y2, 2Y3 may be considered outputs (O) and pins 1-COM and 2-COM may be considered inputs (I).
- (2) I = input, O = output

## 5 Specifications

### 5.1 Absolute Maximum Ratings

over operating free-air temperature range (unless otherwise noted)<sup>(1) (3)</sup>

		MIN	MAX	UNIT	
V <sub>CC</sub>	Supply voltage	-0.5	7.0	V	
V <sub>I</sub>	Logic input voltage range	-0.5	7.0	V	
V <sub>IO</sub>	Switch I/O voltage range <sup>(2) (3)</sup>	-0.5	V <sub>CC</sub> + 0.5	V	
I <sub>IK</sub>	Input clamp current	V <sub>I</sub> < 0	-20	mA	
I <sub>IOK</sub>	Switch IO diode clamp current	V <sub>IO</sub> < 0 or V <sub>IO</sub> > V <sub>CC</sub>	-50	50	mA
I <sub>T</sub>	Switch continuous current	V <sub>IO</sub> = 0 to V <sub>CC</sub>	±25	mA	
	Continuous current through V <sub>CC</sub> or GND		±50	mA	
T <sub>stg</sub>	Storage temperature	-65	150	°C	

- (1) Operation outside the *Absolute Maximum Ratings* may cause permanent device damage. Absolute maximum ratings do not imply functional operation of the device at these or any other conditions beyond those listed under *Recommended Operating Conditions*. If briefly operating outside the *Recommended Operating Conditions* but within the *Absolute Maximum Ratings*, the device may not sustain damage, but it may not be fully functional. Operating the device in this manner may affect device reliability, functionality, performance, and shorten the device lifetime.
- (2) Pins are diode-clamped to the power-supply rails. Over voltage signals must be voltage and current limited to maximum ratings.
- (3) This value is limited to 5.5 V maximum

### 5.2 ESD Ratings

				VALUE	UNIT
V <sub>(ESD)</sub>	Electrostatic discharge	Human body model (HBM), per AEC Q100-002 <sup>(1)</sup>	All pins	±2000	V
V <sub>(ESD)</sub>	Electrostatic discharge	Charged device model (CDM), per AEC Q100-011	All pins	±500	V

- (1) AEC Q100-002 indicates that HBM stressing shall be in accordance with the ANSI/ESDA/JEDEC JS-001 specification.

### 5.3 Thermal Information: SN74LV4052A-Q1

THERMAL METRIC		SN74LV4052A-Q1	SN74LV4052A-Q1	UNIT
		PW (TSSOP)	DYY (SOT)	
		16 PINS	16 PINS	
R <sub>θJA</sub>	Junction-to-ambient thermal resistance	140.2	199.7	°C/W
R <sub>θJC(top)</sub>	Junction-to-case (top) thermal resistance	72.6	121.2	°C/W
R <sub>θJB</sub>	Junction-to-board thermal resistance	98.7	129.0	°C/W
Ψ <sub>JT</sub>	Junction-to-top characterization parameter	13.4	24.6	°C/W
Ψ <sub>JB</sub>	Junction-to-board characterization parameter	97.3	126.7	°C/W
R <sub>θJC(bot)</sub>	Junction-to-case (bottom) thermal resistance	N/A	N/A	°C/W

## 5.4 Recommended Operating Conditions

over operating free-air temperature range (unless otherwise noted)<sup>(1)</sup>

		MIN	NOM	MAX	UNIT
V <sub>CC</sub>	Supply voltage	1 <sup>(2)</sup>		5.5	V
V <sub>IH</sub>	High-level input voltage, logic control inputs	V <sub>CC</sub> = 1.65		5.5	V
		V <sub>CC</sub> = 2 V	1.5	5.5	
		V <sub>CC</sub> = 2.3 V to 2.7 V	V <sub>CC</sub> × 0.7	5.5	
		V <sub>CC</sub> = 3 V to 3.6 V	V <sub>CC</sub> × 0.7	5.5	
		V <sub>CC</sub> = 4.5 V to 5.5 V	V <sub>CC</sub> × 0.7	5.5	
V <sub>IL</sub>	Low-level input voltage, logic control inputs	V <sub>CC</sub> = 1.65 V	0	0.4	V
		V <sub>CC</sub> = 2	0	0.5	
		V <sub>CC</sub> = 2.3V to 2.7V	0	V <sub>CC</sub> × 0.3	
		V <sub>CC</sub> = 3 V to 3.6 V	0	V <sub>CC</sub> × 0.3	
		V <sub>CC</sub> = 4.5 V to 5.5 V	0	V <sub>CC</sub> × 0.3	
V <sub>I</sub>	Logic control input voltage	0		5.5	V
V <sub>IO</sub>	Switch input or output voltage	0		V <sub>CC</sub>	V
Δt/ΔV	Logic input transition rise or fall rate	V <sub>CC</sub> = 1.0 V to 2.0 V		500	ns/V
		V <sub>CC</sub> = 2.0 V to 2.7 V		200	
		V <sub>CC</sub> = 3 V to 3.6 V		100	
		V <sub>CC</sub> = 4.5 V to 5.5 V		20	
T <sub>A</sub>	Ambient temperature	-40		125	°C

- (1) All unused inputs of the device must be held at V<sub>CC</sub> or GND to ensure proper device operation. Refer to TI application report *Implications of Slow or Floating CMOS Inputs*, SCBA004.
- (2) When using a V<sub>CC</sub> of ≤1.2 V, it is recommended to use these devices only for transmitting digital signals. When supply voltage is near 1.2 V the analog switch ON resistance becomes very non-linear

## 5.5 Electrical Characteristics

over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	Condition	T <sub>A</sub>	V <sub>CC</sub>	MIN	TYP	MAX	UNIT
r <sub>ON</sub>	ON-state switch resistance	I <sub>T</sub> = 2 mA, V <sub>I</sub> = V <sub>CC</sub> or GND, V <sub>INH</sub> = V <sub>IL</sub>	1.65 V	25°C	60	150	Ω
				-40°C to 85°C		225	
				-40°C to 125°C		225	
			2.3 V	25°C	38	180	
				-40°C to 85°C		225	
				-40°C to 125°C		225	
			3 V	25°C	30	150	
				-40°C to 85°C		190	
				-40°C to 125°C		190	
			4.5 V	25°C	22	75	
				-40°C to 85°C		100	
				-40°C to 125°C		100	

## 5.5 Electrical Characteristics (続き)

over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	Condition	T <sub>A</sub>	V <sub>CC</sub>	MIN	TYP	MAX	UNIT
r <sub>ON(p)</sub>	Peak ON-state resistance I <sub>T</sub> = 2 mA, V <sub>I</sub> = GND to V <sub>CC</sub> , V <sub>INH</sub> = V <sub>IL</sub>	25°C	1.65 V		220	600	Ω
		-40°C to 85°C				700	
		-40°C to 125°C				700	
		25°C	2.3 V		113	500	
		-40°C to 85°C				600	
		-40°C to 125°C				600	
		25°C	3 V		54	180	
		-40°C to 85°C				225	
		-40°C to 125°C				225	
		25°C	4.5 V		31	100	
		-40°C to 85°C				125	
		-40°C to 125°C				125	
Δr <sub>ON</sub>	Difference in ON-state resistance between switches I <sub>T</sub> = 2 mA, V <sub>I</sub> = GND to V <sub>CC</sub> , V <sub>INH</sub> = V <sub>IL</sub>	25°C	1.65 V		3	40	Ω
		-40°C to 85°C				40	
		-40°C to 125°C				40	
		25°C	2.3 V		2.1	30	
		-40°C to 85°C				40	
		-40°C to 125°C				40	
		25°C	3 V		1.4	20	
		-40°C to 85°C				30	
		-40°C to 125°C				30	
		25°C	4.5 V		1.3	15	
		-40°C to 85°C				20	
		-40°C to 125°C				20	
I <sub>IH</sub> I <sub>IL</sub>	Control input current V <sub>I</sub> = 5.5 V or GND	25°C	0 to 5.5 V	-0.1		0.1	μA
		-40°C to 85°C		-1		1	
		-40°C to 125°C		-2		2	
I <sub>S(off)</sub>	OFF-state switch leakage current V <sub>I</sub> = V <sub>CC</sub> and V <sub>O</sub> = GND, or V <sub>I</sub> = GND and V <sub>O</sub> = V <sub>CC</sub> , V <sub>INH</sub> = V <sub>IH</sub>	25°C	5.5 V	-0.1		0.1	μA
		-40°C to 85°C		-1		1	
		-40°C to 125°C		-2		2	
I <sub>S(on)</sub>	ON-state switch leakage current V <sub>I</sub> = V <sub>CC</sub> or GND, V <sub>INH</sub> = V <sub>IL</sub>	25°C	5.5 V	-0.1		0.1	μA
		-40°C to 85°C		-1		1	
		-40°C to 125°C		-2		2	
I <sub>CC</sub>	Supply current V <sub>I</sub> = V <sub>CC</sub> or GND V <sub>INH</sub> = 0 V	25°C	5.5 V		0.01		μA
		-40°C to 85°C				20	
		-40°C to 125°C				40	
C <sub>IC</sub>	Control input capacitance f = 10 MHz	25°C	3.3 V		2		pF
C <sub>IS</sub>	Common terminal capacitance f = 10 MHz	25°C	3.3 V		13.2		pF
C <sub>OS</sub>	Switch terminal capacitance f = 10 MHz	25°C	3.3 V		5.7		pF
C <sub>F</sub>	Feedthrough capacitance f = 10 MHz	25°C	3.3 V		0.5		pF

## 5.5 Electrical Characteristics (続き)

over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER		Condition	T <sub>A</sub>	V <sub>CC</sub>	MIN	TYP	MAX	UNIT
C <sub>PD</sub>	Power dissipation capacitance	C <sub>L</sub> = 50 pF, f = 10 MHz	25°C	3.3 V		11.8		pF

## 5.6 Timing Characteristics V<sub>CC</sub> = 2.5 V ± 0.2 V

PARAMETER		FROM (INPUT)	TO (OUTPUT)	CONDITIONS	T <sub>A</sub>	MIN	TYP	MAX	UNIT
t <sub>PLH</sub> t <sub>PHL</sub>	Propagation delay time	COM or Yn	Yn or COM	C <sub>L</sub> = 15 pF	25°C		1.9	10	ns
					-40°C to 85°C			16	
					-40°C to 125°C			18	
t <sub>PZH</sub> t <sub>PZL</sub>	Enable delay time	INH	COM or Yn	C <sub>L</sub> = 15 pF	25°C		6.6	18	ns
					-40°C to 85°C			23	
					-40°C to 125°C			25	
t <sub>PHZ</sub> t <sub>PLZ</sub>	Disable delay time	INH	COM or Yn	C <sub>L</sub> = 15 pF	25°C		7.4	18	ns
					-40°C to 85°C			23	
					-40°C to 125°C			25	
t <sub>PLH</sub> t <sub>PHL</sub>	Propagation delay time	COM or Yn	Yn or COM	C <sub>L</sub> = 50 pF	25°C		3.8	12	ns
					-40°C to 85°C			18	
					-40°C to 125°C			20	
t <sub>PZH</sub> t <sub>PZL</sub>	Enable delay time	INH	COM or Yn	C <sub>L</sub> = 50 pF	25°C		7.8	28	ns
					-40°C to 85°C			35	
					-40°C to 125°C			35	
t <sub>PHZ</sub> t <sub>PLZ</sub>	Disable delay time	INH	COM or Yn	C <sub>L</sub> = 50 pF	25°C		11.5	28	ns
					-40°C to 85°C			35	
					-40°C to 125°C			35	

## 5.7 Timing Characteristics V<sub>CC</sub> = 3.3 V ± 0.3 V

PARAMETER		FROM (INPUT)	TO (OUTPUT)	CONDITIONS	T <sub>A</sub>	MIN	TYP	MAX	UNIT
t <sub>PLH</sub> t <sub>PHL</sub>	Propagation delay time	COM or Yn	Yn or COM	C <sub>L</sub> = 50 pF	25°C		2.5	9	ns
					-40°C to 85°C			12	
					-40°C to 125°C			14	
t <sub>PZH</sub> t <sub>PZL</sub>	Enable delay time	INH	COM or Yn	C <sub>L</sub> = 50 pF	25°C		5.5	20	ns
					-40°C to 85°C			25	
					-40°C to 125°C			25	
t <sub>PHZ</sub> t <sub>PLZ</sub>	Disable delay time	INH	COM or Yn	C <sub>L</sub> = 50 pF	25°C		8.8	20	ns
					-40°C to 85°C			25	
					-40°C to 125°C			25	

## 5.8 Timing Characteristics V<sub>CC</sub> = 5 V ± 0.5 V

PARAMETER		FROM (INPUT)	TO (OUTPUT)	CONDITIONS	T <sub>A</sub>	MIN	TYP	MAX	UNIT
t <sub>PLH</sub> t <sub>PHL</sub>	Propagation delay time	COM or Yn	Yn or COM	C <sub>L</sub> = 50 pF	25°C		1.5	6	ns
					-40°C to 85°C			8	
					-40°C to 125°C			10	

## 5.8 Timing Characteristics $V_{CC} = 5 V \pm 0.5 V$ (続き)

PARAMETER		FROM (INPUT)	TO (OUTPUT)	CONDITIONS	$T_A$	MIN	TYP	MAX	UNIT
$t_{PZH}$ $t_{PZL}$	Enable delay time	INH	COM or Yn	$C_L = 50 \text{ pF}$	25°C		4	14	ns
					-40°C to 85°C			18	
					-40°C to 125°C			18	
$t_{PHZ}$ $t_{PLZ}$	Disable delay time	INH	COM or Yn	$C_L = 50 \text{ pF}$	25°C		6.2	14	ns
					-40°C to 85°C			18	
					-40°C to 125°C			18	

## 5.9 AC Characteristics

PARAMETER	FROM (INPUT)	TO (OUTPUT)	Device	CONDITIONS	MIN	TYP	MAX	UNIT
Frequency response (switch on)	COM or Yn	Yn or COM	SN74LV4052	$C_L = 50 \text{ pF}$ , $R_L = 600 \Omega$ , $F_{in} = 1 \text{ MHz}$ (sine wave)	$V_{CC} = 2.3 \text{ V}$		30	MHz
					$V_{CC} = 3 \text{ V}$		35	
					$V_{CC} = 4.5 \text{ V}$		50	
Feedthrough attenuation (switch off)	COM or Yn	Yn or COM	ALL	$C_L = 50 \text{ pF}$ , $R_L = 600 \Omega$ , $F_{in} = 1 \text{ MHz}$ (sine wave)	$V_{CC} = 2.3 \text{ V}$		-45	dB
					$V_{CC} = 3 \text{ V}$		-45	
					$V_{CC} = 4.5 \text{ V}$		-45	
Crosstalk (between any switches)	COM or Yn	Yn or COM	ALL	$C_L = 50 \text{ pF}$ , $R_L = 600 \Omega$ , $F_{in} = 1 \text{ MHz}$ (sine wave)	$V_{CC} = 2.3 \text{ V}$		20	mV
					$V_{CC} = 3 \text{ V}$		35	
					$V_{CC} = 4.5 \text{ V}$		60	
Sine-wave distortion	COM or Yn	Yn or COM	ALL	$C_L = 50 \text{ pF}$ , $R_L = 10 \text{ k}\Omega$ , $F_{in} = 1 \text{ kHz}$ (sine wave)	$V_I = 2 \text{ V}_{p-p}$ , $V_{CC} = 2.3 \text{ V}$		0.1	%
					$V_I = 2.5 \text{ V}_{p-p}$ , $V_{CC} = 3 \text{ V}$		0.1	
					$V_I = 4 \text{ V}_{p-p}$ , $V_{CC} = 4.5 \text{ V}$		0.1	



## 6 Parameter Measurement Information

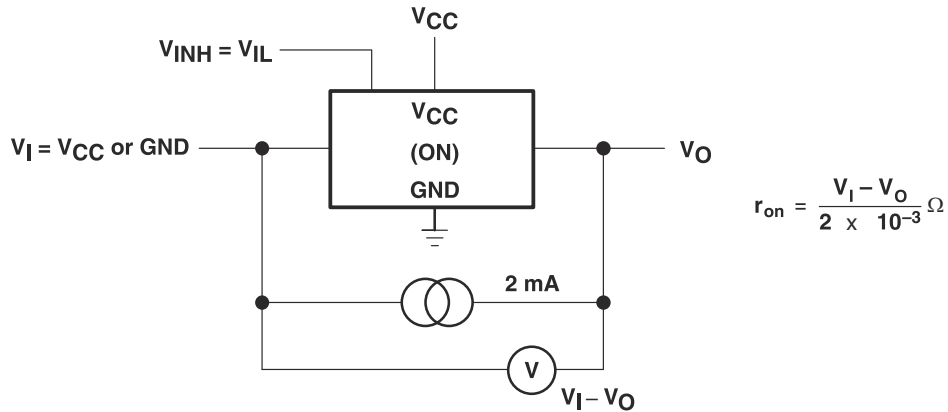


图 6-1. On-State Resistance Test Circuit

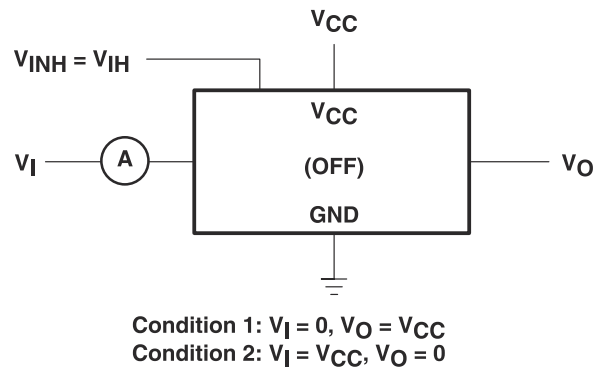


图 6-2. Off-State Switch Leakage-Current Test Circuit

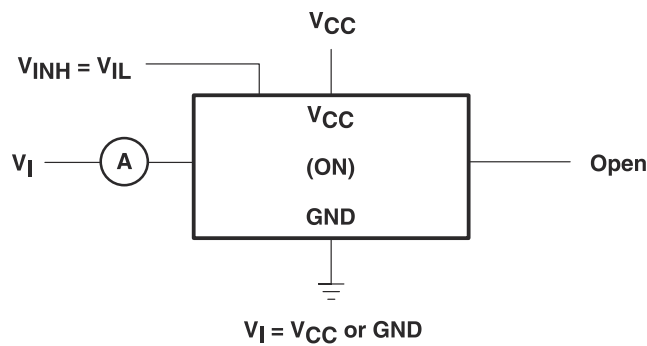


图 6-3. On-State Switch Leakage-Current Test Circuit

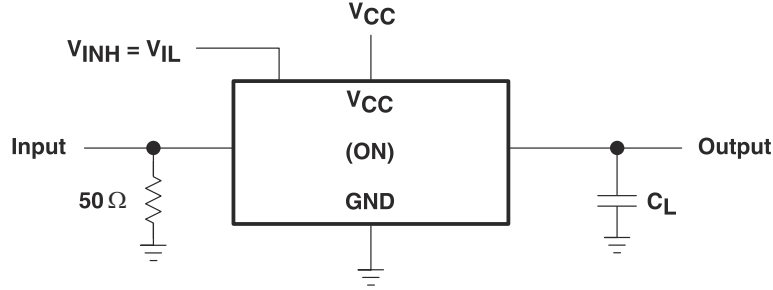
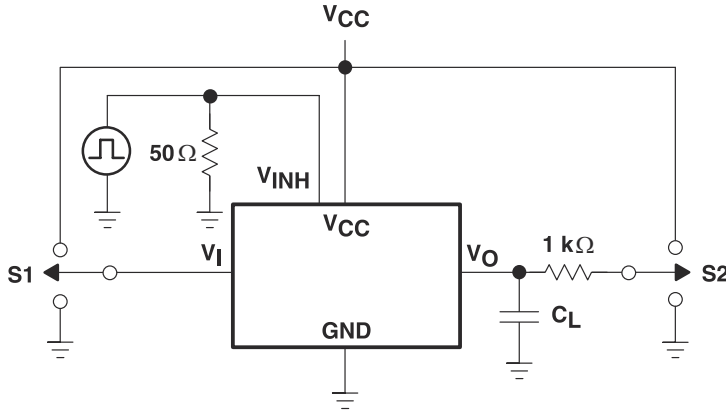


図 6-4. Propagation Delay Time, Signal Input to Signal Output



TEST	S1	S2
$t_{PLZ}/t_{PZL}$	GND	$V_{CC}$
$t_{PHZ}/t_{PZH}$	$V_{CC}$	GND

TEST CIRCUIT

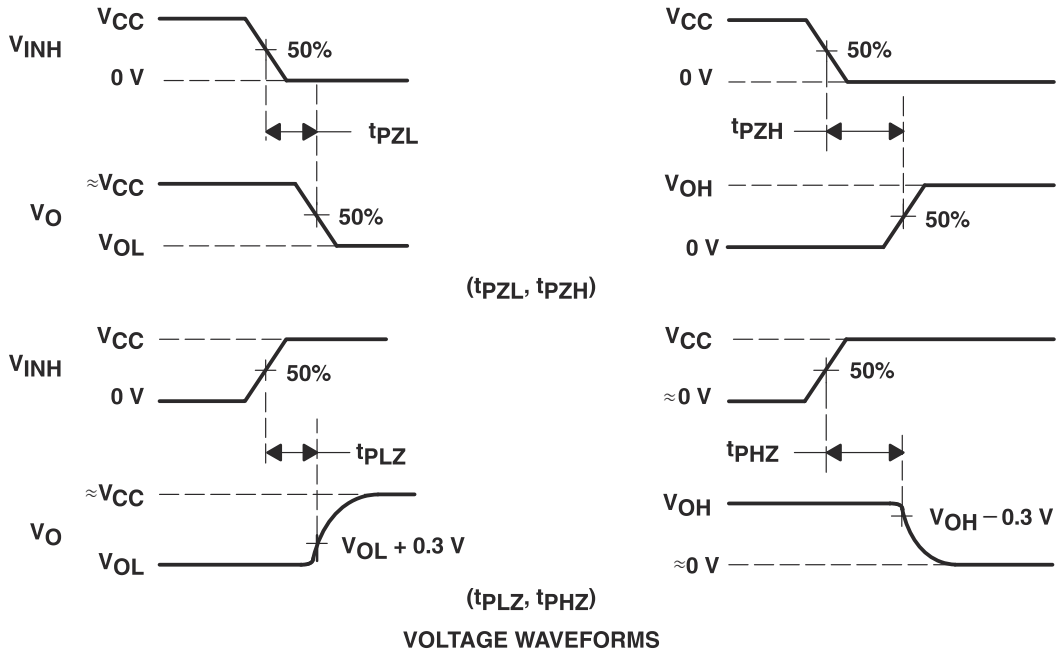
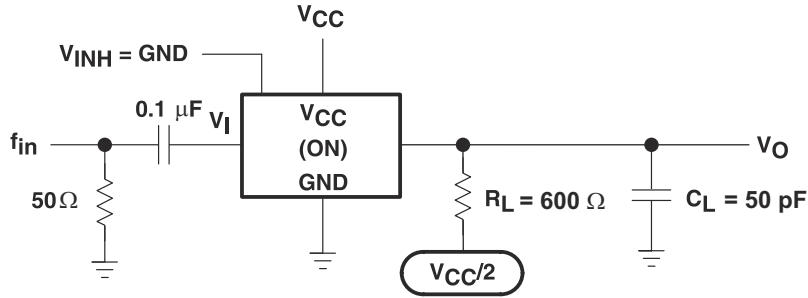
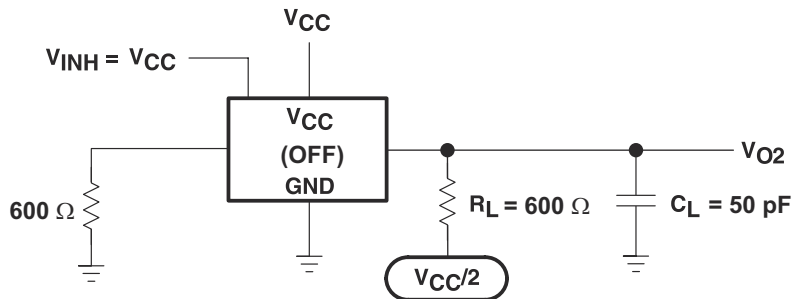
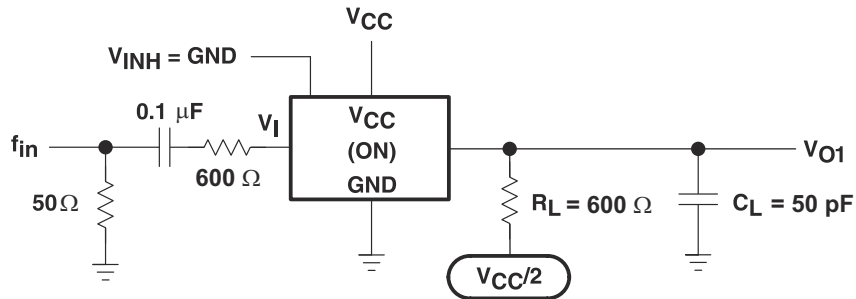


図 6-5. Switching Time ( $t_{PZL}$ ,  $t_{PLZ}$ ,  $t_{PZH}$ ,  $t_{PHZ}$ ), Control to Signal Output

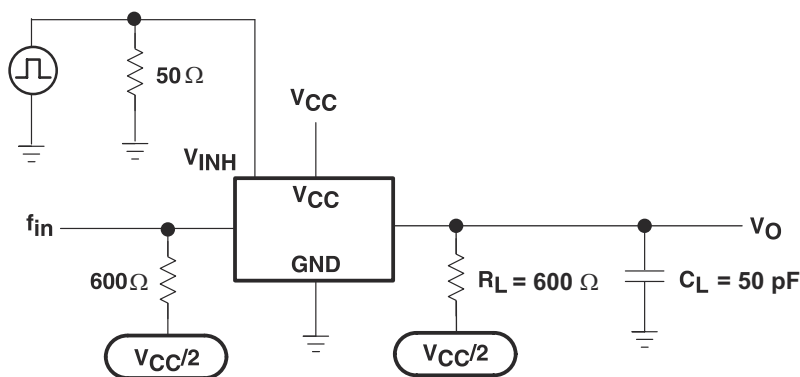


NOTE A:  $f_{in}$  is a sine wave.

**図 6-6. Frequency Response (Switch On)**



**図 6-7. Crosstalk Between Any Two Switches**



**図 6-8. Crosstalk Between Control Input and Switch Output**

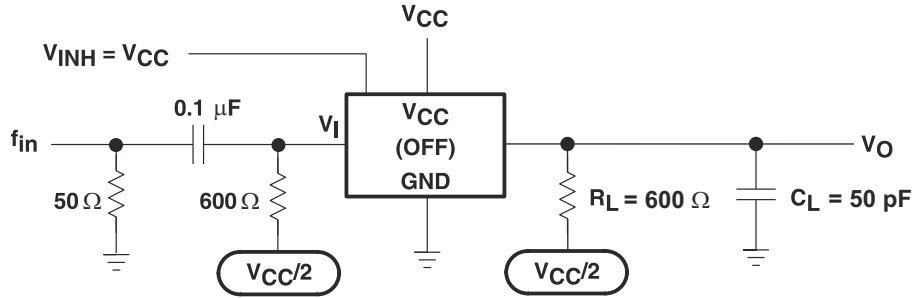


図 6-9. Feedthrough Attenuation (Switch Off)

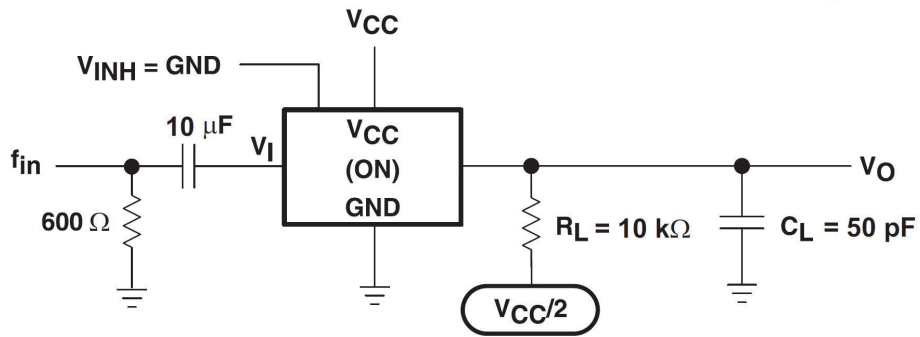


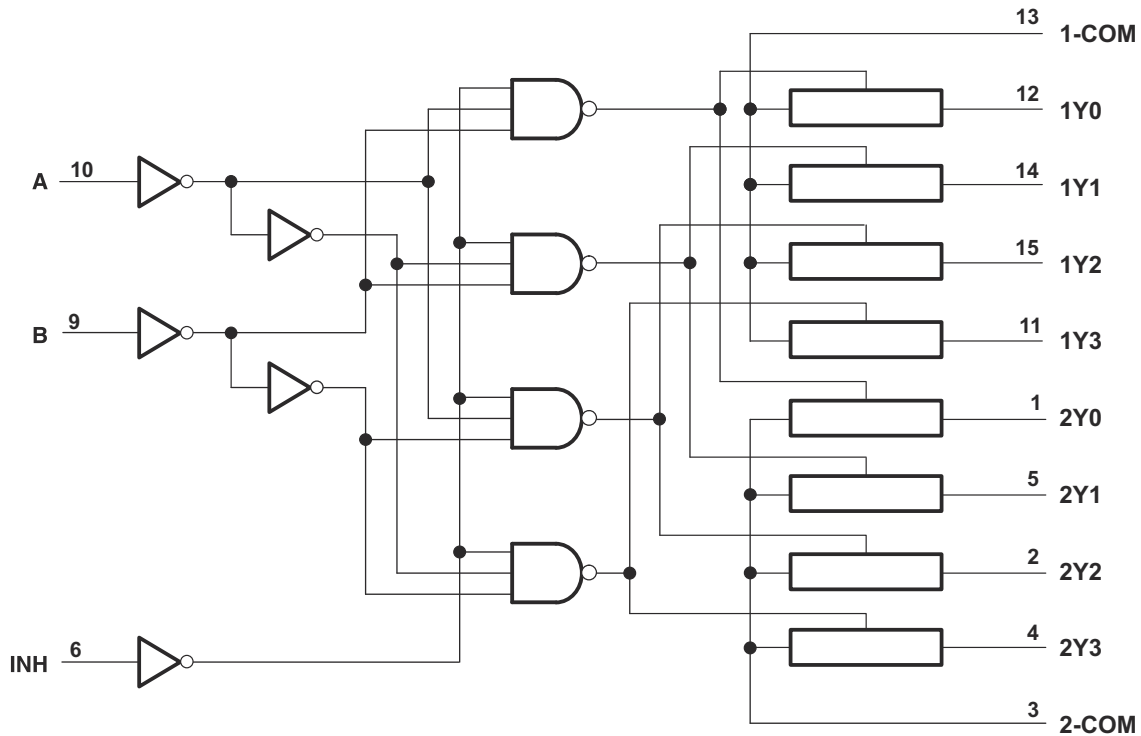
図 6-10. Sine-Wave Distortion

## 7 Detailed Description

### 7.1 Overview

This device is a dual 4-channel analog multiplexer. A multiplexer is often used when several signals need to share the same device or resource. This device allows the selection of one of these signals at a time for analysis or propagation.

### 7.2 Functional Block Diagram



### 7.3 Feature Description

This device contains 2 separate 4-channel multiplexers for use in a variety of applications. The 4-channel multiplexers can also be configured as demultiplexers by using the COM pins as inputs and the 1Yx or 2Yx pins as outputs. This device is qualified for automotive applications and has an extended temperature range of -40°C to 125°C (maximum depends on package type).

### 7.4 Device Functional Modes

表 7-1. Function Table

INPUTS			ON CHANNEL
INH	B	A	
L	L	L	1Y0, 2Y0
L	L	H	1Y1, 2Y1
L	H	L	1Y2, 2Y2
L	H	H	1Y3, 2Y3
H	X	X	None

## 8 Application and Implementation

### 注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくこととなります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

### 8.1 Application Information

A multiplexer is used in applications where multiple signals share a resource. In the following example, several different sensors are connected to the analog-to-digital converter (ADC) of a microcontroller (MCU).

### 8.2 Typical Application

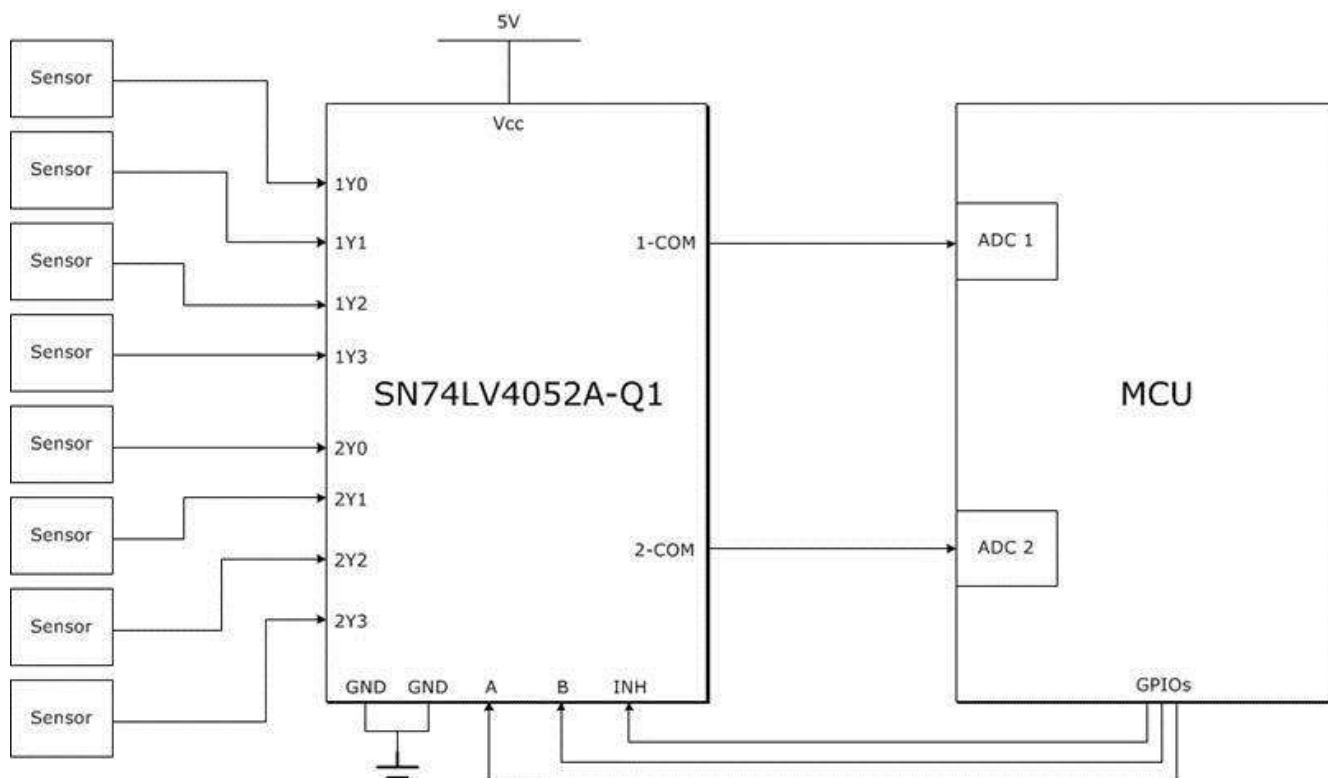


図 8-1. Typical Application Schematic

#### 8.2.1 Design Requirements

Processing 8 different analog signals would normally require 8 separate ADCs, but the previous figure shows how to achieve this using only 2 ADCs and 3 GPIOs (general purpose input/outputs).

#### 8.2.2 Detailed Design Procedure

To design with the SN74LV4052A-Q1, a stable input voltage between 2V (see *Recommended Operating Conditions* for details) and 5.5V must be available. The characteristics of the signal that is being multiplexed so that no important information is lost due to timing or voltage level incompatibility with this device is another important design consideration.

### 8.3 Power Supply Recommendations

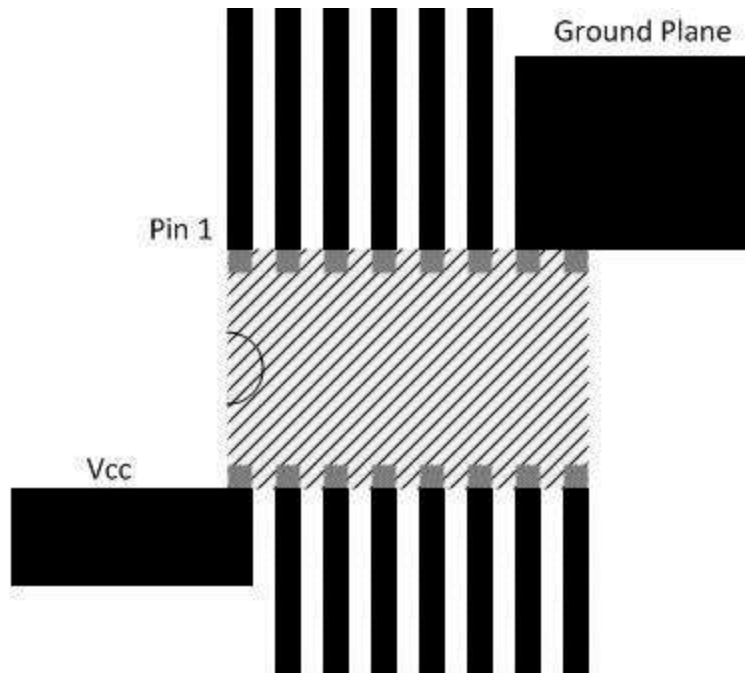
Most systems have a common 3.3V or 5V rail that may be used to supply the  $V_{CC}$  pin of this device. If this is not available, then a Switch-Mode-Power-Supply (SMPS) or a Linear Dropout Regulator (LDO) may be used to supply this device from a higher voltage rail.

### 8.4 Layout

#### 8.4.1 Layout Guidelines

In general, it is best to keep signal lines as short and as straight as possible. Incorporation of microstrip or stripline techniques is also recommended when signal lines are greater than 1 inch in length. These traces must be designed with a characteristic impedance of either  $50\Omega$  or  $75\Omega$ , as required by the application. Be careful when placing this device too close to high voltage switching components, as they may cause interference.

#### 8.4.2 Layout Example



8-2. Layout Example Schematic

## 9 Device and Documentation Support

### 9.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、[www.tij.co.jp](http://www.tij.co.jp) のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

### 9.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

### 9.3 Trademarks

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

### 9.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

### 9.5 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

## 10 Revision History

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision I (October 2024) to Revision J (October 2024)	Page
• Removed duplicate <a href="#">図 6-9</a> .....	9

Changes from Revision H (September 2024) to Revision I (October 2024)	Page
• Added 50mA to the Switch IO diode clamp current.....	4
• Added typical spec for $I_{CC}$ at 25°C.....	5
• Added typical spec for $C_{IS}$ at 25°C.....	5

Changes from Revision G (June 2024) to Revision H (September 2024)	Page
• DYY パッケージとサイズを追加.....	1
• Added DYY package.....	3

Changes from Revision F (December 2014) to Revision G (June 2024)	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1
• パッケージリード線を含めるよう「パッケージ情報」表を更新.....	1



- 
- Added new VIH and VIL Specifications at 1.65V Vcc.....5
- 

## 11 Mechanical, Packaging, and Orderable Information

The following pages include mechanical, packaging, and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser-based versions of this data sheet, refer to the left-hand navigation.

## 重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2024, Texas Instruments Incorporated

**PACKAGING INFORMATION**

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
CLV4052ATPWRG4Q1	OBSOLETE	TSSOP	PW	16		TBD	Call TI	Call TI	-40 to 105	L4052AQ	
SN74LV4052AQDYRQ1	ACTIVE	SOT-23-THIN	DYY	16	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LV4052Q	Samples
SN74LV4052AQPWRQ1	ACTIVE	TSSOP	PW	16	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	4052AQ1	Samples
SN74LV4052ATDRQ1	NRND	SOIC	D	16	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 105	L4052AQ	
SN74LV4052ATPWRQ1	OBSOLETE	TSSOP	PW	16		TBD	Call TI	Call TI	-40 to 105	L4052AQ	

(1) The marketing status values are defined as follows:

**ACTIVE:** Product device recommended for new designs.

**LIFEBUY:** TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

**NRND:** Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

**PREVIEW:** Device has been announced but is not in production. Samples may or may not be available.

**OBSOLETE:** TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

**RoHS Exempt:** TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

**Green:** TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

**Important Information and Disclaimer:** The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and

continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

**OTHER QUALIFIED VERSIONS OF SN74LV4052A-Q1 :**

- Catalog : [SN74LV4052A](#)
- Enhanced Product : [SN74LV4052A-EP](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product
- Enhanced Product - Supports Defense, Aerospace and Medical Applications

**TAPE AND REEL INFORMATION**

**QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE**


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74LV4052AQDYRQ1	SOT-23-THIN	DYY	16	3000	330.0	12.4	4.8	3.6	1.6	8.0	12.0	Q3
SN74LV4052AQPWRQ1	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74LV4052AQPWRQ1	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

**TAPE AND REEL BOX DIMENSIONS**


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74LV4052AQDYRQ1	SOT-23-THIN	DYY	16	3000	336.6	336.6	31.8
SN74LV4052AQPWRQ1	TSSOP	PW	16	2000	353.0	353.0	32.0
SN74LV4052AQPWRQ1	TSSOP	PW	16	2000	356.0	356.0	35.0





4220204/A 02/2017

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



# EXAMPLE BOARD LAYOUT

PW0016A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE: 10X



4220204/A 02/2017

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

# EXAMPLE STENCIL DESIGN

PW0016A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

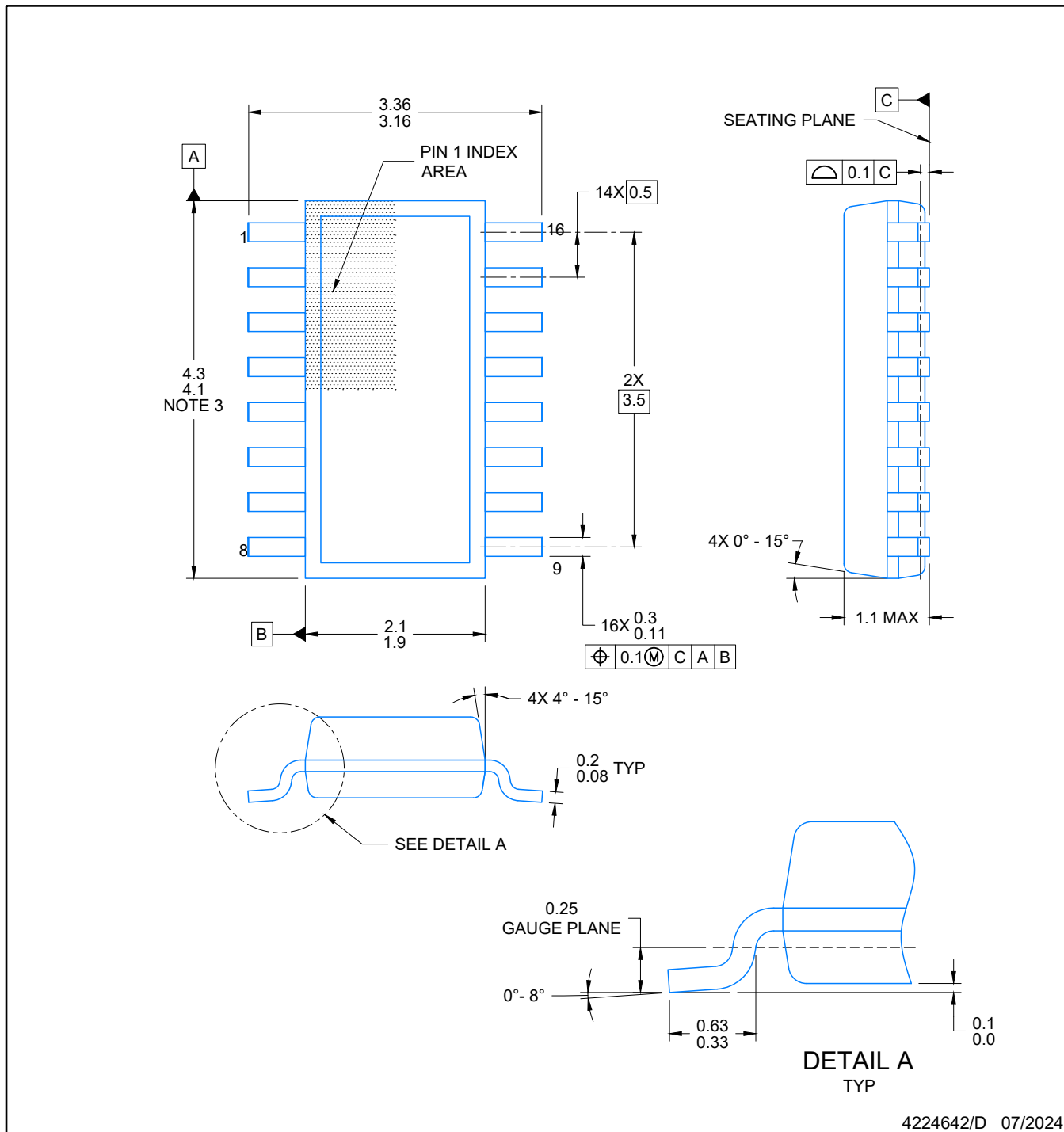


SOLDER PASTE EXAMPLE  
BASED ON 0.125 mm THICK STENCIL  
SCALE: 10X

4220204/A 02/2017

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.



4224642/D 07/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.50 per side.
5. Reference JEDEC Registration MO-345, Variation AA



LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE: 20X



4224642/D 07/2024

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE  
BASED ON 0.125 mm THICK STENCIL  
SCALE: 20X

4224642/D 07/2024

NOTES: (continued)

- 8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
- 9. Board assembly site may have different recommendations for stencil design.

## 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](#) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265  
Copyright © 2024, Texas Instruments Incorporated