

SN74LVC10A トリプル 3 入力正論理 NAND ゲート

1 特長

- 1.65V～3.6V で動作
- -40°C～85°Cと
-40°C～125°Cで動作が規定
- 5.5V までの入力電圧に対応
- 最大 t_{pd} 4.9ns (3.3V 時)
- V_{OLP} 標準値 (出力グランド バウンス)
< 0.8V ($V_{CC} = 3.3V$, $T_A = 25^\circ C$)
- V_{OHV} 標準値 (出力 V_{OH} アンダーシュート)
> 2V ($V_{CC} = 3.3V$, $T_A = 25^\circ C$)
- JESD 17 準拠で 250 mA 超のラッチアップ性能
- JESD 22 を上回る ESD 保護
 - 2000V、人体モデル (A114-A)

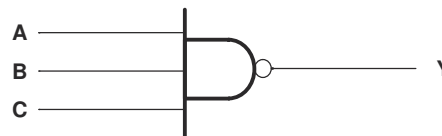
2 概要

このトリプル 3 入力正論理 NAND ゲートは、1.65V～3.6V の V_{CC} で動作するように設計されています。

パッケージ情報

部品番号	パッケージサイズ ⁽¹⁾	パッケージサイズ ⁽²⁾	本体サイズ ⁽³⁾
SN74LVC10A	BQA (WQFN, 14)	3mm × 2.5mm	3mm × 2.5mm
	D (SOIC, 14)	8.65mm × 6mm	8.65mm × 3.9mm
	DB (SSOP, 14)	6.2mm × 7.8mm	6.2mm × 5.3mm
	NS (SOP, 14)	10.2mm × 7.8mm	10.3mm × 5.3mm
	PW (TSSOP, 14)	5mm × 6.4mm	5mm × 4.4mm
	RGY (VQFN, 14)	3.5mm × 3.5mm	3.5mm × 3.5mm

- (1) 詳細については、[セクション 10](#) を参照してください。
- (2) パッケージサイズ (長さ×幅) は公称値であり、該当する場合はピンも含まれます。
- (3) 本体サイズ (長さ×幅) は公称値であり、ピンは含まれません。



各ゲートの論理図 (正論理)



目次

1 特長.....	1	6.2 機能ブロック図.....	8
2 概要.....	1	6.3 デバイスの機能モード.....	8
3 ピン構成および機能.....	3	7 アプリケーションと実装.....	9
4 仕様.....	4	7.1 電源に関する推奨事項.....	9
4.1 絶対最大定格.....	4	7.2 レイアウト.....	9
4.2 ESD 定格.....	4	8 デバイスおよびドキュメントのサポート.....	10
4.3 推奨動作条件.....	4	8.1 ドキュメントのサポート (アナログ).....	10
4.4 熱に関する情報.....	5	8.2 ドキュメントの更新通知を受け取る方法.....	10
4.5 電気的特性.....	5	8.3 サポート・リソース.....	10
4.6 スイッチング特性.....	5	8.4 商標.....	10
4.7 動作特性.....	6	8.5 静電気放電に関する注意事項.....	10
5 パラメータ測定情報.....	7	8.6 用語集.....	10
6 詳細説明.....	8	9 改訂履歴.....	10
6.1 概要.....	8	10 メカニカル、パッケージ、および注文情報.....	11

3 ピン構成および機能

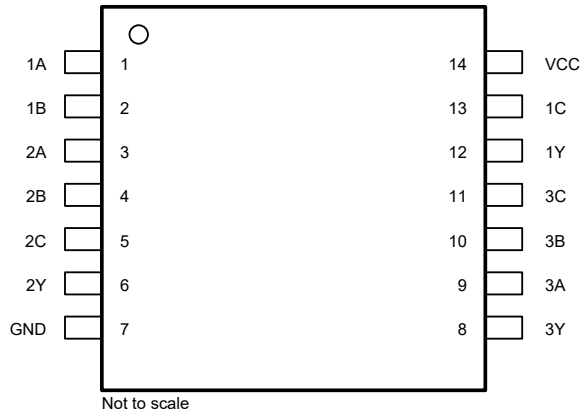


図 3-1. SN74LVC10A D、DB、NS または PW パッケージ、14 ピン SOIC、SSOP、SOP または TSSOP (上面図)

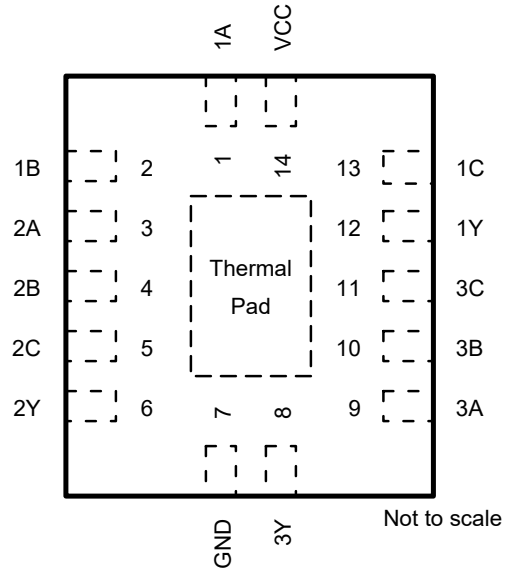


図 3-2. SN74LVC10A BQA パッケージ、14 ピン WQFN (上面図)

表 3-1. ピンの機能

ピン		I/O ⁽¹⁾	説明
名称	番号		
1A	1	入力	チャンネル 1、入力 A
1B	2	入力	チャンネル 1、入力 B
2A	3	入力	チャンネル 2、入力 A
2B	4	入力	チャンネル 2、入力 B
2C	5	入力	チャンネル 2、入力 C
2Y	6	出力	チャンネル 2、出力 Y
GND	7	—	グラウンド
3Y	8	出力	チャンネル 3、出力 Y
3A	9	入力	チャンネル 3、入力 A
3B	10	入力	チャンネル 3、入力 B
3C	11	入力	チャンネル 3、入力 C
1Y	12	出力	チャンネル 1、出力 Y
1C	13	入力	チャンネル 1、入力 C
V _{CC}	14	—	正の電源
サーマル・パッド		—	正しい動作のため、GND ピンは露出したサーマルパッドに接続します。このサーマルパッドは、複数のビアを使用して内部の任意の PCB グラウンドプレーンに接続し、優れた熱特性を実現できます。

(1) I = 入力、O = 出力、P = 電源、FB = フィードバック、GND = グラウンド、N/A = 該当なし

4 仕様

4.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	最大値	単位
V_{CC}	電源電圧範囲	-0.5	6.5	V
V_I	入力電圧範囲 ⁽¹⁾	-0.5	6.5	V
V_O	出力電圧範囲 ^{(1) (2)}	-0.5	$V_{CC} + 0.5$	V
I_{IK}	入力クランプ電流	$V_I < 0$		-50 mA
I_{OK}	出力クランプ電流	$V_O < 0$		-50 mA
I_O	連続出力電流			±50 mA
V_{CC} または GND を通過する連続電流				±100 mA
T_{stg}	保管温度範囲	-65	150	°C
P_{tot}	消費電力	$T_A = -40^{\circ}\text{C} \sim 125^{\circ}\text{C}^{(3) (4)}$		500 mW

(1) 入力電流と出力電流の定格を遵守していても、入力と出力の負電圧の定格を超える可能性があります。

(2) V_{CC} の値は、「推奨動作条件」の表に記載されています。

(3) D パッケージの場合: 70°C を上回ると、 P_{tot} の値は 8mW/K で線形的に低下します。

(4) DB、NS、PW パッケージの場合: 60°C を上回ると、 P_{tot} の値は 5.5mW/K で線形的に低下します。

4.2 ESD 定格

		値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	±2000 V

(1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

4.3 推奨動作条件

		$T_A = 25^{\circ}\text{C}$		$-40 \sim 85^{\circ}\text{C}$		$-40 \sim 125^{\circ}\text{C}$		単位	
		最小値	最大値	最小値	最大値	最小値	最大値		
V_{CC}	電源電圧	動作	1.65	3.6	1.65	3.6	1.65	3.6	V
		データ保持のみ	1.5		1.5		1.5		
V_{IH}	High レベル入力電圧	$V_{CC} = 1.65\text{V} \sim 1.95\text{V}$	$0.65 \times V_{CC}$		$0.65 \times V_{CC}$		$0.65 \times V_{CC}$		V
		$V_{CC} = 2.3\text{V} \sim 2.7\text{V}$	1.7		1.7		1.7		
		$V_{CC} = 2.7\text{V} \sim 3.6\text{V}$	2		2		2		
V_{IL}	Low レベル入力電圧	$V_{CC} = 1.65\text{V} \sim 1.95\text{V}$	$0.35 \times V_{CC}$		$0.35 \times V_{CC}$		$0.35 \times V_{CC}$		V
		$V_{CC} = 2.3\text{V} \sim 2.7\text{V}$	0.7		0.7		0.7		
		$V_{CC} = 2.7\text{V} \sim 3.6\text{V}$	0.8		0.8		0.8		
V_I	入力電圧	0	5.5	0	5.5	0	5.5	V	
V_O	出力電圧	0	V_{CC}	0	V_{CC}	0	V_{CC}	V	
I_{OH}	High レベル出力電流	$V_{CC} = 1.65\text{V}$			-4		-4		mA
		$V_{CC} = 2.3\text{V}$			-8		-8		
		$V_{CC} = 2.7\text{V}$			-12		-12		
		$V_{CC} = 3\text{V}$			-24		-24		
I_{OL}	Low レベル出力電流	$V_{CC} = 1.65\text{V}$			4		4		mA
		$V_{CC} = 2.3\text{V}$			8		8		
		$V_{CC} = 2.7\text{V}$			12		12		
		$V_{CC} = 3\text{V}$			24		24		

4.4 熱に関する情報

熱評価基準 ⁽¹⁾		SN74LVC10A						単位
		BQA (WQFN)	D (SOIC)	DB (SSOP)	NS (SOP)	PW (TSSOP)	RGY (VQFN)	
		14 ピン	14 ピン	14 ピン	14 ピン	14 ピン	14 ピン	
R _{θJA}	接合部から周囲への熱抵抗	102.3	127.8	96	123.8	150.8	92.1	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーションレポートを参照してください。

4.5 電気的特性

自由空気での推奨動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	V _{CC}	T _A = 25°C			-40~85°C		-40~125°C		単位
			最小値	代表値	最大値	最小値	最大値	最小値	最大値	
V _{OH}	I _{OH} = -100μA	1.65V~3.6V	V _{CC} - 0.2			V _{CC} - 0.2		V _{CC} - 0.3		V
	I _{OH} = -4mA	1.65 V	1.29			1.2		1.05		
	I _{OH} = -8mA	2.3 V	1.9			1.7		1.55		
	I _{OH} = -12mA	2.7 V	2.2			2.2		2.05		
		3 V	2.4			2.4		2.25		
I _{OH} = -24mA	3 V	2.3			2.2		2			
V _{OL}	I _{OL} = 100μA	1.65V~3.6V	0.1			0.2		0.3		V
	I _{OL} = 4mA	1.65 V	0.24			0.45		0.6		
	I _{OL} = 8mA	2.3 V	0.3			0.7		0.75		
	I _{OL} = 12mA	2.7 V	0.4			0.4		0.6		
	I _{OL} = 24mA	3 V	0.55			0.55		0.8		
I _I	V _I = 5.5 V または GND	3.6 V	±1			±5		±20		μA
I _{CC}	V _I = V _{CC} または GND、 I _O = 0	3.6 V	1			10		40		μA
ΔI _{CC}	1つの入力は V _{CC} - 0.6V、 その他の入力は V _{CC} または GND	2.7V~3.6V	500			500		5000		μA
C _i	V _I = V _{CC} または GND	3.3 V	5							pF

4.6 スイッチング特性

自由空気での推奨動作温度範囲内 (特に記述のない限り) (「負荷回路および電圧波形」を参照)

パラメータ	始点 (入力)	終点 (出力)	V _{CC}	T _A = 25°C			-40~85°C		-40~125°C		単位
				最小値	代表値	最大値	最小値	最大値	最小値	最大値	
t _{pd}	A、B、C	Y	1.8V ± 0.15V	1	4.2	10.1	1	10.6	1	12.1	ns
			2.5V ± 0.2V	1	2.9	7.3	1	7.8	1	9.9	
			2.7 V	1	3.1	5.6	1	5.8	1	7.4	
			3.3V ± 0.3V	1	2.7	4.7	1	4.9	1	6	
t _{sk(o)}			3.3V ± 0.3V				1		1.5	ns	

4.7 動作特性

$T_A = 25^\circ\text{C}$

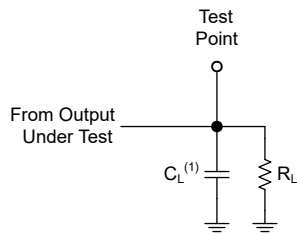
パラメータ		テスト条件	V _{CC}	代表値	単位
C _{pd}	ゲートあたりの電力散逸容量	f = 10MHz	1.8 V	9	pF
			2.5 V	10	
			3.3 V	11	

5 パラメータ測定情報

以下の表に示す例では、波形間の位相関係を任意に選択しました。すべての入力パルスは、以下の特性を持つジェネレータによって供給されます。PRR \leq 1MHz、 $Z_O = 50\Omega$ 、 $t_f \leq 2.5\text{ns}$ 。

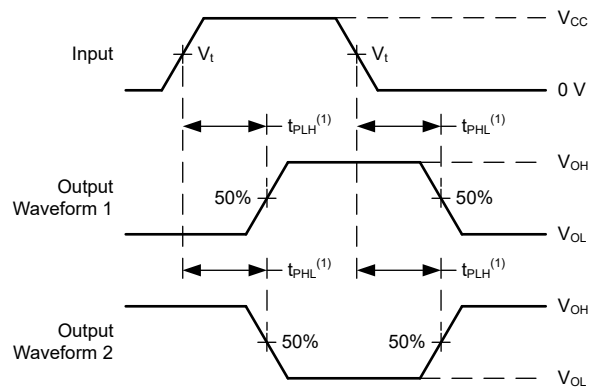
出力は個別に測定され、測定するたびに入力が 1 回遷移します。

V_{CC}	V_t	R_L	C_L	ΔV
1.8V \pm 0.15V	$V_{CC}/2$	1k Ω	30pF	0.15V
2.5V \pm 0.2V	$V_{CC}/2$	500 Ω	30pF	0.15V
2.7V	1.5V	500 Ω	50pF	0.3V
3.3V \pm 0.3V	1.5V	500 Ω	50pF	0.3V



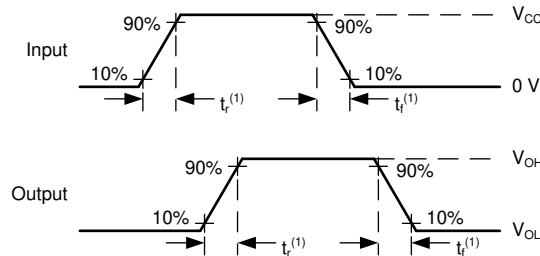
(1) C_L にはプローブとテスト装置の容量が含まれます。

図 5-1. プッシュプル出力のための負荷回路



(1) t_{PLH} と t_{PHL} の大きい方が t_{pd} に相当します。

図 5-2. 電圧波形、伝搬遅延



(1) t_r と t_f の大きい方が t_t に相当します。

図 5-3. 電圧波形、入力および出力の遷移時間

6 詳細説明

6.1 概要

SN74LVC10A は、ブール関数 $Y = \overline{A \cdot B \cdot C}$ 、すなわち $Y = \overline{A} + \overline{B} + \overline{C}$ を正論理で実行します。

入力は 3.3V または 5V のデバイスから駆動できます。この機能により、3.3V と 5V が混在するシステム環境での変換装置としてこのデバイスを使用できます。

6.2 機能ブロック図

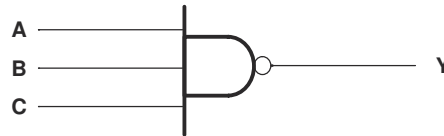


図 6-1. 各ゲートの論理図 (正論理)

6.3 デバイスの機能モード

表 6-1. 機能表 (各ゲート)

入力			出力 Y
A	B	C	
H	H	H	L
L	X	X	H
X	L	X	H
X	X	L	H

7 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくこととなります。お客様は自身の設計実装を検証テストすることで、システムの機能を確認する必要があります。

7.1 電源に関する推奨事項

電源には、「[推奨動作条件](#)」に記載された電源電圧定格の最小値と最大値の間の任意の電圧を使用できます。

電源の障害を防止するため、各 V_{CC} ピンに適切なバイパス コンデンサを配置する必要があります。単一電源のデバイスの場合は、 $0.1\mu\text{F}$ のコンデンサを推奨します。複数の V_{CC} ピンがある場合は、各電源ピンに対して $0.01\mu\text{F}$ または $0.022\mu\text{F}$ のコンデンサを推奨します。複数のバイパス コンデンサを並列に配置して、異なる周波数のノイズを除去することが許容されます。一般的に、 $0.1\mu\text{F}$ と $1\mu\text{F}$ を並列に使用します。最良の結果を得るため、バイパス コンデンサは電源ピンのできるだけ近くに配置する必要があります。

7.2 レイアウト

7.2.1 レイアウトのガイドライン

マルチ入力およびマルチチャネルのロジック デバイスを使用する場合、入力をフローティングのままにはなりません。多くの場合、デジタル論理デバイスの機能または機能の一部は使用されません (たとえば、トリプル入力 AND ゲートの 2 つの入力のみを使用する場合や 4 つのバッファ ゲートのうちの 3 つのみを使用する場合)。このような未使用の入力ピンを未接続のままにすることはできません。外部接続の電圧が未確定の場合、動作状態が不定になるためです。デジタルロジック デバイスの未使用入力はすべて、入力電圧の仕様で定義されるロジック High またはロジック Low 電圧に接続して、それらがフローティングにならないようにする必要があります。特定の未使用入力に適用する必要があるロジックレベルは、デバイスの機能によって異なります。一般に、入力は GND または V_{CC} に接続され、ロジック機能にとって適切な、または利便性の高い方に接続されます。

7.2.2 レイアウト例

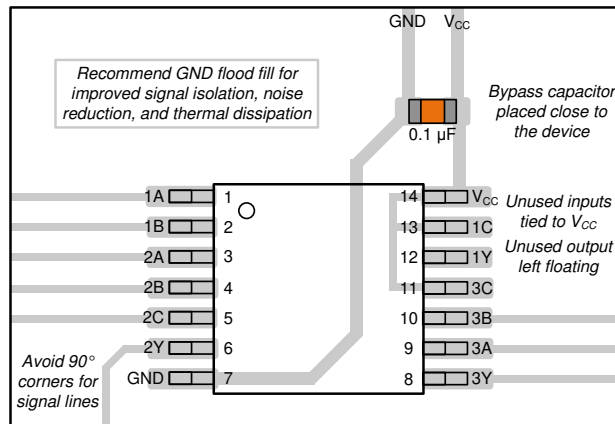


図 7-1. SN74LVC10A のレイアウト例

8 デバイスおよびドキュメントのサポート

8.1 ドキュメントのサポート (アナログ)

8.1.1 関連リンク

次の表に、クイック アクセス リンクを示します。カテゴリには、技術資料、サポートとコミュニティ リソース、ツールとソフトウェア、およびご注文へのクイック アクセスが含まれます。

表 8-1. 関連リンク

製品	プロダクトフォルダ	ご注文はこちら	技術資料	ツールとソフトウェア	サポートとコミュニティ
SN74LVC10A	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック

8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

8.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

8.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision P (May 2024) to Revision Q (August 2024) Page

- R0JA の値を更新: D = 86~127.8, NS = 76~123.8, PW = 113~150.8, RGY = 47~92.1、値はすべて°C/W 単位..... 5

Changes from Revision O (July 2005) to Revision P (May 2024) Page

- 「パッケージ情報」表、「ピン構成および機能」セクション、および「熱に関する情報」表に BQA パッケージを追加..... 1

- 「アプリケーション」セクション、「パッケージ情報」表、「ESD 定格」表、「熱に関する情報」表、「デバイスの機能モード」、「アプリケーションと実装」セクション、「デバイスおよびドキュメントのサポート」セクション、および「メカニカル、パッケージ、および注文情報」セクションを追加..... 1
- 「特長」からマシン モデルを削除..... 1

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報はそのデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2024, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
SN74LVC10ABQAR	ACTIVE	WQFN	BQA	14	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC10A	Samples
SN74LVC10AD	ACTIVE	SOIC	D	14	50	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC10A	Samples
SN74LVC10ADBR	ACTIVE	SSOP	DB	14	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC10A	Samples
SN74LVC10ADG4	ACTIVE	SOIC	D	14	50	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC10A	Samples
SN74LVC10ADR	ACTIVE	SOIC	D	14	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC10A	Samples
SN74LVC10ADT	ACTIVE	SOIC	D	14	250	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC10A	Samples
SN74LVC10ANSR	ACTIVE	SO	NS	14	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC10A	Samples
SN74LVC10APW	ACTIVE	TSSOP	PW	14	90	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC10A	Samples
SN74LVC10APWR	ACTIVE	TSSOP	PW	14	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC10A	Samples
SN74LVC10APWT	ACTIVE	TSSOP	PW	14	250	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC10A	Samples
SN74LVC10ARGYR	ACTIVE	VQFN	RGY	14	3000	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	LC10A	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSELETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

- (4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.
- (5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.
- (6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74LVC10ABQAR	WQFN	BQA	14	3000	180.0	12.4	2.8	3.3	1.1	4.0	12.0	Q1
SN74LVC10ADBDR	SSOP	DB	14	2000	330.0	16.4	8.35	6.6	2.4	12.0	16.0	Q1
SN74LVC10ADR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
SN74LVC10ADT	SOIC	D	14	250	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
SN74LVC10ANSR	SO	NS	14	2000	330.0	16.4	8.2	10.5	2.5	12.0	16.0	Q1
SN74LVC10APWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74LVC10APWT	TSSOP	PW	14	250	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74LVC10ARGYR	VQFN	RGY	14	3000	330.0	12.4	3.75	3.75	1.15	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74LVC10ABQAR	WQFN	BQA	14	3000	210.0	185.0	35.0
SN74LVC10ADBR	SSOP	DB	14	2000	356.0	356.0	35.0
SN74LVC10ADR	SOIC	D	14	2500	356.0	356.0	35.0
SN74LVC10ADT	SOIC	D	14	250	210.0	185.0	35.0
SN74LVC10ANSR	SO	NS	14	2000	356.0	356.0	35.0
SN74LVC10APWR	TSSOP	PW	14	2000	356.0	356.0	35.0
SN74LVC10APWT	TSSOP	PW	14	250	356.0	356.0	35.0
SN74LVC10ARGYR	VQFN	RGY	14	3000	356.0	356.0	35.0

TUBE


*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
SN74LVC10AD	D	SOIC	14	50	506.6	8	3940	4.32
SN74LVC10ADG4	D	SOIC	14	50	506.6	8	3940	4.32
SN74LVC10APW	PW	TSSOP	14	90	530	10.2	3600	3.5



D0014A

PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4220718/A 09/2016

NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.

EXAMPLE BOARD LAYOUT

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

RGY (S-PVQFN-N14)

PLASTIC QUAD FLATPACK NO-LEAD



- NOTES:
- A. All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M-1994.
 - B. This drawing is subject to change without notice.
 - C. QFN (Quad Flatpack No-Lead) package configuration.
 - D. The package thermal pad must be soldered to the board for thermal and mechanical performance.
 - E. See the additional figure in the Product Data Sheet for details regarding the exposed thermal pad features and dimensions.
 -  Pin 1 identifiers are located on both top and bottom of the package and within the zone indicated. The Pin 1 identifiers are either a molded, marked, or metal feature.
 - G. Package complies to JEDEC MO-241 variation BA.

RGY (S-PVQFN-N14)

PLASTIC QUAD FLATPACK NO-LEAD

THERMAL INFORMATION

This package incorporates an exposed thermal pad that is designed to be attached directly to an external heatsink. The thermal pad must be soldered directly to the printed circuit board (PCB). After soldering, the PCB can be used as a heatsink. In addition, through the use of thermal vias, the thermal pad can be attached directly to the appropriate copper plane shown in the electrical schematic for the device, or alternatively, can be attached to a special heatsink structure designed into the PCB. This design optimizes the heat transfer from the integrated circuit (IC).

For information on the Quad Flatpack No-Lead (QFN) package and its advantages, refer to Application Report, QFN/SON PCB Attachment, Texas Instruments Literature No. SLUA271. This document is available at www.ti.com.

The exposed thermal pad dimensions for this package are shown in the following illustration.



Bottom View

Exposed Thermal Pad Dimensions

4206353-2/P 03/14

NOTE: All linear dimensions are in millimeters

RGY (S-PVQFN-N14)

PLASTIC QUAD FLATPACK NO-LEAD



4208122-2/P 03/14

- NOTES:
- All linear dimensions are in millimeters.
 - This drawing is subject to change without notice.
 - Publication IPC-7351 is recommended for alternate designs.
 - This package is designed to be soldered to a thermal pad on the board. Refer to Application Note, Quad Flat-Pack QFN/SON PCB Attachment, Texas Instruments Literature No. SLUA271, and also the Product Data Sheets for specific thermal information, via requirements, and recommended board layout. These documents are available at www.ti.com <<http://www.ti.com>>.
 - Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC 7525 for stencil design considerations.
 - Customers should contact their board fabrication site for minimum solder mask web tolerances between signal pads.

GENERIC PACKAGE VIEW

BQA 14

WQFN - 0.8 mm max height

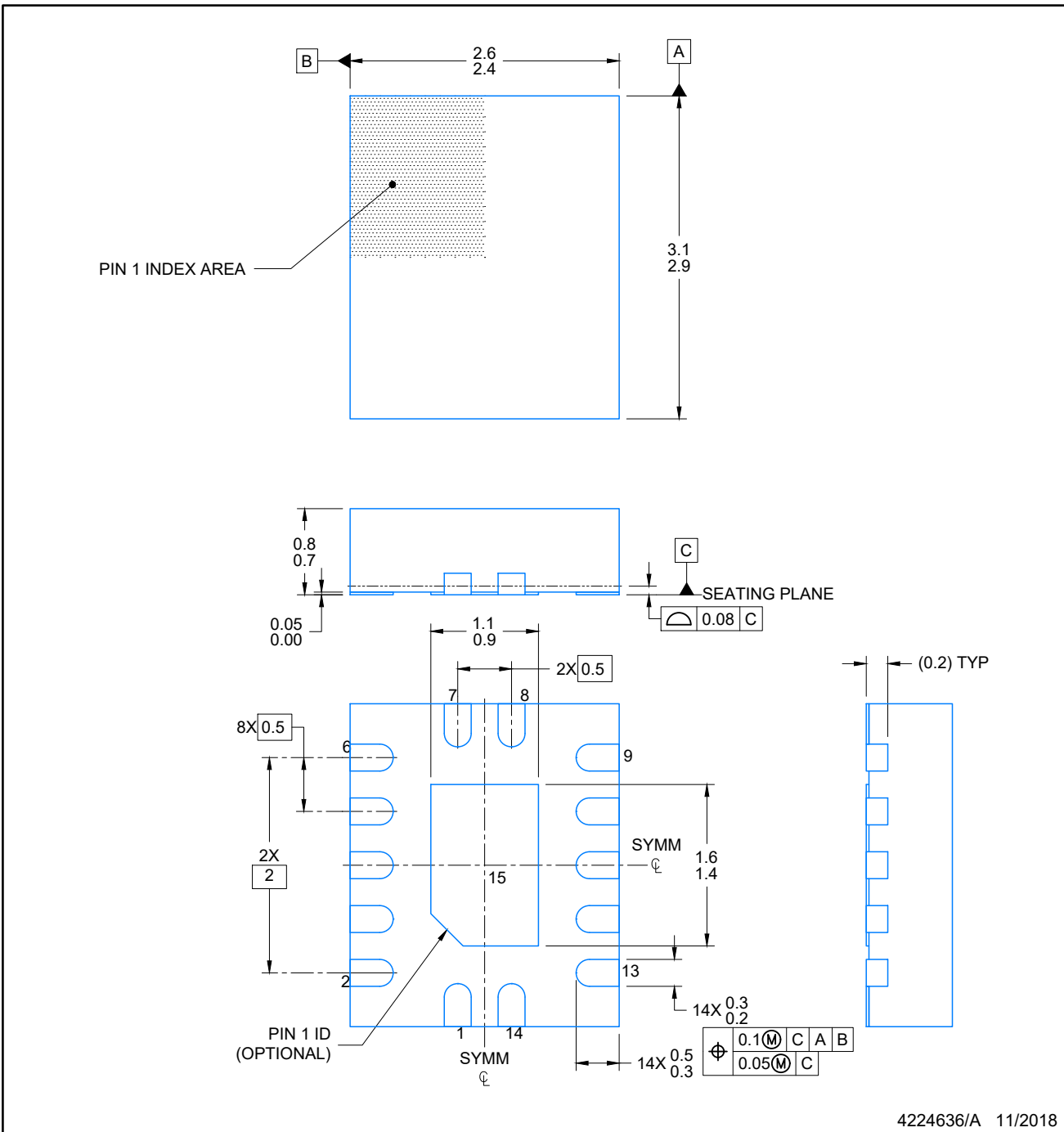
2.5 x 3, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4227145/A



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

WQFN - 0.8 mm max height

BQA0014A

PLASTIC QUAD FLAT PACK-NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X



4224636/A 11/2018

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

BQA0014A

WQFN - 0.8 mm max height

PLASTIC QUAD FLAT PACK-NO LEAD



SOLDER PASTE EXAMPLE
 BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
 88% PRINTED COVERAGE BY AREA
 SCALE: 20X

4224636/A 11/2018

NOTES: (continued)

- 6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

MECHANICAL DATA

NS (R-PDSO-G**)

PLASTIC SMALL-OUTLINE PACKAGE

14-PINS SHOWN



- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.
 - C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15.

DB0014A



PACKAGE OUTLINE

SSOP - 2 mm max height

SMALL OUTLINE PACKAGE



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-150.

EXAMPLE BOARD LAYOUT

DB0014A

SSOP - 2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



4220762/A 05/2024

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DB0014A

SSOP - 2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220762/A 05/2024

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

PW0014A



PACKAGE OUTLINE
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



4220202/B 12/2023

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.

EXAMPLE BOARD LAYOUT

PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



4220202/B 12/2023

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ（データシートを含みます）、設計リソース（リファレンス・デザインを含みます）、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](#) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated