

## SN74LVC126A 3 ステート出力、クワッド バス バッファ ゲート

### 1 特長

- 1.65V~3.6V で動作
- -40°C~+125°Cで動作が規定
- 5.5V までの入力電圧に対応
- 最大  $t_{pd}$  4.7ns (3.3V 時)
- $V_{OLP}$  標準値 (出力グランド バウンス)  
<math> < 0.8V (V\_{CC} = 3.3V, T\_A = 25^\circ C)</math>
- $V_{OHV}$  標準値 (出力  $V_{OH}$  アンダーシュート)  
>2V ( $V_{CC} = 3.3V, T_A = 25^\circ C$ )
- JESD 17 準拠  
250mA 超のラッチアップ性能

### 2 アプリケーション

- AV レシーバ
- オーディオ ドック:ポータブル
- Blu-Ray プレイヤーおよびホーム シアター
- MP3 プレーヤー/レコーダ
- パーソナル デジタル アシスタント(PDA)
- 電源:テレコム、サーバー、AC/DC 電源 (シングル コントローラ、アナログ、デジタル)
- ソリッド ステートドライブ (SSD):クライアントおよびエンタープライズ
- テレビ:LCD、デジタル、高解像度 (HDTV)
- タブレット:エンタープライズ
- ビデオ分析:サーバー
- ワイヤレス ヘッドセット、キーボード、マウス

### 3 概要

SN74LVC126A デバイスは、1.65V~3.6V の  $V_{CC}$  で動作するように設計されたクワッド バス バッファ ゲートです。

SN74LVC126A デバイスは、3 ステート出力の独立ラインドライバを備えています。各出力は、対応する出力イネーブル (OE) 入力 **Low** のときディセーブルになります。

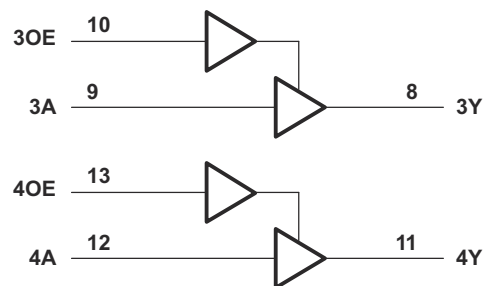
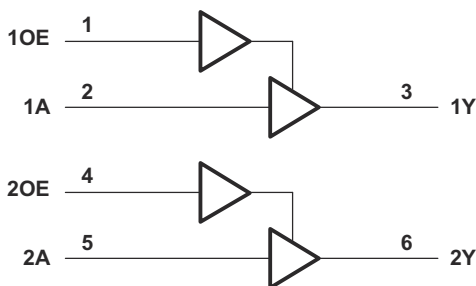
電源オンまたは電源オフ時に高インピーダンス状態を確保するため、OE をプルダウン抵抗経由で **GND** に接続する必要があります。この抵抗の最小値は、ドライバの電流ソース能力によって決まります。

入力は 3.3V または 5V のデバイスから駆動できます。この機能により、3.3V と 5V が混在するシステム環境での変換装置としてこのデバイスを使用できます。

#### パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)	本体サイズ (3)
SN74LVC126A	BQA (WQFN, 14)	3mm × 2.5mm	3mm × 2.5mm
	D (SOIC, 14)	8.65mm × 6mm	8.65mm × 3.91mm
	DB (SSOP, 14)	6.2mm × 7.8mm	6.20mm × 5.30mm
	DGV (TVSOP, 14)	3.60mm × 6.4mm	3.60mm × 4.40mm
	NS (SOP, 14)	10.2mm × 7.8mm	10.20mm × 5.30mm
	PW (TSSOP, 14)	5mm × 6.4mm	5.00mm × 4.40mm
	RGY (VQFN, 14)	3.50mm × 3.50mm	3.50mm × 3.50mm

- (1) 詳細については、「[メカニカル、パッケージ、および注文情報](#)」を参照してください。
- (2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。
- (3) 本体サイズ (長さ×幅) は公称値であり、ピンは含まれません。



Copyright © 2016, Texas Instruments Incorporated

#### 概略回路図



## 目次

<b>1 特長</b> .....	1	7.3 機能説明.....	10
<b>2 アプリケーション</b> .....	1	7.4 デバイスの機能モード.....	10
<b>3 概要</b> .....	1	<b>8 アプリケーションと実装</b> .....	11
<b>4 ピン構成および機能</b> .....	3	8.1 アプリケーション情報.....	11
<b>5 仕様</b> .....	4	8.2 代表的なアプリケーション.....	11
5.1 絶対最大定格.....	4	8.3 電源に関する推奨事項.....	12
5.2 ESD 定格.....	4	8.4 レイアウト.....	12
5.3 推奨動作条件.....	4	<b>9 デバイスおよびドキュメントのサポート</b> .....	14
5.4 熱に関する情報.....	5	9.1 ドキュメントのサポート.....	14
5.5 電気的特性.....	6	9.2 ドキュメントの更新通知を受け取る方法.....	14
5.6 スイッチング特性.....	7	9.3 サポート・リソース.....	14
5.7 代表的特性.....	8	9.4 商標.....	14
<b>6 パラメータ測定情報</b> .....	9	9.5 静電気放電に関する注意事項.....	14
<b>7 詳細説明</b> .....	10	9.6 用語集.....	14
7.1 概要.....	10	<b>10 改訂履歴</b> .....	14
7.2 機能ブロック図.....	10	<b>11 メカニカル、パッケージ、および注文情報</b> .....	15

## 4 ピン構成および機能

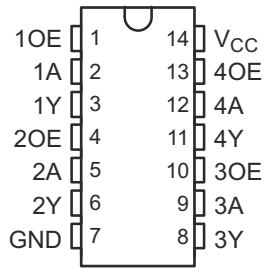


図 4-1. SN74LVC126A D、DB、DGV、NS、PW パッケージ、14 ピン SOIC、SSOP、TVSOP、SOP、TSSOP (上面図)

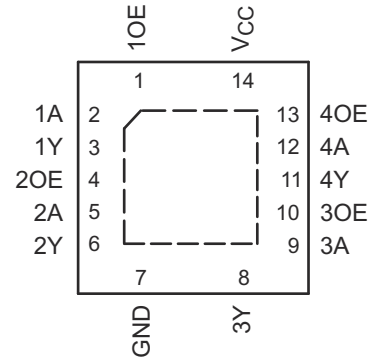


図 4-2. SN74LVC126A BQA または RGY パッケージ 14 ピン WQFN または VQFN 上面図

表 4-1. ピンの機能

ピン		I/O <sup>(1)</sup>	説明
番号	名称		
1	10E	I	出力イネーブル 1
2	1A	I	ゲート 1 入力
3	1Y	O	ゲート 1 出力
4	2OE	I	出力イネーブル 2
5	2A	I	ゲート 2 入力
6	2Y	O	ゲート 2 出力
7	GND	—	グランド ピン
8	3Y	O	ゲート 3 出力
9	3A	I	ゲート 3 入力
10	3OE	I	出力イネーブル 3
11	4Y	O	ゲート 4 出力
12	4A	I	ゲート 4 入力
13	4OE	I	出力イネーブル 4
14	V <sub>CC</sub>	—	パワー ピン
サーマル・パッド		—	正しい動作のため、GND ピンは露出したサーマル パッドに接続します。このサーマル パッドは、複数のビアを使用して内部の任意の PCB グランド プレーンに接続し、優れた熱特性を実現できます。

(1) I = 入力、O = 出力、P = 電源、FB = フィードバック、GND = グランド、N/A = 該当なし

## 5 仕様

### 5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) <sup>(1)</sup>

		最小値	最大値	単位	
V <sub>CC</sub>	電源電圧	-0.5	6.5	V	
V <sub>I</sub> <sup>(2)</sup>	入力電圧	-0.5	6.5	V	
V <sub>O</sub> <sup>(2) (3)</sup>	出力電圧	-0.5	V <sub>CC</sub> + 0.5	V	
I <sub>IK</sub>	入力クランプ電流	V <sub>I</sub> < 0	-50	mA	
I <sub>OK</sub>	出力クランプ電流	V <sub>O</sub> < 0	-50	mA	
I <sub>O</sub>	連続出力電流		±50	mA	
	V <sub>CC</sub> または GND を通過する連続電流		±100	mA	
P <sub>tot</sub>	消費電力	T <sub>A</sub> = -40°C ~ +125°C <sup>(4) (5)</sup>	500	mW	
T <sub>J</sub>	最大接合部温度		150	°C	
T <sub>stg</sub>	保管温度		-65	150	°C

- (1) 絶対最大定格を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについての話で、絶対最大定格において、またはこのデータシートの「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
- (2) 入力電流と出力電流の定格を遵守していても、入力と出力の負電圧の定格を超える可能性があります。
- (3) V<sub>CC</sub> の値は、「[推奨動作条件](#)」に記載されています。
- (4) D パッケージの場合: 70°C を上回ると、P<sub>tot</sub> の値は 8mW/K で線形的に低下します。
- (5) DB、NS、PW パッケージの場合: 60°C を上回ると、P<sub>tot</sub> の値は 5.5mW/K で線形的に低下します。

### 5.2 ESD 定格

		値	単位
V <sub>(ESD)</sub>	静電放電		
	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 <sup>(1)</sup>	±2000	V
デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠 <sup>(2)</sup>	±1500		

- (1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。この定格は、D (SOIC) パッケージでテスト済みです。
- (2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。この定格は、D (SOIC) パッケージでテスト済みです。

### 5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り) <sup>(1)</sup>

		動作	最小値	公称値	最大値	単位
V <sub>CC</sub>	電源電圧	動作	1.65		3.6	V
		データ保持のみ	1.5			
V <sub>IH</sub>	High レベル入力電圧	V <sub>CC</sub> = 1.65V ~ 1.95V	0.65 × V <sub>CC</sub>			V
		V <sub>CC</sub> = 2.3V ~ 2.7V	1.7			
		V <sub>CC</sub> = 2.7V ~ 3.6V	2			
V <sub>IL</sub>	Low レベル入力電圧	V <sub>CC</sub> = 1.65V ~ 1.95V		0.35 × V <sub>CC</sub>		V
		V <sub>CC</sub> = 2.3V ~ 2.7V		0.7		
		V <sub>CC</sub> = 2.7V ~ 3.6V		0.8		
V <sub>I</sub>	入力電圧		0		5.5	V
V <sub>O</sub>	出力電圧		0		V <sub>CC</sub>	V

### 5.3 推奨動作条件 (続き)

自由気流での動作温度範囲内 (特に記述のない限り) (1)

		最小値	公称値	最大値	単位
I <sub>OH</sub>	High レベル出力電流	V <sub>CC</sub> = 1.65V		-4	mA
		V <sub>CC</sub> = 2.3V		-8	
		V <sub>CC</sub> = 2.7V		-12	
		V <sub>CC</sub> = 3V		-24	
I <sub>OL</sub>	Low レベル出力電流	V <sub>CC</sub> = 1.65V		4	mA
		V <sub>CC</sub> = 2.3V		8	
		V <sub>CC</sub> = 2.7V		12	
		V <sub>CC</sub> = 3V		24	
Δt/Δv	入力遷移の立ち上がりまたは立ち下がりレート			10	ns/V
T <sub>A</sub>	自由空気での動作温度	-40		125	°C

(1) デバイスが適切に動作するように、デバイスの未使用の入力はすべて、V<sub>CC</sub> または GND に固定する必要があります。テキサス・インスツルメンツのアプリケーションレポート『低速またはフローティング CMOS 入力の影響』を参照してください。

### 5.4 熱に関する情報

熱評価基準(1)	SN74LVC126A							単位	
	BQA (WQFN)	D (SOIC)	DB (SSOP)	DGV (TVSOP)	NS (SOP)	PW (TSSOP)	RGY (VQFN)		
	14 ピン	14 ピン	14 ピン	14 ピン	14 ピン	14 ピン	14 ピン		
R <sub>θJA</sub>	接合部から周囲への熱抵抗	102.3(3)	127.8(2)	112.2(2)	140.9(2)	123.8(2)	150.8(2)	92.1(3)	°C/W
R <sub>θJC(top)</sub>	接合部からケース (上面) への熱抵抗	96.8	81.9	64.2	59.9	51.7	78.3	91.8	°C/W
R <sub>θJB</sub>	接合部から基板への熱抵抗	70.9	84.4	59.6	70.2	52.7	93.8	66.7	°C/W
ψ <sub>JT</sub>	接合部から上面への特性パラメータ	16.6	39.6	28.3	9.1	20.7	38.2	20	°C/W
ψ <sub>JB</sub>	接合部から基板への特性パラメータ	70.9	83.9	59.1	69.5	52.3	93.2	66.5	°C/W
R <sub>θJC(bot)</sub>	接合部からケース (底面) への熱抵抗	50.1	該当なし	該当なし	該当なし	該当なし	該当なし	50.1	°C/W

- (1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーションレポートを参照してください。  
(2) パッケージの熱インピーダンスは、JESD 51-7 に従って計算しています。  
(3) パッケージの熱インピーダンスは、JESD 51-5 に従って計算しています。

## 5.5 電気的特性

自由空気での推奨動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	代表 値	最大値	単位	
V <sub>OH</sub>	I <sub>OH</sub> = -100μA, V <sub>CC</sub> = 1.65V~3.6V	T <sub>A</sub> = 25°C		V <sub>CC</sub> - 0.2	V	
		T <sub>A</sub> = -40°C~+125°C		V <sub>CC</sub> - 0.3		
	I <sub>OH</sub> = -4mA, V <sub>CC</sub> = 1.65V	T <sub>A</sub> = 25°C		1.29		
		T <sub>A</sub> = -40°C~+85°C		1.2		
		T <sub>A</sub> = -40°C~+125°C		1.05		
	I <sub>OH</sub> = -8mA, V <sub>CC</sub> = 2.3V	T <sub>A</sub> = 25°C		1.9		
		T <sub>A</sub> = -40°C~+85°C		1.7		
		T <sub>A</sub> = -40°C~+125°C		1.55		
	I <sub>OH</sub> = -12mA	V <sub>CC</sub> = 2.7V	T <sub>A</sub> = 25°C			2.2
			T <sub>A</sub> = -40°C~+125°C			2.05
		V <sub>CC</sub> = 3V	T <sub>A</sub> = 25°C			2.4
			T <sub>A</sub> = -40°C~+125°C			2.25
I <sub>OH</sub> = -24mA, V <sub>CC</sub> = 3V	T <sub>A</sub> = 25°C		2.3			
	T <sub>A</sub> = -40°C~+85°C		2.2			
	T <sub>A</sub> = -40°C~+125°C		2			
V <sub>OL</sub>	I <sub>OL</sub> = 100μA, V <sub>CC</sub> = 1.65V~3.6V	T <sub>A</sub> = 25°C		0.1	V	
		T <sub>A</sub> = -40°C~+85°C		0.2		
		T <sub>A</sub> = -40°C~+125°C		0.3		
	I <sub>OL</sub> = 4mA, V <sub>CC</sub> = 1.65V	T <sub>A</sub> = 25°C		0.24		
		T <sub>A</sub> = -40°C~+85°C		0.45		
		T <sub>A</sub> = -40°C~+125°C		0.6		
	I <sub>OL</sub> = 8mA, V <sub>CC</sub> = 2.3V	T <sub>A</sub> = 25°C		0.3		
		T <sub>A</sub> = -40°C~+85°C		0.7		
		T <sub>A</sub> = -40°C~+125°C		0.75		
	I <sub>OL</sub> = 12mA, V <sub>CC</sub> = 2.7V	T <sub>A</sub> = 25°C		0.4		
		T <sub>A</sub> = -40°C~+125°C		0.6		
	I <sub>OL</sub> = 24mA, V <sub>CC</sub> = 3V	T <sub>A</sub> = 25°C		0.55		
T <sub>A</sub> = -40°C~+125°C			0.8			
I <sub>I</sub>	V <sub>I</sub> = 5.5V または GND, V <sub>CC</sub> = 3.6V	T <sub>A</sub> = 25°C		±1	μA	
		T <sub>A</sub> = -40°C~+85°C		±5		
		T <sub>A</sub> = -40°C~+125°C		±20		
I <sub>OZ</sub>	V <sub>O</sub> = V <sub>CC</sub> または GND, V <sub>CC</sub> = 3.6V	T <sub>A</sub> = 25°C		±1	μA	
		T <sub>A</sub> = -40°C~+85°C		±10		
		T <sub>A</sub> = -40°C~+125°C		±20		
I <sub>CC</sub>	V <sub>I</sub> = V <sub>CC</sub> または GND, I <sub>O</sub> = 0, V <sub>CC</sub> = 3.6V	T <sub>A</sub> = 25°C		1	μA	
		T <sub>A</sub> = -40°C~+85°C		10		
		T <sub>A</sub> = -40°C~+125°C		40		
ΔI <sub>CC</sub>	1つの入力は V <sub>CC</sub> - 0.6V, その他の入力は V <sub>CC</sub> または GND, V <sub>CC</sub> = 2.7V~3.6V	T <sub>A</sub> = 25°C		500	μA	
		T <sub>A</sub> = -40°C~+125°C		5000		
C <sub>i</sub>	V <sub>I</sub> = V <sub>CC</sub> または GND, V <sub>CC</sub> = 3.3V			4.5	pF	
C <sub>O</sub>	V <sub>O</sub> = V <sub>CC</sub> または GND, V <sub>CC</sub> = 3.3V			7	pF	

## 5.5 電気的特性 (続き)

自由空気での推奨動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件		最小値	代表値	最大値	単位
C <sub>pd</sub> ゲートあたりの 電力散逸容量	f = 10MHz、T <sub>A</sub> = 25°C	出力イネーブル	V <sub>CC</sub> = 1.8V		20	pF
			V <sub>CC</sub> = 2.5V		21	
			V <sub>CC</sub> = 3.3V		22	
		出力ディセーブル	V <sub>CC</sub> = 1.8V		2	
			V <sub>CC</sub> = 2.5V		3	
			V <sub>CC</sub> = 3.3V		4	

## 5.6 スイッチング特性

自由気流での推奨動作温度範囲内 (特に記述のない限り。「パラメータ測定情報」を参照)

パラメータ	テスト条件		最小値	代表値	最大値	単位	
t <sub>pd</sub>	A (入力) から Y (出力) まで	V <sub>CC</sub> = 1.8V ± 0.15V	T <sub>A</sub> = 25°C	1	4.2	9.3	ns
			T <sub>A</sub> = -40°C ~ +85°C			9.8	
			T <sub>A</sub> = -40°C ~ +125°C			11.3	
		V <sub>CC</sub> = 2.5V ± 0.2V	T <sub>A</sub> = 25°C	1	2.7	6.7	
			T <sub>A</sub> = -40°C ~ +85°C			7.2	
			T <sub>A</sub> = -40°C ~ +125°C			9.3	
		V <sub>CC</sub> = 2.7V	T <sub>A</sub> = 25°C	1	2.9	5	
			T <sub>A</sub> = -40°C ~ +85°C			5.2	
			T <sub>A</sub> = -40°C ~ +125°C			6.5	
		V <sub>CC</sub> = 3.3V ± 0.3V	T <sub>A</sub> = 25°C	1	2.5	4.5	
			T <sub>A</sub> = -40°C ~ +85°C			4.7	
			T <sub>A</sub> = -40°C ~ +125°C			6	
t <sub>en</sub>	OE (入力) から Y (出力) まで	V <sub>CC</sub> = 1.8V ± 0.15V	T <sub>A</sub> = 25°C	1	4.8	9.5	ns
			T <sub>A</sub> = -40°C ~ +85°C			10	
			T <sub>A</sub> = -40°C ~ +125°C			11.5	
		V <sub>CC</sub> = 2.5V ± 0.2V	T <sub>A</sub> = 25°C	1	2.8	7.8	
			T <sub>A</sub> = -40°C ~ +85°C			8.3	
			T <sub>A</sub> = -40°C ~ +125°C			10.4	
		V <sub>CC</sub> = 2.7V	T <sub>A</sub> = 25°C	1	3.1	6.1	
			T <sub>A</sub> = -40°C ~ +85°C			6.3	
			T <sub>A</sub> = -40°C ~ +125°C			8	
		V <sub>CC</sub> = 3.3V ± 0.3V	T <sub>A</sub> = 25°C	1	2.5	5.5	
			T <sub>A</sub> = -40°C ~ +85°C			5.7	
			T <sub>A</sub> = -40°C ~ +125°C			7.5	

### 5.6 スイッチング特性 (続き)

自由気流での推奨動作温度範囲内 (特に記述のない限り。「パラメータ測定情報」を参照)

パラメータ	テスト条件		最小値	代表値	最大値	単位	
$t_{dis}$	OE (入力) から Y (出力) まで	$V_{CC} = 1.8V \pm 0.15V$	$T_A = 25^\circ C$	1	4.4	12.1	ns
			$T_A = -40^\circ C \sim +85^\circ C$			12.6	
			$T_A = -40^\circ C \sim +125^\circ C$			14.1	
		$V_{CC} = 2.5V \pm 0.2V$	$T_A = 25^\circ C$	1	2.7	8.2	
			$T_A = -40^\circ C \sim +85^\circ C$			8.7	
			$T_A = -40^\circ C \sim +125^\circ C$			10.8	
		$V_{CC} = 2.7V$	$T_A = 25^\circ C$	1	2.7	6.5	
			$T_A = -40^\circ C \sim +85^\circ C$			6.7	
			$T_A = -40^\circ C \sim +125^\circ C$			8.5	
		$V_{CC} = 3.3V \pm 0.3V$	$T_A = 25^\circ C$	1.3	2.3	5.8	
			$T_A = -40^\circ C \sim +85^\circ C$			6	
			$T_A = -40^\circ C \sim +125^\circ C$			7.5	
$t_{sk(o)}$	$V_{CC} = 3.3V \pm 0.3V$	$T_A = -40^\circ C \sim +85^\circ C$			1	ns	
		$T_A = -40^\circ C \sim +125^\circ C$			1.5		

### 5.7 代表的特性

$T_A = 25^\circ C$

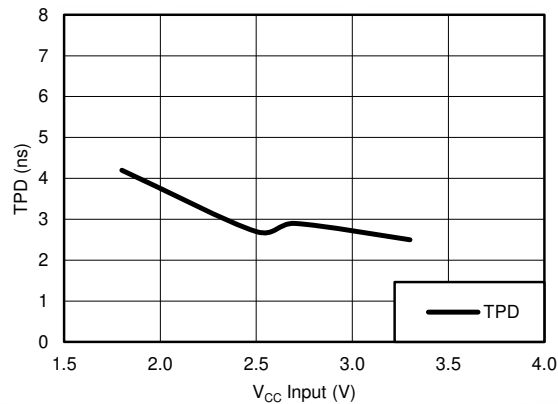


図 5-1. TPD と  $V_{CC}$  との関係



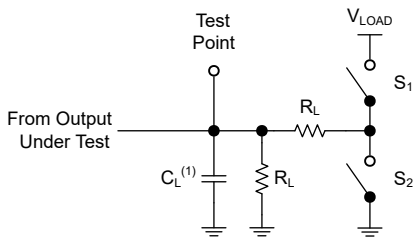
## 6 パラメータ測定情報

以下の表に示す例では、波形間の位相関係を任意に選択しました。すべての入力パルスは、以下の特性を持つジェネレータによって供給されます。PRR ≤ 1MHz、Z<sub>O</sub> = 50Ω、t<sub>f</sub> ≤ 2.5ns。

出力は個別に測定され、測定するたびに入力が 1 回遷移します。

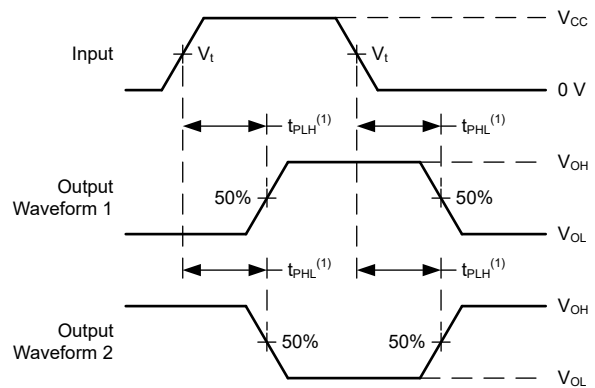
TEST	S1	S2	R <sub>L</sub>	C <sub>L</sub>	ΔV	V <sub>LOAD</sub>
t <sub>PLH</sub> 、t <sub>PHL</sub>	オープン	オープン	500Ω	50pF	—	—
t <sub>PLZ</sub> 、t <sub>PZL</sub>	クローズ	オープン	500Ω	50pF	0.3V	2 × V <sub>CC</sub>
t <sub>PHZ</sub> 、t <sub>PZH</sub>	オープン	クローズ	500Ω	50pF	0.3V	—

V <sub>CC</sub>	V <sub>t</sub>	R <sub>L</sub>	C <sub>L</sub>	ΔV	V <sub>LOAD</sub>
1.8V ± 0.15V	V <sub>CC</sub> /2	1kΩ	30pF	0.15V	2 × V <sub>CC</sub>
2.5V ± 0.2V	V <sub>CC</sub> /2	500Ω	30pF	0.15V	2 × V <sub>CC</sub>
2.7V	1.5V	500Ω	50pF	0.3V	6V
3.3V ± 0.3V	1.5V	500Ω	50pF	0.3V	6V



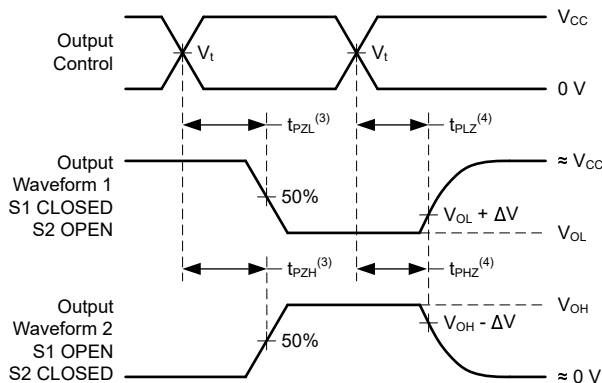
(1) C<sub>L</sub> にはプローブとテスト装置の容量が含まれます。

図 6-1. 3 ステート出力の負荷回路



(1) t<sub>PLH</sub> と t<sub>PHL</sub> の大きい方が t<sub>pd</sub> に相当します。

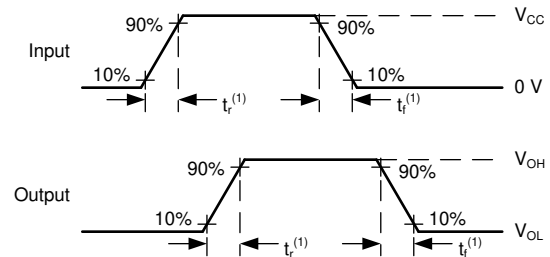
図 6-2. 電圧波形、伝搬遅延



(1) t<sub>PZL</sub> と t<sub>PZH</sub> の大きい方が t<sub>en</sub> に相当します。

(2) t<sub>PLZ</sub> と t<sub>PHZ</sub> の大きい方が t<sub>dis</sub> に相当します。

図 6-3. 電圧波形、伝搬遅延



(1) t<sub>r</sub> と t<sub>f</sub> の大きい方が t<sub>t</sub> に相当します。

図 6-4. 電圧波形、入力および出力の遷移時間

## 7 詳細説明

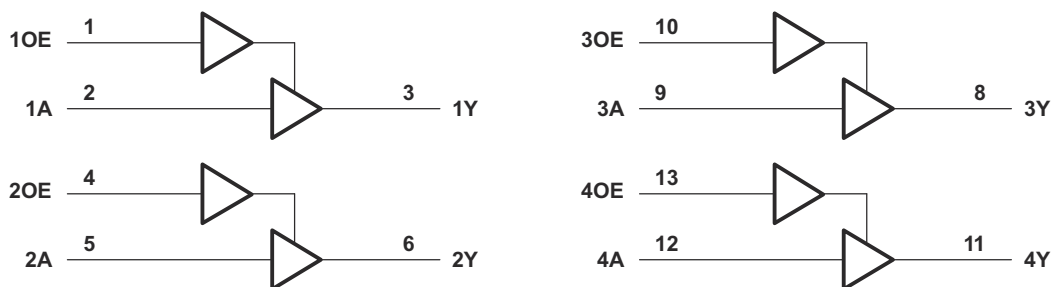
### 7.1 概要

SN74LVC126A クワッド バッファは、1.65V～3.6V の  $V_{CC}$  で動作するように設計されており、トリステート出力を備えています。

SN74LVC126A デバイスはブール関数  $Y = A$  を正論理で実行します。

入力は 3.3V または 5V のデバイスから駆動できます。この機能により、これらのデバイスは、3.3V と 5V が混在するシステム環境でのダウントランスレータとして使用できます。

### 7.2 機能ブロック図



Copyright © 2016, Texas Instruments Incorporated

### 7.3 機能説明

SN74LVC126A デバイスには 3 ステート出力を備えた 4 つの独立したバッファが搭載されており、1.65V～3.6V の  $V_{CC}$  で動作するよう設計されています。出力イネーブル (OE) 入力が Low になると、対応する出力がディセーブルされ、高インピーダンス状態に入ります。また、このデバイスは入力許容電圧が高いため、混在電圧システムでの電圧変換が可能です。広い動作温度範囲により、このデバイスは過酷な環境や極限環境を含むあらゆるアプリケーションで使用できます。

### 7.4 デバイスの機能モード

SN74LVC126A の 3 ステート出力は、出力イネーブル (OE) ピンを使用して出力をディセーブルできます。電源投入時または電源切断時、確実に高インピーダンス状態になるように、プルダウン抵抗を介して OE ピンを GND に接続する必要があります。この抵抗の最小値は、ドライバの電流ソース能力によって決まります。

表 7-1. 機能表  
(各バッファ)

入力		出力
OE	A	Y
H	H	H
H	L	L
L	X	ハイインピーダンス

## 8 アプリケーションと実装

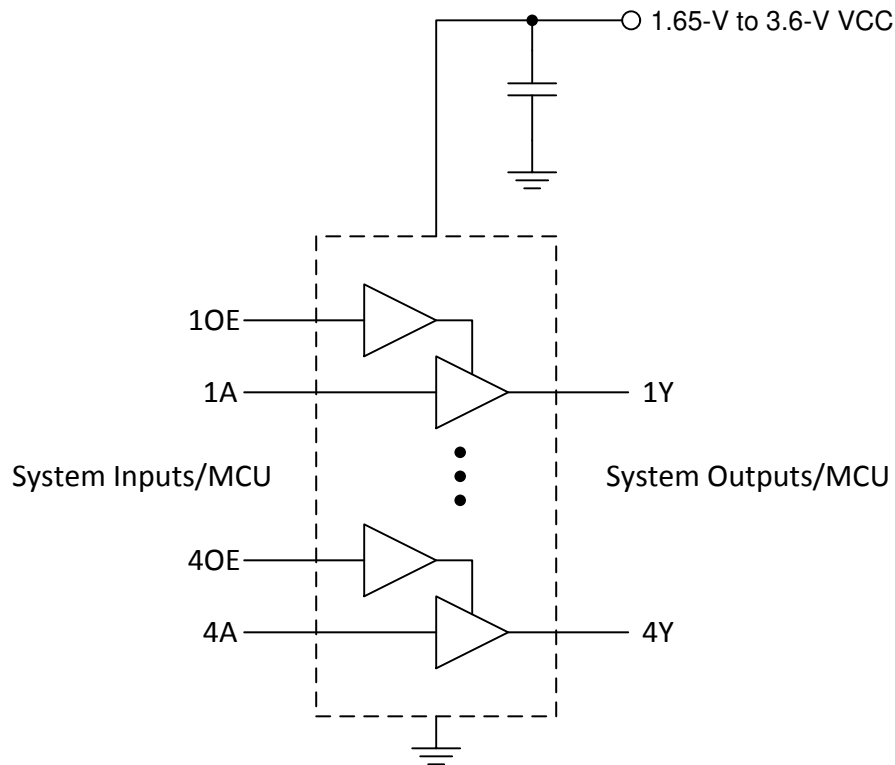
### 注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

### 8.1 アプリケーション情報

SN74LVC126A デバイスは、さまざまなバッファ タイプ機能に使用できる高駆動能力の CMOS デバイスです。3V で 24mA の駆動電流を生成できるため、複数の出力の駆動に理想的であり、最大 100MHz の高速アプリケーションにも適しています。入力と出力は 5.5V 許容で、最高 5.5V まで、または最低  $V_{CC}$  までの変換が可能です。

### 8.2 代表的なアプリケーション



Copyright © 2016, Texas Instruments Incorporated

図 8-1. 代表的なバッファ アプリケーションと電源電圧

#### 8.2.1 設計要件

このデバイスは CMOS 技術を採用しており、平衡型出力ドライバを備えています。上限値を超える電流が流れる可能性があるため、バスが競合しないように注意します。また、大きな駆動能力で軽負荷を駆動することによって高速なエッジが生じるので、配線と負荷の条件を検討してリングングを防止する必要があります。

## 8.2.2 詳細な設計手順

### 1. 推奨入力条件

- 立ち上がり時間と立ち下がり時間の仕様:「推奨動作条件」の  $(\Delta t/\Delta V)$  を参照してください。
- High レベルと Low レベルを規定:「推奨動作条件」の  $(V_{IH}$  および  $V_{IL})$  を参照してください。
- 入力は過電圧許容で、任意の有効な  $V_{CC}$  において最大 5.5V に対応できます。

### 2. 推奨出力条件

- 負荷電流は、1 出力あたり 25mA および部品の合計 50mA を超えないようにする必要があります。
- 出力は、5.5V を超えてプルアップされないようにしてください。

## 8.2.3 アプリケーション曲線

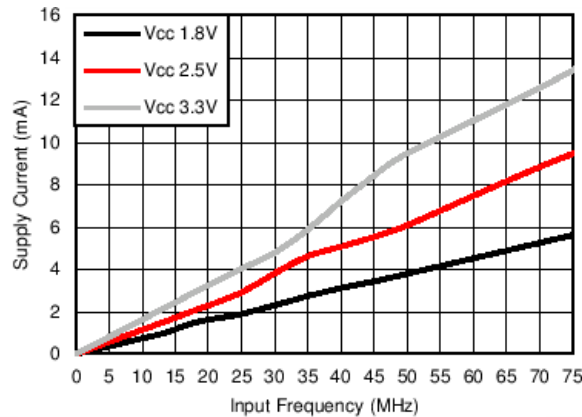


図 8-2. 消費電流と入力周波数との関係

## 8.3 電源に関する推奨事項

電源には、「推奨動作条件」に記載された電源電圧定格の最小値と最大値の間の任意の電圧を使用できます。

電源の障害を防止するため、各  $V_{CC}$  ピンに適切なバイパス コンデンサを配置する必要があります。単一電源のデバイスの場合は、0.1 $\mu$ F のコンデンサを推奨します。複数の  $V_{CC}$  ピンがある場合は、各電源ピンに対して 0.01 $\mu$ F または 0.022 $\mu$ F のコンデンサを推奨します。複数のバイパス コンデンサを並列に配置して、異なる周波数のノイズを除去することが許容されます。一般的に、0.1 $\mu$ F と 1 $\mu$ F を並列に使用します。最良の結果を得るため、バイパス コンデンサは電源ピンのできるだけ近くに配置する必要があります。

## 8.4 レイアウト

### 8.4.1 レイアウトのガイドライン

多ビットロジック デバイスを使用する場合、入力をフローティングにしないでください。

多くの場合、デジタル論理デバイスの機能または機能の一部は使用されません (たとえば、3 入力 AND ゲートの 2 つの入力のみを使用したり、4 つのバッファ ゲートのうち 3 つのみを使用したりする場合)。このような未使用の入力ピンを未接続のままにすることはできません。外部接続の電圧が未確定の場合、動作状態が不定になるためです。図 8-3 の仕様は、あらゆる状況で遵守する必要があります。デジタル ロジック デバイスの未使用の入力はすべて、フローティングにならないように、High または Low バイアスに接続する必要があります。特定の未使用入力に適用する必要があるロジックレベルは、デバイスの機能によって異なります。一般に、GND または  $V_{CC}$  のうち、より適切であるかより利便性の高い方に接続されます。本部品がトランシーバでない限り、一般的に、出力をフローティングにすることが許容されます。

### 8.4.2 レイアウト例

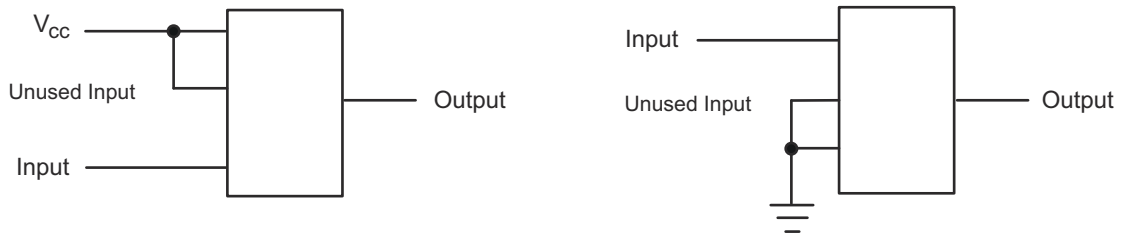


図 8-3. レイアウトの図

## 9 デバイスおよびドキュメントのサポート

### 9.1 ドキュメントのサポート

#### 9.1.1 関連資料

関連資料については、以下を参照してください。

テキサス・インスツルメンツのアプリケーション レポート『低速またはフローティング CMOS 入力の影響』(SCBA004)

### 9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、[www.tij.co.jp](http://www.tij.co.jp) のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

### 9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

### 9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

### 9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

### 9.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

## 10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

### Changes from Revision T (May 2024) to Revision U (July 2024) Page

- R0JA の値を更新:D = 98.4 を 127.8 に変更、NS = 93.9 を 123.8 に変更、PW = 127.7 を 150.8 に変更、RGY = 35 を 92.1 に変更。D、NS、PW、RGY パッケージの R0JC(top)、R0JB、ΨJT、ΨJB、R0JC(bot) を更新 (値はすべて °C/W)..... 5

### Changes from Revision S (February 2017) to Revision T (May 2024) Page

- ドキュメント全体にわたって表、図、相互参照の採番方法を更新..... 1
- 「パッケージ情報」表、「ピン構成および機能」セクション、および「熱に関する情報」表に BQA パッケージを追加..... 1
- 「パッケージ情報」表にパッケージ サイズを追加..... 1

## 11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報はそのデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

## 重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2024, Texas Instruments Incorporated



**PACKAGING INFORMATION**

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
SN74LVC126ABQAR	ACTIVE	WQFN	BQA	14	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LV126A	<a href="#">Samples</a>
SN74LVC126AD	ACTIVE	SOIC	D	14	50	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC126A	<a href="#">Samples</a>
SN74LVC126ADBR	ACTIVE	SSOP	DB	14	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC126A	<a href="#">Samples</a>
SN74LVC126ADGVR	ACTIVE	TVSOP	DGV	14	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC126A	<a href="#">Samples</a>
SN74LVC126ADR	ACTIVE	SOIC	D	14	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC126A	<a href="#">Samples</a>
SN74LVC126ADRE4	ACTIVE	SOIC	D	14	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC126A	<a href="#">Samples</a>
SN74LVC126ADRG4	ACTIVE	SOIC	D	14	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC126A	<a href="#">Samples</a>
SN74LVC126ADT	ACTIVE	SOIC	D	14	250	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC126A	<a href="#">Samples</a>
SN74LVC126ANSR	ACTIVE	SOP	NS	14	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC126A	<a href="#">Samples</a>
SN74LVC126APW	ACTIVE	TSSOP	PW	14	90	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC126A	<a href="#">Samples</a>
SN74LVC126APWG4	ACTIVE	TSSOP	PW	14	90	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC126A	<a href="#">Samples</a>
SN74LVC126APWR	ACTIVE	TSSOP	PW	14	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC126A	<a href="#">Samples</a>
SN74LVC126APWRE4	ACTIVE	TSSOP	PW	14	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC126A	<a href="#">Samples</a>
SN74LVC126APWRG4	ACTIVE	TSSOP	PW	14	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC126A	<a href="#">Samples</a>
SN74LVC126APWT	ACTIVE	TSSOP	PW	14	250	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC126A	<a href="#">Samples</a>
SN74LVC126ARGYR	ACTIVE	VQFN	RGY	14	3000	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	LC126A	<a href="#">Samples</a>
SN74LVC126ARGYRG4	ACTIVE	VQFN	RGY	14	3000	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	LC126A	<a href="#">Samples</a>

(1) The marketing status values are defined as follows:

**ACTIVE:** Product device recommended for new designs.

**LIFEBUY:** TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

**NRND:** Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

**PREVIEW:** Device has been announced but is not in production. Samples may or may not be available.

**OBSOLETE:** TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

**RoHS Exempt:** TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

**Green:** TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of  $\leq 1000$ ppm threshold. Antimony trioxide based flame retardants must also meet the  $\leq 1000$ ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

**Important Information and Disclaimer:**The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

**OTHER QUALIFIED VERSIONS OF SN74LVC126A :**

- Automotive : [SN74LVC126A-Q1](#)

NOTE: Qualified Version Definitions:

- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

**TAPE AND REEL INFORMATION**

**QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE**


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74LVC126ABQAR	WQFN	BQA	14	3000	180.0	12.4	2.8	3.3	1.1	4.0	12.0	Q1
SN74LVC126ADBR	SSOP	DB	14	2000	330.0	16.4	8.35	6.6	2.4	12.0	16.0	Q1
SN74LVC126ADGVR	TVSOP	DGV	14	2000	330.0	12.4	6.8	4.0	1.6	8.0	12.0	Q1
SN74LVC126ADR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
SN74LVC126ADT	SOIC	D	14	250	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
SN74LVC126ANSR	SOP	NS	14	2000	330.0	16.4	8.2	10.5	2.5	12.0	16.0	Q1
SN74LVC126APWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74LVC126APWT	TSSOP	PW	14	250	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74LVC126ARGYR	VQFN	RGY	14	3000	330.0	12.4	3.75	3.75	1.15	8.0	12.0	Q1

## TAPE AND REEL BOX DIMENSIONS



\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74LVC126ABQAR	WQFN	BQA	14	3000	210.0	185.0	35.0
SN74LVC126ADBR	SSOP	DB	14	2000	356.0	356.0	35.0
SN74LVC126ADGVR	TVSOP	DGV	14	2000	356.0	356.0	35.0
SN74LVC126ADR	SOIC	D	14	2500	356.0	356.0	35.0
SN74LVC126ADT	SOIC	D	14	250	210.0	185.0	35.0
SN74LVC126ANSR	SOP	NS	14	2000	356.0	356.0	35.0
SN74LVC126APWR	TSSOP	PW	14	2000	356.0	356.0	35.0
SN74LVC126APWT	TSSOP	PW	14	250	356.0	356.0	35.0
SN74LVC126ARGYR	VQFN	RGY	14	3000	356.0	356.0	35.0

**TUBE**


\*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
SN74LVC126AD	D	SOIC	14	50	506.6	8	3940	4.32
SN74LVC126APW	PW	TSSOP	14	90	530	10.2	3600	3.5
SN74LVC126APWG4	PW	TSSOP	14	90	530	10.2	3600	3.5

# DB0014A



# PACKAGE OUTLINE

## SSOP - 2 mm max height

SMALL OUTLINE PACKAGE



### NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-150.

# EXAMPLE BOARD LAYOUT

DB0014A

SSOP - 2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE: 10X



4220762/A 05/2024

NOTES: (continued)

- 5. Publication IPC-7351 may have alternate designs.
- 6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

# EXAMPLE STENCIL DESIGN

DB0014A

SSOP - 2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE  
BASED ON 0.125 mm THICK STENCIL  
SCALE: 10X

4220762/A 05/2024

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

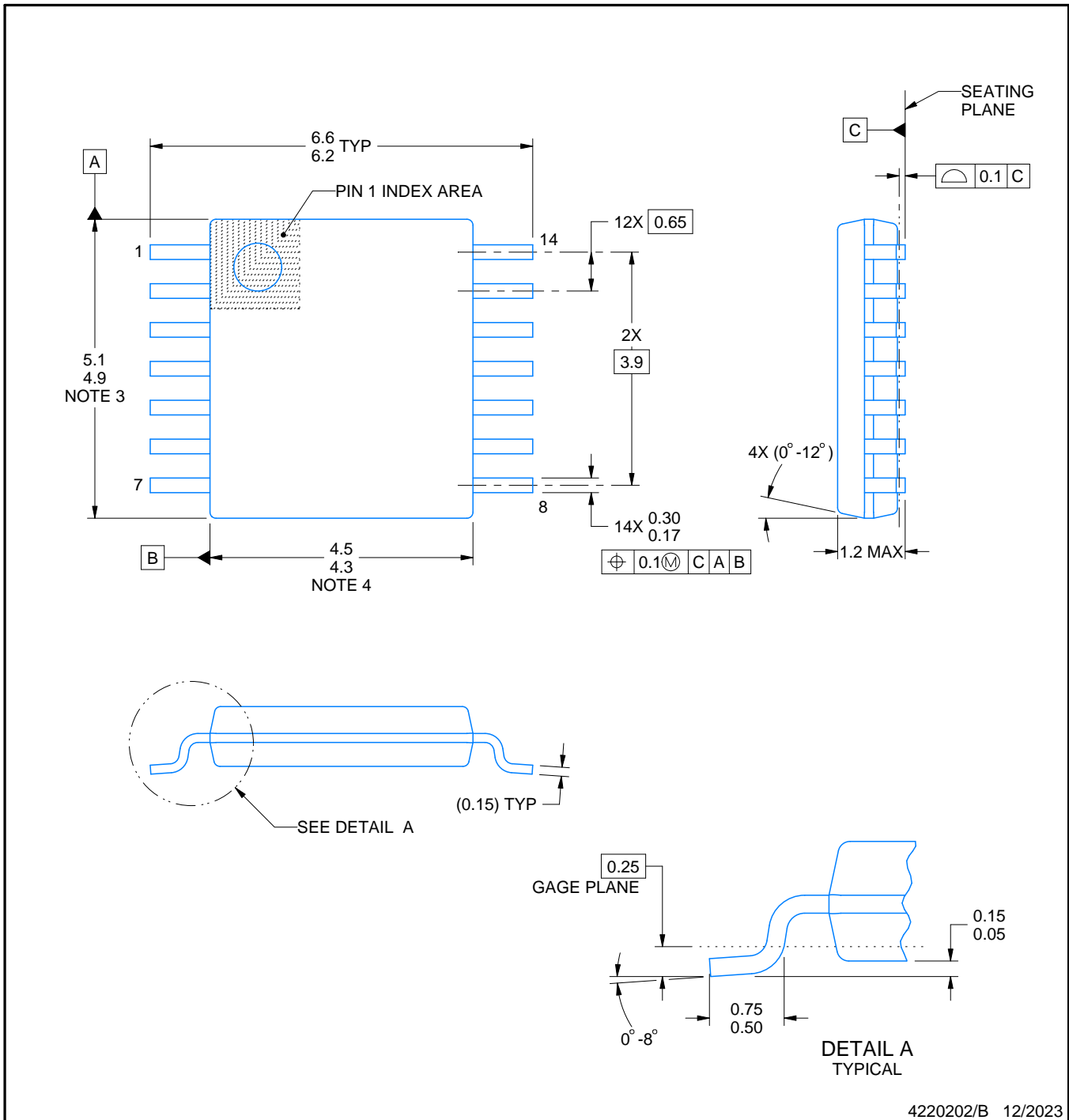


PW0014A



**PACKAGE OUTLINE**  
**TSSOP - 1.2 mm max height**

SMALL OUTLINE PACKAGE



4220202/B 12/2023

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.

# EXAMPLE BOARD LAYOUT

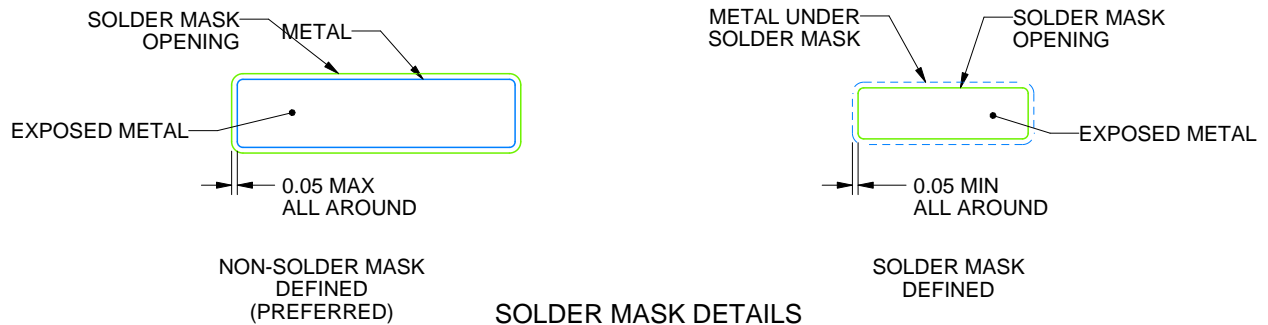
PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE: 10X



4220202/B 12/2023

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

# EXAMPLE STENCIL DESIGN

PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE  
BASED ON 0.125 mm THICK STENCIL  
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

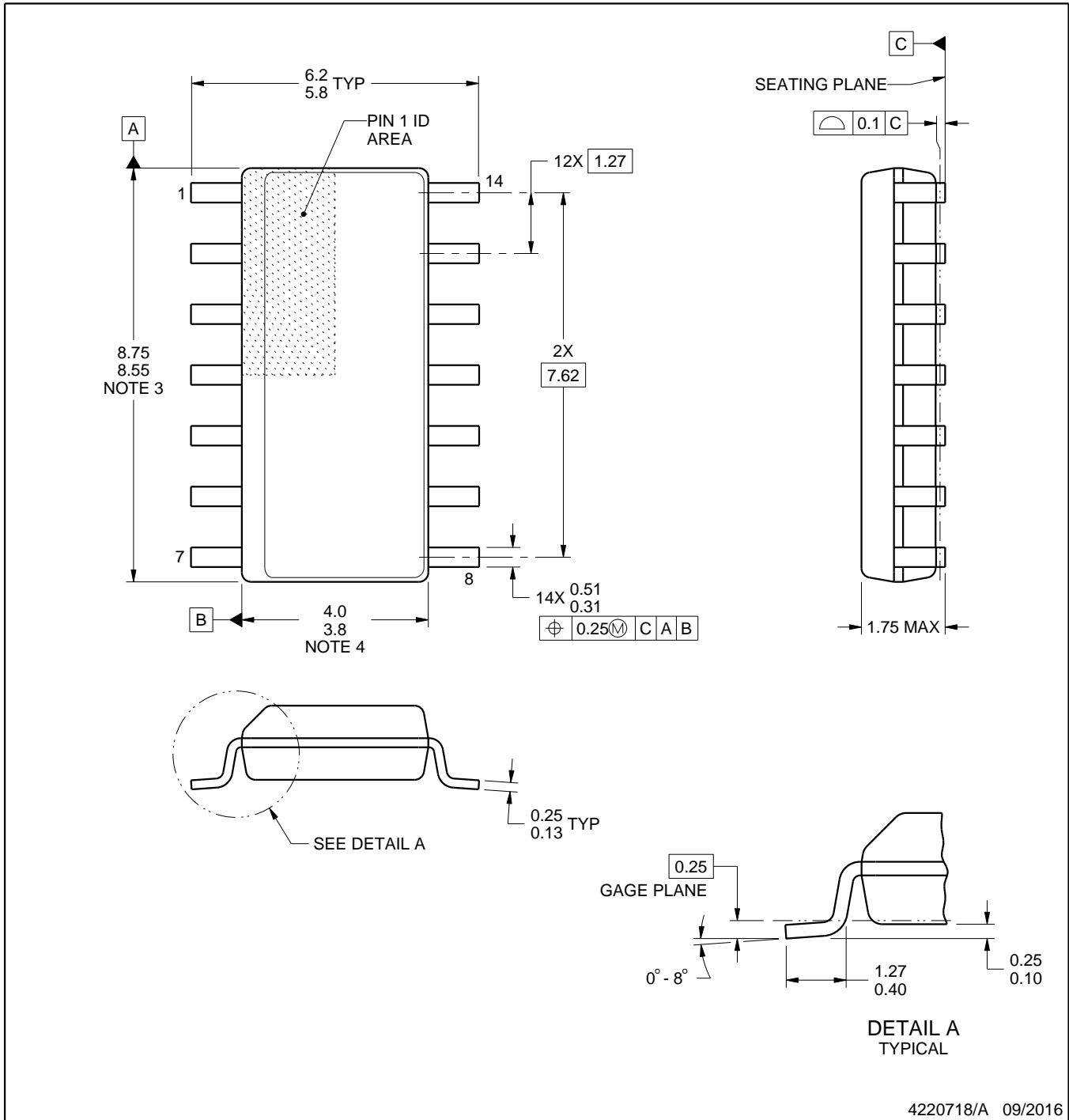
D0014A



# PACKAGE OUTLINE

## SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4220718/A 09/2016

# EXAMPLE BOARD LAYOUT

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE  
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

# EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE  
BASED ON 0.125 mm THICK STENCIL  
SCALE:8X

4220718/A 09/2016


NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

RGY (S-PVQFN-N14)

PLASTIC QUAD FLATPACK NO-LEAD



- NOTES:
- A. All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M-1994.
  - B. This drawing is subject to change without notice.
  - C. QFN (Quad Flatpack No-Lead) package configuration.
  - D. The package thermal pad must be soldered to the board for thermal and mechanical performance.
  - E. See the additional figure in the Product Data Sheet for details regarding the exposed thermal pad features and dimensions.
  -  Pin 1 identifiers are located on both top and bottom of the package and within the zone indicated. The Pin 1 identifiers are either a molded, marked, or metal feature.
  - G. Package complies to JEDEC MO-241 variation BA.

RGY (S-PVQFN-N14)

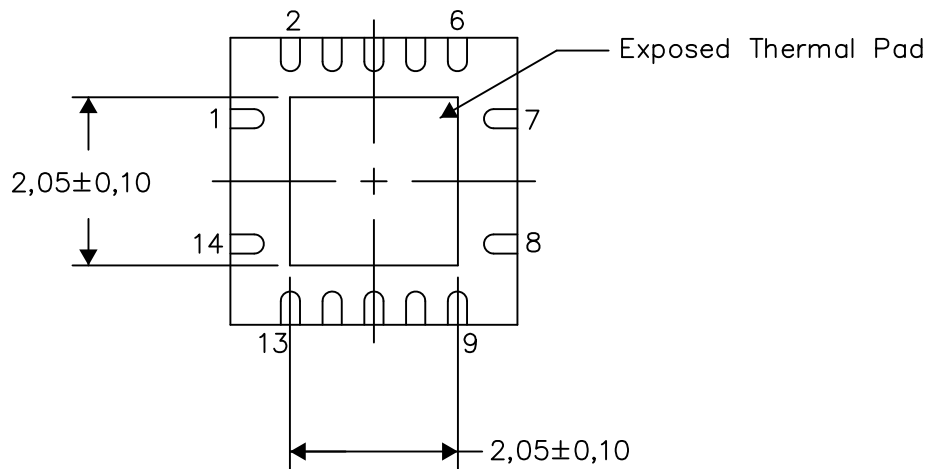
PLASTIC QUAD FLATPACK NO-LEAD

**THERMAL INFORMATION**

This package incorporates an exposed thermal pad that is designed to be attached directly to an external heatsink. The thermal pad must be soldered directly to the printed circuit board (PCB). After soldering, the PCB can be used as a heatsink. In addition, through the use of thermal vias, the thermal pad can be attached directly to the appropriate copper plane shown in the electrical schematic for the device, or alternatively, can be attached to a special heatsink structure designed into the PCB. This design optimizes the heat transfer from the integrated circuit (IC).

For information on the Quad Flatpack No-Lead (QFN) package and its advantages, refer to Application Report, QFN/SON PCB Attachment, Texas Instruments Literature No. SLUA271. This document is available at [www.ti.com](http://www.ti.com).

The exposed thermal pad dimensions for this package are shown in the following illustration.



Bottom View

Exposed Thermal Pad Dimensions

4206353-2/P 03/14

NOTE: All linear dimensions are in millimeters



RGY (S-PVQFN-N14)

PLASTIC QUAD FLATPACK NO-LEAD



4208122-2/P 03/14

- NOTES:
- All linear dimensions are in millimeters.
  - This drawing is subject to change without notice.
  - Publication IPC-7351 is recommended for alternate designs.
  - This package is designed to be soldered to a thermal pad on the board. Refer to Application Note, Quad Flat-Pack QFN/SON PCB Attachment, Texas Instruments Literature No. SLUA271, and also the Product Data Sheets for specific thermal information, via requirements, and recommended board layout. These documents are available at [www.ti.com](http://www.ti.com) <<http://www.ti.com>>.
  - Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC 7525 for stencil design considerations.
  - Customers should contact their board fabrication site for minimum solder mask web tolerances between signal pads.

## GENERIC PACKAGE VIEW

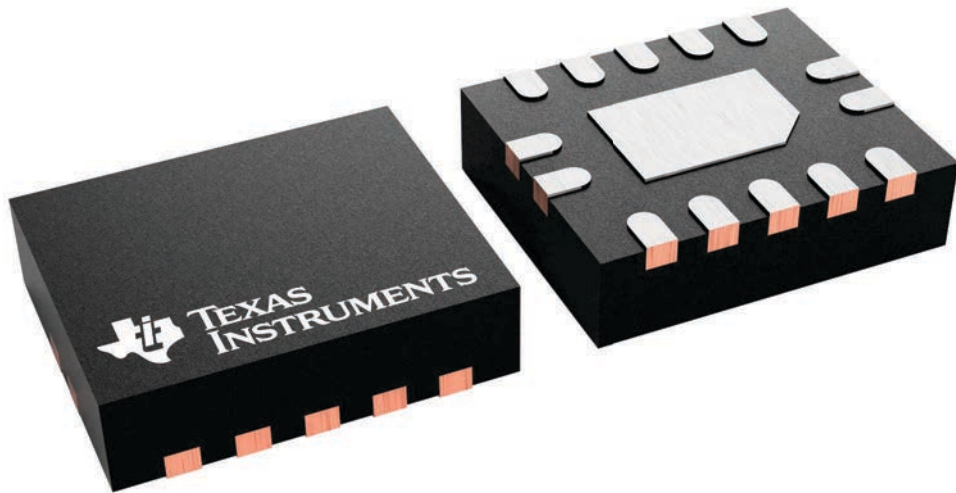
**BQA 14**

**WQFN - 0.8 mm max height**

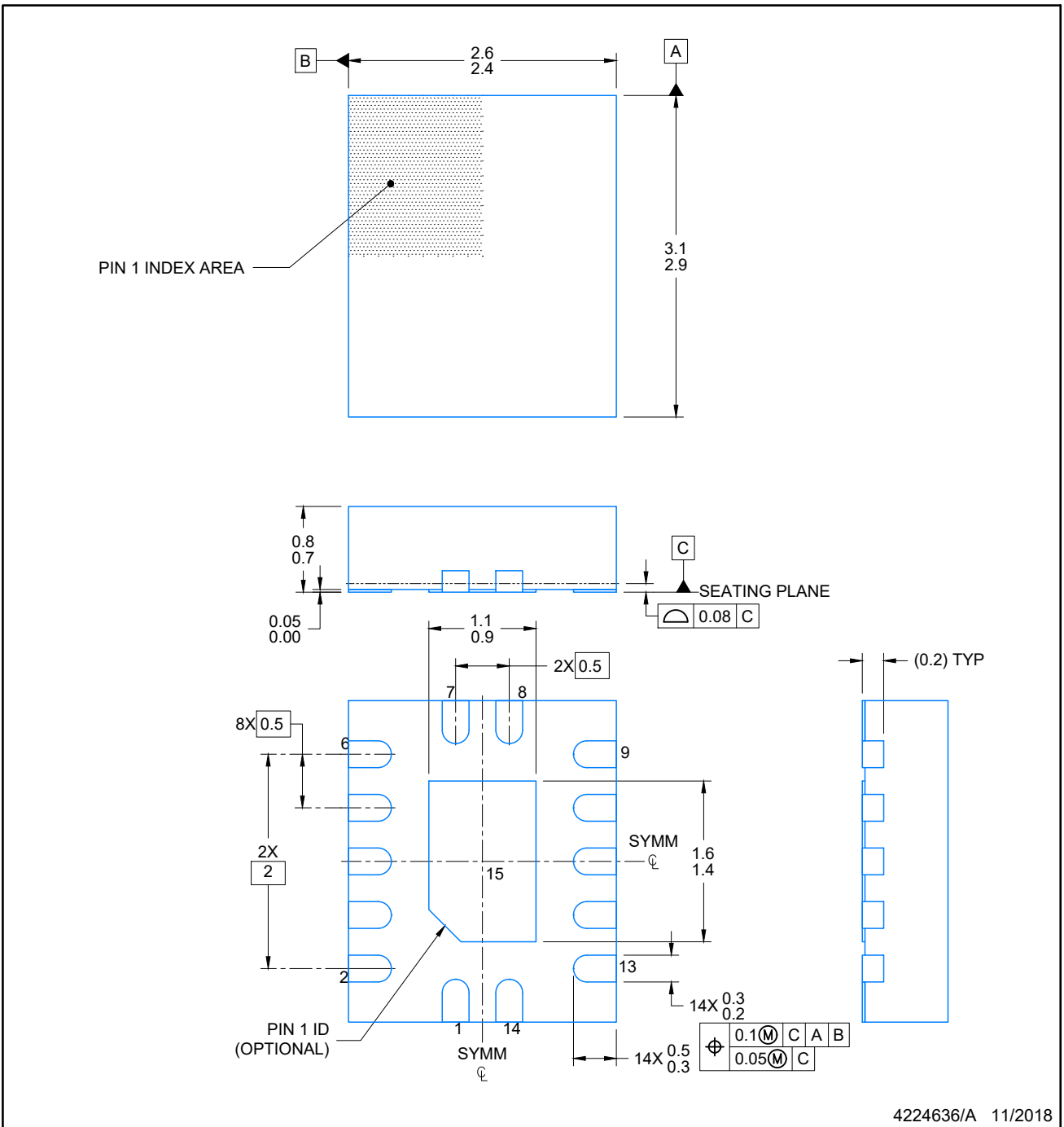
2.5 x 3, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.  
Refer to the product data sheet for package details.



4227145/A



4224636/A 11/2018

**NOTES:**

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.

# EXAMPLE BOARD LAYOUT

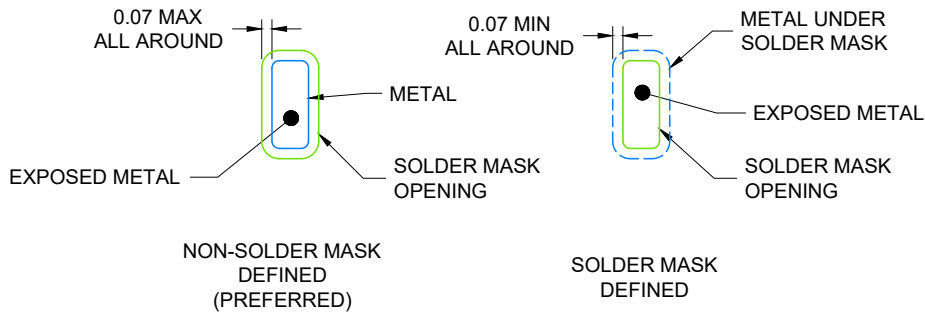
BQA0014A

WQFN - 0.8 mm max height

PLASTIC QUAD FLAT PACK-NO LEAD



LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE: 20X



4224636/A 11/2018

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 ([www.ti.com/lit/slua271](http://www.ti.com/lit/slua271)).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

# EXAMPLE STENCIL DESIGN

BQA0014A

WQFN - 0.8 mm max height

PLASTIC QUAD FLAT PACK-NO LEAD



SOLDER PASTE EXAMPLE  
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD  
88% PRINTED COVERAGE BY AREA  
SCALE: 20X

4224636/A 11/2018

NOTES: (continued)

- 6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

## MECHANICAL DATA

NS (R-PDSO-G\*\*)

PLASTIC SMALL-OUTLINE PACKAGE

14-PINS SHOWN



- NOTES:
- A. All linear dimensions are in millimeters.
  - B. This drawing is subject to change without notice.
  - C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15.

## 重要なお知らせと免責事項

TI は、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](#) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265  
Copyright © 2024, Texas Instruments Incorporated