

SN74LVC1G123 シュミット・トリガ入力、シングル、再トリガ可能、モノステーブル・マルチバイブレータ

1 特長

- テキサス・インスツルメンツの NanoFree™ パッケージで提供
- 5V V_{CC} 動作をサポート
- 5.5V までの入力許容電圧
- 最大 t_{pd} 8ns (3.3V 時)
- すべてのポートで混合モード電圧動作をサポート
- V_{CC} への降圧変換をサポート
- \bar{A} および B 入力のシュミットトリガ回路により、低速の入力遷移レートにも対応
- アクティブ High またはアクティブ Low のゲーテッド ロジック入力でエッジトリガ可能
- 非常に長い出力パルスに対して再トリガ可能 (最大 100% のデューティサイクル)
- クリアをオーバーライドすることで出力パルスを終了
- グリッチが発生しないリセット出力
- I_{off} により活線挿抜、部分的パワーダウン モード、バックドライブ保護をサポート
- JESD 78、Class II 準拠で 100mA 超のラッチアップ性能
- JESD 22 を超える ESD 保護
 - 2000V、人体モデル (A114-A)
 - 200V、マシン モデル(A115-A)
 - 1000V、デバイス帯電モデル (C101)

2 アプリケーション

- AV レシーバ
- Blu-Ray プレイヤーおよびホームシアター
- DVD レコーダおよびプレーヤ
- デスクトップ PC またはノート PC
- デジタル ラジオおよびインターネット ラジオ プレーヤ
- デジタル ビデオ カメラ (DVC)
- 組み込み用 PC
- GPS: パーソナル ナビゲーション デバイス
- モバイル インターネット デバイス
- ネットワーク接続ストレージ (NAS)
- パーソナル デジタル アシスタント (PDA)
- サーバー PSU
- SSD (ソリッドステートドライブ): クライアントおよびエンタープライズ
- ビデオ アナリティクス サーバー
- ワイヤレス ヘッドセット、キーボード、マウス

3 概要

SN74LVC1G123 デバイスはシングル再トリガ可能モノステーブル マルチバイブレータで、1.65V~5.5V の V_{CC} で動作するよう設計されています。

このモノステーブル マルチバイブレータは、出力パルスの持続時間を制御するために、3つの手法を採用しています。1番目の方法では、 \bar{A} 入力が Low のときに、B 入力が High に遷移します。2番目の方法では、B 入力が High のときに、 \bar{A} 入力が Low に遷移します。3番目の方法では、 \bar{A} 入力が Low、B 入力が High のときに、クリア (CLR) 入力が High に遷移します。

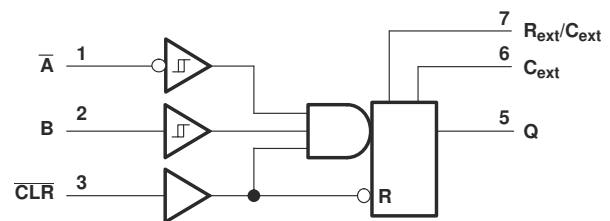
出力パルス幅は、外付けの抵抗と容量の値を選択することで設定されます。外付けタイミングコンデンサは C_{ext} と R_{ext}/C_{ext} (正極側) の間に接続する必要があります。外付け抵抗は R_{ext}/C_{ext} と V_{CC} の間に接続する必要があります。パルス幅を変化させるには、 R_{ext}/C_{ext} と V_{CC} の間に外付けの可変抵抗を接続します。CLR を Low にすることで、出力パルスの持続時間を低減することもできます。

パルスのトリガは特定の電圧レベルで発生し、入力パルスの遷移時間とは直接関係しません。 \bar{A} および B 入力は、入力の遷移速度が遅くても出力にジッタを発生させずにパルス生成するのに十分なヒステリシスを持ったシュミットトリガを備えています。

製品情報

部品番号	パッケージ (1)	本体サイズ (公称)
SN74LVC1G123	SSOP (8)	2.95mm × 2.80mm
	VSSOP (8)	2.30mm × 2.00mm
	DSBGA (8)	1.91mm × 0.91mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。



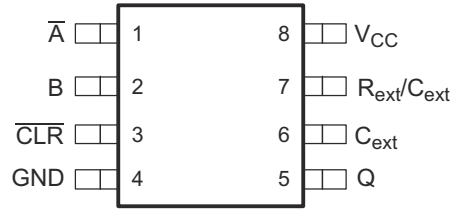
論理図 (正論理)



目次

1 特長	1	7.2 機能ブロック図.....	12
2 アプリケーション	1	7.3 機能説明.....	12
3 概要	1	7.4 デバイスの機能モード.....	13
4 ピン構成および機能	3	8 アプリケーションと実装	14
5 仕様	4	8.1 アプリケーション情報.....	14
5.1 絶対最大定格.....	4	8.2 代表的なアプリケーション.....	14
5.2 ESD 定格.....	4	9 電源に関する推奨事項	16
5.3 推奨動作条件.....	4	10 レイアウト	16
5.4 熱に関する情報.....	5	10.1 レイアウトのガイドライン.....	16
5.5 電気的特性.....	5	10.2 レイアウト例.....	16
5.6 タイミング要件.....	6	11 デバイスおよびドキュメントのサポート	17
5.7 スイッチング特性、 $C_L = 15\text{pF}$ 、 $-40^\circ\text{C} \sim 85^\circ\text{C}$	7	11.1 ドキュメントのサポート.....	17
5.8 スイッチング特性、 $C_L = 50\text{pF}$ 、 $-40^\circ\text{C} \sim 85^\circ\text{C}$	7	11.2 ドキュメントの更新通知を受け取る方法.....	17
5.9 スイッチング特性、 $C_L = 50\text{pF}$ 、 $-40^\circ\text{C} \sim 125^\circ\text{C}$	7	11.3 サポート・リソース.....	17
5.10 動作特性.....	8	11.4 商標.....	17
5.11 代表的特性.....	9	11.5 静電気放電に関する注意事項.....	17
6 パラメータ測定情報	10	11.6 用語集.....	17
7 詳細説明	12	12 改訂履歴	17
7.1 概要.....	12	13 メカニカル、パッケージ、および注文情報	18

4 ピン構成および機能



寸法については、機械図面を参照してください。

図 4-1. DCT パッケージ 8 ピン SSOP 上面図

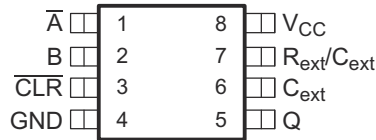


図 4-2. DCU パッケージ 8 ピン VSSOP 上面図

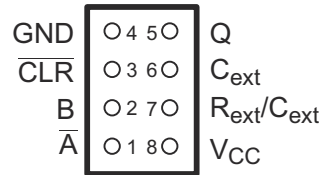


図 4-3. YZP パッケージ 8 ピン DSBGA 底面図

表 4-1. ピンの機能

ピン		I/O	説明
名称	番号		
\bar{A}	1	I	立ち下がりエッジに敏感な入力。B と $\overline{\text{CLR}}$ を High に保持する必要があります。
B	2	I	立ち上がりエッジに敏感な入力。 \bar{A} を Low に、 $\overline{\text{CLR}}$ を High に保持する必要があります。
$\overline{\text{CLR}}$	3	I	クリア、アクティブ Low。 \bar{A} が Low に、B が High に保持されている場合、立ち上がりエッジに敏感な入力として動作することもできます。
GND	4	—	グラウンド
Q	5	O	出力
C_{ext}	6	—	外付けコンデンサのみに接続します
$R_{\text{ext}}/C_{\text{ext}}$	7	—	外付けコンデンサおよび抵抗に接続します
V_{CC}	8	—	電源

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位
V _{CC}	電源電圧	-0.5	6.5	V
V _I	入力電圧 ⁽²⁾	-0.5	6.5	V
V _O	高インピーダンスまたは電源オフ状態で出力に印加される電圧 ⁽²⁾	-0.5	6.5	V
V _O	High または Low 状態で出力に印加される電圧 ^{(2) (3)}	-0.5	V _{CC} + 0.5	V
I _{IK}	入力クランプ電流	V _I < 0	-50	mA
I _{OK}	出力クランプ電流	V _O < 0	-50	mA
I _O	連続出力電流		±50	mA
	V _{CC} または GND を通過する連続電流		±100	mA
T _{stg}	保管温度	-65	150	°C

- (1) 「絶対最大定格」を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これらはいくまでもストレス評価であり、データシートの「推奨動作条件」に示された値と等しい、またはそれを超える条件で本製品が正しく動作することを暗黙的に示すものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
- (2) 入力と出力のクランプ電流の定格を順守しても、入力と出力の負電圧の定格を超えることがあります。
- (3) V_{CC} の値は、「推奨動作条件」の表に記載されています。

5.2 ESD 定格

		値	単位
V _(ESD)	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	+2000
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠 ⁽²⁾	+1000

- (1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
- (2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		動作	最小値	最大値	単位
V _{CC}	電源電圧	動作	1.65	5.5	V
		データ保持のみ	1.5		
V _{IH}	High レベル入力電圧	V _{CC} = 1.65 V ~ 1.95 V	0.65 × V _{CC}		V
		V _{CC} = 2.3 V ~ 2.7 V	1.7		
		V _{CC} = 3 V ~ 3.6 V	2		
		V _{CC} = 4.5 V ~ 5.5 V	0.7 × V _{CC}		
V _{IL}	Low レベル入力電圧	V _{CC} = 1.65 V ~ 1.95 V		0.35 × V _{CC}	V
		V _{CC} = 2.3 V ~ 2.7 V		0.7	
		V _{CC} = 3 V ~ 3.6 V		0.8	
		V _{CC} = 4.5 V ~ 5.5 V		0.3 × V _{CC}	
V _I	入力電圧		0	5.5	V
V _O	出力電圧		0	V _{CC}	V
I _{OH}	High レベル出力電流	V _{CC} = 1.65 V		-4	mA
		V _{CC} = 2.3 V		-8	
		V _{CC} = 3 V		-16	
		V _{CC} = 4.5 V		-24	

5.3 推奨動作条件 (続き)

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位
I _{OL}	Low レベル出力電流	V _{CC} = 1.65 V	4	mA
		V _{CC} = 2.3 V	8	
		V _{CC} = 3 V	16	
			24	
		V _{CC} = 4.5 V	32	
R _{ext} ⁽²⁾	外部タイミング抵抗	V _{CC} = 2 V	5	kΩ
		V _{CC} ≥ 3V	1	
T _A	自由空気での動作温度	-40	125	°C

- (1) デバイスが適切に動作するように、デバイスの未使用の入力はすべて、V_{CC} または GND に固定する必要があります。テキサス・インスツルメンツのアプリケーション レポート『低速またはフローティング CMOS 入力の影響』、SCBA004 を参照してください。
- (2) R_{ext}/C_{ext} は I/O です。GND または V_{CC} に直接接続しないでください。

5.4 熱に関する情報

熱評価基準 ⁽¹⁾	SN74LVC1G123			単位	
	DCT (SSOP)	DCU (VSSOP)	YZP (DSBGA)		
	8 ピン	8 ピン	8 ピン		
R _{θJA}	接合部から周囲への熱抵抗	220	227	102	°C/W

- (1) 従来および最新の熱測定基準の詳細については、アプリケーション レポート『半導体および IC パッケージの熱評価基準』、SPRA953 を参照してください。

5.5 電気的特性

自由空気での推奨動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	V _{CC}	-40°C~85°C			-40°C~125°C			単位
			最小値	標準値 ⁽¹⁾	最大値	最小値	標準値 ⁽¹⁾	最大値	
V _{OH}	I _{OH} = -100 μA	1.65 V~5.5V	V _{CC} - 0.1			V _{CC} - 0.1			V
	I _{OH} = -4 mA	1.65 V	1.2			1.2			
	I _{OH} = -8 mA	2.3 V	1.9			1.9			
	I _{OH} = -16 mA	3 V	2.4			2.4			
	I _{OH} = -24 mA		2.3			2.3			
	I _{OH} = -32 mA	4.5 V	3.8			3.8			
V _{OL}	I _{OL} = 100 μA	1.65 V~5.5V	0.1			0.1			V
	I _{OL} = 4 mA	1.65 V	0.45			0.45			
	I _{OL} = 8 mA	2.3 V	0.3			0.3			
	I _{OL} = 16 mA	3 V	0.4			0.4			
	I _{OL} = 24 mA		0.55			0.55			
	I _{OL} = 32 mA	4.5 V	0.55			0.55			
I _I	R _{ext} /C _{ext} ⁽²⁾	B = GND、 A̅ = CLR = V _{CC}	1.65 V~5.5V			±0.25			μA
	A̅、B、CLR	V _I = 5.5V または GND	5.5V			±1			
I _{off}	A̅、B、Q、CLR	V _I または V _O = 5.5V	0			±10			μA
I _{CC}	静止時	V _I = V _{CC} または GND、 I _O = 0	5.5 V			20			μA

5.5 電気的特性 (続き)

自由空気での推奨動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	V _{CC}	-40°C~85°C			-40°C~125°C			単位
			最小値	標準値 ⁽¹⁾	最大値	最小値	標準値 ⁽¹⁾	最大値	
I _{CC} アクティブ状態	V _I = V _{CC} または GND、 R _{ext} /C _{ext} = 0.5V _{CC}	1.65 V			165			165	μA
		2.3 V			220			220	
		3 V			280			280	
		4.5 V			650			650	
		5.5 V			975			975	
C _I	V _I = V _{CC} または GND	3.3 V		3				pF	

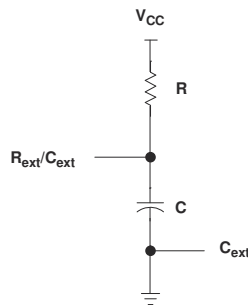
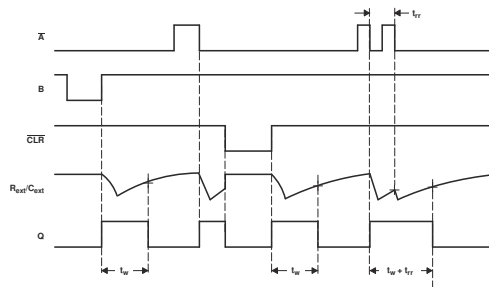
 (1) 代表値はすべて、V_{CC} = 3.3V、T_A = 25°Cにおける値です。

(2) このテストは、端子が OFF 状態のときに実行します。

5.6 タイミング要件

自由空気での推奨動作温度範囲内 (特に記述のない限り) (図 6-1 を参照)

パラメータ	テスト条件	-40°C~125°C								単位
		V _{CC} = 1.8V ± 0.15V		V _{CC} = 2.5V ± 0.2V		V _{CC} = 3.3V ± 0.3V		V _{CC} = 5V ± 0.5V		
		最小値	代表値	最小値	代表値	最小値	代表値	最小値	代表値	
t _{wIN} パルス幅	CLR	8		4		3		2.5		ns
	\bar{A} または B トリガ	8		4		3		2.5		
t _{rr} パルス再トリガ時間	R _{ext} = 1kΩ	C _{ext} = 100pF				5.5		4.5		ns
		C _{ext} = 100μF				1.4		1.1		μs
	R _{ext} = 5kΩ	C _{ext} = 100pF		75		45				ns
		C _{ext} = 100μF		1.8		1.4				μs


図 5-1. 必要なタイミング回路

図 5-2. 入力 / 出力タイミング図

5.7 スイッチング特性、 $C_L = 15\text{pF}$ 、 $-40^\circ\text{C} \sim 85^\circ\text{C}$

自由気流での推奨動作温度範囲内、 $C_L = 15\text{pF}$ (特に記述のない限り) (図 6-1 を参照)

パラメータ	始点 (入力)	終点 (出力)	-40°C~85°C								単位	
			$V_{CC} = 1.8\text{V}$ $\pm 0.15\text{V}$			$V_{CC} = 2.5\text{V}$ $\pm 0.2\text{V}$		$V_{CC} = 3.3\text{V}$ $\pm 0.3\text{V}$		$V_{CC} = 5\text{V}$ $\pm 0.5\text{V}$		
			最小値	代表値	最大値	最小値	最大値	最小値	最大値	最小値		最大値
t_{pd}	\bar{A} または B	Q	7	18.5	52	4	17	3	11.5	2	7.6	ns
	CLR		5	12.4	34	3	11.5	2	8	1.5	5.5	
	CLR トリガ		7	17.4	54	4	15.5	3	10.5	2	7	

5.8 スイッチング特性、 $C_L = 50\text{pF}$ 、 $-40^\circ\text{C} \sim 85^\circ\text{C}$

自由気流での推奨動作温度範囲内、 $C_L = 50\text{pF}$ (特に記述のない限り) (図 6-1 を参照)

パラメータ	始点 (入力)	終点 (出力)	テスト 条件	-40°C~85°C								単位	
				$V_{CC} = 1.8\text{V}$ $\pm 0.15\text{V}$		$V_{CC} = 2.5\text{V}$ $\pm 0.2\text{V}$		$V_{CC} = 3.3\text{V}$ $\pm 0.3\text{V}$		$V_{CC} = 5\text{V}$ $\pm 0.5\text{V}$			
				最小値	標準値 ⁽¹⁾	最大値	最小値	最大値	最小値	最大値	最小値		最大値
t_{pd}	\bar{A} または B	Q		6	18.6	57	3	18.5	2	12.5	1.5	8.2	ns
	CLR			4	11.6	36.5	2	12.5	1.5	8.6	1.5	6	
	CLR トリガ			5	17.3	59	2.5	17	2	11.5	1.5	7.5	
$t_{wOUT}^{(2)}$		Q	$C_{ext} = 28\text{pF}$ 、 $R_{ext} = 2\text{k}\Omega$	225	600	190	220	170	200	150	180	ns	
			$C_{ext} = 0.01\mu\text{F}$ 、 $R_{ext} = 10\text{k}\Omega$	100	110	100	110	100	110	100	110	μs	
			$C_{ext} = 0.1\mu\text{F}$ 、 $R_{ext} = 10\text{k}\Omega$	1	1.1	1	1.1	1	1.1	1	1.1	ms	

(1) $T_A = 25^\circ\text{C}$

(2) t_w = パルス幅 (Q 出力で)

5.9 スイッチング特性、 $C_L = 50\text{pF}$ 、 $-40^\circ\text{C} \sim 125^\circ\text{C}$

自由気流での推奨動作温度範囲内、 $C_L = 50\text{pF}$ (特に記述のない限り) (図 6-1 を参照)

パラメータ	始点 (入力)	終点 (出力)	テスト 条件	-40°C~125°C								単位	
				$V_{CC} = 1.8\text{V}$ $\pm 0.15\text{V}$		$V_{CC} = 2.5\text{V}$ $\pm 0.2\text{V}$		$V_{CC} = 3.3\text{V}$ $\pm 0.3\text{V}$		$V_{CC} = 5\text{V}$ $\pm 0.5\text{V}$			
				最小値	標準値 ⁽¹⁾	最大値	最小値	最大値	最小値	最大値	最小値		最大値
t_{pd}	\bar{A} または B	Q		6		58	3	19.5	2	13.2	1.5	8.7	ns
	CLR			4		37	2	13.5	1.5	9.2	1.5	6.5	
	CLR トリガ			5		60	2.5	18	2	12	1.5	8	
$t_{wOUT}^{(2)}$		Q	$C_L = 28\text{pF}$ 、 $R_{ext} = 2\text{k}\Omega$	225	600	190	220	170	200	150	180	ns	
			$C_{ext} = 0.01\mu\text{F}$ 、 $R_{ext} = 10\text{k}\Omega$	100	110	100	110	100	110	100	110	μs	
			$C_{ext} = 0.1\mu\text{F}$ 、 $R_{ext} = 10\text{k}\Omega$	1	1.1	1	1.1	1	1.1	1	1.1	ms	

(1) $T_A = 25^\circ\text{C}$

(2) t_w = パルス幅 (Q 出力で)

5.10 動作特性

T_A = 25°C

パラメータ	テスト条件		V _{CC} = 1.8 V	V _{CC} = 2.5 V	V _{CC} = 3.3V	V _{CC} = 5 V	単位
			標準値	標準値	標準値	標準値	
C _{pd} 電力散逸 容量	\bar{A} = Low, B = High, \overline{CLR} = 10MHz	R _{ext} = 1kΩ, C _{ext} なし			35	37	pF
		R _{ext} = 5kΩ, C _{ext} なし	41	40			

5.11 代表的特性

自由空気での推奨動作温度範囲内 (特に記述のない限り)

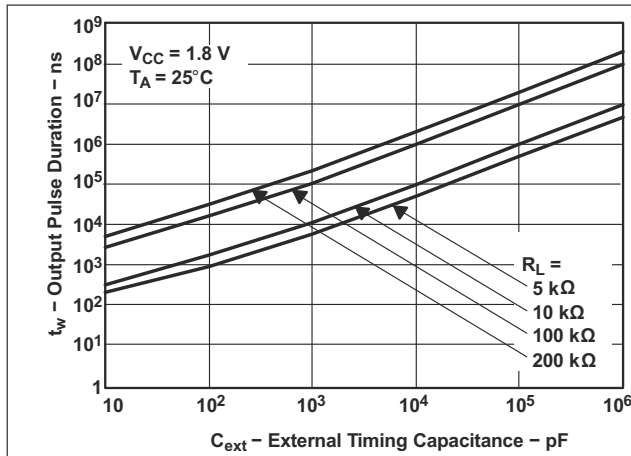


図 5-3. 出力パルス幅
と外部タイミング容量との関係

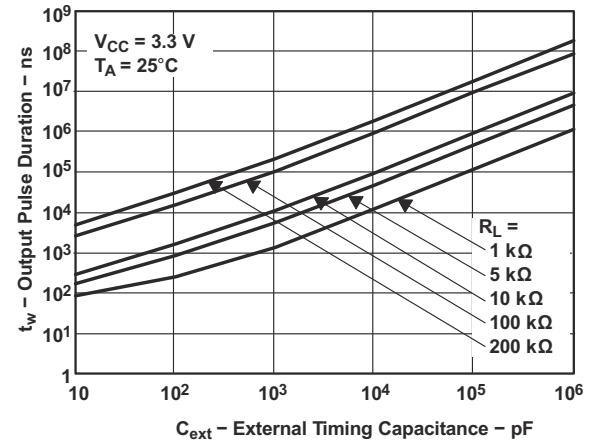


図 5-4. 出力パルス幅
と外部タイミング容量との関係

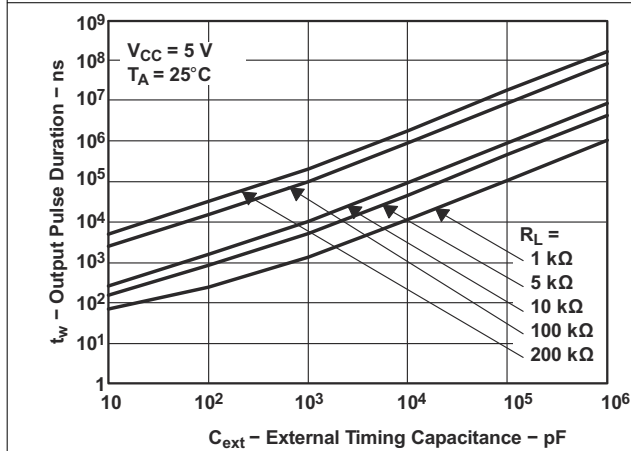


図 5-5. 出力パルス幅
と外部タイミング容量との関係

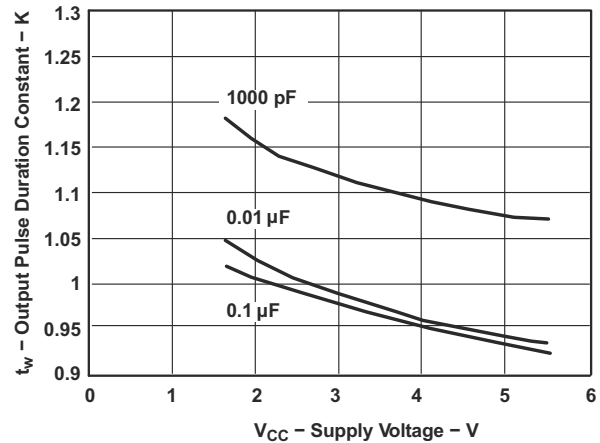


図 5-6. 出力パルス幅定数
と電源電圧との関係

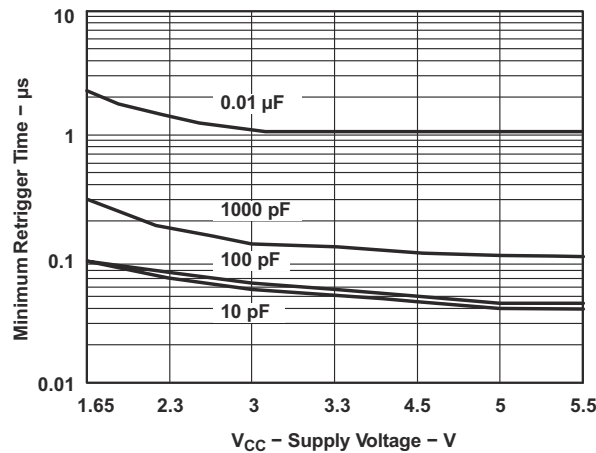
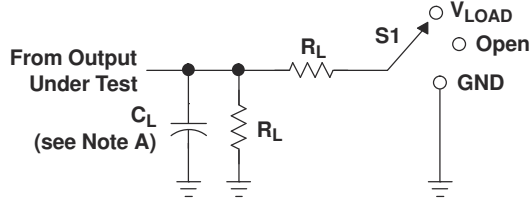


図 5-7. 最小再トリガ時間
と電源電圧との関係

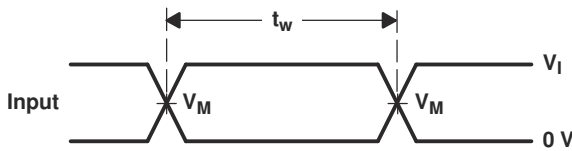
6 パラメータ測定情報



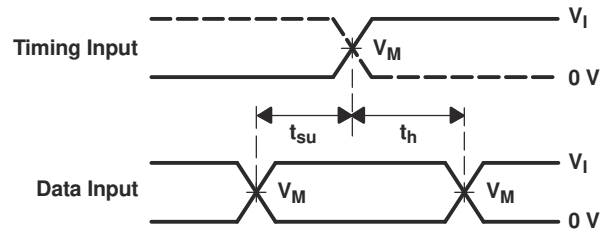
LOAD CIRCUIT

TEST	S1
t_{PLH}/t_{PHL}	Open
t_{PLZ}/t_{PZL}	V_{LOAD}
t_{PHZ}/t_{PZH}	GND

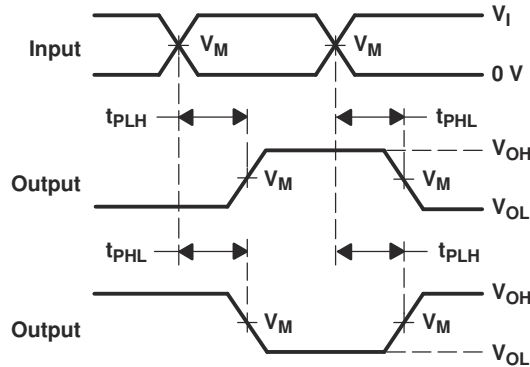
V_{CC}	INPUTS		V_M	V_{LOAD}	C_L	R_L	V_{Δ}
	V_I	t_r/t_f					
$1.8\text{ V} \pm 0.15\text{ V}$	V_{CC}	$\leq 2\text{ ns}$	$V_{CC}/2$	$2 \times V_{CC}$	15 pF	1 M Ω	0.15 V
$2.5\text{ V} \pm 0.2\text{ V}$	V_{CC}	$\leq 2\text{ ns}$	$V_{CC}/2$	$2 \times V_{CC}$	15 pF	1 M Ω	0.15 V
$3.3\text{ V} \pm 0.3\text{ V}$	3 V	$\leq 2.5\text{ ns}$	1.5 V	6 V	15 pF	1 M Ω	0.3 V
$5\text{ V} \pm 0.5\text{ V}$	V_{CC}	$\leq 2.5\text{ ns}$	$V_{CC}/2$	$2 \times V_{CC}$	15 pF	1 M Ω	0.3 V



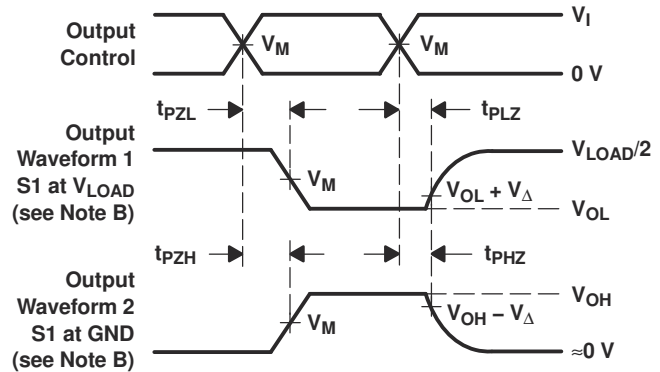
VOLTAGE WAVEFORMS
PULSE DURATION



VOLTAGE WAVEFORMS
SETUP AND HOLD TIMES



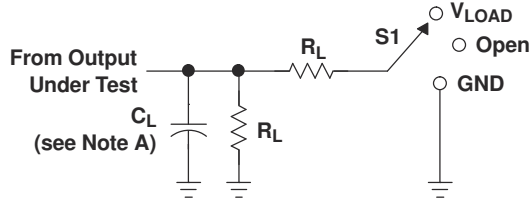
VOLTAGE WAVEFORMS
PROPAGATION DELAY TIMES
INVERTING AND NONINVERTING OUTPUTS



VOLTAGE WAVEFORMS
ENABLE AND DISABLE TIMES
LOW- AND HIGH-LEVEL ENABLING

- NOTES:
- A. C_L includes probe and jig capacitance.
 - B. Waveform 1 is for an output with internal conditions such that the output is low, except when disabled by the output control. Waveform 2 is for an output with internal conditions such that the output is high, except when disabled by the output control.
 - C. All input pulses are supplied by generators having the following characteristics: $PRR \leq 10\text{ MHz}$, $Z_O = 50\ \Omega$.
 - D. The outputs are measured one at a time, with one transition per measurement.
 - E. t_{PLZ} and t_{PHZ} are the same as t_{dis} .
 - F. t_{PZL} and t_{PZH} are the same as t_{en} .
 - G. t_{PLH} and t_{PHL} are the same as t_{pd} .
 - H. All parameters and waveforms are not applicable to all devices.

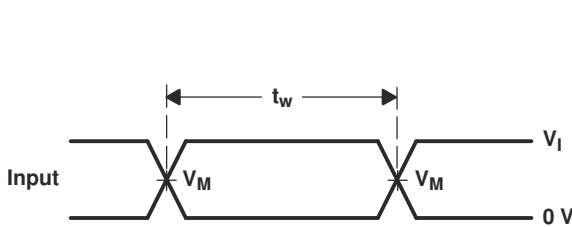
図 6-1. 負荷回路および電圧波形



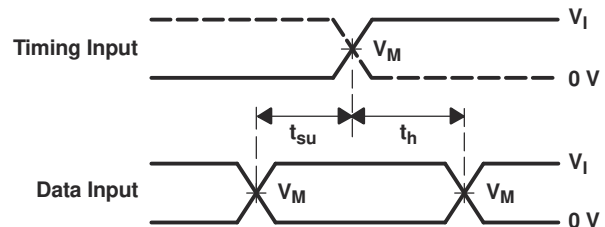
LOAD CIRCUIT

TEST	S1
t_{PLH}/t_{PHL}	Open
t_{PLZ}/t_{PZL}	V_{LOAD}
t_{PHZ}/t_{PZH}	GND

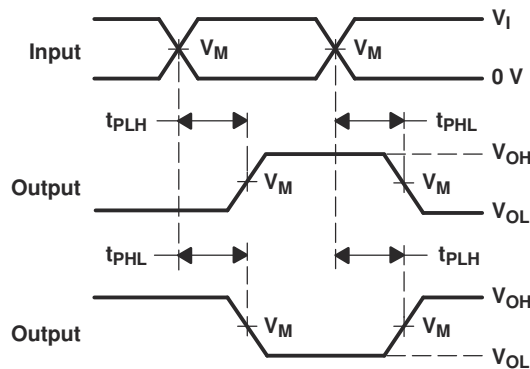
V_{CC}	INPUTS		V_M	V_{LOAD}	C_L	R_L	V_{Δ}
	V_I	t_r/t_f					
$1.8\text{ V} \pm 0.15\text{ V}$	V_{CC}	$\leq 2\text{ ns}$	$V_{CC}/2$	$2 \times V_{CC}$	30 pF	1 k Ω	0.15 V
$2.5\text{ V} \pm 0.2\text{ V}$	V_{CC}	$\leq 2\text{ ns}$	$V_{CC}/2$	$2 \times V_{CC}$	30 pF	500 Ω	0.15 V
$3.3\text{ V} \pm 0.3\text{ V}$	3 V	$\leq 2.5\text{ ns}$	1.5 V	6 V	50 pF	500 Ω	0.3 V
$5\text{ V} \pm 0.5\text{ V}$	V_{CC}	$\leq 2.5\text{ ns}$	$V_{CC}/2$	$2 \times V_{CC}$	50 pF	500 Ω	0.3 V



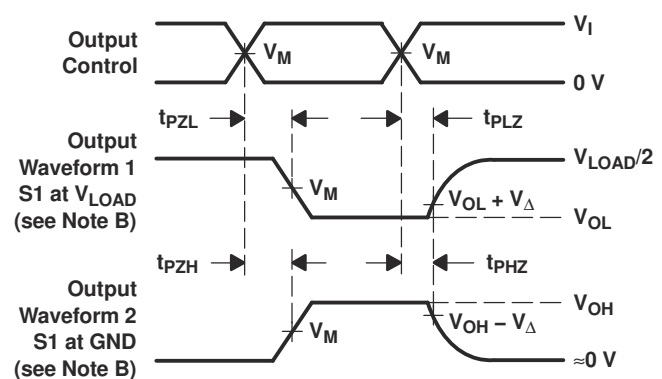
VOLTAGE WAVEFORMS
PULSE DURATION



VOLTAGE WAVEFORMS
SETUP AND HOLD TIMES



VOLTAGE WAVEFORMS
PROPAGATION DELAY TIMES
INVERTING AND NONINVERTING OUTPUTS



VOLTAGE WAVEFORMS
ENABLE AND DISABLE TIMES
LOW- AND HIGH-LEVEL ENABLING

- NOTES:
- C_L includes probe and jig capacitance.
 - Waveform 1 is for an output with internal conditions such that the output is low, except when disabled by the output control. Waveform 2 is for an output with internal conditions such that the output is high, except when disabled by the output control.
 - All input pulses are supplied by generators having the following characteristics: $PRR \leq 10\text{ MHz}$, $Z_O = 50\ \Omega$.
 - The outputs are measured one at a time, with one transition per measurement.
 - t_{PLZ} and t_{PHZ} are the same as t_{dis} .
 - t_{PZL} and t_{PZH} are the same as t_{en} .
 - t_{PLH} and t_{PHL} are the same as t_{pd} .
 - All parameters and waveforms are not applicable to all devices.

図 6-2. 負荷回路および電圧波形

7 詳細説明

7.1 概要

SN74LVC1G123 デバイスはシングル再トリガ可能モノステーブル マルチバイブレータで、1.65V~5.5V の V_{CC} で動作するように設計されています。

このモノステーブル マルチバイブレータは、出力パルスの持続時間を制御するために、3つの手法を採用しています。1番目の方法では、 \bar{A} 入力が Low のときに、B 入力が High に遷移します。2番目の方法では、B 入力が High のときに、 \bar{A} 入力が Low に遷移します。3番目の方法では、 \bar{A} 入力が Low、B 入力が High のときに、クリア (\overline{CLR}) 入力が High に遷移します。

出力パルス幅は、外付けの抵抗と容量の値を選択することで設定されます。外付けタイミング コンデンサは C_{ext} と R_{ext}/C_{ext} (正極側) の間に接続する必要があります。外付け抵抗は R_{ext}/C_{ext} と V_{CC} の間に接続する必要があります。パルス幅を可変させるには、 R_{ext}/C_{ext} と V_{CC} の間に外付けの可変抵抗を接続します。 \overline{CLR} を Low にすることで、出力パルスの持続時間を低減することもできます。

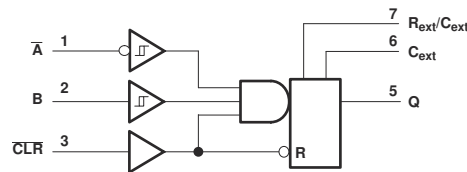
パルスのトリガは特定の電圧レベルで発生し、入力パルスの遷移時間とは直接関係しません。 \bar{A} および B 入力は、入力の遷移速度が遅くても出力にジッタを発生させずにパルス生成するのに十分なヒステリシスを持ったシュミットトリガを備えています。

一度トリガされると、ゲート付きの Low レベル アクティブ (\bar{A}) または High レベル アクティブ (B) 入力を再トリガすることで、基本パルスの持続時間を延長することができます。 \overline{CLR} を Low にすることで、パルスの持続時間を低減することができます。 \overline{CLR} を使用することで、 \bar{A} または B 入力をオーバーライドできます。入力 / 出力のタイミング図は、入力の再トリガと早期クリアによるパルス制御を示しています。

SN74LVC1G123 デバイスは、 I_{off} を使用する部分的パワーダウン アプリケーション用に完全に動作が規定されています。 I_{off} 回路で出力をディセーブルすることにより、電源切断時にデバイスに電流が逆流して損傷するのを回避できます。

ダイをパッケージとして使用する NanoFree™ パッケージ技術は、IC パッケージの概念を大きく覆すものです。

7.2 機能ブロック図



7.3 機能説明

この部品は、テキサス・インスツルメンツの NanoFree™ パッケージで供給されます。5V の V_{CC} での動作をサポートし、最大 5.5V の入力を受け入れます。最大 t_{pd} は 3.3V で 8ns です。すべてのポートで混在モード電圧動作をサポートします。

最大 5.5V から V_{CC} への降圧変換が可能です。

\bar{A} および B 入力のシュミットトリガ回路により、低速の入力遷移レートが可能です。このデバイスは、アクティブ High またはアクティブ Low のゲーテッド ロジック入力でエッジトリガが可能です。再トリガから最大 100% のデューティ サイクルをサポートできます。

クリアを使用すると、出力パルスを早期に終了できます。

すべての出力にグリッチが発生しないパワーアップリセットを搭載。

I_{off} により活線挿抜、部分的パワーダウン モード、バックドライブ保護をサポート。

JESD 78、Class II 準拠で 100 mA 超のラッチアップ性能。

7.4 デバイスの機能モード

表 7-1 に、SN74LVC1G123 の機能モードを示します。

表 7-1. 機能表

入力			出力 Q
CLR	A	B	
L	X	X	L
X	H	X	L ⁽¹⁾
X	X	L	L ⁽¹⁾
H	L	↑	⌋
H	↓	H	⌋
↑	L	H	⌋

- (1) これらの出力は、A 入力と B 入力で示された定常状態が、その状態がセットアップされる前に開始されたすべてのパルスが完了するくらい十分長い間セットアップされていたという仮定に基づいています。

8 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくこととなります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

SN74LVC1G123 は多くのアプリケーションに使用できます。ここに示すアプリケーションは、スイッチのデバウンス回路です。多くのスイッチは押されたときに複数のトリガを生成しますが、デバウンス回路は、その多数のトリガを 1 つにします。この回路は、SN74LVC1G123 の再トリガ機能を利用しています。出力パルスの長さが、個々のバウンスの最長 (通常 1ms 未満) より長くなればよいのです。

8.2 代表的なアプリケーション

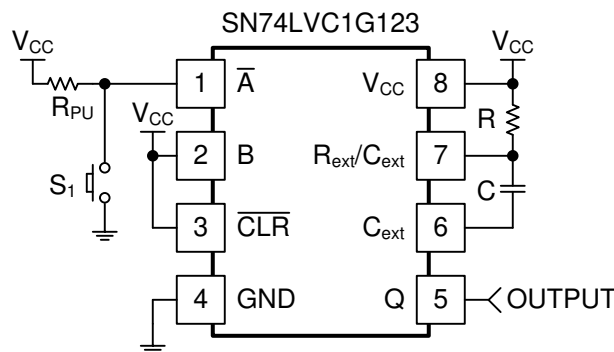


図 8-1. SN74LVC1G123 の代表的なアプリケーション

8.2.1 設計要件

- 推奨入力条件:
 - 規定された High および Low レベルについては、「[セクション 5.3](#)」の V_{IH} および V_{IL} を参照してください。
 - 入力および出力は過電圧許容で、任意の有効な V_{CC} において最大 4.6V に対応できます。
- 推奨出力条件:
 - 負荷電流は、「[セクション 5.3](#)」に記載されている値を超えないようにする必要があります。

8.2.2 詳細な設計手順

適切な動作のためには、 V_{CC} 、 R_{PU} 、 R 、 C の値を選択する必要があります。

V_{CC} には 1.8V を選択します。この値は通常、システムのロジック電圧によって駆動されますが、この場合は任意です。

R_{PU} には 10k Ω を選択します。

R と C は、「[セクション 8.2.3](#)」のプロットから選択され、出力パルスに必要な時間に基づいています。この場合、出力パルスは 1ms になります。電源電圧は 1.8V に選択されているため、[図 8-2](#) を使用して必要な R と C の値を決定します。まず、目的のパルス幅 (t_w)、1ms を ns に変換します。これにより、10⁶ns が得られます。次に、線をたどって、どの R と C の値が交差するかを確認します。

この線は 10⁶ns および 10⁵ pF ときちんと交差するため、 R には 10k Ω を選択します。これにより、 C には 0.1 μ F が簡単に選択できます。

表 8-1. アプリケーション固有の値

パラメータ	値
V_{CC}	1.8 V
R_{PU}	10k Ω
t_w	1 ms
R (R_{ext})	10k Ω
C (C_{ext})	0.1 μ F

ここに示す部品に加えて、 V_{CC} からグラウンドに対し、0.1 μ F のデカップリング コンデンサをデバイスのできるだけ近くに配置する必要があります。

8.2.3 アプリケーション曲線

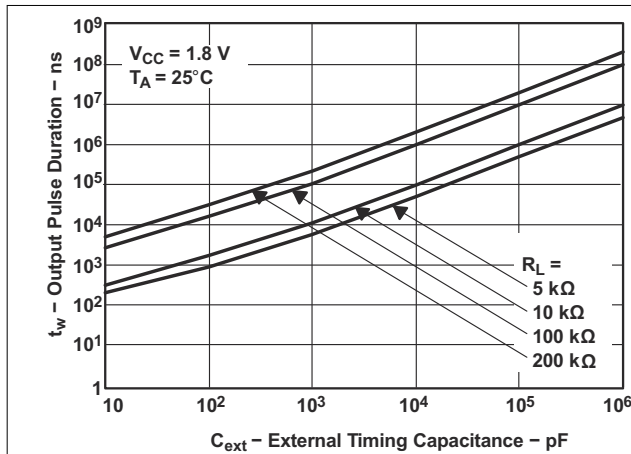


図 8-2. 出力パルス幅
と外部タイミング容量との関係

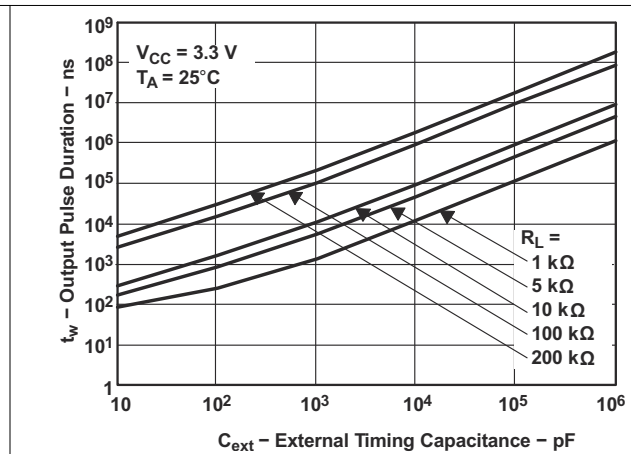


図 8-3. 出力パルス幅
と外部タイミング容量との関係

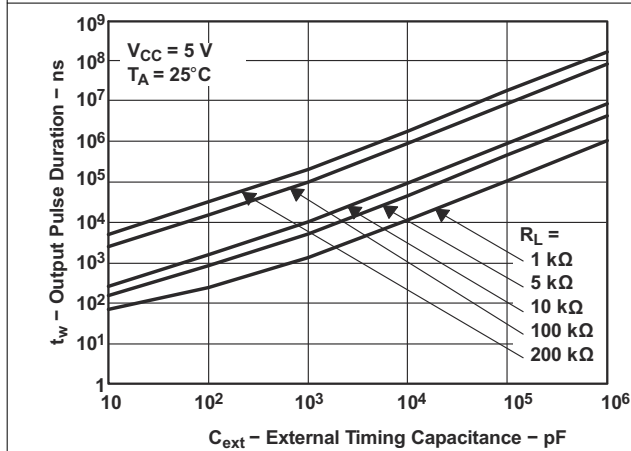


図 8-4. 出力パルス幅
と外部タイミング容量との関係

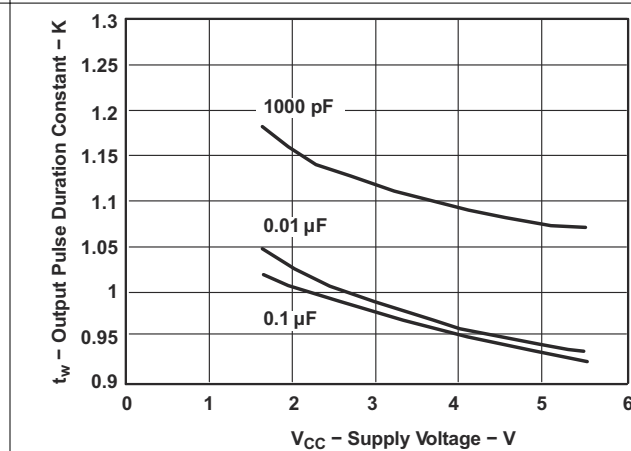


図 8-5. 出力パルス幅定数
と電源電圧との関係

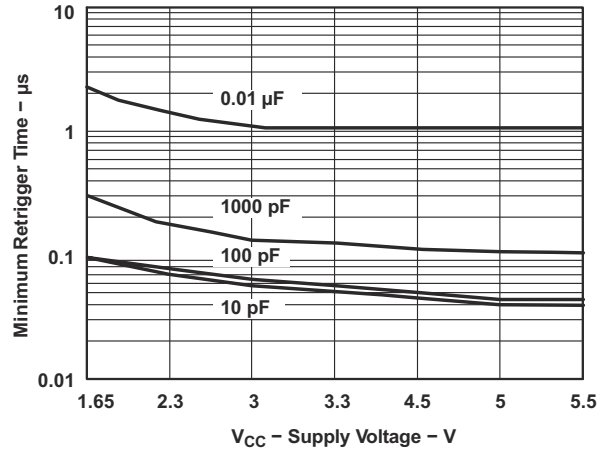


図 8-6. 最小再トリガ時間
と電源電圧との関係

9 電源に関する推奨事項

電源には、「[セクション 5.3](#)」に記載された電源電圧定格の最小値と最大値の間の任意の電圧を使用できます。

電源の外乱を防止するため、各 V_{CC} 端子に適切なバイパス コンデンサを配置する必要があります。単電源のデバイスには、0.1 μF のバイパス コンデンサを推奨します。複数のピンに V_{CC} というラベルが付いている場合、 V_{CC} ピンは内部で互いに接続されているため、各 V_{CC} には 0.01 μF または 0.022 μF のコンデンサを推奨します。 V_{CC} と V_{DD} など、異なる電圧で動作するデュアル電源ピンを備えたデバイスでは、各電源ピンに 0.1 μF のバイパス コンデンサを推奨します。異なる周波数のノイズを除去するには、複数のバイパスコンデンサを並列に使用します。一般的に、0.1 μF と 1 μF のコンデンサを並列で使用します。バイパス コンデンサを電源端子のできるだけ近くに配置すると最適な結果が得られます。

10 レイアウト

10.1 レイアウトのガイドライン

反射と整合はループアンテナの理論と密接に関連していますが、理論とは切り離して議論されるほど異なるものです。PCB パターンが 90° の角度でコーナーを曲がると、反射が発生する可能性があります。反射は主に、パターンの幅の変化が原因で発生します。曲がりの頂点では、パターン幅が幅の 1.414 倍に増加します。これにより、伝送ラインの特性のアップセットが向上します。特に、パターンの分散静電容量と自己インダクタンスが増加し、反射が発生します。すべての PCB トレースが直線的であるとは限らないため、一部のパターンはコーナーを曲がる必要があります。[図 10-1](#) に、コーナーを丸める斬新で優れた方法を示します。最後の例 (BEST) のみが一定のパターン幅を維持し、反射を最小限に抑えます。

10.2 レイアウト例

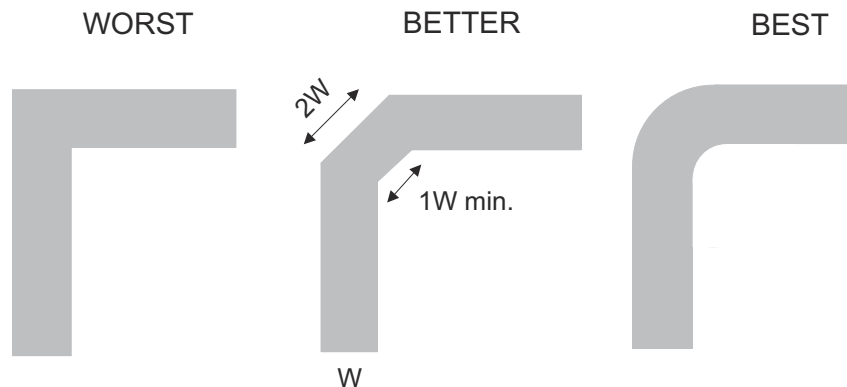


図 10-1. パターン例

11 デバイスおよびドキュメントのサポート

11.1 ドキュメントのサポート

11.1.1 関連資料

関連資料については、以下を参照してください。

『低速またはフローティング CMOS 入力の影響』、SCBA004

11.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

11.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

11.4 商標

NanoFree™ is a trademark of Texas Instruments.

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

11.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

11.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

12 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision D (June 2015) to Revision E (March 2024) Page

- 新しいテキサス・インスツルメンツのレイアウトおよびフローに合わせてフォーマットを更新。ドキュメント全体にわたって表、図、相互参照の採番方法を更新。..... 1

Changes from Revision C (October 2013) to Revision D (June 2015) Page

- 「アプリケーション」セクション、「製品情報」表、「ピン構成および機能」セクション、「ESD 定格」表、「代表的特性」セクション、「機能説明」セクション、「デバイスの機能モード」セクション、「アプリケーションと実装」セクション、「電源に関する推奨事項」セクション、「レイアウト」セクション、「デバイスおよびドキュメントのサポート」セクション、「メカニカル、パッケージ、および注文情報」セクションを追加..... 1

- 重複した「タイミング要件」表を削除..... 6

Changes from Revision B (January 2007) to Revision C (October 2013)
Page

- ドキュメントを新しい テキサス・インスツルメンツのデータシートのフォーマットに更新..... 1
 - 「特長」を更新 1
 - 動作温度範囲を更新。..... 4
 - 「熱に関する情報」表を追加 5
-

13 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は指定したデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側のナビゲーションをご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2024, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
74LVC1G123DCTRE4	ACTIVE	SSOP	DCT	8	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C23 (R, Z)	Samples
74LVC1G123DCTRG4	ACTIVE	SSOP	DCT	8	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C23 (R, Z)	Samples
74LVC1G123DCTTE4	ACTIVE	SSOP	DCT	8	250	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C23 (R, Z)	Samples
74LVC1G123DCTTG4	ACTIVE	SSOP	DCT	8	250	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C23 (R, Z)	Samples
74LVC1G123DCURE4	ACTIVE	VSSOP	DCU	8	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C23R	Samples
74LVC1G123DCURG4	ACTIVE	VSSOP	DCU	8	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C23R	Samples
74LVC1G123DCUTG4	ACTIVE	VSSOP	DCU	8	250	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C23R	Samples
SN74LVC1G123DCTR	ACTIVE	SSOP	DCT	8	3000	RoHS & Green	NIPDAU SN	Level-1-260C-UNLIM	-40 to 125	(2W95, C23) (R, Z)	Samples
SN74LVC1G123DCTT	ACTIVE	SSOP	DCT	8	250	RoHS & Green	NIPDAU SN	Level-1-260C-UNLIM	-40 to 125	(2W95, C23) (R, Z)	Samples
SN74LVC1G123DCUR	ACTIVE	VSSOP	DCU	8	3000	RoHS & Green	NIPDAU SN	Level-1-260C-UNLIM	-40 to 125	(22FT, C23Q, C23R)	Samples
SN74LVC1G123DCUT	ACTIVE	VSSOP	DCU	8	250	RoHS & Green	NIPDAU SN	Level-1-260C-UNLIM	-40 to 125	(C23J, C23Q, C23R)	Samples
SN74LVC1G123YZPR	ACTIVE	DSBGA	YZP	8	3000	RoHS & Green	SNAGCU	Level-1-260C-UNLIM	-40 to 85	(D87, D8N)	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSELETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of ≤ 1000 ppm threshold. Antimony trioxide based flame retardants must also meet the ≤ 1000 ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

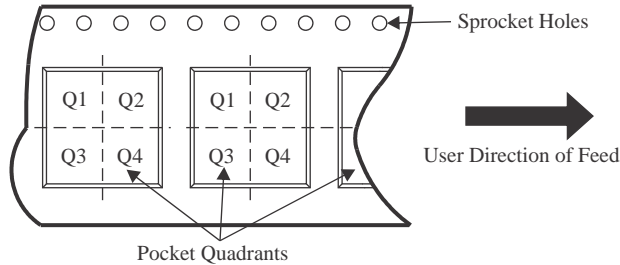
(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
74LVC1G123DCTRE4	SSOP	DCT	8	3000	177.8	12.4	3.45	4.4	1.45	4.0	12.0	Q3
74LVC1G123DCTRG4	SSOP	DCT	8	3000	177.8	12.4	3.45	4.4	1.45	4.0	12.0	Q3
74LVC1G123DCTTE4	SSOP	DCT	8	250	177.8	12.4	3.45	4.4	1.45	4.0	12.0	Q3
74LVC1G123DCTTG4	SSOP	DCT	8	250	177.8	12.4	3.45	4.4	1.45	4.0	12.0	Q3
74LVC1G123DCURG4	VSSOP	DCU	8	3000	180.0	8.4	2.25	3.35	1.05	4.0	8.0	Q3
74LVC1G123DCUTG4	VSSOP	DCU	8	250	180.0	8.4	2.25	3.35	1.05	4.0	8.0	Q3
SN74LVC1G123DCTR	SSOP	DCT	8	3000	180.0	12.4	3.15	4.35	1.55	4.0	12.0	Q3
SN74LVC1G123DCTT	SSOP	DCT	8	250	180.0	12.4	3.15	4.35	1.55	4.0	12.0	Q3
SN74LVC1G123DCUR	VSSOP	DCU	8	3000	178.0	9.0	2.25	3.35	1.05	4.0	8.0	Q3
SN74LVC1G123DCUT	VSSOP	DCU	8	250	178.0	9.0	2.25	3.35	1.05	4.0	8.0	Q3
SN74LVC1G123YZPR	DSBGA	YZP	8	3000	178.0	9.2	1.02	2.02	0.63	4.0	8.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

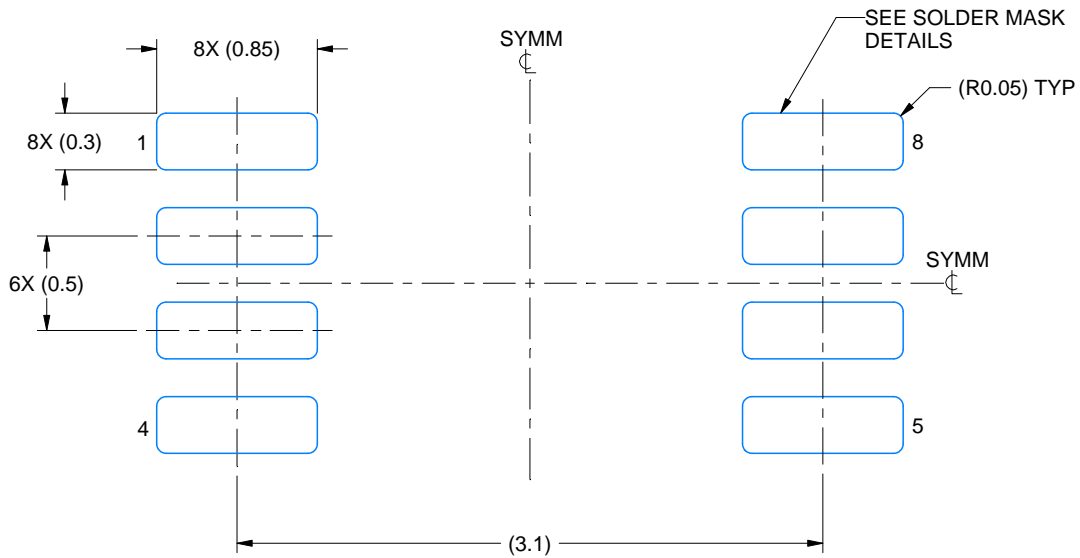
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
74LVC1G123DCTRE4	SSOP	DCT	8	3000	183.0	183.0	20.0
74LVC1G123DCTRG4	SSOP	DCT	8	3000	183.0	183.0	20.0
74LVC1G123DCTTE4	SSOP	DCT	8	250	183.0	183.0	20.0
74LVC1G123DCTTG4	SSOP	DCT	8	250	183.0	183.0	20.0
74LVC1G123DCURG4	VSSOP	DCU	8	3000	202.0	201.0	28.0
74LVC1G123DCUTG4	VSSOP	DCU	8	250	202.0	201.0	28.0
SN74LVC1G123DCTR	SSOP	DCT	8	3000	190.0	190.0	30.0
SN74LVC1G123DCTT	SSOP	DCT	8	250	190.0	190.0	30.0
SN74LVC1G123DCUR	VSSOP	DCU	8	3000	180.0	180.0	18.0
SN74LVC1G123DCUT	VSSOP	DCU	8	250	180.0	180.0	18.0
SN74LVC1G123YZPR	DSBGA	YZP	8	3000	220.0	220.0	35.0

EXAMPLE BOARD LAYOUT

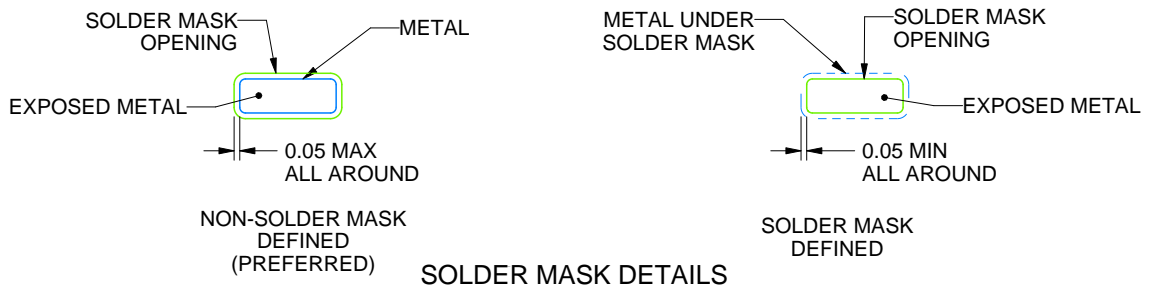
DCU0008A

VSSOP - 0.9 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 25X



4225266/A 09/2014

NOTES: (continued)

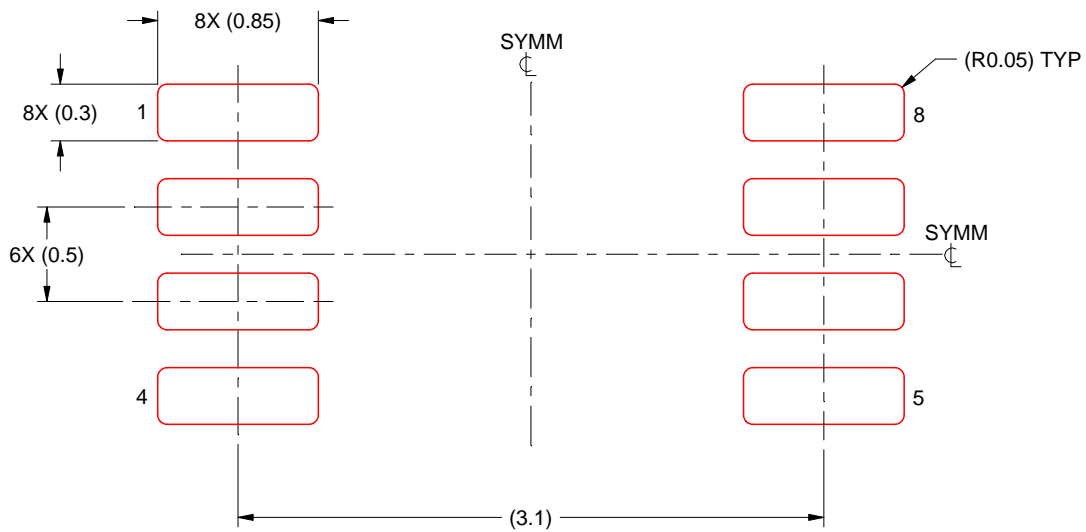
- 5. Publication IPC-7351 may have alternate designs.
- 6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DCU0008A

VSSOP - 0.9 mm max height

SMALL OUTLINE PACKAGE

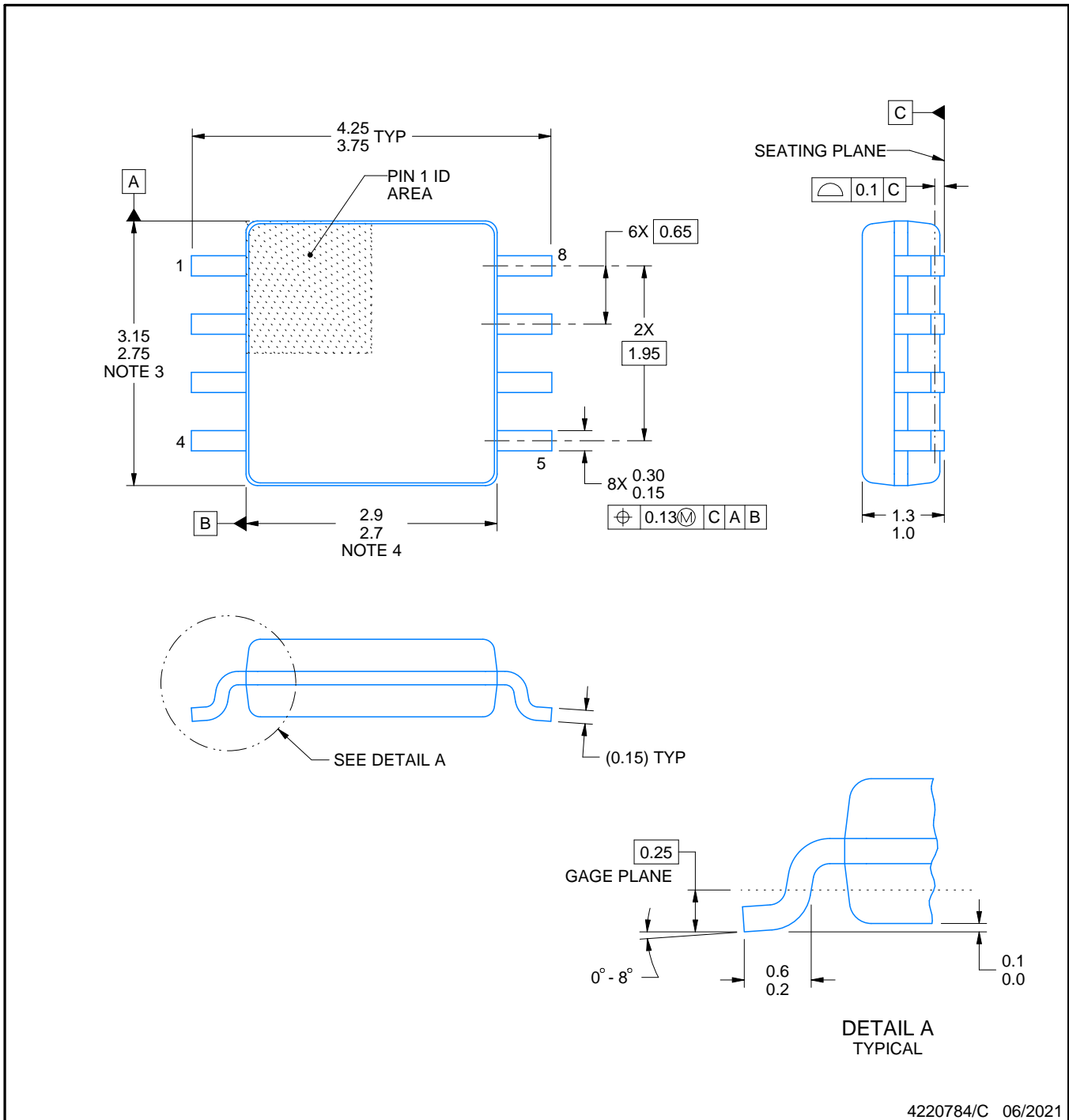


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 25X

4225266/A 09/2014

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.



4220784/C 06/2021

NOTES:

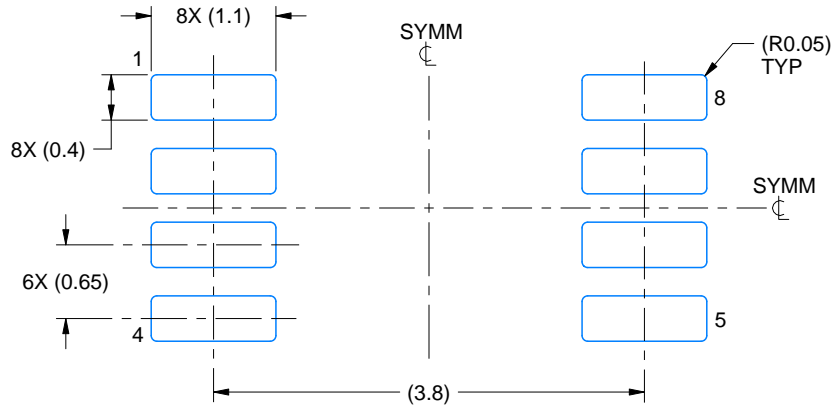
1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.

EXAMPLE BOARD LAYOUT

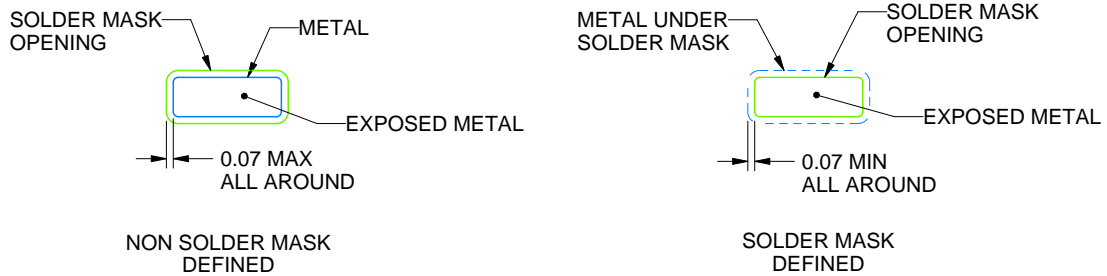
DCT0008A

SSOP - 1.3 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4220784/C 06/2021

NOTES: (continued)

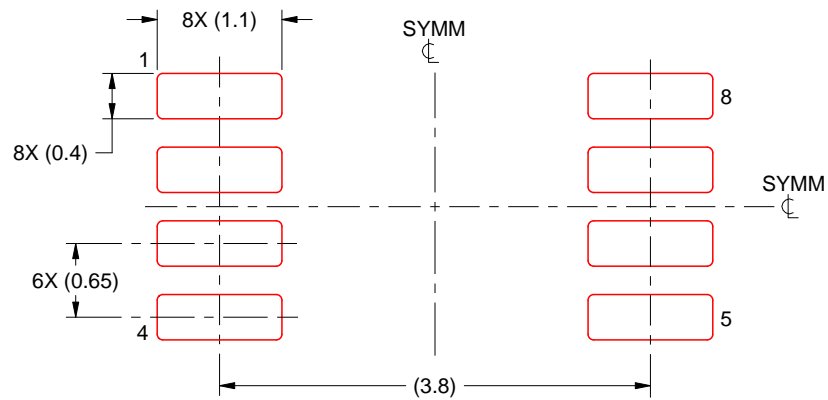
- 5. Publication IPC-7351 may have alternate designs.
- 6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DCT0008A

SSOP - 1.3 mm max height

SMALL OUTLINE PACKAGE



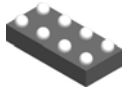
SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4220784/C 06/2021

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

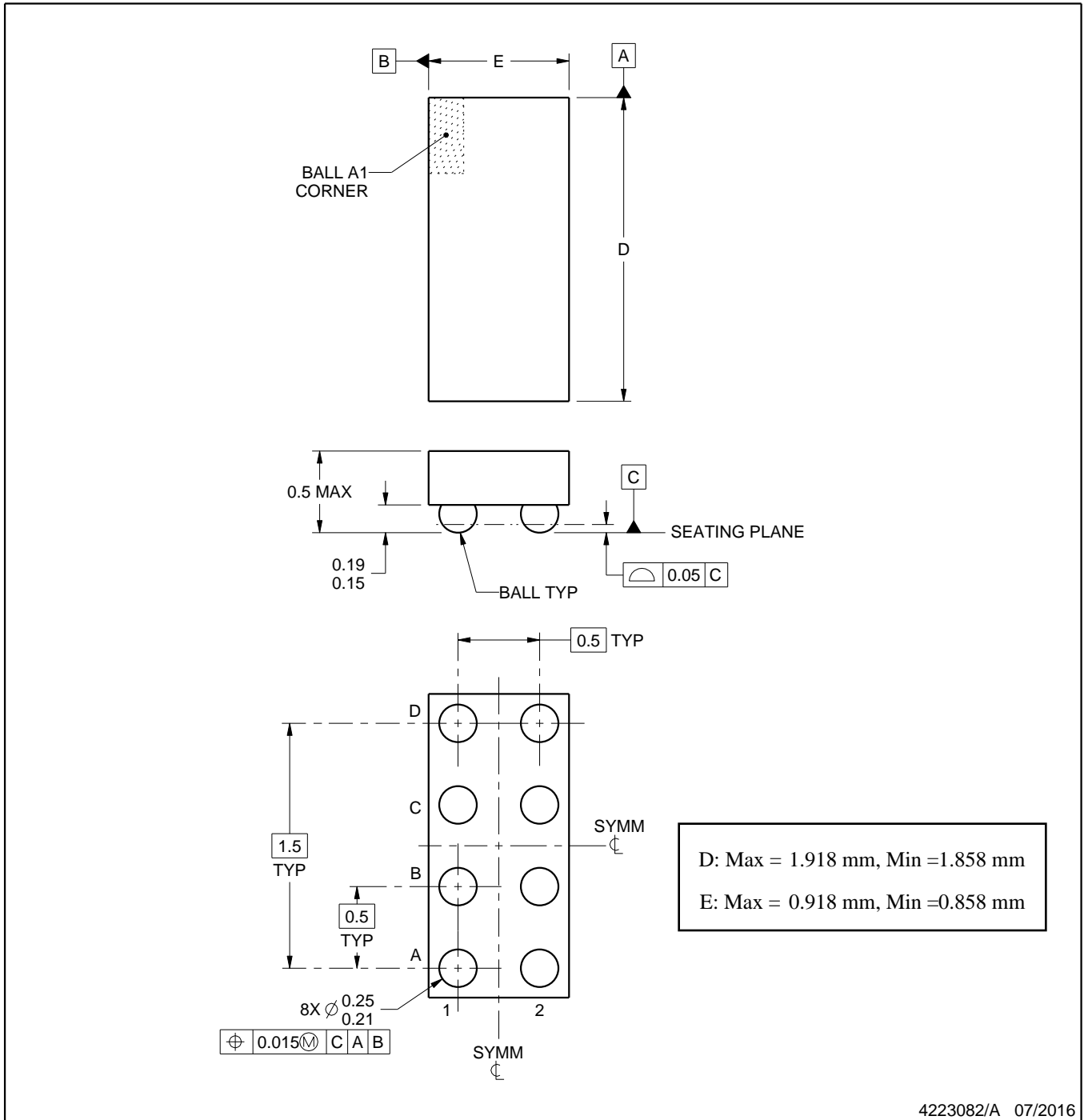
YZP0008



PACKAGE OUTLINE

DSBGA - 0.5 mm max height

DIE SIZE BALL GRID ARRAY



4223082/A 07/2016

NOTES:

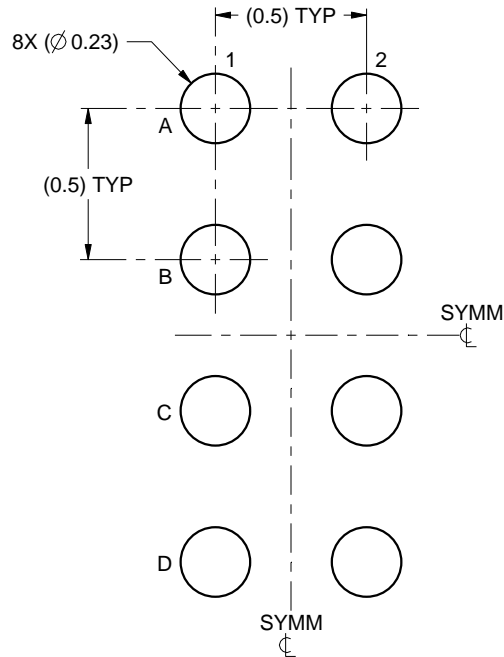
- 1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
- 2. This drawing is subject to change without notice.

EXAMPLE BOARD LAYOUT

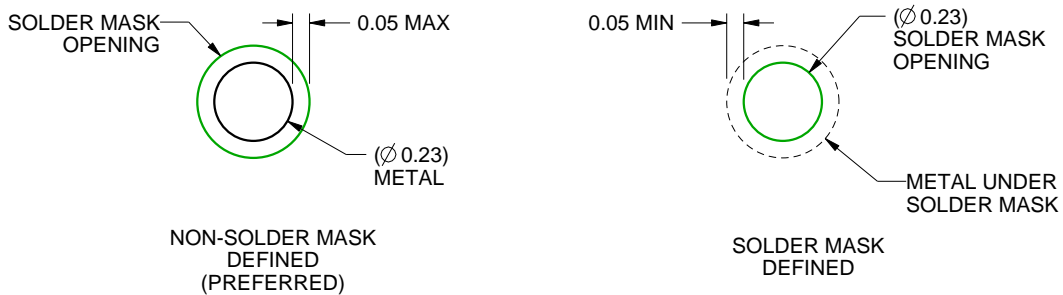
YZP0008

DSBGA - 0.5 mm max height

DIE SIZE BALL GRID ARRAY



LAND PATTERN EXAMPLE
SCALE:40X



SOLDER MASK DETAILS
NOT TO SCALE

4223082/A 07/2016

NOTES: (continued)

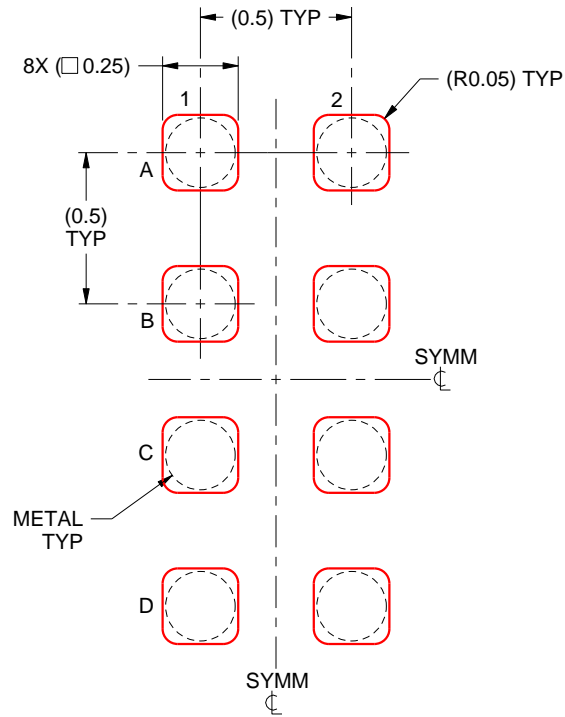
3. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. For more information, see Texas Instruments literature number SNVA009 (www.ti.com/lit/snva009).

EXAMPLE STENCIL DESIGN

YZP0008

DSBGA - 0.5 mm max height

DIE SIZE BALL GRID ARRAY



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE:40X

4223082/A 07/2016

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](#) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated