

SN74LVC86A-Q1 車載用クワッド 2 入力排他 OR ゲート

1 特長

- 車載アプリケーション認定済み
- MIL-STD-883, Method 3015 準拠で 2000V を超える ESD 保護
- 2V~3.6V で動作
- 5.5V までの入力電圧に対応
- 最大 t_{pd} 4.6ns (3.3V 時)
- V_{OLP} 標準値 (出力グランド バウンス) $< 0.8V$ ($V_{CC} = 3.3V$, $T_A = 25^\circ C$)
- V_{OHV} 標準値 (出力 V_{OH} アンダーシュート) $> 2V$ ($V_{CC} = 3.3V$, $T_A = 25^\circ C$)

2 概要

SN74LVC86A-Q1 クワッド 2 入力排他 OR ゲートは、2.7V~3.6V の V_{CC} で動作するように設計されています。

部品番号	パッケージ (1)	パッケージ サイズ (2)	本体サイズ (3)
SN74LVC86A-Q1	D (SOIC, 14)	8.65mm × 6mm	8.65mm × 3.9mm
	BQA (WQFN, 14)	3mm × 2.5mm	3mm × 2.5mm
	PW (TSSOP, 14)	5mm × 6.4mm	5mm × 4.4mm

- (1) 詳細については、[セクション 10](#) を参照してください。
- (2) パッケージ サイズ (長さ×幅) は公称値であり、該当する場合はピンも含まれます。
- (3) 本体サイズ (長さ×幅) は公称値であり、ピンは含まれません。



These five equivalent exclusive-OR symbols are valid for an SN74LVC86A gate in positive logic; negation may be shown at any two ports.

排他 OR ロジック



目次

1 特長.....	1	6.2 機能ブロック図.....	7
2 概要.....	1	6.3 デバイスの機能モード.....	7
3 ピン構成および機能.....	3	7 アプリケーションと実装.....	8
4 仕様.....	4	7.1 電源に関する推奨事項.....	8
4.1 絶対最大定格.....	4	7.2 レイアウト.....	8
4.2 ESD 定格.....	4	8 デバイスおよびドキュメントのサポート.....	9
4.3 推奨動作条件.....	4	8.1 ドキュメントのサポート (アナログ).....	9
4.4 熱に関する情報.....	5	8.2 ドキュメントの更新通知を受け取る方法.....	9
4.5 電気的特性.....	5	8.3 サポート・リソース.....	9
4.6 スイッチング特性.....	5	8.4 商標.....	9
4.7 動作特性.....	5	8.5 静電気放電に関する注意事項.....	9
5 パラメータ測定情報.....	6	8.6 用語集.....	9
6 詳細説明.....	7	9 改訂履歴.....	9
6.1 概要.....	7	10 メカニカル、パッケージ、および注文情報.....	10

3 ピン構成および機能

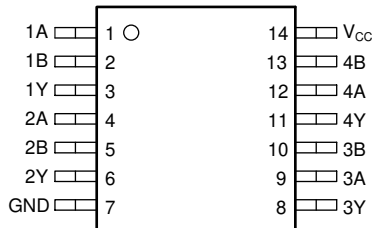


図 3-1. SN74LVC86A-Q1 D または PW パッケージ、14
ピン SOIC または TSSOP (上面図)

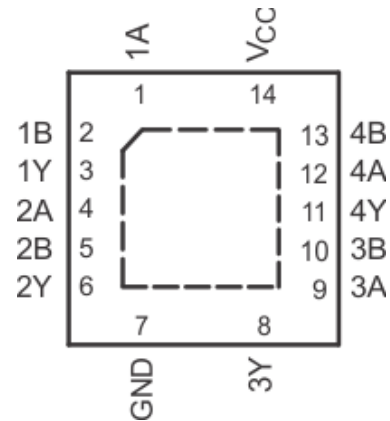


図 3-2. SN74LVC86A-Q1 BQA パッケージ、14 ピン
WQFN (上面図)

表 3-1. ピンの機能

番号	ピン		種類 ⁽¹⁾	説明
	D、PW、BQA	14 ピン		
1A	1	1	I	ゲート 1 入力
1B	2	2	I	ゲート 1 入力
1Y	3	3	O	ゲート 1 出力
2A	4	4	I	ゲート 2 入力
2B	5	5	I	ゲート 2 入力
2Y	6	6	O	ゲート 2 出力
3Y	8	8	O	ゲート 3 出力
3A	9	9	I	ゲート 3 入力
3B	10	10	I	ゲート 3 入力
4Y	11	11	O	ゲート 4 出力
4A	12	12	I	ゲート 4 入力
4B	13	13	I	ゲート 4 入力
GND	7	7	—	グラウンド ピン
NC	—	—	—	接続しない
V _{CC}	14	14	—	パワー ピン
放熱パッド ⁽²⁾	—	—	—	サーマル パッドは GND に接続するか、フローティングのままにすることができます。他の信号や電源には接続しないでください。

4 仕様

4.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位
V _{CC}	電源電圧範囲	-0.5	6.5	V
V _I	入力電圧範囲 ⁽²⁾	-0.5	6.5	V
V _O	出力電圧範囲 ^{(2) (3)}	-0.5	V _{CC} + 0.5	V
I _{IK}	入力クランプ電流	V _I < 0		-50 mA
I _{OK}	出力クランプ電流	V _O < 0		-50 mA
I _O	連続出力電流			±50 mA
V _{CC} または GND を通過する連続電流				±100 mA
T _{stg}	保管温度範囲	-65	150	°C

- (1) 「絶対最大定格」を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについて示しており、このデータシートの「推奨動作条件」に示された値と等しい、またはそれを超える条件で本製品が正しく動作することを暗に示すものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
- (2) 入力電流と出力電流の定格を遵守していても、入力と出力の負電圧の定格を超える可能性があります。
- (3) V_{CC} の値は、「推奨動作条件」の表に記載されています。

4.2 ESD 定格

			値	単位
V _(ESD)	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン ⁽¹⁾	±2000	V

- (1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

4.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		動作	データ保持のみ	最小値	最大値	単位
V _{CC}	電源電圧			2	3.6	V
				1.5		
V _{IH}	High レベル入力電圧	V _{CC} = 2.7V~3.6V		2		V
V _{IL}	Low レベル入力電圧	V _{CC} = 2.7V~3.6V			0.8	V
V _I	入力電圧			0	5.5	V
V _O	出力電圧			0	V _{CC}	V
I _{OH}	High レベル出力電流	V _{CC} = 2.7 V				mA
		V _{CC} = 3 V				
I _{OL}	Low レベル出力電流	V _{CC} = 2.7 V				mA
		V _{CC} = 3 V				
Δt/Δv	入力遷移の立ち上がりまたは立ち下がりレート					9 ns/V
T _A	自由空気での動作温度			-40	125	°C

- (1) デバイスが適切に動作するように、デバイスの未使用の入力はすべて、V_{CC} または GND に固定する必要があります。テキサス・インスツルメンツのアプリケーションレポート『低速またはフローティング CMOS 入力の影響』(文献番号 SCBA004) を参照してください。

4.4 熱に関する情報

熱評価基準 ⁽¹⁾	SN74LVC86A-Q1			単位
	BQA	D	PW	
	14 ピン	14 ピン	14 ピン	
R _{θJA} 接合部から周囲への熱抵抗	102.3	86	150.8	°C/W

(1) 従来および新しい熱評価基準の詳細については、『IC パッケージの熱評価基準』アプリケーションレポート、SPRA953 を参照してください。

4.5 電気的特性

自由空気での推奨動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	V _{CC}	最小値 標準値 ⁽¹⁾ 最大値	単位
V _{OH}	I _{OH} = -100μA	2.7V~3.6V	V _{CC} - 0.2	V
	I _{OH} = -12mA	2.7 V	2.2	
		3 V	2.4	
	I _{OH} = -24mA	3 V	2.2	
V _{OL}	I _{OL} = 100μA	2.7V~3.6V	0.2	V
	I _{OL} = 12mA	2.7 V	0.4	
	I _{OL} = 24mA	3 V	0.55	
I _I	V _I = 5.5 V または GND	3.6 V	±5	μA
I _{CC}	V _I = V _{CC} または GND、 I _O = 0	3.6 V	10	μA
ΔI _{CC}	1 つの入力は V _{CC} - 0.6V、他の入力は V _{CC} または GND	2.7V~3.6V	500	μA
C _i	V _I = V _{CC} または GND	3.3 V	5	pF

(1) 代表値はすべて、V_{CC} = 3.3V、T_A = 25°Cにおける値です。

4.6 スイッチング特性

自由空気での推奨動作温度範囲内 (特に記述のない限り) (「負荷回路および電圧波形」を参照)

パラメータ	始点 (入力)	終点 (出力)	V _{CC} = 2.7 V		V _{CC} = 3.3V ±0.3V		単位
			最小値	最大値	最小値	最大値	
t _{pd}	A	Y	5.6		1	4.6	ns

4.7 動作特性

T_A = 25°C

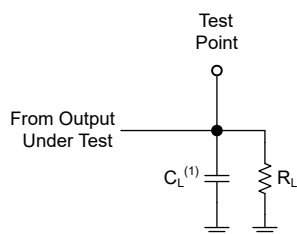
パラメータ	テスト条件	V _{CC} = 2.5 V	V _{CC} = 3.3V	単位
		代表値	代表値	
C _{pd} ゲートあたりの電力散逸容量	f = 10MHz	7.5	8.5	pF

5 パラメータ測定情報

以下の表に示す例では、波形間の位相関係を任意に選択しました。すべての入力パルスは、以下の特性を持つジェネレータによって供給されます。PRR \leq 1MHz、 $Z_O = 50\Omega$ 、 $t_f \leq 2.5\text{ns}$ 。

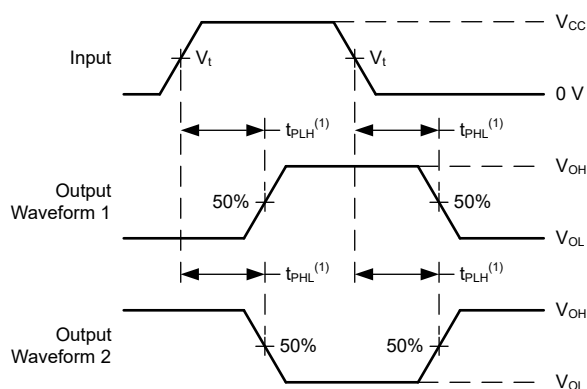
出力は個別に測定され、測定するたびに入力が 1 回遷移します。

V_{CC}	V_t	R_L	C_L	ΔV
1.8V \pm 0.15V	$V_{CC}/2$	1k Ω	30pF	0.15V
2.5V \pm 0.2V	$V_{CC}/2$	500 Ω	30pF	0.15V
2.7V	1.5V	500 Ω	50pF	0.3V
3.3V \pm 0.3V	1.5V	500 Ω	50pF	0.3V



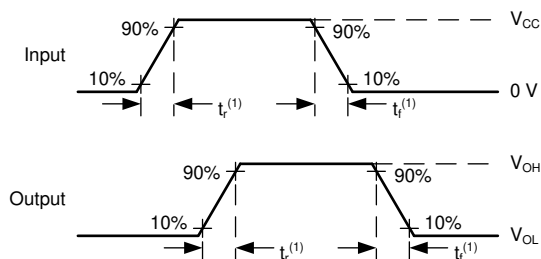
(1) C_L にはプローブとテスト装置の容量が含まれます。

図 5-1. プッシュプル出力のための負荷回路



(1) t_{PLH} と t_{PHL} の大きい方が t_{pd} に相当します。

図 5-2. 電圧波形、伝搬遅延



(1) t_r と t_f の大きい方が t_t に相当します。

図 5-3. 電圧波形、入力および出力の遷移時間

6 詳細説明

6.1 概要

ブール関数 $Y = A \oplus B$ 、つまり $Y = \overline{A}B + A\overline{B}$ を正論理で実行します。

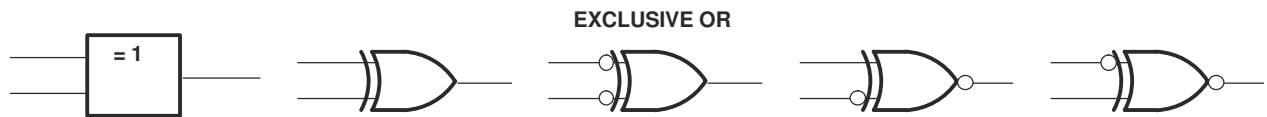
一般的な用途は“真/補”素子です。一方の入力が **Low** のときは、他方の入力そのまま出力されます。一方の入力が **High** のときは、他方の入力の信号が反転して出力されます。

入力は 3.3V または 5V のデバイスから駆動できます。この機能により、3.3V と 5V が混在するシステム環境での変換装置としてこのデバイスを使用できます。

6.2 機能ブロック図

排他 OR ロジック

排他 OR ゲートには多くの用途があり、その一部は別の論理記号で表す方が適切です。



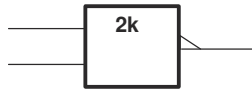
These five equivalent exclusive-OR symbols are valid for an SN74LVC86A gate in positive logic; negation may be shown at any two ports.

LOGIC-IDENTITY ELEMENT



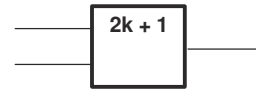
The output is active (low) if all inputs stand at the same logic level (i.e., $A = B$).

EVEN-PARITY ELEMENT



The output is active (low) if an even number of inputs (i.e., 0 or 2) are active.

ODD-PARITY ELEMENT



The output is active (high) if an odd number of inputs (i.e., only 1 of the 2) are active.

6.3 デバイスの機能モード

機能表
(各ゲート)

入力		出力 Y
A	B	
L	L	L
L	H	H
H	L	H
H	H	L

7 アプリケーションと実装

7.1 電源に関する推奨事項

電源には、「[セクション 4.3](#)」に記載された電源電圧定格の最小値と最大値の間の任意の電圧を使用できます。

電源の障害を防止するため、各 V_{CC} ピンに適切なバイパス コンデンサを配置する必要があります。単一電源のデバイスの場合は、 $0.1\mu\text{F}$ のコンデンサを推奨します。複数の V_{CC} ピンがある場合は、各電源ピンに対して $0.01\mu\text{F}$ または $0.022\mu\text{F}$ のコンデンサを推奨します。複数のバイパス コンデンサを並列に配置して、異なる周波数のノイズを除去することが許容されます。 $0.1\mu\text{F}$ と $1\mu\text{F}$ のコンデンサを並列に使用するのが一般的です。最良の結果を得るため、バイパス コンデンサは電源ピンのできるだけ近くに配置してください。

7.2 レイアウト

7.2.1 レイアウトのガイドライン

多ビット ロジック デバイスを使用する場合、入力をフローティングにしないでください。

多くの場合、デジタル論理デバイスの機能または機能の一部は使用されません (たとえば、3 入力 AND ゲートの 2 つの入力のみを使用したり、4 つのバッファ ゲートのうち 3 つのみを使用したりする場合)。このような入力ピンを未接続のままにしないでください。外部接続の電圧が未確定の場合、動作状態が不定になるためです。[セクション 7.2.2](#) の仕様は、あらゆる状況で遵守する必要があります。デジタル ロジック デバイスの未使用の入力はすべて、フローティングにならないように、High または Low バイアスに接続する必要があります。特定の未使用の入力に対して適用が必要となるロジックレベルは、デバイスの機能により異なります。一般に、GND または V_{CC} のうち、より適切であるかより利便性の高い方に接続されます。本部品がトランシーバでない限り、一般的に、出力をフローティングにすることが許容されます。

7.2.2 レイアウト例

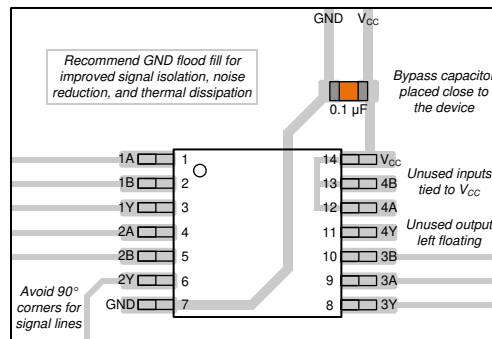


図 7-1. SN74LVC86A-Q1 のレイアウト例

8 デバイスおよびドキュメントのサポート

8.1 ドキュメントのサポート (アナログ)

8.1.1 関連リンク

次の表に、クイック アクセス リンクを示します。カテゴリには、技術資料、サポートおよびコミュニティリソース、ツールとソフトウェア、およびサンプル注文またはご購入へのクイック アクセスが含まれます。

表 8-1. 関連リンク

製品	プロダクトフォルダ	サンプルとご購入	技術資料	ツールとソフトウェア	サポートとコミュニティ
SN74LVC86A-Q1	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック

8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

8.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

8.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision C (May 2024) to Revision D (August 2024) Page

- R0JA の値を更新:PW = 113~150.8、値はすべて°C/W..... **5**

Changes from Revision B (February 2008) to Revision C (May 2024) Page

- 「パッケージ情報」表、「ピン構成および機能」セクション、および「熱に関する情報」表に BQA パッケージを追加..... **1**
- 「パッケージ情報」表、「ピンの機能」表、「ESD 定格」表、「熱に関する情報」表、「デバイスの機能モード」、「アプリケーションと実装」セクション、「デバイスおよびドキュメントのサポート」セクション、および「メカニカル、パッケージ、および注文情報」セクションを追加..... **1**

- データシート全体にわたってマシン モデルへの参照を削除..... 1
-

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報はそのデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2024, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
SN74LVC86AQDRG4Q1	ACTIVE	SOIC	D	14	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC86AQ	Samples
SN74LVC86AQPWRG4Q1	ACTIVE	TSSOP	PW	14	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC86AQ	Samples
SN74LVC86AQPWRQ1	ACTIVE	TSSOP	PW	14	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC86AQ	Samples
SN74LVC86AWBQARQ1	ACTIVE	WQFN	BQA	14	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC86Q	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "-" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and

continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN74LVC86A-Q1 :

- Catalog : [SN74LVC86A](#)
- Enhanced Product : [SN74LVC86A-EP](#)
- Military : [SN54LVC86A](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product
- Enhanced Product - Supports Defense, Aerospace and Medical Applications
- Military - QML certified for Military and Defense Applications

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74LVC86AQPWRG4Q1	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74LVC86AQPWRQ1	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74LVC86AWBQARQ1	WQFN	BQA	14	3000	180.0	12.4	2.8	3.3	1.1	4.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74LVC86AQPWRG4Q1	TSSOP	PW	14	2000	356.0	356.0	35.0
SN74LVC86AQPWRQ1	TSSOP	PW	14	2000	356.0	356.0	35.0
SN74LVC86AWBQARQ1	WQFN	BQA	14	3000	210.0	185.0	35.0



D0014A

PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4220718/A 09/2016

NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.

EXAMPLE BOARD LAYOUT

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

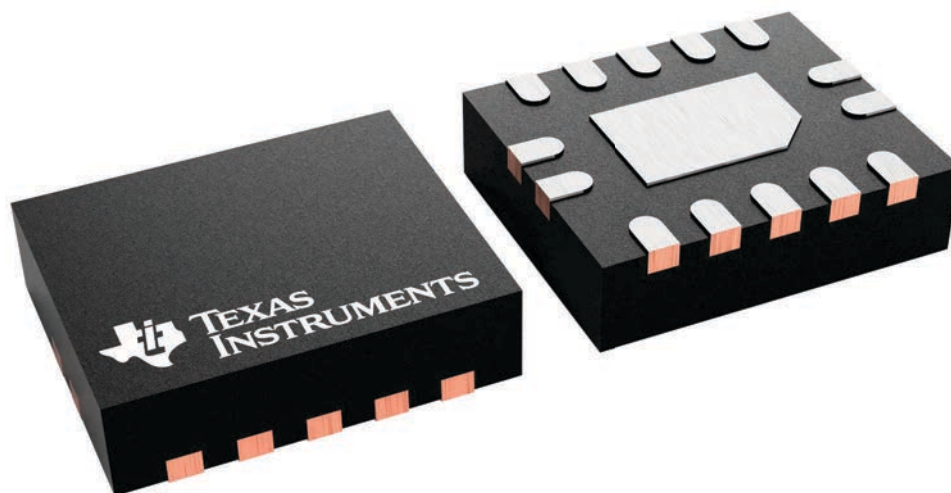
BQA 14

WQFN - 0.8 mm max height

2.5 x 3, 0.5 mm pitch

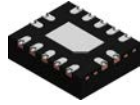
PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4227145/A

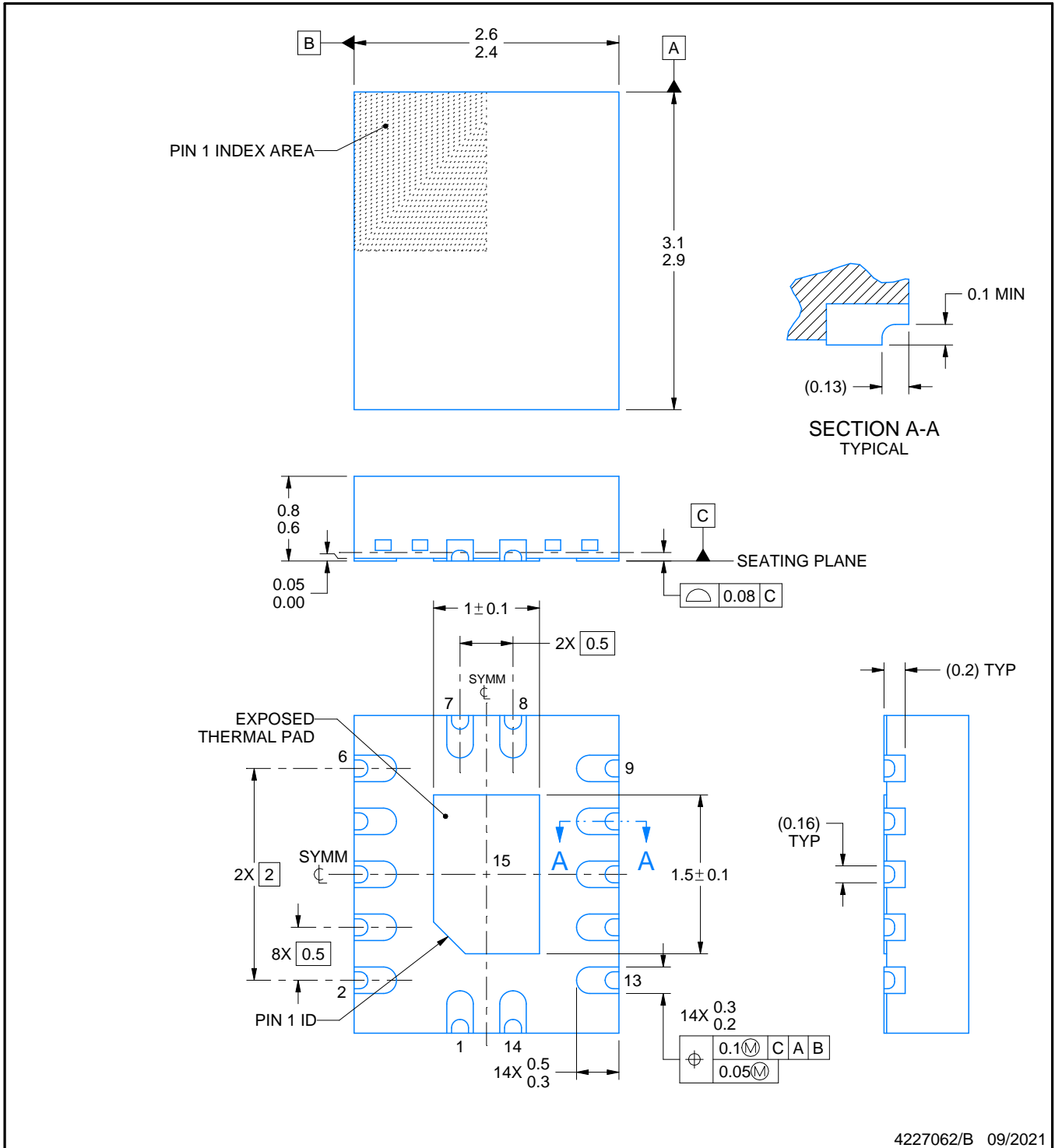
BQA0014B



PACKAGE OUTLINE

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

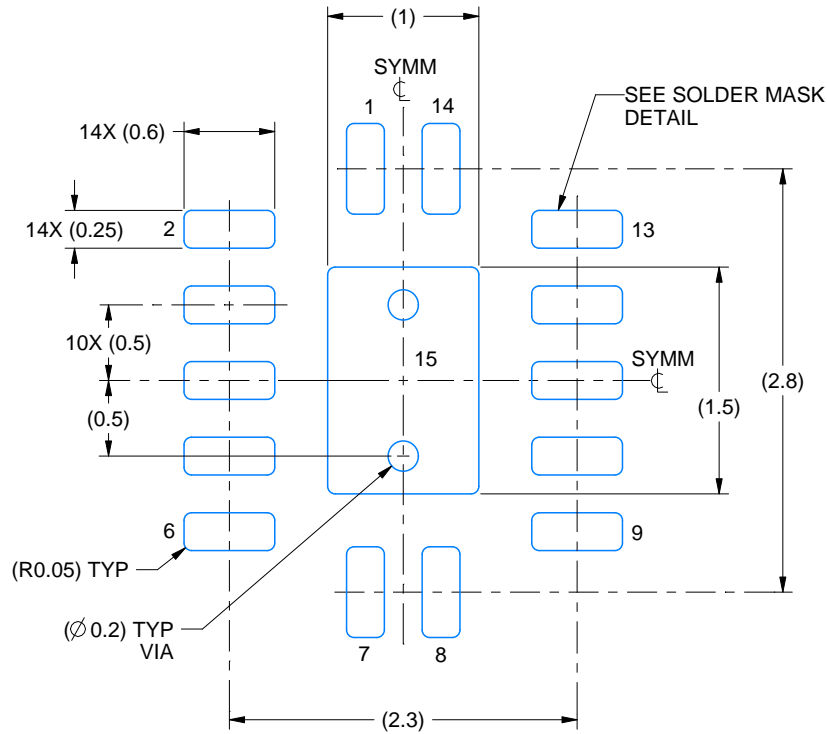
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

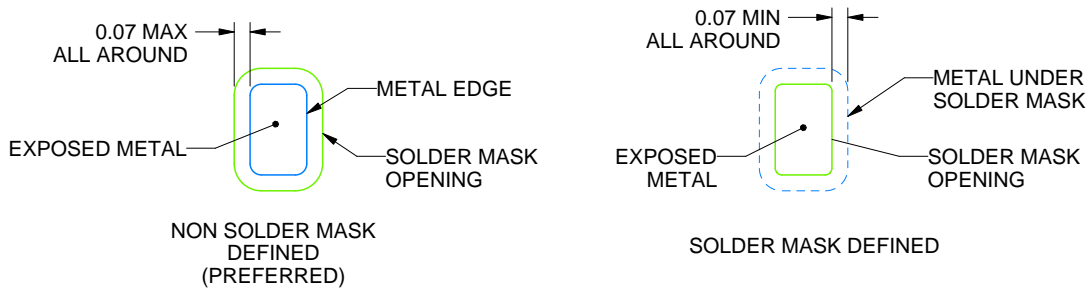
BQA0014B

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X



SOLDER MASK DETAILS

4227062/B 09/2021

NOTES: (continued)

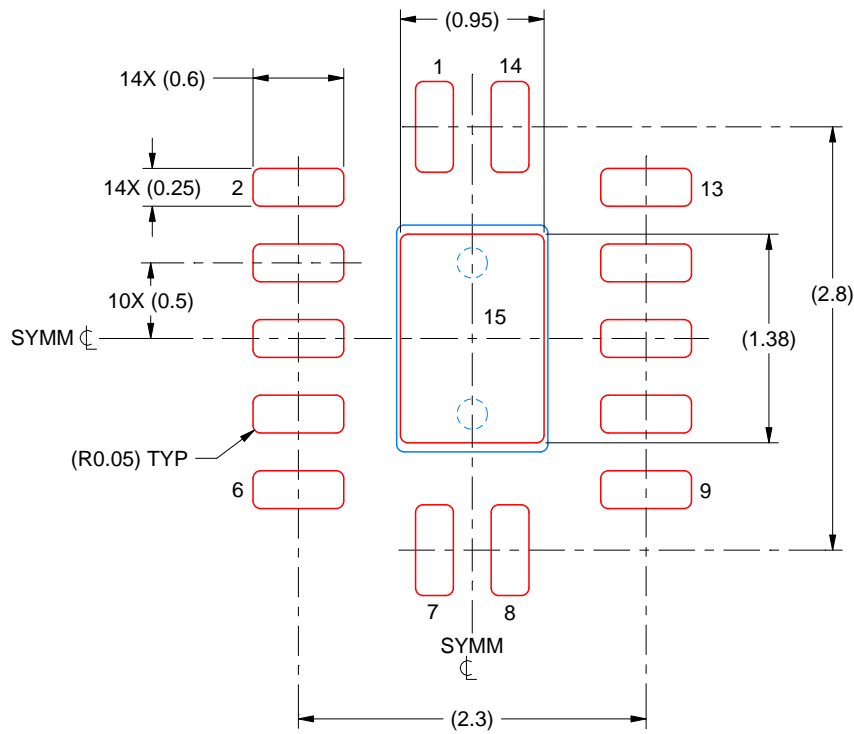
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

BQA0014B

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 20X

EXPOSED PAD 15
87% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

4227062/B 09/2021

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PW0014A



PACKAGE OUTLINE
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



4220202/B 12/2023

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.

EXAMPLE BOARD LAYOUT

PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



4220202/B 12/2023

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](#) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated