

SN75172 クワッド差動ラインドライバ

1 特長

- ANSI 標準 EIA/TIA-422-B と ITU 勧告 V.11 の要件を満たす、または上回る性能
- ノイズの多い環境の、長いバスラインでのマルチポイントの伝送用に設計
- 3 ステート出力
- 同相出力電圧範囲:
-7V~12V
- アクティブ HIGH およびアクティブ LOW のイネーブル
- サーマル シャットダウン保護機能
- 正と負の電流制限
- 5V 単一電源で動作
- AM26LS31 と論理的に互換

2 アプリケーション

- 化学およびガス センサ
- フィールドトランスミッタ: 温度センサおよび圧力センサ
- モーター駆動: ブラシレス DC およびブラシ付き DC
- Modbus 使用の温度センサおよびコントローラ

3 概要

SN75172 は、3 ステート出力のモノリシック クワッド差動ラインドライバです。ANSI 標準 EIA/TIA-422-B、RS-485、

ITU 勧告 V.11 の要件を満たすよう設計されています。このデバイスは、最高 4 Mbps の速度で、平衡マルチポイントバス伝送を行うよう最適化されています。各ドライバには、広い正および負の同相出力電圧範囲があり、ノイズの多い環境でのパーティライン アプリケーションに適しています。

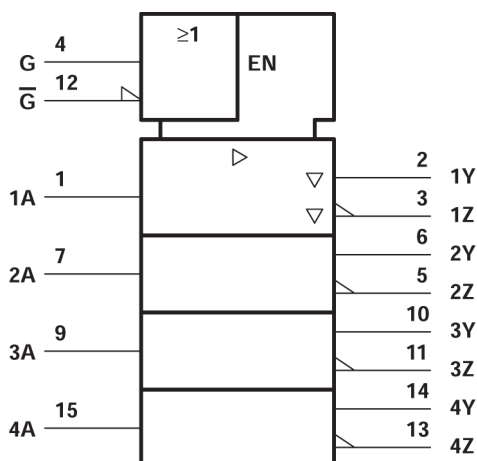
SN75172 には、正および負の電流制限とサーマル シャットダウンがあり、伝送バスラインのライン フォルト状況から保護します。シャットダウンは、接合部温度が約 150°C のときに発生します。このデバイスは、SN75173 または SN75175 クワッド差動ラインレシーバと組み合わせて使用すると、最高の性能を発揮します。

SN75172 は、0°C~70°C で動作特性が規定されています。

パッケージ情報

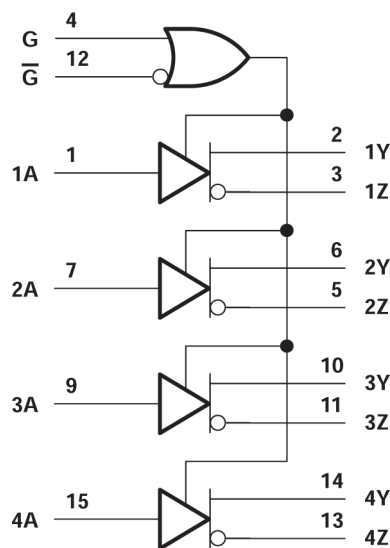
部品番号	パッケージ ⁽¹⁾	パッケージ サイズ ⁽²⁾
SN75172	N (PDIP, 16)	19.3mm × 9.4mm
	DW (SOIC, 20)	12.8mm × 10.3mm

- 詳細については、[セクション 11](#) を参照してください。
- パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



A. ここに示すピン番号は、N パッケージのもので、

論理記号¹



論理図 (正論理)

¹ この記号は ANSI/IEEE 規格 91-1984 と IEC Publication 617-12 に準拠しています。



Table of Contents

1 特長	1	7 Detailed Description	10
2 アプリケーション	1	7.1 Device Functional Modes.....	10
3 概要	1	8 Application and Implementation	11
4 Pin Configuration and Functions	3	8.1 Application Information.....	11
5 Specifications	4	9 Device and Documentation Support	12
5.1 Absolute Maximum Ratings.....	4	9.1 ドキュメントの更新通知を受け取る方法.....	12
5.2 Dissipation Ratings.....	4	9.2 サポート・リソース.....	12
5.3 Recommended Operating Conditions.....	4	9.3 Trademarks.....	12
5.4 Thermal Information.....	5	9.4 静電気放電に関する注意事項.....	12
5.5 Electrical Characteristics.....	5	9.5 用語集.....	12
5.6 Switching Characteristics.....	6	10 Revision History	12
5.7 Typical Characteristics.....	7	11 Mechanical, Packaging, and Orderable Information	12
6 Parameter Measurement Information	8		

4 Pin Configuration and Functions

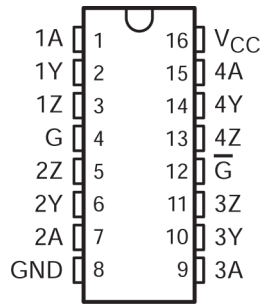
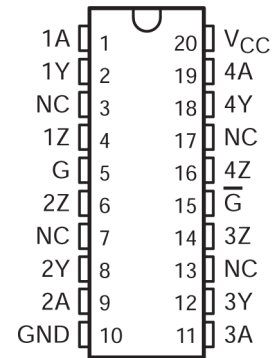


図 4-1. N Package (Top View)



NC – No internal connection

図 4-2. DW Package (Top View)

5 Specifications

5.1 Absolute Maximum Ratings

over operating free-air temperature (unless otherwise noted)⁽¹⁾

		MIN	MAX	UNIT
V_{CC}	Supply voltage, see ⁽²⁾	-0.3	7	V
V_{BUS}	Voltage range at any bus terminal	-10	15	V
V_I	Input voltage	-0.3	5.5	V
P_D	Continuous total dissipation	See Dissipation Rating Table		
T_A	Operating free-air temperature range	0	70	°C
T_{stg}	Storage temperature range	-65	150	°C
T_{LEAD}	Lead temperature 1,6 mm (1/16 inch) from case for 10		260	°C

- (1) Stresses beyond those listed under “absolute maximum ratings” may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated under “recommended operating conditions” is not implied. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.
- (2) All voltage values are with respect to the network ground terminal.

5.2 Dissipation Ratings

PACKAGE	$T_A \leq 25^\circ\text{C}$ POWER RATING	DERATING FACTOR ABOVE $T_A = 25^\circ\text{C}$	$T_A = 70^\circ\text{C}$ POWER RATING
DW	1125mW	9mW/°C	720mW
N	1150mW	9.2mW/°C	736mW

5.3 Recommended Operating Conditions

	MIN	NOM	MAX	UNIT
Supply voltage, V_{CC}	4.75	5	5.25	V
High-level input voltage, V_{IH}	2			V
Low-level input voltage, V_{IL}			0.8	V
Common-mode output voltage, V_{OC}	-7		12	V
High-level output current, I_{OH}			-60	mA
Low-level output current, I_{OL}			60	mA
Operating free-air temperature, T_A	0		70	°C

5.4 Thermal Information

THERMAL METRIC ⁽¹⁾		N (PDIP)	DW	UNIT
		16 PINS	20 PINS	
R _{θJA}	Junction-to-ambient thermal resistance	60.6	66.8	°C/W
R _{θJC(top)}	Junction-to-case (top) thermal resistance	48.1	34.4	°C/W
R _{θJB}	Junction-to-board thermal resistance	40.6	39.7	°C/W
ψ _{JT}	Junction-to-top characterization parameter	27.5	8.9	°C/W
ψ _{JB}	Junction-to-board characterization parameter	40.3	39	°C/W
R _{θJC(bot)}	Junction-to-case (bottom) thermal resistance	n/a	n/a	°C/W

(1) For more information about traditional and new thermal metrics, see the [Semiconductor and IC Package Thermal Metrics](#) application report.

5.5 Electrical Characteristics

over recommended ranges of supply voltage and operating free-air temperature (unless otherwise noted)

PARAMETER		TEST CONDITIONS			MIN	TYP ⁽¹⁾	MAX	UNIT
V _{IK}	Input clamp voltage	I _I = ±18mA					±1.5	V
V _O	Output voltage	I _O = 0			0		6	V
V _{OH}	High-level output voltage	V _{IH} = 2V,	V _{IL} = 0.8V,	I _{OH} = ±33mA		3.7		V
V _{OL}	Low-level output voltage	V _{IH} = 2V,	V _{IL} = 0.8V,	I _{OH} = 33mA		1.1		V
V _{OD1}	Differential output voltage	I _O = 0			1.5		6	V
V _{OD2}	Differential output voltage	R _L = 100Ω,	See 6-1		1/2 V _{OD1} or 2 ⁽²⁾			V
		R _L = 54Ω,	See 6-1		1.5	1.5	5	V
V _{OD3}	Differential output voltage	See ⁽⁵⁾			1.5		5	V
Δ V _{OD}	Change in magnitude of differential output voltage ⁽³⁾						±0.2	V
V _{OC}	Common-mode output voltage ⁽⁴⁾	R _L = 54Ω or 100Ω		See 6-1	-1		3	V
Δ V _{OC}	Change in magnitude of common-mode output voltage ⁽³⁾						±0.2	V
I _O	Output current with power off	V _{CC} = 0	V _O = ±7V to 12V				±100	μA
I _{OZ}	High-impedance-state output current	V _O = ±7V to 12V					±100	μA
I _{IH}	High-level input current	V _I = 1.7V					20	μA
I _{IL}	Low-level input current	V _I = 0.5V					±360	μA
I _{OS}	Short-circuit output current	V _O = ±7V					±180	mA
		V _O = V _{CC}					180	
		V _O = 12V					500	
I _{CC}	Supply current (all drivers)	No load	Outputs enabled			38	60	mA
			Outputs disabled			18	40	

(1) All typical values are at V_{CC} = 5V and T_A = 25°C.

(2) The minimum V_{OD2} with a 100Ω load is either 1/2 V_{OD1} or 2V, whichever is greater.

(3) Δ|V_{OD}| and Δ|V_{OC}| are the changes in magnitude of V_{OD} and V_{OC}, respectively, that occur when the input is changed from a high level to a low level.

(4) In ANSI Standard EIA/TIA-422-B, V_{OC}, which is the average of the two output voltages with respect to ground, is called output offset voltage, V_{OS}.

(5) See [6-3](#) of EIA Standard RS-485.

表 5-1. Symbol Equivalents

DATA SHEET PARAMETER	EIA/TIA-422-B	RS-485
V_O	V_{oa}, V_{ob}	V_{oa}, V_{ob}
$ V_{OD1} $	V_o	V_o
$ V_{OD2} $	$V_t (R_L = 100\Omega)$	$V_t (R_L = 54\Omega)$
$ V_{OD2} $		V_t (Test Termination Measurement ⁽⁵⁾)
$\Delta V_{OD} $	$ V_t - \bar{V}_t $	$ V_t - \bar{V}_t $
V_{OC}	$ V_{os} $	$ V_{os} $
$\Delta V_{OC} $	$ V_{os} - \bar{V}_{os} $	$ V_{os} - \bar{V}_{os} $
I_{OS}	$ I_{sa} , I_{sb} $	
I_O	$ I_{xa} , I_{xb} $	I_{ia}, I_{ib}

5.6 Switching Characteristics

$V_{CC} = 5\text{ V}$, $T_A = 25^\circ\text{C}$

PARAMETER		TEST CONDITIONS		MIN	TYP	MAX	UNIT
$t_{d(OD)}$	Differential-output delay time	$R_L = 54\Omega$,	See 6-2		45	65	ns
$t_{t(OD)}$	Differential-output transition time				80	120	ns
t_{PZH}	Output enable time to high level	$R_L = 110\Omega$,	See 6-3		80	120	ns
t_{PZL}	Output enable time to low level	$R_L = 110\Omega$,	See 6-4		45	80	ns
t_{PHZ}	Output disable time from high level	$R_L = 110\Omega$,	See 6-3		78	115	ns
t_{PLZ}	Output disable time from low level	$R_L = 110\Omega$,	See 6-4		18	30	ns

5.7 Typical Characteristics

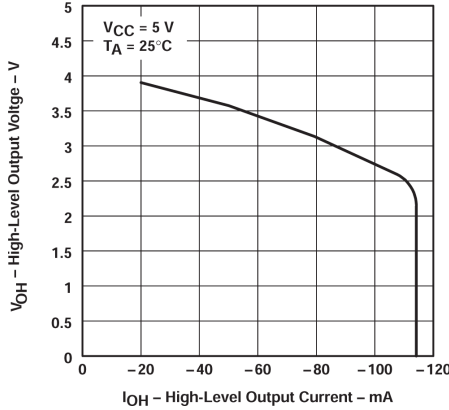


图 5-1. High-level Output Voltage vs High-level Output Current

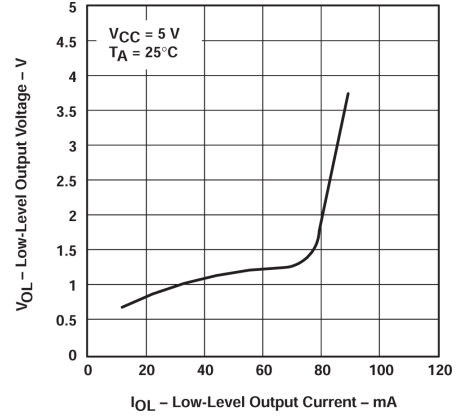


图 5-2. Low-level Output Voltage vs Low-level Output Current

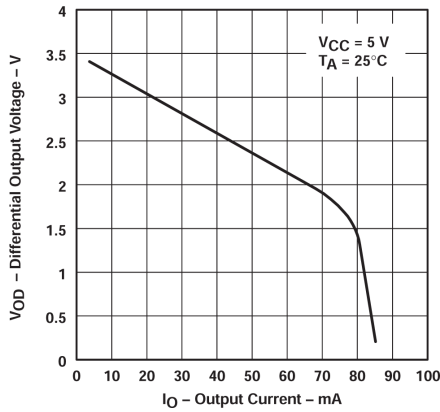


图 5-3. Differential Output Voltage vs Output Current

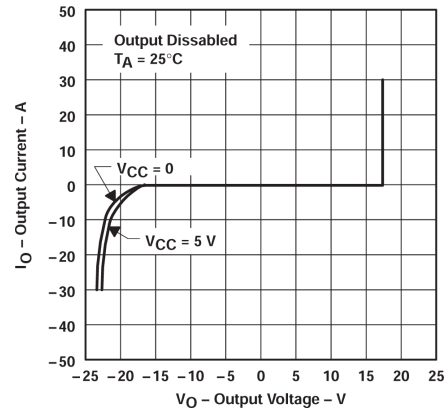


图 5-4. Output Current vs Output Voltage

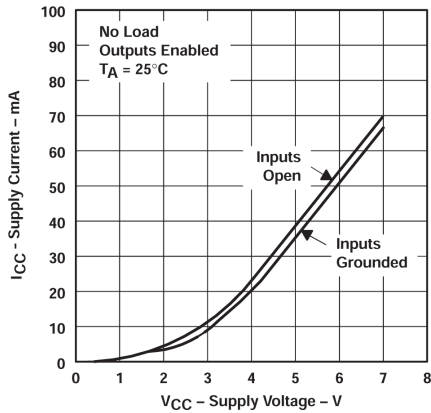


图 5-5. Supply Current vs Supply Voltage

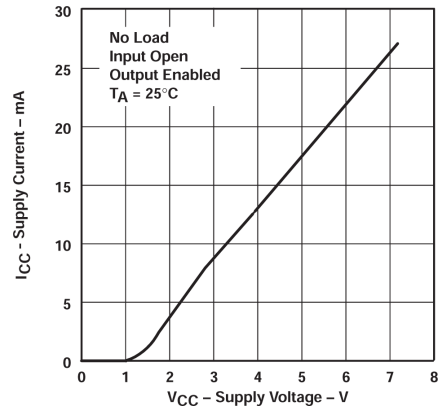


图 5-6. Supply Current vs Supply Voltage

6 Parameter Measurement Information

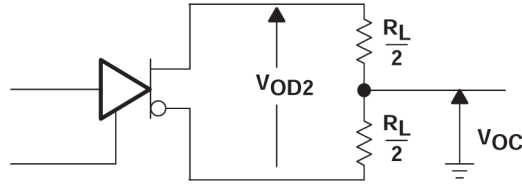
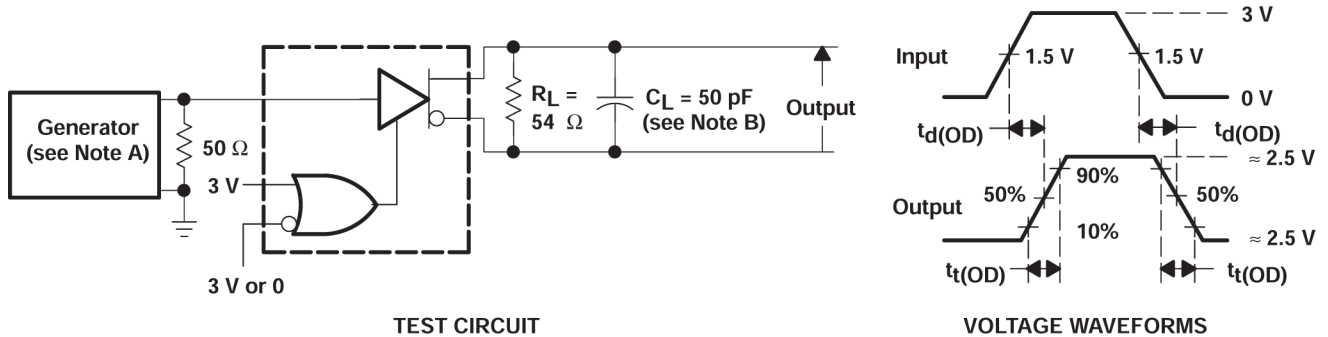
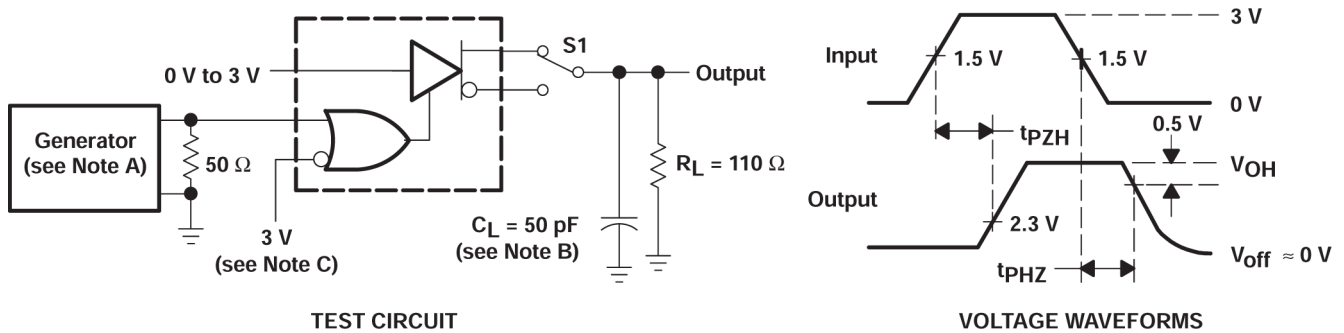


图 6-1. Differential and Common-Mode Output Voltages



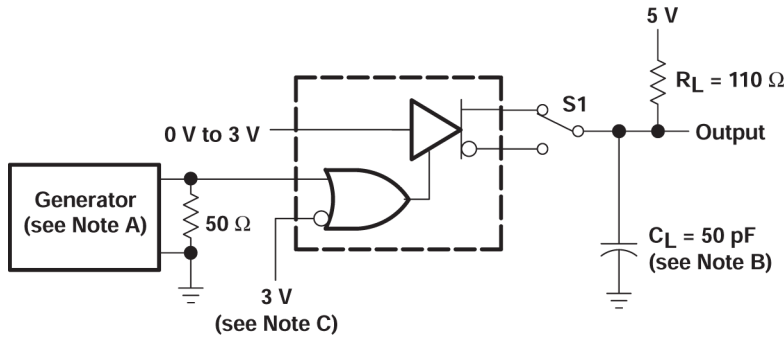
- A. The input pulse is supplied by a generator having the following characteristics: $t_r \leq 10\text{ns}$, $t_f \leq 10\text{ns}$, $\text{PRR} \leq 1\text{MHz}$, duty cycle = 50%, $Z_O = 50\Omega$.
- B. C_L includes probe and stray capacitance.

图 6-2. Differential-Output Test Circuit and Voltage Waveforms

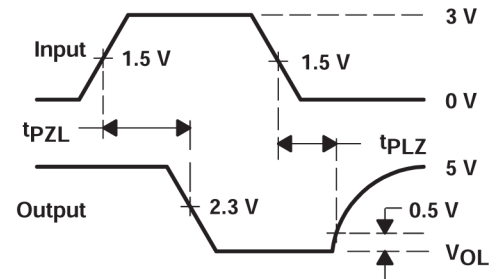


- A. A. The input pulse is supplied by a generator having the following characteristics: $\text{PRR} \leq 1\text{MHz}$, duty cycle = 50%, $t_r \leq 10\text{ns}$, $t_f \leq 10\text{ns}$, $Z_O = 50\Omega$.
- B. C_L includes probe and stray capacitance.
- C. To test the active-low enable \bar{G} , ground G and apply an inverted waveform to \bar{G} .

图 6-3. Test Circuit and Voltage Waveforms



TEST CIRCUIT



VOLTAGE WAVEFORMS

- A. A. The input pulse is supplied by a generator having the following characteristics: PRR ≤ 1MHz, duty cycle = 50%, $t_r \leq 5\text{ns}$, $t_f \leq 5\text{ns}$, $Z_O = 50\Omega$.
- B. C_L includes probe and stray capacitance.
- C. To test the active-low enable \bar{G} , ground G and apply an inverted waveform to \bar{G} .

6-4. Test Circuit and Voltage Waveforms

7 Detailed Description

7.1 Device Functional Modes

Function Table (Each Driver)

INPUT A ⁽¹⁾	ENABLES		OUTPUTS	
	G	\bar{G}	Y	Z
H	H	X	H	L
L	H	X	L	H
H	X	L	H	L
L	X	L	L	H
X	L	H	Z	Z

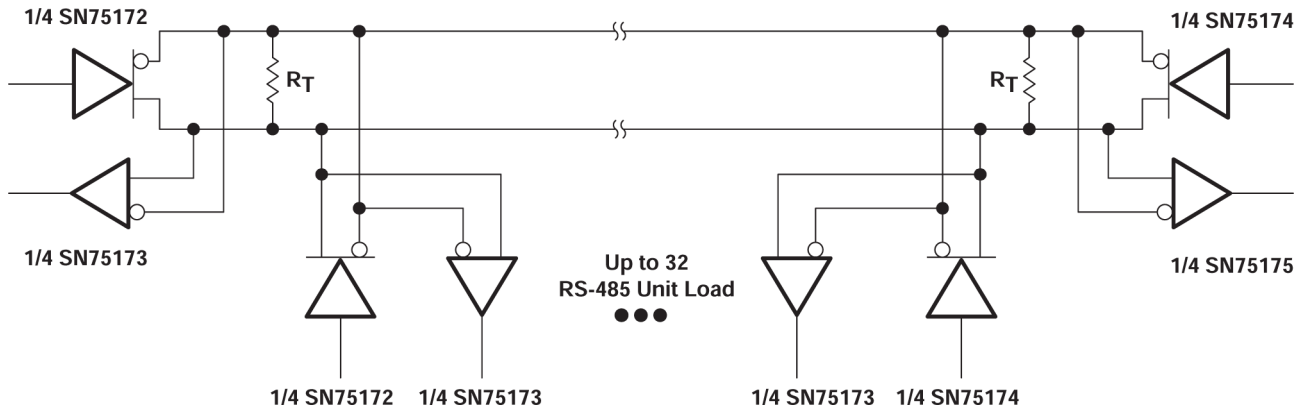
(1) H = high level, L = low level, X = irrelevant, Z = high impedance (off)

8 Application and Implementation

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくこととなります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 Application Information



- A. The line length should be terminated at both ends in its characteristic impedance ($R_T = Z_0$). Stub lengths off the main line should be kept as short as possible.

9 Device and Documentation Support

TI offers an extensive line of development tools. Tools and software to evaluate the performance of the device, generate code, and develop solutions are listed below.

9.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

9.3 Trademarks

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

9.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.5 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

10 Revision History

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision B (May 1995) to Revision C (April 2024)	Page
ドキュメント全体にわたって表、図、相互参照の採番方法を変更.....	1
Added the <i>Thermal Information</i> table.....	5
Changed Note A in 図 6-2 and 図 6-3	8

11 Mechanical, Packaging, and Orderable Information

The following pages include mechanical, packaging, and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser-based versions of this data sheet, refer to the left-hand navigation.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適したテキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されているテキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかるテキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
SN75172DWR	ACTIVE	SOIC	DW	20	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	0 to 70	SN75172	Samples
SN75172N	ACTIVE	PDIP	N	16	25	RoHS & Green	NIPDAU	N / A for Pkg Type	0 to 70	SN75172N	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN75172DWR	SOIC	DW	20	2000	330.0	24.4	10.8	13.3	2.7	12.0	24.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN75172DWR	SOIC	DW	20	2000	367.0	367.0	45.0

TUBE


*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
SN75172DW	DW	SOIC	20	25	506.98	12.7	4826	6.6
SN75172DW	DW	SOIC	20	25	507	12.83	5080	6.6
SN75172N	N	PDIP	16	25	506	13.97	11230	4.32

N (R-PDIP-T**)

PLASTIC DUAL-IN-LINE PACKAGE

16 PINS SHOWN



- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 - △ Falls within JEDEC MS-001, except 18 and 20 pin minimum body length (Dim A).
 - △ The 20 pin end lead shoulder width is a vendor option, either half or full width.

4040049/E 12/2002

DW0020A



PACKAGE OUTLINE

SOIC - 2.65 mm max height

SOIC



4220724/A 05/2016

NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm per side.
5. Reference JEDEC registration MS-013.

EXAMPLE BOARD LAYOUT

DW0020A

SOIC - 2.65 mm max height

SOIC



LAND PATTERN EXAMPLE
SCALE:6X



SOLDER MASK DETAILS

4220724/A 05/2016

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DW0020A

SOIC - 2.65 mm max height

SOIC



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:6X

4220724/A 05/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](#) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated