

2×210Wステレオ デジタル・アンプ・パワー・ステージ

特長

- 2 × 160W (8Ω BTL、10% THD+N)
- 2 × 210W (6Ω BTL、10% THD+N)
- 1 × 300W (4Ω パラレルBTL、10% THD+N) (1)
- SNR: >110dB (A補正、モジュレータにTAS5518を使用の時)
- THD+N (1W): 0.09%未満
- 熱特性を改善した2つのパッケージ:
 - DKD (36ピンPSOP3)
 - DDV (44ピンHTSSOP)
- 80mΩ出力MOSFETによる高効率(>90%)パワー・ステージ
- 電源シーケンスなしで起動時にデバイスを保護するパワーオン・リセット
- アンダー・ボルテージ、過熱、過負荷、短絡の保護回路を内蔵
- エラー・レポート
- EMI基準に適合(推奨システム設計で使用時)
- インテリジェント・ゲート・ドライブ
- Mid-Z Rampにより“ポップ・ノイズ”を低減

アプリケーション

- ミニ/マイクロ・オーディオ・システム
- DVDレシーバ
- ホーム・シアター

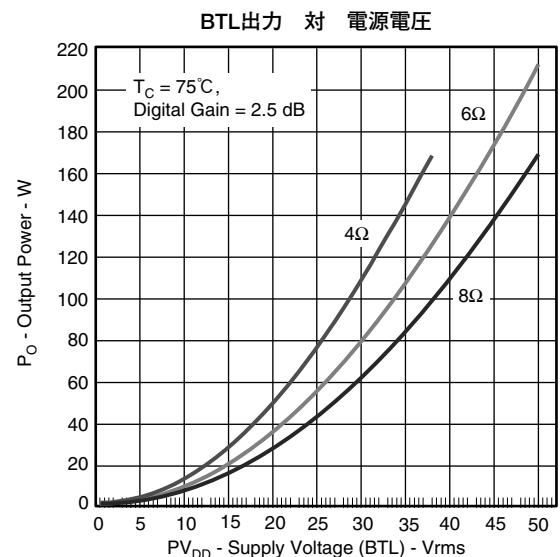
概要

TAS5162は、強化された保護システムを備えた、高性能のステレオ・デジタル・アンプ用パワー・ステージICです。TAS5162は、ブリッジ接続(BTL)で6Ω負荷をチャンネルあたり最大210W (THD = 10%)で駆動でき、低出力ノイズ、クリッピングのない低THD+N動作、アイドル時の低消費電力といった特徴を備えています。

モジュレータ(TAS5508など)とTAS5162のTIチップセットを使用して、低コストで高忠実度(Hi-Fi)オーディオ・システムを構築できます。

このシステムは、単純なLCフィルタを追加するだけで、EMI適合が実証された高品質、高効率のオーディオ・アンプを実現できます。このデバイスは、GVDDおよびVDD用に12V、PVDD用に50Vの2つの電源を必要とします。TAS5162は、内部パワーオン・リセットにより、電源投入シーケンスが不要です。このデジタル・アンプの効率は6Ωで90%を超えるため、小型の電源やヒートシンクを使用できます。

TAS5162は、斬新な保護システムがオンチップで内蔵され、システムの損傷につながる幅広い範囲にわたるデバイスの障害を防止します。それは、短絡保護、過電流保護、アンダー・ボルテージ保護、および過熱保護となります。TAS5162には、新しい独自の電流制限回路が組み込まれ、音楽信号に含まれる高レベルのトランジェントによってデバイスがシャットダウンすることを低減しています。新しいプログラミング可能な過電流検出回路により、出力のデモジュレーション・フィルタに低コストのインダクタを使用することができます。



- (1) DDVパッケージはシステム構成に依存しますが、ここに示す最大電力レベルを供給可能です。また、パッド面積が小さい場合は、ヒートシンクとの熱伝導がより重要になります。2つのチャンネルをフルパワーで駆動する必要があるマルチチャンネル・システムでDDVパッケージを選択して使用する場合は、2つのチャンネルが2つの別々のデバイに分けるようにシステムを設計することを推奨します。

すべての商標および登録商標は、それぞれの所有者に帰属します。

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ(日本TI)が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。

一般情報



静電気放電対策

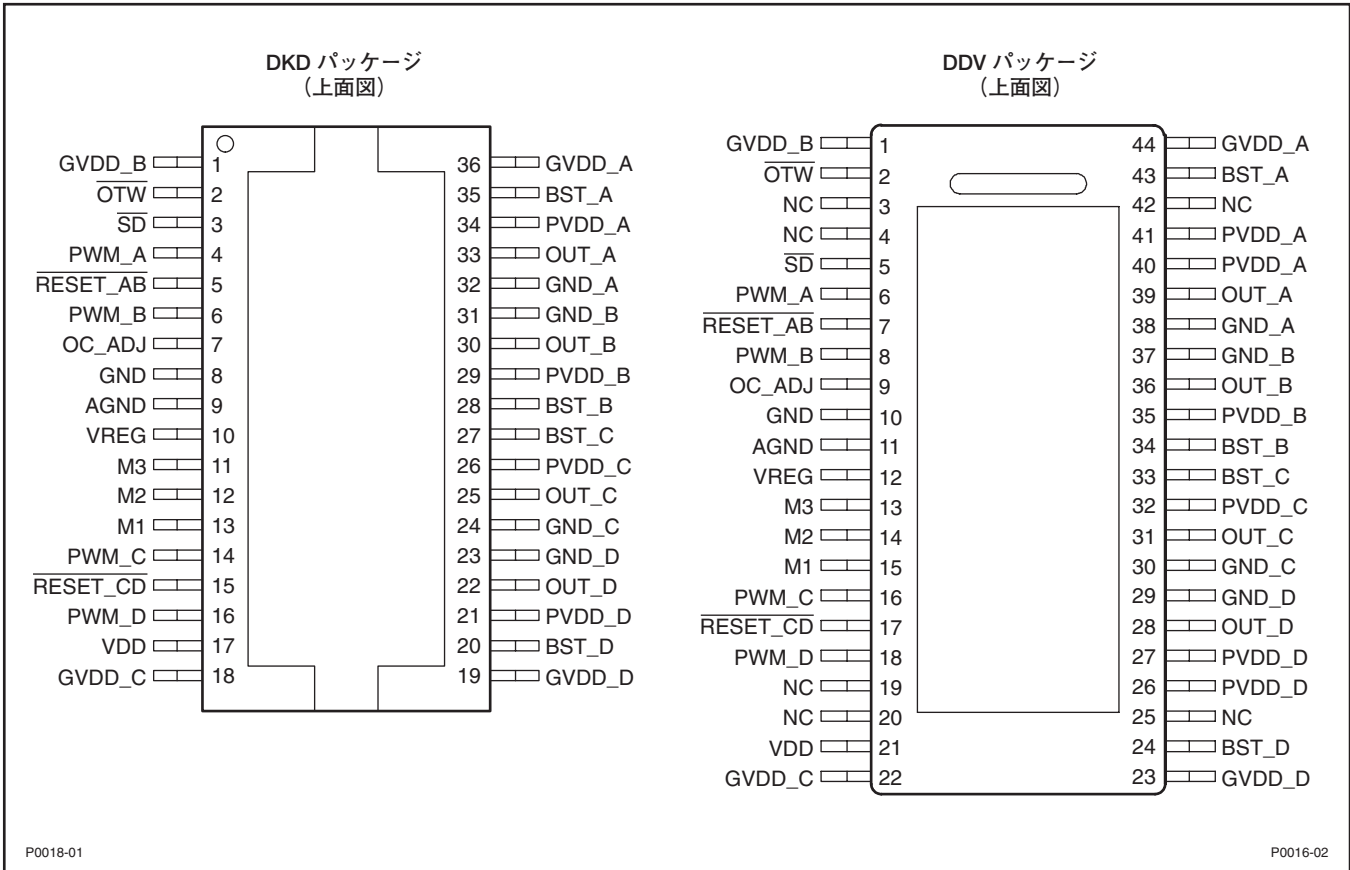
ピン配置

TAS5162は、放熱特性を改善した2つのパッケージで提供されます。

- 36ピンPSOP3パッケージ (DKD)
- 44ピンHTSSOP PowerPad™パッケージ (DDV)

どちらの種類のパッケージも、ヒートシンクへの熱結合を容易にするために、デバイスの上面に放熱用金属面が設けられています。

これらのデバイスは、限定的な ESD (静電破壊) 保護機能を内蔵しています。保存時または取り扱い時は、MOS ゲートに対する静電破壊を防止するために、リード線どうしを短絡しておくか、デバイスを伝導性のフォームに入れる必要があります。



一般情報

モード選択ピン

モード・ピン			PWM入力	出力構成	保護策
M3	M2	M1			
0	0	0	2N ⁽¹⁾ AD/BD モジュレーション	2チャンネルBTL出力	BTLモード 全保護機能 ⁽²⁾
0	0	1	2N ⁽¹⁾ AD/BD モジュレーション	2チャンネルBTL出力	BTLモード シャットダウン・ラッチ ⁽²⁾
0	1	0	1N ⁽¹⁾ AD モジュレーション	2チャンネルBTL出力	BTLモード 全保護機能 ⁽²⁾
0	1	1	1N ⁽¹⁾ AD モジュレーション	1チャンネルパラレルBTL出力	BTLモード 全保護機能、PWM_A入力のみ使用
1	0	0	1N ⁽¹⁾ AD モジュレーション	4チャンネルSE出力	保護動作はBTLモードに類似 ⁽²⁾ 、ただし、SEモードではOUT_XがHi-Zとなり、内部プル・ダウンではない
1	0	1	1N ⁽¹⁾ AD モジュレーション	4チャンネルSE出力、PWM入力保護なし、シャットダウン・ラッチ	保護動作はSEモードに類似 ⁽²⁾ (1,0,0)、PWM入力保護はディスエーブル、過電流検出はラッチされる
1	1	0	リザーブ		
1	1	1			

(1) 1Nおよび2Nの名称は、特定のモードでチャンネルごとに必要なパワー・ステージへのPWMライン数を表します。

(2) AまたはBで過負荷保護(OLP)が発生した場合、両方のチャンネルがシャットダウンされます。CまたはDのOLPも同様に動作します。過熱障害(OTE)、減電圧保護(UVP)、パワーオン・リセット(POR)などの動作は、すべてのチャンネルに影響します。

パッケージ許容損失(1)

パラメータ	TAS5162DKD	TAS5162DDV
R _{θJC} (°C/W)—2 × BTL または4 × SEチャンネル(8トランジスタ)	1.0	1.1
R _{θJC} (°C/W)—1 × BTL または2 × SEチャンネル(4トランジスタ)	1.5	2.2
R _{θJC} (°C/W)—(1トランジスタ)	5.0	7.4
パッド面積 ⁽²⁾	80 mm ²	34 mm ²

(1) JCは接合部-ケース間、CHはケース-ヒートシンク間です。

(2) R_{θCH}は、重要な考慮事項です。パッド領域とヒートシンク間に50.8μ(2mil)厚の一般的な導熱性グリースが塗布され、両方のチャンネルがアクティブであると仮定します。この条件でのR_{θCH}は、DKDパッケージでは2.6°C/W、DDVパッケージでは4.0°C/Wです。

絶対最大定格 (1)

TAS5162	
VDD ~ AGND	-0.3V ~ 13.2V
GVDD_X ~ AGND	-0.3V ~ 13.2V
PVDD_X ~ GND_X ⁽²⁾	-0.3V ~ 71V
OUT_X ~ GND_X ⁽²⁾	-0.3V ~ 71V
BST_X ~ GND_X ⁽²⁾	-0.3V ~ 79.7V
VREG ~ AGND	-0.3V ~ 4.2V
GND_X ~ GND	-0.3V ~ 0.3V
GND_X ~ AGND	-0.3V ~ 0.3V
GND ~ AGND	-0.3V ~ 0.3V
PWM_X, OC_ADJ, M1, M2, M3 ~ AGND	-0.3V ~ 4.2V
RESET_X, \overline{SD} , \overline{OTW} ~ AGND	-0.3V ~ 7V
最大連続シンク電流(\overline{SD} , \overline{OTW})	9mA
接合部動作温度範囲、T _J	0°C ~ 125°C
保存温度範囲	-40°C ~ 125°C
リード温度：ケースから1.6 mm (1/16インチ) 離れた時点で10秒間	260°C
最小出力パルス時間 ("Low")	50ns

(1) 絶対最大定格以上のストレスは、致命的なダメージを製品に与えることがあります。これはストレスの定格のみについて示してあり、このデータシートの「推奨動作条件」に示された値を越える状態での本製品の機能動作は含まれていません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。

(2) これらの電圧は、すべての条件においてデバイスの端子で測定されたDC電圧 + ピークAC波形を表しています。

製品情報

T _A	パッケージ	説明
0°C to 70°C	TAS5162DKD	36-pin PSOP3
0°C to 70°C	TAS5162DDV	44-pin HTSSOP

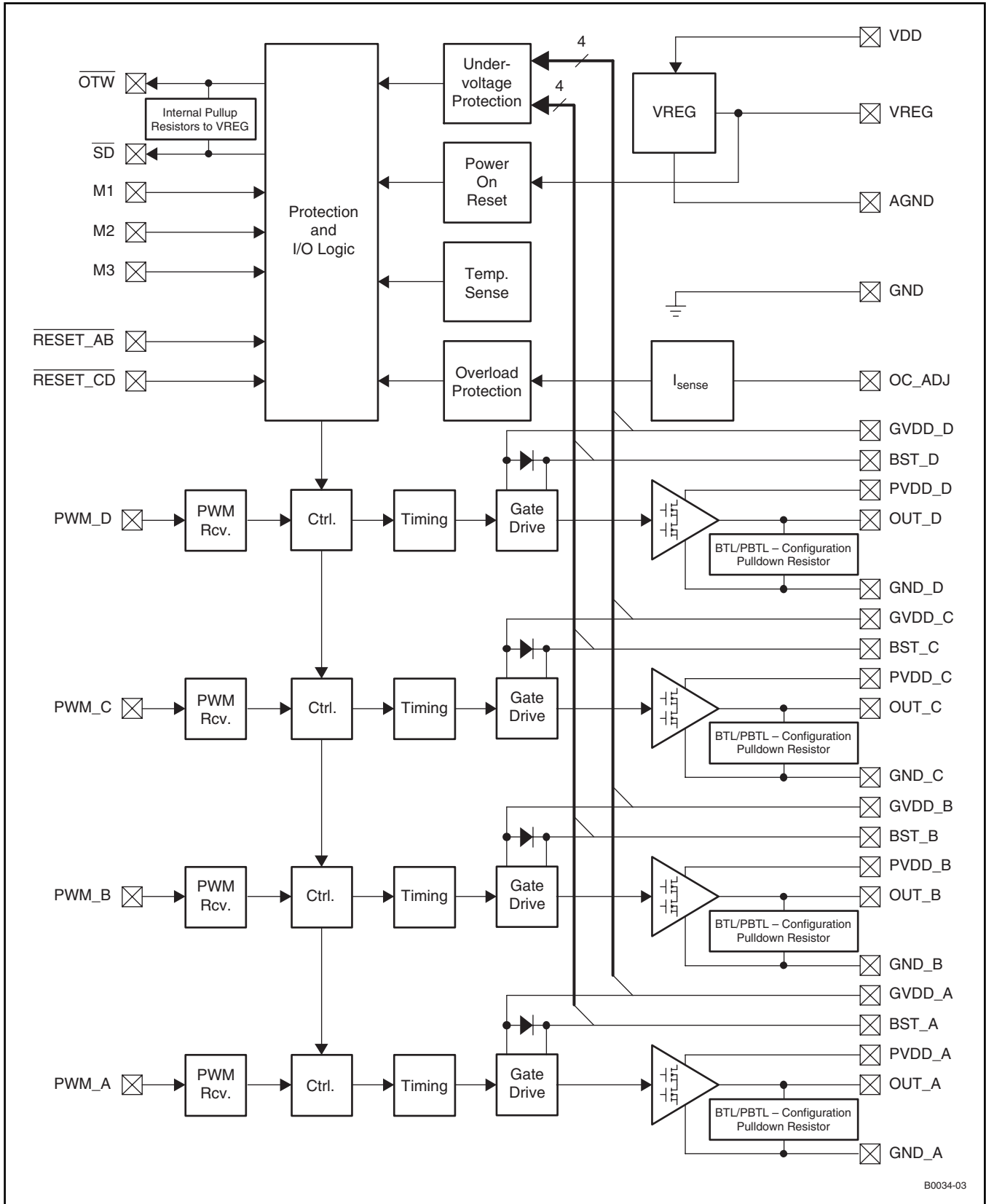
最新の仕様およびパッケージ情報については、TIのWebサイト (www.ti.com) をご覧ください。

ピン構成

名称	端子		機能 ⁽¹⁾	説明
	DKD No.	DDV No.		
AGND	9	11	P	アナログ・グラウンド
BST_A	35	43	P	HSブートストラップ電源(BST)、OUT_Aとの間に0.033μFの外付けコンデンサが必要
BST_B	28	34	P	HSブートストラップ電源(BST)、OUT_Bとの間に0.033μFの外付けコンデンサが必要
BST_C	27	33	P	HSブートストラップ電源(BST)、OUT_Cとの間に0.033μFの外付けコンデンサが必要
BST_D	20	24	P	HSブートストラップ電源(BST)、OUT_Dとの間に0.033μFの外付けコンデンサが必要
GND	8	10	P	グラウンド
GND_A	32	38	P	ハーフブリッジAの電源・グラウンド
GND_B	31	37	P	ハーフブリッジBの電源・グラウンド
GND_C	24	30	P	ハーフブリッジCの電源・グラウンド
GND_D	23	29	P	ハーフブリッジDの電源・グラウンド
GVDD_A	36	44	P	ゲート駆動電圧源、AGNDとの間に0.1μFのコンデンサが必要
GVDD_B	1	1	P	ゲート駆動電圧源、AGNDとの間に0.1μFのコンデンサが必要
GVDD_C	18	22	P	ゲート駆動電圧源、AGNDとの間に0.1μFのコンデンサが必要
GVDD_D	19	23	P	ゲート駆動電圧源、AGNDとの間に0.1μFのコンデンサが必要
M1	13	15	I	モード選択ピン
M2	12	14	I	モード選択ピン
M3	11	13	I	モード選択ピン
NC	–	3, 4, 19, 20, 25, 42	–	接続なし。ピンはグラウンドに接続可能。
OC_ADJ	7	9	O	アナログ過電流プログラミング・ピン、グラウンドとの間に抵抗が必要
$\overline{\text{OTW}}$	2	2	O	過熱警告信号、オープン・ドレイン、アクティブ“Low”
OUT_A	33	39	O	出力、ハーフブリッジA
OUT_B	30	36	O	出力、ハーフブリッジB
OUT_C	25	31	O	出力、ハーフブリッジC
OUT_D	22	28	O	出力、ハーフブリッジD
PVDD_A	34	40, 41	P	ハーフブリッジAの電源入力、直近でGND_Aへの1.0μFと0.01μFを並列にしたコンデンサでデカップリングが必要
PVDD_B	29	35	P	ハーフブリッジBの電源入力、直近でGND_Bへの1.0μFと0.01μFを並列にしたコンデンサでデカップリングが必要
PVDD_C	26	32	P	ハーフブリッジCの電源入力、直近でGND_Cへの1.0μFと0.01μFを並列にしたコンデンサでデカップリングが必要
PVDD_D	21	26, 27	P	ハーフブリッジDの電源入力、直近でGND_Dへの1.0μFと0.01μFを並列にしたコンデンサでデカップリングが必要
PWM_A	4	6	I	ハーフブリッジAの入力信号
PWM_B	6	8	I	ハーフブリッジBの入力信号
PWM_C	14	16	I	ハーフブリッジCの入力信号
PWM_D	16	18	I	ハーフブリッジDの入力信号
$\overline{\text{RESET_AB}}$	5	7	I	ハーフブリッジAおよびハーフブリッジBのリセット信号、アクティブ“Low”
$\overline{\text{RESET_CD}}$	15	17	I	ハーフブリッジCおよびハーフブリッジDのリセット信号、アクティブ“Low”
$\overline{\text{SD}}$	3	5	O	シャットダウン信号、オープン・ドレイン、アクティブ“Low”
VDD	17	21	P	デジタル電圧レギュレータの電源、デカップリング用にGNDへの0.1μFコンデンサと並列に47μFコンデンサが必要
VREG	10	12	P	デジタル・レギュレータ電源フィルタ・ピン、AGNDとの間に0.1μFのコンデンサが必要

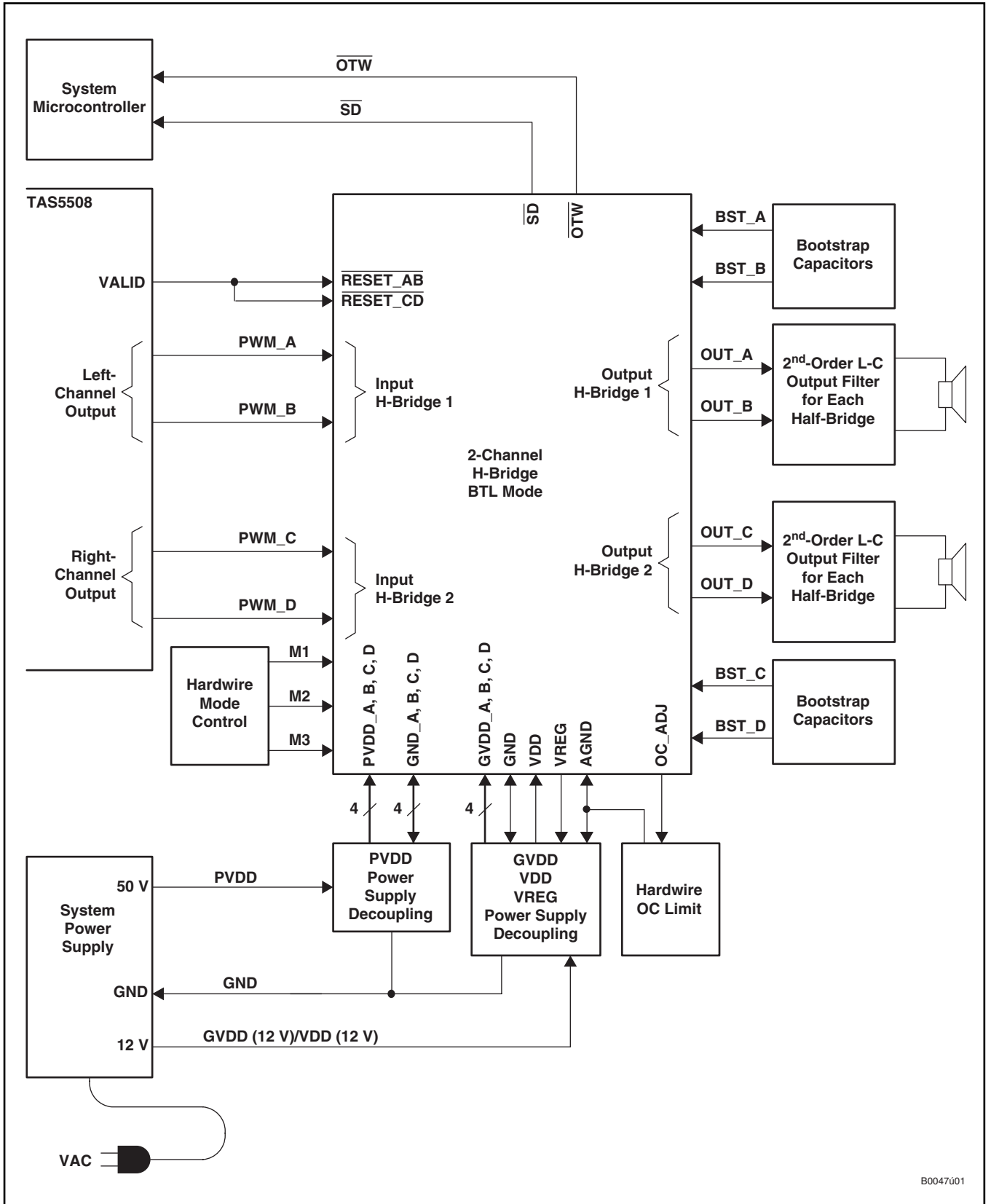
(1) I = 入力、O = 出力、P = 電源

システム・ブロック図



B0034-03

機能ブロック図



B0047001

推奨動作条件

		MIN	TYP	MAX	単位	
PVDD_X	ハーフブリッジ電源	DC電源電圧	0	50	52.5	V
GVDD_X	ロジックとゲート・ドライブ回路の安定化電源	DC電源電圧	10.8	12	13.2	V
VDD	デジタル安定化電源	DC電源電圧	10.8	12	13.2	V
R _L (BTL)	負荷インピーダンス	出力フィルタ：L = 10μH、C = 470nF、 出力ADモジュレーション、 スイッチング周波数 > 350kHz	4.6	6-8	Ω	
R _L (SE)			2.5	3-8		
R _L (PBTL)			4-8			
L _{Output} (BTL)	出力フィルタ・インダクタンス	回路を短絡したときの最小インダクタンス	5	10	μH	
L _{Output} (SE)			5	10		
L _{Output} (PBTL)			5	10		
F _{PWM}	PWMフレーム・レート		192	384	432	kHz
T _J	ジャンクション温度		0		125	°C

オーディオ仕様 (BTL)

特に記述がない限り、PVDD_X = 50V、GVDD = VDD = 12V、BTLモード、R_L = 6Ω、R_{OC} = 22KΩ、オーディオ周波数 = 1kHz、AES17フィルタ、F_{PWM} = 384kHz、ケース温度 = 75°Cです。オーディオ性能はチップセットとして測定され、TAS5508 PWMプロセッサの実効変調指数を96.1%に制限して使用しています。特に記述のない限り、すべての性能は推奨動作条件での測定です。

パラメータ	測定条件	TAS5162			単位
		MIN	TYP	MAX	
P _O	チャンネル当りの出力 (DKDパッケージ)	R _L = 4Ω、THD 10% (PVDD = 38.5V)	160		W
		R _L = 6Ω、THD 10%	210		
		R _L = 8Ω、THD 10%	160		
		R _L = 4Ω、0dBFS (PVDD = 38.5V)	120		
		R _L = 6Ω、0dBFS	165		
		R _L = 8Ω、0dBFS	125		
THD+N	全高調波歪+ノイズ	0dBFS	0.2		%
		1W	0.09		
V _n	出力ノイズ	A補正、モジュレータTAS5508使用	140		μV
		A補正、モジュレータTAS5518使用	85		
SNR	信号ノイズ比 ⁽¹⁾	A補正、モジュレータTAS5508使用	102		dB
		A補正、モジュレータTAS5518使用	112		
DNR	ダイナミック・レンジ	A補正、入力レベル = -60dBFS、 モジュレータTAS5508使用	102		dB
		A補正、入力レベル = -60dBFS、 モジュレータTAS5518使用	112		
P _{idle}	アイドル・ロス消費電力 (IPVDD_X)	P _O = 0W、4チャンネル・スイッチング ⁽²⁾	2.5		W

(1) SNRは0dBFS入力レベルを基準に計算されています。

(2) 実際のシステム・アイドル損失は、出力インダクタのコア損失によって影響を受けます。

オーディオ仕様 (シングル・エンド)

特に記述がない限り、PVDD_X = 50V、GVDD = VDD = 12V、SEモード、 $R_L = 3\Omega$ 、 $R_{OC} = 22K\Omega$ 、オーディオ周波数 = 1kHz、AES17フィルタ、 $F_{PWM} = 384kHz$ 、ケース温度 = 75°Cです。オーディオ性能はチップセットとして測定され、TAS5086 PWMプロセッサの実効変調指数を96.1%に制限して使用しています。特に記述のない限り、すべての性能は推奨動作条件での測定です。

パラメータ	測定条件	TAS5162			単位
		MIN	TYP	MAX	
P_O チャンネル当りの出力 (DKDパッケージ)	$R_L = 3\Omega$, THD 10%	105			W
	$R_L = 4\Omega$, THD 10%	80			
	$R_L = 3\Omega$, 0dBFS	80			
	$R_L = 4\Omega$, 0dBFS	60			
THD+N 全高調波歪+ノイズ	0dBFS	0.2			%
	1W	0.09			
V_n 出力ノイズ	A補正	85			μV
SNR 信号ノイズ比 ⁽¹⁾	A補正	110			dB
DNR ダイナミック・レンジ	A補正、入力レベル = -60dBFS、 モジュレータTAS5508使用	110			dB
P_{idle} アイドル・ロス消費電力 (IPVDD_X)	$P_O = 0W$ 、4チャンネル・スイッチング ⁽²⁾	2.5			W

(1) SNRは0dBFS入力レベルを基準に計算されています。

(2) 実際のシステム・アイドル損失は、出力インダクタのコア損失によって影響を受けます。

オーディオ仕様 (パラレルBTL)

特に記述がない限り、PVDD_X = 50V、GVDD = VDD = 12V、PBTLモード、 $R_L = 4\Omega$ 、 $R_{OC} = 22K\Omega$ 、MBRM5100-13デュアルの1/2、5A@100V、各出力ピンからグランドへショットキー・ダイオードを接続、オーディオ周波数 = 1kHz、AES17フィルタ、 $F_{PWM} = 384kHz$ 、ケース温度 = 75°Cです。オーディオ性能はチップセットとして測定され、TAS5508 PWMプロセッサの実効変調指数を96.1%に制限して使用しています。特に記述のない限り、すべての性能は推奨動作条件での測定です。

パラメータ	テスト条件	TAS5162			単位
		MIN	TYP	MAX	
P_O チャンネル当りの出力 (DKDパッケージ)	$R_L = 4\Omega$, THD 10%	300			W
	$R_L = 4\Omega$, 0dBFS	240			
	$R_L = 3\Omega$, THD 10%	400			
	$R_L = 3\Omega$, 0dBFS	300			
THD+N 全高調波歪+ノイズ	0dBFS	0.2			%
	1W	0.09			
V_n 出力ノイズ	A補正	140			μV
SNR 信号ノイズ比 ⁽¹⁾	A補正	102			dB
DNR ダイナミック・レンジ	A補正、入力レベル = -60dBFS、 モジュレータTAS5508使用	102			dB
	A補正、入力レベル = -60dBFS、 モジュレータTAS5518使用	110			
P_{idle} アイドル・ロス消費電力 (IPVDD_X)	$P_O = 0W$ 、4チャンネル・スイッチング ⁽²⁾	2.5			W

(1) SNRは0dBFS入力レベルを基準に計算されています。

(2) 実際のシステム・アイドル損失は、出力インダクタのコア損失によって影響を受けます。

電気的特性

特に記述のない限り、 $R_L = 6\Omega$ 、 $F_{PWM} = 384kHz$ です。特に記述がない限り、すべての性能は推奨動作条件での測定です。

パラメータ	テスト条件	TAS5162			単位	
		MIN	TYP	MAX		
内部安定化電源と電流消費						
VREG	安定化電源をリファレンス・ノードにのみ使用	VDD = 12V	2.95	3.3	3.65	V
IVDD	VDD供給電流	デューティ・サイクル50%で動作時	10			mA
		アイドル、RESETモード時	6			
IGVDD_X	ハーフ・ブリッジ当りのゲート供給電流	デューティ・サイクル50%で動作時	8			mA
		RESETモード時	0.3			
IPVDD_X	ハーフ・ブリッジ・アイドル電流	デューティ・サイクル50%で動作時、出力フィルタ or 負荷なし	15			mA
		RESETモード時、スイッチング動作なし	500			
MOSFET 出力段						
$R_{DSon,LS}$	ドレイン・ソース間抵抗、LS	$T_J = 25^\circ\text{C}$ 、金属抵抗を含む、GVDD = 12V	90			m Ω
$R_{DSon,HS}$	ドレイン・ソース間抵抗、HS	$T_J = 25^\circ\text{C}$ 、金属抵抗を含む、GVDD = 12V	90			m Ω
I/O 保護						
$V_{UVP,G}$	減電圧保護制限電圧、GVDD_X		8.5			V
$V_{UVP,hyst}^{(1)}$			400			mV
OTW ⁽¹⁾	過熱警告温度		115	125	135	$^\circ\text{C}$
OTW _{HYST} ⁽¹⁾	OTWイベントが発生した後、OTW端子が動作復帰するには、この温度まで低下する必要がある		25			$^\circ\text{C}$
OTE ⁽¹⁾	過熱エラー検出温度		145	155	165	$^\circ\text{C}$
OTE-OTW _{differential} ⁽¹⁾	OTE-OTWの差分温度		25			$^\circ\text{C}$
OTE _{HYST} ⁽¹⁾	OTEが発生した後、シャット・ダウンから復帰するための温度		25			$^\circ\text{C}$
OLPC	過負荷保護カウンタ	$F_{PWM} = 384kHz$	1.3			ms
I_{OC}	過電流保護制限電流	$R_{OCP} = 22k\Omega$ (Typ)	12			A
I_{OCT}	過電流感応時間	短絡してから、ハーフ・ブリッジがHi-Zになるまで	250			ns
R_{OCP}	過電流プログラム抵抗範囲	抵抗値許容誤差 = 5%	22		69	k Ω
R_{PD}	各ハーフ・ブリッジ出力のプル・ダウン抵抗	RESET端子がアクティブになりブートストラップ・キャパシタがチャージされるまで接続、シングル・エンド出力では使用しない	1.0			k Ω
デジタル特性						
V_{IH}	Highレベル入力電圧	PWM_A, PWM_B, PWM_C, PWM_D, M1, M2, M3, RESET_AB, RESET_CD	2			V
V_{IL}	Lowレベル入力電圧		0.8			V
Leakage	入力漏れ電流		-100		100	μ A
OTW/SHUTDOWN (SD)						
R_{INT_PU}	内部プル・アップ抵抗、OTWからVREG、SDからVREG		20	26	35	k Ω
V_{OH}	Highレベル出力電圧	内部プル・アップ抵抗	2.95	3.3	3.65	V
		外部にて5Vから4.7K Ω でプル・アップ	4.5			
V_{OL}	Lowレベル出力電圧	$I_O = 4mA$	0.2		0.4	V
FANOUT	OTW、SDのデバイス・ファンアウト	外部プル・アップなし	30			Devices

(1) 設計で規定されています。

代表的特性 (BTL構成)

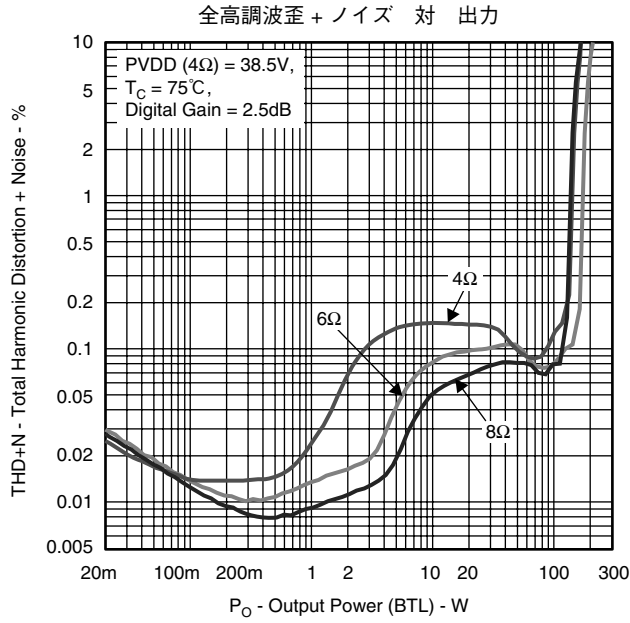


図1

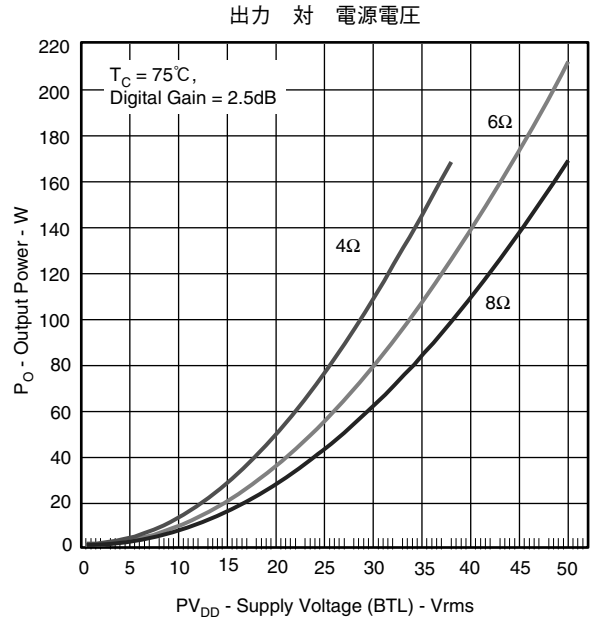


図2

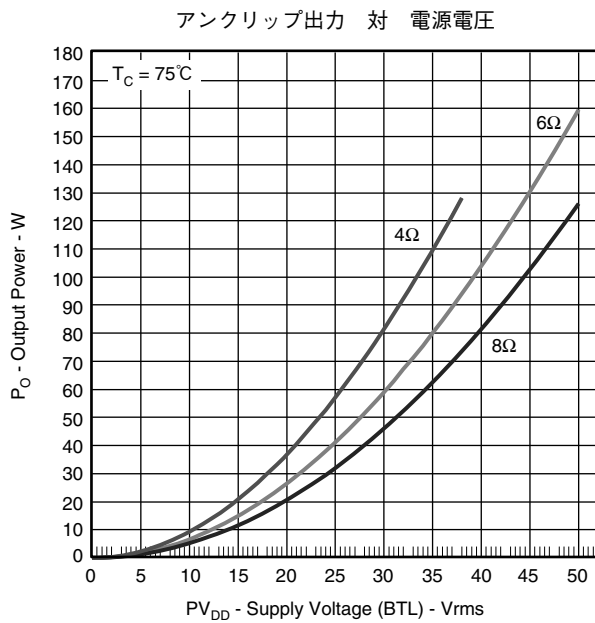


図3

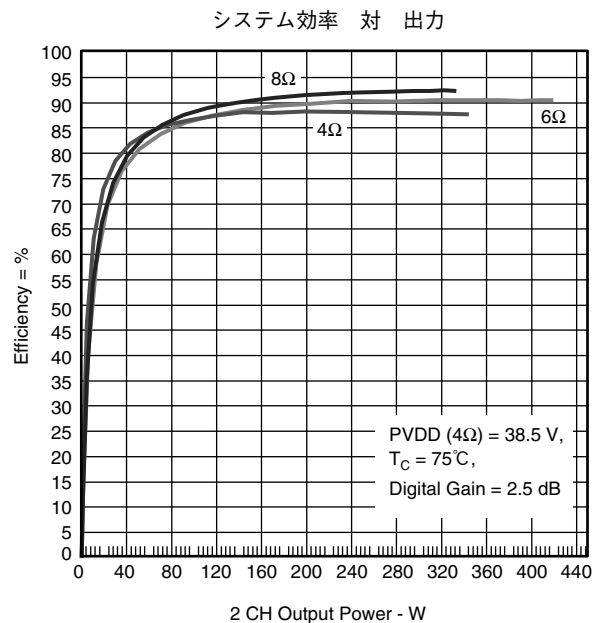


図4

代表的特性 (BTL構成)

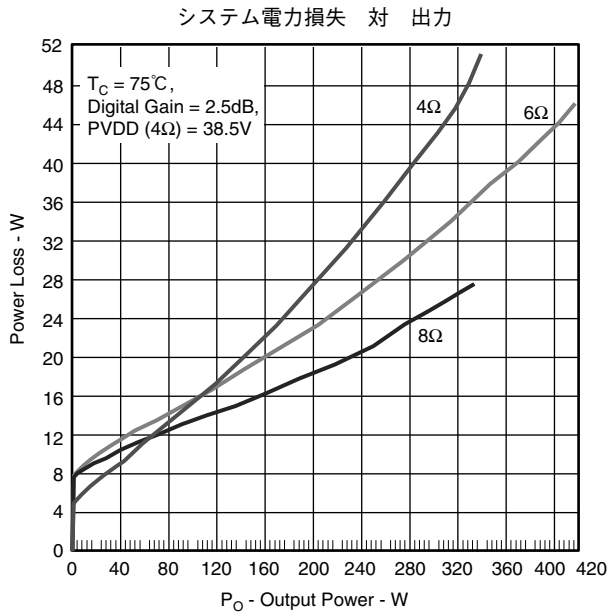


図5

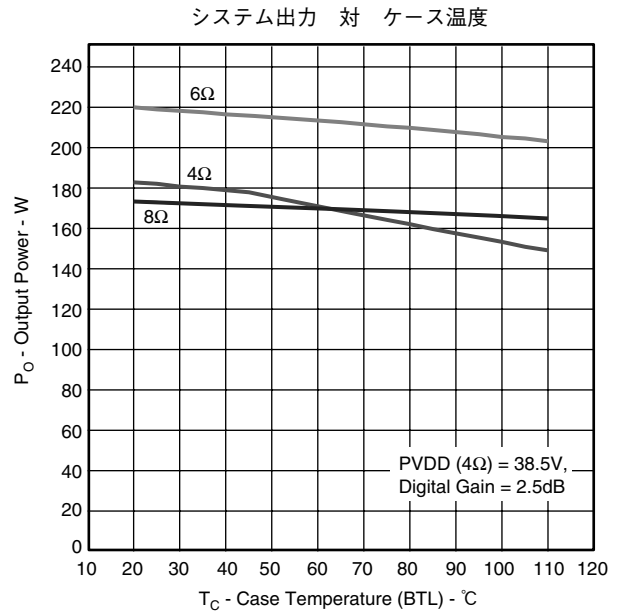


図6

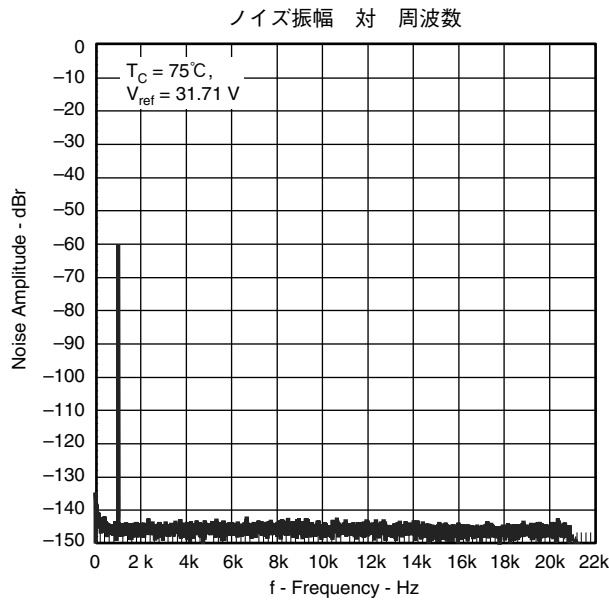


図7

代表的特性 (シングル・エンド構成)

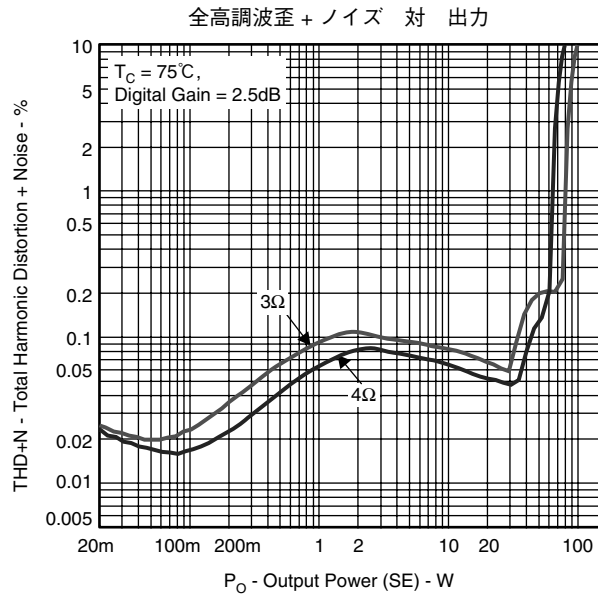


図8

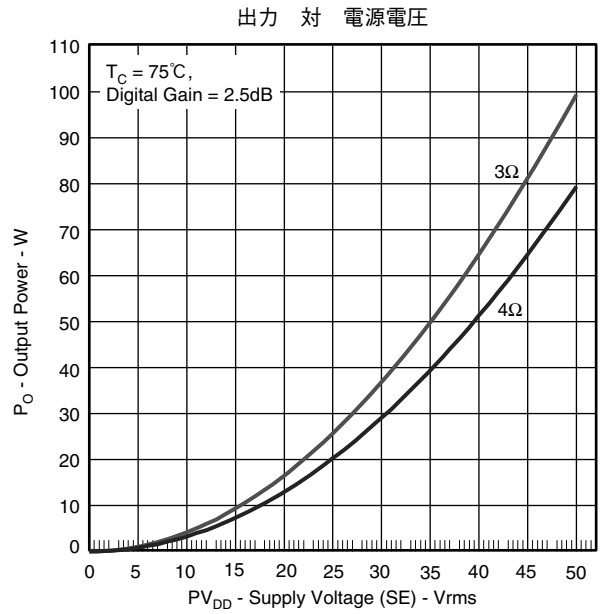


図9

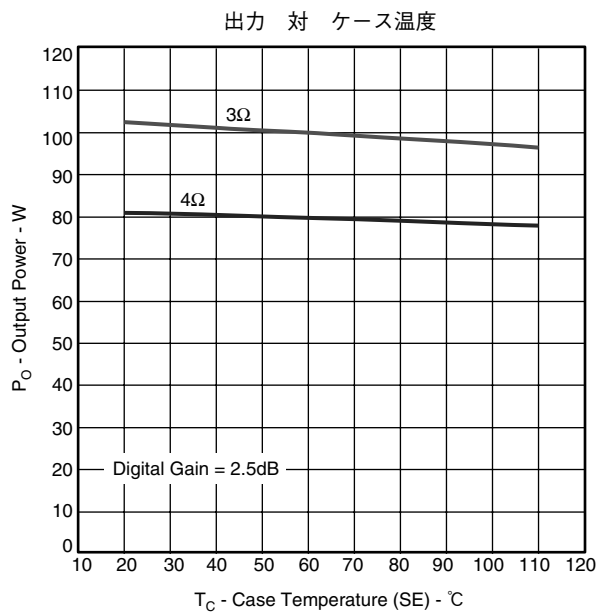


図10

代表的特性 (パラレルBTL構成)

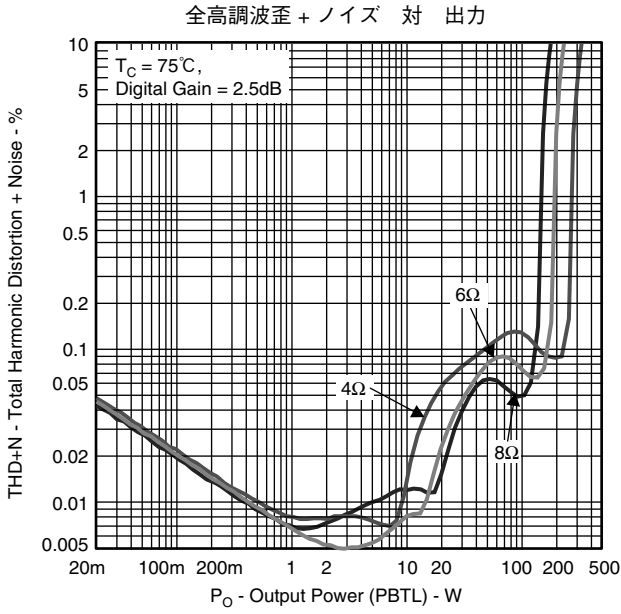


図11

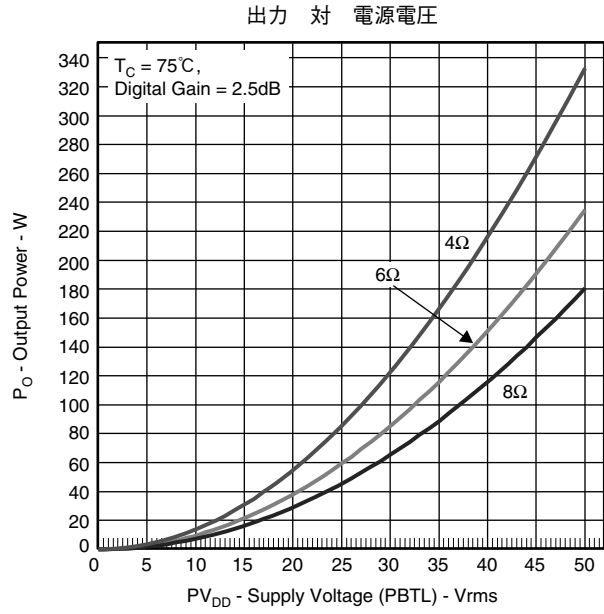


図12

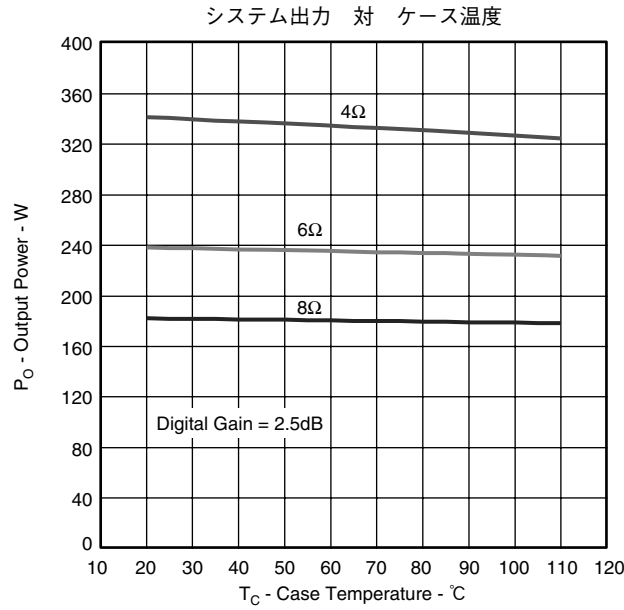
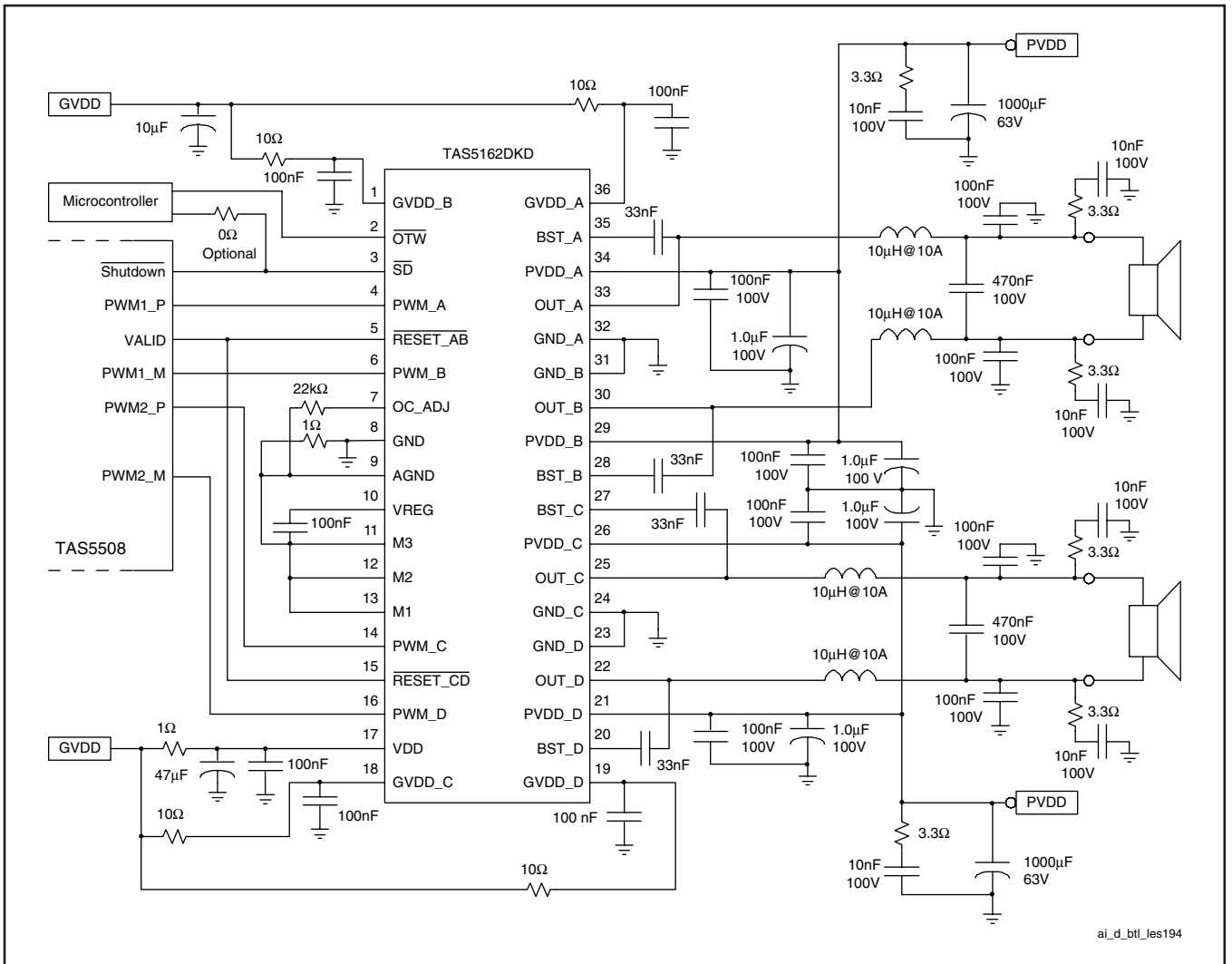
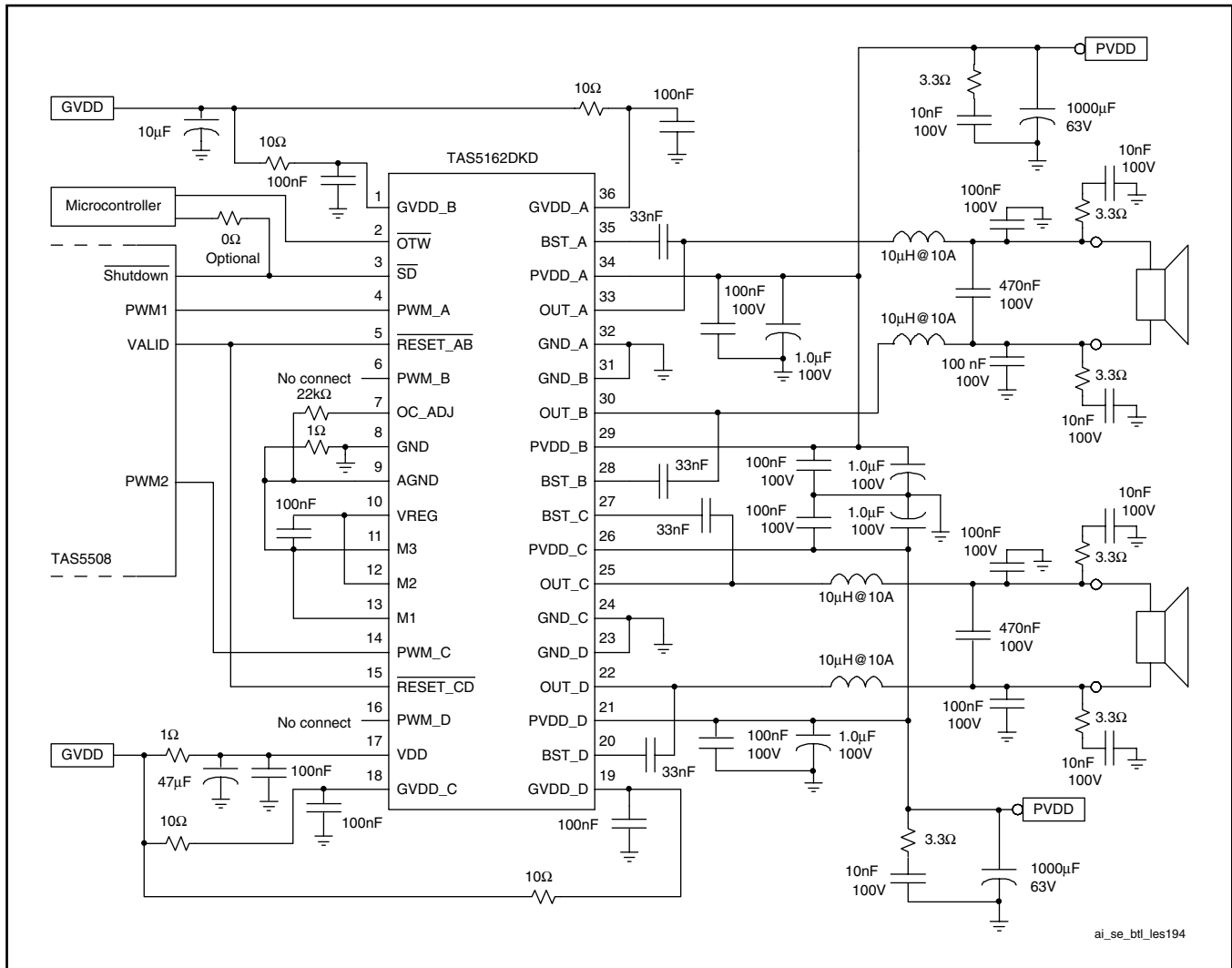


図13



ai_d_btl_les194

図14. AD変調フィルタを使用した標準的な差動(2N)BTLアプリケーション(参考図。部品の値および接続は変更されます)



ai_se_btl_les194

図15. AD変調フィルタを使用した標準的な非差動(1N)BTLアプリケーション(参考図。部品の値および接続は変更されます)

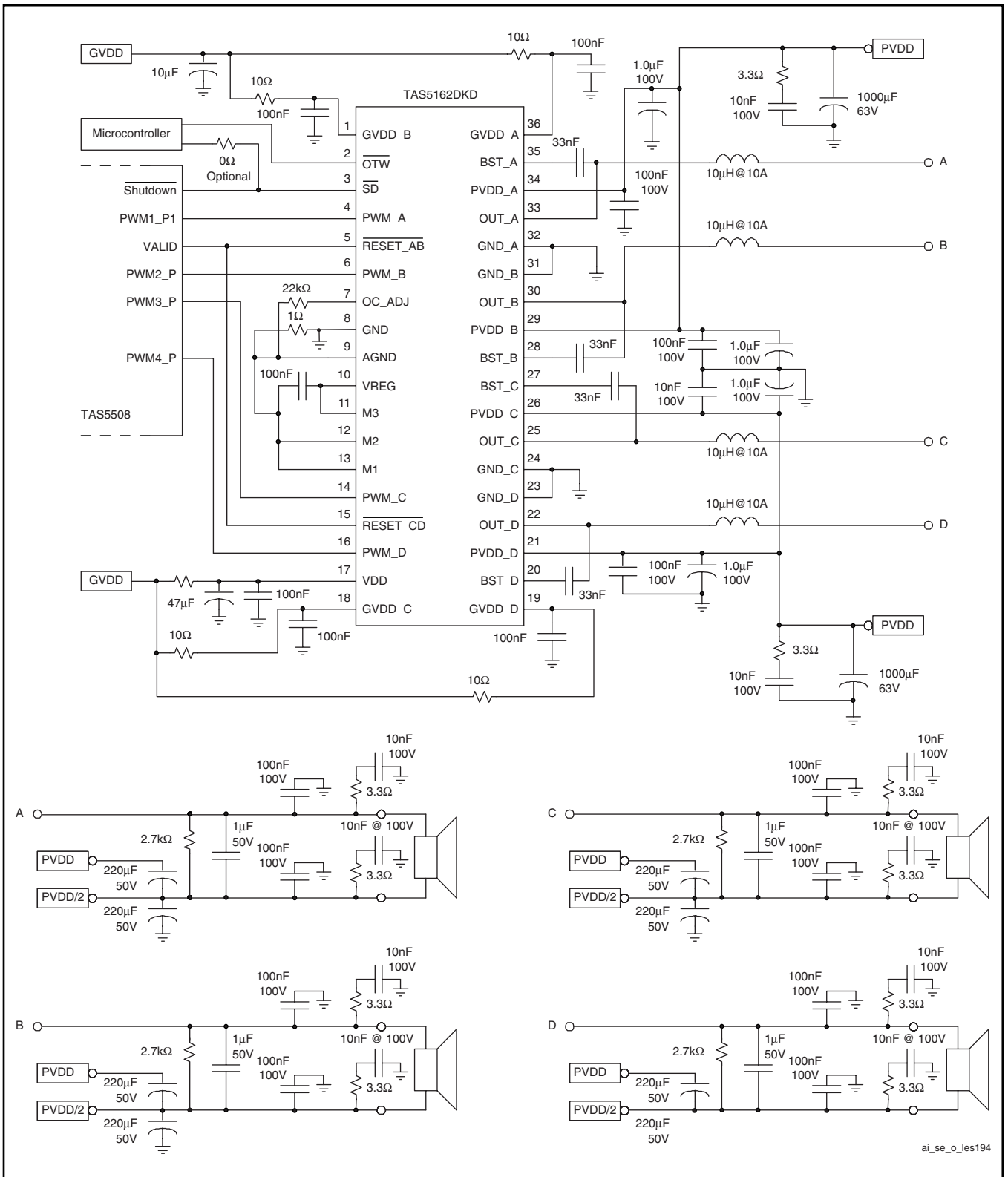


図16. 標準的なSEアプリケーション(参考図。部品の値および接続は変更されます)

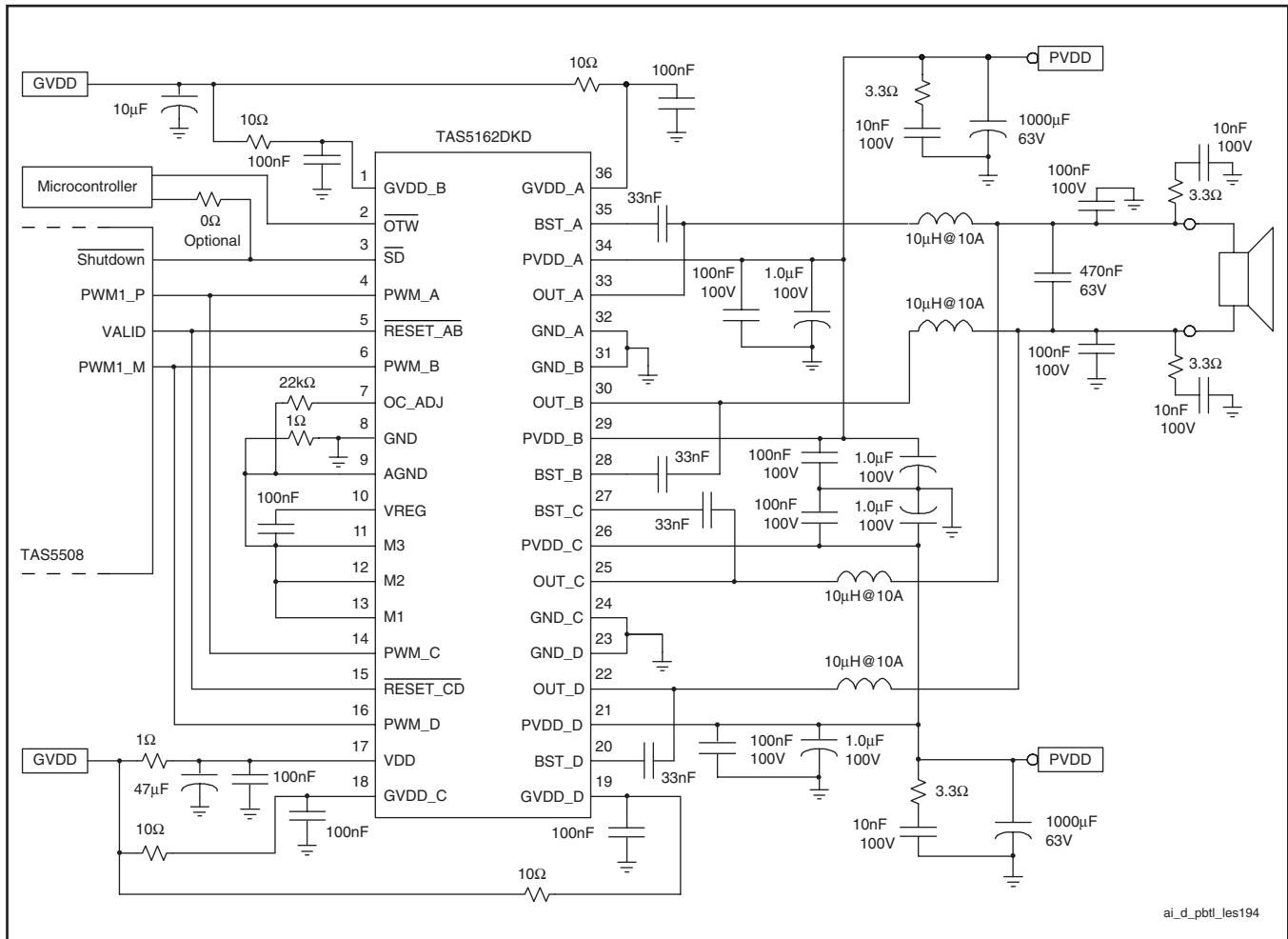
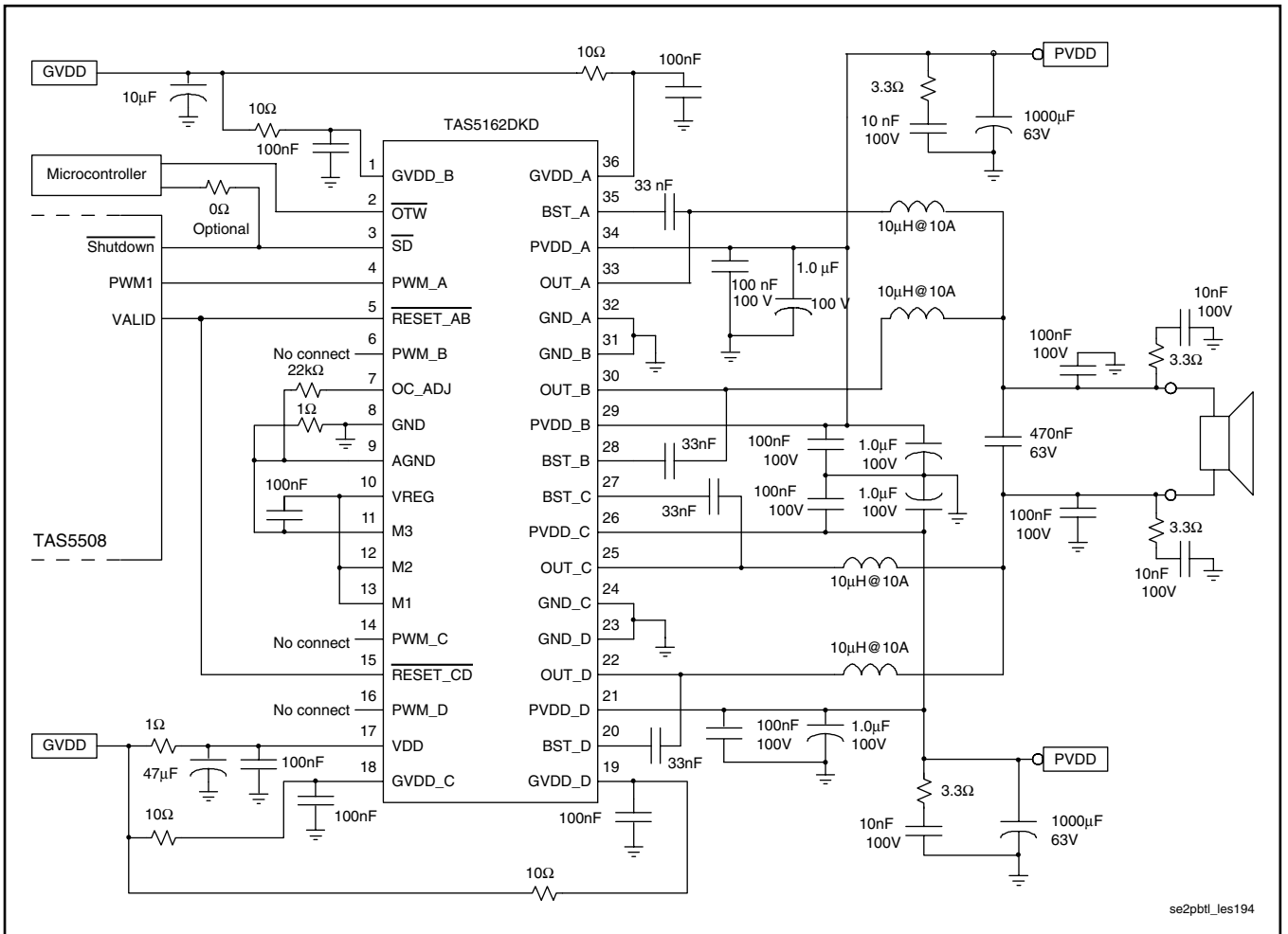


図17. AD変調フィルタを使用した標準的な差動(2N)パラレルBTLアプリケーション(参考図。部品の値および接続は変更されます)



se2pbt1_les194

図18. 標準的な非差動(1N)パラレルBTLアプリケーション(参考図。部品の値および接続は変更されます)

動作原理

電源

システム設計を簡単にするために、TAS5162は、12V電源と出力段(パワー・ステージ)の50Vの電源のみで動作します。内部安定化電源により、デジタルおよび低電圧アナログ回路に対して適切な電圧レベルが供給されます。また、フローティング電圧供給を必要とするすべての回路(ハイサイド・ゲートなど)は、外付けコンデンサを数個からなる、内蔵ブートストラップ回路から供給されます。

優れた電気的および音響的特性を実現するために、ゲート・ドライブおよび出力段を含むPWM信号パスは、同一構造の独立したハーフブリッジとして設計されていることにより、各ハーフブリッジには別個のゲート駆動電源(GVDD_X)、ブートストラップ・ピン(BST_X)、およびパワー・ステージ電源ピン(PVDD_X)が備えられています。また、すべての共通回路に対する電源として、追加のピン(VDD)が用意されています。同じ12V電源から供給されていても、GVDD_A、GVDD_B、GVDD_C、GVDD_D、およびVDDは、プリント基板(PCB)上でRCフィルタを用いて分離することを強く推奨します。これらのRCフィルタは、高周波を分離します。すべてのデカップリング・コンデンサを、それぞれ対応するピンにできるだけ近づけて配置するように、特に注意をしてください。一般に、電源ピンとデカップリング・コンデンサの間のインダクタンスは抑える必要があります。(詳細については、リファレンス・ボードの資料を参照してください。)

適切に機能させる為、ブートストラップ回路に対して、各ブートストラップ・ピン(BST_X)とパワー・ステージ出力ピン(OUT_X)との間に小さなセラミック・コンデンサを接続する必要があります。パワー・ステージ出力が“Low”のときは、ゲート駆動電源ピン(GVDD_X)とブートストラップ・ピンとの間に接続されている内部ダイオードを通して、ブートストラップ・コンデンサが充電されます。パワー・ステージ出力が“High”のときは、ブートストラップ・コンデンサの電位が出力電位より上にシフトするため、ハイサイド・ゲート・ドライバに対して適切な電圧が供給されます。PWMスイッチング周波数が352kHz~384kHzの範囲であるアプリケーションでは、ブートストラップ電源用に33nFのセラミック・コンデンサ(サイズ0603または0805)を使用することを推奨します。これらの33nFコンデンサにより、最小のPWMデューティ・サイクル中であっても、ハイサイド・パワー・ステージFET(LDMOS)をPWMサイクルの残り期間中、完全にオンに保持するために十分なエネルギーが蓄積されます。低いスイッチング周波数(一般に192kHz)で動作するアプリケーションでは、より大きな値のブートストラップ・コンデンサが必要となる場合があります。

パワー・ステージ電源の部品の選択、PCBの配置、および配線には特に注意を払う必要があります。前述のとおり、各ハーフブリッジには独立したパワー・ステージ電源ピン(PVDD_X)があり、電気的性能、EMI適合、およびシステムの信頼性を最適化するために、各PVDD_Xピンを、ピンの直近に配置した100nFセラミック・コンデンサでデカップリングすることが重要です。TAS5162リファレンス・デザインのPCBレイアウトに

従うことを推奨します。推奨される電源および必要な部品についての詳細は、このデータシートのアプリケーション図を参照してください。

12V電源は、低ノイズ、低出力インピーダンスの電圧レギュレータから供給する必要があります。同様に、50Vパワー・ステージ電源も、低出力インピーダンスおよび低ノイズであることが前提です。内部のパワーオン・リセット回路によって処理されるため、電源シーケンスは重要ではありません。また、TAS5162は、ゲートに寄生した電荷によって偶発的にパワー・ステージがターン・オンすることから完全に保護されています。そのため、電圧供給の上昇レート(dV/dt)は、指定された範囲内では重要ではありません(このデータシートの「推奨動作条件」を参照してください)。

システムのパワー・アップ/ダウン・シーケンス パワー・アップ

TAS5162は、パワー・アップ・シーケンス(順序)は必要ありません。Hブリッジの出力は、ゲート駆動電源電圧(GVDD_X)およびVDD電圧がアンダー・ボルテージ保護(UVP)電圧スレッシュホールドを上回るまでの間、ハイ・インピーダンス状態に保持されます(このデータ・シートの「電気的特性」を参照)。特に要求されてはいませんが、デバイスのパワー・アップ時には、RESET_ABおよびRESET_CDを“Low”状態に維持することを推奨します。これにより、ハーフブリッジ出力のプルダウンをイネーブルすることで、内部回路によって外部のブートストラップ・コンデンサを充電できます。

TAS5162をTAS5508のようなTI製PWM変調器と使用する場合、推奨のとおりチップセットを構成すると、RESET_ABおよびRESET_CDの状態に特に注意を払う必要はありません。

パワー・ダウン

TAS5162は、パワー・ダウン・シーケンスは必要ありません。ゲート駆動電源電圧(GVDD_X)およびVDD電圧がアンダー・ボルテージ保護(UVP)電圧スレッシュホールド以上であれば、デバイスは完全に動作可能な状態を保ちます(このデータシートの「電気的特性」を参照)。特に要求されてはいませんが、パワー・ダウン時にはRESET_ABおよびRESET_CDを“Low”状態に維持して、ポップやクリックなどの可聴雑音を防ぐことを推奨します。

TAS5162をTAS5508のようなTI製PWMモジュレータ(変調器)と使用する場合、推奨のとおりチップセットを構成すると、RESET_ABおよびRESET_CDの状態に特に注意を払う必要はありません。

Mid Zシーケンス適合性

TAS5162は、TAS5086モジュレータ(変調器)Mid Zシーケンスに対応しています。Mid Zシーケンスは、変調器から生成される一連のパルスで、それにより、スイッチングを開始するときにはパワー・ステージが出力をゆっくりとイネーブルするようになります。

PWMスイッチングをゆっくりと開始することで、スイッチングの開始によるインパルス応答を低減できます。このインパルス応答は、出力トランスデューサ（スピーカー）で発生する可聴雑音であり、一般に「クリック音」または「ポップ音」と呼ばれています。

TAS5162の低可聴雑音は、TAS5086変調器と組み合わせて使用し、Mid Zシーケンスをイネーブルすることにより、さらに低減されます。

Mid Zシーケンスは主に、シングルエンド・モードの動作に使用されます。これは、出力回路の電源分割甲コンデンサ充電後にPWM出力の開始を“ゆるやかにする”効果があります。

障害通知

\overline{SD} および \overline{OTW} ピンは、ともにアクティブ・“Low”のオープン・ドレイン出力です。これらのピンは、PWMコントローラまたは他のシステム制御デバイスへの保護モード信号通知に使用されます。

デバイスのシャットダウンにつながるような障害は、 \overline{SD} ピンが“Low”になることで通知されます。同様に、デバイスの接合部温度が125°Cを超えると、 \overline{OTW} が“Low”になります（次の表を参照）。

\overline{SD}	\overline{OTW}	説明
0	0	過熱 (OTE)、過負荷 (OLP)、またはアンダー・ボルテージ (UVP)
0	1	過負荷 (OLP)、または電圧低下 (UVP)
1	0	ジャンクション温度が125°Cより高い(過熱警告)
1	1	ジャンクション温度が125°C以下でOLPまたはUVPが発生していない(通常動作)

$\overline{RESET_AB}$ または $\overline{RESET_CD}$ を“Low”にすると、発生している障害に関係なく、 \overline{SD} 信号が強制的に“High”になることに注意してください。TIでは、システム・マイクロ・コントローラを使用して \overline{OTW} 信号を監視し、それ以上デバイス温度が上昇してシャットダウン (OTE) に至らないよう音量を下げるなど、過熱警告信号に対して適切な処理を行うことを推奨します。

外部部品を減らすために、 \overline{SD} および \overline{OTW} 出力の両方に、3.3Vへの内部プル・アップ抵抗が備えられています。外付けで5Vへのプル・アップ抵抗を追加することで、5Vロジックに対するレベル互換性が得られます（詳しい仕様については、このデータ・シートの「電気的特性」の項を参照してください）。

デバイス保護システム

TAS5162には、システムを統合して使いやすくしており、短絡、過負荷、過熱、電圧低下など幅広い範囲の障害条件による永続的な障害からデバイスを保護するために、慎重に設計された先進の保護回路が内蔵されています。TAS5162は、パワー・ステージを直ちにハイ・インピーダンス (Hi-Z) 状態にして \overline{SD} ピンを“Low”にして、障害に対応（応答）します。過負荷または過熱以外の状況では、障害条件が解消されゲート電源電圧が増加した時点で、デバイスが自動的に復旧します。可能な限り高い信頼性を得るために、過負荷/過熱障害からの回復には、

シャットダウンから1秒以上後にデバイスの外部リセットが必要です（このデータシートの「デバイスのリセット」を参照）。

TAS5162には、PWM入力に連携してPWM入力連続して“High”または“Low”である状況を検出する回路があります。この保護回路がないと、PWM入力が正しくない場合、関連する出力ピンにPVDD電源電圧が現れる可能性があります。この状態は、出力負荷（スピーカー）またはデバイスの損傷につながる場合があります。PWM入力が15 μ S以上にわたって“High”または“Low”に維持された場合は、デバイスの出力がHi-Z状態になります。この障害状況が発生した場合、 \overline{SD} は“Low”になりません。

上記の動作は、モード0,0,1およびシングルエンド・モード1,0,1（ともにシャットダウン・ラッチ・モード）を除き、すべてのBTL出力モードで使用されます。シャットダウン・ラッチ・モードでは、過電流障害復帰回路がディスエーブルされ、過電流状況が発生するとデバイスは直ちにシャットダウンされます。シャットダウン後、過電流状態の解消後に通常動作を回復するために、 $\overline{RESET_AB}$ および $\overline{RESET_CD}$ を“Low”にする必要があります。

高変調指数対応システムでのTAS5162の使用

このデバイスは、ブートストラップ・コンデンサを充電状態に保持するために、384kHzのPWMフレーム・レートあたり、出力で50ns以上の“Low”時間が必要です。例として、TAS5508で変調指数が99.2%に設定されている場合、この設定ではPWMパルス時間を20nsまで短くすることができます。その場合、50nsの要件を満たしていないこの信号がPWM_Xピンに送信され、この“Low”状態パルス時間ではブートストラップ・コンデンサの充電を維持できません。この状況では、ブートストラップ・コンデンサに印加される電圧が低いことで、ハイサイドMOSFETの障害が発生することになります（特に、低インピーダンス負荷を駆動する場合）。TAS5162デバイスでは、すべての信号および負荷でブートストラップ・コンデンサを充電状態に保つために、TAS5508の変調指数を97.0%未満に制限する必要があります。

このデバイスには、ブートストラップ・コンデンサの電圧を監視する、ブートストラップ・コンデンサ・アンダー・ボルテージ保護回路 (BST_UVP) が含まれています。ブートストラップ・コンデンサの電圧が、安全な動作に必要な値よりも低い場合、TAS5162は、ブートストラップ・コンデンサ再充電シーケンスを開始し、ブートストラップ・コンデンサが安全動作レベルまで充電されるのを待ちます。この機能は、変調指数が97.0%より高い場合にアクティブにできます。

TIでは、TAS5162とのインターフェイスに、変調指数を96.1%に設定したTI PWMプロセッサ (TAS5508またはTAS5086など) を使用することを強く推奨します。

変調指数は、TAS5508BまたはTAS5518Aの変調指数制限レジスタ (0x16) に0x04を書き込むことで設定できます。TAS5086の場合は、変調制限レジスタ (0x10) に0x04を書き込みます。

電流制限および過負荷検出による過電流(OC)保護

このデバイスには、すべてのハイサイドおよびローサイド・パワー・ステージFETに、それぞれ独立した高速応答の電流検出回路が備えられ、スレッシュホールド電流(OCスレッシュホールド)をプログラミングすることができます。OC調整用の抵抗値については、後に掲載した表を参照してください。検出回路の出力は、2つの保護システムによって厳密に監視されます。最初の保護システムは、出力電流がそれ以上増加しないようにパワー・ステージを制御します。つまり、音楽信号中の高レベル・トランジェントとスピーカー負荷インピーダンスの極端な低下との複合状況で、早期にシャットダウンする代わりに、電流制限をします。大電流状況が継続する場合、つまり、パワー・ステージが過負荷になっている場合には、2番目の保護システムによってシャットダウン・ラッチがトリガされ、パワー・ステージがハイ・インピーダンス(Hi-Z)状態になります。電流制限および過負荷保護は、ハーフブリッジAとB、およびCとDに対してそれぞれ独立しています。つまり、ハーフブリッジAとBの間のブリッジ接続負荷で過負荷障害が発生した場合、ハーフブリッジAとBだけがシャットダウンされます。

- 部品選択の観点から最も低コストな部品表を使用する場合は、出力および最小負荷インピーダンスを考慮し、OCスレッシュホールドを制限してください。インピーダンス負荷が高いほど、OCスレッシュホールドを低くする必要があります。
- 出力フィルタのコイルは、OCスレッシュホールドの2倍の設定で、5 μ H以上のインダクタンスを維持する必要があります。

残念ながら、ほとんどのインダクタでは、温度の上昇および電流の上昇によってインダクタンスが低下します(飽和)。高出力電流での動作中は、コア損失およびインダクタの銅巻線のDC抵抗によって、ある程度まで温度が自然に上昇します。インダクタの飽和および熱特性を十分に分析することを強く推奨します。

OCスレッシュホールドを低く設定しすぎると、十分な出力電力が得られなかったり、過負荷検出が敏感すぎて予期しないシャットダウンが起こるなどの問題が発生する可能性があります。

一般には、「アプリケーション」の項で示される外部部品選択およびPCBレイアウトに厳密に従うことを推奨します。

柔軟性をさらに高めるために、OCスレッシュホールドは、OC_ADJピンとAGNDの間に接続された1個の外付け抵抗を使用して、限定された範囲内でプログラミング可能です。(プログラミング抵抗の値とOCスレッシュホールドの相関については、このデータシートの「電気的特性」の項を参照してください。)適切に機能する過電流検出回路では、適切に設計された出力フィルタがパワー・ステージ出力に存在することを仮定しています。短絡保護は、パワー・ステージの出力ピン上で直接提供される代わりに、スピーカー端子(出力フィルタの後)でのみ提供されています。OCスレッシュホールドおよび適切な出力フィルタのコイルを選択する際には、特定のガイドラインに従う必要があります。

過電流調整抵抗値 (k Ω)	過電流にならない最大電流 (A)
22	12.2
27	10.5
47	6.4
68	4.0
100	3.0

過熱保護

TAS5162には、2レベルの過熱保護システムが内蔵されています。デバイスの接合部温度が125 $^{\circ}$ C (nom)を超えるとアクティブ“Low”の警告信号(OTW)になり、デバイスのジャンクション温度が155 $^{\circ}$ C (nom)を超えた場合は、デバイスが過熱シャットダウン状態になり、すべてのハーフブリッジ出力がハイ・インピーダンス(Hi-Z)状態となっており、 \overline{SD} が“Low”になります。この場合、OTEはラッチされ、RESET_ABおよびRESET_CDを“Low”にする必要があります。

低電圧保護(UVP)およびパワーオン・リセット(POR)

TAS5162のUVPおよびPOR回路により、どのような電源投入/遮断もしくは電圧低下状況でも、デバイスが完全に保護されます。電源投入時に、POR回路は過負荷回路(OLP)をリセットし、GVDD_XおよびVDD電源電圧が9.8V (Typ)に達したときにすべての回路が完全に動作可能できるようにします。GVDD_XとVDDは独立して監視されますが、VDDまたはGVDD_Xピンのいずれかで電源電圧がUVPスレッシュホールドを下回った場合は、すべてのハーフブリッジ出力が直ちにハイ・インピーダンス(Hi-Z)状態になり、 \overline{SD} が“Low”にされます。ブートストラップ・コンデンサ上のすべての電源電圧がUVPスレッシュホールドを上回ると、デバイスは自動的に動作を再開します。

デバイスのリセット

ハーフブリッジA/BおよびC/Dを独立して制御するために、2つのリセット・ピンが用意されています。RESET_ABが“Low”になると、ハーフブリッジAおよびB内の4つすべてのパワー・ステージFETが、強制的にハイ・インピーダンス(Hi-Z)状態になります。同様に、RESET_CDが“Low”になると、ハーフブリッジCおよびD内の4つすべてのパワー・ステージFETが、強制的にハイ・インピーダンス(Hi-Z)状態になります。したがって、これらのリセット・ピンは、必要に応じてパワー・ステージを完全にミュートする目的に適しています。

BTLモードでは、スイッチングの開始前にブートストラップ充電を行えるように、リセット入力を“Low”にすることでハーフブリッジ出力のウィーク・プルダウンがイネーブルされます。SEモードでは、ウィーク・プルダウンはイネーブルされないため、リセットが“High”になったときにPWM入力に“Low”パルスを提供することで、ブートストラップ・コンデンサの充電を確実にを行うことを推奨します。

いずれかのリセット入力を“Low”にすると、 \overline{SD} 出力で通知される障害情報が解除されます(\overline{SD} が強制的に“High”になります)。

過負荷障害後、いずれかのリセット入力の立ち上がりエッジ・トランジションにより、デバイスは動作を再開できます。

PACKAGING OPTION ADDENDUM

パッケージ情報

Orderable Device	Status ⁽¹⁾	Package Type	Package Drawing	Pins	Package Qty	Eco Plan ⁽²⁾	Lead/Ball Finish	MSL Peak Temp ⁽³⁾
TAS5162DDV	ACTIVE	HTSSOP	DDV	44	35	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR
TAS5162DDVG4	ACTIVE	HTSSOP	DDV	44	35	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR
TAS5162DDVR	ACTIVE	HTSSOP	DDV	44	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR
TAS5162DDVRG4	ACTIVE	HTSSOP	DDV	44	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-16 HR8
TAS5162DKD	ACTIVE	SSOP	DKD	36	29	TBD	Call TI	Call TI
TAS5162DKDG4	ACTIVE	SSOP	DKD	36	29	TBD	Call TI	Call TI
TAS5162DKDR	ACTIVE	SSOP	DKD	36	500	TBD	Call TI	Call TI
TAS5162DKDRG4	ACTIVE	SSOP	DKD	36	500	TBD	Call TI	Call TI

⁽¹⁾ マーケティング・ステータスは次のように定義されています。

ACTIVE：製品デバイスが新規設計用に推奨されています。

LIFEBUY：TIによりデバイスの生産中止予定が発表され、ライフタイム購入期間が有効です。

NRND：新規設計用に推奨されていません。デバイスは既存の顧客をサポートするために生産されていますが、TIでは新規設計にこの部品を使用することを推奨していません。

PREVIEW：デバイスは発表済みですが、まだ生産が開始されていません。サンプルが提供される場合と、提供されない場合があります。

OBSOLETE：TIによりデバイスの生産が中止されました。

⁽²⁾ エコ・プラン - 環境に配慮した製品分類プランであり、Pb-Free (RoHS) およびGreen (RoHS & no Sb/Br) があります。最新情報および製品内容の詳細については、<http://www.ti.com/productcontent> でご確認ください。

TBD：Pb-Free/Green変換プランが策定されていません。

Pb-Free (RoHS)：TIにおける“Lead-Free”または“Pb-Free”（鉛フリー）は、6つの物質すべてに対して現在のRoHS要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が0.1%を超えないという要件も含まれます。高温で半田付けするように設計されている場合、TIの鉛フリー製品は指定された鉛フリー・プロセスでの使用に適しています。

Pb-Free (RoHS免除)：この部品は、1) ダイとパッケージの間に鉛ベースのフリップチップ半田バンプを使用、または 2) ダイとリードフレームの間に鉛ベースのダイ接着剤を使用、のいずれかによりRoHS免除となっています。それ以外の点では、上記の定義のPb-Free (RoHS準拠) の条件を満たしています。

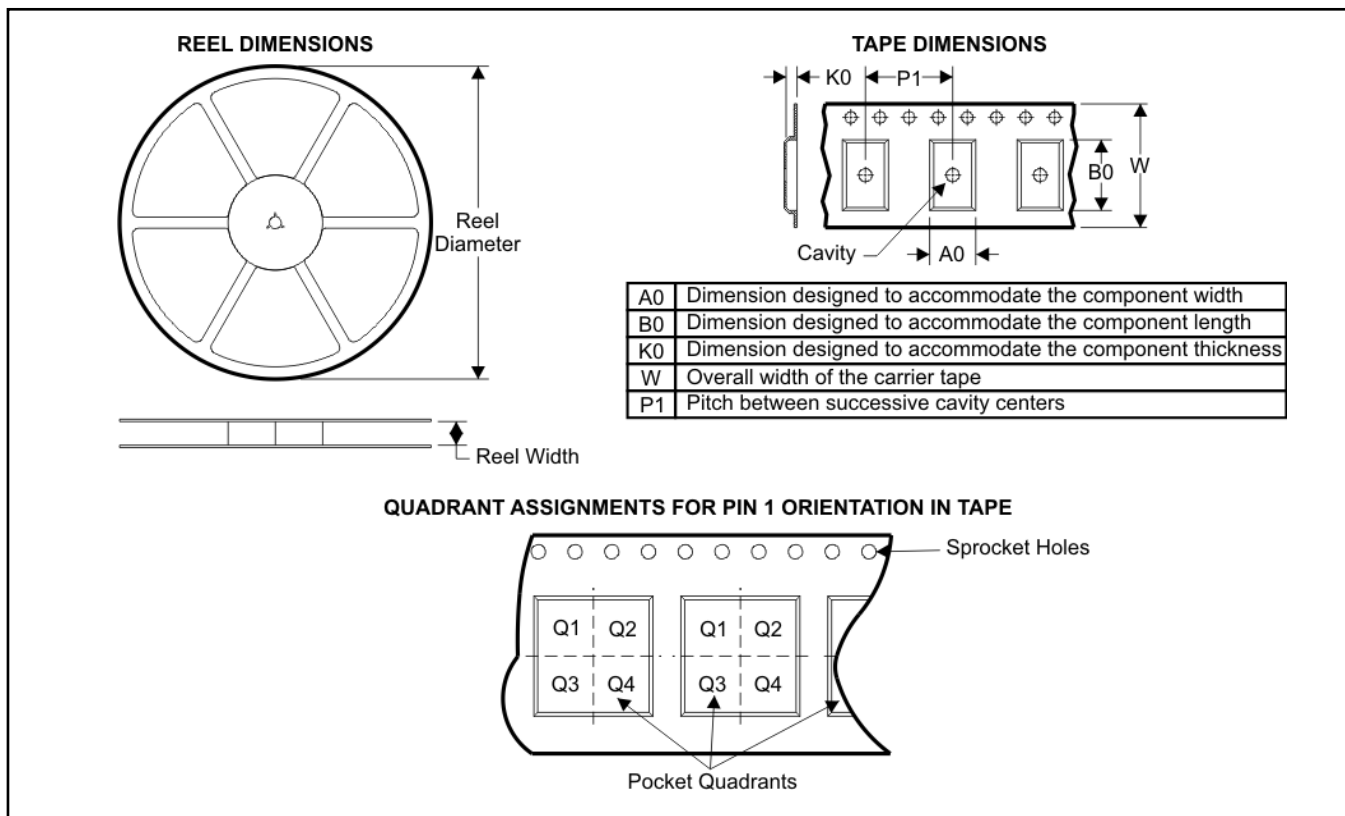
Green (RoHS & no Sb/Br)：TIにおける“Green”は、“Pb-Free”（RoHS互換）に加えて、臭素 (Br) およびアンチモン (Sb) をベースとした難燃材を含まない（均質な材質中のBrまたはSb重量が0.1%を超えない）ことを意味しています。

⁽³⁾ MSL、ピーク温度 -- JEDEC業界標準分類に従った耐湿性レベル、およびピーク半田温度です。

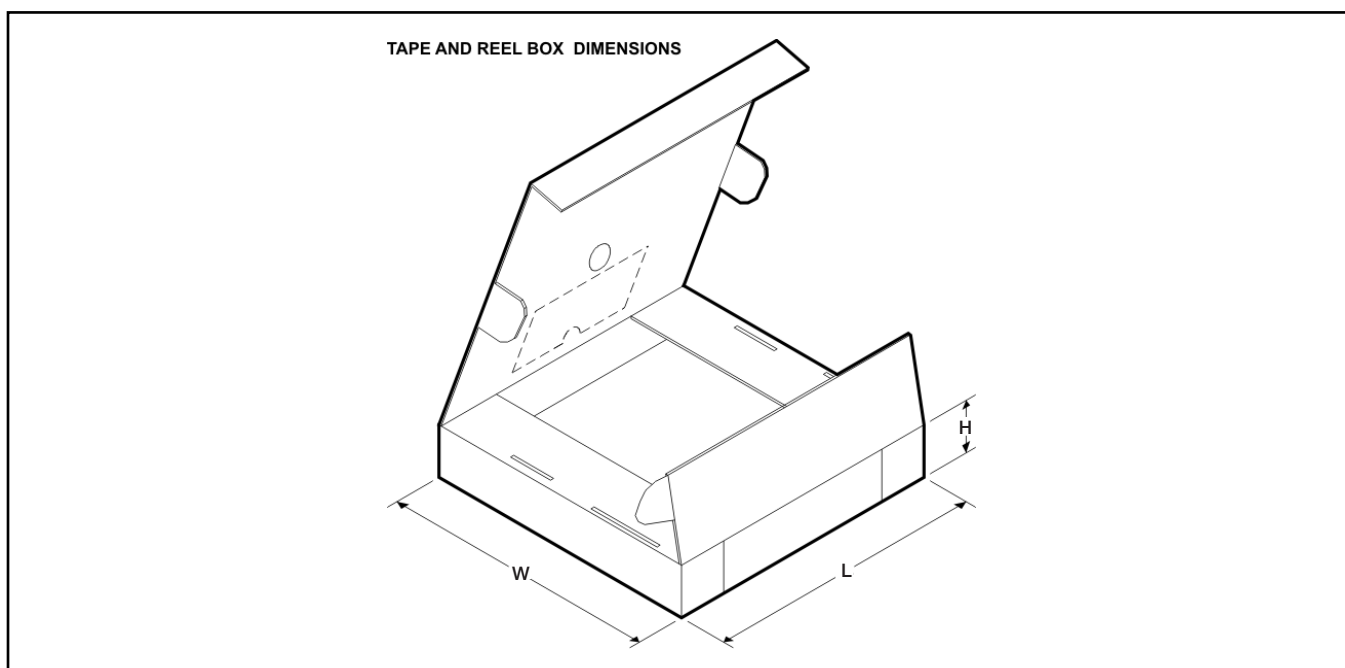
重要な情報および免責事項：このページに記載された情報は、記載された日付時点でのTIの知識および見解を表しています。TIの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行うものではありません。第三者からの情報をより良く統合するための努力は続けております。TIでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。TIおよびTI製品の供給者は、特定の情報を機密情報として扱っているため、CAS番号やその他の制限された情報が公開されない場合があります。

パッケージ・マテリアル情報

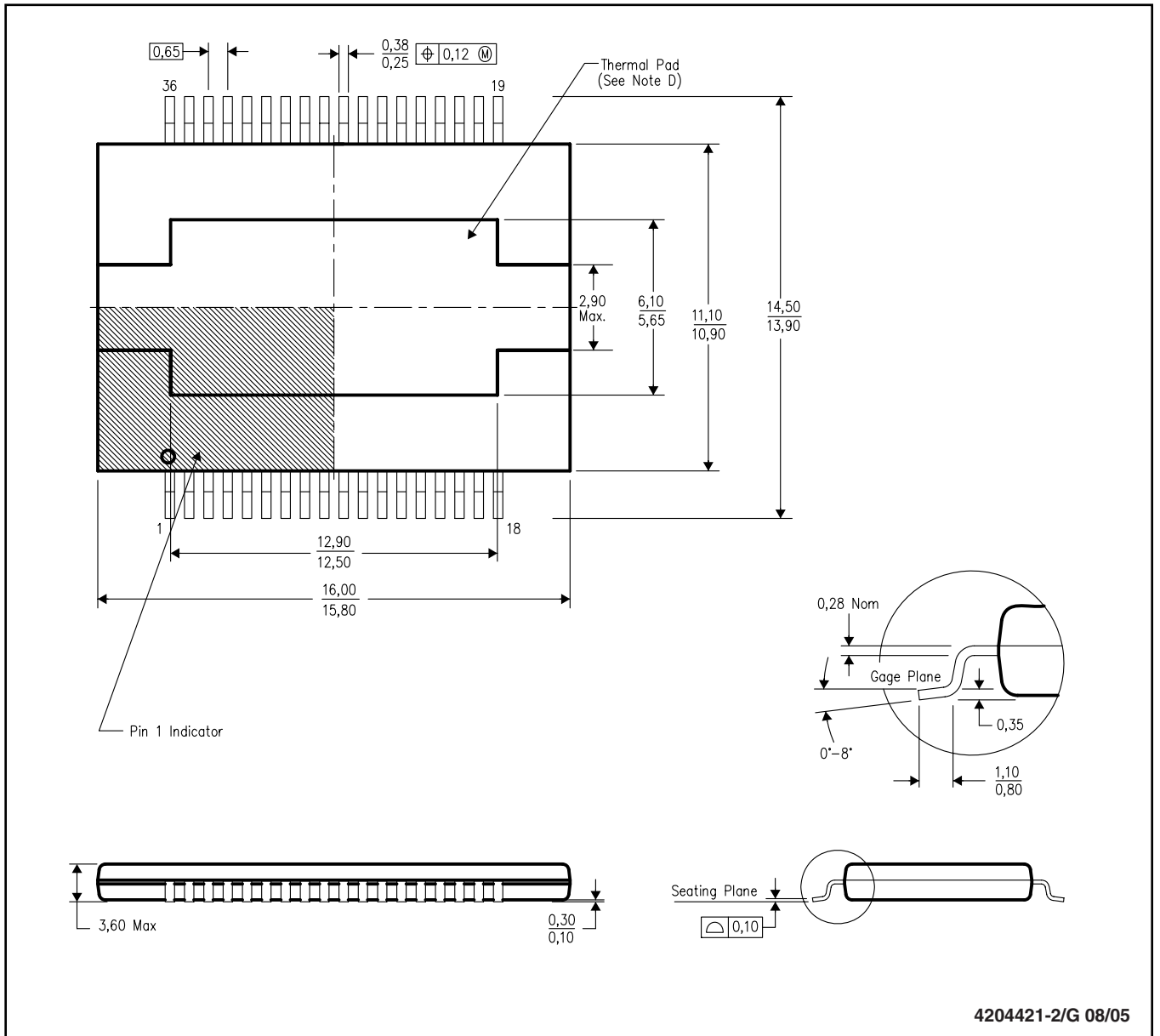
テープ/リール・ボックス情報



Device	Package	Pins	Site	Reel Diameter (mm)	Reel Width (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TAS5162DDVR	DDV	44	SITE 60	330	24	8.6	15.6	1.8	12	24	Q1



Device	Package	Pins	Site	Length (mm)	Width (mm)	Height (mm)
TAS5162DDVR	DDV	44	SITE 60	367.0	367.0	0.0

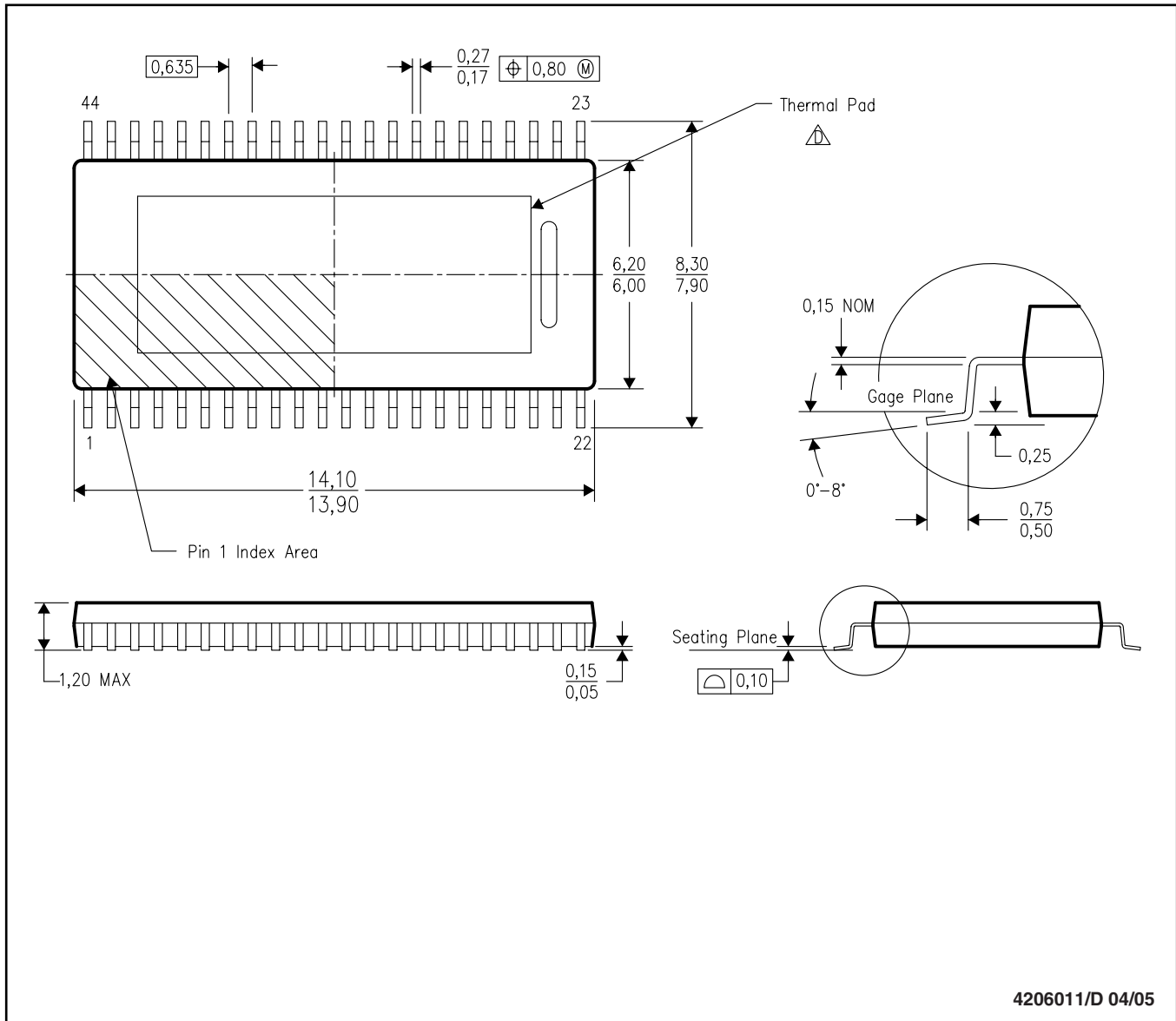


4204421-2/G 08/05

- 注：A. 全ての線寸法の単位はミリメートルです。
 B. 図は予告なく変更することがあります。
 C. 本体寸法には0.15mm以下のバリや突起を含みません。
 D. パッケージの熱特性は、外部ヒートシンクへの接続による伝導冷却に対して最適化されています。
 露出したサーマル・パッドの寸法に関する詳細は、製品データシートを参照してください。

DDV (R-PDSO-G44)

PowerPAD™ PLASTIC SMALL-OUTLINE PACKAGE (DIE DOWN)



4206011/D 04/05

注：A. 全ての線寸法の単位はミリメートルです。

B. 図は予告なく変更することがあります。

C. 本体寸法には0.15以下のバリや突起を含みません。

△このパッケージの熱特性は、外部ヒートシンクへの接続による伝導冷却に対して最適化されています。
露出したサーマル・パッドの寸法に関する詳細は、製品データシートを参照してください。

ご注意

日本テキサス・インスツルメンツ株式会社(以下TIJといいます)及びTexas Instruments Incorporated(TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIJといいます)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIJは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメータに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIJは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIJは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは承認をすることを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIJにより示された数値、特性、条件その他のパラメータと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIJは、そのような説明については何の義務も責任もありません。

TIJは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション(例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの)に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIJがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2009, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。

弊社出荷梱包単位(外装から取り出された内装及び個装)又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で(導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。

マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。

前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

温度: 0~40、相対湿度: 40~85%で保管・輸送及び取り扱いを行うこと。(但し、結露しないこと。)

直射日光があたる状態で保管・輸送しないこと。

3. 防湿梱包

防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。

4. 機械的衝撃

梱包品(外装、内装、個装)及び製品単品を落下させたり、衝撃を与えないこと。

5. 熱衝撃

はんだ付け時は、最低限260以上の高温状態に、10秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)

6. 汚染

はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質(硫黄、塩素等ハロゲン)のある環境で保管・輸送しないこと。はんだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上