

# TCAN340x-Q1 車載用、3.3V、スタンバイ・モード付き CAN FD トランシーバ

## 1 特長

- 車載アプリケーション用に AEC-Q100 (グレード 1) 認定済み
- 3.3V 単一電源動作
  - 5V レギュレータが不要、BOM コストと PCB 面積の削減を実現
- ISO 11898-2:2016 物理層規格要件に適合
- Classical CAN のサポートと最適化された CAN FD 性能 (2、5、8Mbps)
  - 短く対称的な伝搬遅延時間によりタイミング・マージンを強化
- TCAN3403-Q1: I/O 電圧範囲のサポート: 1.7V~3.6V
- レシーバの同相入力電圧:  $\pm 12V$
- 保護機能:
  - 低電圧保護
  - TXD ドミナント・タイムアウト (DTO)
  - サーマル・シャットダウン保護 (TSD)
- 動作モード:
  - 通常モード
  - リモート・ウェイクアップ要求をサポートする、低消費電力スタンバイ・モード
  - 超消費電力シャットダウン・モード: TCAN3404-Q1 のみ
- 電源非接続時の最適化された挙動
  - バスおよびロジック端子は高インピーダンス (動作中のバスやアプリケーションに対して無負荷)
  - ホットプラグ対応: 電源オン / オフ時のバスおよび RXD 出力のグリッチ・フリー動作
- 8 ピン SOIC、小型フットプリント SOT-23、自動光学検査 (AOI) に適したウェッタブル・フランク付きリードレス VSON-8 パッケージ

## 2 アプリケーション

- オートモーティブ (車載) / 交通システム
  - 車体制御モジュール
  - 車載ゲートウェイ
  - 先進運転支援システム (ADAS)
  - インフォテインメント

## 3 概要

TCAN3403-Q1 および TCAN3404-Q1 は、ISO 11898-2:2016 高速 CAN (Controller Area Network) 仕様の物理層要件を満たす 3.3V CAN FD トランシーバです。

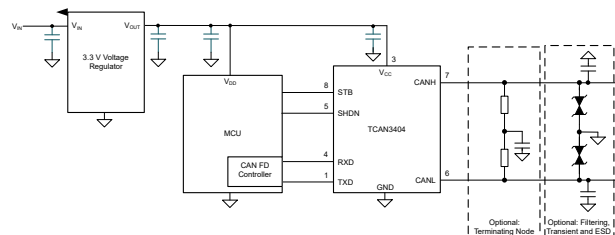
このトランシーバは、電磁両立性 (EMC) 認証済みであり、最高 5 メガビット/秒 (Mbps) の Classical CAN および CAN FD ネットワークに使用できます。これらのデバイスを使用すると、シンプルなネットワークで最大 8Mbps の動作を実現できます。TCAN3403-Q1 には  $V_{IO}$  ピンによる内部ロジック・レベル変換が搭載されているため、トランシーバの I/O を 1.8V、2.5V、3.3V のロジック・レベルに直接接続できます。TCAN3404-Q1 にはシャットダウン機能があり、すべてのブロックの電源がオフになり、デバイスは超低消費電力モードに移行します。このトランシーバは、低消費電力スタンバイ・モードと、ISO 11898-2:2016 に規定されたウェイクアップ・パターン (WUP) に準拠した「CAN によるウェイク」をサポートしています。

このトランシーバには、サーマル・シャットダウン (TSD)、TXD ドミナント・タイムアウト (DTO)、および電源低電圧検出機能が備わっています。これらのデバイスには、電源電圧低下またはフローティング・ピン発生時のフェイルセーフ動作が定義されています。これらのデバイスは、業界標準の SOIC-8、VSON-8、および省スペースの小型 SOT-23 パッケージで提供されています。

### パッケージ情報

部品番号	パッケージ <sup>(1)</sup>	本体サイズ (公称)
TCAN3403-Q1	SOIC (D)	4.90mm × 3.91mm
	VSON (DRB)	3.00mm × 3.00mm
TCAN3404-Q1	SOT-23 (DDF)	2.90mm × 1.60mm

- (1) 利用可能なパッケージについては、このデータシートの末尾にある注文情報を参照してください。



概略回路図



## Table of Contents

1 特長.....	1	7.2 サポート・リソース.....	4
2 アプリケーション.....	1	7.3 Trademarks.....	4
3 概要.....	1	7.4 静電気放電に関する注意事項.....	4
4 Revision History.....	2	7.5 用語集.....	4
5 Device Comparison.....	2	<b>8 Mechanical, Packaging, and Orderable Information...</b>	<b>4</b>
6 Pin Configuration and Functions.....	3	8.1 Tape and Reel Information.....	5
7 Device and Documentation Support.....	4	8.2 Mechanical Data.....	7
7.1 ドキュメントの更新通知を受け取る方法.....	4		

## 4 Revision History

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

DATE	REVISION	NOTES
December 2022	*	Initial Release

## 5 Device Comparison

Part Number	Pin 5	Pin 8
TCAN3404-Q1	Ultra-low power shutdown mode	Low Power Standby Mode with Remote Wake
TCAN3403-Q1	Low voltage I/O support	

## 6 Pin Configuration and Functions

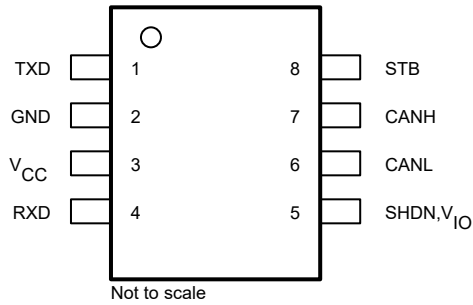


图 6-1. DDF Package, 8-Pin SOT-23 (Top View)

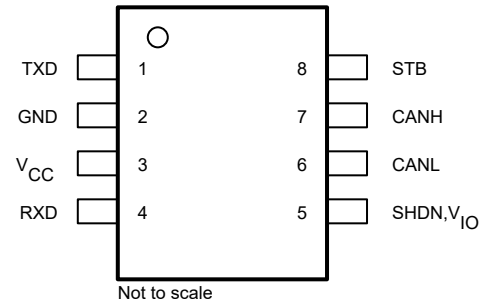


图 6-2. D Package, 8-Pin SOIC (Top View)

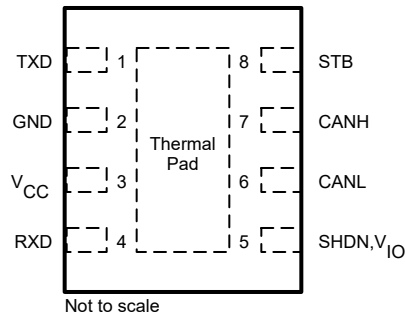


图 6-3. DRB Package, 8-Pin VSON (Top View)

表 6-1. Pin Functions

PINS		TYPE <sup>(1)</sup>	DESCRIPTION
NAME	NO.		
TXD	1	Digital Input	CAN transmit data input; integrated pull-up
GND	2	G	Ground connection
V <sub>CC</sub>	3	Supply	3.3 V supply voltage
RXD	4	Digital Output	CAN receive data output, tri-stated when device powered off
SHDN	5	Digital Input	Device in ultra-low power shutdown mode if pin is high; integrated pull-down (TCAN3404-Q1 only)
V <sub>IO</sub>		Supply	I/O supply voltage (TCAN3403-Q1 only)
CANL	6	Bus I/O	Low-level CAN bus input/output line
CANH	7	Bus I/O	High-level CAN bus input/output line
STB	8	Digital Input	Standby input for mode control; integrated pull-up
Thermal Pad (VSON only)		—	Connect the thermal pad to any internal PCB ground plane using multiple vias for optimal thermal performance.

(1) I = Input, O = Output, I/O = Input or Output, G = Ground.

## 7 Device and Documentation Support

### 7.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、[ti.com](https://www.ti.com) のデバイス製品フォルダを開いてください。「更新の通知を受け取る」をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取れます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

### 7.2 サポート・リソース

**TI E2E™ サポート・フォーラム**は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、該当する貢献者により、現状のまま提供されるものです。これらは TI の仕様を構成するものではなく、必ずしも TI の見解を反映したものではありません。TI の[使用条件](#)を参照してください。

### 7.3 Trademarks

TI E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

### 7.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

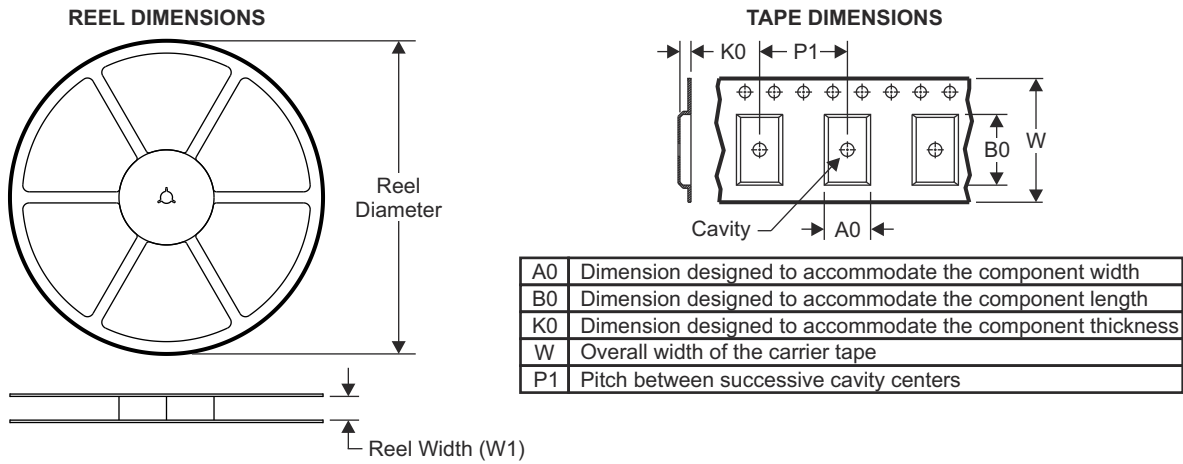
### 7.5 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

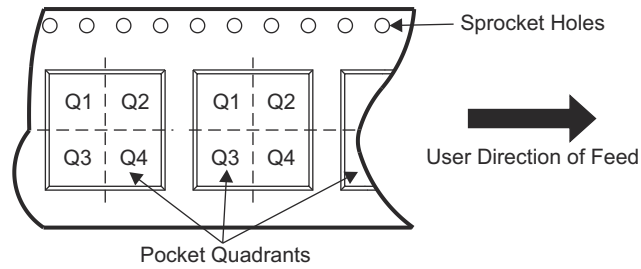
## 8 Mechanical, Packaging, and Orderable Information

The following pages include mechanical, packaging, and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser-based versions of this data sheet, refer to the left-hand navigation.

### 8.1 Tape and Reel Information



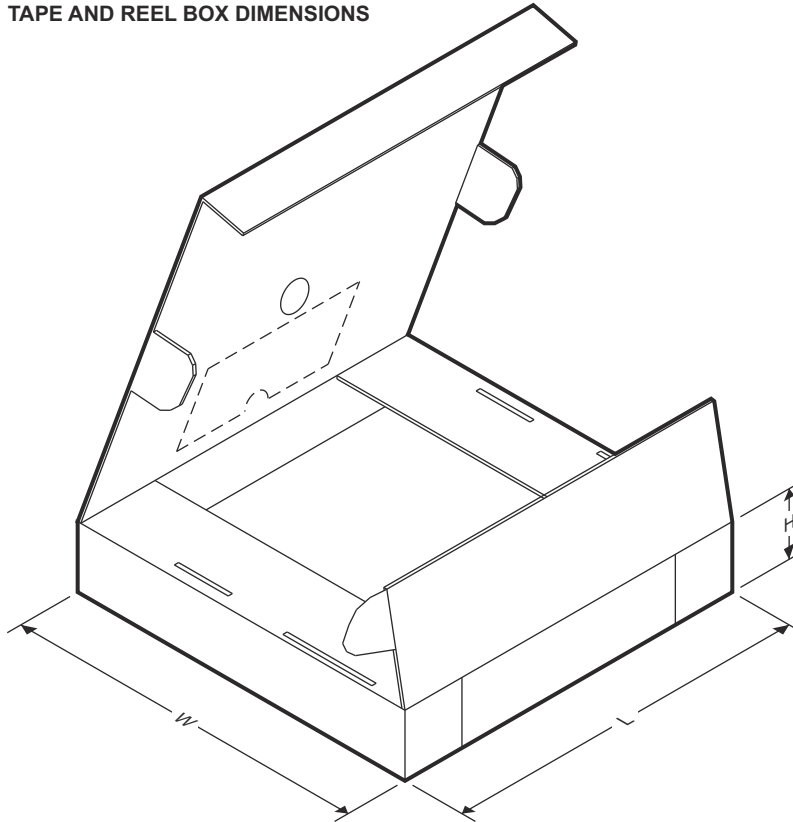
#### QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
PTCAN3403DDFRQ1	SOT-23-THN	DDF	8	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
PTCAN3403DRBRQ1	VSON	DRB	8	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q1
PTCAN3403DRBRQ1	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1

**ADVANCE INFORMATION**

TAPE AND REEL BOX DIMENSIONS



Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
PTCAN3403DDFRQ1	SOT-23-THN	DDF	8	3000	210.0	185.0	35.0
PTCAN3403DRBRQ1	VSON	DRB	8	3000	367.0	367.0	35.0
PTCAN3403DRBRQ1	SOIC	D	8	2500	356.0	356.0	35.0

ADVANCE INFORMATION

**8.2 Mechanical Data**

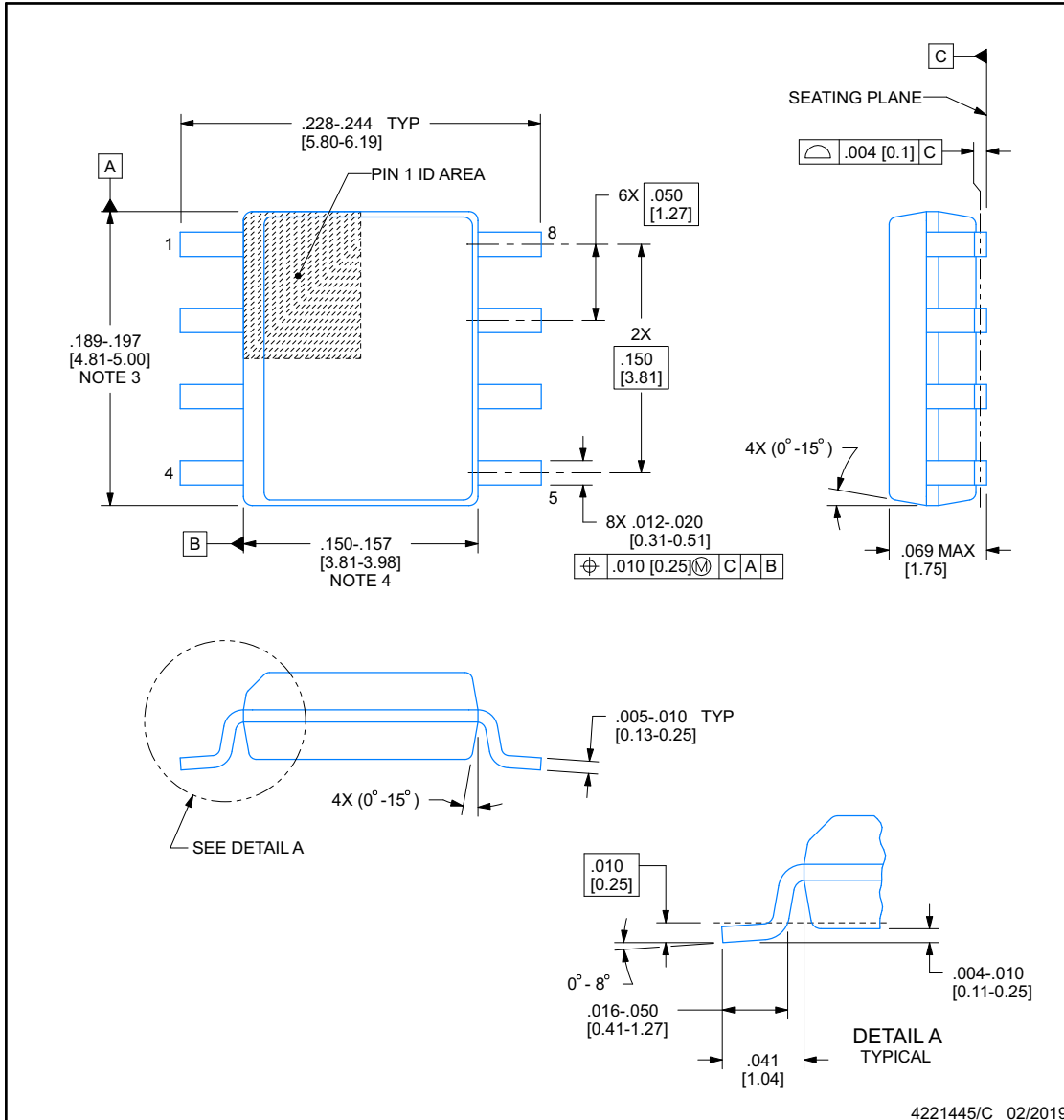


**PACKAGE OUTLINE**

**D0008B**

**SOIC - 1.75 mm max height**

SMALL OUTLINE INTEGRATED CIRCUIT



**NOTES:**

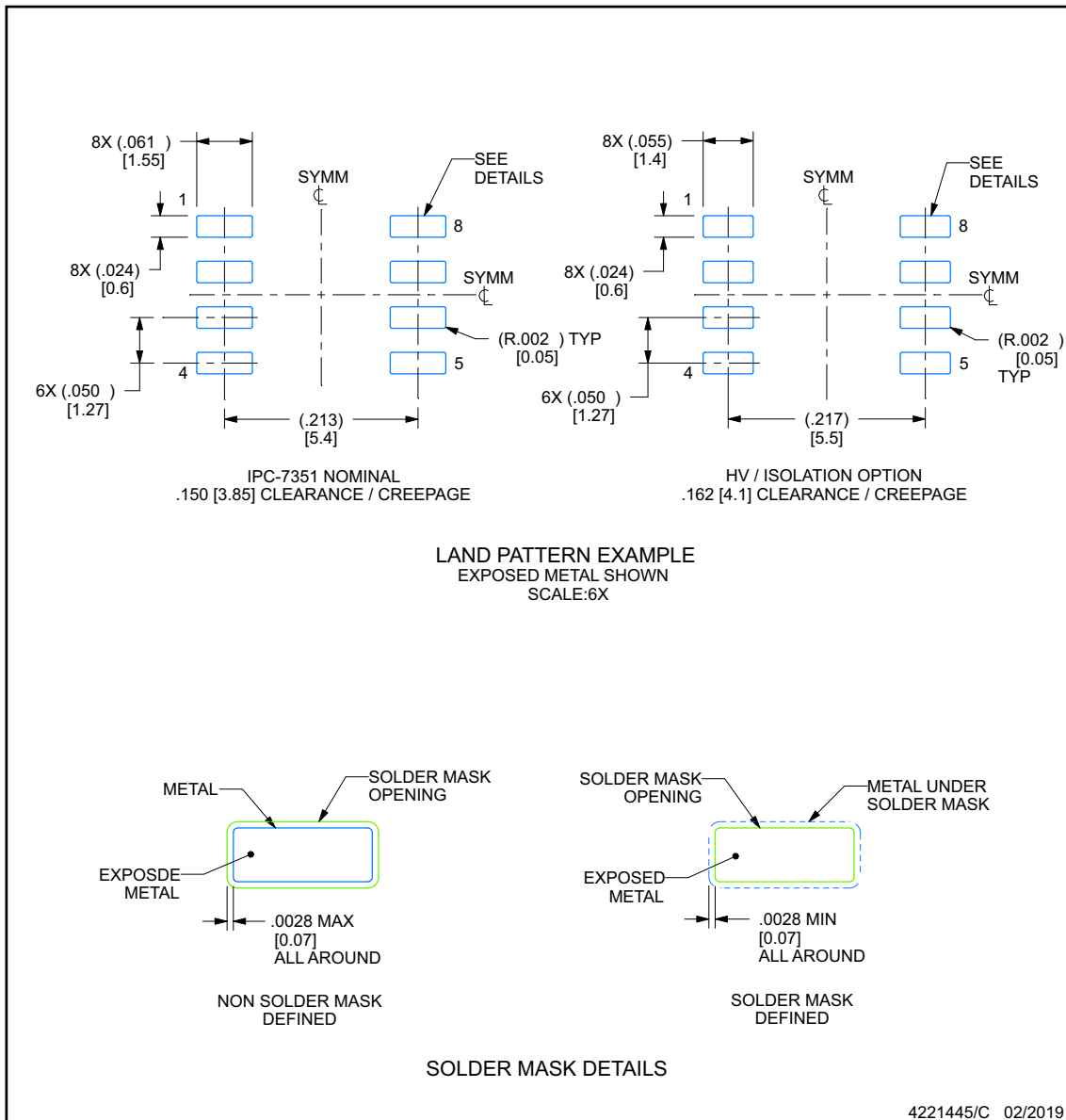
1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15], per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.

## EXAMPLE BOARD LAYOUT

**D0008B**

**SOIC - 1.75 mm max height**

SMALL OUTLINE INTEGRATED CIRCUIT



NOTES: (continued)

- Publication IPC-7351 may have alternate designs.
- Solder mask tolerances between and around signal pads can vary based on board fabrication site.

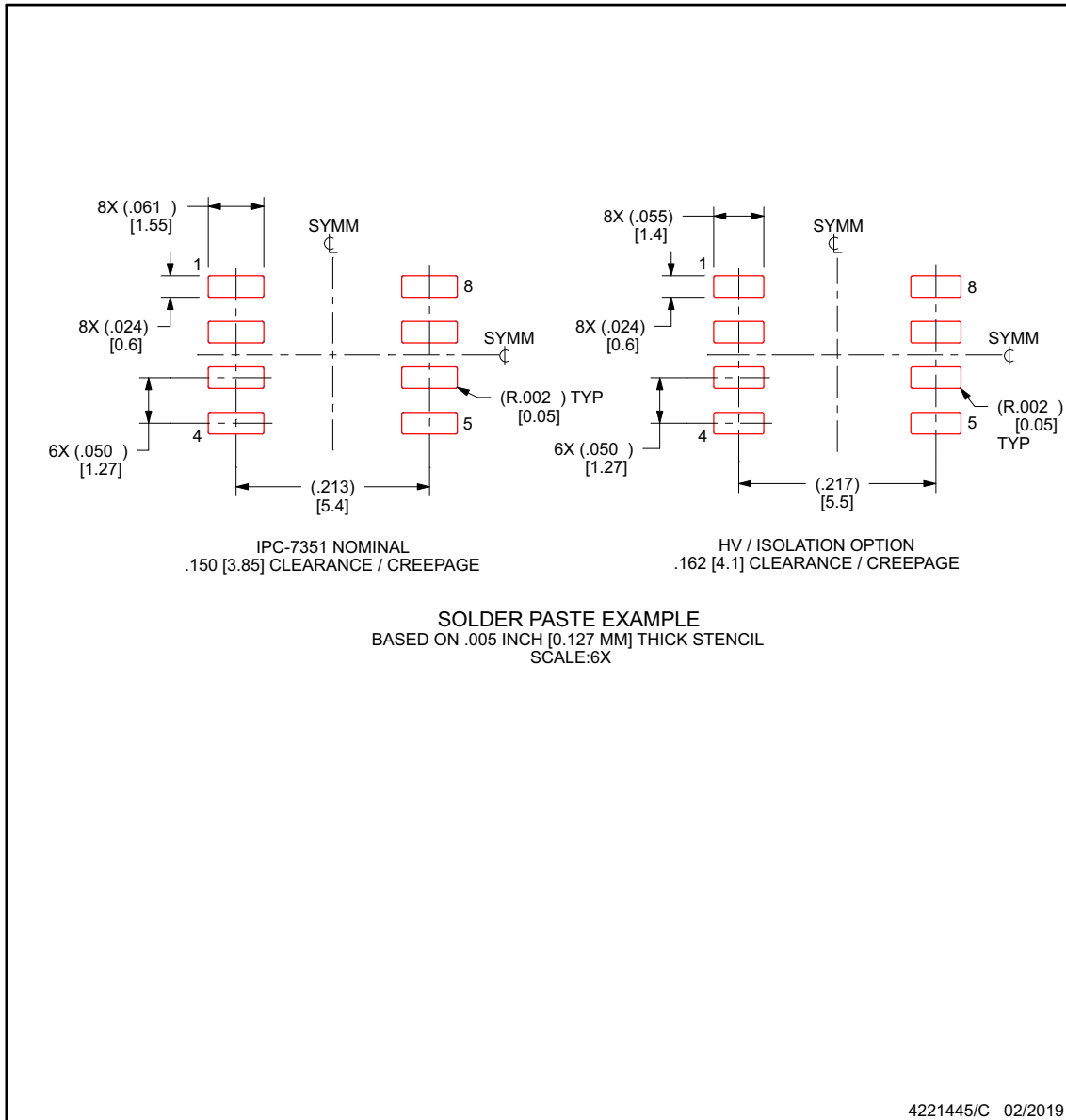


**EXAMPLE STENCIL DESIGN**

**D0008B**

**SOIC - 1.75 mm max height**

SMALL OUTLINE INTEGRATED CIRCUIT



NOTES: (continued)

- 8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
- 9. Board assembly site may have different recommendations for stencil design.

**ADVANCE INFORMATION**

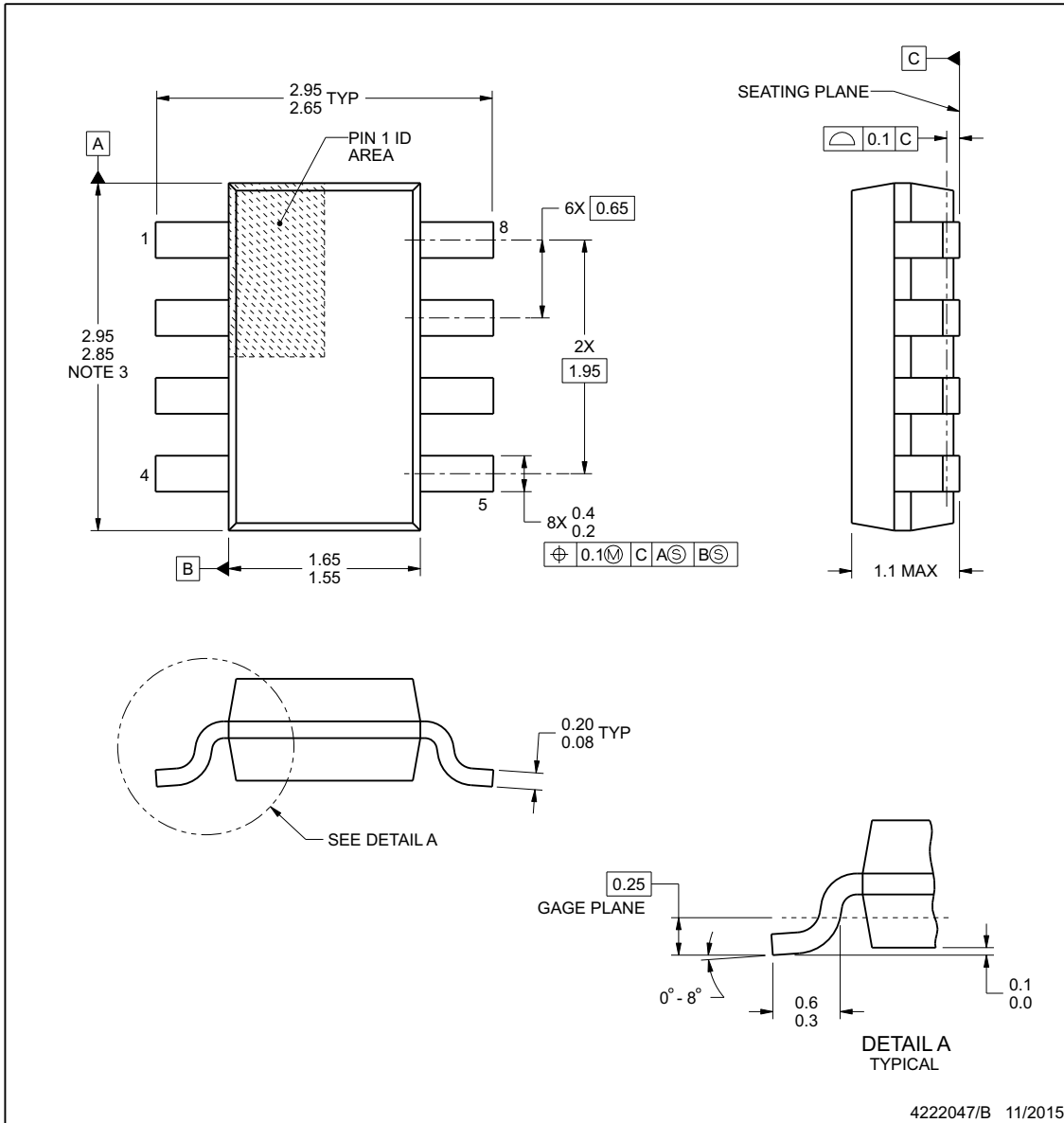


**DDF0008A**

**PACKAGE OUTLINE**  
**SOT-23 - 1.1 mm max height**

PLASTIC SMALL OUTLINE

ADVANCE INFORMATION



NOTES:

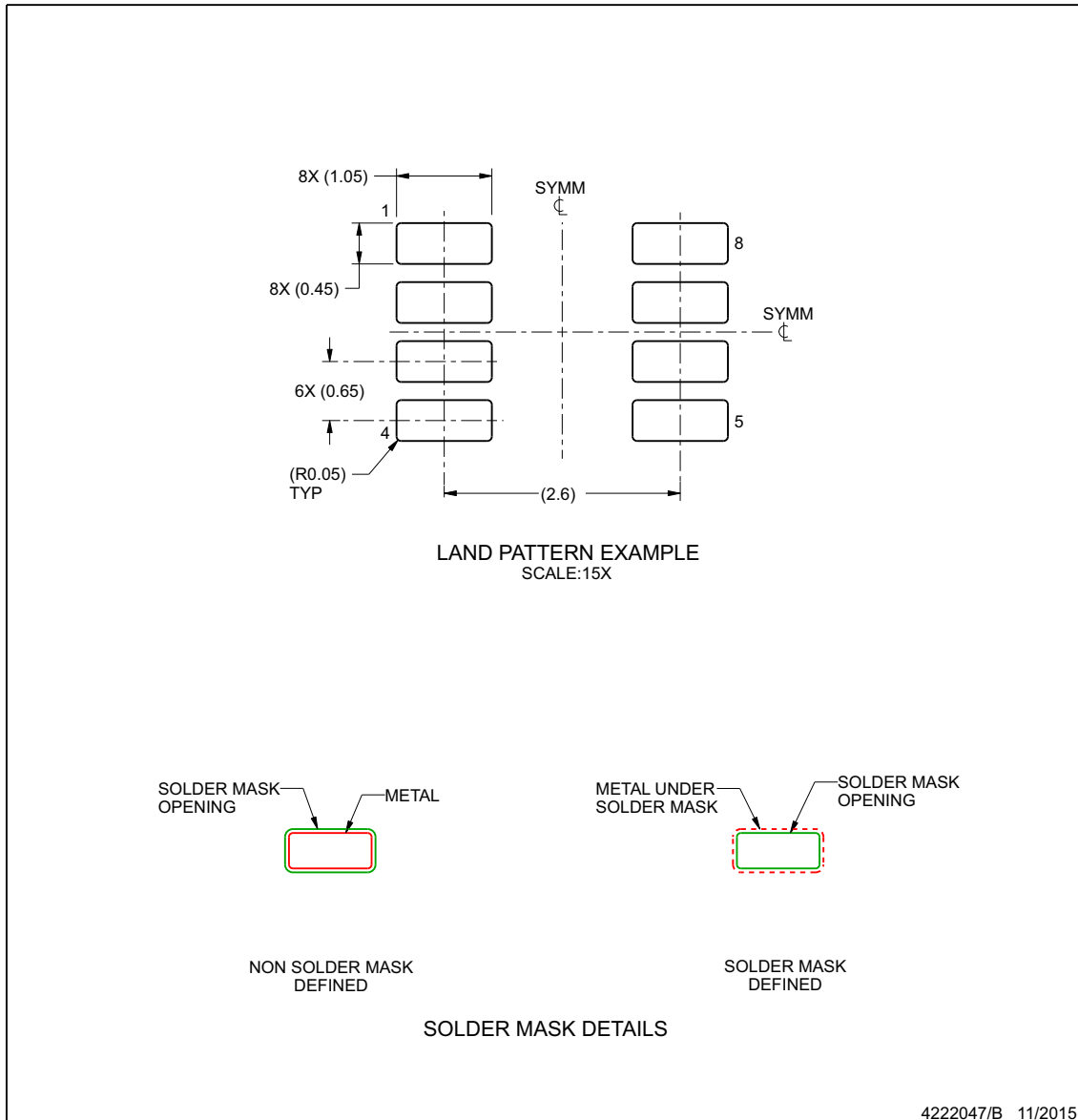
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.

## EXAMPLE BOARD LAYOUT

**DDF0008A**

**SOT-23 - 1.1 mm max height**

PLASTIC SMALL OUTLINE



NOTES: (continued)

4. Publication IPC-7351 may have alternate designs.
5. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

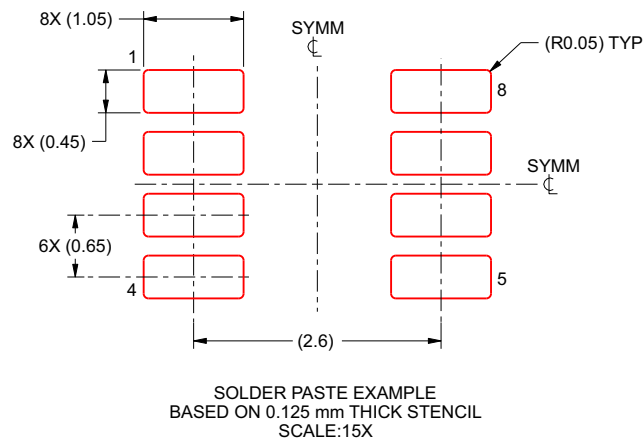
**ADVANCE INFORMATION**

## EXAMPLE STENCIL DESIGN

**DDF0008A**

**SOT-23 - 1.1 mm max height**

PLASTIC SMALL OUTLINE



4222047/B 11/2015

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
7. Board assembly site may have different recommendations for stencil design.

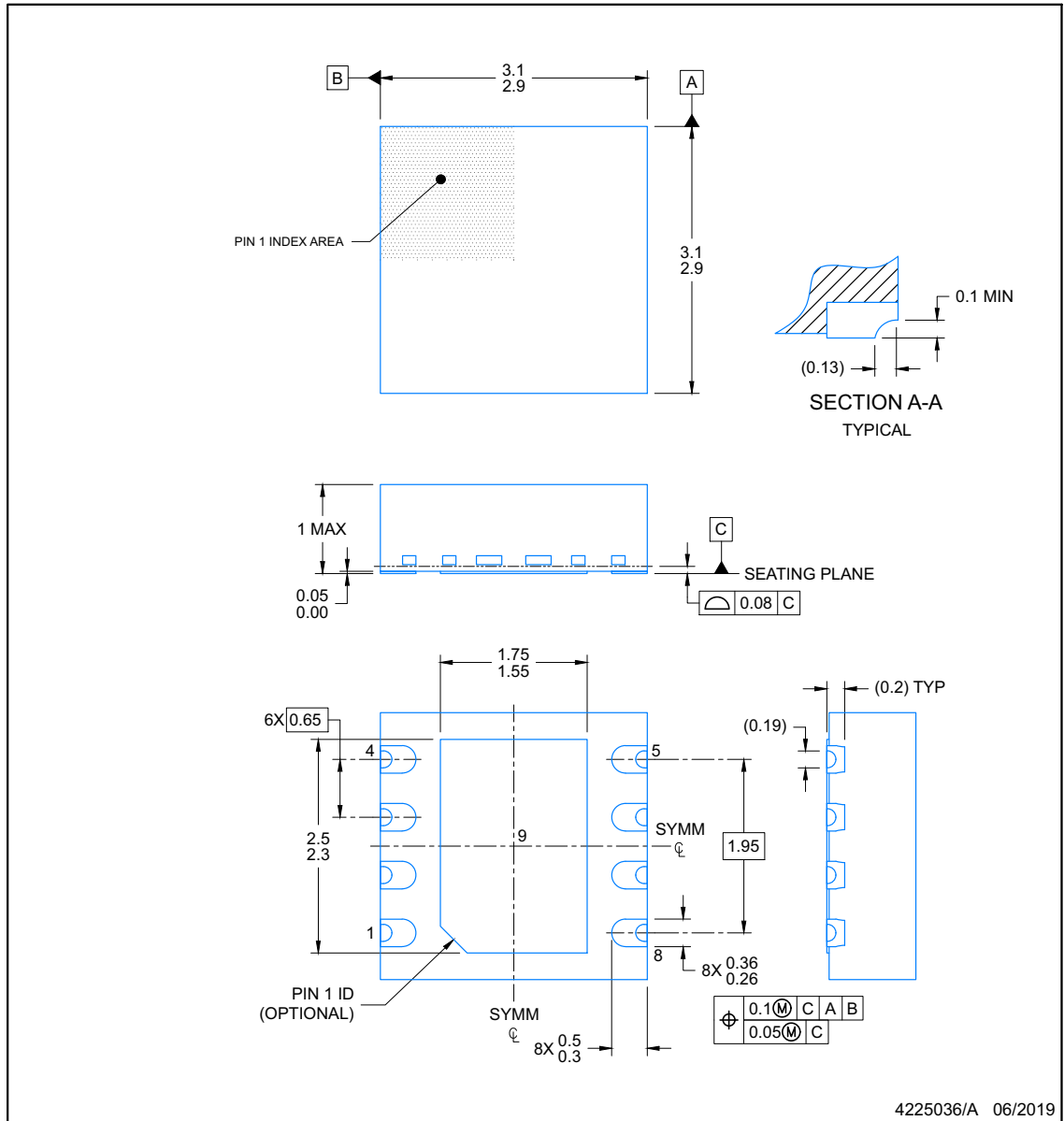
ADVANCE INFORMATION

**PACKAGE OUTLINE**

**DRB0008J**

**VSON - 1 mm max height**

PLASTIC QUAD FLAT PACK- NO LEAD



**NOTES:**

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.

**ADVANCE INFORMATION**

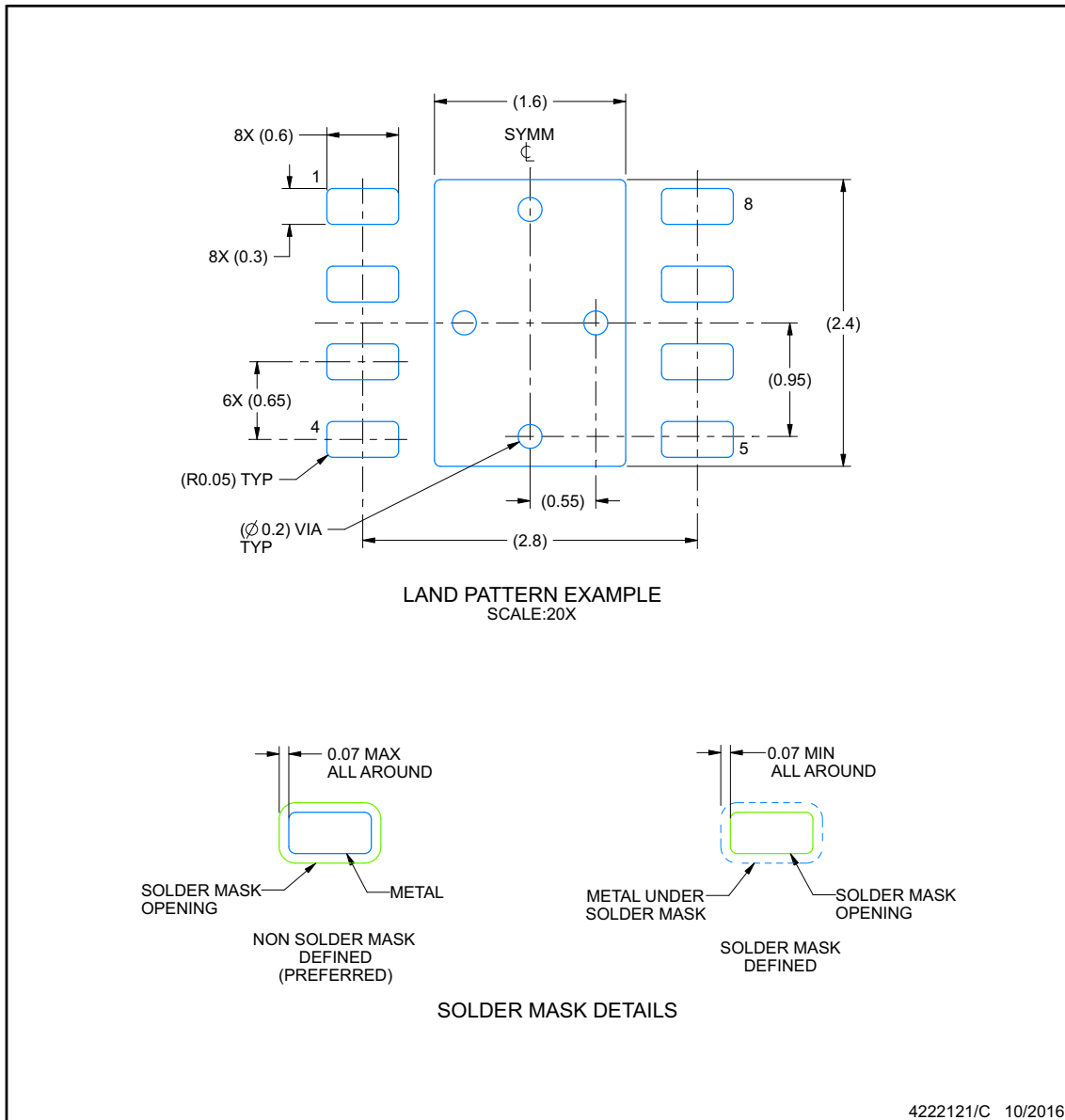
## EXAMPLE BOARD LAYOUT

**DRB0008F**

**VSON - 1 mm max height**

PLASTIC SMALL OUTLINE - NO LEAD

ADVANCE INFORMATION



NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 ([www.ti.com/lit/slua271](http://www.ti.com/lit/slua271)).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

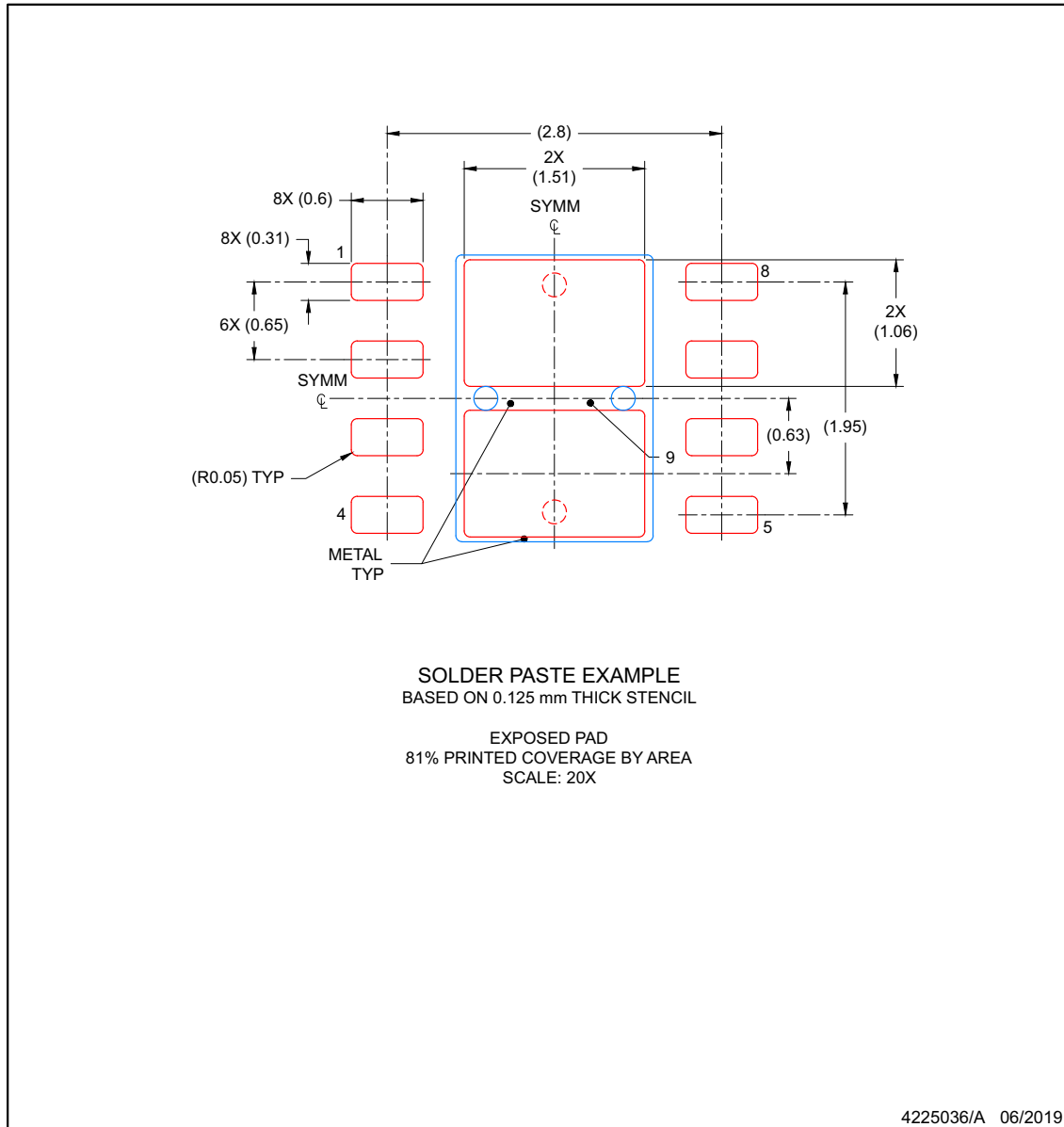
[www.ti.com](http://www.ti.com)

**EXAMPLE STENCIL DESIGN**

**DRB0008J**

**VSON - 1 mm max height**

PLASTIC QUAD FLAT PACK- NO LEAD



NOTES: (continued)

- 6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

**ADVANCE INFORMATION**

**PACKAGING INFORMATION**

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
PTCAN3403DDFRQ1	ACTIVE	SOT-23-THIN	DDF	8	3000	TBD	Call TI	Call TI	-40 to 150		<a href="#">Samples</a>
PTCAN3403DRBRQ1	ACTIVE	SON	DRB	8	3000	TBD	Call TI	Call TI	-40 to 150		<a href="#">Samples</a>
PTCAN3403DRQ1	ACTIVE	SOIC	D	8	2500	TBD	Call TI	Call TI	-40 to 150		<a href="#">Samples</a>
PTCAN3404DDFRQ1	ACTIVE	SOT-23-THIN	DDF	8	3000	TBD	Call TI	Call TI	-40 to 150		<a href="#">Samples</a>
PTCAN3404DRBRQ1	ACTIVE	SON	DRB	8	3000	TBD	Call TI	Call TI	-40 to 150		<a href="#">Samples</a>
PTCAN3404DRQ1	ACTIVE	SOIC	D	8	2500	TBD	Call TI	Call TI	-40 to 150		<a href="#">Samples</a>
TCAN3403DDFRQ1	ACTIVE	SOT-23-THIN	DDF	8	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 150	2THF	<a href="#">Samples</a>
TCAN3403DRBRQ1	ACTIVE	SON	DRB	8	3000	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 150	3403	<a href="#">Samples</a>
TCAN3403DRQ1	ACTIVE	SOIC	D	8	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 150	3403	<a href="#">Samples</a>
TCAN3404DDFRQ1	ACTIVE	SOT-23-THIN	DDF	8	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 150	2TIF	<a href="#">Samples</a>
TCAN3404DRBRQ1	ACTIVE	SON	DRB	8	3000	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 150	3404	<a href="#">Samples</a>
TCAN3404DRQ1	ACTIVE	SOIC	D	8	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 150	3404	<a href="#">Samples</a>

(1) The marketing status values are defined as follows:

**ACTIVE:** Product device recommended for new designs.

**LIFEBUY:** TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

**NRND:** Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

**PREVIEW:** Device has been announced but is not in production. Samples may or may not be available.

**OBSELETE:** TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

**RoHS Exempt:** TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

**Green:** TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.



- (3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.
- (4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.
- (5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.
- (6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

**Important Information and Disclaimer:**The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

**DRB 8**

**GENERIC PACKAGE VIEW**

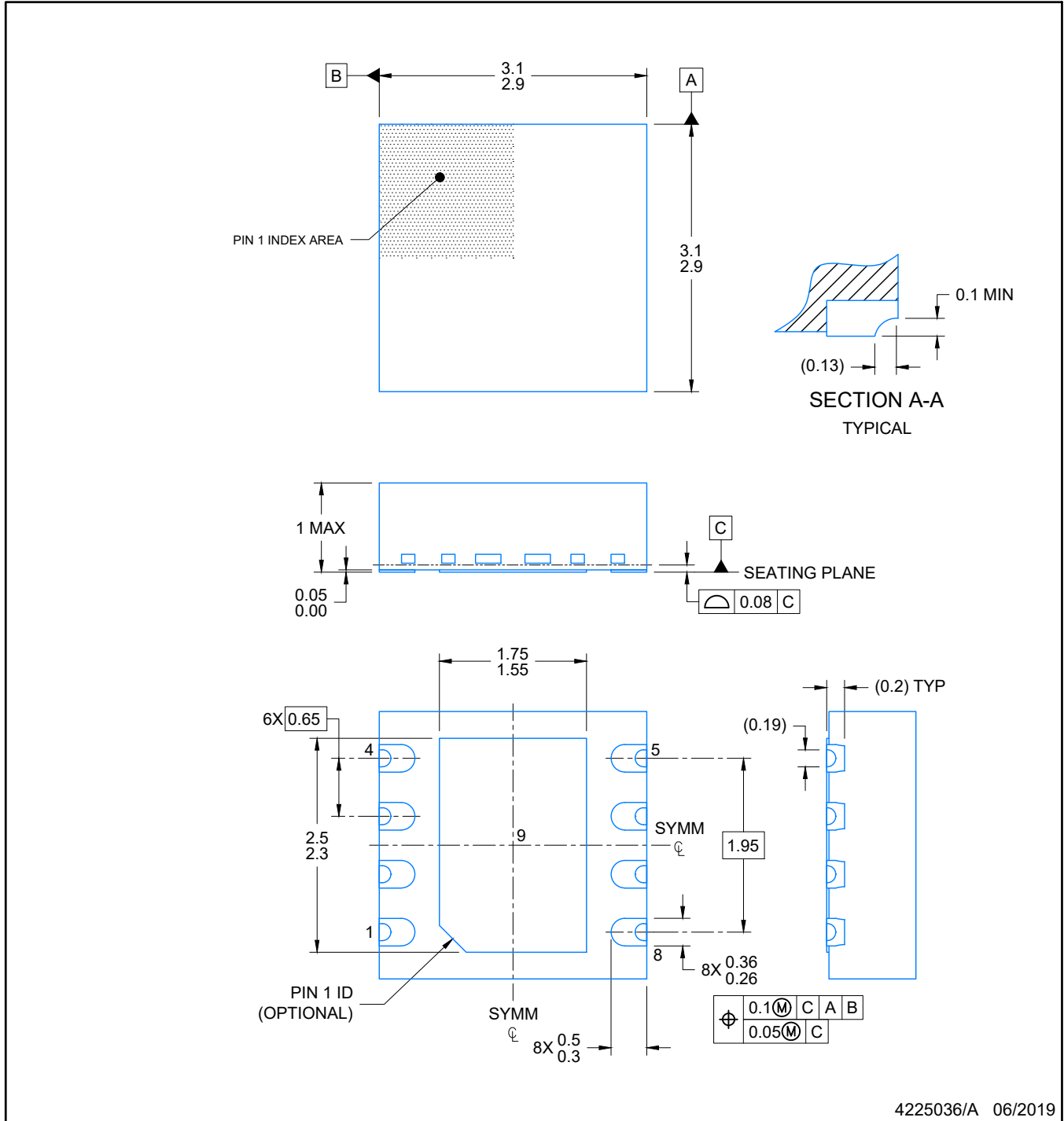
**VSON - 1 mm max height**

PLASTIC SMALL OUTLINE - NO LEAD



Images above are just a representation of the package family, actual package may vary.  
Refer to the product data sheet for package details.

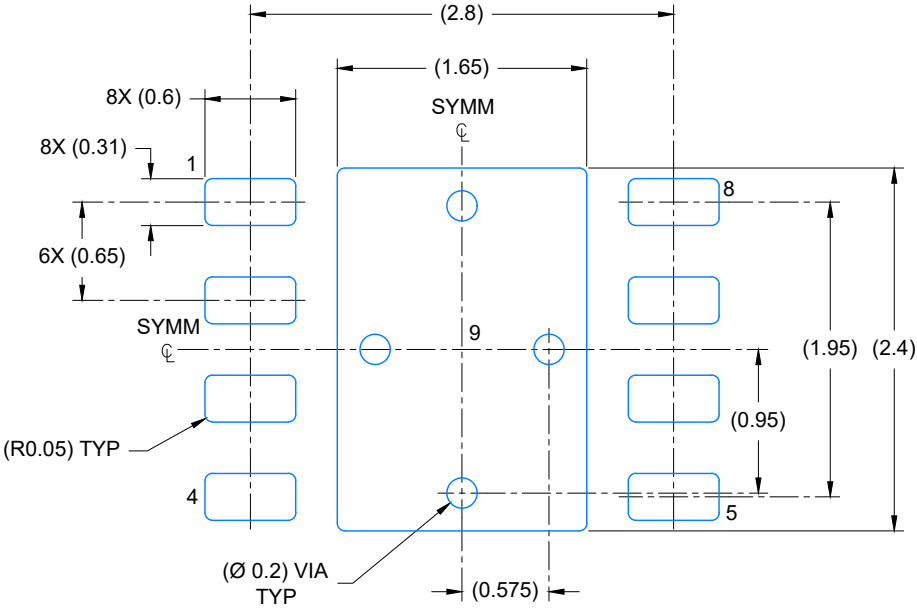
4203482/L



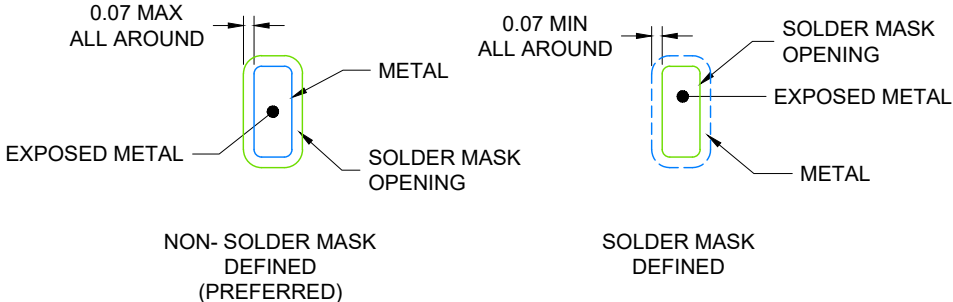
4225036/A 06/2019

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.



LAND PATTERN EXAMPLE  
 EXPOSED METAL SHOWN  
 SCALE: 20X

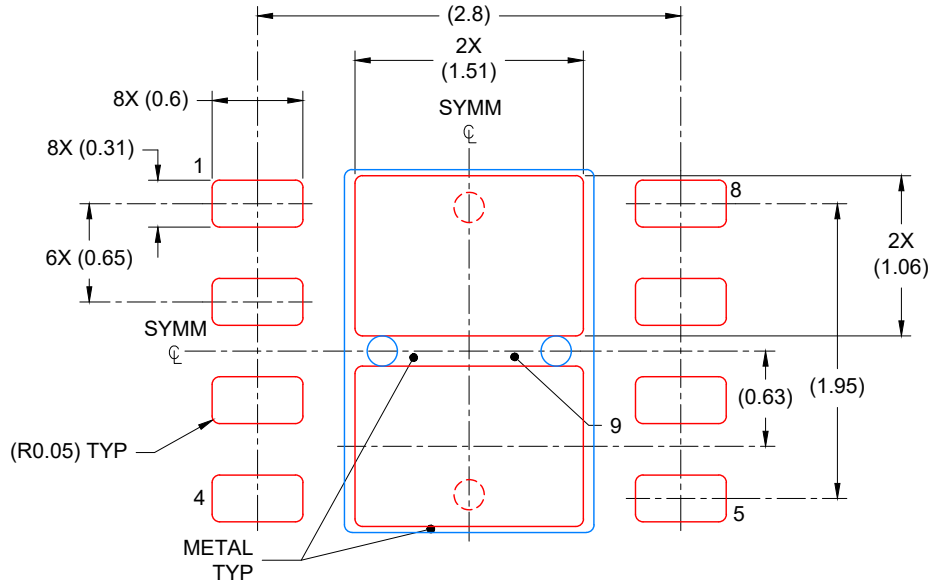


SOLDER MASK DETAILS

4225036/A 06/2019

NOTES: (continued)

- 4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 ([www.ti.com/lit/slua271](http://www.ti.com/lit/slua271)).
- 5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE  
 BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD  
 81% PRINTED COVERAGE BY AREA  
 SCALE: 20X

4225036/A 06/2019

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

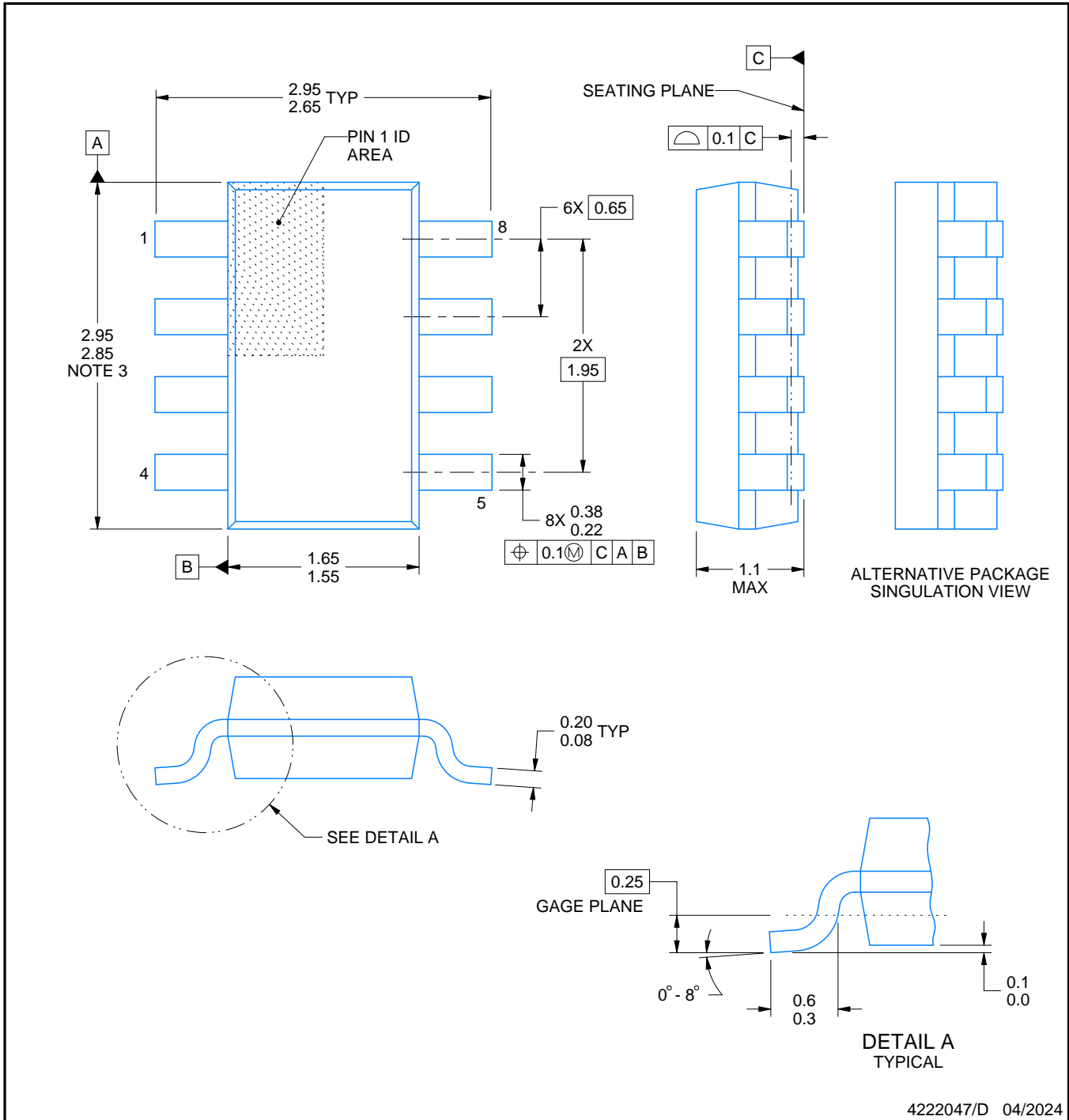
# DDF0008A



# PACKAGE OUTLINE

## SOT-23 - 1.1 mm max height

PLASTIC SMALL OUTLINE



### NOTES:

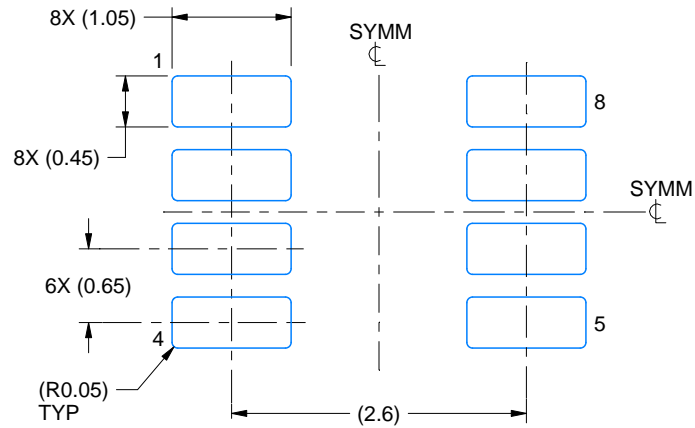
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.

# EXAMPLE BOARD LAYOUT

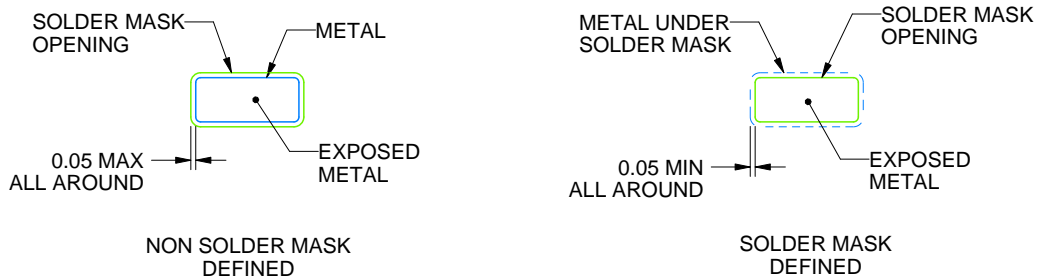
DDF0008A

SOT-23 - 1.1 mm max height

PLASTIC SMALL OUTLINE



LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE:15X



SOLDER MASK DETAILS

4222047/D 04/2024

NOTES: (continued)

- 4. Publication IPC-7351 may have alternate designs.
- 5. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

# EXAMPLE STENCIL DESIGN

DDF0008A

SOT-23 - 1.1 mm max height

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE  
BASED ON 0.125 mm THICK STENCIL  
SCALE:15X

4222047/D 04/2024

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
7. Board assembly site may have different recommendations for stencil design.





D0008A

# PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4214825/C 02/2019

### NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed  $.006$  [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.

# EXAMPLE BOARD LAYOUT

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE  
 EXPOSED METAL SHOWN  
 SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

# EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE  
BASED ON .005 INCH [0.125 MM] THICK STENCIL  
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

## 重要なお知らせと免責事項

TI は、技術データと信頼性データ（データシートを含みます）、設計リソース（リファレンス・デザインを含みます）、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](#) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265  
Copyright © 2024, Texas Instruments Incorporated