

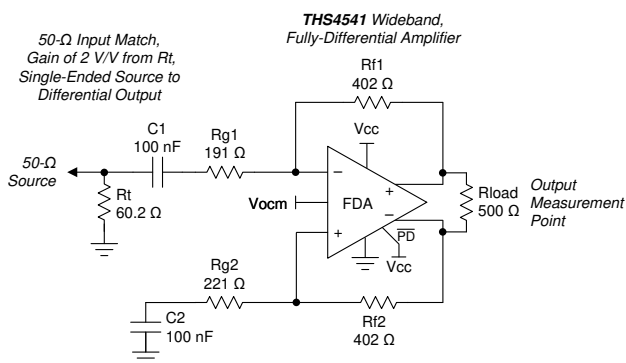
THS4541 負レール入力、レール ツー レール出力、高精度、850MHz 完全差動アンプ

1 特長

- 完全差動アンプ (FDA) アーキテクチャ
- 帯域幅: 500MHz ($G = 2V/V$)
- ゲイン帯域幅積: 850MHz
- スルーレート: 1500V/ μ s
- HD₂: -95dBc (10MHz, 2V_{PP}, R_L = 500 Ω)
- HD₃: -90dBc (10MHz, 2V_{PP}, R_L = 500 Ω)
- 入力電圧ノイズ: 2.2nV/ $\sqrt{\text{Hz}}$ ($f > 100\text{kHz}$)
- 小さいオフセットドリフト: $\pm 0.5\mu\text{V}/^\circ\text{C}$ (標準値)
- 負のレール入力 (NRI)
- レール ツー レール出力 (RRO)
- Rload $\geq 50\Omega$ で確実に動作
- 出力同相モード制御
- 電源:
 - 単一電源電圧範囲: 2.7V~5.4V
 - 両電源電圧範囲: $\pm 1.35\text{V} \sim \pm 2.7\text{V}$
 - 静止電流: 10.1mA (5V 電源)
- パワーダウン機能: 2 μ A (標準値)

2 アプリケーション

- 低消費電力、高性能の ADC ドライバ:
 - SAR, $\Delta\Sigma$, パイプライン
- 低消費電力、高性能 (DC または AC 結合):
 - シングルエンド入力 / 差動出力アンプ
 - 差動 / 差動アンプ
- 差動アクティブ フィルタ
- DAC 出力の差動トランスインピーダンス
- ADC3xxx ファミリー低消費電力、高性能 ADC との DC または AC 結合インターフェイス
- ADA4932-1 とピン互換 (VQFN-16)



概略回路図

3 概要

THS4541 は、負のレールおよびレール ツー レール出力未満の入力同相範囲を備えた、低消費電力、電圧フィードバック、全差動アンプ (FDA) です。THS4541 は、高性能な A/D コンバータ (ADC) または D/C コンバータ (DAC) のインターフェイス設計において高密度が重要となる低消費電力のデータ アクイジション システム向けに設計されています。

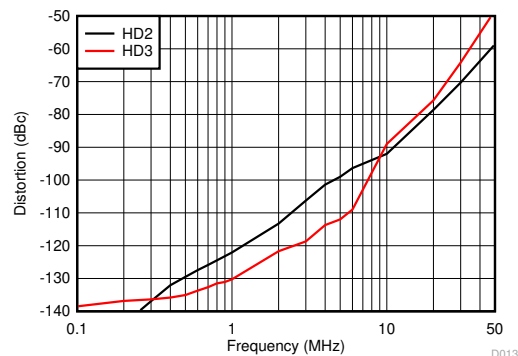
THS4541 は、DC 結合、グランド中心、ソース信号のインターフェイスに必要とされる負のレール入力を備えています。このレール ツー レール出力を備えた負のレール入力を使うことで、シングルエンド、グランド基準のバイポーラ信号源とさまざまな逐次比較レジスタ (SAR)、デルタ シグマ ($\Delta\Sigma$)、またはパイプライン ADC との間を 2.7V~5.4V の単一電源を使用して簡単に接続できます。

THS4541 は、 $-40^\circ\text{C} \sim +125^\circ\text{C}$ の広い温度範囲にわたって動作が規定されており、16 ピンの VQFN および 10 ピンの WQFN パッケージで供給されます。

パッケージ情報

部品番号 (1)	パッケージ (2)	パッケージ サイズ (3)
THS4541	RGT (VQFN, 16)	3mm \times 3mm
	RUN (WQFN, 10)	2mm \times 2mm

- セクション 4 を参照
- 詳細については、セクション 12 を参照してください。
- パッケージ サイズ (長さ \times 幅) は公称値であり、該当する場合はピンも含まれます。

シングルから差動へ、ゲイン = 2、2V_{PP} 出力

目次

1 特長.....	1	7.7 容量性負荷の駆動.....	33
2 アプリケーション.....	1	7.8 熱解析.....	34
3 概要.....	1	8 詳細説明.....	35
4 デバイス比較表.....	2	8.1 概要.....	35
5 ピン構成および機能.....	3	8.2 機能ブロック図.....	37
6 仕様.....	4	8.3 機能説明.....	37
6.1 絶対最大定格.....	4	8.4 デバイスの機能モード.....	38
6.2 ESD 定格.....	4	9 アプリケーションと実装.....	47
6.3 推奨動作条件.....	4	9.1 アプリケーション情報.....	47
6.4 熱に関する情報.....	4	9.2 代表的なアプリケーション.....	47
6.5 電気的特性: (Vs+) – Vs– = 5V.....	5	9.3 電源に関する推奨事項.....	52
6.6 電気的特性: (Vs+) – Vs– = 3 V.....	8	9.4 レイアウト.....	52
6.7 代表的特性 (5V 単一電源).....	11	10 デバイスおよびドキュメントのサポート.....	54
6.8 代表的特性: 3V 単一電源.....	14	10.1 デバイスのサポート.....	54
6.9 代表的特性: 電源電圧範囲: 3V~5V.....	18	10.2 ドキュメントのサポート.....	54
7 パラメータ測定情報.....	23	10.3 ドキュメントの更新通知を受け取る方法.....	54
7.1 特性評価回路の例.....	23	10.4 サポート・リソース.....	55
7.2 周波数応答の形状係数.....	25	10.5 商標.....	55
7.3 I/O ヘッドルームに関する検討事項.....	28	10.6 静電気放電に関する注意事項.....	55
7.4 出力 DC 誤差およびドリフトの計算値と、抵抗の不 均衡の影響.....	29	10.7 用語集.....	55
7.5 ノイズ解析.....	32	11 改訂履歴.....	55
7.6 高調波歪みに影響を与える要因.....	33	12 メカニカル、パッケージ、および注文情報.....	55

4 デバイス比較表

デバイス	帯域幅 (MHz)	I _Q (mA)	THD (dBc) 2V _{PP} , 100kHz 時	入力ノイズ電圧: 11nV/√Hz	レールツーレール
THS4531A	36	0.25	-104	10	出力
THS4521	145	0.95	-102	4.6	出力
THS4520	620	14.2	-107	2	出力

5 ピン構成および機能

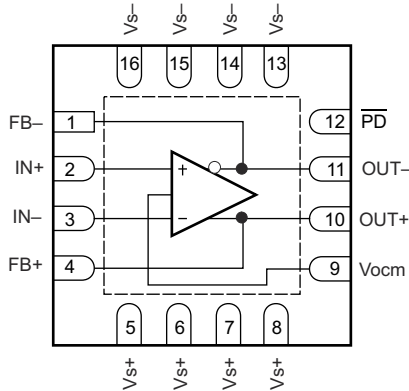


図 5-1. RGT パッケージ
16 ピン VQFN (露出サーマルパッド付き)
上面図

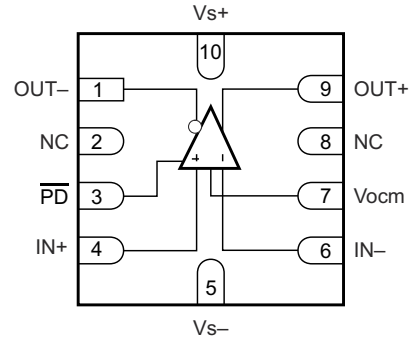


図 5-2. RUN パッケージ
10 ピン WQFN
上面図

表 5-1. ピンの機能

ピン		タイプ	説明
名称	番号 (1)		
FB+	4	出力	非反転 (正) 出力帰還
FB-	1	出力	反転 (負) 出力帰還
IN+	2	入力	非反転 (正) アンプ入力
IN-	3	入力	反転 (負) アンプ入力
NC	—	—	内部接続なし
OUT+	10	出力	非反転 (正) アンプ出力
OUT-	11	出力	反転 (負) アンプ出力
PD	12	入力	パワーダウン。PD = 論理 Low = 電源オフ モード、PD = 論理 High = 通常動作。
Vocm	9	入力	同相モード電圧入力
Vs+	5、6、7、8	入力	正電源入力
Vs-	13、14、15、16	入力	負電源入力

- (1) 露出サーマルパッドを熱拡散の電力またはグラウンドプレーンに半田付けします。このパッドはダイと電気的に絶縁されていますが、オープンではなく電源またはグラウンドプレーンに接続する必要があります。

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位
電圧	電源電圧、(Vs+) – Vs–		5.5	V
	入力 / 出力電圧範囲	(Vs–) – 0.5	(Vs+) + 0.5	
	差動入力電圧		±1	
電流	連続入力電流		±20	mA
	連続出力電流		±80	
	連続消費電力	セクション 6.4 および セクション 7.8 を参照		
接合部			150	°C
動作時自由気流		-40	125	
T _{stg}	保存		-65	

(1) 絶対最大定格を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについての話で、絶対最大定格において、またはこのデータシートの「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。

6.2 ESD 定格

		値	単位	
V _(ESD)	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン ⁽¹⁾	±2000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠、すべてのピン ⁽²⁾	±500	
		マシン モデル ⁽²⁾	±150	

(1) JEDEC のドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

(2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

6.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小	公称	最大	単位
Vs+	単一電源電圧	2.7	5	5.4	V
T _J	ジャンクション温度	-40	25	125	°C

6.4 熱に関する情報

熱特性 ⁽¹⁾		THS4541		単位
		RGT (VQFN)	RUN (WQFN)	
		16 ピン	10 ピン	
R _{θJA}	接合部から周囲への熱抵抗	52	146	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	69	75	°C/W
R _{θJB}	接合部から基板への熱抵抗	25	39	°C/W
Ψ _{JT}	接合部から上面への評価パラメータ	2.7	14	°C/W
Ψ _{JB}	接合部から基板への評価パラメータ	25	105	°C/W
R _{θJC(bot)}	接合部からケース (底面) への熱抵抗	9.3	47	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション・レポートを参照してください。

6.5 電気的特性 : (Vs+) – Vs– = 5V

$T_A \approx 25^\circ\text{C}$ 、 $V_{ocm} =$ オープン (デフォルトは中間電位)、 $V_{out} = 2V_{pp}$ 、 $R_f = 402\Omega$ 、 $R_{load} = 499\Omega$ 、 50Ω 入力マッチング、 $G = 2V/V$ 、シングルエンド入力、差動出力、および $\overline{PD} = +V_s$ (特に記述のない限り)。AC 結合でゲイン $2V/V$ のテスト回路については、[図 7-1](#) を参照してください。DC 結合でゲイン $2V/V$ のテスト回路については、[図 7-3](#) を参照してください。

パラメータ	テスト条件	最小値	代表値	最大値	単位	テストレベル (1)
AC 特性						
小信号帯域幅	$V_{out} = 100mV_{pp}$ 、 $G = 1$		620		MHz	C
	$V_{out} = 100mV_{pp}$ 、 $G = 2$ (図 7-1 を参照)		500			C
	$V_{out} = 100mV_{pp}$ 、 $G = 5$		210			C
	$V_{out} = 100mV_{pp}$ 、 $G = 10$		125			C
ゲイン帯域幅積	$V_{out} = 100mV_{pp}$ 、 $G = 20$		850		MHz	C
大信号帯域幅	$V_{out} = 2V_{pp}$ 、 $G = 2$ (図 7-1 を参照)		340		MHz	C
0.1dB 平坦度の帯域幅	$V_{out} = 2V_{pp}$ 、 $G = 2$ (図 7-1 を参照)		100		MHz	C
スルーレート ⁽²⁾	$V_{out} = 2V_{pp}$ 、FPBW (図 7-1 を参照)		1500		V/ μ s	C
立ち上がり / 立ち下がり時間	$V_{out} = 2V$ ステップ、 $G = 2$ 入力 $\leq 0.3ns$ t_r (図 7-3 を参照)		1.4		ns	C
セトリング時間	$\sim 1\%$ 、 $V_{out} = 2V$ ステップ、 $t_r = 2ns$ 、 $G = 2$ (図 7-3 を参照)		4		ns	C
	$\sim 0.1\%$ 、 $V_{out} = 2V$ ステップ、 $t_r = 2ns$ 、 $G = 2$ (図 7-3 を参照)		8			C
オーバーシュートとアンダーシュート	$V_{out} = 2V$ ステップ $G = 2$ 、入力 $\leq 0.3ns$ t_r (図 7-3 を参照)		10%			C
100kHz の高調波歪み	$V_{out} = 2V_{pp}$ 、 $G = 2$ 、HD2 (図 7-1 を参照)		-140		dBc	C
	$V_{out} = 2V_{pp}$ 、 $G = 2$ 、HD3 (図 7-1 を参照)		-140			C
10MHz の高調波歪み	$V_{out} = 2V_{pp}$ 、 $G = 2$ 、HD2 (図 7-1 を参照)		-95		dBc	C
	$V_{out} = 2V_{pp}$ 、 $G = 2$ 、HD3 (図 7-1 を参照)		-90			C
2 次相互変調歪	$f = 10MHz$ 、 $100kHz$ トーン間隔、 V_{out} エンベロープ = $2V_{pp}$ (トーン当たり $1V_{pp}$) (図 7-1 を参照)		-90		dBc	C
3 次相互変調歪	$f = 10MHz$ 、 $100kHz$ トーン間隔、 V_{out} エンベロープ = $2V_{pp}$ (トーン当たり $1V_{pp}$) (図 7-1 を参照)		-85		dBc	C
入力電圧ノイズ	$f > 100kHz$		2.2		nV/ \sqrt{Hz}	C
入力電流ノイズ	$f > 1MHz$		1.9		pA/ \sqrt{Hz}	C
オーバードライブの復帰時間	2 倍の出力オーバードライブ、どちらの極性にも対応		20		ns	C
閉ループ出力インピーダンス	$f = 10MHz$ (差動)		0.1		Ω	C

6.5 電気的特性 : (Vs+) – Vs– = 5V (続き)

$T_A \approx 25^\circ\text{C}$ 、 $V_{ocm} = \text{オープン}$ (デフォルトは中間電位)、 $V_{out} = 2V_{pp}$ 、 $R_f = 402\Omega$ 、 $R_{load} = 499\Omega$ 、 50Ω 入力マッチング、 $G = 2V/V$ 、シングルエンド入力、差動出力、および $\overline{PD} = +V_s$ (特に記述のない限り)。AC 結合でゲイン $2V/V$ のテスト回路については、[図 7-1](#) を参照してください。DC 結合でゲイン $2V/V$ のテスト回路については、[図 7-3](#) を参照してください。

パラメータ	テスト条件	最小値	代表値	最大値	単位	テストレベル (1)	
DC 特性							
A_{OL}	開ループ電圧ゲイン	100	119		dB	A	
	入力換算オフセット電圧	$T_A = 25^\circ\text{C}$	-450	± 100	450	μV	A
		$T_A = 0^\circ\text{C} \sim 70^\circ\text{C}$	-600	± 100	600		B
		$T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$	-700	± 100	700		B
		$T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$	-850	± 100	850		B
	入力オフセット電圧ドリフト ⁽³⁾	$T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$	-2.4	± 0.5	2.4	$\mu\text{V}/^\circ\text{C}$	B
	入力バイアス電流 (ノードから外方向を正とする)	$T_A = 25^\circ\text{C}$		10	13	μA	A
		$T_A = 0^\circ\text{C} \sim 70^\circ\text{C}$		11	13.5		B
		$T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$		12	14		B
		$T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$		12	14.5		B
	入力バイアス電流ドリフト ⁽³⁾	$T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$		6	15	$\text{nA}/^\circ\text{C}$	B
	入力オフセット電流	$T_A = 25^\circ\text{C}$	-500	± 150	500	nA	A
		$T_A = 0^\circ\text{C} \sim 70^\circ\text{C}$	-550	± 150	550		B
		$T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$	-580	± 150	580		B
		$T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$	-620	± 150	620		B
	入力オフセット電流ドリフト ⁽³⁾	$T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$	-1.3	± 0.3	1.3	$\text{nA}/^\circ\text{C}$	B
入力							
	コモン モード入力 Low	中間電位からの同相信号除去比の低下は 3dB 未満	$T_A = 25^\circ\text{C}$	$(V_{s-}) - 0.2$	$(V_{s-}) - 0.1$	V	A
			$T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$	$(V_{s-}) - 0.1$	V_{s-}		B
	コモン モード入力 High	中間電位からの同相信号除去比の低下は 3dB 未満	$T_A = 25^\circ\text{C}$	$(V_{s+}) - 1.3$	$(V_{s+}) - 1.2$	V	A
			$T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$	$(V_{s+}) - 1.3$			B
	同相除去比	$((V_{s+}) - V_{s-}) / 2$ の入力ピン	85	100		dB	A
	入力インピーダンス差動モード	$((V_{s+}) - V_{s-}) / 2$ の入力ピン	110 0.85			$\text{k}\Omega \text{pF}$	C
出力							
	出力電圧 Low	$T_A = 25^\circ\text{C}$	$(V_{s-}) + 0.2$	$(V_{s-}) + 0.25$	V	A	
		$T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$	$(V_{s-}) + 0.2$	$(V_{s-}) + 0.25$		B	
	出力電圧 High	$T_A = 25^\circ\text{C}$	$(V_{s+}) - 0.25$	$(V_{s+}) - 0.2$	V	A	
		$T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$	$(V_{s+}) - 0.25$	$(V_{s+}) - 0.2$		B	
	出力電流駆動	$T_A = 25^\circ\text{C}$	± 75	± 100	mA	A	
		$T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$	± 75			B	

6.5 電気的特性 : (Vs+) – Vs– = 5V (続き)

$T_A \approx 25^\circ\text{C}$ 、 $V_{ocm} =$ オープン (デフォルトは中間電位)、 $V_{out} = 2V_{pp}$ 、 $R_f = 402\Omega$ 、 $R_{load} = 499\Omega$ 、 50Ω 入力マッチング、 $G = 2V/V$ 、シングルエンド入力、差動出力、および $\overline{PD} = +Vs$ (特に記述のない限り)。AC 結合でゲイン $2V/V$ のテスト回路については、[図 7-1](#) を参照してください。DC 結合でゲイン $2V/V$ のテスト回路については、[図 7-3](#) を参照してください。

パラメータ	テスト条件	最小値	代表値	最大値	単位	テストレベル (1)		
電源								
仕様動作電圧		2.7	5	5.4	V	B		
静止時動作電流	$T_A = 25^\circ\text{C}$ 、 $V_s = 5V$	9.7	10.1	10.5	mA	A		
	$T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$	9.4	10.1	11		B		
$\pm\text{PSRR}$ 電源除去比	どちらかの電源ピンから差動 V_{out} まで	85	100		dB	A		
パワーダウン								
電圧スレッシュホールド有効化		$(V_{s-}) + 1.7$			V	A		
電圧スレッシュホールド無効化		$(V_{s-}) + 0.7$			V	A		
ディスエーブルピンのバイアス電流	$\overline{PD} = V_{s-} \rightarrow V_{s+}$		20	50	nA	B		
パワーダウン静止時電流	$\overline{PD} = (V_{s-}) + 0.7V$		6	30	μA	A		
	$\overline{PD} = V_{s-}$		2	8		A		
ターンオン時間の遅延	$\overline{PD} = \text{Low}$ から $V_{out} =$ 最終値の 90% になるまでの時間		100		ns	C		
ターンオフ時間の遅延	$\overline{PD} = \text{Low}$ から $V_{out} =$ 最終値の 10% になるまでの時間		60		ns	C		
出力コモン モード電圧制御⁽⁴⁾								
小信号帯域幅	$V_{ocm} = 100\text{mV}_{pp}$		150		MHz	C		
スルーレート ⁽²⁾	$V_{ocm} = 2V$ ステップ		400		V/ μs	C		
ゲイン		0.975	0.982	0.995	V/V	A		
入力バイアス電流	ノードから外方向を正とする	-0.7	0.1	0.7	μA	A		
入力インピーダンス	$((V_{s+}) - V_{s-}) / 2$ に駆動される V_{ocm} 入力		47 1.2		k Ω pF	C		
$((V_{s+}) - V_{s-}) / 2$ からのデフォルト電圧オフセット	V_{ocm} ピンはオープン	-40	± 8	40	mV	A		
CM Vos	コモン モード オフセット電圧	$((V_{s+}) - V_{s-}) / 2$ に駆動される V_{ocm} 入力	$T_A = 25^\circ\text{C}$	-5	± 2	5	mV	A
			$T_A = 0^\circ\text{C} \sim 70^\circ\text{C}$	-6	± 2	5.8		B
			$T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$	-6.2	± 2	6.2		B
			$T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$	-7	± 2	7.08		B
コモン モード オフセット電圧ドリフト ⁽³⁾	$((V_{s+}) - V_{s-}) / 2$ に駆動される V_{ocm} 入力	-20	± 4	+20	$\mu\text{V}/^\circ\text{C}$	B		
負電源までのコモン モード ループ電源のヘッドルーム	中間電位 CM Vos から $\pm 12\text{mV}$ 未満のシフト		$T_A = 25^\circ\text{C}$	0.88			V	A
			$T_A = 0^\circ\text{C} \sim 70^\circ\text{C}$	0.91				B
			$T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$	0.94				B
			$T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$	0.94				B
正電源までのコモン モード ループ電源のヘッドルーム	中間電位 CM Vos から $\pm 12\text{mV}$ 未満のシフト		$T_A = 25^\circ\text{C}$	1.1			V	A
			$T_A = 0^\circ\text{C} \sim 70^\circ\text{C}$	1.15				B
			$T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$	1.2				B
			$T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$	1.2				B

- テストレベル (特性とシミュレーションにより設定されたすべての値): (A) $T_A \approx 25^\circ\text{C}$ (特性とシミュレーションによる過熱制限) 時に 100% テスト済み。 (B) 実製品ではテストされていません。特性とシミュレーションにより設定される制約あり。 (C) 情報のための標準値。
- このスルーレートは、大信号帯域幅から以下の式によって推定される立ち上がり時間と立ち下がり時間の平均です。 $(V_p / \sqrt{2}) \cdot 2\pi \cdot f_{-3dB}$
- 入力オフセット電圧ドリフト、入力バイアス電流ドリフト、入力オフセット電流ドリフト、および V_{ocm} ドリフトは、環境温度エンドポイントの最大範囲で取得したデータを使用して差を算出し、温度範囲で割った平均値です。最大ドリフトは、デバイスの多数のサンプリングの分布により設定されません。ドリフトは、テスト、または QA サンプル テストでは規定されません。
- 仕様は、入力 V_{ocm} ピンから差動出力の平均電圧までです。

6.6 電気的特性 : $(V_{s+}) - V_{s-} = 3\text{ V}$

$T_A \approx 25^\circ\text{C}$ 、 $V_{ocm} = \text{オープン}$ (デフォルトは中間電位)、 $V_{OUT} = 2V_{PP}$ 、 $R_f = 402\Omega$ 、 $R_{load} = 499\Omega$ 、 50Ω 入力マッチング、 $G = 2V/V$ 、シングルエンド入力、差動出力、および $\overline{PD} = +V_s$ (特に記述のない限り)。AC 結合でゲイン $2V/V$ のテスト回路については、[図 7-1](#) を参照してください。DC 結合でゲイン $2V/V$ のテスト回路については、[図 7-3](#) を参照してください。

パラメータ	テスト条件	最小値	代表値	最大値	単位	テストレベル (1)
AC 特性						
小信号帯域幅	$V_{out} = 100mV_{PP}$ 、 $G = 1$		600		MHz	C
	$V_{out} = 100mV_{PP}$ 、 $G = 2$ (図 7-1 を参照)		500			C
	$V_{out} = 100mV_{PP}$ 、 $G = 5$		200			C
	$V_{out} = 100mV_{PP}$ 、 $G = 10$		120			C
ゲイン帯域幅積	$V_{out} = 100mV_{PP}$ 、 $G = 20$		850		MHz	C
大信号帯域幅	$V_{out} = 2V_{PP}$ 、 $G = 2$ (図 7-1 を参照)		300		MHz	C
0.1dB 平坦度の帯域幅	$V_{out} = 2V_{PP}$ 、 $G = 2$ (図 7-1 を参照)		90		MHz	C
スルーレート ⁽²⁾	$V_{out} = 2V$ ステップ、FPBW (図 7-1 を参照)		1300		V/ μ s	C
立ち上がり / 立ち下がり時間	$V_{out} = 2V$ ステップ、 $G = 2$ 、入力 $\leq 0.3ns$ t_r (図 7-3 を参照)		1.8		ns	C
セトリング時間	$\sim 1\%$ 、 $V_{out} = 2V$ ステップ、 $t_r = 2ns$ 、 $G = 2$ (図 7-3 を参照)		5		ns	C
	$\sim 0.1\%$ 、 $V_{out} = 2V$ ステップ、 $t_r = 2ns$ 、 $G = 2$ (図 7-3 を参照)		8			C
オーバーシュートとアンダーシュート	$V_{out} = 2V$ ステップ $G = 2$ 、入力 $\leq 0.3ns$ t_r (図 7-3 を参照)		10%			C
100kHz の高調波歪み	$V_{out} = 2V_{PP}$ 、 $G = 2$ 、HD2 (図 7-1 を参照)		-140		dBc	C
	$V_{out} = 2V_{PP}$ 、 $G = 2$ 、HD3 (図 7-1 を参照)		-140			C
10MHz の高調波歪み	$V_{out} = 2V_{PP}$ 、 $G = 2$ 、HD2 (図 7-1 を参照)		-92		dBc	C
	$V_{out} = 2V_{PP}$ 、 $G = 2$ 、HD3 (図 7-1 を参照)		-89			C
2 次相互変調歪	$f = 10MHz$ 、100kHz トーン間隔、 V_{out} エンベロープ = $2V_{PP}$ (トーン当たり $1V_{PP}$) (図 7-1 を参照)		-89		dBc	C
3 次相互変調歪	$f = 10MHz$ 、100kHz トーン間隔、 V_{out} エンベロープ = $2V_{PP}$ (トーン当たり $1V_{PP}$) (図 7-1 を参照)		-87		dBc	C
入力電圧ノイズ	$f > 100kHz$		2.2		nV/ \sqrt{Hz}	C
入力電流ノイズ	$f > 1\text{ MHz}$		1.9		pA/ \sqrt{Hz}	C
オーバードライブの復帰時間	2 倍の出力オーバードライブ、どちらの極性にも対応		20		ns	C
閉ループ出力インピーダンス	$f = 10MHz$ (差動)		0.1		Ω	C

6.6 電気的特性 : $(V_{s+}) - V_{s-} = 3\text{ V}$ (続き)

$T_A \approx 25^\circ\text{C}$ 、 $V_{ocm} = \text{オープン}$ (デフォルトは中間電位)、 $V_{OUT} = 2V_{PP}$ 、 $R_f = 402\Omega$ 、 $R_{load} = 499\Omega$ 、 50Ω 入力マッチング、 $G = 2V/V$ 、シングルエンド入力、差動出力、および $\overline{PD} = +V_s$ (特に記述のない限り)。AC 結合でゲイン $2V/V$ のテスト回路については、[図 7-1](#) を参照してください。DC 結合でゲイン $2V/V$ のテスト回路については、[図 7-3](#) を参照してください。

パラメータ	テスト条件	最小値	代表値	最大値	単位	テストレベル (1)	
DC 特性							
A_{OL}	開ループ電圧ゲイン	100	119		dB	A	
	入力換算オフセット電圧	$T_A = 25^\circ\text{C}$	-450	± 100	400	μV	A
		$T_A = 0^\circ\text{C} \sim 70^\circ\text{C}$	-600	± 100	600		B
		$T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$	-700	± 100	700		B
		$T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$	-850	± 100	850		B
	入力オフセット電圧ドリフト ⁽³⁾	$T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$	-2.4	± 0.5	2.4	$\mu\text{V}/^\circ\text{C}$	B
	入力バイアス電流 (ノードから外方向を正とする)	$T_A = 25^\circ\text{C}$		9	12	μA	A
		$T_A = 0^\circ\text{C} \sim 70^\circ\text{C}$		9	12.5		B
		$T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$		9	13		B
		$T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$		9	13.5		B
	入力バイアス電流ドリフト ⁽³⁾	$T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$		-5	15	$\text{nA}/^\circ\text{C}$	B
	入力オフセット電流	$T_A = 25^\circ\text{C}$	-500	± 150	500	nA	A
		$T_A = 0^\circ\text{C} \sim 70^\circ\text{C}$	-550	± 150	550		B
		$T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$	-580	± 150	580		B
		$T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$	-620	± 150	620		B
	入力オフセット電流ドリフト ⁽³⁾	$T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$	-1.3	± 0.3	1.3	$\text{nA}/^\circ\text{C}$	B
入力							
	コモン モード入力 Low	中間電位からの同相信号除去比の低下は 3dB 未満	$T_A = 25^\circ\text{C}$	$(V_{s-}) - 0.2$ $(V_{s-}) - 0.1$		V	A
			$T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$	$(V_{s-}) - 0.1$ V_{s-}			B
	コモン モード入力 High	中間電位からの同相信号除去比の低下は 3dB 未満	$T_A = 25^\circ\text{C}$	$(V_{s+}) - 1.3$ $(V_{s+}) - 1.2$		V	A
			$T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$	$(V_{s+}) - 1.3$			B
	同相除去比	$((V_{s+}) - (V_{s-})) / 2$ の入力ピン	85	100		dB	A
	入力インピーダンス差動モード	$((V_{s+}) - (V_{s-})) / 2$ の入力ピン	110 0.85			$\text{k}\Omega$ pF	C
出力							
	出力電圧 Low	$T_A = 25^\circ\text{C}$	$(V_{s-}) + 0.2$	$(V_{s-}) + 0.25$	V	A	
		$T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$	$(V_{s-}) + 0.2$	$(V_{s-}) + 0.25$		B	
	出力電圧 High	$T_A = 25^\circ\text{C}$	$(V_{s+}) - 0.25$	$(V_{s+}) - 0.2$	V	A	
		$T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$	$(V_{s+}) - 0.25$	$(V_{s+}) - 0.2$		B	
	出力電流駆動	$T_A = 25^\circ\text{C}$	± 55	± 60	mA	A	
		$T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$	± 55			B	

6.6 電気的特性 : (Vs+) – Vs– = 3 V (続き)

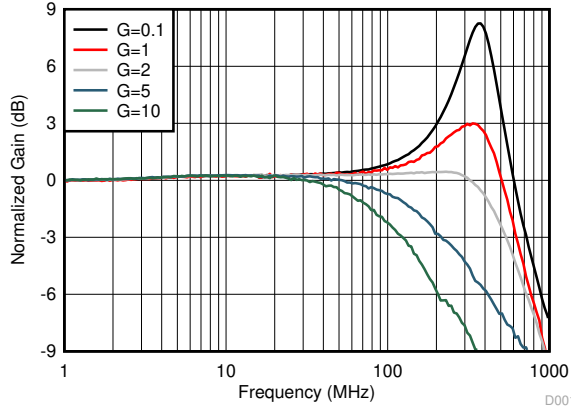
$T_A \approx 25^\circ\text{C}$ 、 $V_{ocm} = \text{オープン}$ (デフォルトは中間電位)、 $V_{OUT} = 2V_{PP}$ 、 $R_f = 402\Omega$ 、 $R_{load} = 499\Omega$ 、 50Ω 入力マッチング、 $G = 2V/V$ 、シングルエンド入力、差動出力、および $\overline{PD} = +V_s$ (特に記述のない限り)。AC 結合でゲイン $2V/V$ のテスト回路については、[図 7-1](#) を参照してください。DC 結合でゲイン $2V/V$ のテスト回路については、[図 7-3](#) を参照してください。

パラメータ		テスト条件	最小値	代表値	最大値	単位	テストレベル (1)	
電源								
	仕様動作電圧		2.7	3	5.4	V	B	
	静止時動作電流	$T_A = 25^\circ\text{C}$ 、 $V_s = 3\text{V}$	9.3	9.7	10.1	mA	A	
		$T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$	9	9.7	10.6		B	
\pm PSRR	電源除去比	どちらかの電源ピンから差動 V_{out} まで	85	100		dB	A	
パワーダウン								
	電圧スレッシュホールド有効化		$(V_{s-}) + 1.7$			V	A	
	電圧スレッシュホールド無効化		$(V_{s-}) + 0.7$			V	A	
	ディスエーブルピンのバイアス電流	$\overline{PD} = V_{s-} \rightarrow V_{s+}$		20	50	nA	B	
	パワーダウン静止時電流	$\overline{PD} = (V_{s-}) + 0.7V$		2	30	μA	A	
		$\overline{PD} = V_{s-}$		1.0	8.0		A	
	ターンオン時間の遅延	$\overline{PD} = \text{Low}$ から $V_{out} = \text{最終値の } 90\%$ になるまでの時間		100		ns	C	
	ターンオフ時間の遅延	$\overline{PD} = \text{Low}$ から $V_{out} = \text{最終値の } 10\%$ になるまでの時間		60		ns	C	
出力コモンモード電圧制御(4)								
	小信号帯域幅	$V_{ocm} = 100\text{mV}_{PP}$		140		MHz	C	
	スルーレート(2)	$V_{ocm} = 1V$ ステップ		350		V/ μs	C	
	ゲイン		0.975	0.987	0.990	V/V	A	
	入力バイアス電流	ノードから外方向を正とする	-0.7	0.1	0.7	μA	A	
	入力インピーダンス	$((V_{s+}) - (V_{s-}) / 2)$ に駆動される V_{ocm} 入力		47 1.2		k Ω pF	C	
	$((V_{s+}) - (V_{s-}) / 2)$ からのデフォルト電圧オフセット	V_{ocm} ピンはオープン	-40	± 10	40	mV	A	
CM Vos	コモンモードオフセット電圧	$((V_{s+}) - (V_{s-}) / 2)$ に駆動される V_{ocm} 入力	$T_A = 25^\circ\text{C}$	-5	± 2	5	mV	A
			$T_A = 0^\circ\text{C} \sim 70^\circ\text{C}$	-5.8	± 2	5.8		B
			$T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$	-6.2	± 2	6.2		B
			$T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$	-7	± 2	7		B
	コモンモードオフセット電圧ドリフト(3)	$((V_{s+}) - (V_{s-}) / 2)$ に駆動される V_{ocm} 入力	-20	± 4	20	$\mu\text{V}/^\circ\text{C}$	B	
	負電源までのコモンモードループ電源のヘッドルーム	中間電位 CM Vos から $\pm 12\text{mV}$ 未満のシフト	$T_A = 25^\circ\text{C}$	0.88			V	A
			$T_A = 0^\circ\text{C} \sim 70^\circ\text{C}$	0.91				B
			$T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$	0.94				B
			$T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$	0.94				B
	正電源までのコモンモードループ電源のヘッドルーム	中間電位 CM Vos から $\pm 12\text{mV}$ 未満のシフト	$T_A = 25^\circ\text{C}$	1.1			V	A
			$T_A = 0^\circ\text{C} \sim 70^\circ\text{C}$	1.15				B
			$T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$	1.2				B
			$T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$	1.2				B

- テストレベル (特性とシミュレーションにより設定されたすべての値):(A) $T_A \approx 25^\circ\text{C}$ (特性とシミュレーションによる過熱制限) 時に 100% テスト済み。(B) 実製品ではテストされていません。特性とシミュレーションにより設定される制約あり。(C) 情報のための標準値。
- このスルーレートは、大信号帯域幅から以下の式によって推定される立ち上がり時間と立ち下がり時間の平均です。 $(V_P / \sqrt{2}) \cdot 2\pi \cdot f_{-3dB}$
- 入力オフセット電圧ドリフト、入力バイアス電流ドリフト、入力オフセット電流ドリフト、および V_{ocm} ドリフトは、環境温度エンドポイントの最大範囲で取得したデータを使用して差を算出し、温度範囲で割った平均値です。最大ドリフトは、デバイスの多数のサンプリングの分布により設定されます。ドリフトは、テスト、または QA サンプル テストでは規定されません。
- 仕様は、入力 V_{ocm} ピンから差動出力平均電圧までとなります。

6.7 代表的特性 (5V 単一電源)

$V_{s+} = 5V$ 、 $V_{s-} = GND$ 、 V_{ocm} はオープン、 50Ω シングルエンド入力から差動出力、ゲイン = $2V/V$ 、 $R_{load} = 500\Omega$ 、 $T_A \approx 25^\circ C$ (特に記述のない限り)



$R_f = 402\Omega$ 、抵抗値については 図 7-1 および 表 8-1 を参照

図 6-1. 小信号周波数応答とゲインとの関係

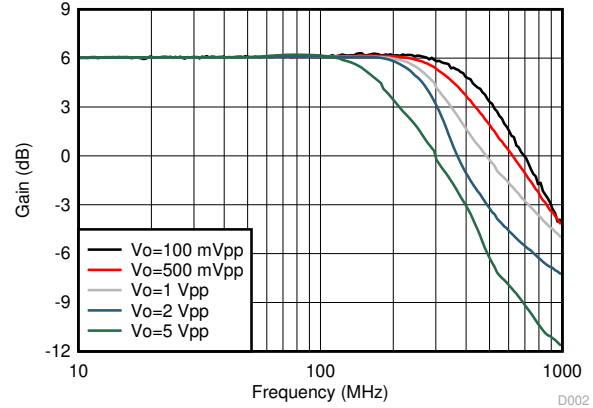
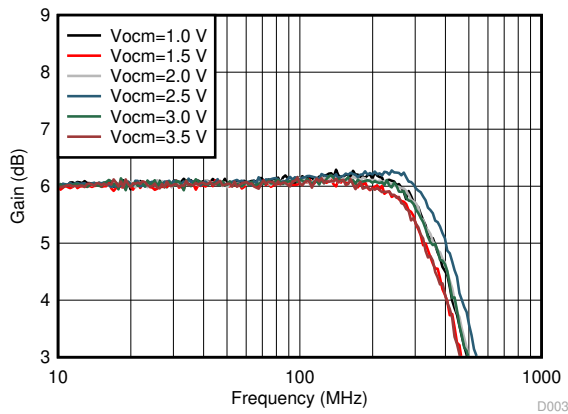


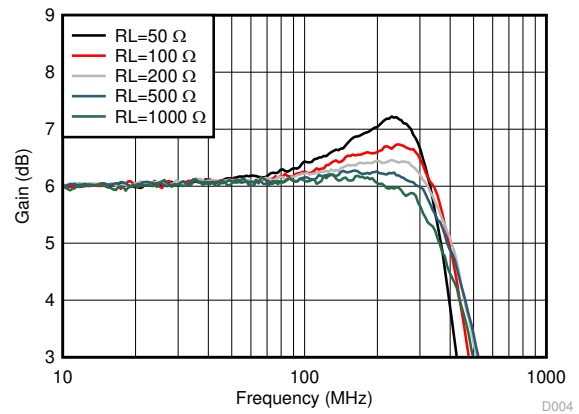
図 7-1 を参照

図 6-2. 周波数応答と V_{opp} との関係



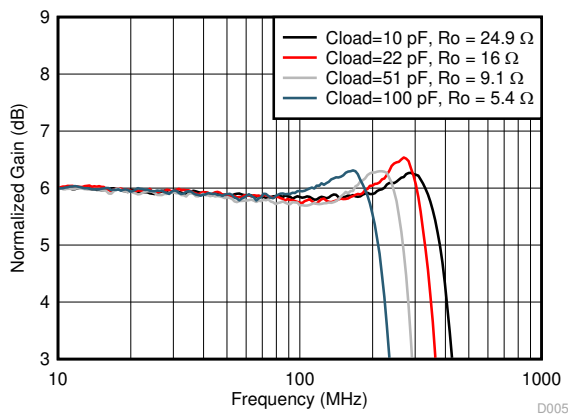
$V_{out} = 100mV_{pp}$ 、図 7-1 を参照、 V_{ocm} は調整済み

図 6-3. 小信号周波数応答と V_{ocm} との関係



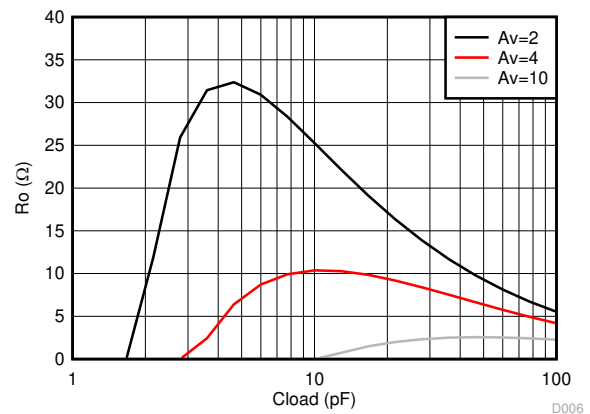
$V_{out} = 100mV_{pp}$ 、図 7-1 を参照、 R_L は調整済み

図 6-4. 小信号周波数応答と R_{load} との関係 (R_L)



負荷 $100mV_{pp}$ 、 $A_v = 2$ (図 7-11 を参照)、 C_{load} の前の出力に 2 つの直列の R_o を追加

図 6-5. 小信号周波数応答と C_{load} との関係

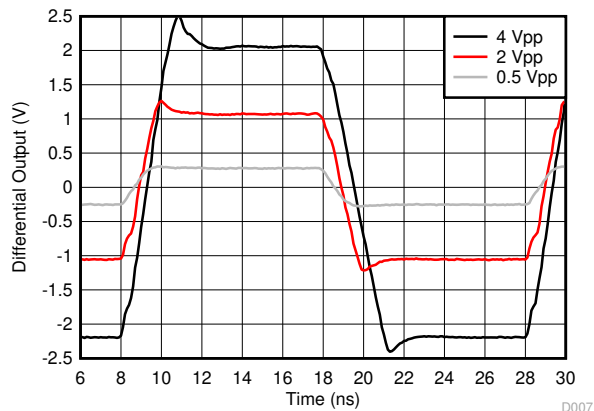


R_o は 2 つの直列出力抵抗であり、 500Ω と並列の差動 C_{load} へ、図 7-11 および 表 8-1 を参照

図 6-6. 推奨される R_o と C_{load} との関係

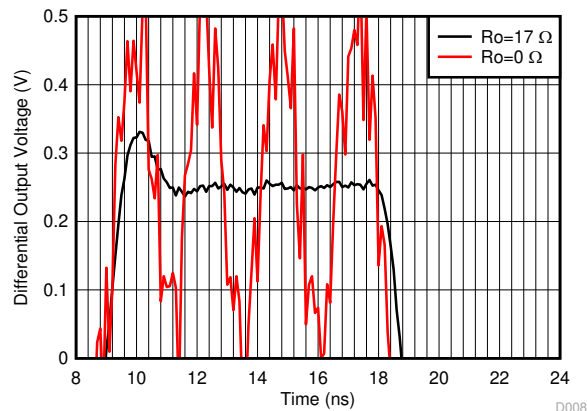
6.7 代表的特性 (5V 単一電源) (続き)

$V_{s+} = 5V$, $V_{s-} = GND$, V_{ocm} はオープン、 50Ω シングルエンド入力から差動出力、ゲイン = $2V/V$, $R_{load} = 500\Omega$, $T_A \approx 25^\circ C$ (特に記述のない限り)



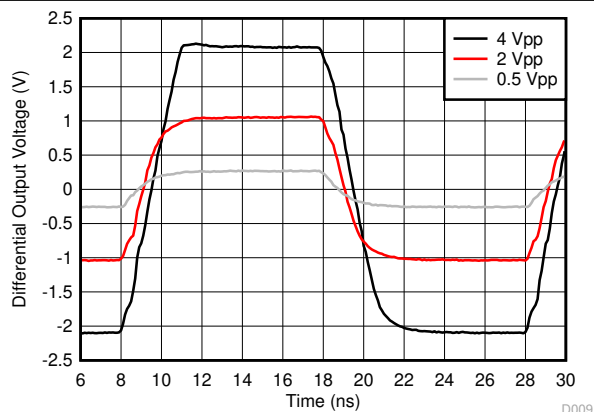
50MHz 入力、0.3ns 入力エッジレート、シングルエンドから差動出力、DC 結合、[図 7-3](#)を参照

図 6-7. 小信号および大信号のステップ応答



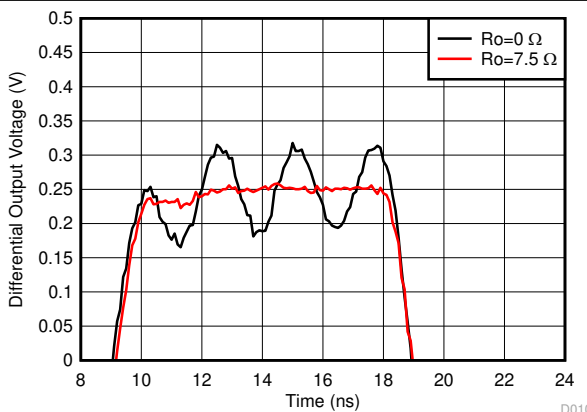
$A_v = 2$, $22pF$ Load への $500mV_{PP}$ 出力、[図 7-11](#)を参照

図 6-8. 容量性負荷へのステップ応答



$G = 5V/V$, 50MHz 入力、0.3ns 入力エッジレート、シングルエンド入力から差動出力、[図 7-3](#)を参照

図 6-9. 小信号および大信号のステップ応答



$G = 5V/V$, $22pF$ Load への $500mV_{PP}$ 出力、[図 7-11](#) および [表 8-1](#)を参照

図 6-10. 容量性負荷へのステップ応答

6.7 代表的特性 (5V 単一電源) (続き)

$V_{s+} = 5V$, $V_{s-} = GND$, V_{ocm} はオープン、 50Ω シングルエンド入力から差動出力、ゲイン = $2V/V$ 、 $R_{load} = 500\Omega$ 、 $T_A \approx 25^\circ C$ (特に記述のない限り)

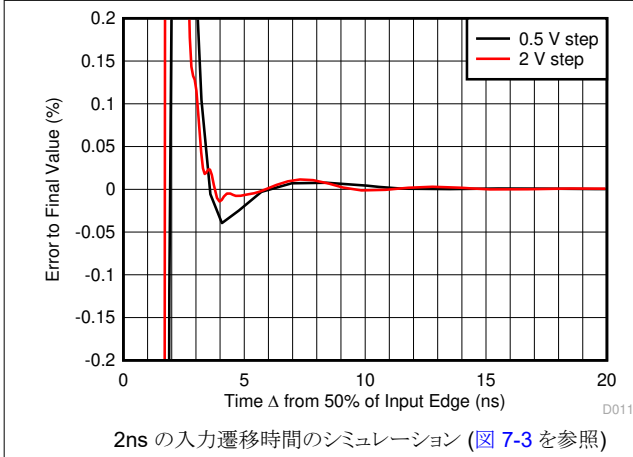


図 6-11. 小信号および大信号ステップ セットリング タイム

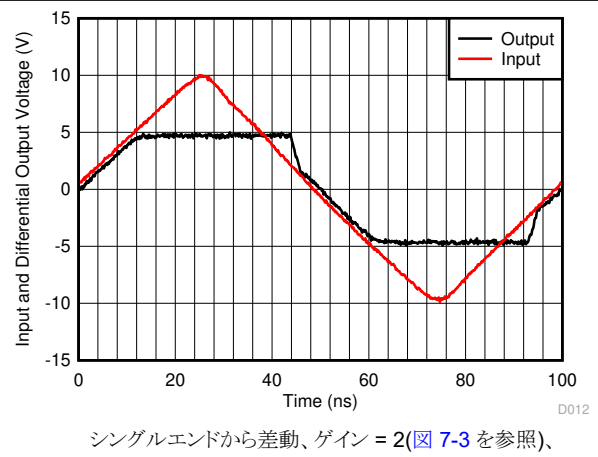


図 6-12. オーバードライブ復帰性能

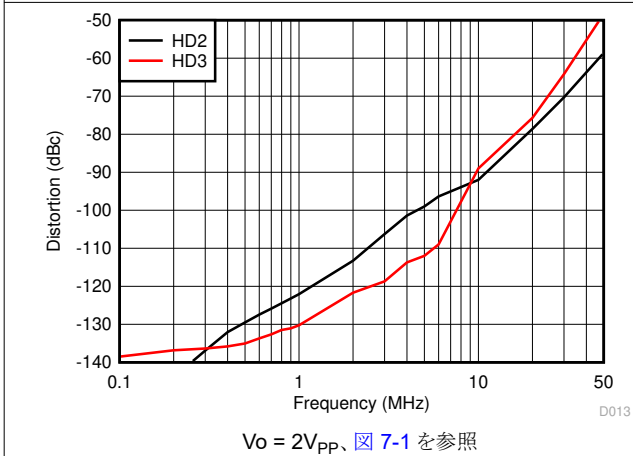


図 6-13. 全周波数帯域の高調波歪み

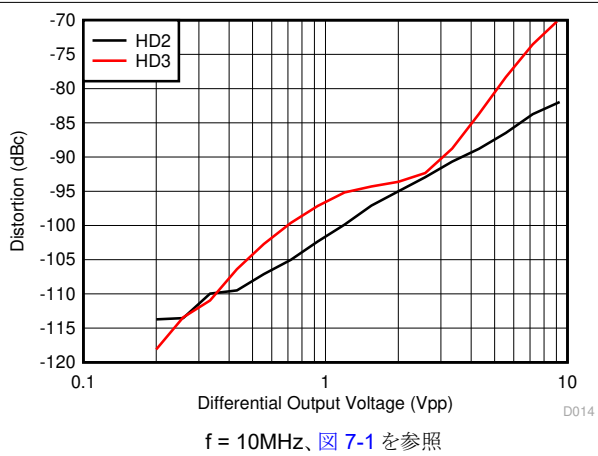


図 6-14. 高調波歪みと出力スイングとの関係

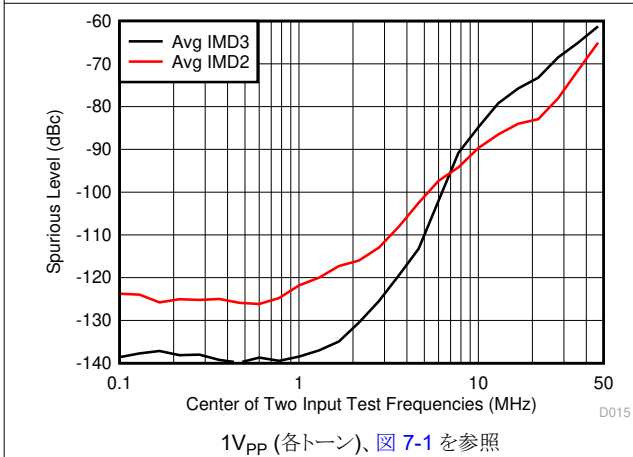


図 6-15. 全周波数帯域の IMD2 と IMD3

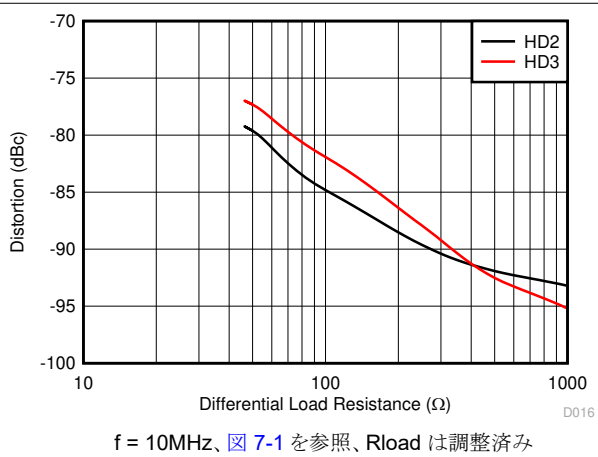
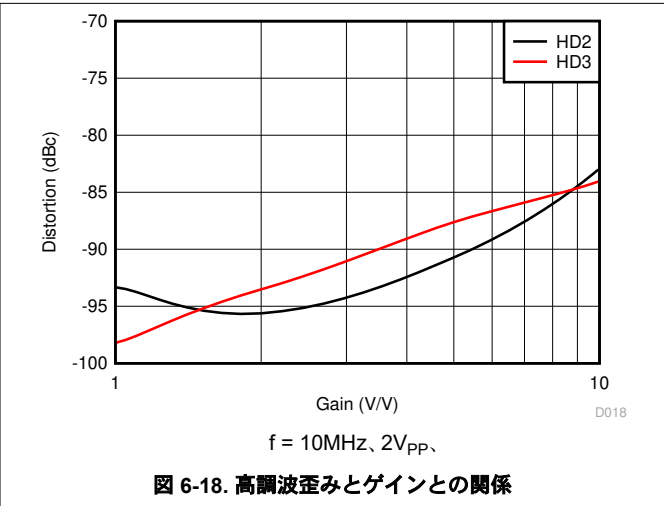
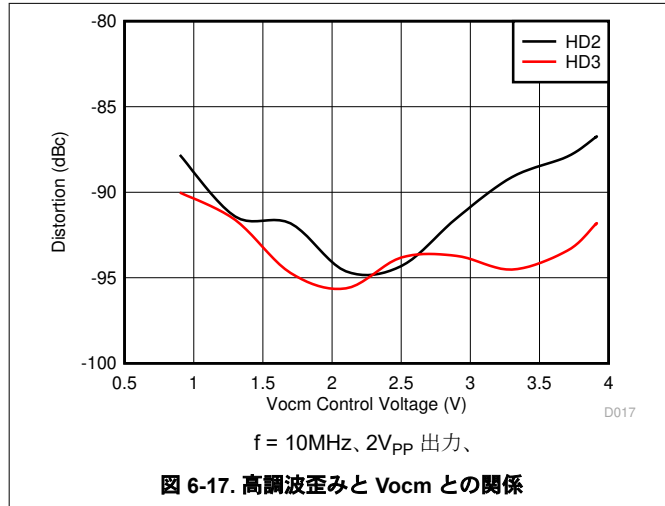


図 6-16. 高調波歪みと R_{load} との関係

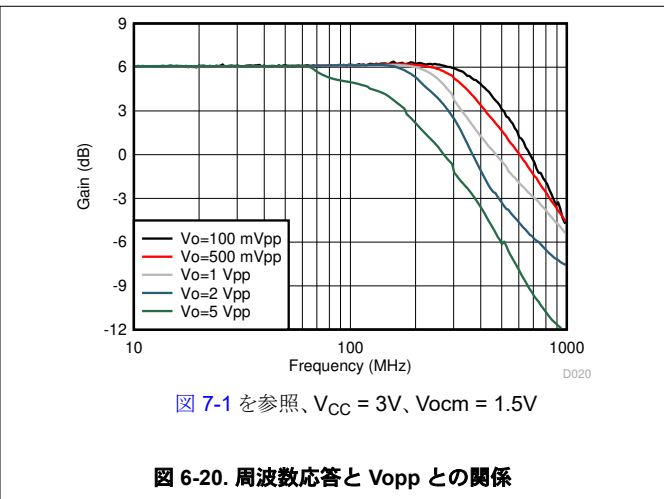
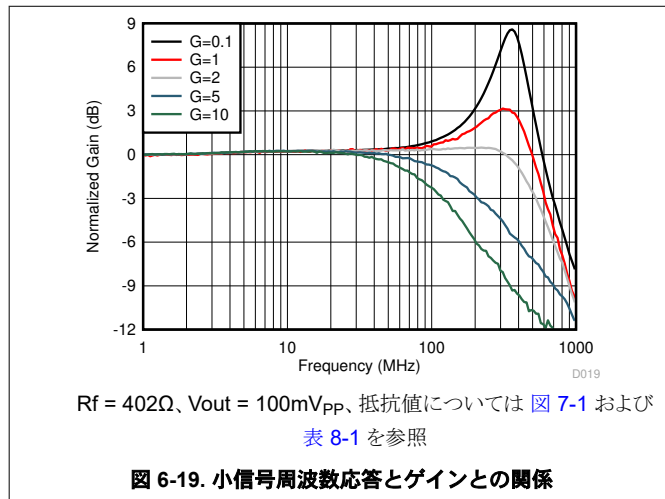
6.7 代表的特性 (5V 単一電源) (続き)

$V_{s+} = 5V$ 、 $V_{s-} = GND$ 、 V_{ocm} はオープン、 50Ω シングルエンド入力から差動出力、ゲイン = $2V/V$ 、 $R_{load} = 500\Omega$ 、 $T_A \approx 25^\circ C$ (特に記述のない限り)



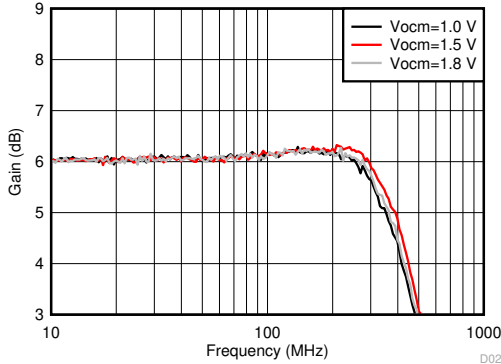
6.8 代表的特性 : 3V 単一電源

$V_{s+} = 3V$ 、 $V_{s-} = GND$ 、 V_{ocm} はオープン、 50Ω シングルエンド入力から差動出力、ゲイン = $2V/V$ 、 $R_{load} = 500\Omega$ 、 $T_A \approx 25^\circ C$ (特に記述のない限り)



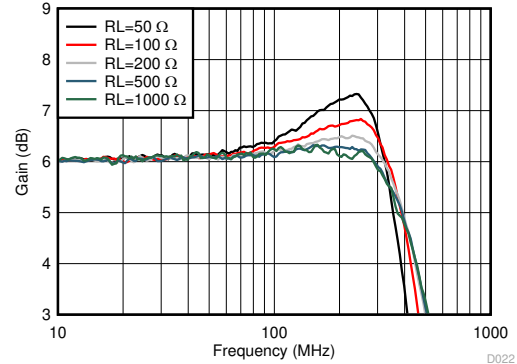
6.8 代表的特性 : 3V 単一電源 (続き)

$V_{s+} = 3V$, $V_{s-} = GND$, V_{ocm} はオープン、 50Ω シングルエンド入力から差動出力、ゲイン = $2V/V$, $R_{load} = 500\Omega$, $T_A \approx 25^\circ C$ (特に記述のない限り)



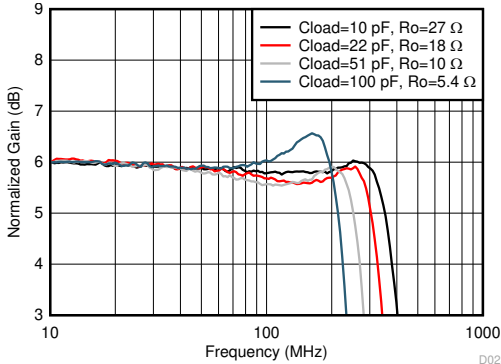
$V_{out} = 100mV_{pp}$, 図 7-1 を参照, V_{ocm} は調整済み

図 6-21. 小信号周波数応答と V_{ocm} との関係



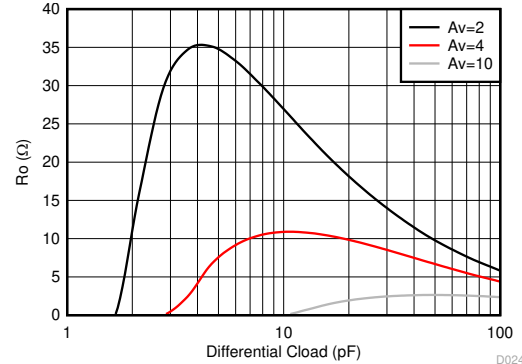
$V_{out} = 100mV_{pp}$, 図 7-1 を参照, R_{load} は調整済み

図 6-22. 小信号周波数応答と R_{load} との関係



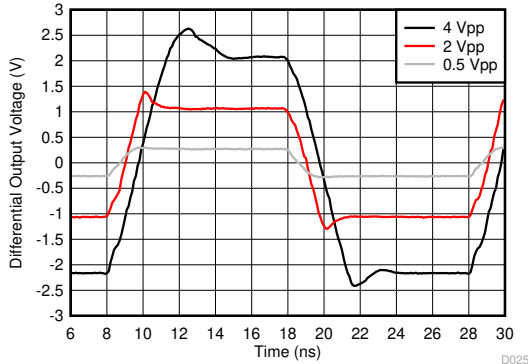
負荷 $100mV_{pp}$, $A_v = 2$ (図 7-11 を参照), C_{load} の前の出力に 2 つの直列の R_o を追加

図 6-23. 小信号周波数応答と C_{load} との関係



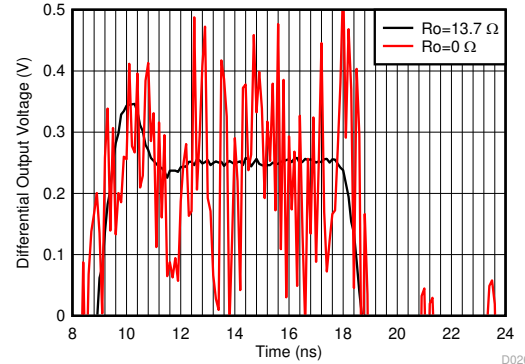
出力の 2 つの R_o と 500Ω と並列の差動 C_{load} , 図 7-11 および表 8-1 を参照

図 6-24. 推奨される R_o と C_{load} との関係



$50MHz$ 入力, $0.3ns$ 入力エッジレート, シングルエンド入力から差動出力, DC 結合, 図 7-3 を参照

図 6-25. 小信号および大信号のステップ応答

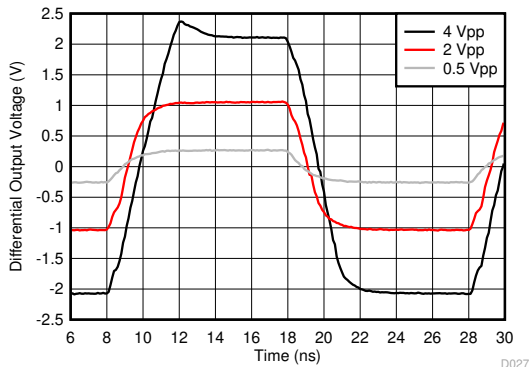


$22pF$ C_{load} への $500mV_{pp}$ 出力, 図 7-11 を参照 ($V_{s+} = 3V$, $V_{ocm} = 1.5V$)

図 6-26. 容量性負荷へのステップ応答

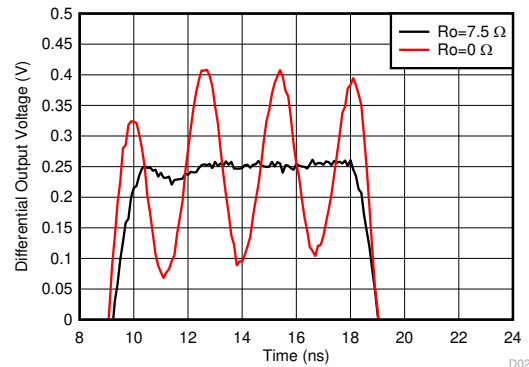
6.8 代表的特性：3V 単一電源 (続き)

$V_{s+} = 3V$, $V_{s-} = GND$, V_{ocm} はオープン、 50Ω シングルエンド入力から差動出力、ゲイン = $2V/V$, $R_{load} = 500\Omega$, $T_A \approx 25^\circ C$ (特に記述のない限り)



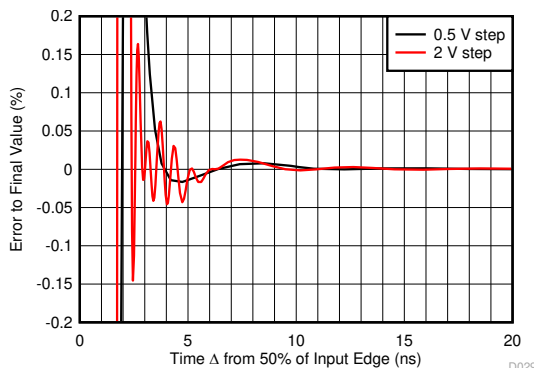
G = $5V/V$, $50MHz$ 入力, $0.3ns$ 入力エッジレート, シングルエンド入力から差動出力, 図 7-1 を参照

図 6-27. 小信号および大信号のステップ応答



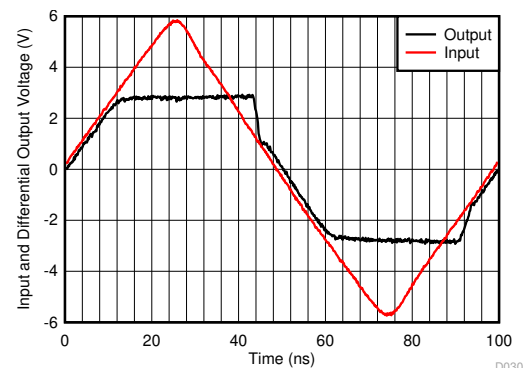
G = $5V/V$, $22pF$ Load への $500mVpp$ 出力, 図 7-11 および 表 8-1 を参照

図 6-28. 容量性負荷へのステップ応答



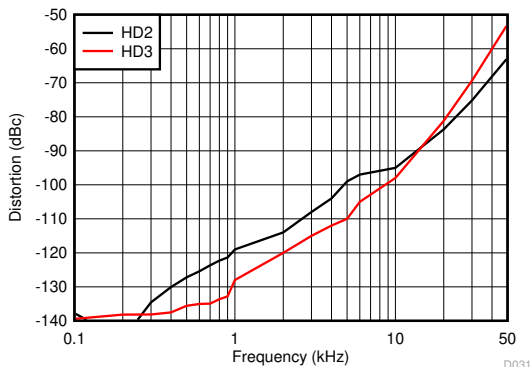
$2ns$ の入力遷移時間のシミュレーション (図 7-3 を参照)

図 6-29. 小信号および大信号ステップセトリングタイム



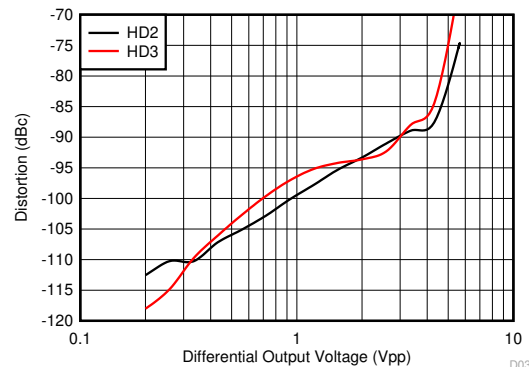
シングルエンドから差動, ゲイン = 2 (図 7-3 を参照), > 2 倍のオーバードライブ

図 6-30. オーバードライブ復帰性能



$2V_{pp}$ 出力, 図 7-1 を参照 ($V_{s+} = 3V$, $V_{ocm} = 1.5V$)

図 6-31. 全周波数帯域の高調波歪み

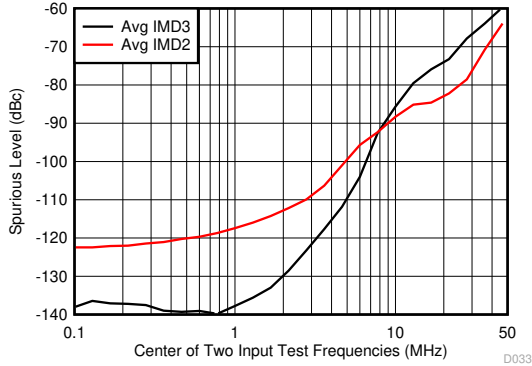


$f = 10MHz$, 図 7-1 を参照 ($V_{s+} = 3V$, $V_{ocm} = 1.5V$)

図 6-32. 高調波歪みと出力スイングとの関係

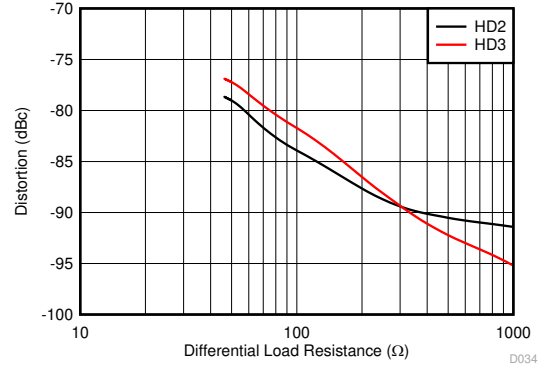
6.8 代表的特性 : 3V 単一電源 (続き)

$V_{s+} = 3V$ 、 $V_{s-} = GND$ 、 V_{ocm} はオープン、 50Ω シングルエンド入力から差動出力、ゲイン = $2V/V$ 、 $R_{load} = 500\Omega$ 、 $T_A \approx 25^\circ C$ (特に記述のない限り)



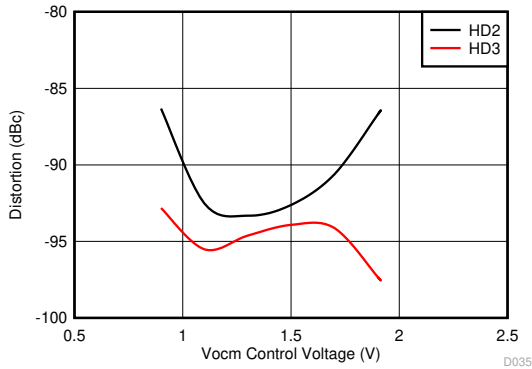
$1V_{pp}$ (各トーン)、図 7-1 を参照 ($V_{s+} = 3V$ 、 $V_{ocm} = 1.5V$)

図 6-33. 全周波数帯域の IMD2 と IMD3



$f = 10MHz$ 、図 7-1 を参照 ($V_{s+} = 3V$ 、 $V_{ocm} = 1.5V$)

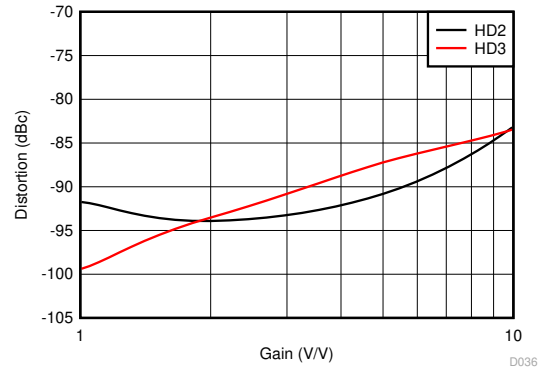
図 6-34. 高調波歪みと R_{load} との関係



$f = 10MHz$ 、 $2V_{pp}$ 出力、

図 7-3 を参照、 V_{ocm} は調整済み

図 6-35. 高調波歪みと V_{ocm} との関係



$f = 10MHz$ 、 $2V_{pp}$ 出力、

ゲイン設定は 図 7-1 および 表 8-1 を参照

図 6-36. 高調波歪みとゲインとの関係

6.9 代表的特性：電源電圧範囲：3V～5V

Vs+ = 3V および 5V、Vs- = GND、Vocm はオープン、50Ω シングルエンド入力から差動出力、ゲイン = 2V/V、Rload = 500Ω、TA ≈ 25°C (特に記述のない限り)

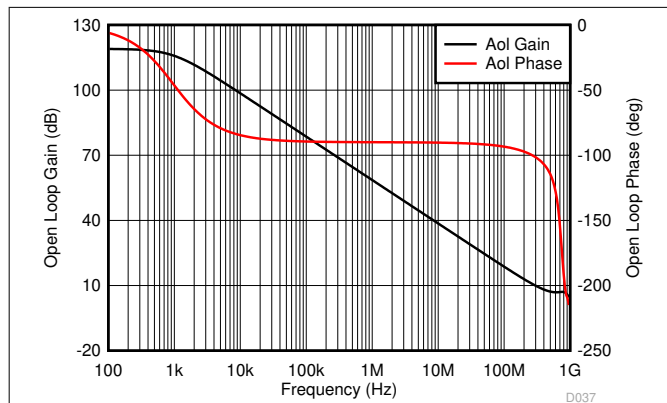
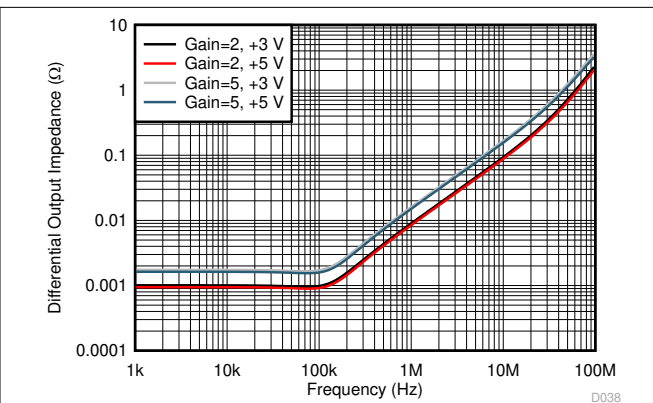


図 6-37. メイン アンプ差動開ループゲインおよび位相と周波数との関係



シングルエンド入力から差動出力、差動出力インピーダンスのシミュレーション、(閉ループ)ゲイン = 2 および 5、図 7-1 を参照

図 6-38. 閉ループ出力インピーダンス

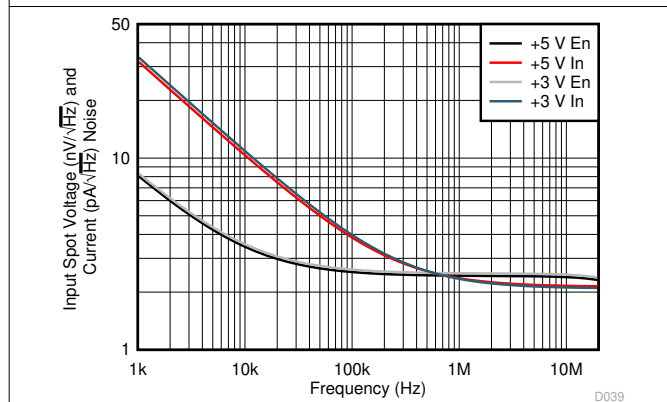
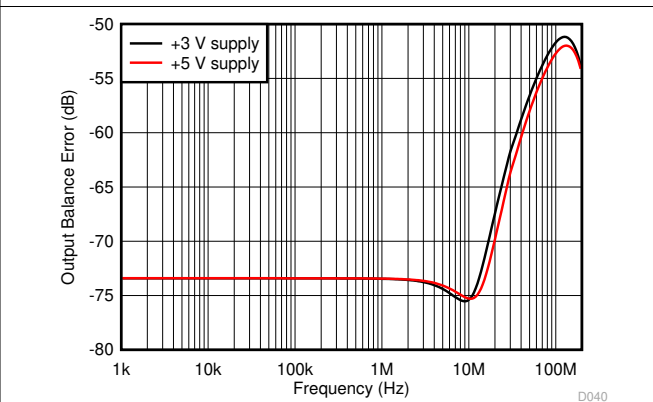
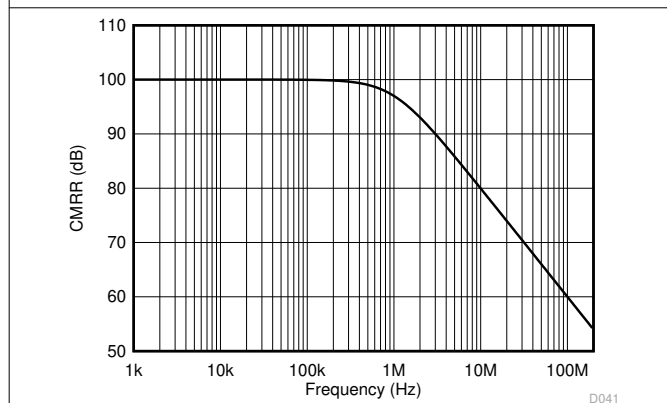


図 6-39. 全周波数帯域の入力スポットノイズ



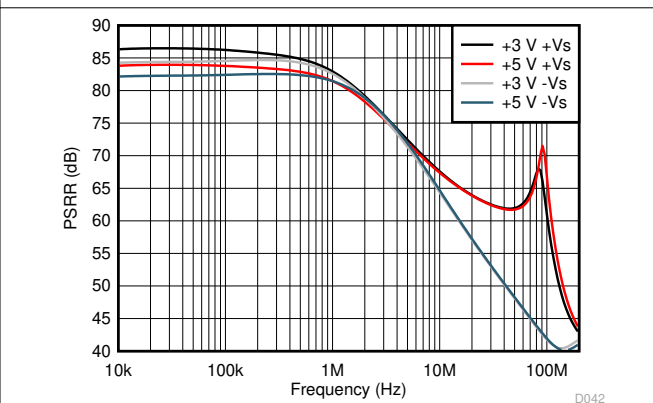
シングルエンド入力から差動出力、ゲイン = 2 (図 7-1 を参照)、1% 抵抗のシミュレーション、ワーストケースのミスマッチ

図 6-40. 全周波数帯域の出力バランス誤差



同相モード入力から差動出力、ゲイン 2 のシミュレーション

図 6-41. 全周波数帯域の CMRR



シングルエンドから差動、ゲイン = 2 (図 7-1 を参照) の差動出力への PSRR シミュレーション

図 6-42. 全周波数帯域の PSRR

6.9 代表的特性：電源電圧範囲：3V～5V (続き)

$V_{s+} = 3V$ および $5V$ 、 $V_{s-} = GND$ 、 V_{ocm} はオープン、 50Ω シングルエンド入力から差動出力、ゲイン = $2V/V$ 、 $R_{load} = 500\Omega$ 、 $T_A \approx 25^\circ C$ (特に記述のない限り)

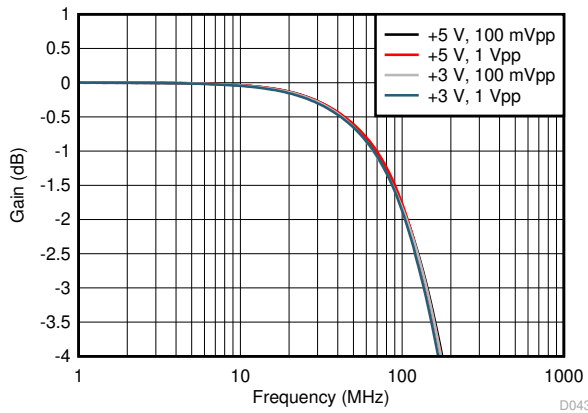


図 6-43. 同相モード、小信号および大信号応答 (V_{ocm} ピン駆動)

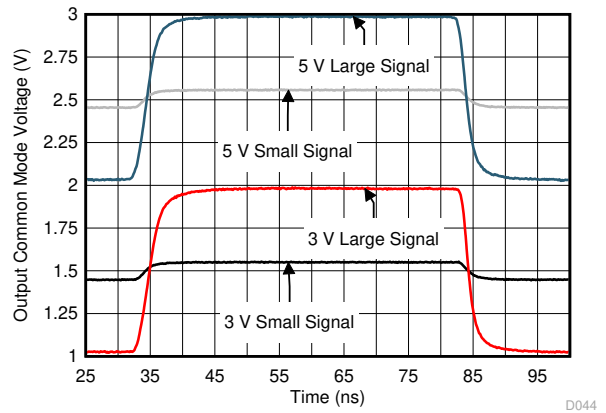
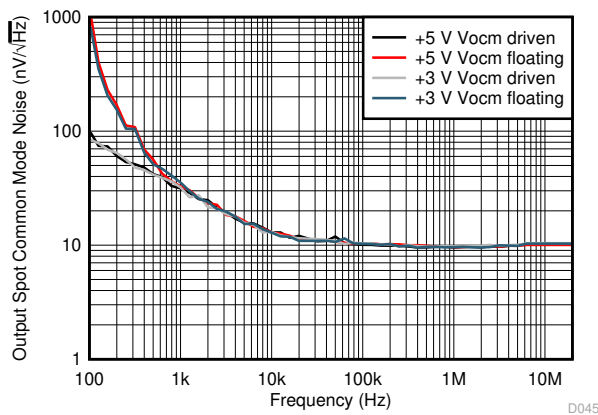
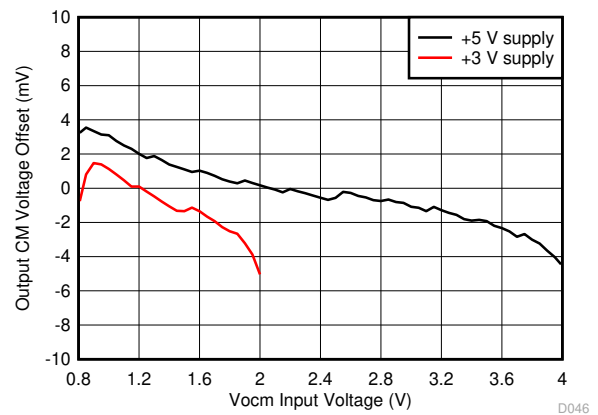


図 6-44. 同相モード、小ステップ応答および大ステップ応答 (V_{ocm} ピン駆動)



V_{ocm} 入力は、低インピーダンスのソースにより中電圧に駆動するか、またはオープンでデフォルトの中電圧とすることが可能

図 6-45. 出力同相モード ノイズ

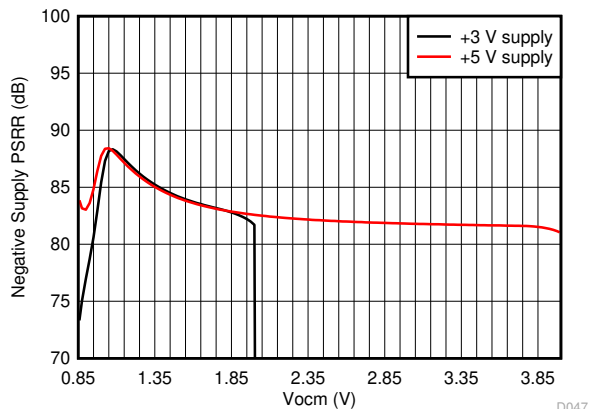


37 ユニットの V_{ocm} 出力オフセットの平均、標準偏差 2.5mV 未満、図 7-3 を参照

図 6-46. V_{ocm} オフセットと V_{ocm} 設定との関係

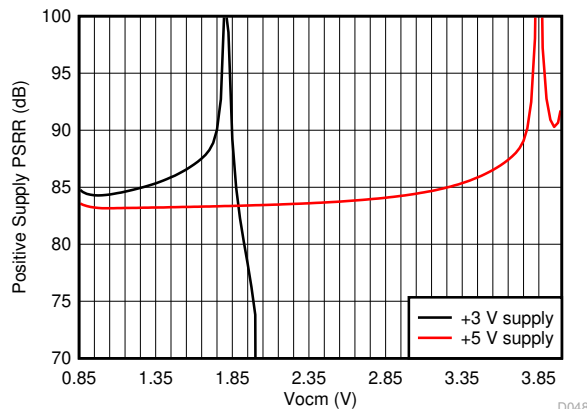
6.9 代表的特性：電源電圧範囲：3V～5V (続き)

$V_{s+} = 3V$ および $5V$ 、 $V_{s-} = GND$ 、 V_{ocm} はオープン、 50Ω シングルエンド入力から差動出力、ゲイン = $2V/V$ 、 $R_{load} = 500\Omega$ 、 $T_A \approx 25^\circ C$ (特に記述のない限り)



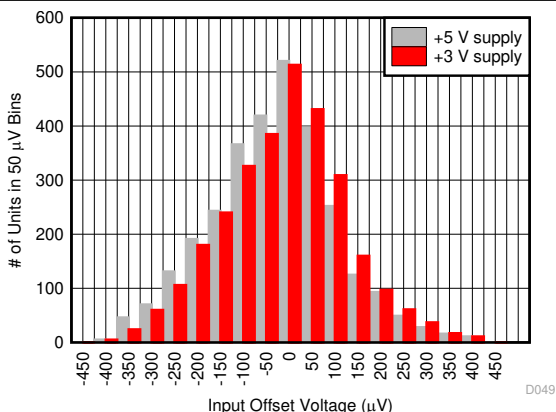
シングルエンドから差動、ゲイン:2 (図 7-1 を参照)、差動出力に対する負電源からの PSRR (1kHz シミュレーション)

図 6-47. -PSRR と V_{s-} に近づいていく V_{ocm} との関係



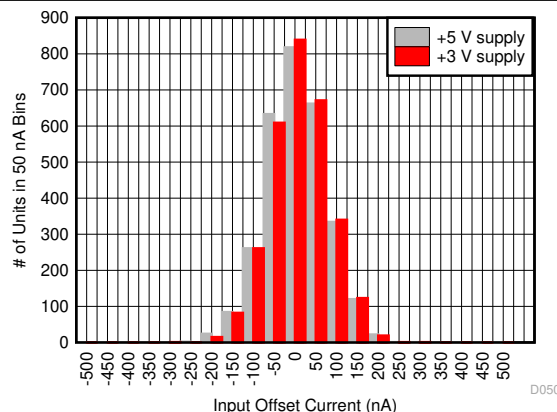
シングルエンドから差動、ゲイン:2 (図 7-1 を参照)、差動出力に対する正電源からの PSRR (1kHz シミュレーション)

図 6-48. +PSRR と V_{s+} に近づいていく V_{ocm} との関係



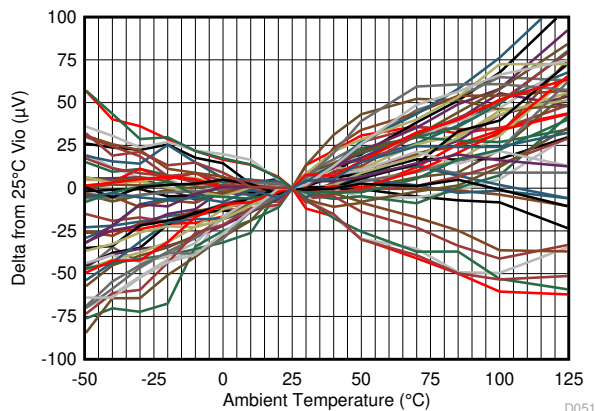
3 ロット、5V 電源でトリムされた合計 2962 ユニット

図 6-49. 入力オフセット電圧



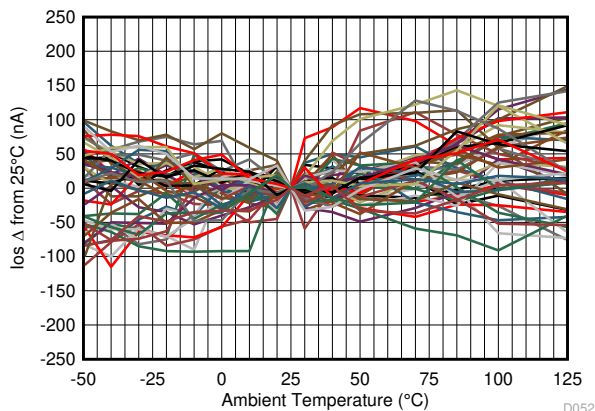
3 ロット、合計 2962 ユニット

図 6-50. 入力オフセット電流



25°C V_{IO} からの 5V および 3V デルタ、25 ユニット

図 6-51. 全温度範囲の入力オフセット電圧

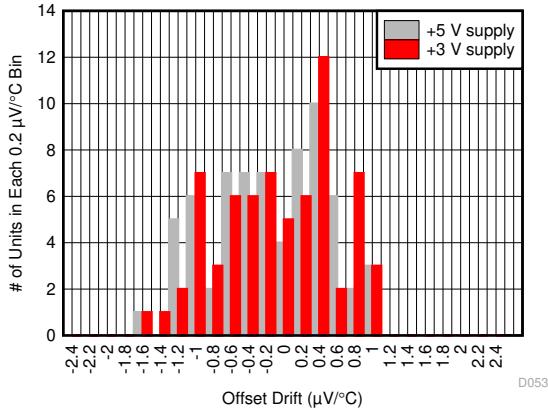


5V および 3V の全温度範囲の I_{OS} 、25 ユニット

図 6-52. 全温度範囲の入力オフセット電流

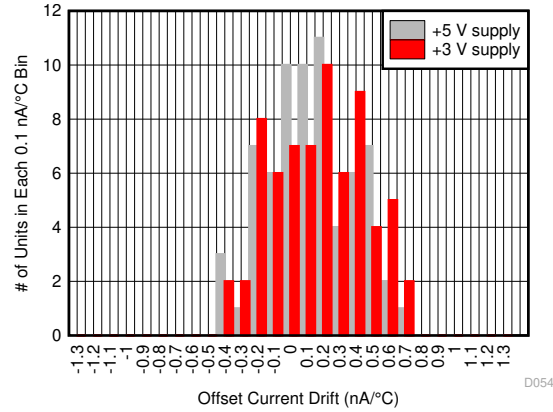
6.9 代表的特性：電源電圧範囲：3V～5V (続き)

Vs+ = 3V および 5V、Vs- = GND、Vocm はオープン、50Ω シングルエンド入力から差動出力、ゲイン = 2V/V、Rload = 500Ω、TA ≈ 25°C (特に記述のない限り)



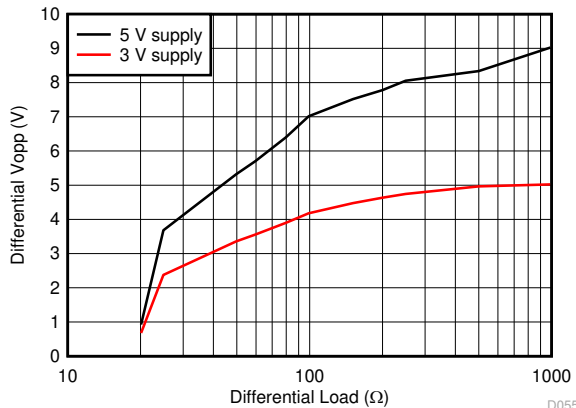
-40°C～+125°Cのエンドポイントドリフト、3 ロット、合計 68 ユニツ

図 6-53. 入力オフセット電圧ドリフト



-40°C～+125°Cのエンドポイントドリフト、3 ロット、合計 68 ユニツ

図 6-54. 入力オフセット電流ドリフト



最大差動出力スイング、Vocm (中間電圧時)

図 6-55. 最大 Vopp と Rload との関係

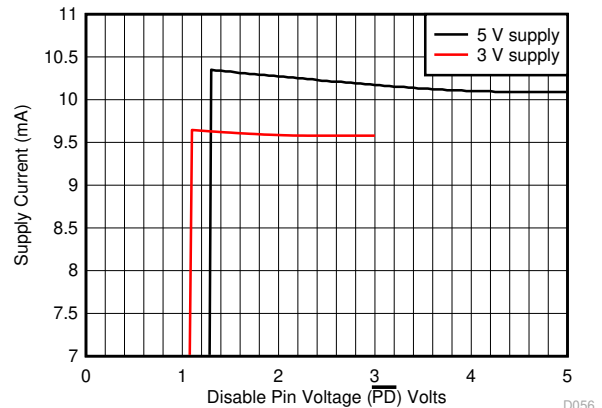
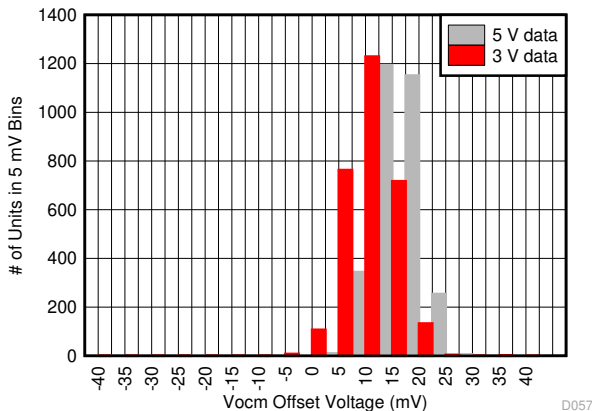
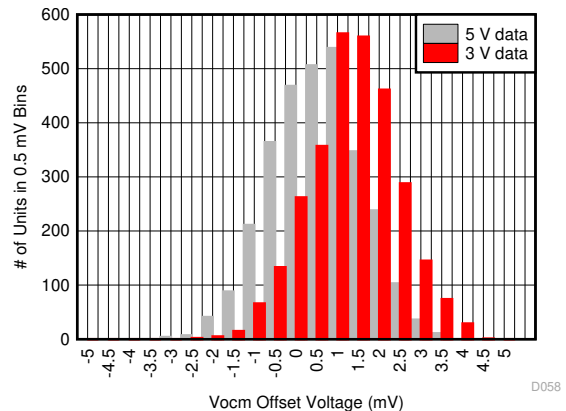


図 6-56. 電源電流と PD 電圧との関係



Vocm 入力オープン、3 ロット、合計 2962 ユニツ

図 6-57. Vs+ / 2 デフォルト値からの同相モード出力オフセット

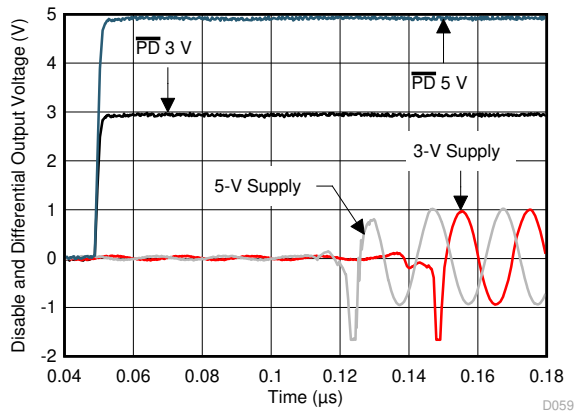


中電圧の駆動入力、3 ロット、合計 2962 ユニツ

図 6-58. 駆動された Vocm からの同相モード出力オフセット

6.9 代表的特性：電源電圧範囲：3V～5V (続き)

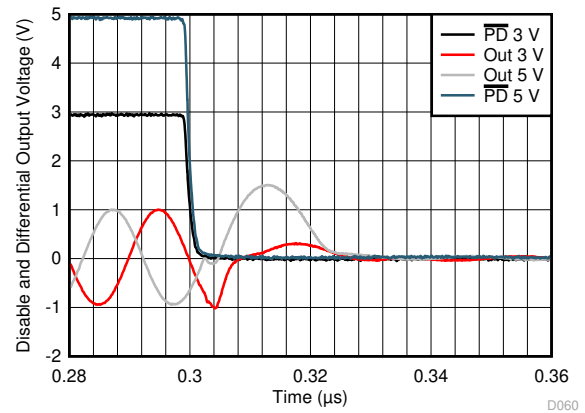
Vs+ = 3V および 5V、Vs- = GND、Vocm はオープン、50Ω シングルエンド入力から差動出力、ゲイン = 2V/V、Rload = 500Ω、TA ≈ 25°C (特に記述のない限り)



10MHz、1Vpp 入力、シングルから差動のゲイン:2、

[図 7-3](#)を参照

図 6-59. PD ターン オン波形



10MHz、1Vpp 入力、シングルから差動のゲイン:2、

[図 7-3](#)を参照

図 6-60. PD ターン オフ波形

7 パラメータ測定情報

7.1 特性評価回路の例

THS4541 は、高精度オペアンプのトリムされた入力オフセット電圧を備えた完全差動アンプ (FDA) 設計の利点を提供します。FDA は非常にフレキシビリティの高いデバイスであり、設定可能な出力コモンモードレベルの中心に純粋な差動出力信号を供給することができます。主な選択肢として、シングルエンドまたは差動入力、AC 結合または DC 結合の信号パス、ゲイン目標値、および抵抗値などを選択できます。図 6-1 ~ 図 6-36 に、より厳しいアプリケーション要件として、シングルエンドから差動への設計に重点を置いた特性を示します。差動信号源は確実にサポートされるため、多くの場合、実装と分析が容易です。

ほとんどの実験機器はシングルエンドであるため、特性回路は、通常、シングルエンドでマッチングのとれた 50Ω 入力終端で動作し、FDA 出力ピンで差動出力となります。その後、テストと周波数範囲に応じて、さまざまなバラン (またはトランス) を介して出力をシングルエンドに戻します。DC 結合、ステップ応答テストでは、トレース演算付きの 50Ω スコープ入力を 2 つ使用します。図 7-1 に、シングルエンドから差動への AC 結合特性評価グラフの出発点となる回路を示します。

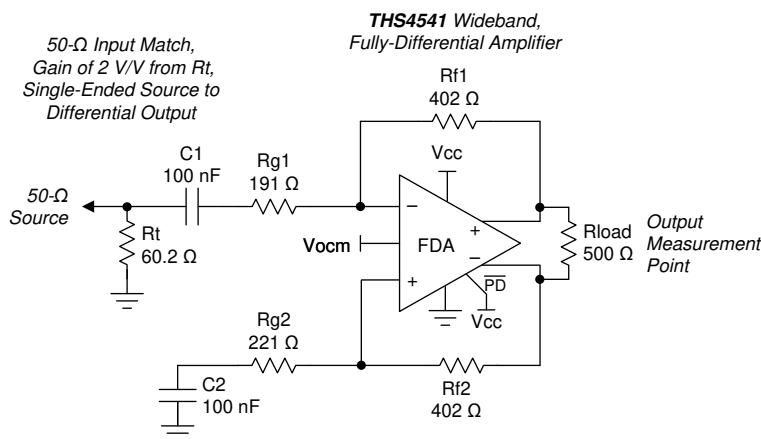


図 7-1. AC 結合されたシングルエンド ソースから 2V/V の差動ゲインへのテスト回路

図 7-1 は、402Ω での R_f ($R_{f1} = R_{f2}$) の値が決定される一般的な特性プロットを示しています。この素子の値はアプリケーションでは完全にフレキシブルですが、402Ω はこの値に関連する寄生的な問題に十分に妥協することができます。具体的には次のような点があります。

- 出力負荷を追加。FDA は、出力全体に追加した負荷として両方の帰還抵抗を備えた反転オペアンプ設計のように動作します。図 7-1 に、合計差動負荷の概算値が $500\Omega \parallel 804\Omega = 308\Omega$ であることを示します。
- 抵抗値に起因するノイズの寄与。これらの抵抗は、 $4kTR$ 項、および入力電流ノイズへのゲイン供給の両方に寄与します (セクション 7.5 を参照)。
- 入力加算ノードの寄生帰還極。この極は帰還 R の値との 0.85pF の差動入力容量 (任意の基板レイアウトの寄生値と同じ) により形成されているため、ほとんどの状況ではノイズゲインがゼロになり、位相マージンが減少します。この影響は、最適な周波数応答平坦度、またはステップ応答オーバーシュートを実現するために管理する必要があります。選択された 402Ω の値は、より低い値において位相マージンがわずかに低下しますが、出力ピン全体の公称値 500Ω から負荷が大幅に減少することはありません。

図 7-1 に、周波数ドメイン特性曲線の出発点となる回路を示します。そこからさまざまな素子を変更して、次に示す種々の設計目標への影響を調べます。

- ゲイン設定は、 R_t および 2 つの R_g 素子を調整することによって変更されます (50Ω の入力マッチングを維持したまま)。
- 抵抗性負荷と容量性負荷の両方を含む出力負荷でテストしています。
- 電源設定。多くの場合、単一電源 +5V のテストでは ±2.5V 電源を使用し、+3V のテストでは ±1.5V 電源を使用します。
- アクティブ チャネル テストでは、ディセーブル制御ピンを V_{s+} に接続します。

ほとんどのネットワークアナライザおよびスペクトラムアナライザはシングルエンド入力であるため、THS4541 の特性テストの出力回路では、通常、対象となる負荷としては、バランを介してシングルエンド 50Ω 負荷に接続されています。これはバラン出力からの 50Ω のソースが、バランに戻る状況を示しています。たとえば、図 7-2 に、図 7-1 で使用される広帯域 MA/Com バランを示します。この回路では THS4541 に 500Ω の差動負荷が示されていますが、ネットワークアナライザには AC 結合された 50Ω のソースが供給されます。通常、歪みテストでは、図 7-2 のようなより広い帯域のインターフェイスから 90° 回転した低周波数の DC 絶縁バラン (TT1-6T など) を使用します。

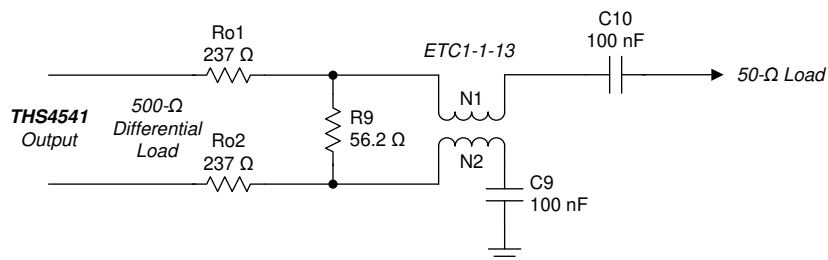


図 7-2. 500Ω 負荷から、シングルエンド、二重終端、AC 結合、50Ω へのインターフェイスの例

このアプローチにより、大きい差動負荷が可能になりますが、広帯域 50Ω の出力マッチングは、信号路の挿入によって相当な損失が発生します。この損失は特性評価では許容可能であり、特性化曲線を示す際には正規化されます。

図 7-3 に、時間ドメインまたは DC 結合テストの開始点として使用する回路を示します。ここでは、図 6-25 および 図 6-27 で使用される 5V/V のゲイン設定を示しています。

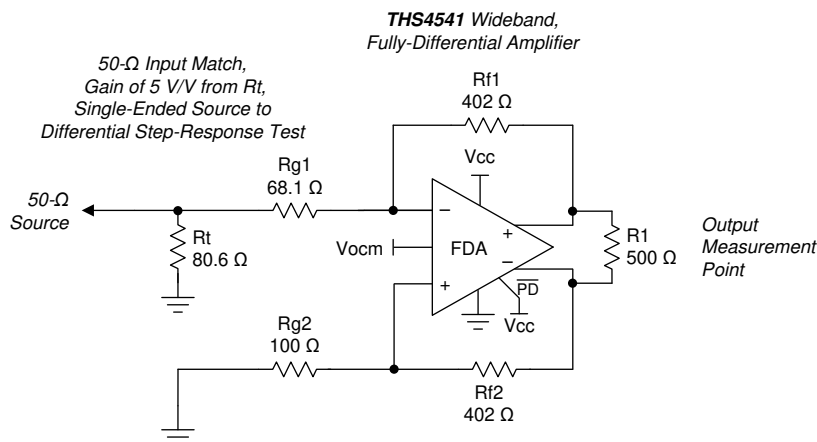


図 7-3. DC 結合、シングルエンドから差動、ゲイン 5V/V に設定した基本的なテスト回路

ここでは、入力は DC 結合で、ソースに 50Ω の入力マッチングがあり、差動出力に 5V/V のゲインが設定されており、ここでも公称値 500Ω の負荷を駆動しています。単一電源を使用すると、Vocm の制御入力をフローティング (デフォルトは中間電位)、または、Vocm ループの許容範囲内で駆動することができます (Vocm のヘッドルームの制限については、電氣的特性の表を参照)。この回路をステップ応答の測定に使用するには、2 つの出力をそれぞれ 250Ω 回路の負荷に接続し、50Ω のソースインピーダンスに変換して 2 つの 50Ω スコープ入力に接続します。次に、スコープ入力の差分によって、図 6-9 および 図 6-27 のステップ応答を生成します。図 7-4 に、出力インターフェイス回路を示します。この接地されたインターフェイスにより、単一電源動作では、出力 Vocm の電圧から DC 負荷電流が流れ込みます。平衡型のバイポーラ電源でこのテストを実行すると、この DC 負荷電流がなくなり、同様の波形が得られます。

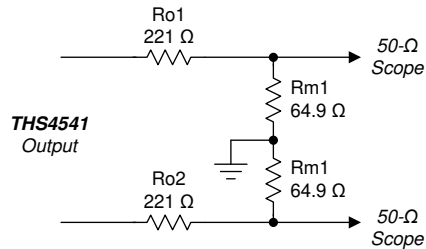


図 7-4. 500Ω 負荷から、差動、二重終端、DC 結合された 50Ω スコープへのインターフェイスの例

7.2 周波数応答の形状係数

図 6-1 は、図 7-1 の回路で 402Ω 固定の帰還抵抗を使用した場合の、ゲインに対する小信号応答を示しています。電圧フィードバックは FDA に基づいているため、THS4541 はゲイン設定によって変化する応答形状を示しています。この応答形状は、主にクロスオーバー時におけるループゲインのクロスオーバー周波数と位相マージンによって決定されます。このループゲインのクロスオーバー周波数は、開ループ応答とノイズゲインが交差する点 (ループゲインが 1 に低下する点) です。ノイズゲインは出力から差動入力への分割電圧の逆数であり、各フィードバックパスでの平衡分圧比を使用します。一般に、ノイズゲイン (NG) は、ソースインピーダンスから入力マッチングを供給する設計においては、信号ゲインと同じではありません。NG は、 $1 + R_f /$ (反転加算接合部からグランドまでの総インピーダンス) によって求めることができます。表 8-1 のゲインスイープで算出した抵抗値を使用して、NG を示すスイープを繰り返すことにより、表 7-1 を求めることができます。ここでは、厳密な R ソリューション飲みを示しています。

表 7-1. $R_f = 402\Omega$ で掃引されたゲインの抵抗値とノイズゲイン⁽¹⁾

信号ゲイン	Rt, EXACT (Ω)	Rg1, EXACT (Ω)	Rg2, EXACT (Ω)	ノイズゲイン
1	55.2	399	425	1.94
2	60.1	191	218	2.85
3	65.6	124	153	3.63
4	72	89.7	119	4.37
5	79.7	67.8	98.3	5.09
6	89.1	54.2	86.5	5.65
7	101	43.2	76.6	6.25
8	117	35.2	70.1	6.74
9	138	29	65.8	7.11
10	170	23.6	62.5	7.44
11	220	18.7	59.3	7.78
12	313	14.6	57.7	7.97
13	545	10.8	56.6	8.11
14	2209	7.26	56.1	8.16

NG は、帯域幅およびすべての出力誤差項 (DC オフセットやノイズなど) にとって非常に重要です。低速デバイスの場合、通常は DC ノイズ ゲインのみを考慮します。ただし、THS4541 の場合、300MHz 以上のループ ゲインクロスオーバーでは、帰還回路により差動加算接合部への寄生極が生成され、ノイズ ゲインは周波数とともに増加します。この極によって、ループ周辺に位相シフトが追加され、想定よりも低いクロスオーバー周波数となります。402Ω の帰還抵抗上にある 0.2pF の寄生が示すように、[図 7-5](#) の帰還回路 (シングルエンド) を考慮します。THS4541 の 0.85pF の差動入力容量は、この片面分析回路の場合、1.7pF の寄生としてシングルエンドに変換されます (ここに示す Rg は [図 7-1](#) の Rg2)。

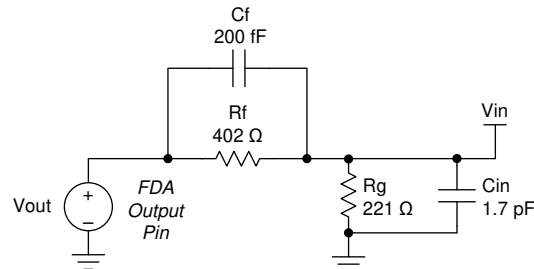


図 7-5. 402Ω を使用して 50Ω ソースにマッチングさせた 2 構成のゲインに対する帰還回路

[図 7-5](#) における Vout から Vin までの応答形状には、極とゼロがあります。NG については、[図 7-5](#) の Vin と Vout をラプラス変換して、その逆数をとることによって、[式 1](#) のように周波数依存の NG 応答が求められます。この式ではゼロが最初に求まり、次に極が求まります。

$$NG = \left(1 + \frac{C_{in}}{C_f}\right) \frac{s + \frac{1 + \frac{R_f}{R_g}}{R_f(C_f + C_{in})}}{s + \frac{1}{R_f \cdot C_f}} \quad (1)$$

ゼロの位置は重要です。[図 7-5](#) の 2 つのゲイン値を使用した場合、NG の推定されるゼロは 588MHz です。加算接合部での寄生容量をグランドまたはパワー プレーンに制限することは、差動と信号エンドのいずれの場合でも、基板レイアウトにおいて重要です。

THS4541 に対して、この帰還モデル、開ループ ゲイン、および位相データを使用することで、[図 7-6](#) に示されるように、全周波数帯域の Aol および NG 曲線が描かれます。ここでは、ノイズ ゲインのピークによって交点は周波数内に引き戻されます。

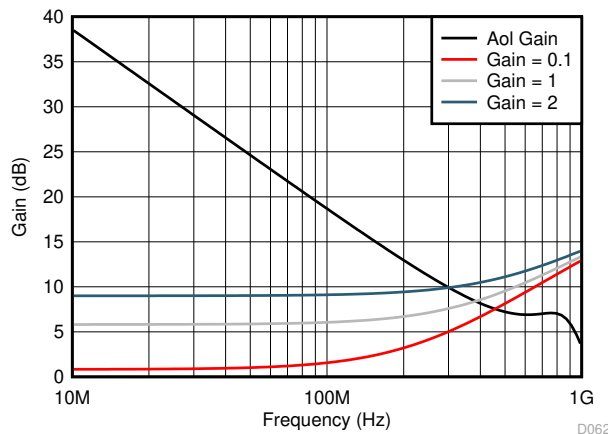


図 7-6. [図 7-1](#) の低ゲインに対する Aol およびノイズ ゲインのプロット

閉ループ帯域幅とピークをするには、THS4541 の Aol 位相からノイズ ゲイン位相を除去して、[図 7-7](#) に示すように、ループ周辺の合計位相を得る必要があります。

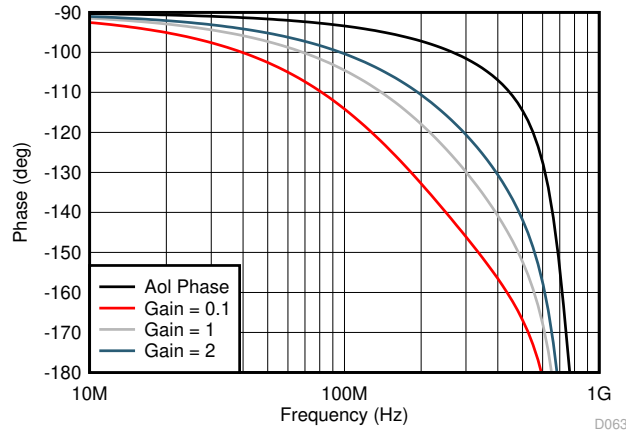


図 7-7. [図 6-1](#) の 3 つの低ゲインに対するループ ゲイン位相

[図 7-6](#) および [図 7-7](#) より [表 7-2](#) を使用して、これらのクロスオーバーにおけるループ ゲインのクロスオーバー周波数と位相マージンを表にすると、[図 6-1](#) の応答形状を説明することができます。

表 7-2. [図 6-1](#) おけるゲイン 0.1、1、2 の推定クロスオーバー周波数と位相マージン

ゲイン	DC NG (V/V)	0dB LG (MHz)	位相マージン (°)
0.1	1.1	457	18
1	1.94	380	41
2	2.85	302	59

これらのクロスオーバー (または 0dB のループ ゲイン) 周波数から、 f_{-3dB} の適切な近似値はクロスオーバー周波数と 1.6 (位相マージンが 65° 未満の場合) を掛けることにより求められます。理想的には、ループ ゲインのクロスオーバーで 65° の位相マージンを確保すると、平坦なバターワース閉ループ応答を実現できます。ゲイン 2 に対して 59° の位相マージンを設定すると、この条件におけるほぼフラットな応答は、 f_{-3dB} から $1.6 \times 302\text{MHz} = 483\text{MHz}$ と算出され、これは測定された 500MHz の SSBW にほぼ一致しています。

アッテネータに 0.1V/V と超低位相マージンを設定すると、[図 6-1](#) に示すようにピーク応答が高くなります。このピークは、[セクション 9.2.1](#) に示すように、帰還コンデンサと入力間の差動コンデンサを使用することで、簡単に補償できます。

ループ ゲイン分析の一部としてノイズ ゲインのゼロを考慮すると、帰還抵抗値を比較的小さくし、THS4541 の入力ピン上のレイアウト寄生容量を最小限に抑えることが、この帰還極の影響を低減するために重要であることがわかります。TINA モデルは、このような問題を予測するのに適しています (このモデルは 0.85pF の差動内部容量を考慮しています)。シミュレーションの加算接合部に外部寄生容量の推定値を追加し、応答形状をより正確に予測します。

7.3 I/O ヘッドルームに関する検討事項

ほとんどの設計の開始点は、通常、出力コモン モード電圧を割り当てることです。AC 結合の信号パスでは、この電圧はデフォルトの中間電位となることが多く、これにより V_{ocm} を中心として駆動可能な最も大きい出力振幅が得られます。DC 結合設計では、この電圧は、 V_{ocm} 制御の仕様に示されるように、電源に必要な最小ヘッドルームを考慮して設定します。次に、目標の出力 V_{ocm} から、必要な出力差動 V_{pp} が電源電圧内に収まっていることを確認します。必要な差動 V_{pp} に対して、式 2 と 式 3 による出力ピンのスイングが絶対最大定格内であることを確認し、さらに、差動 V_{pp} がこのレールツーレール (RR) 出力デバイスの電源レール内に収まっていることを確認してください。

$$V_{o_{min}} = V_{ocm} - \frac{V_{pp}}{4} \quad (2)$$

$$V_{o_{max}} = V_{ocm} + \frac{V_{pp}}{4} \quad (3)$$

例えば、ADC3223 を 3.3V の単一電源を使用して 0.95V_{cm} 制御で駆動する場合、最大出力スイングは、0.95V_{cm} から、グランドより +0.2V 高い電圧へ向かって下降する信号によって設定されます。この 0.75V の片側スイングは、公称値 0.95V_{cm} の出力コモン モードの周囲で $4 \times 0.75V = 3V_{pp}$ の差動として供給されます。ハイサイドの最大出力は、 $0.95 + 0.75 = 1.7V$ です。この結果は、 $3.3V - 0.2V = 3.1V$ と許容最大値内に十分収まります。この $3V_{pp}$ も、この ADC に必要な最大値 $2V_{pp}$ のフルスケール差動入力を十分超えています。ただし、この余分なスイング範囲は、ADC への段階フィルタによって挿入損失が加わる場合に有用です。

出力ヘッドルームが確定したら、入力結合部も動作範囲内に収まるようにします。入力範囲は負電源電圧まで拡張されています (全動作温度範囲で)。そのため、入力範囲の制限は通常、正電源電圧に近づいたときのみ現れます。ここでは、全動作温度範囲にわたって最大 1.3V のヘッドルームが必要となります。

入力ピンは、外部の回路設計、必要な出力 V_{ocm} 、および入力信号特性によって設定される電圧で動作します。差動 – 差動設計では、入力電圧 V_{icm} は入力信号とともに変動しないため、次の 2 つの構成を考慮する必要があります。

- AC 結合の差動入力設計では、 V_{icm} は出力 V_{ocm} と同じです。入力 V_{icm} には、正電源に対して約 1.3V のヘッドルームが必要です。そのため、その値に対する最大 V_{ocm} は、 V_{ocm} の正のヘッドルームの要件である 1.2V から入力ピンに必要な 1.3V に低減されます。出力 V_{ocm} の下限は、全動作温度範囲にわたり負電源に対して約 0.95V であり、入力 V_{icm} の最小ヘッドルーム 0V 以内に十分収まっています。
- DC 結合の差動入力設計では、ソース V_{cm} から THS4541 V_{ocm} の設定までの分割電圧を確認し、結果として得られた分割電圧によって入力 V_{icm} が許容範囲内に収まっていることを確認します。ソース V_{cm} がいずれかの電圧範囲で変動する可能性がある場合は、この結果をその範囲で検証してください。

シングルエンド入力から差動出力への設計では、外部構成により設定される DC V_{icm} 電圧があり、その電圧を中心にして小信号に関連するスイングが発生します。次の 2 つの条件を考慮する必要があります。

- AC 結合のシングルエンド入力から差動への設計では、出力 V_{ocm} の電圧と同じ平均入力 V_{icm} が印加され、入力電圧に応じてその V_{ocm} を中心にして AC 結合のスイングが発生します。
- DC 結合のシングルエンド入力から差動への設計では、ソース信号コモン モードによって設定される公称入力 V_{icm} と出力 V_{ocm} の設定が得られ、分圧器で設定される DC V_{icm} レベルを中心にして小信号に関連するスイングが発生します。

シングルエンド入力から差動出力への設計において、 V_{icm} の電圧範囲を得る方法の 1 つは、FDA 出力の非信号入力側の電圧スイングを決定し、それぞれの分圧器の信号を入力ピンからグランドに戻すか、またはこちら側で使用される DC リファレンス電圧へと戻すことです。この例の解析を 図 7-8 に示します。ここで、図 7-1 の回路はテブナンの定理に基づいたソース インピーダンスを示すため簡略化しています。

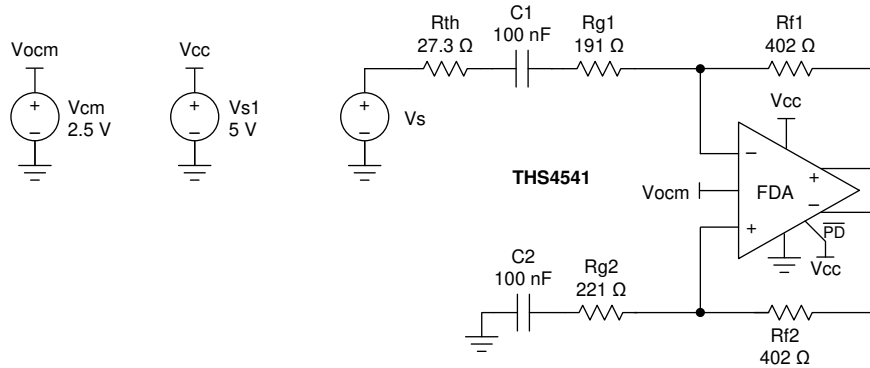


図 7-8. テブナンの定理によるソースを使用した 図 7-1 からの入力信号解析回路

この AC 結合入力解析では、公称 DC 入力 V_{icm} が単純に出力 V_{ocm} になります (この設計例では 2.5V)。次に、帰還回路の下側を考慮すると、必要な最大出力差動 V_{pp} は、 R_{g2} および R_{f2} の結合部で既知の AC V_{pp} を生成します。例えば、設計の意図として最大 $4V_{pp}$ の差動出力を想定している場合、各 FDA 出力ピンは V_{ocm} を中心にして $\pm 1V$ ($= 2.5V$) となり、それが V_{icm} に戻ります。これにより、 V_{ocm} の DC 設定値を中心にして $\pm 1V \times 221 / (221 + 402) = \pm 0.355V$ の電圧が生成されます。これはシングルエンドから差動への設計の場合に、入力 V_{icm} の範囲を評価する簡単な手法であり、入力側の回路を信号ソースとグラウンド、または非信号入力側の電圧リファレンスに分割して低減させることにより、FDA を使用しているすべての設計に適用することが可能です。

7.4 出力 DC 誤差およびドリフトの計算値と、抵抗の不均衡の影響

THS4541 は、トリムされた入力オフセット電圧と、 $-40^{\circ}C \sim +125^{\circ}C$ の温度範囲全体にわたる非常に低いオフセットのドリフトを実現しています。このオフセット電圧は、他のいくつかの誤差寄与項と組み合わせられて、初期の $25^{\circ}C$ の差動オフセット誤差帯域が発生し、その結果、温度に対するドリフトが発生します。各誤差項に対して、その項にゲインを割り当てる必要があります。この解析では、DC 結合信号路のみを検討します。FDA の 2 つの側の抵抗値と比率のミスマッチによる影響から、新しい出力誤差のソース (標準的なオペアンプ解析と比較して) が発生します。同相モード電圧またはドリフトは、外付け帰還抵抗とゲイン設定抵抗の公差、および標準値に対する近似に起因するわずかなミスマッチにより、差動出力誤差が生じます。

誤差項 ($25^{\circ}C$ およびドリフト)、および出力差動電圧へのゲインには、次のものが含まれます。

- 入力オフセット電圧 - この電圧のゲインは、ノイズ・ゲインまたは $1 + R_f / R_g$ に等しくなります。ここで、 R_g は入力ピンからソースまでの合計 DC インピーダンス、または DC リファレンス電圧 (通常はグラウンド) です。
- 入力オフセット電流 - この電流には、平均帰還抵抗値を介しての差動出力へのゲインがあります。

残りの項は、絶対帰還抵抗のミスマッチと FDA の両側の分圧比におけるミスマッチの両方の想定する範囲から発生します。これらの抵抗ミスマッチで最初の項は、 R_f のミスマッチに起因して差動出力オフセットを生じる入力バイアス電流です。単純化のため、上側の R_f および R_g 値は R_{f1} および R_{g1} と呼び、比率は $R_{f1} / R_{g1} \equiv G_1$ になります。下側の素子は R_{f2} および R_{g2} として定義され、比率は $R_{f2} / R_{g2} \equiv G_2$ になります。ワーストケースの寄与を計算するには、設計抵抗の公差の最大変動を絶対値と比のミスマッチに使用します。たとえば、公差 $\pm 1\%$ の抵抗を想定する場合、ワーストケースの G_1 は公称値より 2% 高くなり、 G_2 は公称値より 2% 低くなり、同様にワーストケースの R_f 値は 2% のミスマッチになります。シングルエンドから差動段への R_t および R_{g1} でマッチングされたインピーダンス設計の場合、この初期比のミスマッチに対して、標準値近似により抵抗公差の初期帰還比の固定のミスマッチが生じ、ミスマッチが追加されます。選択する外部抵抗の公差を $\pm T$ と定義します (公差 1% の抵抗、 $T = 0.01$)。

- バイアス電流誤差の合計ゲイン: $\pm 2 \times T \times R_{fnom}$

出力同相レベルを発生させるもの、または温度変化に応じてシフトするものはすべて、2つの帰還比 ($G1$ および $G2$) が等しくない場合に出力差動誤差項を発生させます。出力同相モードでのシフトを発生させることになる誤差は、同相モード制御ループによってオーバーライドされます。この場合、帰還比のミスマッチにより、 V_{ocm} の出力周りに平衡な差動誤差が発生します。

同相モード項と帰還比のミスマッチから差動誤差を発生させる項には、望ましい V_{ocm} 電圧、ソース同相モード電圧のすべて、 V_{ocm} 制御ピンへのリファレンス電圧バイアスのドリフトのすべて、 V_{ocm} 制御パスの内部オフセットとドリフトのすべてが含まれます。

出力同相モード制御とソース同相モード電圧 (V_{icm}) だけを考慮すると、出力差動オフセットへの変換は次の式 4 を使用します。

$$V_{od} = \frac{V_{ocm}(G1 - G2) - V_{icm}(G1 - G2)}{1 + \frac{G1 + G2}{2}} \quad (4)$$

標準値の近似のために $G1$ と $G2$ のミスマッチを無視すると、これら 2 項の変換ゲインは式 5 に示すように、公称 $R_f / R_g \equiv G$ および公差 T の項で計算できます。 G が増加すると、この変換ゲインは $4T$ に近づきます。これは、これらの項が差動オフセットを出力するワーストケースのゲインです。

$$\frac{V_{od}}{V_{ocm}} = \frac{G}{(1 + G)} \cdot \frac{4T}{(1 - T^2)} \quad (5)$$

この差動出力誤差に対する変換ゲインは、次の 2 つの誤差項に適用されます。 V_{ocm} (入力制御ピンが駆動され、フローティングではないことを想定) と、ソース V_{icm} 電圧です。この例では、ソース同相モード電圧が $0V$ であると仮定しています。そうでない場合は、目的のアプリケーションのソースの同相モードの値または範囲にこのゲインを適用します。

これらの項を使用して、ワーストケースの出力の $25^\circ C$ の誤差帯域と、ワーストケースのドリフト (すべての誤差項を個別に追加する) を推定する詳細な例として、 $R_f = 402\Omega$ の図 7-3 の $2V/V$ 構成のゲインを使用し、図 7-9 で使用する標準値で抵抗の公差が $\pm 1\%$ と仮定します。

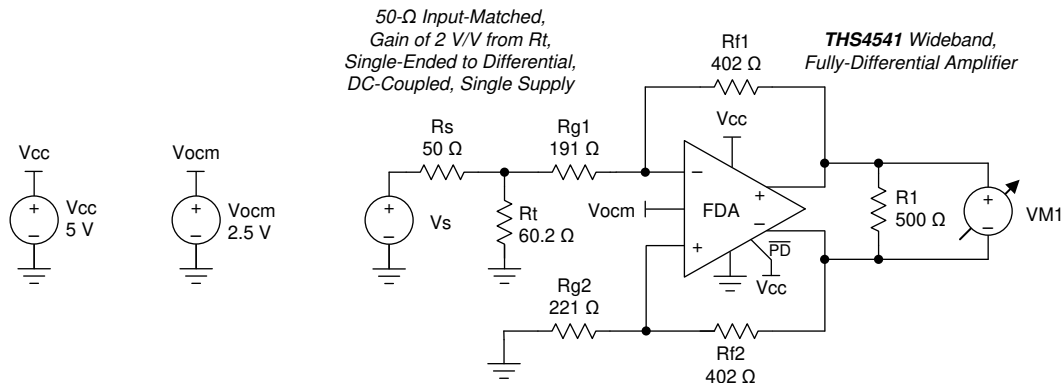


図 7-9. 2 の DC 結合ゲイン、 $R_f = 402\Omega$ 、シングルエンドから差動へのマッチング入力 50Ω インピーダンス

信号入力側の標準値近似では、実際には抵抗の公差に加えて G ミスマッチが追加されます。図 7-9 では、 $G2 = 402 / 221 = 1.819$ 、 $G1 = 402 / 218.3 = 1.837$ (公称) で、1% の抵抗を使用する場合は、 $G2$ および $G1$ (初期値ミスマッチ) に対して $\pm 2\%$ の公差を持ちます。

最高 $25^\circ C$ の誤差項の使用、 V_{ocm} の制御ピンに対する公称 $2.5V$ 入力により、誤差項、出力差動誤差 (V_{od}) に対するゲイン、 $25^\circ C$ での合計出力誤差帯域 表 7-3 が得られます

表 7-3. ワorstケースの出力 Vod 誤差帯域

誤差項	25°C最大値	Vod に対するゲイン	出力誤差
入力 Vio	±0.45mV	2.85V/V	±1.2825mV
入力 Ios	±0.5µA	402Ω	±0.201mV
入力 Ibcm, Rf ミスマッチ	13µA	±8.04Ω	±0.105mV
Vocm 入力, G ミスマッチ	2.5V	±0.0322	±80.5mV
合計			±82.09mV

G 比率ミスマッチに対する 0.03222 の変換ゲインはワorstケースであり、標準値の近似のため最初に大きい G1 値から始まり、その比率の Rf 素子と Rg 素子で ±1% の公差を使用します。実際の Vocm の変換ゲイン範囲は対称ではありませんが、ここではそのように表示しています。最初の 25°C のワorstケースの誤差帯域は、Vod に対する帰還抵抗比のミスマッチによる Vocm の変換が支配的な要素になります。この G マッチングと公差を改善して、この項を低減します。

通常、出力の Vod で予想されるドリフトは、初期誤差帯域よりも重要です。表 7-4 は、これらの項とワorstケースのドリフトを得るためにすべての項を個別に追加した合計の結果を示します。

表 7-4. ワorstケースの出力 Vod ドリフト帯域

誤差項	ドリフト最大値	Vod に対するゲイン	出力誤差
入力 Vio	±2.4µV/°C	2.85V/V	±6.84µV/°C
入力 Ios	±1.3nA/°C	402Ω	±0.522µV/°C
入力 Ibcm, Rf ミスマッチ	15nA/°C	±8.04Ω	±0.121µV/°C
Vocm 入力, G ミスマッチ	±12µV/°C	±0.0322	±0.386µV/°C
合計			±7.86µV/°C

この計算では、入力オフセット電圧ドリフトが出力差動オフセットのドリフトの支配的な要素になります。最後の項では、Vocm のパスのドリフトは、同相モード・パスの内部オフセットのドリフトのみになります。Vocm 入力のソースの追加の外部ドリフトについても検討してください。

THS4541 の絶対精度とドリフトは、非常に優れています。Vocm 制御入力の高ドリフトと組み合わされたミスマッチの抵抗帰還比は、実際に出力 Vod ドリフトの支配的な要素になる可能性があります。出力の差動の精度が入力マッチング精度よりも重要な場合、公称の G1 と G2 のマッチングを改善するために 2 つの入力側のネットワークのマッチングを検討してください。402Ω の帰還値を使用するこの設計例では、入力バイアス電流誤差項のゲインは比較的低くなっています。Rf 値が大きいほど、これらの項のゲインは大きくなります。表 7-4 では、より小さい出力ドリフトの控えめな評価が、各項の相関関係がなく、各項のワorstケース・スパンの RMS の半分であると見なしていることが示されています。この例の計算を実行すると、出力オフセットのドリフトの値が ±3.42µV/°C と小さくなるのが推定され、基本的に入力オフセットのドリフトのワorstケース・スパンの半分になります。外部構成の出力差動オフセットとドリフトを推定するには、これらの手順に従います。

7.5 ノイズ解析

図 7-10 は、出力ノイズ解析の最初のステップを示しています。それは、アプリケーション回路を最も単純な形に削減して、グラウンドに対して、フィードバックおよびゲイン設定素子を等しくすることです。ここでは、FDA および抵抗のノイズ項を考慮します。

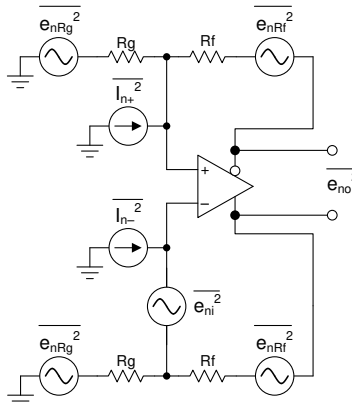


図 7-10. FDA ノイズ解析回路

それぞれの項にノイズ電力が示されています。Rf と Rg の項がそれぞれの側で一致している場合は、差動出力の合計ノイズはこれらの個別の項の RSS になります。式 6 に、 $NG \equiv 1 + Rf / Rg$ を使用した総出力ノイズを示します。各抵抗ノイズの項は、 $4kTR$ 電力です。

$$e_{no} = \sqrt{(e_{ni}NG)^2 + 2(i_nRf)^2 + 2(4kTRfNG)} \tag{6}$$

最初の項は、差動入力スポットノイズとノイズゲインの積です。2番目の項は、入力電流ノイズと帰還抵抗の積です (2つの項があるため、電力は1つの項の2倍になります)。最後の項は、Rf 抵抗と Rg 抵抗の両方で生じる出力ノイズです。出力ノイズ電力は各側に同時に追加されるため、これも2倍になります。50Ω、マッチング、シングルエンドから差動ゲインへの正確な値を使用して、Rf = 402Ω 固定 (表 8-1 を参照) で掃引し、固有雑音 $e_{ni} = 2.2nV$ および $i_n = 1.9pA$ (THS4541 の場合) を使用すると、式 6 より出力スポットノイズが求められます。次に、信号ゲイン (Av) で割ると、入力換算スポットノイズ (ei) が表 7-5 に示すように得られます。

表 7-5. 掃引したゲイン出力および入力換算スポットノイズの計算値⁽¹⁾

Av	Rt, EXACT (Ω)	Rg1, EXACT (Ω)	Rg2, EXACT (Ω)	ノイズゲイン	e _{no} (nV/√Hz)	e _i (nV/√Hz)
1	55.2	399	425	1.94	6.64	6.64
2	60.1	191	218	2.85	8.71	4.36
3	65.6	124	153	3.63	10.7	3.56
4	72	89.7	119	4.37	12.1	3.03
5	79.7	67.8	98.3	5.09	13.7	2.74
6	89.1	54.2	86.5	5.65	15.4	2.56
7	101	43.2	76.6	6.25	16.7	2.39
8	117	35.2	70.1	6.74	17.3	2.16
9	138	29.0	65.8	7.11	18.6	2.06
10	170	23.6	62.5	7.44	18.9	1.89
11	220	18.7	59.3	7.78	19.6	1.78
12	313	14.6	57.7	7.97	20.0	1.66
13	545	10.8	56.6	8.11	20.3	1.56
14	2209	7.26	56.1	8.16	21.1	1.50

(1) Rf = 402Ω

入力換算 e_i が $2.2\text{nV}/\sqrt{\text{Hz}}$ 未満になるのは、THS4541 でゲインが $7\text{V}/\text{V}$ を上回っている場合のみです。これは、ソースインピーダンスが NG の計算式に含まれる場合、NG は A_v 未満となるためです。

7.6 高調波歪みに影響を与える要因

掃引周波数の高調波歪みプロットに示すように、THS4541 では低い周波数で超低歪が発生します。一般に、FDA の出力高調波歪みは、基本周波数においてループ・ゲインで補正される出力段の開ループ直線性に大きく関連します。図 6-16 および 図 6-34 に示すように、負荷インピーダンスの合計が減少するほど (負荷目的で並列に接続した帰還抵抗素子の影響を含む)、出力段、開ループ直線性は低下し、高調波歪みが増大します。図 6-14 および 図 6-32 は、出力電圧のスイングが増大するにつれて、非常に細かいスケールで、開ループ、出力段の非線形性も増大し、高調波歪みも劣化することを示しています。反対に、目標の出力電圧スイングを減少させると、歪みの項は急速に低下します。高調波歪みテストでは、 2V_{pp} を公称スイングとして使用します。この値は標準的な ADC、フルスケールの差動入力範囲を表しているためです。

図 6-18 と 図 6-36 に、ゲインを大きくしてループ・ゲインを小さくする方法を示します。その結果、高調波歪みの項は増加します。アッテネータ設計の容量補償の利点の 1 つは (セクション 9.2.1 の標準的なアプリケーション例に記載)、ノイズ・ゲインを周波数に合わせて縮小させ、より高い周波数で許容可能な位相マージンにおけるクロスオーバーを実現できることです。この補償により、ノイズ・ゲイン・ゼロより低い周波数でループ・ゲインが高く保たれ、この帯域の歪みが改善されます。

出力ピンの電圧スイングが電源電圧のクリッピングにほぼ等しくなると、高調波歪みは急速に劣化します。出力クリッピングは絶対差動スイング、またはスイングはコモン・モード制御により電源の近くに移動可能なスイングのいずれかによって発生します。図 6-17 および 図 6-35 にこの影響を示します。

THS4541 は極めて低い高調波歪みにおける、シングルエンド入力から差動出力への変換時に優れた処理を行います。特性評価には、公差 1% の外部抵抗を使用することで優れた結果を得られます。フィードバック分圧比のバランスが不均衡でも、歪みは直接劣化しません。セクション 7.4 に記載されているゲインでの出力においては、フィードバック比が不均衡になると、コモン・モード入力は差動モードに変換されます。

7.7 容量性負荷の駆動

図 6-8 および 図 6-26 には、非常に一般的な要件として、ADC または他の次の段のデバイスの容量性負荷の駆動について示されています。THS4541 などの閉ループ・アンプで容量性負荷を直接駆動すると、容量性負荷にプロットされたステップ応答に示されるように、応答が不安定になる場合があります。図 7-11 では、この不安定性に対する標準的な解決策の 1 つとして、THS4541 の出力に 2 つの小型の連続抵抗 (R_o) を追加することについて説明しています。図 6-6 および 図 6-24 では、差動容量性負荷の値とゲインに対する推奨 R_o 値のパラメータをプロットしています。

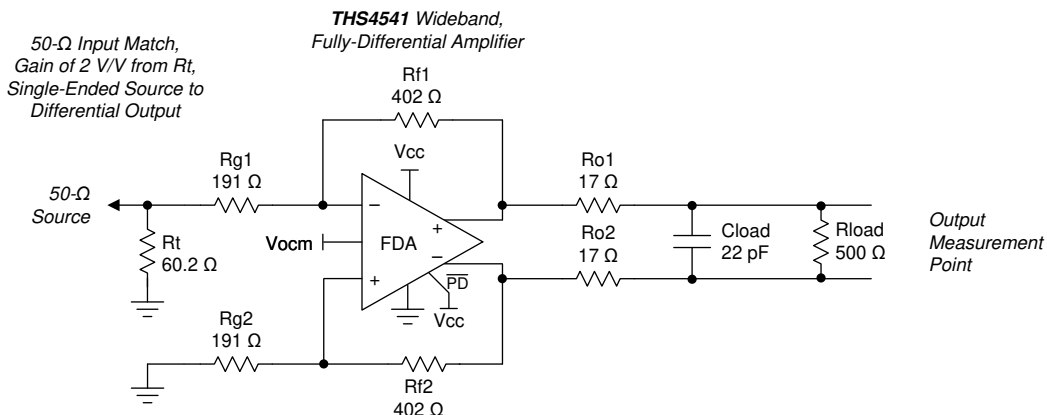


図 7-11. 容量性負荷を駆動する場合の R_o の配置

より高いゲインで動作する場合、低いほうの R_o 値は同じ容量性負荷に対して $\pm 0.5\text{dB}$ のフラット応答を達成する必要があります。図 6-6 および 図 6-24 (R_o 値が 0Ω の場合) では、ゲインの設定を増大させる連続した R_o がない状態で、寄生負荷が直接受け入れられる方法について説明します。これらのプロットにより連続抵抗 R_o が不要とされていても、応答

が受信できない場合に後で調整できるよう、基板のレイアウトに R_o 素子 (R_o 値は 0Ω) を配置しておくことをお勧めします。TINA シミュレーション・モデルは、この効果を予測し、容量性負荷絶縁型抵抗 (R_o) のさまざまな選択肢が及ぼす影響を提示するのに役立ちます。

7.8 熱解析

THS4541 では、内部無信号時消費電力が比較的小さく、16 ピン VQFN (RGT) パッケージの優れた熱インピーダンスとの組み合わせにより、過度に高い内部接合部温度が生じる可能性が低くなっています。10 ピン WQFN (RUN) パッケージは接合部から周囲への熱インピーダンスがはるかに高い ($\theta_{JA} = 146^\circ\text{C/W}$) ため、より詳細な解析を保証できます。

内部接合部温度 (T_J) を推定するには、最初に最大内部消費電力 (P_D) の推定が必要です。内部消費電力には 2 つの要素があります。静止電流電力と、出力段で負荷電流を供給するために使用される電力です。後者をワーストケースで簡略化するため、出力段電力は、電源電圧の半分を使用し、DC 差動電圧で負荷両端を駆動します。次に例を示します。

1. 5% 高い 5V 電源をワーストケースで仮定します。この 5.25V 電源で、11mA の最大 I_{CC} から、無信号時電力項が 58mW になります。
2. 100Ω 差動負荷の両端に 2.5V 一定の差動電圧を印加すると仮定します。この 25mA の DC 負荷電流により、 $(5.25\text{V} - 2.5\text{V}) \times 25\text{mA} = 69\text{mW}$ の最大出力段電力が発生します。
3. このワーストケースの内部 $P_D = 127\text{mW}$ の合計から、超小型の 10 ピン WQFN パッケージの 146°C/W の熱インピーダンスを乗算し、周囲温度からの上昇 19°C が得られます。

この極端な条件と 125°C の最大定格の周囲温度から、接合部温度は最大 144°C となります (絶対最大定格の 150°C より低い)。正確なアプリケーションおよびパッケージについては、同じ計算順序に従って最大の T_J を予測します。

8 詳細説明

8.1 概要

THS4541 は、電圧帰還 (VFA) ベースの完全差動アンプ (FDA) で、トリムされた電源電流と入力オフセット電圧により、 $2V/V$ ゲインで 500MHz を超える小信号帯域幅を実現します。コアの差動アンプは、スルー レートが高く、高精度の入力段を備えた、わずかに非補償型の電圧帰還設計です。この設計により、特性曲線に示す $2V/V$ の小信号帯域幅の 500MHz ゲインが得られ、同じ回路構成で $1500V/\mu\text{s}$ のスルー レート、約 340MHz 、 $2V_{pp}$ 、大信号帯域幅を実現しています。

出力はレール ツー レールに近い出力スイング (どちらの電源にも $0.2V$ のヘッドルーム) が得られ、デバイスの入力には正の電源に必要なヘッドルームが約 $1.2V$ の負のレール入力となります。この負のレール入力は、DC 結合、単一電源設計で、グラウンド周辺のバイポーラ入力を直接サポートしています (図 7-3 を参照)。すべての FDA デバイスと同様に、出力平均電圧 (同相モード) は、別々の同相ループによって制御されます。この出力平均の目標は、 V_{ocm} の入力ピンにより設定されます。このピンはデフォルトの中間電圧付近でオープンにするか、目的の出力同相モード電圧に駆動します。THS4541 の単一 $2.7V \sim 5.4V$ の電源電圧範囲を使用する V_{ocm} の範囲は、負電源よりも $0.91V$ 高い非常に低い値から、正電源よりも $1.1V$ 低い値まで拡張されており、最新の A/D コンバータ (ADC) の入力同相要件に対応しています。

パワーダウン ピン (\overline{PD}) が搭載されています。 \overline{PD} ピンの電圧を負電源レベルにするとデバイスがオフになり、THS4541 は非常に低い無信号時電流状態になります。通常動作時は、 \overline{PD} ピンを High レベルにする必要があります。デバイスを無効化するときには、受動の外部抵抗を介する信号路が依然として存在することに注意してください。無効化した THS4541 に印加された入力信号は、すべての無効化した FDA デバイスと同様に、この受動抵抗パスを経由して、出力に一定のレベルで現れます。

8.1.1 用語とアプリケーションの前提条件

広く使用されているすべてのデバイスと同様に、このタイプのデバイス固有の一般的な用語がたくさん使用されています。主な用語は次のとおりです。

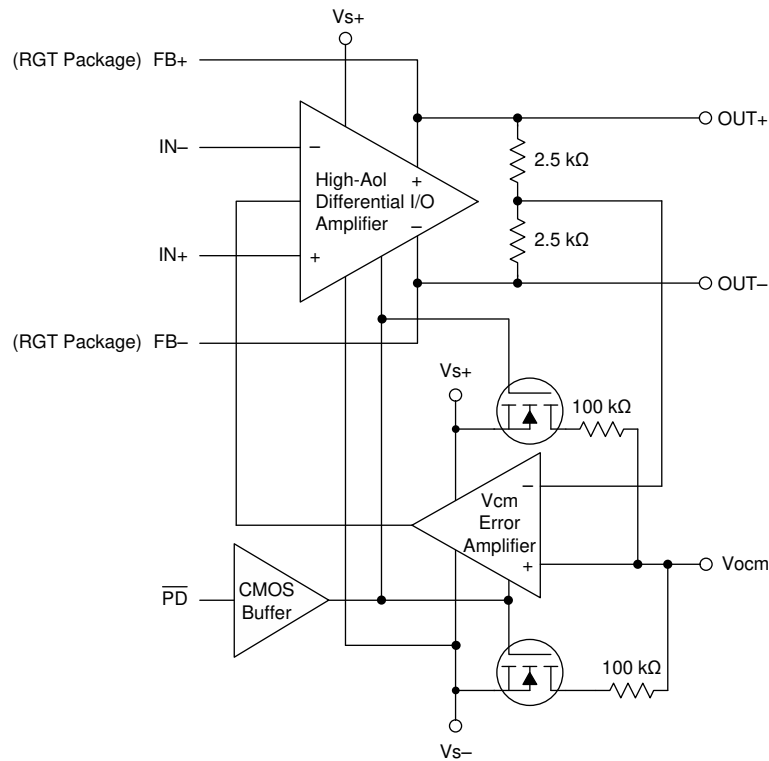
- 完全差動アンプ (FDA) - このドキュメントでは、この用語は、入力抵抗 (高インピーダンス入力ではない) を必要とし、出力平均電圧 (V_{ocm}) をデフォルトまたは設定ポイントに設定する 2 番目の内部制御ループを含む差動反転オペアンプの設計素子に類似の機能を提供するデバイスに限定されます。この 2 番目のループは、一部の構成では差動ループと互いに影響し合います。
- 2 つの出力ピンの目的の出力信号は、同相モード電圧 (2 つの出力の平均電圧) 近くで対称的に変化する差動信号です。
- シングルエンドからの差動構成 - FDA では常に、出力を差動的に使用します。ただし、ソース信号はシングルエンドソースと差動のどちらにもすることができ、どちらの場合も実装の詳細はさまざまです。FDA の動作がシングルエンドから差動への場合、2 つの入力抵抗のうち一方のみが、ソース信号を受け取り、もう一方の入力抵抗は DC 基準電圧 (多くの場合はグラウンド) に接続するか、コンデンサを介してグラウンドへ接続します。

単純化するために、THS4541 のアプリケーションのいくつかの機能は明示的には記述されていませんが、正しい動作に必要です。主な要件は次のとおりです。

- 適切な電源デカップリングが必要です。電源ピンから高周波 $0.1\mu\text{F}$ のデカップリング コンデンサまでの距離を最小にします (0.1 インチ未満)。多くの場合、デバイスの電源ピンに $0.1\mu\text{F}$ の高周波電源デカップリング コンデンサとともに、より大きなコンデンサ ($2.2\mu\text{F}$ が一般的) を使用します (このコンデンサを RGT パッケージの 4 本の電源ピンで共有)。単一電源動作の場合は、正の電源のみにこれらのコンデンサを使用します。分割電源を使用する場合は、各電源とグラウンド間にこれらのコンデンサを使用します。必要に応じて、より大きいコンデンサをデバイスから多少遠く離して配置し、PCB の同じ領域にある複数のデバイス間でこれらのコンデンサを共有します。THS4541 のそれぞれには、近くのグラウンド プレーンに個別の $0.1\mu\text{F}$ コンデンサを取り付けます。多くの場合、ローカルの高周波デカップリング コンデンサに対しては、カスケード接続または複数の並列チャンネルの使用が、より大きいコンデンサのフェライト ビーズを含めて効果的です。

- 電源ピンから高周波 $0.1\mu\text{F}$ のデカップリング コンデンサまでの距離を最小にします (0.1 インチ未満)。デバイスのピンの配置では、グランドおよび電源プレーンのレイアウトを信号 I/O ピンの近くに配置しないでください。ピンとデカップリング コンデンサ間のインダクタンスを最小にするため、電源パターンおよびグランド パターンは狭くならないようにします。電源接続 (ピン 4 とピン 7) は、必ずこれらのコンデンサによってデカップリングする必要があります。2 つの電源間 (バイポーラ動作の場合) にオプションの電源デカップリング コンデンサを使用すると、2 次高調波歪性能が向上します。メイン電源ピンに対して、低い周波数で効果のある、より大きな ($2.2\mu\text{F}\sim 6.8\mu\text{F}$) デカップリング・コンデンサを使用します。これらのコンデンサは、デバイスから多少遠く離して配置します。これらのコンデンサは、PCB の同じ領域にある複数のデバイス間で共有できます。
- 必ずしも記載されているとは限りませんが、イネーブルされたチャンネルのみが必要な場合は、パワー ディセーブル ピンを正電源に接続してください。
- ほとんどすべての AC 特性評価機器は、 50Ω ソースから 50Ω 終端、およびデバイス出力から 50Ω センシング終端へ 50Ω シングルエンドのソース インピーダンスを求めています。この終端は、すべての評価 (多くの場合は挿入損失) で実現されていますが、ほとんどのアプリケーションで必須ではありません。マッチング インピーダンスは、長距離伝送の際に最も多く必要となります。ソースからの ADC 入力の THS4541 を介した狭いレイアウトでは、正しい動作を行うためにソースに定められた終端インピーダンスが必要な場合 (SAW フィルタ ソースなど) を例外として、双方向終端のラインやフィルタ設計は必要ありません。
- 単一電源または分割電源での動作では、このアンプの信号路はフレキシブルです。ほとんどの用途は単一電源であることが想定されていますが、TH4541 全体の供給電圧が 5.5V 未満で、各電源に必要な入力、出力、同相モード ピンのヘッドルームが守られている限り、任意の分割電源設計を使用できます。Vocm ピンは、オープンのままにした場合、デフォルトで使用する分割電源の組み合わせおよび単一電源の中間電圧付近になります。ディスエーブル ピンは、負レールを基準にします。負電源を使用する場合、アンプを無効化するには、ディスエーブル ピンをプルダウンして負電源の 0.7V 以内にする必要があります。
- 外部素子の値は通常、正確でマッチングされていると仮定されます。FDA では、帰還抵抗の値をマッチングし、さらに加算結合部から一方のソース、およびもう一方のリファレンスまたはグランドへの (DC および AC) インピーダンスをマッチングします。これらの値がアンバランスになると、信号路が理想的ではなくなります。信号路について、両側で抵抗比が平衡になっていないと、同相モードの差動変換が行われます。また、Rf 値と帰還比率がミスマッチの場合、いずれかの同相モード DC、AC 信号、またはノイズの項から、差動出力エラーの項がいくつか追加されます。標準的な 1% の抵抗値に対しての概算は標準的なアプローチであり、一般的には帰還比の一定のミスマッチにつながります。抵抗または比率のミスマッチそれ自体では、高調波歪みを低下させません。大きな CM ノイズまたは歪みが入力されると、これらの誤差が素子または比率のミスマッチにより差動誤差に変換されます。

8.2 機能ブロック図



8.3 機能説明

8.3.1 差動 I/O

THS4541 は、コアの差動 I/O、高ゲインブロックに、リファレンス電圧と比較される出力コモン・モード検出を組み合わせたもので、メイン・アンプ・ブロックに帰還して平均出力をそのリファレンスになるよう制御します。差動 I/O ブロックは、約 900Hz のドミナント・ポールを持つ、従来型の高い開ループ・ゲイン段です。この電圧フィードバック構造は、850MHz (ゲイン帯域幅積) でシングル・ポールのユニティ・ゲイン Aol を提供します。高速差動出力には、出力コモン・モード電圧を検出するための平均抵抗ネットワークが内蔵されています。この電圧は、個別の Vcm のエラー・アンプによって、Vpcm ピンの電圧と比較されます。オープンになっている場合、このリファレンス電圧は、2 つの 100kΩ 抵抗を使用して、デバイス全体に供給される電源電圧の半分になります。この Vcm のエラー・アンプは、Vocm ピンにおける出力平均電圧が目標の電圧になるように訂正信号をメイン・アンプに送信します。このエラー・アンプの帯域幅は、メイン差動 I/O アンプとほぼ同じです。

差動出力はコレクタ出力で、レール・ツー・レール出力スイングを行います。これらの出力は比較的高インピーダンスの開ループ・ソースですが、ループを閉じると負荷ドライビングに対する出力インピーダンスは非常に低くなります。この低消費電力デバイスには、出力電流制限、またはサーマル・シャットダウン機能がありません。差動入力、負のレール入力範囲で動作可能な PNP 入力です。

THS4541 を RGT パッケージで動作させるには、外付け抵抗を FB- ピンから IN- ピンに、そして FB+ ピンを IN- ピンに接続します。RUN パッケージの場合は、Rf 経路で OUT- ピンを IN+ ピンに、そして、同じ値の Rf を経路させて OUT+ ピンを IN- ピンに接続します。追加した抵抗を経路させて、入力を IN+ ピンと IN- ピンに供給します。差動 I/O オペアンプは反転オペアンプ構造と同じように動作し、ソースで入力抵抗を駆動する必要があり、ゲインは入力抵抗に対するフィードバック比になります。

8.3.2 パワーダウン制御ピン ($\overline{\text{PD}}$)

THS4541 にはパワーダウン制御ピン $\overline{\text{PD}}$ が搭載されています。アンプを正しく動作させるためには、このピンを HIGH にアサートします。このピンには内部プルアップまたはプルダウン抵抗がないので、無効化時の消費電力を低減しようとして $\overline{\text{PD}}$ ピンをオープンにすることはできません。このピンを LOW レベルにすると (負電源から 0.7V 以内)、THS4541 は非常に低い電流の静止状態 (約 2 μA) になります。デフォルトの Vocm 抵抗列をオープンに切り替えることにより、この 200k Ω 分圧器の電源から中間電位に流れる固定バイアス電流 (25 μA) がなくなります。

8.3.2.1 電源シャットダウン動作時の特長

この CMOS 入力ピンを、必要な動作電圧になるようアサートします。電源が供給されているときにのみデバイスの電源をオンにする必要があるアプリケーションでは、 $\overline{\text{PD}}$ ピンを正の電源電圧に接続してください。

$\overline{\text{PD}}$ ピンが正電源ピンよりも多少低い場合は、静止時電流が少し大きくなります。図 6-56 を参照してください。最小オン電力の場合は、このピンを正の電源電圧にアサートします。

ディスエーブル動作は負電源を基準としており、通常はグランドです。分割電源動作の場合、グランド以下の負電源で、負電源が -0.7V を超えるときは、THS4541 をオフにするためにディスエーブル制御電圧をグランド以下にする必要があります。

単一電源動作の場合は、動作を維持するために、最小で負電源 (この場合はグランド) より 1.7V 以上の電圧が必要です。この最小ロジック High レベルにより、1.8V の電源ロジックから直接動作します。

8.3.3 入力オーバードライブ動作

THS4541 の入力段アーキテクチャは、すべてのアプリケーションで必要とされる直列入力抵抗を使用しており、入力オーバードライブに対して本質的に堅牢です。大きい入力オーバードライブがあると、出力が最大振幅に制限されます。このため、 R_g 抵抗を流れる残りの入力電流は、2 入力間にある内部のバック ツー バック保護ダイオードによって吸収されます。これらのダイオードは通常のアプリケーションではオフになっていますが、大きい入力オーバードライブが発生した場合に、ソース インピーダンスを通過して、またはすべての設計に必要とされる直列 R_g 素子を通して流れる電流を吸収するときのみオンになります。図 6-12 および 図 6-30 に、出力可能な振幅の 2 倍に駆動しようとする入力オーバードライブに対する、非常に優れた出力制限および短い復帰時間を示します。

内部入力ダイオードは、オーバードライブ状況で最大 $\pm 15\text{mA}$ まで安全に吸収できます。さらに多くの電流を吸収する必要がある設計の場合は、図 9-4 の ADC インターフェイスの設計例で使用されている BAV99 デバイスなどの外部保護ダイオードを追加することを検討してください。

8.4 デバイスの機能モード

この広帯域 FDA は、正しい信号パス動作のために外部抵抗を必要とします。これらの外部抵抗で目的の入力インピーダンスとゲインを設定するよう構成されている場合、 $\overline{\text{PD}}$ ピンを $(\text{Vs-}) + 1.7\text{V}$ 以上の電圧にアサートしてオンにすることも、または $\overline{\text{PD}}$ を Low にアサートしてオフにすることも可能です。アンプを無効にすると、静止時電流がシャットオフされ、アンプの訂正動作が停止します。外部抵抗を通過するソース信号の信号路はまだ存在しています。

Vocm の制御ピンにより、出力の平均電圧が設定されます。オープンの状態では、 Vocm のデフォルト値は内部の中間電位値になります。電圧リファレンスを使用してこの高インピーダンス入力を有効範囲内で駆動すると、内部の Vcm エラーアンプの目標値を設定できます。

8.4.1 シングルエンド ソースから差動出力への動作

FDA デバイスがサポートする最も有用な機能の 1 つは、シングルエンド入力から差動出力へ、コモン モード レベルでユーザー制御を中心に簡単に変換できることです。出力側は比較的簡単ですが、デバイスの入力ピンは入力信号とともにコモン モード検出で変化します。入力信号とともに入力ピンで動いているこのコモン モード電圧は、見かけ上の入力インピーダンスを増加させて、 R_g 値より大きくなるように動作します。この入力アクティブ インピーダンスの問題は、AC 結合と DC 結合の設計の両方に適用されます。このアクティブ インピーダンスについては、以下のサブセクションに示すように、抵抗についてある程度複雑な解決策が必要です。

8.4.1.1 シングルエンド入力から差動出力への変換における AC 結合信号パスの検討事項

信号パスを AC 結合できる場合、THS4541 の DC バイアスは比較的単純な作業になります。すべての設計で、最初は出力コモン モード電圧を定義します。AC 結合の問題は、FDA 設計の入力側と出力側に分けることができます。入力を AC 結合して出力を DC 結合するか、または、出力を AC 結合して入力を DC 結合するか、または、両方を AC 結合することも可能です。出力を DC 結合する (入力は AC 結合) という状況の 1 つは、Vocm 制御電圧が ADC コモン モードリファレンスを使用して FDA 出力コモン モードを直接バイアスすることにより必要な ADC 入力コモン モードを得ているときに、その ADC を直接駆動する場合です。いずれの場合も、設計を行うには最初に目標の Vocm を設定します。AC 結合パスが出力ピンの先につながっている場合、直線性を最大限にするには Vocm を中間電位で動作させます。Vocm の電圧は、ヘッドルームの仕様で規定されているようにコモン モード ループのリニア動作範囲内である必要があります (負電源より約 0.91V 高く、正電源より 1.1V 低い)。出力パスも AC 結合されている場合、通常は、単に Vocm の制御ピンをオープンにすることが推奨されます。これは、最小限の素子で中間電位のデフォルト Vocm バイアスを取得するためです。ノイズを抑えるには、0.1μF のデカップリング コンデンサを Vocm ピンの接地側に配置します。

Vocm を定義してから、目標の出力電圧スイングを確認し、Vocm とその正側または負側、それぞれの出力スイングが電源にクリップされないことを確認します。目標の出力差動スイングを Vopp と定義すると、2 つの各出力ピンにおける Vocm の前後 ±Vp スイングを求めるには、4 で割ります (各ピンは互いに 180° の位相差で動作している)。Vocm ±Vp が、このレール ツー レール出力 (RRO) デバイスの絶対電源レールを超えていないことを確認します。

デバイスの入力ピン側については、無信号入力側のソースとバランシング抵抗の両方が DC ブロックされるため (図 7-1 を参照)、出力コモン モード電圧からコモン モード電流は流れないため、入力コモン モードと出力コモン モード電圧を同じ値に設定します。

この入力ヘッドルームにより、さらに高い Vocm 電圧についても制限が設定されます。AC 結合されたソースの場合、入力 Vicm は出力 Vocm であるため、正の電源への入力ピンの 1.2V 最小ヘッドルームは出力ピンの 1.1V ヘッドルーム制限値よりも優先されます。また、「セクション 8.4.1.3」セクションに記載されているように、この入力 Vicm は入力信号によって DC バイアス点付近まで変化します。

8.4.1.2 シングルエンドから差動への変換における DC 結合入力信号パスの検討事項

出力に関する検討事項は、AC 結合の設計と同じです。出力は AC 結合であっても、入力を DC 結合にすることは可能です。AC 結合出力を持つ DC 結合入力には、ソースがグランド基準の場合に、入力 Vicm を下に移動させる利点があります。ソースが THS4541 に対して DC 結合されている場合 (図 7-3 を参照)、入力回路の両側を DC 結合にして差動バランスを保つ必要があります。通常、無信号入力側には、ソースにミッドレンジまでバイアスされる Rg 素子を配置します。このミッドスケール参照により、出力における平衡差動型スイングは Vocm に近づきます。多くの場合、DC 結合やバイポーラ入力アプリケーションでの Rg は単純に接地されます。この構成では、ソースがグランド近くでスイングする場合、平衡差動型出力となります。ソースがグランドから正の電圧にスイングする場合、Rg を接地することにより、Vocm における 2 つの出力 (入力側が接地されている場合) からスイングの 1 極性に対してユニポーラ出力差動スイングが発生します。Rg2 を入力信号に対して予想されるミッドポイントまでバイアスすると、Vocm 付近で差動出力スイングが発生します。

DC 結合入力に関する重要な検討事項の 1 つは、出力から Rf および Rg を通ってソースに戻るコモン モード バイアス電流が、Vocm によって両側のフィードバックに発生することです。入力バランシング ネットワークがない場合は、ソースがこの DC 電流をシンクまたはソースする必要があります。もう 1 つの Rg 素子の入力信号範囲とバイアスを設定して、Vocm から Rf と Rg (可能なら Rs も) を通って Vin までの分割電圧が、デバイスの範囲内に収まっている入力ピンで入力 Vicm を確立していることを確認します。平均ソースがグランドにある場合、THS4541 の負のレール入力段は、正の単一電源と正の出力 Vocm の設定を使用するアプリケーションという範囲内になります。これは、この DC 電流によって、平均 FDA 入力の加算結合部がグランドよりも負側から正の電圧にまで引き上げられるためです (FDA の V+ および V- 入力ピンの電圧の平均)。

8.4.1.3 FDA のシングルエンドから差動構成への変換を行うための抵抗設計式

FDA の周囲に抵抗を設定し、シングルエンド入力信号から差動出力への変換を行う設計式は、いくつかの方向からアプローチできます。ここでは、結果を簡略化するために以下の重要な仮定をしています。

- 帰還抵抗は最初に選択し、両側で同じ値に設定します。
- 加算結合部から信号源およびグランド (または非信号入力側のバイアス電圧) への DC および AC インピーダンスは、等しくなるように設定し、FDA の両側で帰還分圧器の平衡を維持します。

これらの仮定のどちらも標準的なものであり、FDA の信号路を通過するうえで最高のダイナミック レンジを達成することを意図しています。

帰還抵抗の値を選択した後、 R_t (信号入力側のグランドへの終端抵抗)、 R_{g1} (信号路の入力ゲイン抵抗)、 R_{g2} (非信号入力側のマッチング ゲイン抵抗) を求めます。図 7-1 および 図 7-3 を参照してください。同じ抵抗ソリューションを、AC 結合パスと DC 結合パスのどちらにも適用できます。入力信号チェーンにブロッキング コンデンサを追加するのは簡単なオプションです。これらのブロッキング コンデンサを R_t 素子の後に追加する (図 7-1 を参照) ことで、出力 V_{ocm} からグランドへのフィードバック パスの DC 電流を取り除くという利点があります。

R_t と R_{g1} のソリューションに対するこれまでのアプローチ (入力をソース インピーダンス R_s に一致させる必要がある場合) は、反復アプローチに従います。この複雑性の要因は、 R_{g1} 入力のアクティブな入力インピーダンスです。FDA をシングルエンド信号の差動への変換のために使用する場合、FDA 入力の同相入力電圧は入力信号とともに変動し、 R_{g2} 素子の電流として反転された出力信号を生成する必要があります。より最近のソリューションを 式 7 に示します。ここで、 R_t の二次式により正確に必要なとされる値で解決されます。この二次式は、マッチングされた入力インピーダンスとターゲットゲインの同時ソリューションによって導き出されます。これには、以下の入力のみが必要です。

1. 選択した R_f 値。
2. R_t の入力から差動出力電圧への目標電圧ゲイン (A_v)。
3. R_s のマッチングのための R_t と R_{g1} の接合部の目的の入力インピーダンス。

次の式で R_t の二次式を解くことにより、解を求める手順を開始します。

$$R_t^2 - R_t \frac{2R_s \left(2R_f + \frac{R_s}{2} A_v^2 \right)}{2R_f(2 + A_v) - R_s A_v(4 + A_v)} - \frac{2R_f R_s^2 A_v}{2R_f(2 + A_v) - R_s A_v(4 + A_v)} = 0 \quad (7)$$

二次式では、解の範囲に制限があります。特に、 R_f と R_s を選択した後で、あるゲインを超えると、式 7 が負の R_t の値を求め始める物理的に最大のゲインが存在します (入力マッチングが要件である場合)。 R_f を選択した場合、式 8 を使用して、最大ゲインが目的のゲインより大きいことを確認します。

$$A_{v_{\max}} = \left(\frac{R_f}{R_s} - 2 \right) \cdot \left[1 + \sqrt{1 + \frac{4 \frac{R_f}{R_s}}{\left(\frac{R_f}{R_s} - 2 \right)^2}} \right] \quad (8)$$

実現可能な $A_{v_{\max}}$ が目的の値より小さい場合は、 R_f の値を増やします。 R_t を 式 7 から求めると、 R_{g1} 素子は 式 9 で与えられます。

$$R_{g1} = \frac{2 \frac{R_f}{A_v} - R_s}{1 + \frac{R_s}{R_t}} \quad (9)$$

次に、最も簡単なアプローチは、非信号入力側でシングルの $R_{g2} = R_t \parallel R_s + R_{g1}$ を使用することです。多くの場合、このアプローチは個別の R_{g1} 素子と R_s 素子として示されます。これらの個別の素子を使用すると、2 つのフィードバック

パスでより適切にデバイダのマッチングを行うことができますが、往々にしてシングルの Rg2 を使用することで問題ありません。Rg2 の直接的なソリューションを、次の 式 10 に示します。

$$Rg2 = \frac{2 \frac{Rf}{Av}}{1 + \frac{Rs}{Rt}} \quad (10)$$

この設計の順序は、Rs とマッチングする目標入力インピーダンス、マッチングされた入力から差動出力電圧までの信号ゲイン Av、選択する Rf 値です。THS4541 の特性評価のために選択された公称 Rf 値は 402Ω です。すでに説明したように、小さくするとノイズと位相マージンが改善されますが、全出力負荷インピーダンスが低下し、高調波歪が低下する可能性があります。大きくすると出力ノイズが大きくなり、入力容量に対する帰還ポールの関係でループ位相マージンが小さくなる可能性があります。出力の全負荷が減少します。式 8～式 10 を使用して 1 から Av_{max} < 14.3V/V までターゲットゲインをスイープすると 表 8-1 が得られます。これは、Rt、Rg1、Rg2 の正確な値を示します。ここで、2 つの帰還抵抗を 402Ω に設定しながら、50Ω のソースをマッチングさせる必要があります。1% 標準値のソリューションの 1 つを 表 8-1 に示します。ここでは、結果として得られる実際の入力インピーダンス、目標に対する % の誤差とゲインも示されています。

表 8-1. シングルエンドから差動への FDA 設計に必要な抵抗、ステップングゲイン、1V/V～14V/V(1)

Av	Rt, EXACT (Ω)	Rt 1%	Rg1, EXACT (Ω)	Rg1 1%	Rg2, EXACT (Ω)	Rg2 1%	実際の Z _{IN}	Rs に対する %ERR	実際のゲイン	Av に対する %ERR
1	55.2	54.9	395	392	421	422	49.731	-0.54%	1.006	0.62%
2	60.1	60.4	193	191	220	221	50.171	0.34%	2.014	0.72%
3	65.6	64.9	123	124	151	150	49.572	-0.86%	2.983	-0.57%
4	72.0	71.5	88.9	88.7	118	118	49.704	-0.59%	4.005	0.14%
5	79.7	80.6	68.4	68.1	99.2	100	50.451	0.90%	5.014	0.28%
6	89.1	88.7	53.7	53.6	85.7	86.6	49.909	-0.18%	6.008	0.14%
7	101	102	43.5	43.2	77.1	76.8	50.179	0.36%	7.029	0.42%
8	117	118	35.5	35.7	70.6	69.8	50.246	0.49%	7.974	-0.32%
9	138	137	28.8	28.7	65.4	64.9	49.605	-0.79%	9.016	0.18%
10	170	169	23.5	23.7	62.0	61.9	50.009	0.02%	9.961	-0.39%
11	220	221	18.8	18.7	59.6	59.0	49.815	-0.37%	11.024	0.22%
12	313	316	14.7	14.7	57.9	57.6	50.051	0.10%	11.995	-0.04%
13	545	549	10.9	11.0	56.7	56.2	49.926	-0.15%	12.967	-0.25%
14	2209	2210	7.26	7.32	56.2	56.2	50.079	0.16%	13.986	-0.10%

(1) Rf = 402Ω, Rs = 50Ω, Av_{MAX} = 14.32V/V.

これらの式と設計フローは、すべての FDA に適用されます。帰還抵抗値を開始点として使用することは、LMH6554 などの電流帰還ベースの FDA では、これらの帰還抵抗の値によって周波数応答の平坦度が決まり、非常に便利です。他のソースインピーダンス、Rf 値、ゲイン範囲は、ここに示す式を使用して類似の表を作成できます。

ゲインが大きい場合、Rg1 の値は非常に小さいことに注意してください。例えば、14V/V のゲインでは、7.32Ω の標準値が同相モードループの動作によって変換され、入力同相モード電圧を変化させて 50Ω の入力マッチングのようになります。このアクティブな入力インピーダンスにより、高いゲインで入力換算ノイズが改善されます。「セクション 7.5」セクションを参照してください。TINA モデルでは、このシングルエンドから差動構成へアクティブに設定された入力インピーダンスが正しく表示され、ゲイン、入力インピーダンス、応答形状、ノイズの問題を検証するための優れたツールになっています。

8.4.1.4 シングルエンドから差動FDA 構成における入力インピーダンス

これまでの設計には、ソース インピーダンス R_s が含まれており、 R_t および R_{g1} によってマッチングされる必要があります。図 7-3 の回路の R_t および R_{g1} の接合部の合計インピーダンスは、 R_t からグランドまでの並列な組み合わせになり、 R_{g1} で表される Z_A (アクティブ インピーダンス) です。差動分圧バランスを得るために R_{g2} を設定した Z_A の式は、式 11 のようになります。

$$Z_A = R_{g1} \frac{\left(1 + \frac{R_{g1}}{R_{g2}}\right) \left(1 + \frac{R_f}{R_{g1}}\right)}{2 + \frac{R_f}{R_{g2}}} \quad (11)$$

インピーダンスのマッチングを必要としない設計では、別のアンプの低インピーダンス出力から供給されます。例えば、 $R_{g1} = R_{g2}$ は、グランドへの R_t がない状態で、シングルから差動への設計に使用されます。式 11 で $R_{g1} = R_{g2} = R_g$ と設定すると、式 12 に示すように、低インピーダンスのシングルエンド ソースから差動出力に駆動する単純な入力 FDA の入力インピーダンスを求めることができます。

$$Z_A = 2R_g \frac{1 + \frac{R_f}{R_g}}{2 + \frac{R_f}{R_g}} \quad (12)$$

この場合は、目標ゲインを $R_f / R_g \equiv \alpha$ と設定してから、必要な入力インピーダンスを設定することで、まず R_g 素子を分解することができます。次に、ゲインを得るために必要な R_f を分解することができます。例えば、ゲイン 4V/V で 200Ω の入力インピーダンスを目標とすると、式 13 により物理的に R_g 素子を求めることができます。この必要な R_g 値にゲイン 4 を掛けると、 R_f 値と図 8-1 の設計を求めることができます。

$$R_g = Z_A \frac{2 + \alpha}{2(1 + \alpha)} \quad (13)$$

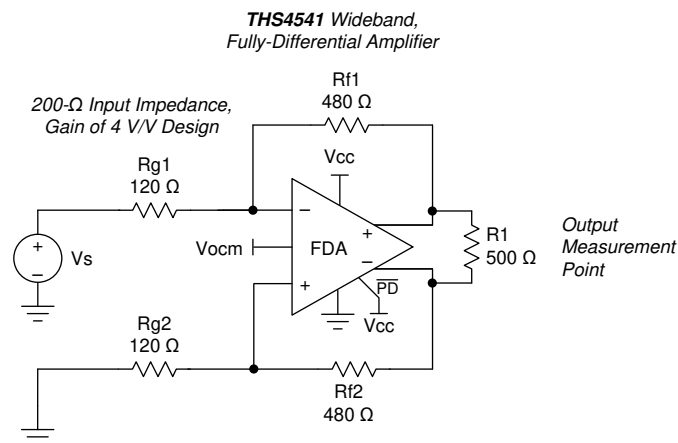


図 8-1. ゲイン 4V/V 時の 200Ω 入力インピーダンス、シングルエンドから差動 DC 結合設計

設計後、この回路は、2 つの 120Ω の R_g 抵抗と直列にブロッキング コンデンサを追加することで AC 結合にすることもできます。このアクティブ入力インピーダンスには、低い抵抗値を使用して前段への見かけ上の負荷を増加させる利点があり、その結果、目標のゲインに対する出力ノイズも低減されます。

8.4.2 差動入力から差動出力への動作

多くの方法がある中で、これは設計と同じ観点から FDA を動作させる非常に簡単な方法です。回路の両側が同じ値の R_f 素子と R_g 素子でバランスが取れていると、差動入力インピーダンスは、差動反転入力の加算結合部に接続された 2 つの R_g 素子の合計だけになります。これらの設計では、加算結合部の入力コモンモード電圧は信号とともに変動はしませんが、各電源から必要とされる電圧ヘッドルームに関する検討事項に基づいて、入力ピンの許容範囲内で DC バイアスを行う必要があります。以下のセクションに記載されているように、AC 結合、または DC 結合された差動入力から差動出力への設計に対しては、少し異なる検討事項が適用されます。

8.4.2.1 AC 結合された差動入力から差動出力への設計の問題

AC 結合の差動ソースで THS4541 を使用する標準的な方法は 2 通りあります。最初の方法は、ソースは差動形式であり、2 つのブロッキングコンデンサを介して結合することができます。2 つ目の方法は、シングルエンドまたは差動ソースのいずれかを使用して、トランス (またはバラン) を介して結合します。図 8-2 に、ブロッキングコンデンサから差動入力への標準的な回路を示します。この設計には、オプションの入力差動終端抵抗 (R_m) が含まれています。この R_m 素子は、入力 R_g 抵抗をスケールアップすると同時に、ソースへの差動入力インピーダンスを低減します。この例では、 R_g 素子の差動インピーダンスは合計 200Ω となり、 R_m 素子は並列に結合して、正味 100Ω の AC 結合された差動インピーダンスをソースに供給します。この設計は、 R_f 素子の値、差動ゲインを設定する R_g 、そして、必要に応じて目標の入力インピーダンスを達成させる R_m 素子を選択することで、理想的な出力を得ることができます。また、 R_m 素子を除去して、 R_g 素子を希望の入力インピーダンスに設定したり、 R_f を差動ゲイン ($=R_f/R_g$) に設定することも可能です。

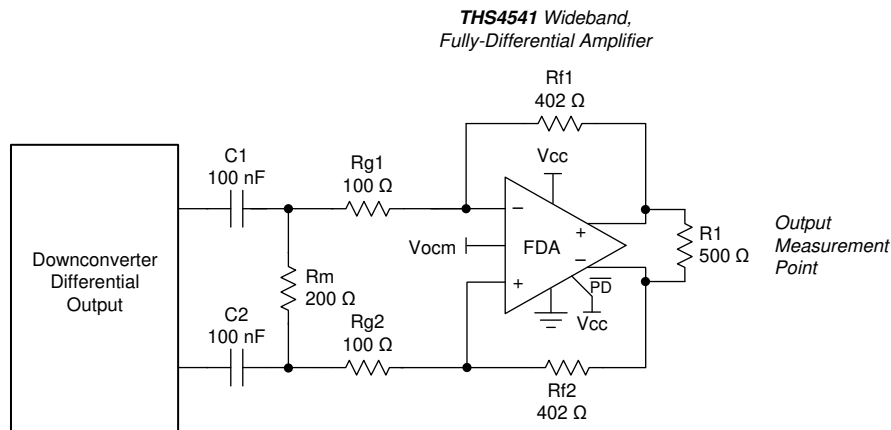


図 8-2. AC 結合差動信号を THS4541 に供給するダウンコンバータ ミキサの例

ここで使用している DC バイアスは非常に簡単です。出力 V_{ocm} は入力制御電圧により設定されます。出力コモンモード電圧の DC 電流パスがないため、DC バイアスにより入力ピンのコモンモード動作点も設定されます。

トランス入力カップリングにより、シングルエンドまたは差動ソースのいずれかを THS4541 に結合することができます。また、入力換算ノイズ指数の改善を可能にします。これらの設計は、バランインターフェイス内でマッチングが必要なソースインピーダンスを想定しています。もっとも簡単な方法を図 8-3 に示します。この例では、1:2 の巻線比昇圧トランスが 50Ω のソースから使用されています。

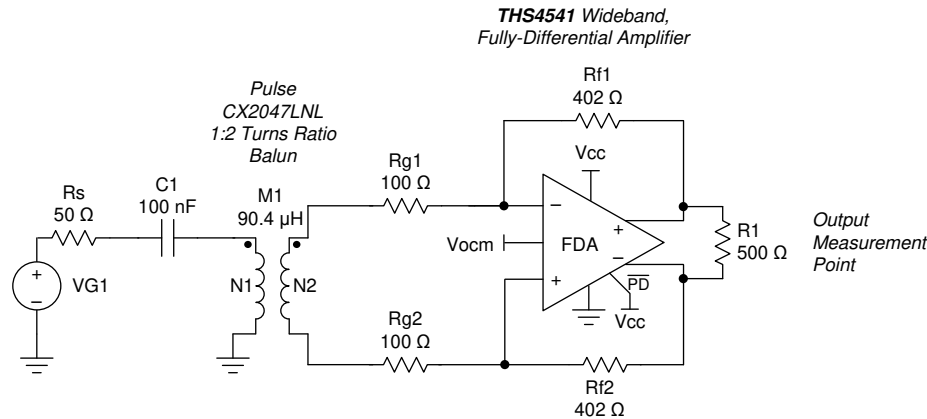


図 8-3. 入力バラン インターフェイスが THS4541 に差動入力を供給

この例では、この 1:2 の巻線比昇圧トランスは、2 次側が 200Ω で終端されている場合に、50Ω ソースからのソースおよび負荷マッチングを提供します (巻線比の 2 乗はバラン両端のインピーダンス比になります)。2 つの Rg 素子は、その終端となっています。FDA の加算結合部における差動バーチャル グランドに接続されているからです。入力ブロッキングコンデンサ (C1) はオプションで、DC 電源からグランドへの短絡を防止するためにのみ配置されています。このソリューションにより、多くの場合、受動 (ゼロ消費電力) 入力バランを使用する FDA だけでなく、入力換算ノイズ指数も改善されます。いくつかの比を定義することで、ノイズ指数の式を式 14 のように表すことができます。

$$NF = 10 \cdot \text{Log} \left(1 + \frac{(1 + \beta^2)}{\beta^2} + \frac{8}{\alpha\beta^2} + \frac{4}{(\alpha\beta)^2} + \frac{\left(\frac{e_{ni}}{\beta n} \cdot \left(\frac{1}{2} + \frac{1}{\alpha} \right) \right)^2 + \frac{1}{2} \frac{(n \cdot i_n \cdot R_s)^2}{\beta^2}}{kTRs} \right) \quad (14)$$

ここで、

- $n \equiv$ 巻数比 (よって、オーム比は n^2)
- $\alpha \equiv$ FDA = Rf / Rg 時の差動ゲイン
- $\beta \equiv$ トランス挿入損失 (V/V) (dB 挿入損失から線減衰に変換したものを β とする)
- $kT = 4e-21J$ (290K (17°C) 時)

式 14 の使用方法の 1 つは、入力バランの選択を固定して、Rf 値を昇圧することにより FDA ゲインをスweepすることです。ノイズを最小にする方法では、終端のマッチングに 2 つの Rg 素子のみを使用し (図 8-3 のように Rm 素子がない)、Rf 値を入力換算ノイズ指数が評価できるようになるまでスweepします。この方法はすべての FDA と幅広い入力バランで使用できますが、THS4541 は 40MHz 未満のアプリケーションに対して非常に優れた SFDR を保持するため、ここでは比較的 low 周波数の入力バランが適切な選択肢となります。2 つの代表的な選択肢について、それぞれの標準的な測定スパンとモデル素子の値を表 8-2 に示します。この 2 つの選択肢では、ノイズ指数に対する重要な入力値は巻数比と挿入損失です (CX2014LNL の場合、0.2dB はノイズ指数の式で $\beta = 0.977$ になります)。

表 8-2. 入力昇圧バランおよび関連パラメータの例

部品番号	Rs (Ω)	-1dB 周波数 (MHz)		挿入損失 (dB)	メーカー	番号数		-3dB 周波数 (MHz)		巻数比	モデル素子			
		最小値	最大値			-1dB ポイント	-3dB ポイント	最小値	最大値		L1 (μH)	L2 (μH)	k	M (μH)
ADT2-1T	50	0.1	463	0.3	MiniCircuits	3.67	4.22	0.05	825	1.41	79.57747	158.50797	0.99988	112.19064
CX2047LNL	50	0.083	270	0.2	Pulse Eng	3.51	3.93	0.044	372	2	90.42894	361.71578	0.99976	180.81512

THS4541 の標準的な入力換算ノイズ項を使用して ($e_{ni} = 2.2nV$ および $i_n = 1.9pA$)、総ゲインをバランの入力から差動出力まで 10dB~24dB の範囲でスweepすると、図 8-4 に示すような入力ノイズ指数となります。

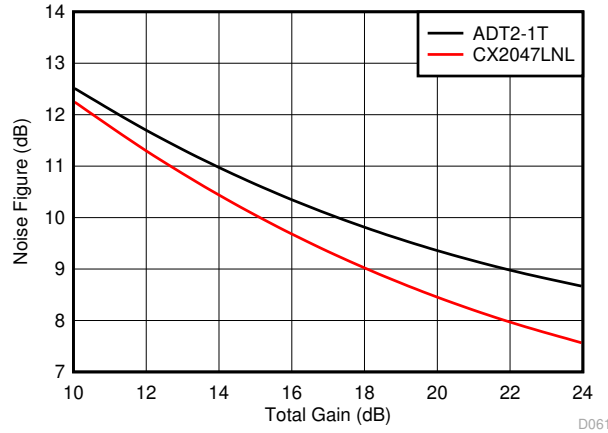


図 8-4. 表 8-2 の 2 つの入力バランにおけるノイズ指数と総ゲイン

50Ω 換算でのノイズ指数の推定値は、ゲインが 24dB を超えると、いずれかのバランの入力換算ノイズが減少することを示しています。入力バランからの昇圧後に合計目標ゲインを達成するには、これらのスweepで変化できる素子は帰還抵抗の値のみです。図 8-3 の例は 7.86V/V のゲイン、または 17.9dB のゲインで、このときの入力ノイズ指数は 図 8-4 より、9.0dB と予測されます。この方法のもう 1 つの利点は、ソース インピーダンスが設計内における全 Rg 素子の一部として現れるため、実効ノイズ ゲイン (NG) が低減されることです。図 8-3 の例は、 $NG = 1 + 402 / (100 + 100) = 3V/V$ で動作し、設計内の THS4541 の部分に 300MHz 以上の SSBW をもたらします。その能力と、バランの 372MHz を組み合わせることにより、この 18dB ゲイン段では 200MHz 以上、低消費電力でダイナミックレンジの広いインターフェイスでは 1.6GHz 以上のゲイン帯域幅積と等価な出力を実現します。

図 8-3 の入力バランに関するその他の特長および検討事項は、以下のとおりです。

- これらのバランの多くに、補助センタータップがある。HD2 抑制および DC バイアスを最良の状態に保持するため、センタータップは未接続のままにすること (このセンタータップからグランドまでの間にコンデンサを入れないこと)。
- 補助センタータップを未接続のままにしておくと、コモン モード電流 (I_{CM}) を作る出力コモン モード電圧に対する DC パスがないため、入力ピンのコモン モード電圧は再び出力の V_{ocm} と同じになる。

8.4.2.2 DC 結合された差動入力から差動出力への設計の問題

DC 結合された差動入力ソースで動作する THS4541 は非常に簡単で、入力ピンが DC コモン モード動作電圧の範囲内に収まっていることが唯一の要件です。1 つの例として、DC ~ 50MHz の方形波ダウン コンバータ出力があります。通常、この出力は、外部負荷に対していくらかの内部ソース インピーダンスを持つ DC レベルの上に重ね合わせられています。図 8-5 の例では、簡単なパッシブ RLC フィルタ付きの THS4541 を入力に使用した設計を示しています (フィルタ設計では R_g 素子は差動終端として動作します)。内部の 250Ω 出力の裏で供給される元のソースから、この回路は THS4541 の出力ピンに対してゲイン 1 になります。DC コモン モード動作電圧レベルは、内部の $1.2V$ からミキサへ、つまりこの場合は ADC 出力の V_{cm} 電圧 $0.95V$ にシフトし、ゲインが 1 の段で 2 つの DC 電圧の単純平均により、入力ピンのコモン モードが $1.08V$ となり、結果的に十分範囲内に収まります。

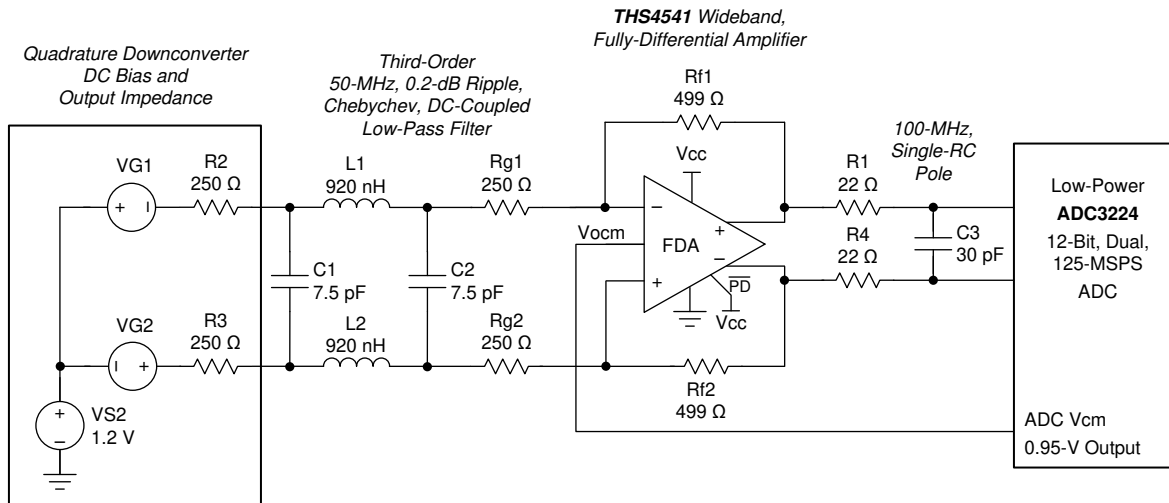


図 8-5. 方形波ミキサから ADC への DC 結合、差動 I/O 設計の例

9 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 アプリケーション情報

THS4541 は、さまざまなアプリケーションに対して役に立ちます。ここでは 2 つの設計例を示します。まず、高い電圧の入力信号を直接受け取って、その電圧を一定のコモンモードの上に重ねた小さい差動振幅に変換する減衰段を示します。この設計では、周波数応答の平坦性の問題に留意する必要があります。ここではその問題に対処するアプローチの 1 つを示しています。2 番目の例は、 $2V/V$ のゲインであり、 $0.95V$ のコモンモードに設定された出力にマッチした 50Ω の入力です。ここに接続されているのは約 $20MHz$ の帯域幅を持つ 3 次ベッセル フィルタで、ここからローパワーの 12 ビット、クワッド、 $50MSPS$ JESD 204B ADC である [ADC34J22](#) に流れます。

9.2 代表的なアプリケーション

9.2.1 Designing Attenuators

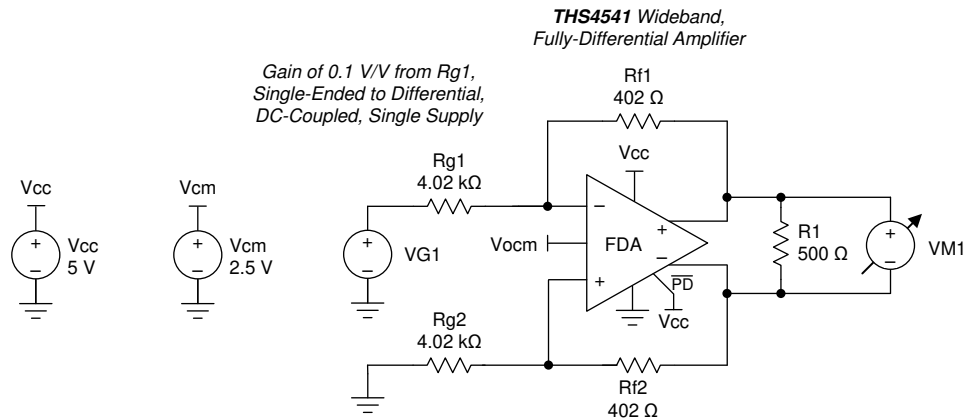


図 9-1. Divide-by-10 Attenuator Application for the THS4541

9.2.1.1 設計要件

この設計の目的は、次のとおりです。

1. $\pm 40V$ の入力信号に $4k\Omega$ の入力インピーダンスを供給する (前の段から最大 $\pm 10mA$)。
2. このスイングを係数 $1/10$ ($-20dB$) によって差動出力スイングまで減衰させる。
3. このスイングを THS4541 の出力の $2.5V$ コモン・モード電圧に配置する。
4. $+5V$ 単一電源とグラウンドで動作させる。
5. 外付けコンデンサを使用して、周波数応答をフラットなバターワース応答にチューニングする。

9.2.1.2 詳細な設計手順

THS4541 を低 DC ノイズ ゲイン、またはより高い帰還抵抗で動作させた場合、位相マージンはさらに小さくなり、ゲイン 0.1 (1/10 の減衰) という条件で [図 6-1](#) に示すような応答ピーキングが生じます。これは、THS4541 をアッテネータ (大きい電圧入力を受け入れて、制御された出力であるコモン モード電圧を中心とした純粋な差動信号へ変換) として動作させる場合に役立つことが多いですが、[図 6-1](#) に示される応答ピーキングは通常は望ましくはありません。このピーキングを低減または除去するには、いくつかの方法がありますが、通常は出力ノイズが大きくなります。DC 技術を使用することで、出力ノイズの帯域幅は常に増加しますが、AC ノイズ ゲイン シェーピング技術の使用によりノイズは最大化されます。しかし、標準的なパッシブ フィルタでフィルタが可能なより高い周波数でのみ、この段より後ろで使用できることがあります。[図 9-1](#) に、[図 7-1](#) における 0.1V/V テストのゲインの概略図を示します。

この構成では通常の 18° の位相マージンであるため、([表 7-2](#) より)、[図 6-1](#) では非常に高いピーク時応答となっています。このようなピーキングを除去するには、RF 素子と差動入力コンデンサの間に 2 つのフィードバック コンデンサを配置します。これらのコンデンサを追加することにより、高周波数において、抵抗性が設定されたノイズ ゲイン (ここでは NG1、[表 7-2](#) より 1:1) から容量性分割器へと、より高いノイズ ゲイン (ここでは NG2) を平坦化して遷移します。このアプローチの鍵となるのは、ノイズ ゲインがピークへと増加を開始する Z_o に着目することです。以下の項だけを使用し、閉ループのフラットな (バターワース) 応答に着目すると、 Z_o に対するこのソリューションのシーケンスを理解し、コンデンサの値を得ることができます。

1. ゲイン帯域幅積 (Hz) (THS4541 では 850MHz)
2. NG1 (= 1.1、ただし、0.1V/V 設計の減衰ゲインの場合)
3. NG1 より高くなるよう選択した目標高周波数ノイズ ゲイン (この設計では NG2 = 3.1V/V を選択)
4. 帰還抵抗値、 R_f (この設計例では、この差動設計の想定バランスとして 402Ω)

以上の要素から、非代償性電圧帰還オペアンプまたは FDA については、次の [式 15](#) を使用して Z_o (Hz) を求めます。

$$Z_o = \frac{GBP}{NG1^2} \left(1 - \frac{NG1}{NG2} - \sqrt{1 - 2 \frac{NG1}{NG2}} \right) \quad (15)$$

ノイズ ゲインにおけるこの目標ゼロ周波数から、[式 16](#) を使用して、帰還コンデンサを求めます。

$$C_f = \frac{1}{2\pi \cdot R_f \cdot Z_o \cdot NG2} \quad (16)$$

次に、加算接合部の入力キャパシタンスを求めます。[式 17](#) は、コンデンサが接地されているシングルエンド オペアンプ (OPA847 など) 用です。電圧帰還 FDA に [式 17](#) を使用するには、目標値を半分にして、その結果を 2 つの入力の間に格納します (内部の差動容量を指定することで外部値を削減)。

$$C_s = (NG2 - 1) C_f \quad (17)$$

[式 15](#) を使用して外部補償素子を [式 17](#) に設定すると、結果のフラットな帯域幅の周波数 f_{-3dB} を [式 18](#) に示すように推定することができます。

$$f_{-3dB} \approx \sqrt{GBP \cdot Z_o} \quad (18)$$

[図 9-1](#) の減衰回路における THS4541 に対してこのステップを実行すると、[図 9-2](#) で使用可能な補償を算出することができます。ここでは、[式 18](#) により 252MHz の帯域幅が算出されます (Z_o の目標値は 74.7MHz)。

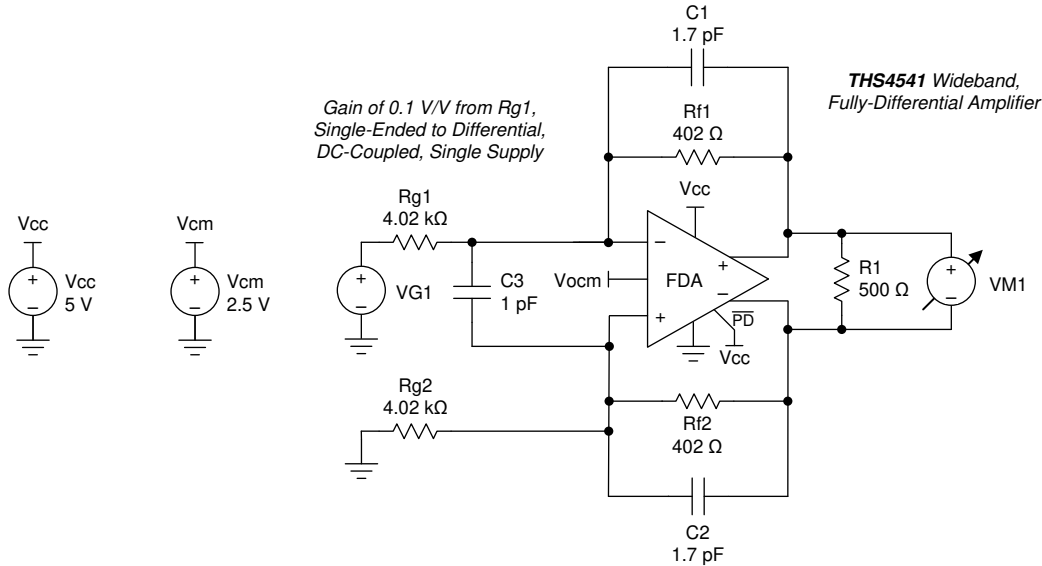


図 9-2. THS4541 を使用した補償アッテネータ回路

入力の両端の 1pF は、実際は内部の差動容量を含めると合計 1.85pF になり、式 17 よりシングルエンド設計の場合は、 $C_s = 3.7\text{pF}$ となります。

これらの 2 種類の設計 (コンデンサがある場合とない場合) については、THS4541 を使用してベンチテストとシミュレーションが行われ、図 9-3 の結果となりました。

この方法は、低位相マージンのアッテネータ アプリケーションとして始まったものですが、応答の平坦化に有用です。このシミュレーション モデルは、非常に良く機能しており、ピークを予測するとともに、外部コンデンサを付けた場合と同じ性能向上を示しています。いずれも、0.1V/V ゲインの設計に対して約 250MHz のフラットな閉ループ帯域幅を提供します。この例では、出力ノイズは 70MHz 以上でピークに向かい始めます (コンデンサのノイズ ゲイン シェーピングの結果)。この技術を使用して、ポストフィルタリングによって、積分ノイズの増加を最小限に抑えることができます。このソリューションを利用して、8V_{pp} の差動出力を逐次比較レジスタ (SAR) ADC に供給することにより (示すように 2.5V V_{cm} を使用)、この回路は最大 ±40V の入力を受け付け、4kΩ の入力 Rg1 によりソースから ±10mA が流れます。

9.2.1.3 アプリケーション曲線

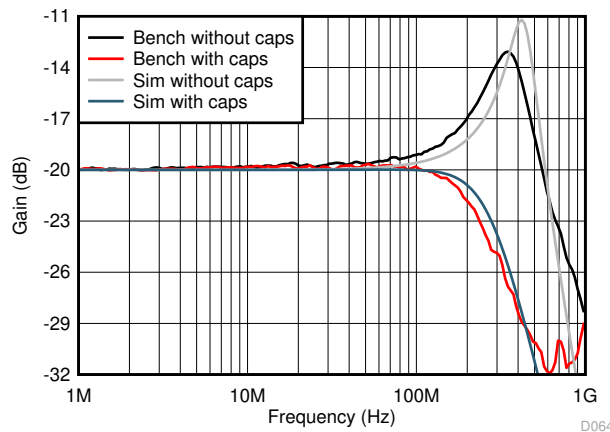


図 9-3. 外部補償あり / なしでのアッテネータ応答形状

9.2.2 高性能 ADC とのインターフェイス

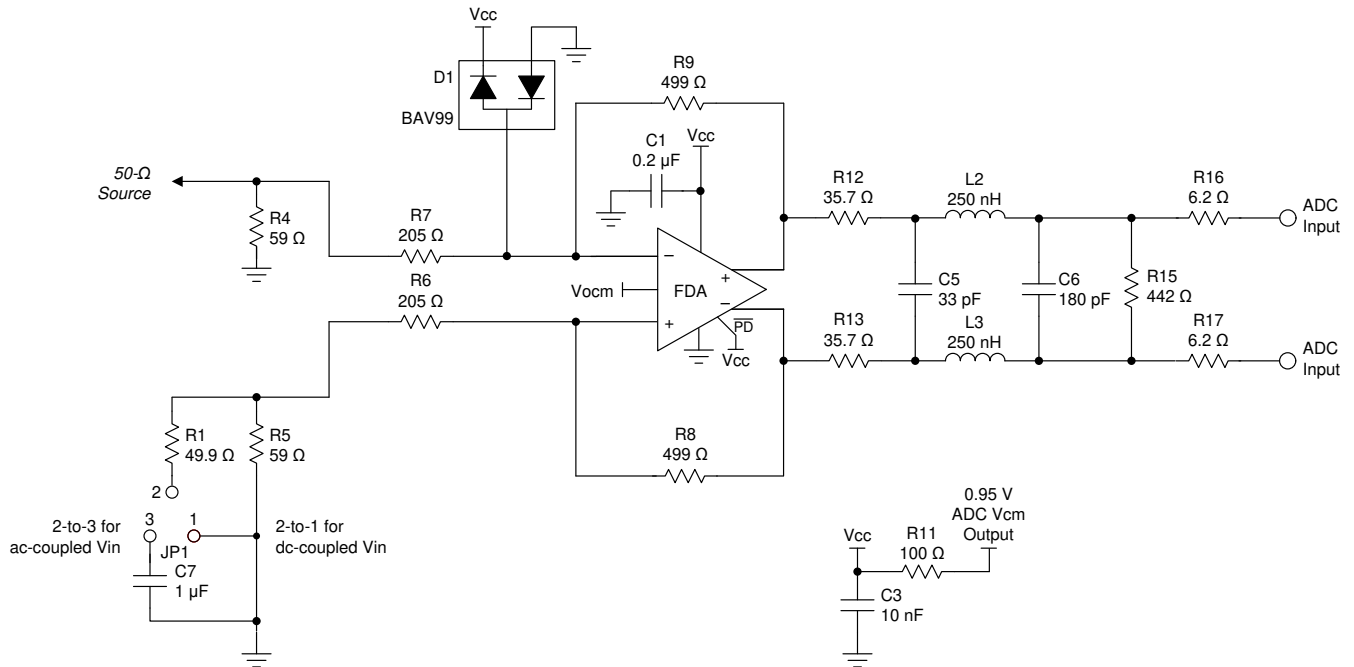


図 9-4. DC 結合、バイポーラ入力ゲイン 2V/V シングルエンドから差動への ADC とのインターフェイス

9.2.2.1 設計要件

この設計例では、 50Ω のソースが ADC に $2V/V$ の DC 結合ゲインで実装されているとの想定によるインピーダンスマッチした入力を示します。この構成により、 $2V_{pp}$ のフルスケール入力 ADC の場合は、 $\pm 0.5V$ への必要なフルスケール入力が低減されます。ADC に挿入損失の少ない段間フィルタを追加して、広帯域ノイズを制御します。ここでの目標は、FFT における SNR の低下を最小限に抑えると同時に、SFDR 性能の劣化を最小限に抑えることです。

9.2.2.2 詳細な設計手順

THS4541 は、さまざまなソースから幅広い範囲の ADC まで、インターフェイスに対して非常に柔軟性の高い素子を提供します。すべての精度と高速 ADC にはコモン・モード電圧での差動入力が必要となるため、この設計は THS4541 の基本的なアプリケーションとなります。

THS4541 は、広範な精度の逐次比較型、 $\Delta\Sigma$ 、または高速パイプライン ADC にシンプルなインターフェイスを提供します。出力ピンに非常に優れた歪みを実現するには、信号路で ADC 入力に標準的に必要とされるよりも大幅に広い帯域幅を THS4541 によって供給します。たとえば、差動設計の例に対しては、2 つのシングルエンドのゲインによって約 500MHz の小信号帯域幅が提供されます。ソース信号がナイキスト帯域制限されている場合でも、アンプと ADC 間の広帯域ノイズが帯域制限されていなければ、この広帯域幅により THS4541 のノイズを充分に一体化して、ADC を介して SNR を低下させることができます。

図 9-4 に、JESD デジタル出力インターフェイス、ADC34J22 (50MSPS、クワッド、12 ビット ADC) のデモボード上に DC 結合、制御付き、段間の帯域幅フィルタを実装した 2 つのインターフェイスのゲインの例を示します。このボードはを使用しており、dallaslogic.com の完全なマニュアルでは DEV-ADC34J22 ADC HSMC MODULE と呼ばれています。

この設計は DC 結合、50Ω 入力マッチ用のため、499Ω フィードバック抵抗で開始して、THS4541 の出力ピンに 2.35V/V のゲインを供給します。3 次段間ローパス・フィルタは、ADC に対する 0.85V/V の挿入損失で 20MHz のベッセル応答が供給され、ボードの端から ADC 入力まで正味 2V/V のゲインを実現します。THS4541 はオーバードライブを吸収できますが、図 9-4 に示すように、BAV99 低容量デバイスを使用して、外付けの保護用素子が追加されています。DC 結合テストでは、ピン 1 と 2 をジャンパで接続します。ソースが AC 結合された 50Ω ソースの場合、ピン 2 と 3 をジャンパで接続して差動バランスを維持します。FFT テストは通常、バンドパス・フィルタを AC 結合されたソースであるボードに使用します。標準的な 5MHz のフルスケール、シングルトーン FFT を図 9-5 に示します。ここでは、ジャンパはピン 2 と 3 が接続されています。報告されている 70.09dBFS の信号対雑音比は、テストを行った ADC のみの性能である 70.42dBFS からわずかに低減されており、段間ノイズ帯域幅の制限フィルタの値を示しています。THS4541 の非常に低い高調波歪みにより、図 9-5 に示すように SFDR および THD も非常に低くなります。この 96dB の SFDR および 92.83dB の THD は、ADC のみのテスト結果と比較することができます。

9.2.2.3 アプリケーション曲線

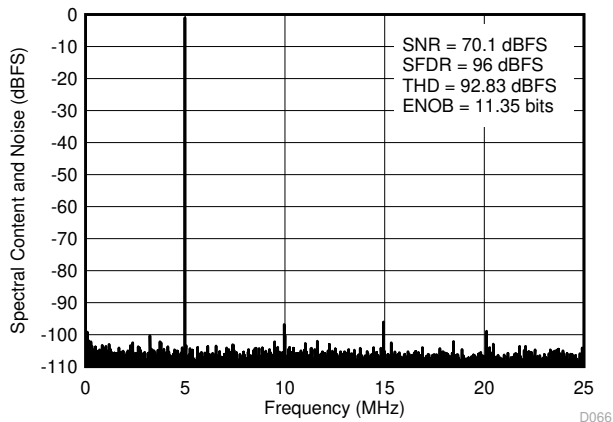


図 9-5. 図 9-4 の 2 つのインターフェイスのゲインに対する 5MHz FFT、50MSPS の試験

9.3 電源に関する推奨事項

THS4541 は、主に +3V~+5V の公称単一電源の電圧で動作することを想定しています。電源電圧許容範囲は、2.7V (3V 公称電源で 10% 低下) と 5.4V (5V 公称電源で 8% 上昇) の指定動作範囲に対応します。セクション 8.1.1 で説明されているように、電源デカップリングが必要です。THS4541 では、デバイスの両端の合計値が 5.5V 未満 (絶対最大値) であれば、分割 (またはバイポーラ) 電源を使用できます。RGT パッケージのサーマル パッドは電氣的に絶縁されており、熱を拡散するためにサーマル パッドを電源プレーンやグランド プレーンに接続します。

逐次比較型 ADC の駆動では、負電源を使用して真のスイング ツー グランド出力を実現することが必要な場合があります。THS4541 では、レール ツー レール出力が示されていますが、リニア動作では電源レールに対して約 200mV のヘッドルームが必要です。リニア出力スイングをグランドまで拡張するための簡単なオプションの 1 つは、LM7705 の固定 -230mV 負電源ジェネレータを使用して、必要とされる小さな負電源電圧を供給することです。この低コスト固定負電源ジェネレータは、THS4541 で使用する 3V~5V の正電源入力を受け付け、負のレールに -230mV の電源を供給します。LM7705 を使用することで、完全差動アンプで真の 0 ボルトに対応するために拡張されたレール ツー レール出力範囲で説明されている効果的なソリューションが実現できます。

9.4 レイアウト

9.4.1 レイアウトのガイドライン

すべての高速デバイスと同様に、基板レイアウトに細心の注意を払うことで最良のシステム性能を実現しています。THS4541 の評価基板 (EVM) は、高周波レイアウト技術のリファレンスとして最適な例です。この評価基板には、特性評価のための多数の追加要素と機能が含まれています。一般的な高速の信号路レイアウトの提案を以下に示します。

- より長い配線において、インピーダンスのパターンが一致している信号配線では、連続的なグランド プレーンが推奨されます。ただし、容量の影響を受けやすい入力および出力デバイス ピンの周囲ではグランドとパワー プレーンの両方をオープンにします。信号を抵抗に送信すると、寄生容量は帯域制限の問題になり、安定性の問題は低減されます。
- デバイスの電源ピンには、グランド プレーン上に良質な高周波デカップリング コンデンサ (0.1 μ F) を使用します。さらに大きな値のコンデンサ (2.2 μ F) が必要ですが、デバイスの電源ピンから離して配置することで、デバイス間で共有することができます。最高の高周波デカップリングを実現するために、標準コンデンサよりも非常に高い自己共振周波数を提供する X2Y 電源デカップリング コンデンサを使用します。
- 感知可能な距離で差動信号を配線する場合は、インピーダンスのパターンが一致しているマイクロストリップ レイアウト技術を使用します。
- THS4541 などの高速 FDA には、大型の 16 ピン VQFN (RGT) パッケージの入力フィードバック側に出力ピンの複製が内蔵されています。この複製は、外部帰還抵抗をパッケージの入力側でほとんどパターン長なしで接続することを目的としています。このレイアウト手法を使うことにより、重要なフィードバック パスで余分なトレース長を持たずに済みます。より小型の 10 ピン、WQFN (RUN) パッケージでは、パッケージの同じ側に出力と必要な入力提供されています。これにより、パッケージに隣接して最短のパターン長で帰還抵抗 (R_f) を実装できます。
- 入力加算結合部は、寄生容量の影響を大きく受けます。したがって、抵抗のデバイス ピン側にある加算結合部には最短のパターン長で R_g 素子を接続します。 R_g 素子の反対側は、ソースとグランドに必要な場合は、より長いパターン長を使用することができます。

9.4.2 レイアウト例

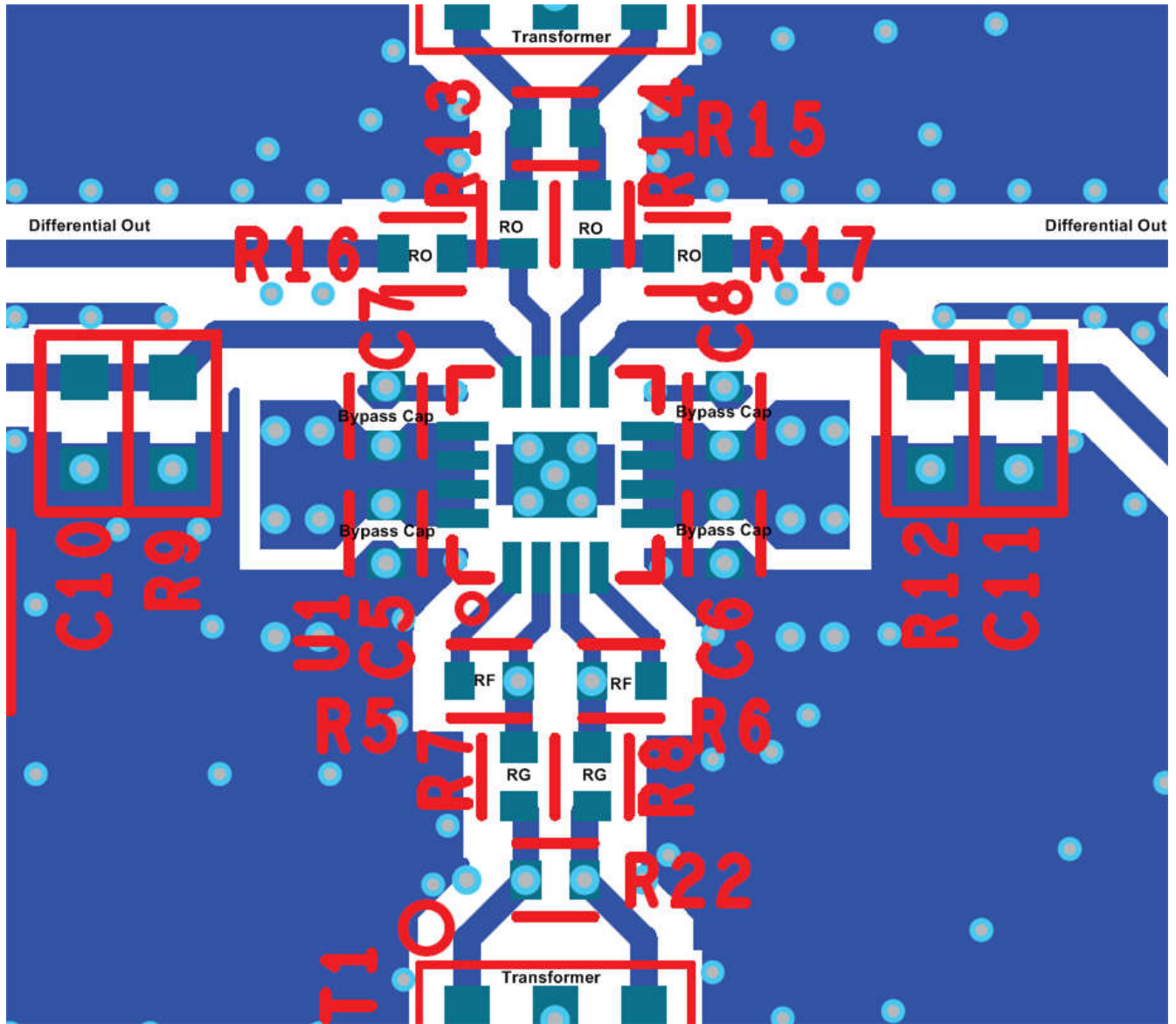


図 9-6. レイアウト例

10 デバイスおよびドキュメントのサポート

10.1 デバイスのサポート

10.1.1 開発サポート

10.1.1.1 TINA シミュレーション・モデルの機能

このデバイス・モデルは、TINA モデル・ライブラリの一部として利用できます。このモデルには、広範なアプリケーションの要件に応じて設計を迅速に行うための、多くの機能が含まれています。以下のリストは、モデルに含まれている性能パラメータです。

- 任意の外部回路における小信号応答形状：
 - 差動開ループ・ゲインおよび位相
 - 寄生入力容量
 - オープン・ループの差動出力インピーダンス
- ノイズ・シミュレーション：
 - 入力差動スポット電圧ノイズおよび 100kHz の 1/f コーナー
 - 各入力における入力電流ノイズ、1MHz 1/f コーナー
- 時間ドメイン、ステップ応答シミュレーション：
 - 差動スルー・レート
 - I/O ヘッドルーム・モデルによるクリッピングの予測
 - 精細スケールの DC 精度項：
 - PSRR
 - CMRR

代表的特性の曲線では、マクロモデルよりも詳細に説明しています。モデル化されていない機能の一部を以下に示します。

- 高調波歪み
- DC 誤差項における温度ドリフト (V_{IO} および I_{OS})

10.2 ドキュメントのサポート

10.2.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『ADC34J2x Quad-Channel, 12-Bit, 50-MSPS to 160-MSPS, Analog-to-Digital Converter with JESD204B Interface』データシート (英語)
- テキサス・インスツルメンツ、『Design for Wideband Differential Transimpedance DAC Output』アプリケーション・レポート (英語)
- テキサス・インスツルメンツ、『真のゼロボルトを含めるために完全差動アンプのレール・ツー・レール出力範囲を拡張』リファレンス・ガイド
- テキサス・インスツルメンツ、『LM7705 低ノイズ、負のバイアス・ジェネレータ』データシート
- テキサス・インスツルメンツ、『LMH6554 2.8GHz、超高直線性完全差動アンプ』データシート
- テキサス・インスツルメンツ、『THS451RGT EVM』ユーザー・ガイド (英語)
- テキサス・インスツルメンツ、『Maximizing the dynamic range of analog front ends having a transimpedance amplifier』テクニカル・ブリーフ (英語)

10.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

10.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの [使用条件](#) を参照してください。

10.5 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

10.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.7 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision A (September 2014) to Revision B (February 2024)	Page
ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1
「取り扱い定格」表を「ESD 定格」表に変更し、保存温度を「絶対最大定格」表に移動.....	4
「電気的特性: (Vs+) – Vs– = 5V」から入力バイアス電流の最小値を削除.....	5
「電気的特性: (Vs+) – Vs– = 3 V」から入力バイアス電流の最小値を削除.....	8

Changes from Revision * (August 2014) to Revision A (September 2014)	Page
「ピン機能」表で、明確化のためのテキストを注 1 に追加、.....	3
最初のパラグラフで、「Vcm」を「Vicm」に変更.....	29
「セクション 8.1」セクションの 2 番目のパラグラフで 0.9V を 0.91V に変更.....	35
「セクション 8.4.1.1」の最初のパラグラフで 0.9V から 0.91V に変更.....	39
「セクション 9.1」セクションの最初のパラグラフで、「シングル」を「信号」に変更.....	47
「セクション 9.2.1.2」セクションの 4 番目の文章の「通常」を「常時」に変更.....	48
このページの 2 段落目に「(Hz)」を追加.....	48
「セクション 9.2.2.2」セクションの 2 番目のパラグラフに「ΔΣ」を追加.....	51

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適したテキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されているテキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかるテキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
THS4541IRGTR	ACTIVE	VQFN	RGT	16	3000	RoHS & Green	Call TI NIPDAU	Level-1-260C-UNLIM	-40 to 125	HS4541	Samples
THS4541IRGTT	ACTIVE	VQFN	RGT	16	250	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	HS4541	Samples
THS4541IRUNR	ACTIVE	QFN	RUN	10	3000	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	4541	Samples
THS4541IRUNT	ACTIVE	QFN	RUN	10	250	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	4541	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSELETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "-" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and

continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF THS4541 :

- Automotive : [THS4541-Q1](#)

NOTE: Qualified Version Definitions:

- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
THS4541IRGTR	VQFN	RGT	16	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
THS4541IRGTT	VQFN	RGT	16	250	180.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
THS4541IRUNR	QFN	RUN	10	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2
THS4541IRUNT	QFN	RUN	10	250	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
THS4541IRGTR	VQFN	RGT	16	3000	346.0	346.0	33.0
THS4541IRGTT	VQFN	RGT	16	250	210.0	185.0	35.0
THS4541IRUNR	QFN	RUN	10	3000	210.0	185.0	35.0
THS4541IRUNT	QFN	RUN	10	250	210.0	185.0	35.0

RGT 16

GENERIC PACKAGE VIEW

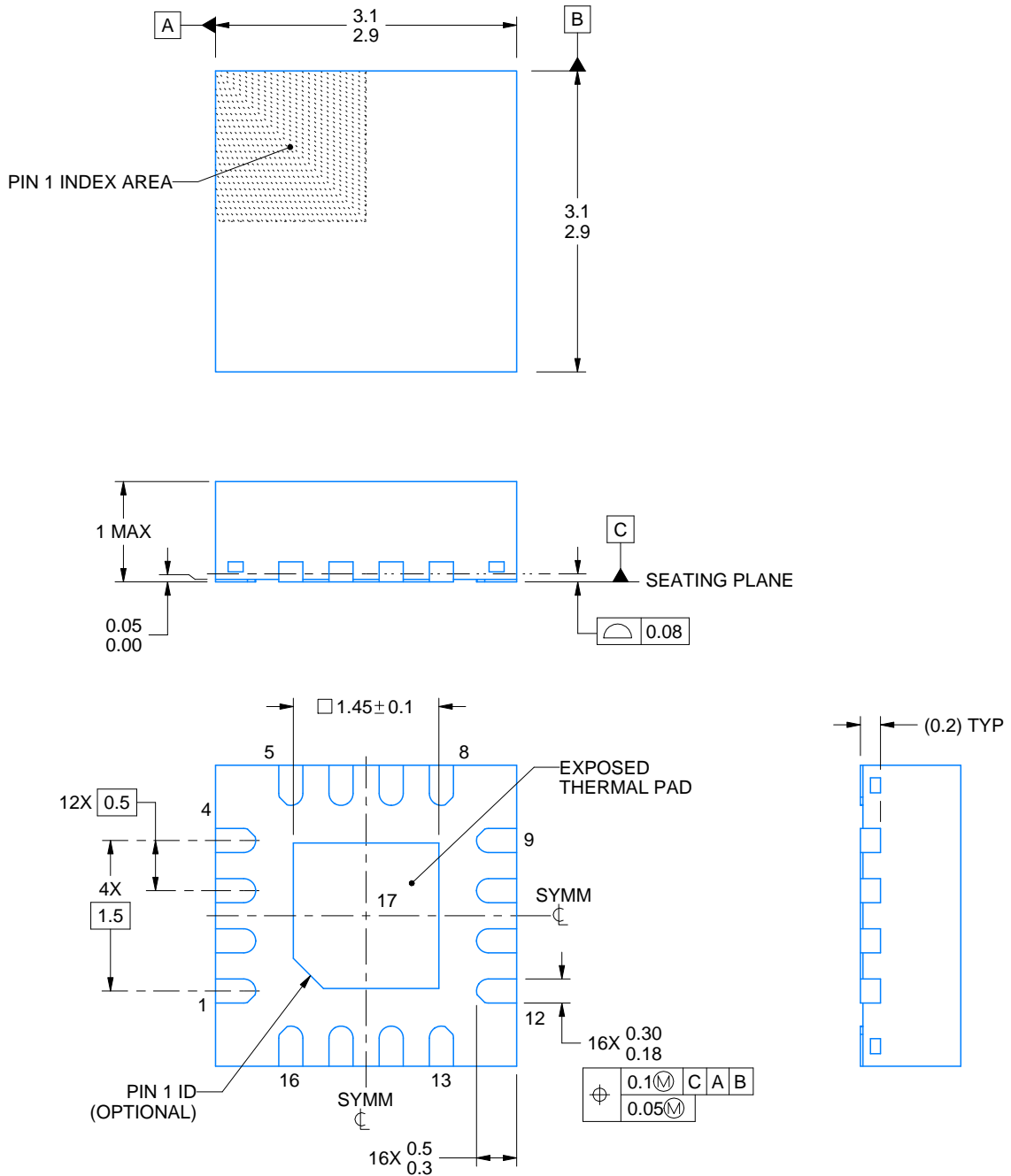
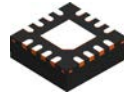
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4203495/1



4219032/A 02/2017

NOTES:

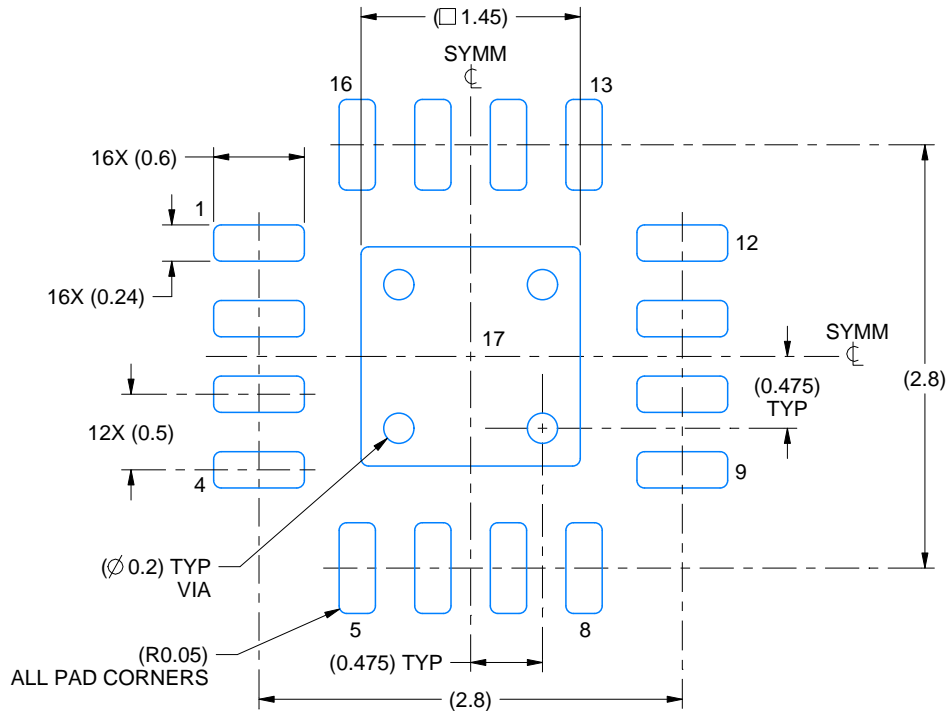
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.
4. Reference JEDEC registration MO-220

EXAMPLE BOARD LAYOUT

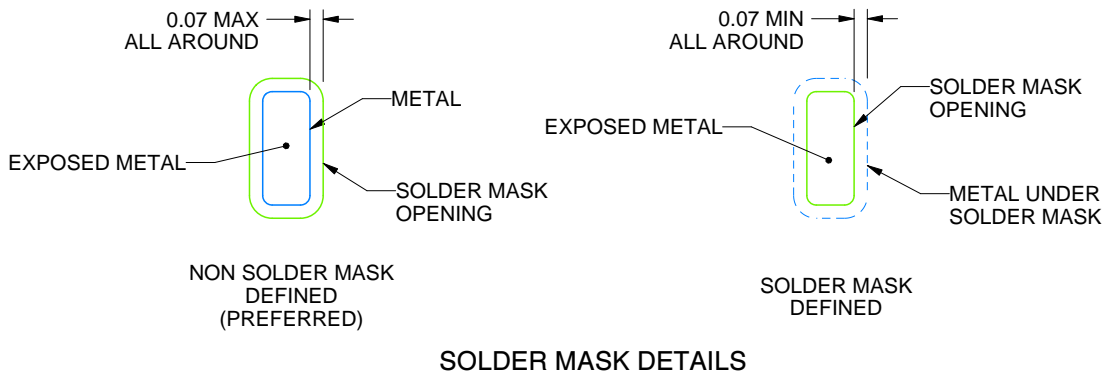
RGT0016A

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:20X



SOLDER MASK DETAILS

4219032/A 02/2017

NOTES: (continued)

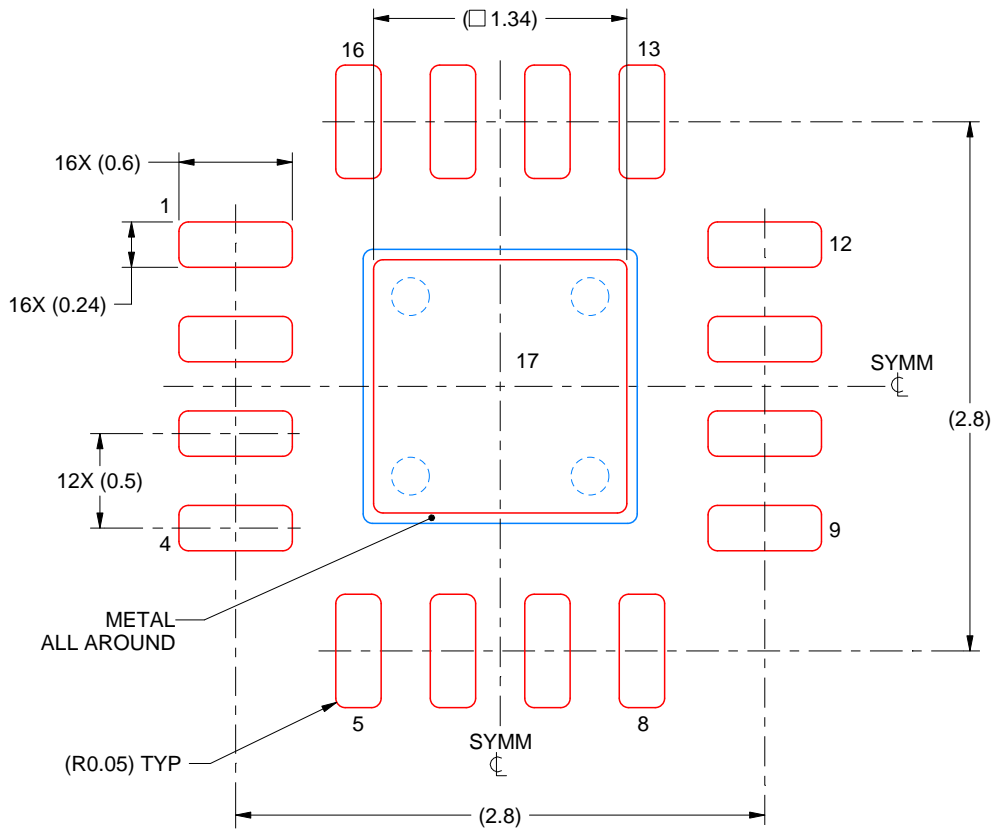
5. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).
6. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RGT0016A

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 17:
86% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:25X

4219032/A 02/2017

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

GENERIC PACKAGE VIEW

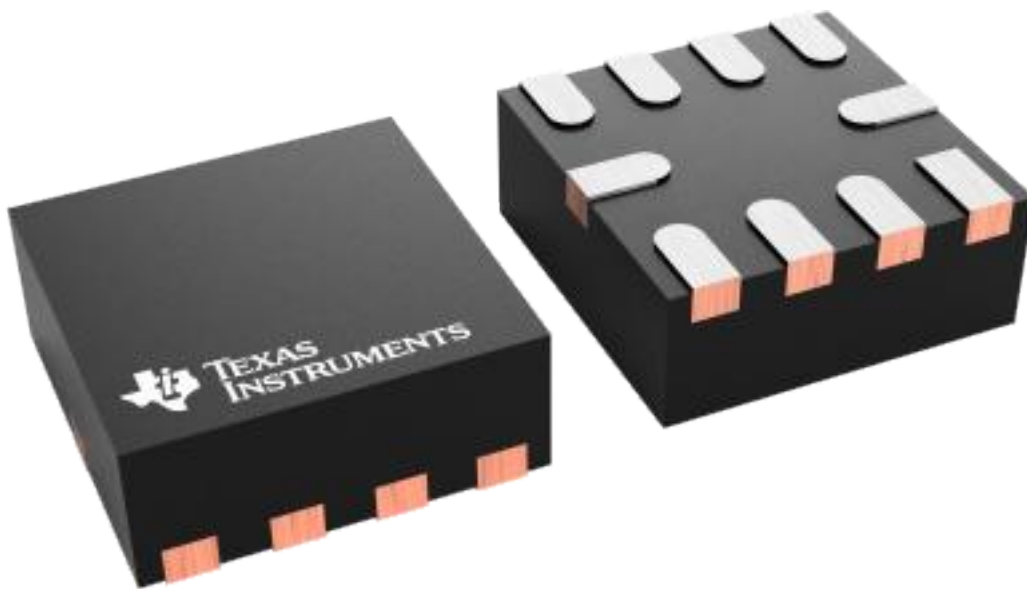
RUN 10

WQFN - 0.8 mm max height

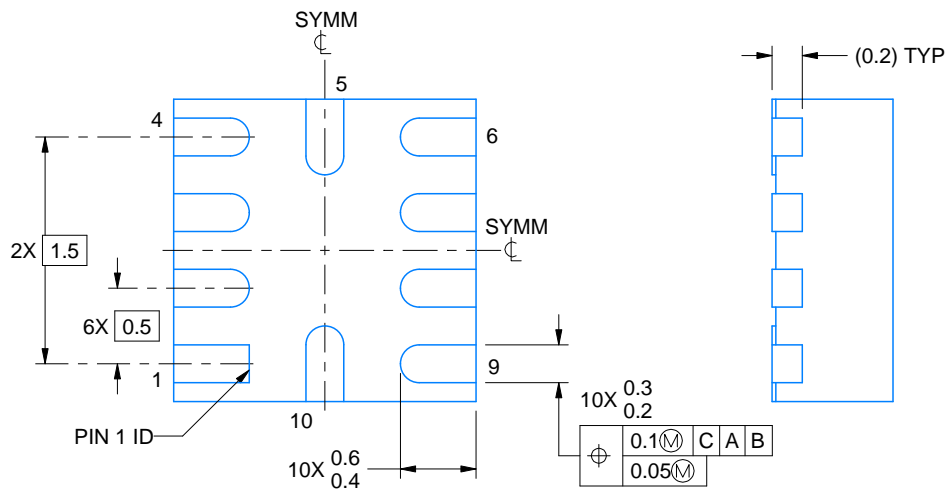
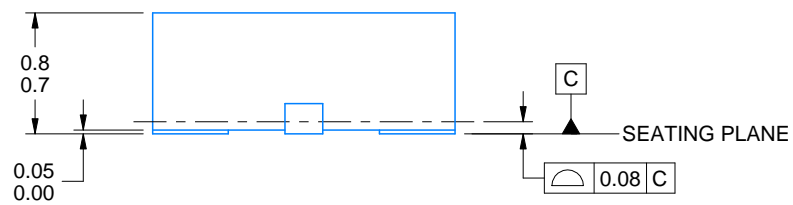
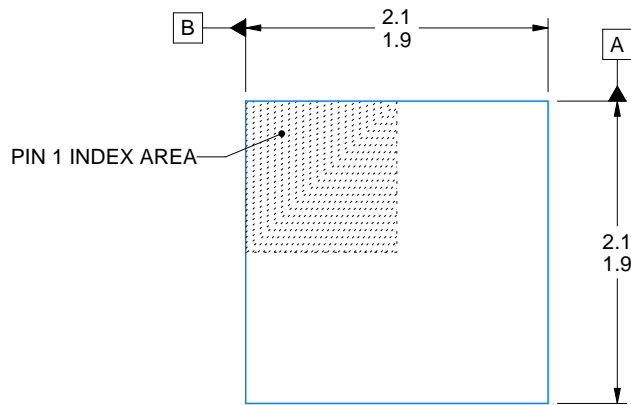
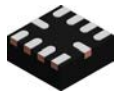
2 X 2, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4228249/A



4220470/A 05/2020

NOTES:

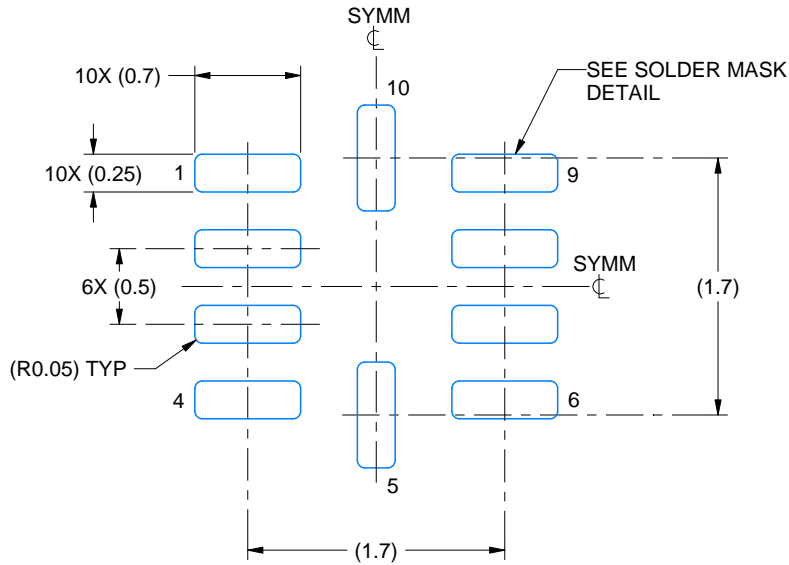
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

EXAMPLE BOARD LAYOUT

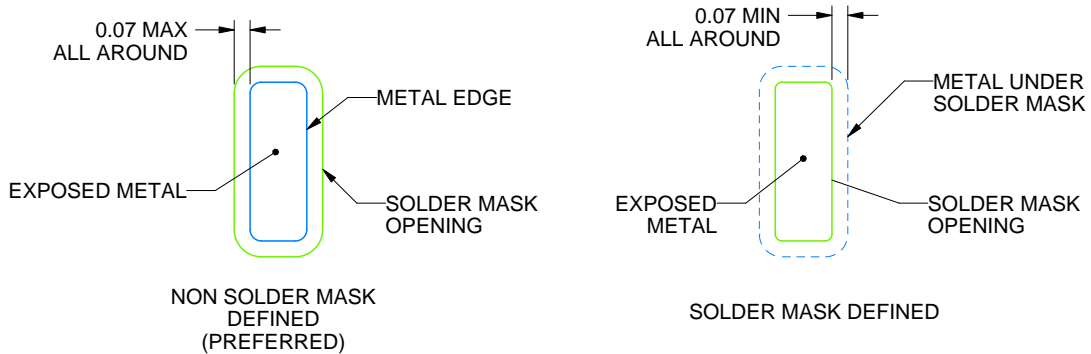
RUN0010A

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X



SOLDER MASK DETAILS

4220470/A 05/2020

NOTES: (continued)

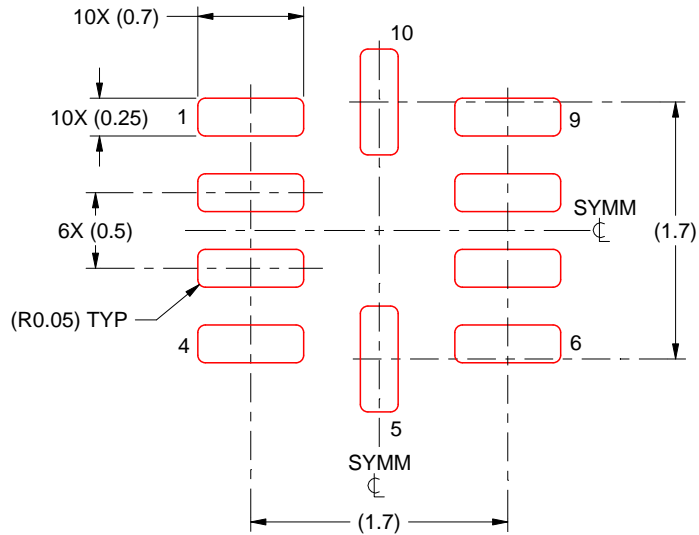
- This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).

EXAMPLE STENCIL DESIGN

RUN0010A

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 20X

4220470/A 05/2020

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](#) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated