



3チャンネルHDTVビデオ・アンプ 5次ローパス・フィルタ内蔵、6dBゲイン

特長

- 3チャンネルHDTVビデオ・アンプ
Y'P'B'P'R 720pおよび1080i、G'B'R' (R'G'B')、
VGA/SVGA/XGA用
- 内蔵ローパス・フィルタ
 - 5次36MHz (-3dB) バターワース・フィルタ
 - -1dB/31MHzの通過帯域幅
 - -30dB/74MHの減衰
- 多用途の入力バイアス
 - 140mVオフセット付きのDC結合
 - シンクチップ・クランプ付きAC結合
 - バイアス付きAC結合可能
- 内蔵6dBゲイン (2V/V)
- 3V~5Vの単電源動作
- レール・ツー・レール出力：
 - 両レールから100mV以内までの出力振幅で、
AC/DC出力結合
 - チャンネルあたり2ライン駆動に対応

- 18.3mA (3.3V時) の低消費電流
- 0.1%/0.1°の微分ゲイン/微分位相
- SOIC-8パッケージ

アプリケーション

- セット・トップ・ボックスのビデオ出力バッファ
- PVR/DVDR出力バッファ
- USB/ポータブルの低電力ビデオ・バッファ

概要

THS7316は、シリコン・ゲルマニウム (SiGe) のBiCom-3プロセスで製造された、低電力、単電源3V~5Vの3チャンネル集積化ビデオ・バッファです。またTHS7316は、DAC復元フィルタやADCアンチ・エイリアシング・フィルタとして使用できる5次の修正バターワース・フィルタを組み込んでいます。この36MHzのフィルタは、Y'P'B'P'R 720p/1080i、G'B'R' (R'G'B')、およびVGA/SVGA/XGA信号を含むHDTVビデオに最適な選択になります。

THS7316の機能の一つとして、入力をACあるいはDC結合入

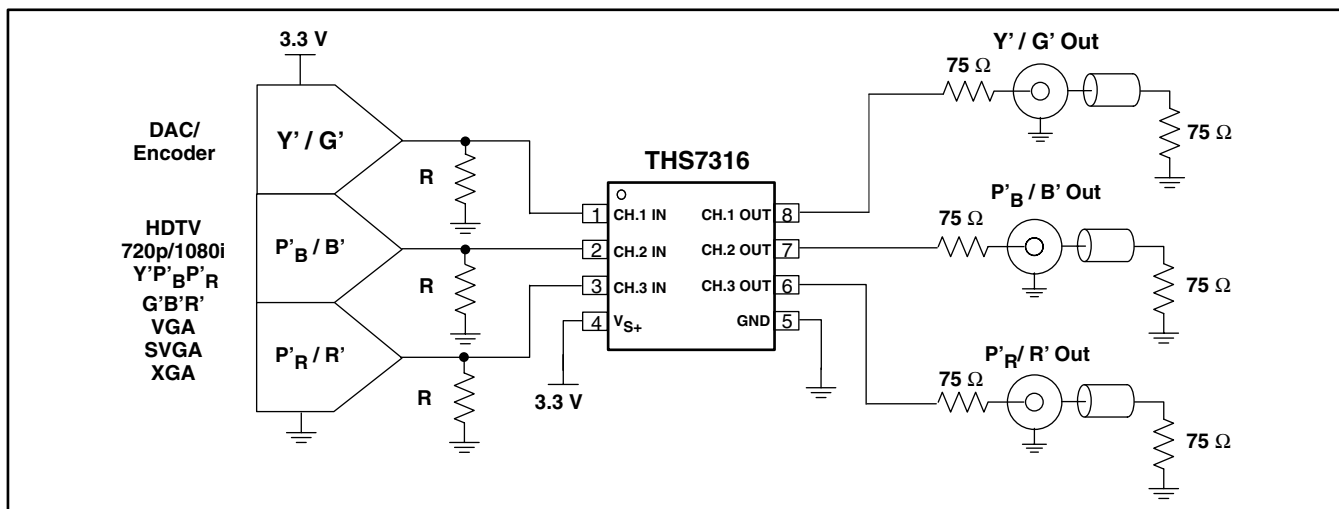


図 1. 3.3V単電源、DC入力/DC出力結合のビデオ・ライン・ドライバ

すべての商標および登録商標は、それぞれの所有者に帰属します。

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本TI) が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては何なる責任も負いません。



力に設定することができます。DC + 140mV入力オフセットのシフトにより、0V入力時に出力でシンクのダイナミックレンジがフルに得られます。AC結合モードには、シンク付きのYやグリーン信号用に、透過シンクチップ・クランプのオプションがあります。P_B/P_R/非シンクのチャンネルに対するAC結合時のバイアスは、外付け抵抗を付加して行います。

THS7316は、全てのアプリケーションの出力バッファとして最適な選択です。そのレール・ツー・レール出力段には6dBのゲインがあり、ACおよびDC結合でラインを駆動できます。チャンネルあたりで2本のビデオ・ラインすなわち75Ω負荷を駆動できるため、ビデオ・ライン・ドライバとして最大限の柔軟性があります。また、全体の消費電流が18.3mAなので、USB電源、

ポータブル、その他の電力条件が厳しいビデオ・アプリケーション用に優れた選択となります。

THS7316は、RoHSに準拠した小型のSOIC-8パッケージで入手できます。



静電気放電対策

これらのデバイスは、限定的なESD (静電破壊) 保護機能を内蔵しています。保存時または取り扱い時に、MOSゲートに対する静電破壊を防止するために、リード線どうしを短絡しておくか、デバイスを導電性のフォームに入れる必要があります。

製品情報

製品型番	パッケージ ⁽¹⁾	出荷形態、数量
THS7316D	SOIC-8	チューブ、75
THS7316DR		テープ・リール、2500

(1) 最新のパッケージおよびご注文情報については、このドキュメントの巻末にある「付録：パッケージ・オプション」を参照するか、またはTIのWebサイト(www.ti.com)をご覧ください。

絶対最大定格⁽¹⁾

		規定値	単位
電源電圧、V _{S+} 対 GND		5.5	V
V _I	入力電圧	-0.4 V ~ V _{S+}	V
I _O	出力電流	±90	mA
連続消費電力		許容損失参照	
T _J	最大接合部温度、すべての条件下 ⁽²⁾	150	°C
T _J	最大接合部温度、連続動作、長期信頼性 ⁽³⁾	125	°C
T _{stg}	保存温度範囲	-65 ~ 150	°C
ESD定格	HBM	2000	V
	CDM	1500	
	MM	200	

- (1) 絶対最大定格以上のストレスは、致命的なダメージを製品に与えることがあります。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。これはストレスの定格のみについて示してあり、このデータシートに示された値を越える状態での本製品の機能動作は含まれていません。
- (2) すべての条件下の絶対最大ジャンクション温度は、シリコン・プロセスの制約により限定されます。
- (3) 連続動作の絶対最大ジャンクション温度は、パッケージの制約により限定されます。この温度を超えて動作すると、デバイスの信頼性や寿命が悪化します。

許容損失

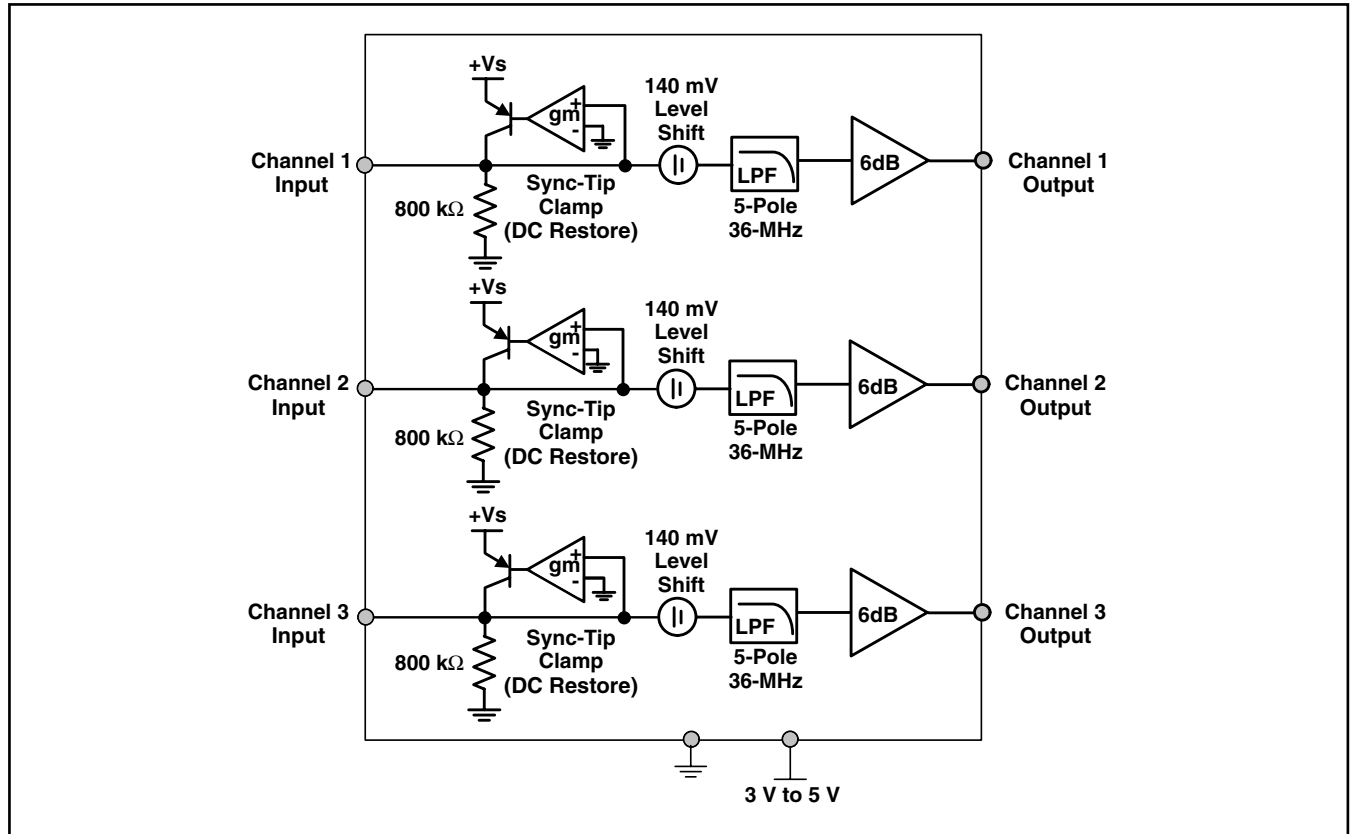
パッケージ	θ _{JC} (°C/W)	θ _{JA} (°C/W)	許容損失 ⁽¹⁾ (T _J = 125°C)	
			T _A = 25°C	T _A = 85°C
SOIC-8 (D)	16.8	130 ⁽²⁾	769 mW	308 mW

- (1) 許容損失はジャンクション温度125°Cにより定まります。この温度は、デバイス性能が低下し始め、長期信頼性が悪化し始めるポイントです。最適な特性および信頼性のために、最終製品のPCBの熱管理によりジャンクション温度を125°C以下に抑えるように努めます。
- (2) このデータは、JEDECのHigh-K PCBで採りました。JEDECのLow-K PCBのθ_{JA}は196°C/Wです。

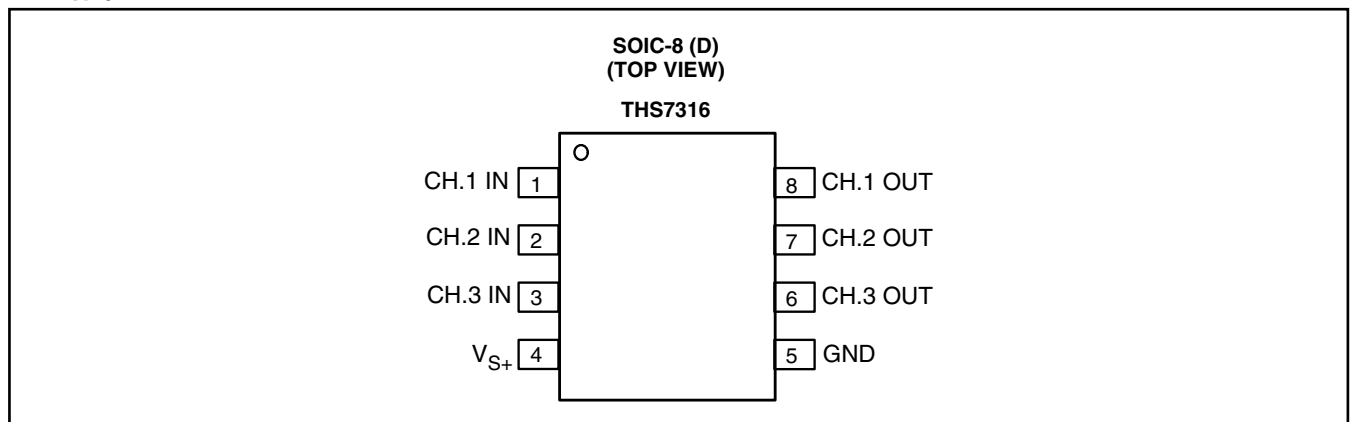
推奨動作条件

		MIN	MAX	単位
V _{S+}	電源電圧	3	5	V
T _A	周囲温度	-40	85	°C

機能図



ピン配置



ピン構成

端子		I/O	説明
名称	NO. SOIC-8		
CH. 1 - INPUT	1	I	ビデオ入力 - チャンネル1
CH. 2 - INPUT	2	I	ビデオ入力 - チャンネル2
CH. 3 - INPUT	3	I	ビデオ入力 - チャンネル3
+Vs	4	I	正電源端子 - $3\text{V}\sim 5\text{V}$ に接続。
GND	5	I	全内部回路のグランド端子。
CH. 3 - OUTPUT	6	O	ビデオ出力 - チャンネル3
CH. 2 - OUTPUT	7	O	ビデオ出力 - チャンネル2
CH. 1 - OUTPUT	8	O	ビデオ出力 - チャンネル1

電気的特性 $V_{S+} = 3.3V$

$R_L = 150\Omega$ でGNDへ接続 – 図2および図3を参照(特に記述のない限り)

パラメータ	測定条件	TYP	規定温度				単位	MIN/ MAX/ TYP
		25°C	25°C	0°C ~ 70°C	-40°C ~ 85°C			
AC特性								
小信号帯域幅 (-3dB)	$V_O - 0.2 V_{PP}^{(1)}$	36	31/43	30/44	30/44	MHz	Min/Max	
大信号帯域幅 (-3dB)	$V_O - 2 V_{PP}^{(1)}$	36	31/43	30/44	30/44	MHz	Min/Max	
-1dB通過域帯域幅		31				MHz	Typ	
減衰 (100kHzに対して)	$f = 27 \text{ MHz}^{(2)}$	0.3	-0.3/2.4	-0.35/2.4	-0.4/2.6	dB	Min/Max	
	$f = 74 \text{ MHz}^{(2)}$	30	20	19	19	dB	Min	
群遅延	$f = 100 \text{ kHz}$	16.2				ns	Typ	
群遅延変動 (100kHzに対して)	$f = 27 \text{ MHz}$	5.4				ns	Typ	
チャンネル間遅延		0.3				ns	Typ	
微分ゲイン	NTSC / PAL	0.1 / 0.15%					Typ	
微分位相	NTSC / PAL	0.1 / 0.1				°	Typ	
全高調波歪み	$f = 1 \text{ MHz}; V_O = 2 V_{PP}$	-70				dB	Typ	
信号対ノイズ比	重みなし、100kHz~37.5MHz	67				dB	Typ	
チャンネル間クロストーク	$f = 1 \text{ MHz}$	-61				dB	Typ	
ACゲイン – 全チャンネル		6	5.7/6.3	5.65/6.35	5.65/6.35	dB	Min/Max	
出力インピーダンス	$f = 10 \text{ MHz}$	0.5				Ω	Typ	
DC特性								
出力電圧バイアス	$V_I = 0 \text{ V}$	285	210/370	200/380	190/390	mV	Min/Max	
入力電圧範囲	DC入力、出力により限定	-0.1/1.46				V	Typ	
シンクチップ・クランプ充電電流	$V_I = -0.1 \text{ V}$	360				μA	Typ	
入力抵抗		800				k Ω	Typ	
入力容量		2				pF	Typ	
出力特性								
高出力電圧振幅	$R_L = 150 \Omega$ で 1.65V へ接続	3.15				V	Typ	
	$R_L = 150 \Omega$ で GND へ接続	3.1	2.85	2.75	2.75	V	Min	
	$R_L = 75 \Omega$ で 1.65V へ接続	3.1				V	Typ	
	$R_L = 75 \Omega$ で GND へ接続	3.0				V	Typ	
低出力電圧振幅	$R_L = 150 \Omega$ で 1.65V ($V_I = -0.15 \text{ V}$) へ接続	0.14				V	Typ	
	$R_L = 150 \Omega$ で GND ($V_I = -0.15 \text{ V}$) へ接続	0.08	0.17	0.2	0.21	V	Max	
	$R_L = 75 \Omega$ で 1.65V ($V_I = -0.15 \text{ V}$) へ接続	0.3				V	Typ	
	$R_L = 75 \Omega$ で GND ($V_I = -0.15 \text{ V}$) へ接続	0.1				V	Typ	
出力電流 (ソース)	$R_L = 10 \Omega$ で 1.65V へ接続	80				mA	Typ	
出力電流 (シンク)	$R_L = 10 \Omega$ で 1.65V へ接続	70				mA	Typ	
電源								
最大動作電圧		3.3	5.5	5.5	5.5	V	Max	
最小動作電圧		3.3	2.85	2.85	2.85	V	Min	
最大消費電流	$V_I = 0 \text{ V}$	18.3	22.5	23	23.4	mA	Max	
最小消費電流	$V_I = 0 \text{ V}$	18.3	14	13.6	13.1	mA	Min	
電源除去比 (+PSRR)		52				dB	Typ	

(1) 本仕様に列記される最小/最大値は、設計および特性解析のみにより規定されています。

(2) 3.3V電源時のフィルタ仕様は、設計および特性解析とともに5V電源での100%試験により規定されています。

電気的特性 $V_{S+} = 5V$

$R_L = 150\Omega$ でGNDへ接続 – 図2および図3を参照(特に記述のない限り)

パラメータ	測定条件	TYP	規定温度				単位	MIN/ MAX/ TYP
		25°C	25°C	0°C ~ 70°C	-40°C ~ 85°C			
AC特性								
小信号帯域幅(-3dB)	$V_O - 0.2 V_{PP}^{(1)}$	36	31/43	30/44	30/44	MHz	Min/Max	
大信号帯域幅(-3dB)	$V_O - 2 V_{PP}^{(1)}$	36	31/43	30/44	30/44	MHz	Min/Max	
-1dB通過域帯域幅		31				MHz	Typ	
減衰 (100kHzに対して)	$f = 27 \text{ MHz}$	0.3	-0.3/2.4	-0.35/2.5	-0.4/2.6	dB	Min/Max	
	$f = 74 \text{ MHz}$	30	20	19	19	dB	Min	
群遅延	$f = 100 \text{ kHz}$	16.1				ns	Typ	
群遅延変動 (100kHzに対して)	$f = 27 \text{ MHz}$	5.4				ns	Typ	
チャンネル間遅延		0.3				ns	Typ	
微分ゲイン	NTSC / PAL	0.1 / 0.15%					Typ	
微分位相	NTSC / PAL	0.1 / 0.1				°	Typ	
全高調波歪み	$f = 1 \text{ MHz}; V_O = 2 V_{PP}$	-70				dB	Typ	
信号対ノイズ比	重みなし、100kHz~37.5MHz	67				dB	Typ	
チャンネル間クロストーク	$f = 1 \text{ MHz}$	-62				dB	Typ	
ACゲイン – 全チャンネル		6	5.7/6.3	5.65/6.35	5.65/6.35	dB	Min/Max	
出力インピーダンス	$f = 10 \text{ MHz}$	0.5				Ω	Typ	
DC特性								
出力電圧バイアス	$V_I = 0 \text{ V}$	290	210/370	200/380	190/390	mV	Min/Max	
入力電圧範囲	DC入力、出力により限定	-0.1/2.3				V	Typ	
シンクチップ・クランプ充電電流	$V_I = -0.1 \text{ V}$	380				μA	Typ	
入力抵抗		800				k Ω	Typ	
入力容量		2				pF	Typ	
出力特性								
高出力電圧振幅	$R_L = 150 \Omega$ で 2.5V へ接続	4.85				V	Typ	
	$R_L = 150 \Omega$ で GND へ接続	4.7	4.2	4.1	4.1	V	Min	
	$R_L = 75 \Omega$ で 2.5V へ接続	4.7				V	Typ	
	$R_L = 75 \Omega$ で GND へ接続	4.5				V	Typ	
低出力電圧振幅	$R_L = 150 \Omega$ で 2.5V ($V_I = -0.15 \text{ V}$) へ接続	0.19				V	Typ	
	$R_L = 150 \Omega$ で GND ($V_I = -0.15 \text{ V}$) へ接続	0.09	0.23	0.26	0.27	V	Max	
	$R_L = 75 \Omega$ で 2.5V ($V_I = -0.15 \text{ V}$) へ接続	0.35				V	Typ	
	$R_L = 75 \Omega$ で GND ($V_I = -0.15 \text{ V}$) へ接続	0.1				V	Typ	
出力電流(ソース)	$R_L = 10 \Omega$ で 2.5 V へ接続	90				mA	Typ	
出力電流(シンク)	$R_L = 10 \Omega$ で 2.5 V へ接続	85				mA	Typ	
電源								
最大動作電圧		5	5.5	5.5	5.5	V	Max	
最小動作電圧		5	2.85	2.85	2.85	V	Min	
最大無信号時消費電流	$V_I = 0 \text{ V}$	19.3	23	25	26	mA	Max	
最小無信号時消費電流	$V_I = 0 \text{ V}$	19.3	14.7	14.2	13.8	mA	Min	
電源除去比(+PSRR)		52				dB	Typ	

(1) 本仕様に列記される最小/最大値は、設計および特性解析のみにより規定されています。

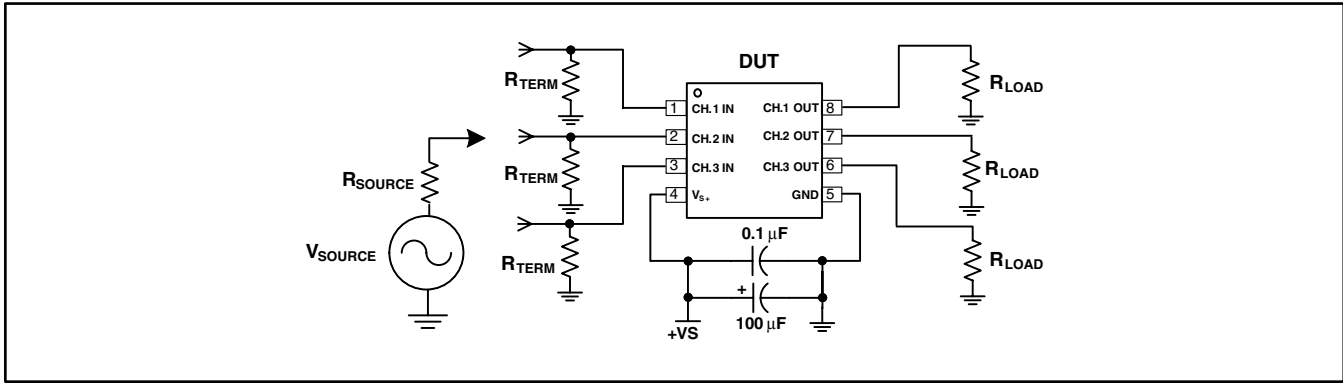


図 2. DC結合入力・出力の試験回路

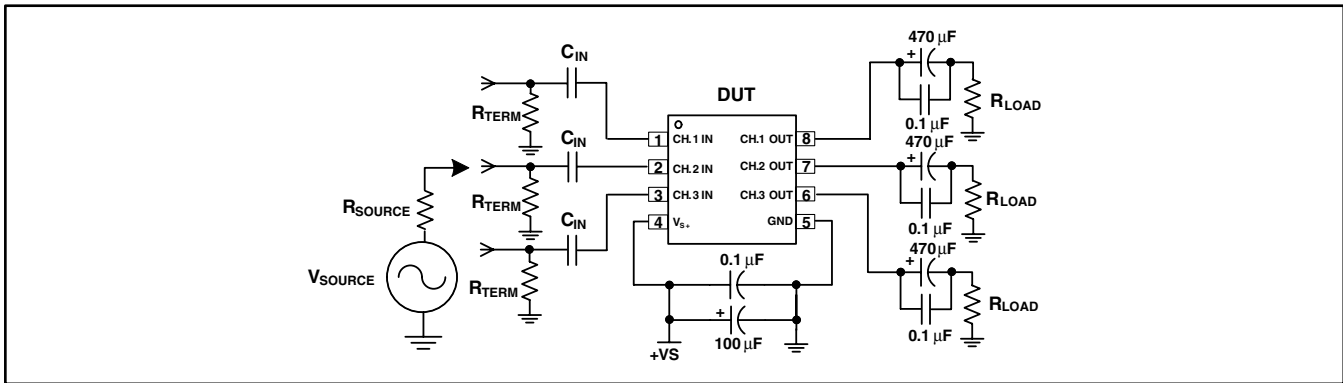


図 3. AC結合入力・出力の試験回路

代表的特性

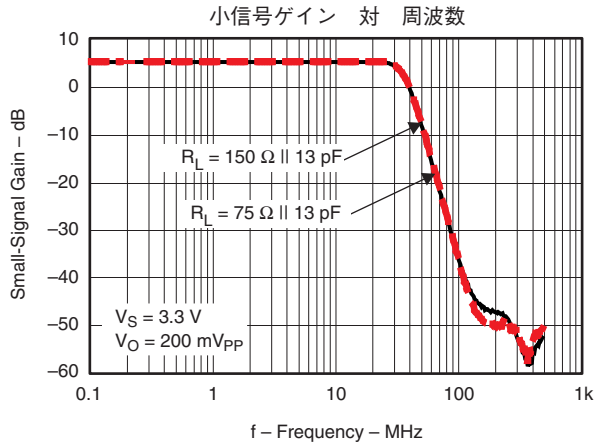


図 4

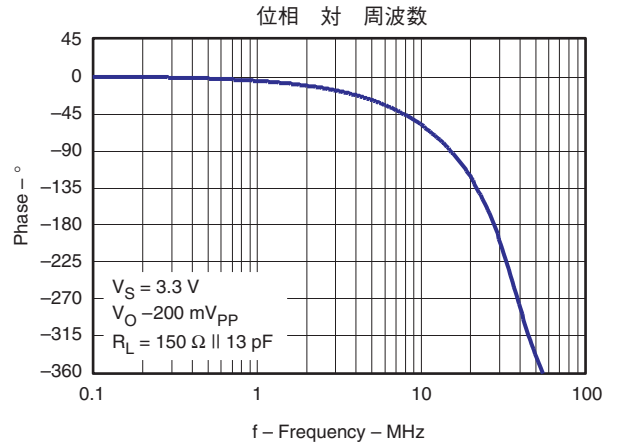


図 5

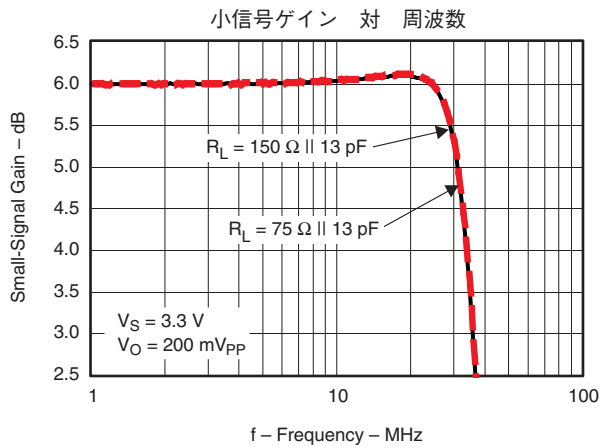


図 6

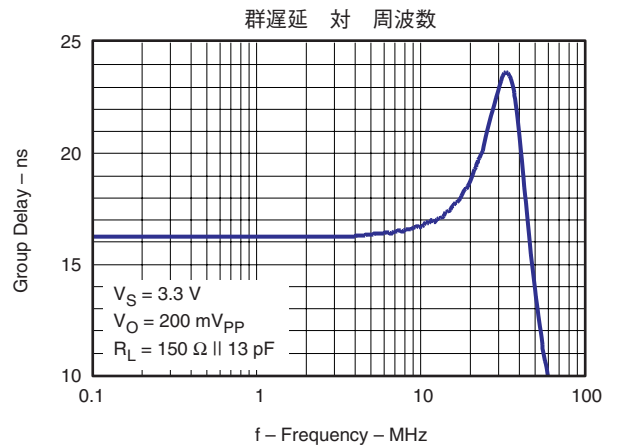


図 7

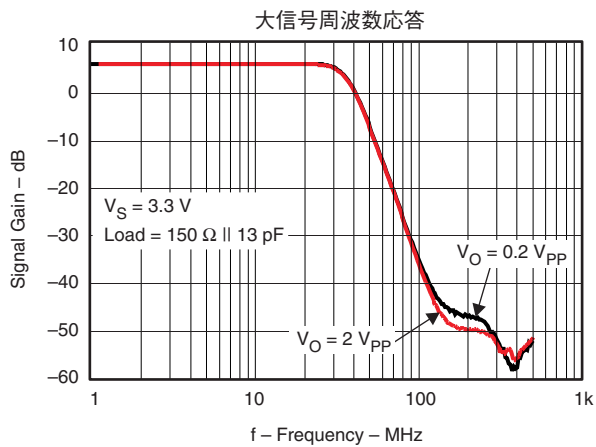


図 8

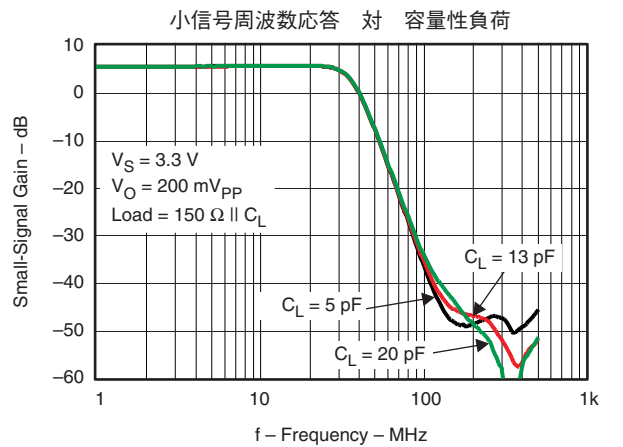


図 9

代表的特性

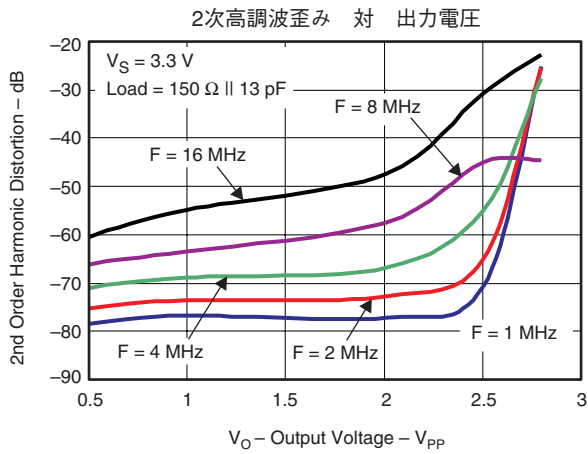


図 10

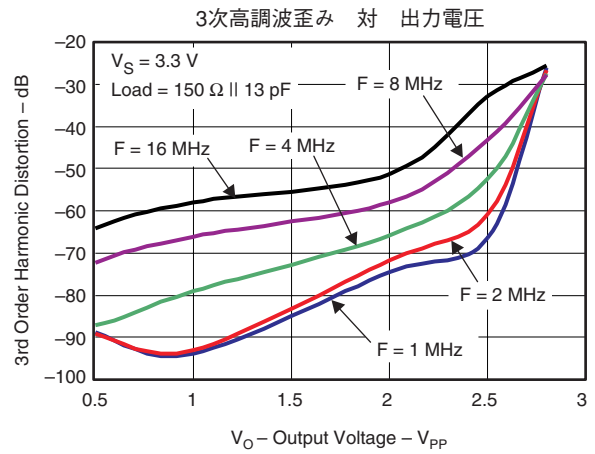


図 11

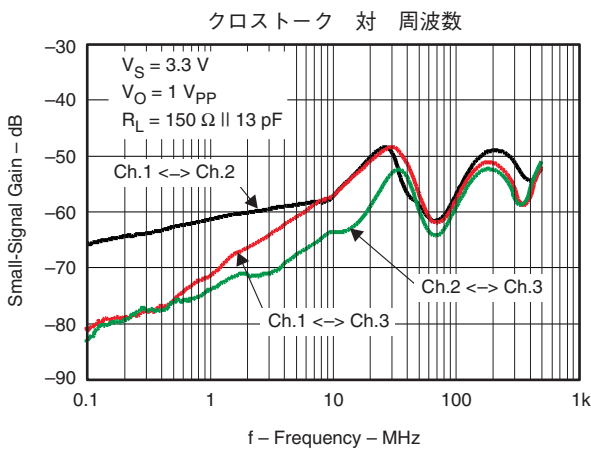


図 12

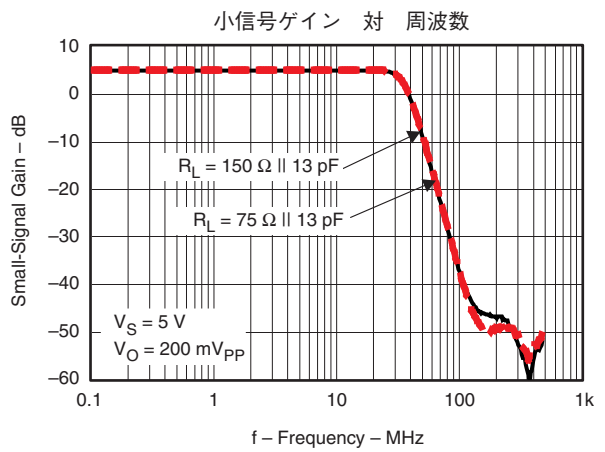


図 13

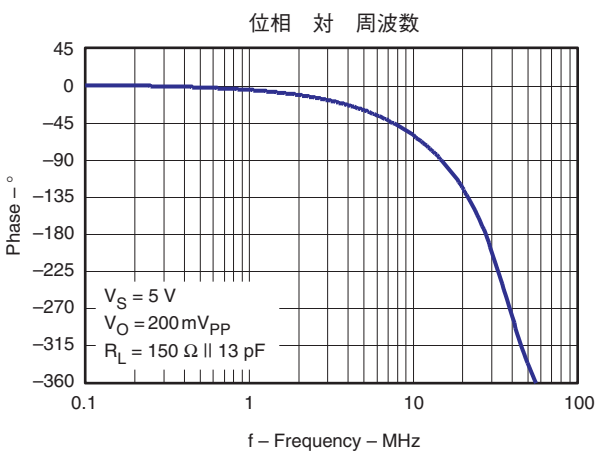


図 14

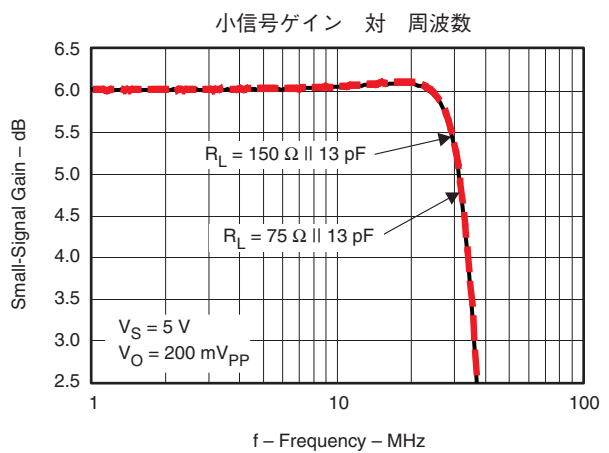


図 15

代表的特性

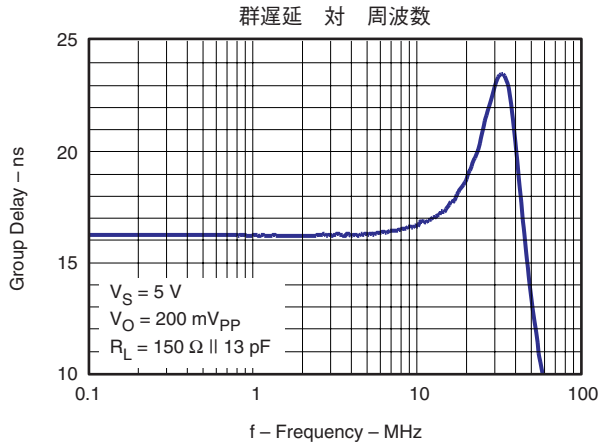


図 16

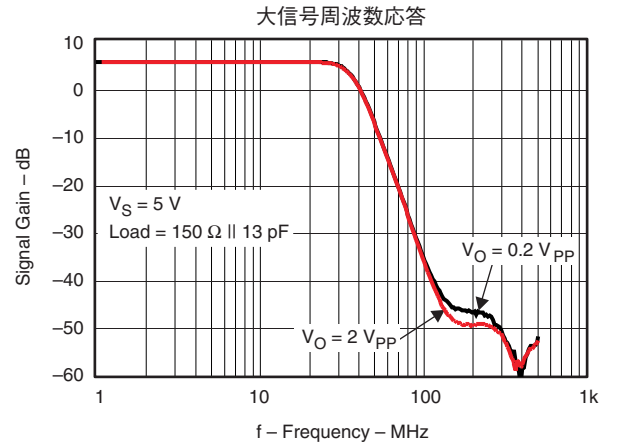


図 17

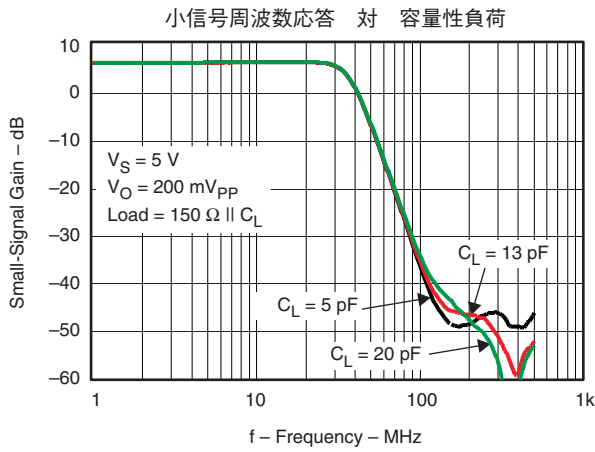


図 18

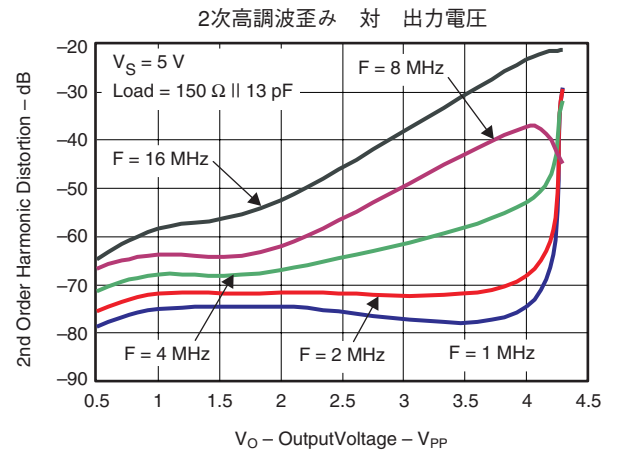


図 19

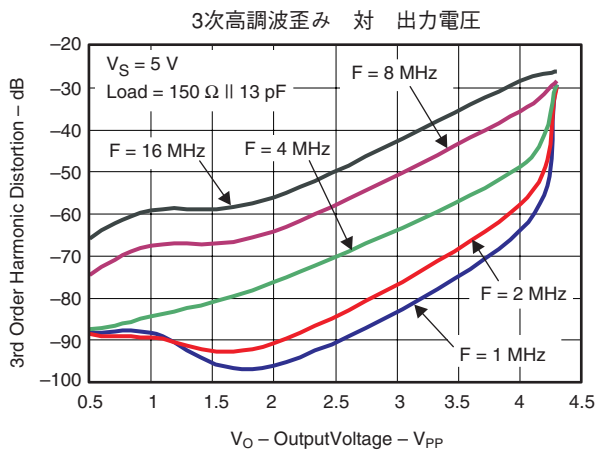


図 20

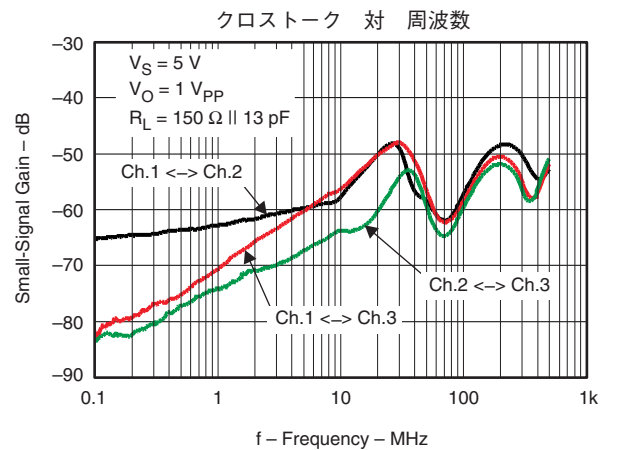


図 21

代表的特性

無信号時消費電流 対 温度

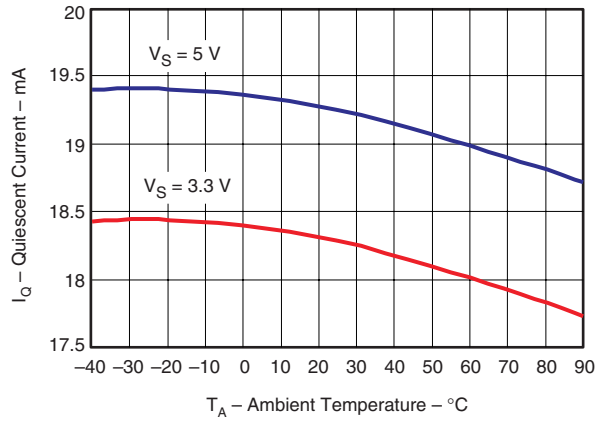


図 22

電圧ゲイン 対 温度

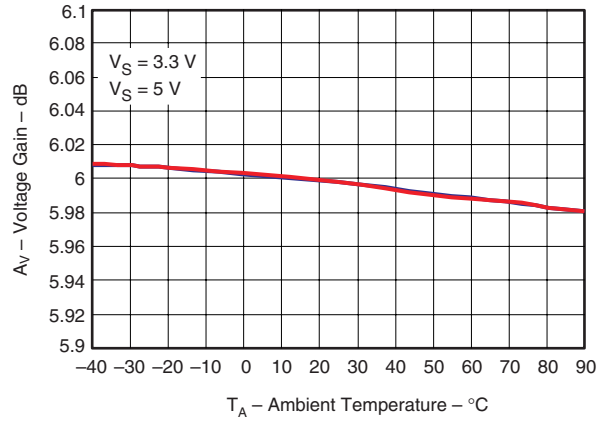


図 23

27MHz時の減衰 対 温度

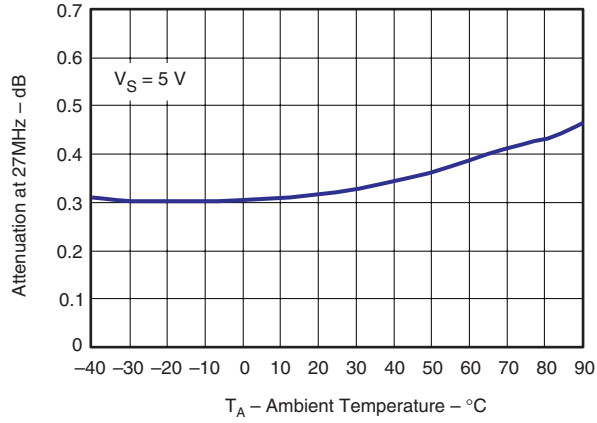


図 24

74MHz時の減衰 対 温度

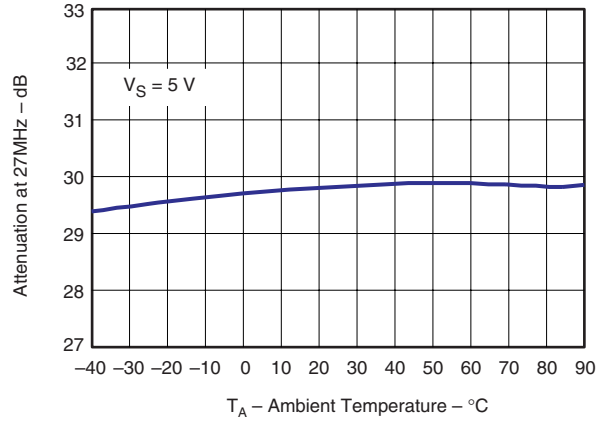


図 25

アプリケーション情報

THS7316は、SDTVの出力バッファへのアプリケーションを対象にしています。THS7316は他の多くのアプリケーションに使用できますが、ビデオ信号のニーズと要件がTHS7316の重要な設計パラメータです。THS7316はシリコン・ゲルマニウム (SiGe) のBiCom-3プロセスで製造され、低消費電力ながら、多くの機能を組み込んでいます。

THS7316には以下の特長があります。

- 3V~5Vの単電源動作で、全体の消費電流が18.3mA(3.3V時) および19.3mA (5V時) と低い。
- DC + レベルシフトおよびACシンクチップ・クランプが可能な入力設定。
- 外付けのプルアップ抵抗を正電源に接続して、ACバイアスが可能。
- DAC復元およびADCイメージ除去用の5次ローパス・フィルタ：
 - HDTV、Y'P'B'P'R 720p/1080i、G'B'R' (R'G'B')、およびコンピュータVGA/SVGA/XGA信号用の36MHz。
 - SDTV (480i, 576i, CVBS, Sビデオ) およびEDTV (480pおよび576p) 信号にも使用可能。
- 2V/V (6dB) の内部固定ゲインのバッファ。DC結合あるいは従来のAC結合で、チャンネルあたり2ビデオ・ラインまで駆動可能。
- 8ピンSOICパッケージを使用した信号フロー・スルーピン配置。パッケージは最新のRoHSおよびグリーン化に対応。

動作電圧

THS7316は、 -40°C から 85°C の温度範囲で3Vから5Vで動作するように設計されています。全温度範囲による特性への影響は、薄膜抵抗および高品質で低温度係数の容量のためにほとんど無視することができます。

電源端子には、 $0.1\mu\text{F}$ から $0.01\mu\text{F}$ のコンデンサをできるだけ近く配置します。ない場合はTHS7316の出力にリングングが生じたり、発振が生じる可能性があります。さらに、 $22\mu\text{F}$ から $100\mu\text{F}$ の大容量コンデンサを電源ラインに配置し、50/60Hzのライン周波数による干渉を最小限にします。

入力電圧

THS7316の入力では、 -0.3V から約 $(V_{S+} - 1.5\text{V})$ の入力信号範囲が可能です。しかし、 2V/V (6dB) の内部固定ゲインと公称値で 140mV の内部レベルシフトのために、一般にリニア出力範囲が許容リニア入力範囲を制限する要素になります。例えば5V電源の場合、リニア入力範囲は -0.3V から 3.5V ですが、固定ゲインとレベルシフトのため、リニア出力範囲によって許容リニア入力範囲は約 -0.1V から 2.3V に制限されます。

入力過電圧保護

THS7316は、高速コンプリメンタリ・バイポーラCMOSプロセスで造られています。このデバイスは微細プロセスを使用しているため、内部のジャンクション・ブレイクダウン電圧は低くなります。ブレイクダウン電圧については、「絶対最大定格」表に反映されています。また、すべての入力および出力端子は図26に示すように、両電源レールに接続された内部ESD保護ダイオードで保護されています。

また、これらのダイオードにより、両電源レールを上回る/下回る入力過電圧に対する適度な保護もなされます。保護ダイオードは、過電圧駆動時に標準で 30mA の連続電流に対応できます。

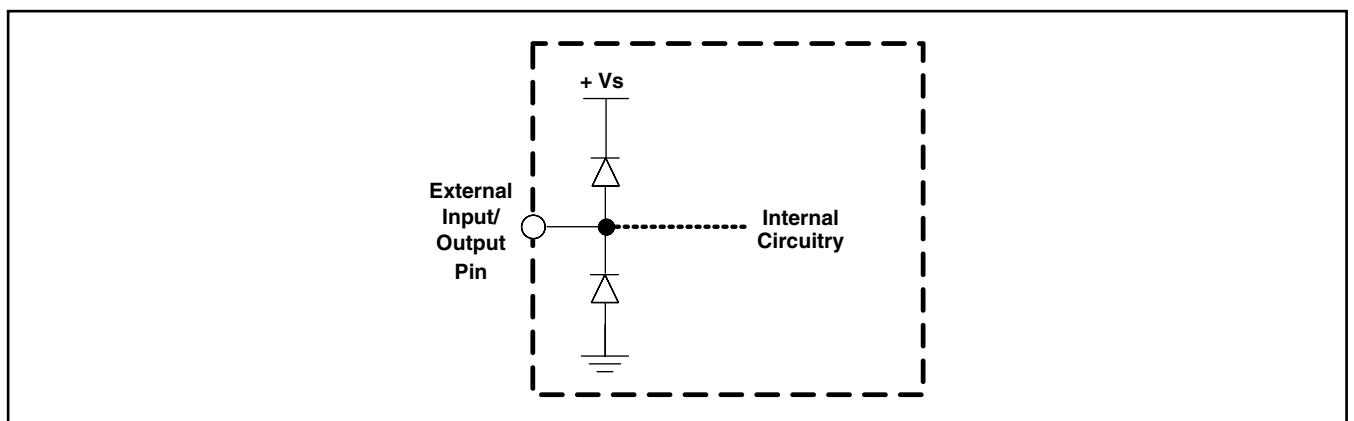


図 26. 内部ESD保護

標準的な設定およびビデオ終端

ビデオバッファとしてTHS7316を用いた標準的なアプリケーション回路を図27に示します。図27では、DAC(あるいはTHS8200のようなエンコーダ)がTHS7316の3入力チャンネルを駆動しています。これらのチャンネルには、720pあるいは1080iシステムのHDTV Y'P'B'P'R'(Y'C'B'C'Rとも記す)信号と示してありますが、G'B'R'(R'G'B')信号や他の場合もあります。

本文書を通じて、Y'項は γ 補正後の輝度(luma)チャンネルとして使用されており、より一般的な輝度Y(luminance)項でないことに注意願います。その理由は、CIE — 国際照明委員会により規定された輝度の定義によるからです。非線形項 γ が真のRGB信号に加えられてR'G'B'信号を形成するため、ビデオは真の輝度(luminance)から逸脱します。次に、これらのR'G'B'信号を使用して数学的に輝度(luma Y')が生成されます。したがって、専門用語上の輝度(Y)は差異があるため使用していません。

この論拠は色度(C' chroma)項にも適用されます。色度C'は非線形のR'G'B'項から得られます。したがって、色度C'も非線形です。色度(C chrominance)は線形のRGBから得られるため、色度(C')と色度(C)には違いがあります。色差信号(P'B/P'R/U'/V')についても、同様の方法で非線形(γ 補正済み)信号であることを示します。

R'G'B'(一般にRGBと間違えて呼ばれる)も、プロ用ビデオシステムではG'B'R'と(これも一般にGBRと間違えて呼ばれる)呼ばれています。SMPTEコンポーネント規格では、輝度情報は第1チャンネルに、青の色差信号は第2チャンネル、および赤の色差信号は第3チャンネルにそれぞれ配置するように規定されています。この規格はY'P'B'P'R'表記と一致しています。輝度チャンネル(Y')はシンク情報を伝達し、緑チャンネル(G')も同じくシンク情報を伝達するため、G'がシステムの最初に配置されるのは理にかなったことです。また、青の色差チャンネル(P'B)が次で、赤の色差チャンネル(P'R)が最後であるため、B'信号を第2チャンネルに、R'信号を第3チャンネルにそれぞれ配置することも理にかなったことです。したがって、ハードウェア上での互換性は、R'G'B'よりもG'B'R'を使う方がうまく実現できます。なお、多くのG'B'R'システムでは、シンクが3チャンネルのすべてに組み込まれていますが、すべてのシステムに当てはまるわけではありません。

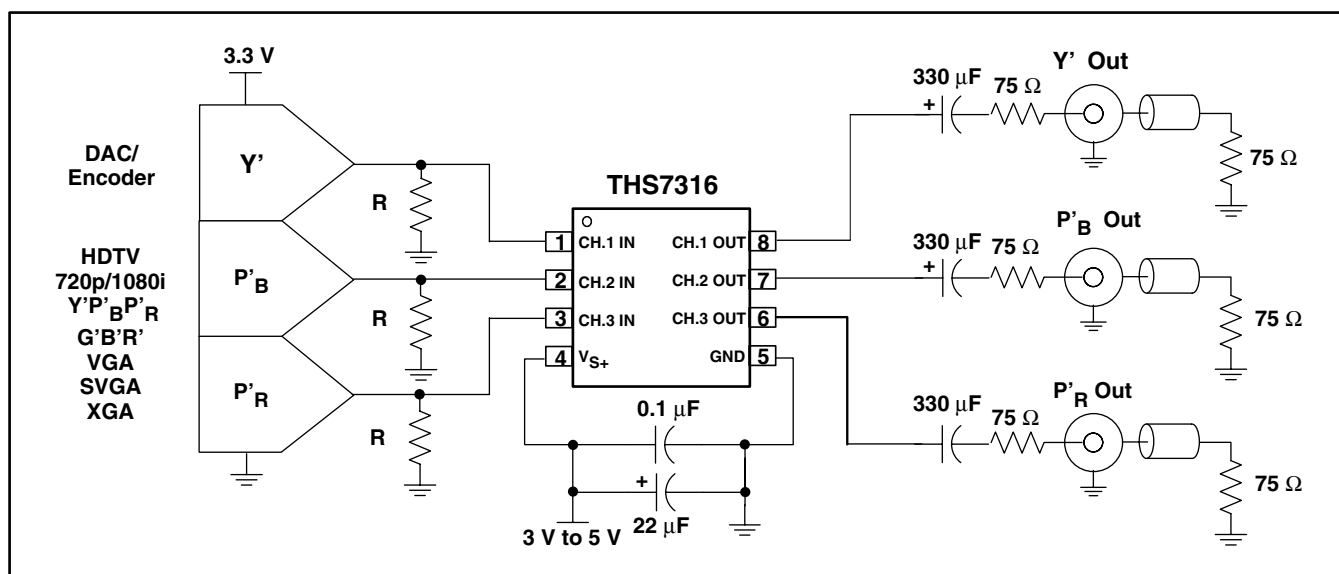


図 27. DC結合のエンコーダ/DACからの標準的なHDTV Y'/P'B/P'R入力と、AC結合ラインの駆動

入力動作モード - DC

THS7316への入力には、AC結合とDC結合の両方が可能です。DACやビデオ・エンコーダの多くが、THS7316にDC接続することができます。DC結合の欠点のひとつは、入力に0Vが印加された場合です。THS7316の入力には0V信号を問題なく入力できますが、従来のアンプの出力振幅ではクリッピングしてしまい、0V信号を出力できません。このことは、出力トランジスタの限界のために、あらゆる単電源アンプについて当てはまります。CMOSおよびバイポーラのトランジスタはともに、電流をシンクしながら0Vを出力することはできません。また、電流をソースしているときの最大出力電圧が電源電圧より常に低い理由も、同様にこのトランジスタの特質によるものです。

この出力クリッピングにより、ビデオ信号のシンク振幅（水平および垂直のシンク振幅）が減少します。このビデオ信号のレシーバが、AGCループを使用して伝送ラインでの損失を補償する場合、ひとつの問題が生じます。ビデオAGC回路の中には、水平シンク振幅からゲインを定めるものがあります。したがって、シンク振幅にクリッピングが生じると、AGC回路はゲインを過大に増加して、振幅ゲイン補正が過大になります。その結果、過度な色の飽和を伴った非常に明るい画面の画像になります。

飽和/クリッピングが生じないようにするには設計において考えなければなりません。トランジスタが飽和から抜け出るには、常に有限の時間を必要とします。したがって、この飽和はタイミング遅延や他の信号の乱れにつながります。

飽和/クリッピングの問題を解消するために、THS7316にはDC + 140mVの入力シフト機能があります。この機能は入力電圧を受け、内部で+140mVのシフトをさせることができます。THS7316には6dB (2V/V) のゲインもあるため、0Vの入力電圧に対する出力は約280mVになります。THS7316のレール・ツー・レール出力段は、この出力レベルを標準的なビデオ負荷の接続時に生成することができます。このようにして、シンク信号の飽和/クリッピングが発生ないように設定します。このシフト量は、入力信号に依存せず一定です。例えば、1Vの入力が印加されると、出力は2.28Vになります。

内部ゲインは6dBに固定されているので、クリッピング問題のない許容リニア入力電圧範囲はゲインにより定まります。例として、電源を3Vに設定する場合、大電流を駆動しながら最大出力は約2.9Vです。したがって、クリッピングを回避するには、許容入力が $(2.9V/2) - 0.14V = 1.31V$ になります。この例の関係は最大推奨電源電圧の5Vまで成立し、出力におけるクリッピングを回避しながら、 $((4.9V/2) - 0.14V) = 2.31V$ の入力範囲が可能です。

この入力動作モード時のTHS7316の入力インピーダンスは、内部の800kΩのプルダウン抵抗により定まります。この状況を図28に示します。内部の電圧シフトは入力端子に現れず、出力端子のみに現れることに注意願います。

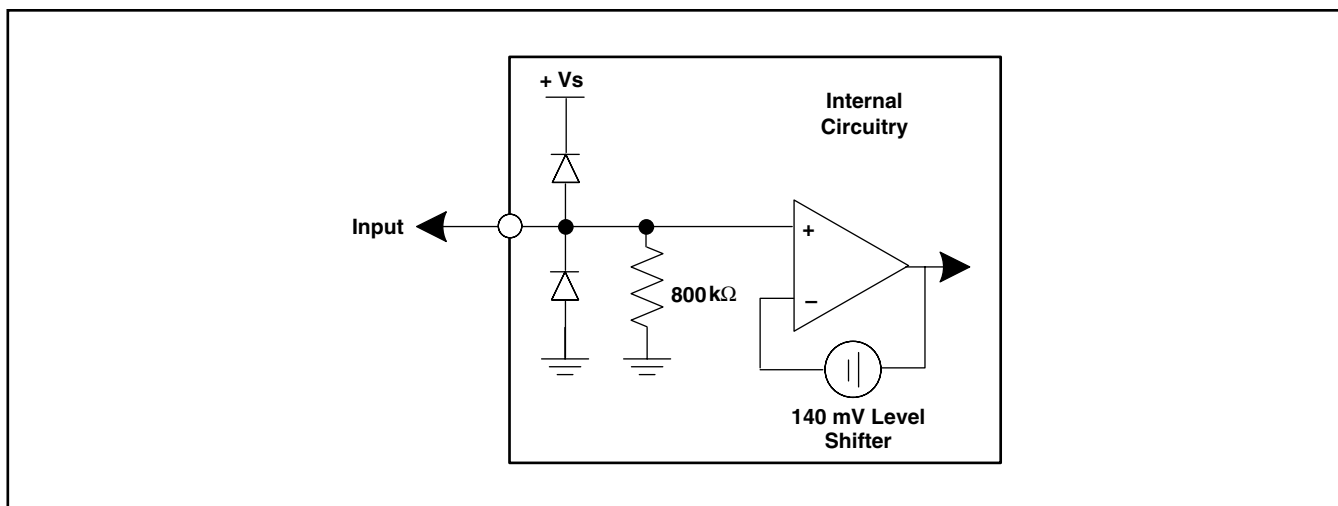


図 28. DC入力モードの等価回路

入力動作モード - ACシンクチップ・クランプ

ビデオDACやエンコーダの中には、グランドではなく正電源を基準とするものがあります。これらのDACは、より従来からのグランドを基準とした抵抗を使用する電流ソース型DACとは違い、一般にシンク電流のみになります。その結果、DC結合のビデオ・バッファが適正に動作するには、ビデオ信号の電圧が高過ぎることがあります。このような場合のために、THS7316にはシンクチップ・クランプ回路 (STC) が組み込まれています。この機能には、入力に直列にコンデンサ (公称値で $0.1\mu\text{F}$) が1個必要になります。本文書ではシンクチップ・クランプという用語を使用していますが、この機能の動作形態に基づいて、THS7316ではDC復元回路という用語の方が相応しいことに注意願います。この回路は能動的なクランプ回路であり、受動的なダイオード・クランプ機能ではありません。

THS7316の入力には内部制御ループがあり、クランプする最小入力印加電圧をグランド (0V) に設定しています。リファレンスを 0V に設定することにより、THS7316ではDC結合入力ようになります。即ち、STCは入力信号がグランド・レベルを下回らないと動作しないので、STCはグランド・レベルを下回らない入力信号に対して透過的と見なすことができます。信号は同じ 140mV レベルシフトされ、出力電圧ローレベルの 280mV になります。入力信号が 0V より低くなろうとすると、THS7316の内部制御ループは 3mA まで電流をソースし、結合コンデンサの THS7316 入力側の入力電圧レベルを上げます。電圧が 0V を超えるとすぐに、内部制御ループは電流ソースを停止してハイ・インピーダンスになります。

シンクチップ・クランプ・レベルの問題のひとつに、クランプがどのようにシンク・エッジに反応するかということがあります。シンク・エッジには、VCR信号や拙劣なPCBレイアウトによる反射に一般的な、オーバーシュートがあります。理想的には、STCは入力信号のオーバーシュート電圧に反応すべきではありません。さもないと、STCがバイアス電圧を過剰に上げ、ビデオ信号の他の部分でクリッピングが生じることになります。

この入力信号のオーバーシュート問題を最小限度にするため、図29に示すようにTHS7316の制御ループには内部ローパス・フィルタがあります。このフィルタにより、STC回路の応答時間が遅れます。この遅延は入力電圧がグランドをどれだけ下回るかに依存する関数ですが、一般的な約 80ns の遅延に設定さ

れています。このフィルタの効果は制御ループの応答を遅らせ、入力オーバーシュート電圧でクランプせず、シンク信号の平坦部分でクランプすることです。

この遅延の影響で、シンク・レベルは明らかに電圧シフトをされます。シフト量は、入力コンデンサとSTCの電流により定まる信号のドループ量に依存します。シンクの第一の目的はシンク信号のエッジで発生する同期タイミングなので、このシフトはほとんどのシステムにおいて問題となりません。

過剰なオーバーシュートやリングングに関する入力信号のオーバーシュート問題をこの機能が十分に解消しない場合、STCシステムは不適切なクランプ・レベルを最小限度にする必要があります。この問題を最小限にする別の方法として、外付けのコンデンサ (例: 10pF から 47pF) を外部の終端抵抗と並列にグランドへ接続すると、オーバーシュート問題を除去するのに役立ちます。

このSTCシステムはダイナミックであり、いかなる場合もタイミングには依存しないことに注意します。あらゆる時点において、入力端子に現れる電圧だけに依存します。またSTCフィルタは、信号ライン上のスイッチング・ノイズや非常に短いスパイクに関連するレベルシフト問題を最小限にするのに役立ちます。このノイズ・フィルタリングは、STCシステムの強固性を確保するのに役立ちます。

ACシンクチップ・クランプ (STC) 動作を使用する場合、ある有限の量の放電バイアス電流も必要です。先述したように、入力信号が 0V のクランプ・レベルを下回ると、THS7316の内部制御ループは電流をソースして、入力端子に現れる電圧を高めます。信号レベルと 0V リファレンス・レベルの電位差が増加すると、それに比例してソース電流の量が増え、最大 3mA の電流まで供給されます。その結果、適切なSTC電圧に再確立する時間が速められます。電位差が小さい場合は、わずかな電圧ドループの補償を行うためにソース電流も小さくなります。

しかし、入力信号が 0V 入力レベルを上回る場合はどうなるのでしょうか? 問題はビデオ信号が常にこのレベルより高く、それが決して変えられないということです。しかし、入力信号のシンク・レベルがこの 0V レベルより高い場合、内部放電 (シンク) 電流によりAC結合バイアス信号が適正な 0V レベルまで放電されます。

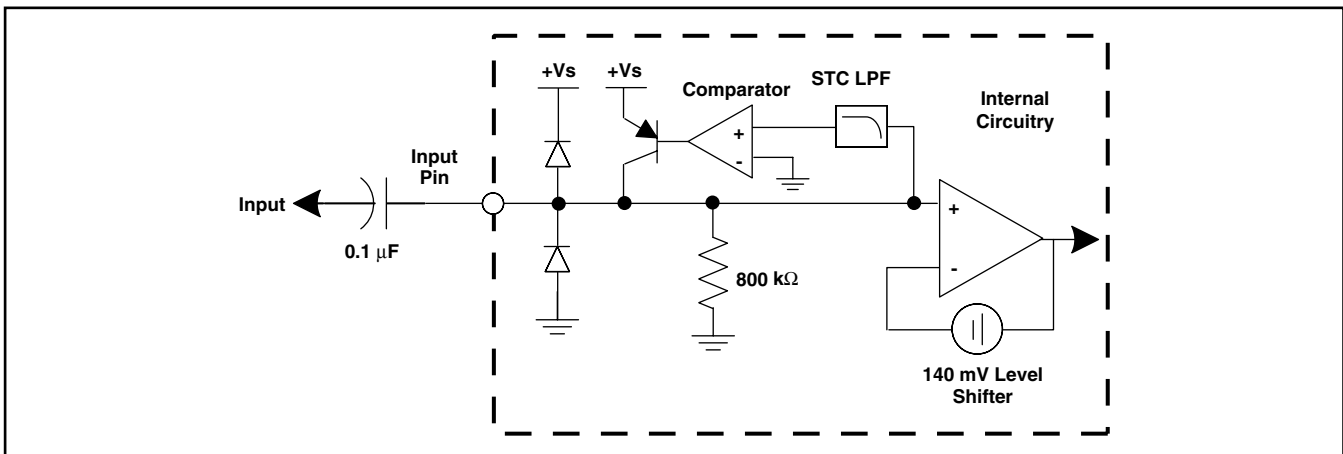


図 29. ACシンクチップ・クランプ入力の等価回路

この放電電流は、ビデオ信号の変化が目につくほど大きくあつてはなりません。さもないと、画質問題が生じます。印加される一定の輝度信号の傾斜(別名:ドループ)およびその結果である出力レベルを観察すると、この変化がよく見られます。ビデオ・ラインの最初から最後までにおける輝度レベルに関連する変化は、ライン傾斜(ドループ)の量になります。

放電電流が小さい場合、傾斜の量は小さく、これは良いことです。しかし、システムがシンク信号を捕捉する時間が長くなり過ぎます。これはハム除去とも呼ばれます。ハムはACライン電圧周波数の50あるいは60Hzから発生します。放電電流およびAC結合コンデンサの値の組み合わせにより、ハム除去とライン傾斜の量が定まります。

DC結合とAC結合を同一部品で実現するために、THS7316はグラウンドに接続した800kΩの抵抗を組み込んでいます。抵抗よりも真正の定電流シンクの方が好ましいのですが、電圧がグラウンド・レベルに近い場合に顕著な問題があります。この状況では電流シンク用トランジスタが飽和し、信号電位の問題が発生します。この800kΩの抵抗は十分に大きく、DC結合されたDACの終端に影響しません。AC結合の信号源の放電には、オームの法則が適用されます。すなわちビデオ信号が1Vの場合、 $1V/800k\Omega = 1.25\mu A$ の放電電流になります。より大きなハム除去が必要か、あるいはシンクの発生の損失がある場合、0.1μFの入力結合コンデンサを小さくします。0.1μFから0.047μFへ低減すると、ハム除去は2.1倍だけ増大します。別の方法として、外付けのプルダウン抵抗をグラウンドとの間に接続すると、全体の抵抗が小さくなるため放電電流が増加します。

AC STC制御ループの適切な安定性を確保するために、信号源インピーダンスは入力コンデンサを含めて1kΩより低いことが必要です。さもないと、制御ループがリングングを起こす可能性があります。このリングングがTHS7316の出力に現れます。ほとんどのDACやエンコーダは抵抗を使用して電圧を確立しており、その抵抗は一般に300Ωより低いので、1kΩより低いことという要件が満たされます。しかし、THS7316の入力から見た信号源インピーダンスが高い場合は、1kΩ抵抗をグラウンドとの間に付加してTHS7316の適正な動作を確保します。

入力動作モード - ACバイアス

シンクチップ・クランプは、水平および垂直シンク的一方あるいは両方がある信号ではうまく機能します。しかし、ビデオ信号の中にはシンクを含まないものもあります。すなわち、色度(chroma)や480i/480p/576i/576p信号のP'BおよびP'Rチャンネルといったものです。あるいは、シンクの底がビデオ信号の生じ得る最低レベルでないもの、すなわち、720pおよび1080i信号のP'BおよびP'Rチャンネルのようなものです。これらの信号にAC結合が必要な場合、THS7316内のDC動作点を適切に設定するためのDCバイアスが必要です。この機能は、図30に示すように外付けのプルアップ抵抗を正電源との間に付加することで、THS7316では容易に実現できます。

このとき、入力端子に現れるDC電圧は、およそ以下のようになります。

$$V_{DC} = V_S \left(\frac{800k}{800k + R_{PU}} \right) \quad (1)$$

THS7316の許容入力範囲は、およそ(+V_S - 1.5V)となり、広い入力電圧範囲が可能になります。したがって、入力DCバイアス点は重要な要素である出力DCバイアス点に関してフレキシブルとなります。例えば、3.3V電源で1.65Vの出力DCバイアス点が必要な場合、入力DCバイアス点は $(1.65V - 280mV)/2 = 0.685V$ にすべきです。したがって、プルアップ抵抗は約3.01MΩと計算され、このとき0.693Vになります。5V電源で0.685Vの入力DCバイアスが必要な場合は、プルアップ抵抗は約5.1MΩと計算されます。

内部の800kΩ抵抗には、およそ±20%のバラツキがあります。したがって、このバラツキを計算時に考慮する必要があります。上述の理想的な3.01MΩ抵抗を用いた0.693Vの例について計算に入れると、入力DCバイアス電圧は約0.693V±0.11Vになります。

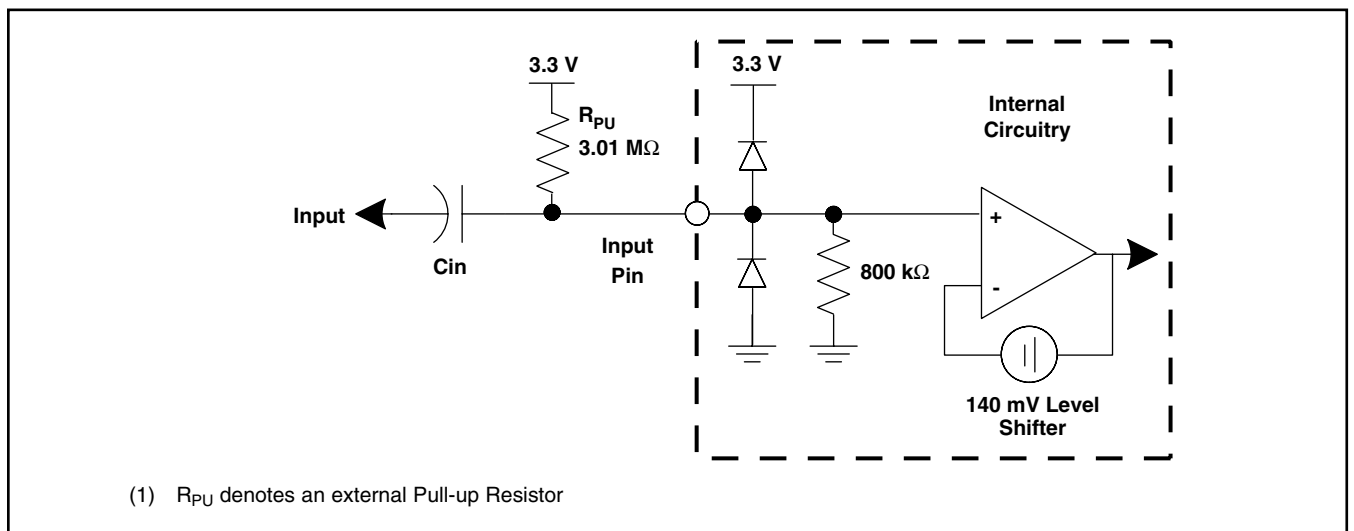


図 30. ACバイアス入力モードの回路設定

もうひとつの考慮すべき問題は、DCバイアス点が電源と関連していることです。したがって、システムの電源除去比(PSRR)に対する影響があります。この影響を低減するために、入力コンデンサはプルアップ抵抗とともにローパス・フィルタとして働きます。さらに、最終のDCバイアス点に達するまでコンデンサを充電する時間も、プルアップ抵抗と入力コンデンサの関数になります。最後に、入力コンデンサはプルアップ抵抗と800k Ω 抵抗の並列インピーダンスとともに、ハイパス・フィルタを形成します。このハイパス・フィルタは約3Hzにするのが望ましく、このとき P'_B , P'_R , あるいは非シンク信号のあらゆる潜在的なドループが最小限になります。プルアップ抵抗が3.01M Ω で0.1 μ Fの入力コンデンサの場合は、コーナー周波数がおよそ2.5Hzのハイパス・フィルタになります。

この動作モードは、色度(C'), P'_B , P'_R , U' , V' , および、非シンク B' と R' の一方あるいは両方に使用することを推奨します。

出力動作モード - DC結合

THS7316にはレール・ツー・レール出力段が組み込まれており、図31に示すように大容量の結合コンデンサを要することなく、ラインを直接駆動することができます。この直接駆動によりAC結合が発生しないため、最適なライン傾斜およびフィールド傾斜(あるいはドループ)特性が得られます。ただし、入力がAC結合ならば、出力の結合方式にかかわらず、入力AC結合による傾斜が出力に見られることを念頭に置いてください。THS7316の80mAの出力電流駆動能力は、出力のダイナミック・レンジをできるだけ広く保ちながら、チャンネルあたり2ビデオ・ライン(基本的に75 Ω 負荷)を同時に駆動するように設計されています。

DC結合の1つの問題は、ラインがグラウンドに終端される場合です。ACバイアス入力の設定されている場合、THS7316の出力はDCバイアスになります。2ラインがグラウンドに終端されていると、ハイ出力電圧振幅がわずかに低減し、THS7316の電力消費が増加することになるDC電流パスが形成されます。THS7316はジャンクション温度が最大125 $^{\circ}$ Cで動作するように設計されていますが、ジャンクション温度がこの程度を超えないように注意を払う必要があります。さもないと、長期信頼性に問題が生じます。このDC結合の設定ではチャンネル当たりの電力消費の増加が10mWより小さく、高い周囲温度でSOICパッケージを使用する場合でも、THS7316全体の低消費電力設計により潜在的な熱問題が最小限になります。

DC結合のもう1つの問題は、ビデオ信号のブランキング・レベルの電圧です。EIA仕様では、ブランキング・レベルが0V \pm 1Vであるように定めています。この電圧がアンプ出力とレシーバのどちら側であるかという疑問がありますが、他の仕様電圧要件が2重終端接続の存在とともに与えられているので、一般にシステムのレシーバ側で測定されるものと見なされています。THS7316では、レール・ツー・レールの出力振幅能力と140mVの入力レベルシフトの組み合わせにより、この要件が満たされています。したがって、EIA仕様を満足しつつ、大容量のAC結合コンデンサを削除することができます。この削除により、大幅にPCB面積とコストが節約されます。

THS7316では入力動作モードにかかわらず、DC結合でラインを駆動することに注意してください。唯一の要件は、必ずビデオ・ラインが出力と直列に適正に終端(標準で75 Ω)されることです。この終端抵抗は、THS7316の出力から容量性負荷の効果を分離するのに役立ちます。容量性負荷を分離し損なうと、潜在的なリングングや発振を生じさせる出力バッファの不安定性につながります。THS7316出力に直接現れる浮遊容量は、20pF以内に抑える必要があります。

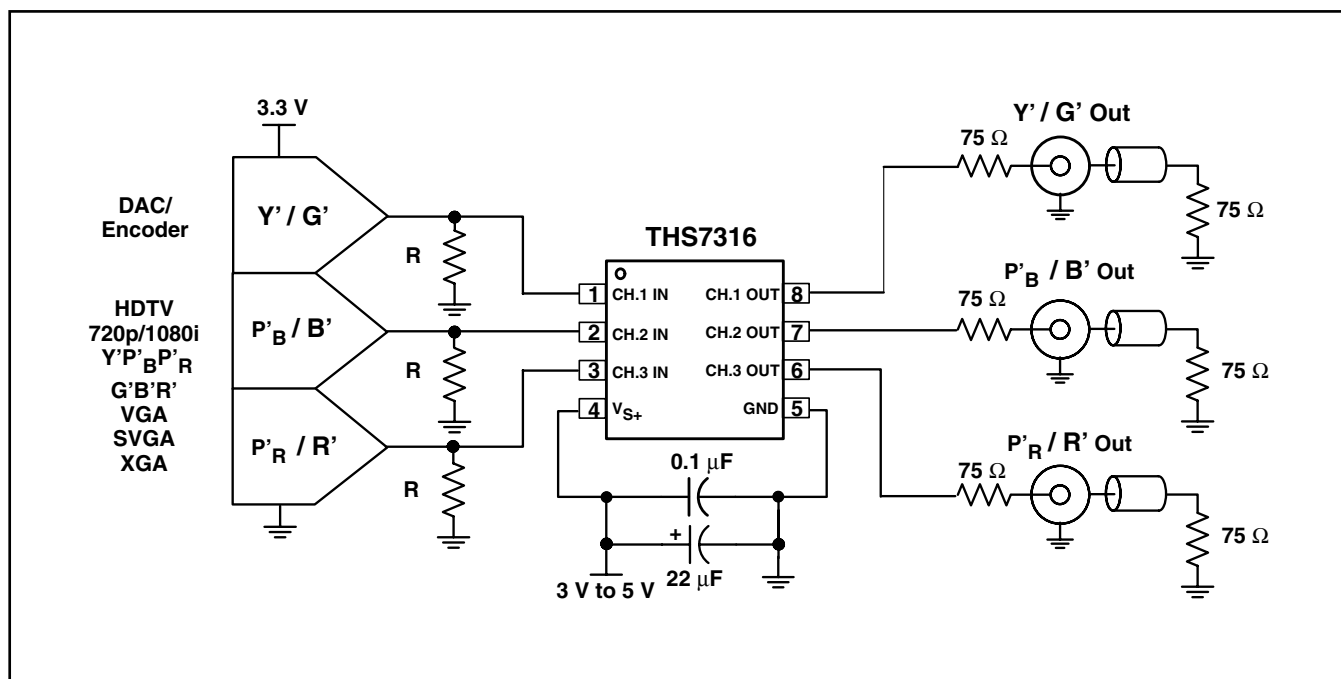


図 31. DC結合ライン駆動の標準的なHDTV Y'P'B'R'/G'B'R'システム

出力動作モード - AC結合

ビデオ信号をラインに結合する最も一般的な方法は、大容量のコンデンサを使用することです。このコンデンサは標準で220 μ Fから1000 μ Fの間であり、330 μ F程度が一般的です。本文書で先述したように、AC結合に関連するライン傾斜(ドループ)やフィールド傾斜を最小限にするために、コンデンサはこの値にする必要があります。AC結合はいくつかの理由でなされますが、最も一般的な理由は受信ビデオ・システムとの相互接続性を十分に確保することです。AC結合では、送信側で使用されるリファレンスDC電圧に関係なく、受信側でリファレンスDC電圧を受信側の要件にあわせて再確立し、EIA仕様を満たすことが必要とされます。

DC出力動作モードと同様に、各ラインにはAC結合コンデンサと直列に75 Ω の信号源終端抵抗が必要です。2ラインを駆動する場合、2ラインでコンデンサと抵抗を共有するより、図32に示すように各ラインでこれらの部品を別々に使用するのが最適です。このようにラインごとに部品を占有すると、ライン間のDC分離および先述した電位の問題の補償に役立ちます。1000 μ Fのコンデンサ1個を2ラインで共用することもできますが、2つのレシーバ間で干渉が生じる可能性があります。

エッジ・レートおよび動作周波数により、0.1 μ Fから0.01 μ Fのコンデンサを大容量の220 μ Fから1000 μ Fのコンデンサと並列に配置するように推奨します(必須というわけではない)。これらの大容量コンデンサは、ほとんどの場合にアルミ電解型です。これらのコンデンサには非常に大きいESR(等価直列抵抗)があり、そのインピーダンスはリードおよび構造物に含まれるインダクタンスのために高周波で大きくなります。小容量の0.1 μ Fから0.01 μ Fのコンデンサは、大容量コンデンサよりはるかに低いインピーダンスで高周波信号(>1MHz)を通過させるのに役立ちます。

すべてのビデオ・ラインで等しいコンデンサ値を使用するのが一般的ですが、Sビデオ・システムにおける色度信号の周波数帯域幅は、輝度チャンネルほど低い必要がありません(すなわち高周波である)。したがって、色度ラインのコンデンサ値はより小さく、0.1 μ Fといった値にできます。

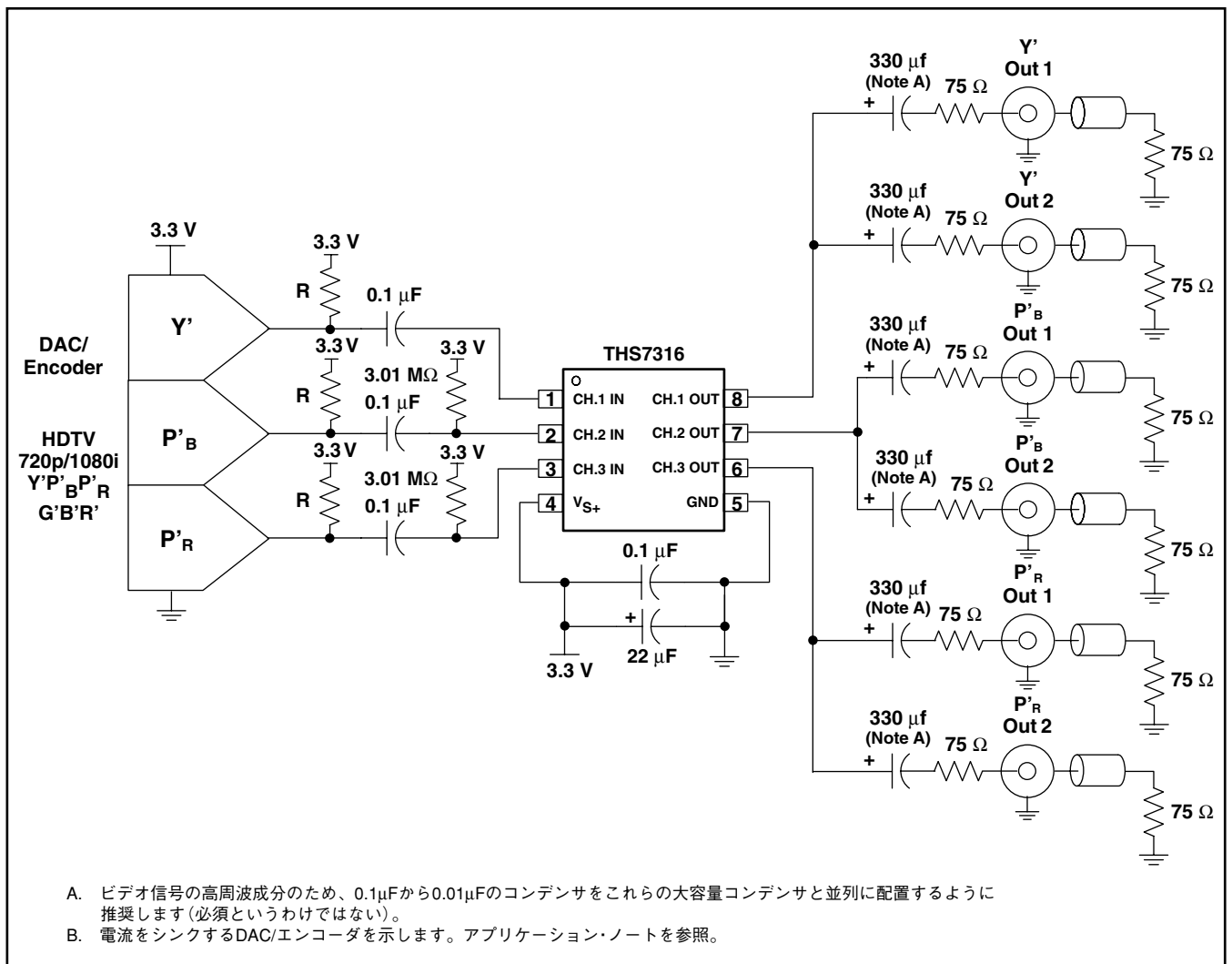


図 32. 2つのAC結合ビデオ・ラインを駆動する標準的な480i/576i Y'P'B'P'RのAC入力システム

ローパス・フィルタ

THS7316の各チャンネルには、5次のローパス・フィルタが組み込まれています。これらの復元フィルタにより、ビデオ・レシーバへ通過するDACのイメージが最小限になります。レシーバの設計によっては、これらのDACのイメージを除去し損なうと、ADCのエイリアシングのために画質問題が生じます。フィルタの別の利点は、DACの内部フィルタが良くない場合に、そのDACにより生じた信号における異常を取り除くことです。この利点は画質に役立ち、また、信号がビデオ帯域幅の要件を満たすために役立ちます。

THS7316の各フィルタは、バターワース特性を示します。バターワース応答の利点は、周波数応答が平坦であり、コーナー周波数における初期減衰が比較的急峻であることです。問題となるのは、コーナー周波数付近で群遅延が生じることです。群遅延の定義は、位相変化(ラジアン/秒)を周波数変化で割ったものです。群遅延の増加は、オーバーシュートおよびそれに関連して生じるリングング等の時間領域のパルス応答に影響します。

楕円やチェビシェフといった他の型のフィルタを使用するのは、非常に大きな群遅延変動がコーナー周波数付近で発生して、著しいオーバーシュートとリングングが生じるため、ビデオアプリケーションには推奨できません。これらの楕円やチェビシェフ型のフィルタは、増幅度の減衰に関するビデオ標準仕様を満足しますが、その群遅延は標準仕様を超えています。ビデオ信号が白画素から黒画素まで何度も往來するという事実と相まって、リングングは発生します。一般にリングングによって、画面上の急峻な遷移のエッジにゴーストや「ぼやけ」が現れます。ベッセル・フィルタであれば群遅延応答は最適ですが、減衰レートが許容できるイメージ除去に対してあまりに低過ぎます。したがって、バターワース型が減衰と群遅延に関して一応の折り合いがつかないフィルタになります。

THS7316のフィルタのコーナー(-3dB)周波数は公称値で36MHzであり、-1dB通過域は標準で31MHzです。この36MHzのフィルタは、高品位(HD)720pおよび1080i信号に最適です。高オーバー・サンプリングのシステムに関しては、480i/576i Y'P'B'P'R, Y'U'V'および放送用G'B'R'(R'G'B')信号のような標準品位(SD)NTSCおよびPAL信号にも、THS7316は適しています。また、480p/576p Y'P'B'P'R, Y'U'V'放送用G'B'R'(R'G'B')信号、およびコンピュータ用ビデオ信号のようなクリアビジョン(ED)信号にも使用できます。

36MHzの-3dBコーナー周波数は、ビデオ信号が最大限に平坦で、74.25MHzにて30dBの減衰が得られるように設計されています。74.25MHzは、多くのビデオ・システムにあるDAC/ADCの2次および3次ナイキスト領域の間の一般的なサンプリング周波数です。レシーバに含まれるADCのエイリアシング効果により、74.25MHz付近に現れる信号はベースバンドにも現れるため、この74.25MHzでの減衰は重要です。しかし、DACのイメージが74.25MHzで停止しないことに注意してください。DACイメージは、サンプリング周波数の148.5MHz, 222.75MHz, 297MHzな

どの付近まで続きます。ADCがベースバンドに畳み込むこれらの複数のイメージのため、ローパス・フィルタはこれらの高次イメージも除去しなければなりません。THS7316には、148.5MHzで50dB以上の減衰、222.75MHzで50dB以上の減衰、および297MHzで約55dBの減衰があります。1GHzまでの減衰は少なくとも36dBあり、イメージが所要のビデオ・ベースバンド信号に影響しないように規定されます。

36MHzのフィルタ周波数は、THS7316のプロセス変動を補償するために選定されました。所要のビデオ周波数が影響されないようにするため、フィルタのコーナー周波数は部品バラツキを許容できるように十分高い必要があります。他に検討すべきことは、アンチ・エイリアシング/復元フィルタがシステム要件を満たせるように、減衰は十分大きい必要があるということです。このように、フィルタ周波数は任意に選定されたわけではありません。

パッシブ・フィルタより優れた利点

THS7316のような、パッシブ・フィルタ・システムより優れた集積化フィルタ・システムを使用する主要な利点は、PCB面積とフィルタのバラツキの2点です。3ビデオ・チャンネルを入れた小型SOIC-8パッケージは、受動RLC回路より、特に5極の受動回路よりはるかに小さくなります。さらに、コイルには良くても±10%の公差(±15%から±20%が一般的)、およびコンデンサには標準で±10%の公差があるという事実も利点となります。モンテカルロ解析を使用すると、フィルタのコーナー周波数(-3dB)、平坦度(-1dB)、Q値(あるいはピーキング)、およびチャンネル間遅延には大幅な変動があることが分かります。この変動は、量産環境において潜在的な特性および品質の問題につながります。THS7316では、コーナー周波数を基本的に唯一の変量として取り扱うことで、これらの問題の大半を解決しています。

集積回路のアクティブ・フィルタに関する問題のひとつは、周囲温度およびその結果生じるチップ温度が変化するときの、フィルタ特性の変動です。温度の影響を最小限にするために、THS7316ではBiCom-3プロセスに含まれる温度変動の小さい抵抗および高品質(温度変動が小さい)なコンデンサを使用しています。THS7316のフィルタは、プロセスのバラツキおよび温度変動を補償して適正なフィルタ特性を維持するように、設計で規定されています。この設計により適正なビデオ信号特性に必要なチャンネル間の遅延時間差が小さく保たれております。

パッシブRLCフィルタに優るTHS7316の別の利点は、入力および出力インピーダンスです。DACから見た受動回路網の入力インピーダンスは大幅に変動し、そのため周波数により電圧変動が生じます。THS7316の入力インピーダンスは800kΩであり、わずか2pFの入力容量とPCB配線容量の和が入力インピーダンスに影響します。したがって、DAC出力に現れる電圧変動は、THS7316の方がより良く制御されます。

フィルタの出力側において、パッシブ・フィルタはここでも周波数によりインピーダンスが変動します。THS7316は、理想的な電圧源に近いオペアンプです。電圧源であることは、その出力インピーダンスが非常に低く、電流のソースおよびシンクができるため望ましいことです。伝送ラインをビデオ・ラインの特性インピーダンスに適正に整合するには、出力に75Ωの直列抵抗を配置します。反射を最小限にし、反射損失を低く保つには、この出力インピーダンスを75Ωに維持する必要があります。パッシブ・フィルタのインピーダンス変動は規定できませんが、THS7316は10MHzで約0.5Ωの出力インピーダンスになります。したがって、THS7316はパッシブ・フィルタに比較して、より良くシステムの整合をとることができます。

THS7316がパッシブ・フィルタに優る最後の利点は電力消費です。ビデオ・ラインを駆動するDACは、37.5Ω負荷（レシーバの75Ωおよび、信号源インピーダンス要件を満たすためのDACの近くにあるインピーダンス整合用の75Ω抵抗）を駆動できなければなりません。そのため、DACは少なくとも1.25V（100%飽和CVBS）/37.5Ω = 33.3mAを駆動する必要があります。DACは電流ステアリング素子であり、出力が0Vの場合でも、この量の電流がDAC内部で流れます。したがって、DACにおける電力消費は、特に6チャンネルが駆動されている場合に大きくなります。しかし、THS7316を使用すると、高入力インピーダンスおよびチャンネルあたり最大2チャンネルの駆動能力により、

DACの電力消費を著しく低減することができます。これは、DACが駆動する抵抗が大幅に増加するからです。DACの電流設定抵抗によって、DAC内で抵抗の増加を設定するのが一般的です。かくして、抵抗は300Ω以上にすることができ、DACからの電流駆動需要が大幅に低減されて、大幅な量の電力が節約されます。例として、3.3V時の6チャンネルDACは、37.5Ωを駆動する必要がある場合、ステアリング電流容量だけで660mWを消費します（6ch × 33.3mA × 3.3V）。300Ω負荷の場合では、電流ステアリングによるDACの電力消費は、わずか82.5mWになります（6ch × 4.16mA × 3.3V）。

評価モジュール

THS7316を評価するために、評価モジュール（EVM）が用意されています。この評価モジュールにより、多様なシステムでTHS7316を評価することができます。その入力と出力には、コンシューマ用にRCAコネクタと、より高度な接続用にBNCコネクタがあります。EVM上にはいくつかの部品用パッドがあり、ユーザーによる種々の入出力設定が可能です。

図33にTHS7316用EVMの回路図を示します。また、図34および図35に、標準的な高速レイアウトを組み込んだEVMの実際の部品面と半田面を示します。表1に、テキサス・インスツルメンツ社から供給されるEVMの部品表を示します。

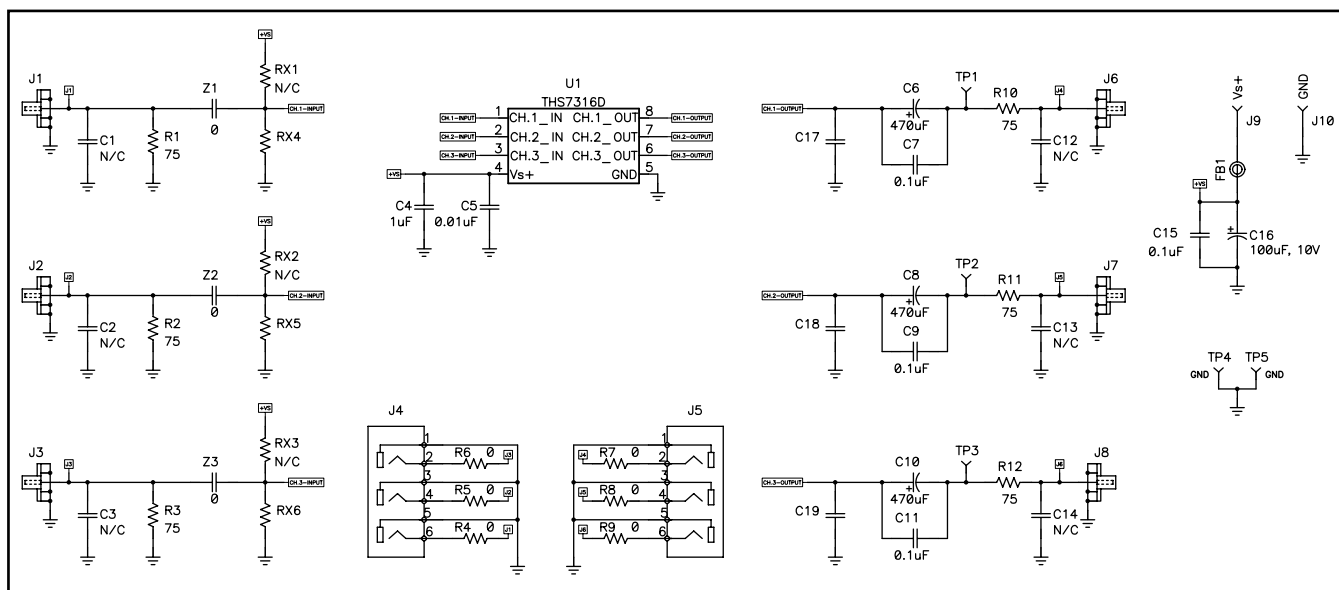


図 33. THS7316D EVM

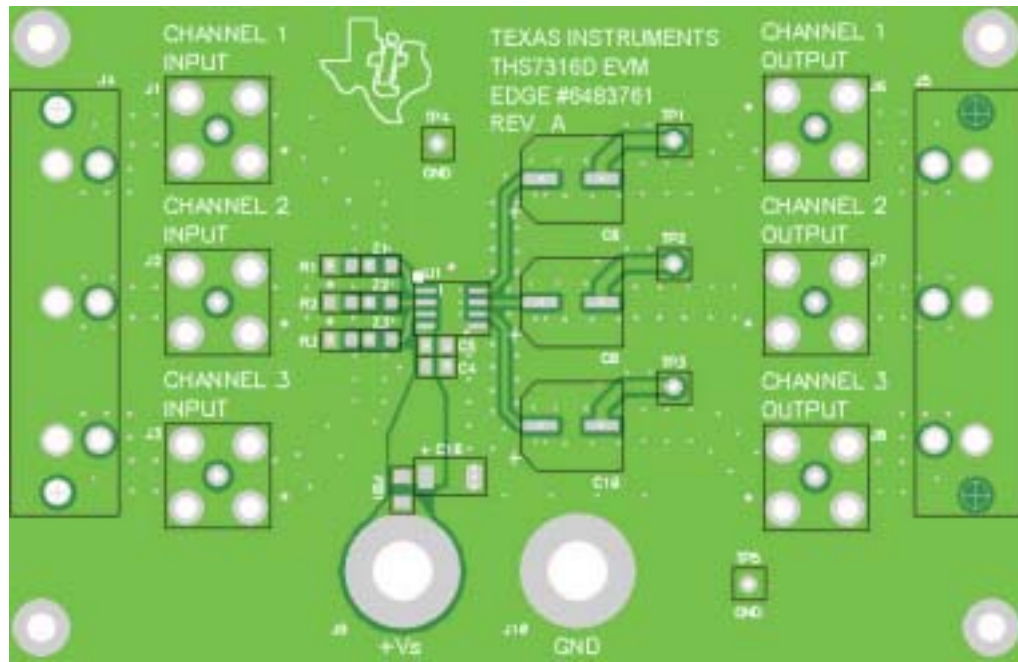


图 34. 上面图

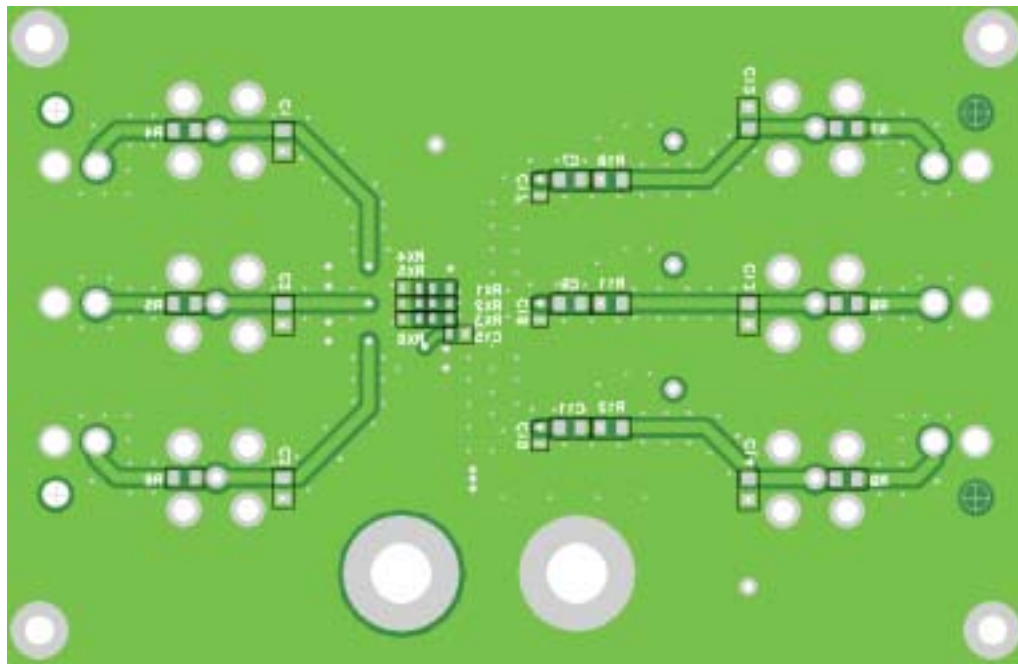


图 35. 背面图

部品表

項番	参照番号	数量	詳細	SMDサイズ	メーカー型番	販売業者型番
1	FB1	1	BEAD, FERRITE, 2.5A, 330 OHM	0805	(TDK) MPZ2012S331A	(DIGI-KEY) 445-1569-1-ND
2	C16	1	CAP, 100 μ F, TAN, 10V, 10%, LO ESR	C	(AVX) TPSC107K010R0100	(DIGI-KEY) 478-1765-1-ND
3	C17, C18, C19	3	OPEN	0603		
4	C15	1	CAP, 0.1 μ F, CERAMIC, 16V, X7R	0603	(AVX) 0603YC104KAT2A	(GARRETT) 0603YC104KAT2A
5	C1, C2, C3, C12, C13, C14	6	OPEN	0805		
6	C5	1	CAP, 0.01 μ F, CERAMIC, 100V, X7R	0805	(AVX) 08051C103KAT2A	(DIGI-KEY) 478-1358-1-ND
7	C7, C9, C11	3	CAP, 0.1 μ F, CERAMIC, 50V, X7R	0805	(AVX) 08055C104KAT2A	(DIGI-KEY) 478-1395-1-ND
8	C4	1	CAP, 1 μ F, CERAMIC, 16V, X7R	0805	(TDK) C2012X7R1C105K	(DIGI-KEY) 445-1358-1-ND
9	C6, C8, C10	3	CAP, ALUM, 470 μ F, 10V, 20%	F	(CORNELL) AFK477M10F24B	(NEWARK) 97C7597
10	RX1, RX2, RX3, RX4, RX5, RX6	6	OPEN	0603		
11	R4, R5, R6, R7, R8, R9, Z1, Z2, Z3	9	RESISTOR, 0 OHM	0805	(ROHM) MCR10EZHZJ000	(DIGI-KEY) RHM0.0ACT-ND
12	R1, R2, R3, R10, R11, R12	6	RESISTOR, 75 OHM, 1/8W, 1%	0805	(ROHM) MCR10EZHF75.0	(DIGI-KEY) RHM75.0CCT-ND
13	J9, J10	2	JACK, BANANA RECEPTANCE, 0.25" DIA. HOLE		(SPC) 813	(NEWARK) 39N867
14	J1, J2, J3, J6, J7, J8	6	CONNECTOR, BNC, JACK, 75 OHM		(AMPHENOL) 31-5329-72RFX	(NEWARK) 93F7554
15	J4, J5	2	CONNECTOR, RCA, JACK, R/A		(CUI) RCJ-32265	(DIGI-KEY) CP-1446-ND
16	TP1, TP2, TP3	3	TEST POINT, RED		(KEYSTONE) 5000	(DIGI-KEY) 5000K-ND
17	TP4, TP5	2	TEST POINT, BLACK		(KEYSTONE) 5001	(DIGI-KEY) 5001K-ND
18	U1	1	IC, THS7316	D	(TI) THS7316D	
19		4	STANDOFF, 4-40 HEX, 0.625" LENGTH		(KEYSTONE) 1808	(NEWARK) 89F1934
20		4	SCREW, PHILLIPS, 4-40, .250"		(BF) PMS 440 0031 PH	(DIGI-KEY) H343-ND
21		1	BOARD, PRINTED CIRCUIT		EDGE # 6483761 REV. A	

表 1. THS7316D EVM

パッケージ情報

製品情報

Orderable Device	Status ⁽¹⁾	Package Type	Package Drawing	Pins	Package Qty	Eco Plan ⁽²⁾	Lead/Ball Finish	MSL Peak Temp ⁽³⁾
THS7316D	ACTIVE	SOIC	D	8	75	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
THS7316DG4	ACTIVE	SOIC	D	8	75	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
THS7316DR	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
THS7316DRG4	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR

(1) マーケティング・ステータスは次のように定義されています。

ACTIVE：製品デバイスが新規設計用に推奨されています。

LIFEBUY：TIによりデバイスの生産中止予定が発表され、ライフタイム購入期間が有効です。

NRND：新規設計用に推奨されていません。デバイスは既存の顧客をサポートするために生産されていますが、TIでは新規設計にこの部品を使用することを推奨していません。

PREVIEW：デバイスは発表済みですが、まだ生産が開始されていません。サンプルが提供される場合と、提供されない場合があります。

OBSOLETE：TIによりデバイスの生産が中止されました。

(2) エコ・プラン - 環境に配慮した製品分類プランであり、Pb-Free (RoHS)、Pb-Free (RoHS Expert) およびGreen (RoHS & no Sb/Br) があります。最新情報および製品内容の詳細については、<http://www.ti.com/productcontent>でご確認ください。

TBD：Pb-Free/Green変換プランが策定されていません。

Pb-Free (RoHS)：TIにおける“Lead-Free”または“Pb-Free”(鉛フリー)は、6つの物質すべてに対して現在のRoHS要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が0.1%を超えないという要件も含まれます。高温で半田付けするように設計されている場合、TIの鉛フリー製品は指定された鉛フリー・プロセスでの使用に適しています。

Pb-Free (RoHS Exempt)：この部品は、1) ダイとパッケージの間に鉛ベースの半田バンプ使用、または 2) ダイとリードフレーム間に鉛ベースの接着剤を使用、が除外されています。それ以外は上記の様にPb-Free (RoHS) と考えられます。

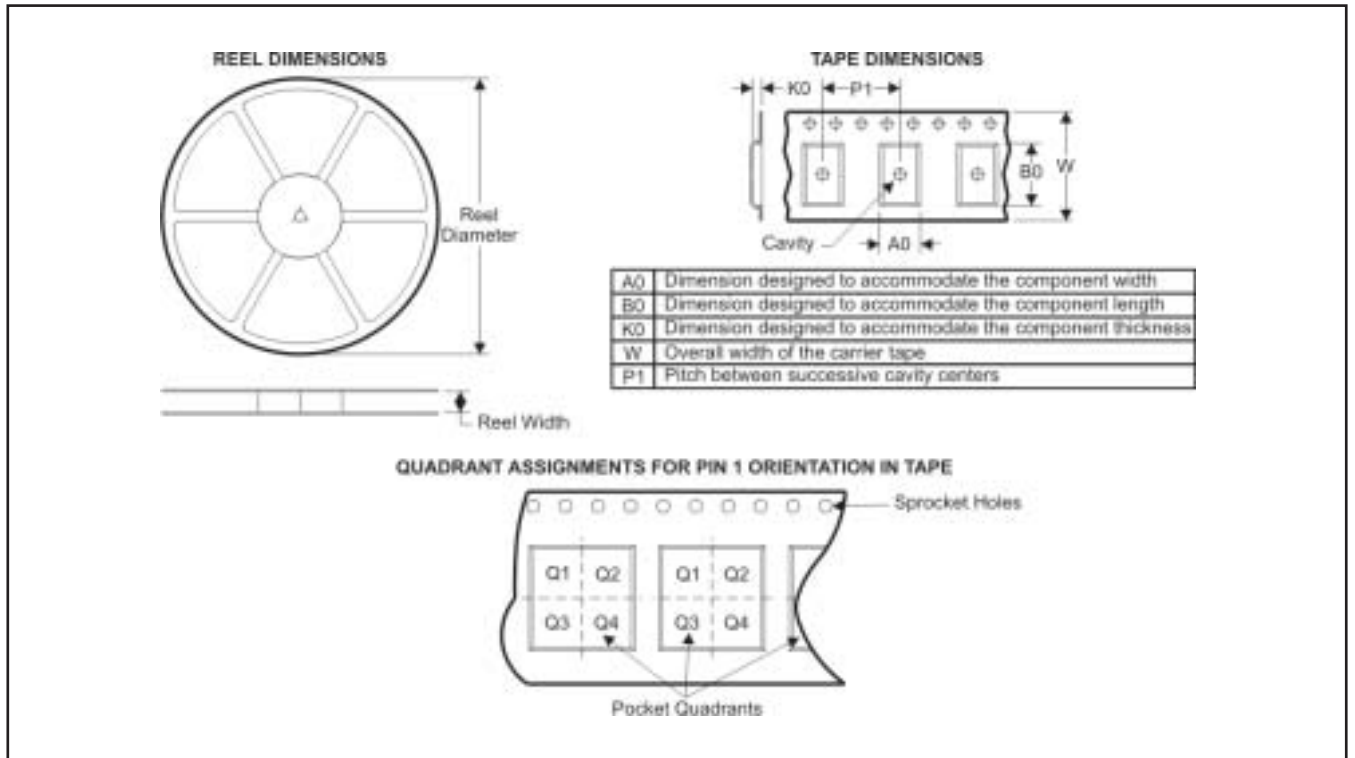
Green (RoHS & no Sb/Br)：TIにおける“Green”は、“Pb-Free”(RoHS互換)に加えて、臭素(Br)およびアンチモン(Sb)をベースとした難燃材を含まない(均質な材質中のBrまたはSb重量が0.1%を超えない)ことを意味しています。

(3) MSL、ピーク温度 -- JEDEC業界標準分類に従った耐湿性レベル、およびピーク半田温度です。

重要な情報および免責事項：このページに記載された情報は、記載された日付時点でのTIの知識および見解を表しています。TIの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行うものではありません。第三者からの情報をより良く統合するための努力は続けております。TIでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。TIおよびTI製品の供給者は、特定の情報を機密情報として扱っているため、CAS番号やその他の制限された情報が公開されない場合があります。

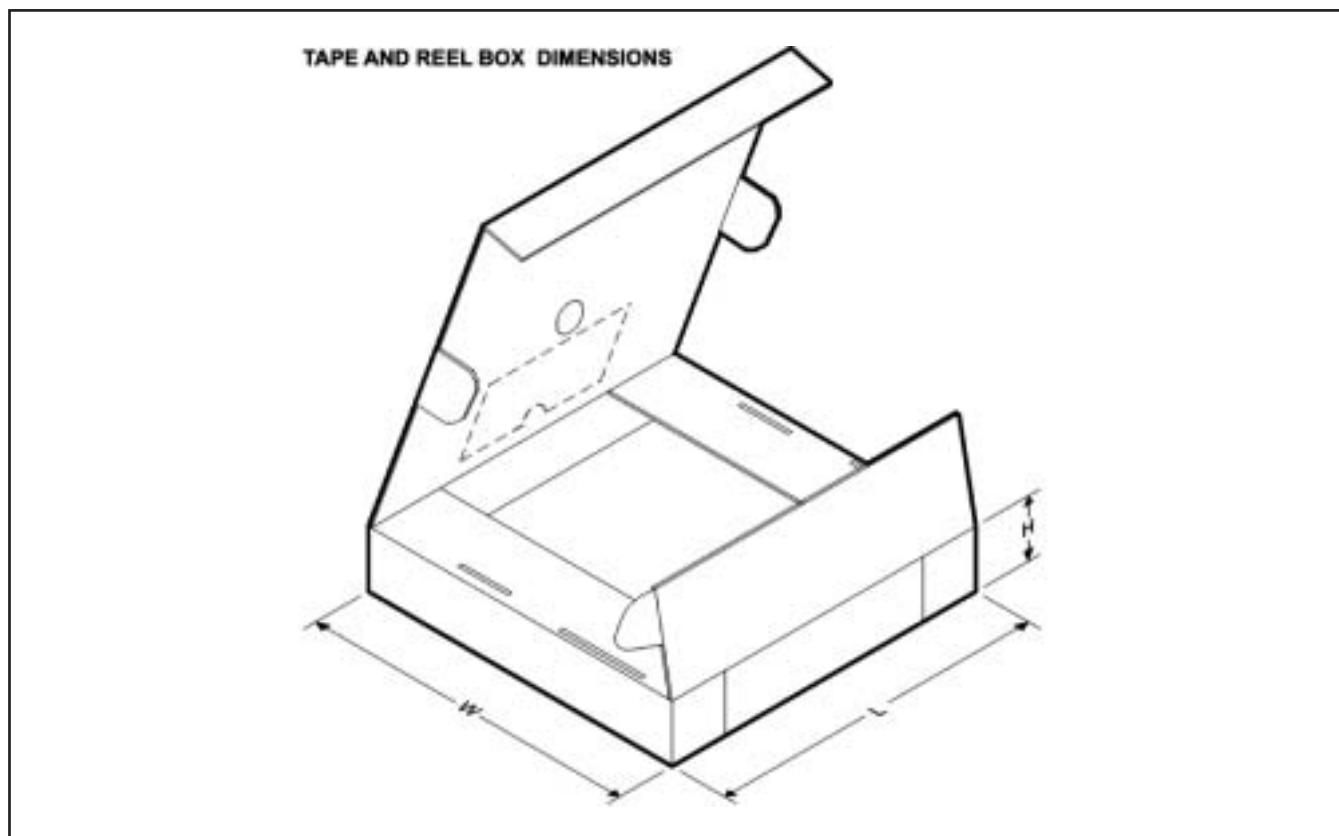
パッケージ・マテリアル情報

テープおよびリール・ボックス情報

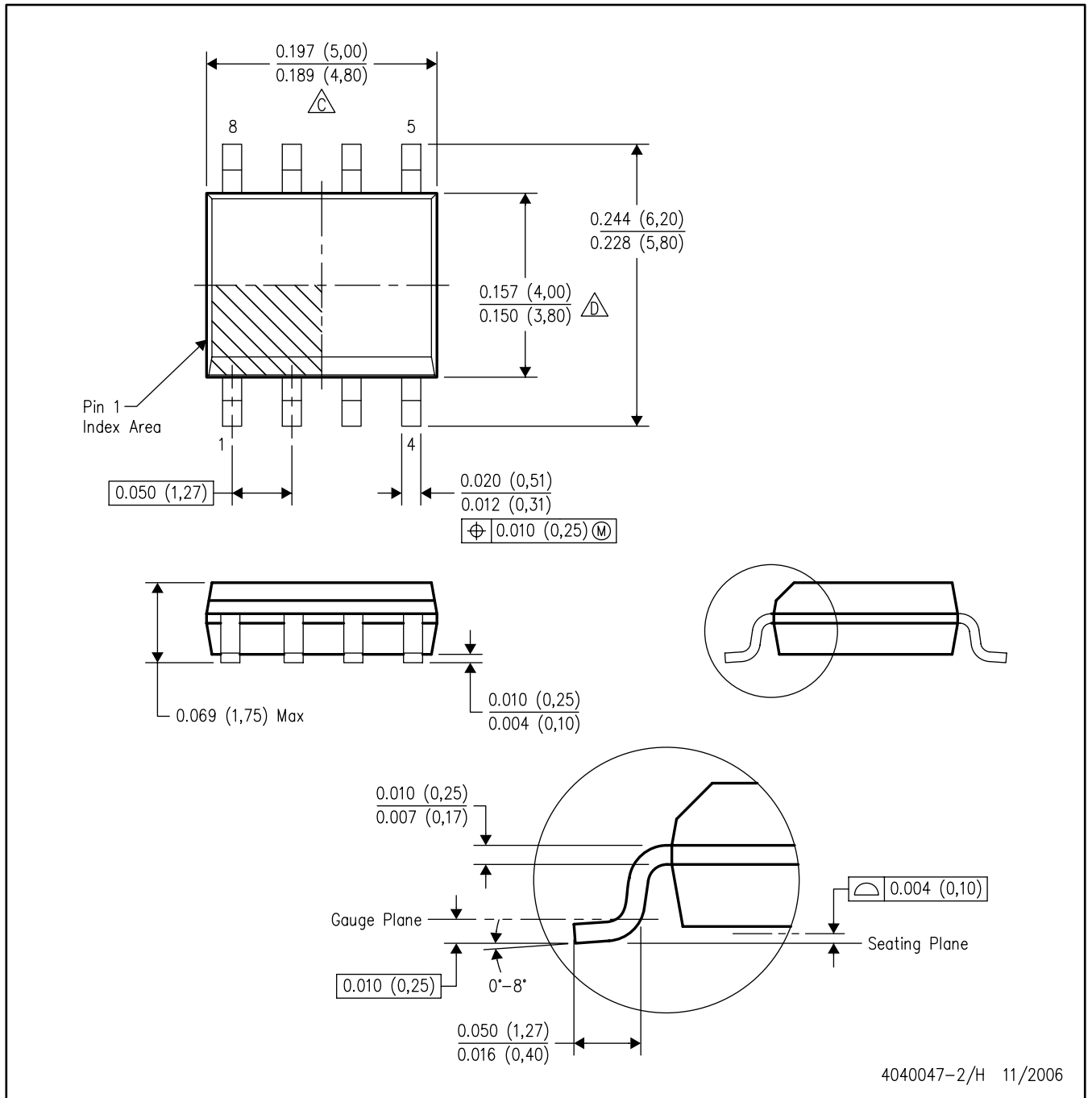


Device	Package	Pins	Site	Reel Diameter (mm)	Reel Width (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
THS7316DR	D	8	SITE 41	330	12	6.4	5.2	2.1	8	12	Q1

パッケージ・マテリアル情報



Device	Package	Pins	Site	Length (mm)	Width (mm)	Height (mm)
THS7316DR	D	8	SITE 41	346.0	346.0	29.0



- 注： A. 直線寸法はすべてインチ(ミリメートル)です。
 B. 本図は予告なく変更することがあります。
 C. ボディ長には、モールド・フラッシュや突起、ゲート・バーは含まれません。モールド・フラッシュや突起、ゲート・バーは、片側で.006 (0,15) を超えることはありません。
 D. ボディ幅には、インターリード・フラッシュは含まれません。インターリード・フラッシュは、片側で.017 (0,43) を超えることはありません。
 E. JEDEC MS-012 バリエーションAAを参照。

ご注意

日本テキサス・インスツルメンツ株式会社(以下TIJといひます)及びTexas Instruments Incorporated(TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといひます)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIJは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメータに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIJは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIJは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは承認をすることを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIJにより示された数値、特性、条件その他のパラメータと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIJは、そのような説明については何の義務も責任もありません。

TIJは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション(例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの)に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIJがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2009, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。

弊社出荷梱包単位(外装から取り出された内装及び個装)又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で(導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。

マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

温度: 0~40、相対湿度: 40~85%で保管・輸送及び取り扱いを行うこと。(但し、結露しないこと。)

直射日光があたる状態で保管・輸送しないこと。

3. 防湿梱包

防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。

4. 機械的衝撃

梱包品(外装、内装、個装)及び製品単品を落下させたり、衝撃を与えないこと。

5. 熱衝撃

はんだ付け時は、最低限260以上の高温状態に、10秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)

6. 汚染

はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質(硫黄、塩素等ハロゲン)のある環境で保管・輸送しないこと。はんだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上