

TLC6C5912-Q1 パワー・ロジック12チャンネル・シフト・レジスタLED ドライバ

1 特長

- 車載アプリケーションに対応
- 3V~5.5Vの広い V_{CC} 範囲
- 出力最大定格40V
- $V_{CC} = 5V$ で50mAの継続電流を出力する、12個のパワーDMOSトランジスタ
- サーマル・シャットダウン保護機能
- 拡張カスケードにより複数のステージが可能
- 単一の入力ですべてのレジスタをクリア
- 低消費電力
- 低速のスイッチング時間(t_r および t_f)により、EMIを大幅に低減
- 20ピンのTSSOP-PWパッケージ
- 20ピンのDWパッケージ

2 アプリケーション

- メーター・クラスター
- インジケータ・ランプ
- LED照明およびコントロール

3 概要

TLC6C5912-Q1は、モノリシックで中程度の電圧、低電流出力の12ビット・シフト・レジスタで、LEDなど、比較的中程度の負荷電力を必要とするシステムで使用するよう設計されています。

このデバイスには、12ビットのシリアル・イン、パラレル・アウトのシフト・レジスタが内蔵されており、12ビットのDタイプ・ストレージ・レジスタへデータを供給します。データはシフト・レジスタとストレージ・レジスタを経由して、それぞれシフト・レジスタ・クロック(SRCK)とレジスタ・クロック(RCK)の立ち上がりエッジで転送されます。ストレージ・レジスタは、シフト・レジスタ・クリア(CLR)がHIGHのとき、出力バッファへデータを転送します。CLRがLOWになると、デバイス内のすべてのレジスタがクリアされます。出力イネーブル(\bar{G})をHIGHに保持すると、出力バッファのすべてのデータがLOWに保持され、すべてのドレイン出力がオフになります。 \bar{G} をLOWに保持すると、ストレージ・レジスタのデータが出力バッファへ透過的になります。

出力バッファのデータがLOWのとき、DMOSトランジスタの出力がオフになります。データがHIGHのとき、DMOSトランジスタ出力はシンク電流能力を持つようになります。シリアル出力(SER OUT)は、SRCKの立ち下がりエッジでデバイスからクロック出力され、カスケード接続されたアプリケーション用に追加のホールド時間を与えます。これによって、クロック信号のスキューの可能性があり、デバイスが互いに接近して配置されていない、またはシステムに電磁気干渉への耐性が必要なアプリケーションのパフォーマンスが向上しています。デバイスには、サーマル・シャットダウン保護が組み込まれています。

出力はローサイドのオープンドレインDMOSトランジスタで、 $V_{CC} = 5V$ のとき、出力定格は連続的なシンク電流で40Vおよび50mAの能力があります。デバイス保護を強化するため、接合部温度が上昇すると、電流制限が減少します。また、デバイスは人体モデルを使用したテストで2000V、マシン・モデルを使用したテストで200VのESD保護を実現しています。

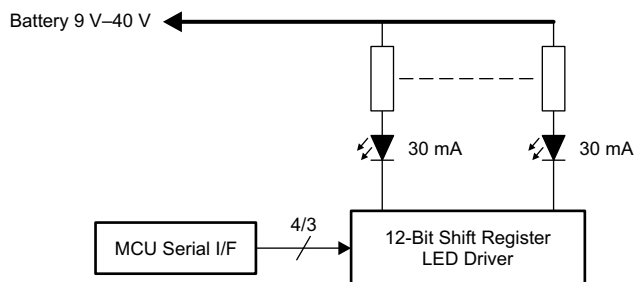
TLC6C5912-Q1の特性は、 $-40^{\circ}\text{C} \sim 125^{\circ}\text{C}$ の動作時周辺温度範囲での動作についてのものです。

製品情報⁽¹⁾

型番	パッケージ	本体サイズ(公称)
TLC6C5912-Q1	SOIC (20)	12.80mmx7.50mm
	TSSOP (20)	6.50mmx4.40mm

(1) 提供されているすべてのパッケージについては、巻末の注文情報を参照してください。

代表的なアプリケーションの回路図



目次

1	特長	1	8.2	機能ブロック図	10
2	アプリケーション	1	8.3	機能説明	11
3	概要	1	8.4	デバイスの機能モード	11
4	改訂履歴	2	9	アプリケーションと実装	12
5	ピン構成および機能	3	9.1	アプリケーション情報	12
6	仕様	4	9.2	代表的なアプリケーション	12
6.1	絶対最大定格	4	10	電源に関する推奨事項	15
6.2	ESD定格	4	11	レイアウト	15
6.3	推奨動作条件	4	11.1	レイアウトのガイドライン	15
6.4	熱特性について	4	11.2	レイアウト例	15
6.5	電気的特性	5	12	デバイスおよびドキュメントのサポート	16
6.6	スイッチング特性	5	12.1	コミュニティ・リソース	16
6.7	代表的特性	7	12.2	商標	16
7	パラメータ測定情報	9	12.3	静電気放電に関する注意事項	16
8	詳細説明	10	12.4	用語集	16
8.1	概要	10	13	メカニカル、パッケージ、および注文情報	16

4 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Revision A (January 2013) から Revision B に変更

Page

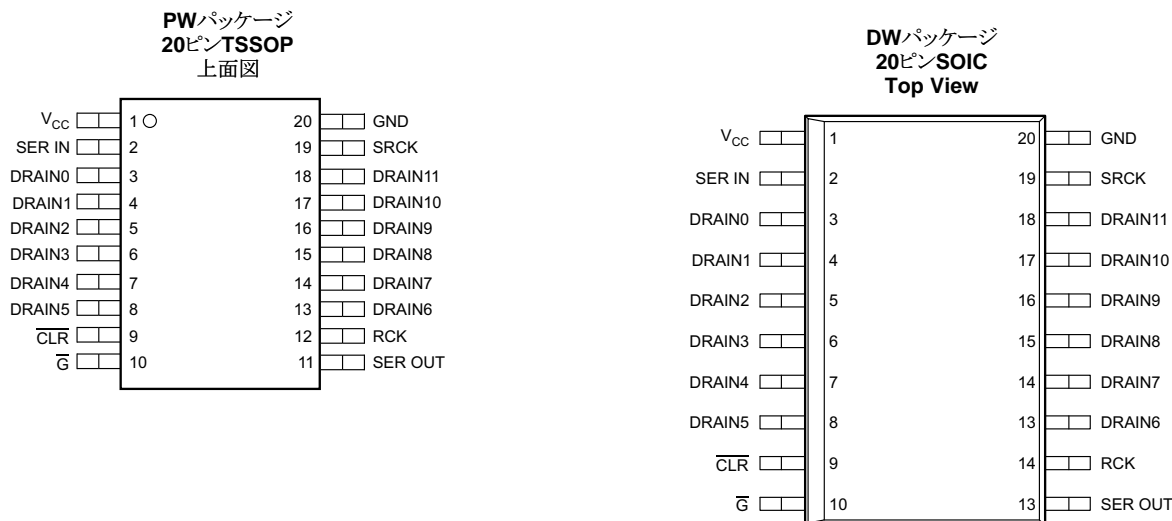
<ul style="list-style-type: none"> 「ピン構成および機能」セクション、「ESD定格」の表、「機能説明」セクション、「デバイスの機能モード」セクション、「アプリケーションと実装」セクション、「電源に関する推奨事項」セクション、「レイアウト」セクション、「デバイスおよびドキュメントのサポート」セクション、「メカニカル、パッケージ、および注文情報」セクション 追加 	1
----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------	----------

2012年12月発行のものから更新

Page

<ul style="list-style-type: none"> デバイスのステータスを製品プレビューから量産データへ変更 	1
--------------------------------------------------------------------------------------	----------

5 ピン構成および機能



ピン機能

ピン		I/O	説明
名前	番号		
$\overline{\text{CLR}}$	9	I	シフト・レジスタ・クリア、アクティブLOW: $\overline{\text{CLR}}$ はすべてのレジスタをクリアするために使用される信号です。ストレージ・レジスタは、シフト・レジスタ・クリア $\overline{\text{CLR}}$ がHIGHのとき、出力バッファへデータを転送します。 $\overline{\text{CLR}}$ をLOWに駆動すると、デバイスのすべてのレジスタがクリアされます。
DRAIN0	3	O	オープン・ドレイン出力: DRAIN0からDRAIN11までは、LED電流シンク・チャンネルです。これらのピンはLEDのカソードに接続され、40VまでのLED電源電圧に耐えられます。これは、車載のロード・ダンブ状況で非常に役立ちます。
DRAIN1	4	O	
DRAIN2	5	O	
DRAIN3	6	O	
DRAIN4	7	O	
DRAIN5	8	O	
DRAIN6	13	O	
DRAIN7	14	O	
DRAIN8	15	O	
DRAIN9	16	O	
DRAIN10	17	O	
DRAIN11	18	O	
$\overline{\text{G}}$	10	I	出力イネーブル、アクティブLOW: $\overline{\text{G}}$ はLEDチャンネルのイネーブル/ディセーブル入力ピンです。 $\overline{\text{G}}$ をLOWにすると、出力ラッチ・レジスタの状態に従い、すべてのドレイン・チャンネルがイネーブルになります。HIGHにすると、すべてのチャンネルがオフになります。
GND	20	—	電力グラウンド: GNDは、デバイスのグラウンド・リファレンス・ピンです。このピンは、PCBのグラウンド・プレーンに接続する必要があります。
RCK	12	I	レジスタ・クロック: RCKはストレージ・レジスタのクロックです。シフト・レジスタの各ステージのデータは、RCKの立ち上がりエッジでストレージ・レジスタへ転送されます。ストレージ・レジスタのデータは、出力イネーブル $\overline{\text{G}}$ 入力信号がHIGHのとき、常に出力に現れます。
SER IN	2	I	シリアル・データ入力: SER INはシリアル・データ入力です。SER INのデータは、SRCKの立ち上がりエッジごとに、内部レジスタへロードされます。
SER OUT	11	O	シリアル・データ出力: SER OUTは12ビットのシリアル・シフト・レジスタのシリアル・データ出力です。このピンの目的は、シリアル・バスに複数のデバイスをカスケード接続することです。SER OUTピンを、シリアル・バス上でカスケード接続する次のデバイスのSER IN入力へ接続すると、データはSRCKの立ち下がりエッジで次のデバイスへ転送されます。これによって、2番目のデバイスがSRCKの同じ立ち上がりエッジで、SRCKとデータ入力の両方を受信する問題を回避できるため、カスケードされたアプリケーションの信頼性を向上できます。

ピン機能 (continued)

ピン		I/O	説明
名前	番号		
SRCK	19	I	シフト・レジスタ・クロック: SRCKはシリアル・クロック入力です。SRCKの各立ち上がりエッジごとに、データがSER INから内部のシリアル・シフト・レジスタへ転送されます。
V _{CC}	1	I	電源: V _{CC} はデバイスの電源ピン電圧です。TIは、このピンの近くに0.1μFのセラミック・コンデンサを追加することをお勧めします。

6 仕様

6.1 絶対最大定格

自由通気で動作温度範囲内の場合(特に記述のない限り)⁽¹⁾

	最小	最大	単位
V _{CC} ロジック電源電圧		8	V
V _I ロジック入力電圧	-0.3	8	V
V _{DS} 電力DMOSのドレイン・ソース間電圧		42	V
連続合計損失	熱特性についてを参照		
動作時周囲温度(上面)		125	°C
T _J 動作時のジャンクション温度	-40	150	°C
T _{stg} 保管温度	-55	165	°C

- (1) 絶対最大定格を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについて示しており、このデータシートの推奨動作条件に示された値を超える状態で本製品が正常に動作することを暗黙的に示すものではありません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。

6.2 ESD定格

	数値	単位
V _(ESD) Electrostatic discharge	Human body model (HBM), per AEC Q100-002 ⁽¹⁾	±2000
	Charged device model (CDM), per AEC Q100-011	±750

- (1) AEC Q100-002は、ANSI/ESDA/JEDEC JS-001仕様に従ってHBMストレス試験を実施することを示します。

6.3 推奨動作条件

	最小	最大	単位
V _{CC} 電源電圧	3	5.5	V
V _{IH} HIGHレベルの入力電圧	2.4		V
V _{IL} LOWレベルの入力電圧		0.7	V
t _{SU} セットアップ時間、SRCK↑前のSER IN HIGH	15		ns
t _H ホールド時間、SRCK↑後のSER IN HIGH	15		ns
t _w パルス幅	40		ns
T _C 動作時のケース温度	-40	125	°C

6.4 熱特性について

THERMAL METRIC ⁽¹⁾	TLC6C5912-Q1		UNIT
	20 PINS		
	PW (TSSOP)	DW (SOIC)	
R _{θJA} Junction-to-ambient thermal resistance	114.8	81.2	°C/W
R _{θJC(top)} Junction-to-case (top) thermal resistance	44.1	45.4	°C/W
R _{θJB} Junction-to-board thermal resistance	61.3	49.1	°C/W
ψ _{JT} Junction-to-top characterization parameter	4.7	17.5	°C/W
ψ _{JB} Junction-to-board characterization parameter	60.8	48.6	°C/W

- (1) 従来および新しい熱測定値の詳細については、『Semiconductor and IC Package Thermal Metrics (半導体およびICパッケージの熱測定値)』のアプリケーション・レポートを参照してください。

6.5 電気的特性

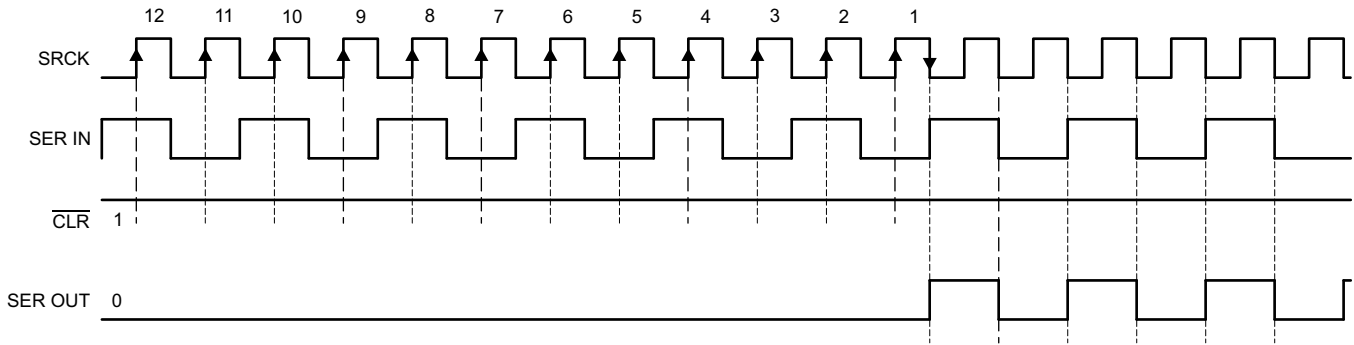
 $V_{CC} = 5V$ 、 $T_C = 25^\circ C$ (特に記述のない限り)

パラメータ		測定条件		最小	標準	最大	UNIT
	DRAIN0 to DRAIN11, drain-to-source voltage					40	V
V_{OH}	High-level output voltage, SER OUT	$I_{OH} = -20 \mu A$	$V_{CC} = 5 V$	4.9	4.99		V
		$I_{OH} = -4 mA$		4.5	4.69		
V_{OL}	Low-level output voltage, SER OUT	$I_{OH} = 20 \mu A$	$V_{CC} = 5 V$	0.001	0.01		V
		$I_{OH} = 4 mA$		0.25	0.4		
I_{IH}	High-level input current	$V_{CC} = 5 V, V_I = V_{CC}$			0.2		μA
I_{IL}	Low-level input current	$V_{CC} = 5 V, V_I = 0$			-0.2		μA
I_{CC}	Logic supply current	$V_{CC} = 5 V$, No clock signal	All outputs off		0.1	1	μA
			All outputs on		130	170	
$I_{CC(FRQ)}$	Logic supply current at frequency	$f_{SRCK} = 5 MHz, C_L = 30 pF$, all outputs on			300		μA
I_{DSX}	Off-state drain current	$V_{DS} = 30 V, V_{CC} = 5 V$				0.1	μA
		$V_{DS} = 30 V, T_C = 125^\circ C, V_{CC} = 5 V$			0.15	0.3	
$r_{DS(on)}$	Static drain-source on-state resistance	$I_D = 20 mA, V_{CC} = 5 V, T_A = 25^\circ C$, single channel ON		6	7.4	8.6	Ω
		$I_D = 50 mA, V_{CC} = 5 V, T_A = 25^\circ C$, all channels ON		6.7	8.9	9.6	
		$I_D = 20 mA, V_{CC} = 3.3 V, T_A = 25^\circ C$, single channel ON		7.9	9.3	11.2	
		$I_D = 20 mA, V_{CC} = 3.3 V, T_A = 25^\circ C$, all channels ON		8.7	10.6	12.3	
		$I_D = 20 mA, V_{CC} = 5 V, T_A = 125^\circ C$, single channel ON		9.1	11.2	12.9	
		$I_D = 20 mA, V_{CC} = 5 V, T_A = 125^\circ C$, all channels ON		10.3	13	14.5	
		$I_D = 20 mA, V_{CC} = 3.3 V, T_A = 125^\circ C$, single channel ON		11.6	13.7	16.4	
		$I_D = 20 mA, V_{CC} = 3.3 V, T_A = 125^\circ C$, all channels ON		12.8	15.6	18.2	
$T_{SHUTDOWN}$	Thermal shutdown trip point			150	175	200	$^\circ C$
t_{HYS}	Hysteresis				15		$^\circ C$

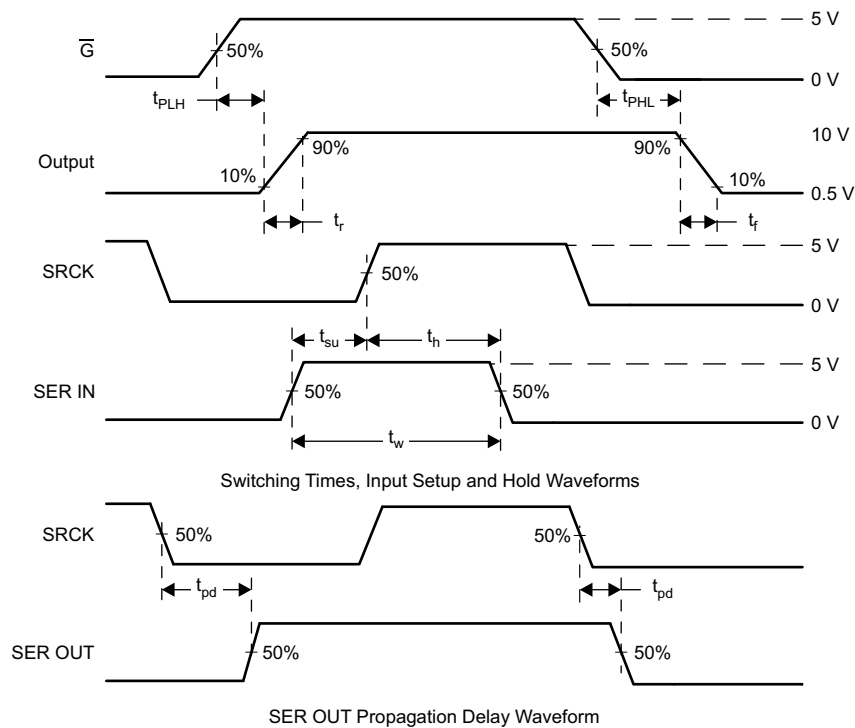
6.6 スイッチング特性

 $V_{CC} = 5V$ 、 $T_J = 25^\circ C$

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	単位
t_{PLH}	伝搬遅延時間、 \overline{G} からの出力がLOWレベルからHIGHレベルへ	$C_L = 30pF, I_D = 48mA$		210		ns
t_{PHL}	伝搬遅延時間、 \overline{G} からの出力がHIGHレベルからLOWレベルへ			75		ns
t_r	立ち上がり時間、ドレイン出力			250		ns
t_f	立ち下がり時間、ドレイン出力			200		ns
t_{pd}	伝搬遅延時間、SRCK↓からSEROUTまで	$C_L = 30pF, I_D = 48mA$		35		ns
T_{or}	SEROUT立ち上がり時間(10%から90%へ)	$C_L = 30pF$		20		ns
T_{of}	SEROUT立ち下がり時間(90%から10%へ)	$C_L = 30pF$		20		ns
$f_{(SRCK)}$	シリアルクロック周波数	$C_L = 30pF, I_D = 20mA$			10	MHz
T_{SRCK_WH}	SRCKパルス幅、HIGH		30			ns
T_{SRCK_WL}	SRCKパルス幅、LOW		30			ns


図 1. SER INからSER OUTへの波形

SER INからSER OUTへの波形を、[図 1](#)に示します。出力信号は、シフト・レジスタ・クロック(SRCK)の立ち下がりエッジで現れます。これは、SER OUTに位相インバータが存在するためです(機能ブロック図を参照)。その結果、データがSER INからSER OUTへ転送されるにはSRCKの11.5周期分の時間が必要です。


図 2. スイッチング時間と電圧波形

スイッチング時間と電圧波形を、[図 2](#)に示します。これらすべてのパラメータのテストは、[図 12](#)に示すテスト回路を使用して行われました。

6.7 代表的特性

図 5 および図 6 の条件: 単一チャンネルがオン、図 7、図 8、図 9 の条件: すべてのチャンネルがオン。

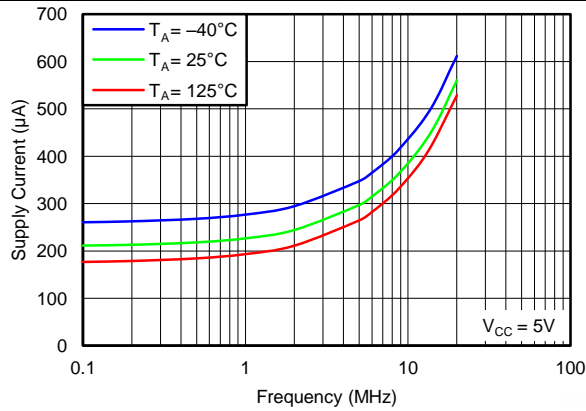


図 3. 電源電流と周波数との関係

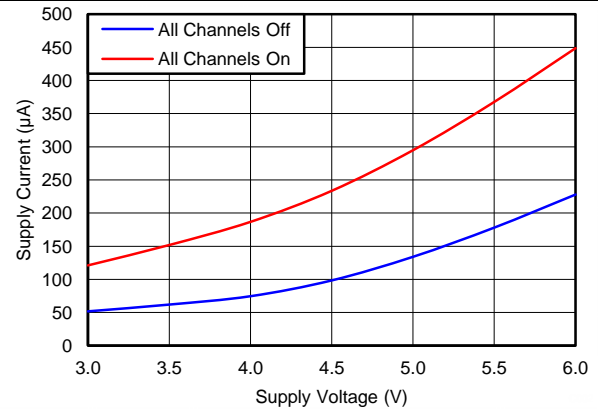


図 4. 電源電流と電源電圧との関係

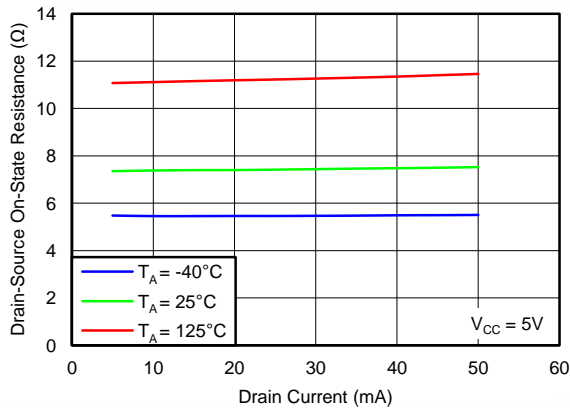


図 5. ドレイン-ソース間のオン状態抵抗とドレイン電流との関係

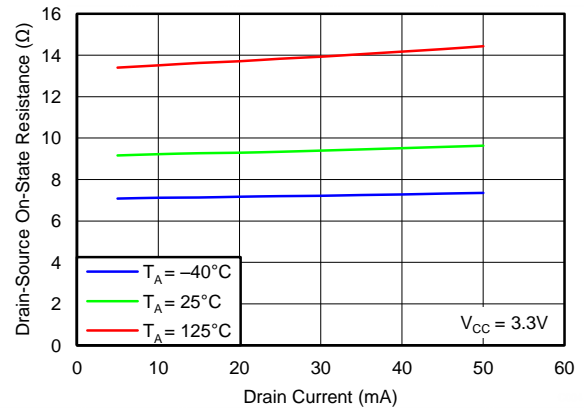


図 6. ドレイン-ソース間のオン状態抵抗とドレイン電流との関係

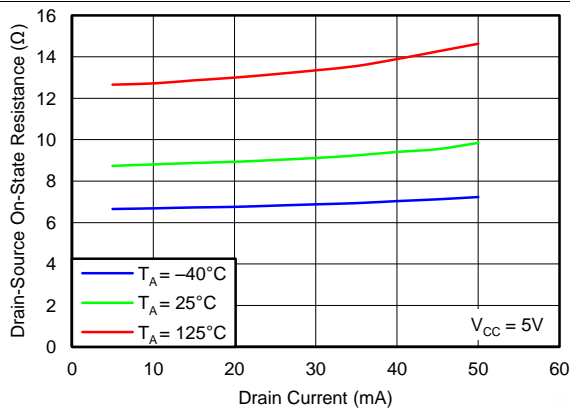


図 7. ドレイン-ソース間のオン状態抵抗とドレイン電流との関係

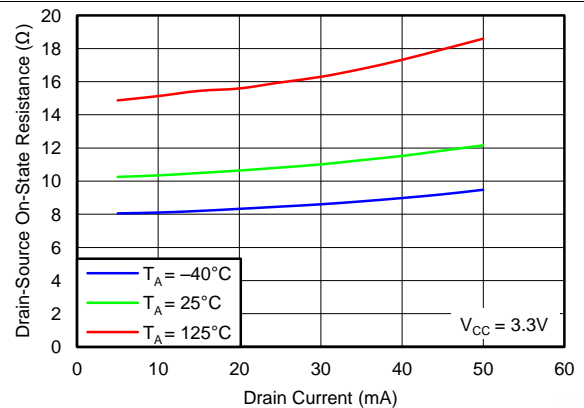


図 8. ドレイン-ソース間のオン状態抵抗とドレイン電流との関係

代表的特性 (continued)

図 5 および 図 6 の条件: 単一チャンネルがオン、図 7、図 8、図 9 の条件: すべてのチャンネルがオン。

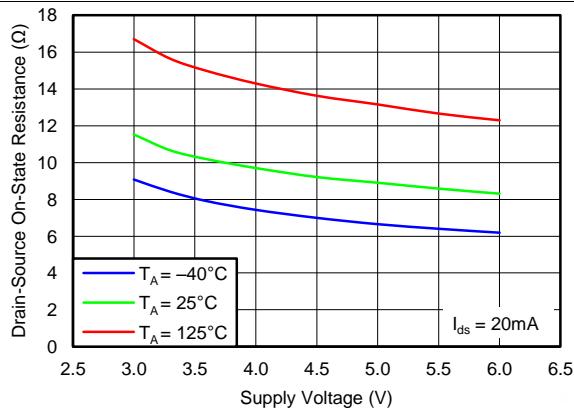


図 9. ドレイン-ソース間のオン状態抵抗とドレイン電流との関係

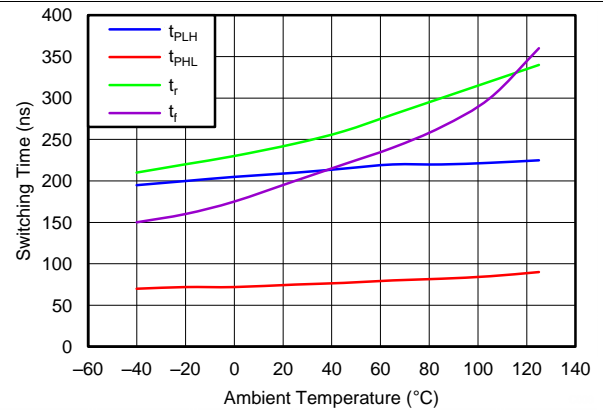
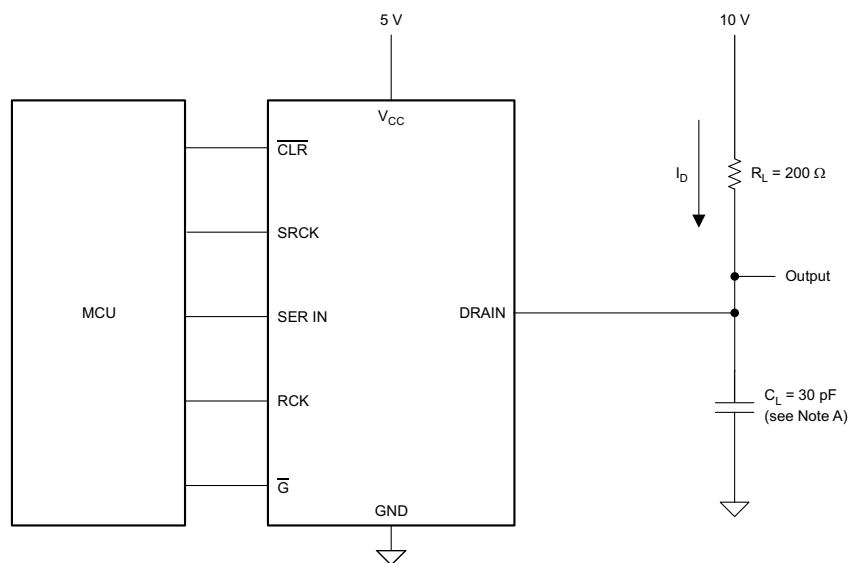


図 10. スイッチング時間と周囲温度との関係

7 パラメータ測定情報



Copyright © 2016, Texas Instruments Incorporated

A. C_L には、プローブとジグの容量が含まれます。

図 11. 抵抗性負荷テスト回路

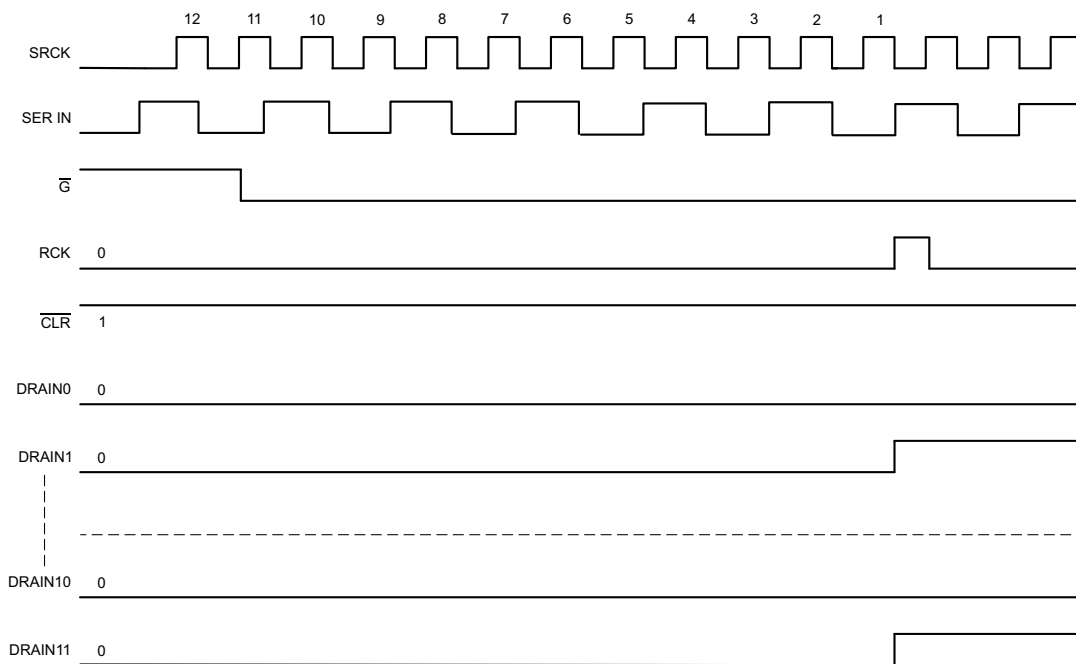


図 12. 電圧波形

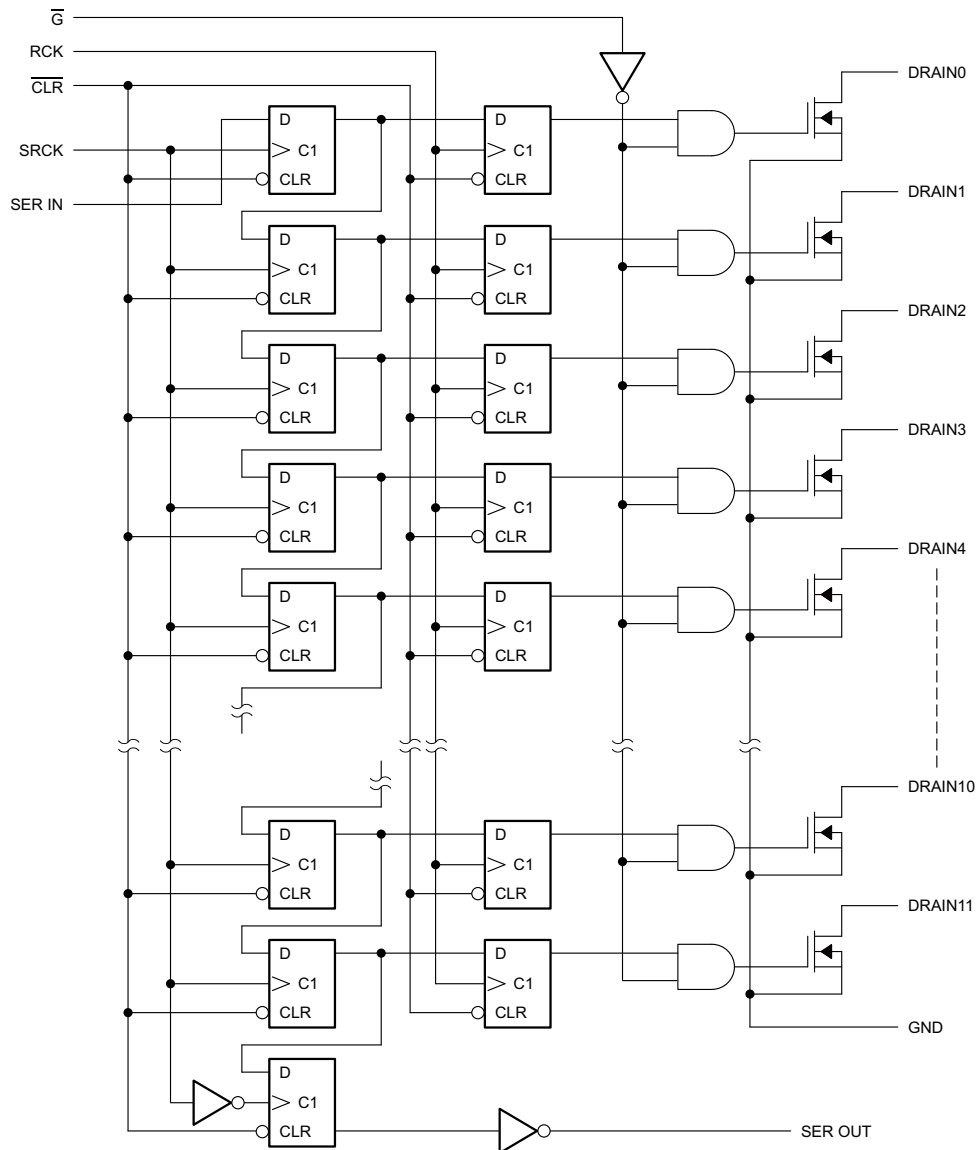
図 11 および 図 12 は、抵抗性負荷テスト回路と電圧波形を示したものです。図 12 から、 \overline{G} が LOW に保持され、 \overline{CLR} が HIGH に保持された状態で、各ドレインのステータスはレジスタ・クロックの立ち上がりエッジで変化し、その時点で出力バッファヘデータが転送されることを示すのが確認できます。

8 詳細説明

8.1 概要

TLC6C5912デバイスは、モノリシックで中程度の電圧、低電流の12ビット・シフト・レジスタで、比較的中程度の負荷電力を必要とするLEDなどを駆動するよう設計されています。このデバイスには、12ビットのシリアル・イン、パラレル・アウトのシフト・レジスタが内蔵されており、12ビットのDタイプ・ストレージ・レジスタへデータを供給します。デバイスには、サーマル・シャットダウン保護機能も組み込まれています。

8.2 機能ブロック図



8.3 機能説明

8.3.1 サーマル・シャットダウン

デバイスには、接合部の温度が175°C (代表値)を超えた場合に自身を保護するため、内部的なサーマル・シャットダウン機能が実装されています。接合部温度がサーマル・トリップのスレッシュホールドを超えると、サーマル・シャットダウンにより、デバイスは強制的にオープン状態になります。接合部温度が160°C (代表値)未満に低下すると、デバイスは再度動作を開始します。

8.3.2 シリアル・イン・インターフェイス

TLC6C5912デバイスには12ビットのシリアル・イン、パラレル・アウトのシフト・レジスタが搭載されており、8ビットのDタイプ・ストレージ・レジスタへデータを供給します。シフト・レジスタとストレージ・レジスタのどちらを経由するデータ転送も、シフト・レジスタ・クロック(SRCK)とレジスタ・クロック(RCK)の立ち上がりエッジで行われます。ストレージは、シフト・レジスタ・クリア(CLR)がHIGHのとき、出力バッファへデータを転送します。

8.3.3 レジスタのクリア

$\overline{\text{CLR}}$ のロジックがLOWになると、デバイスのすべてのレジスタがクリアされます。TIは、電源オン時または初期化時にデバイスのクリアをお勧めします。

8.3.4 SER OUTによるカスケード接続

SER OUTピンを、シリアル・バス上でカスケード接続する次のデバイスのSER IN入力へ接続すると、データはSRCKの立ち下がりエッジで次のデバイスへ転送されます。これによって、2番目のデバイスがSRCKの同じ立ち上がりエッジで、SRCKとデータ入力の両方を受信する問題を回避できるため、カスケードされたアプリケーションの信頼性を向上できます。

8.3.5 出力制御

出力イネーブル(G)をHIGHに保持すると、出力バッファのすべてのデータがLOWに保持され、すべてのドレイン出力がオフになります。GをLOWに保持すると、ストレージ・レジスタのデータが出力バッファへ透過的になります。出力バッファのデータがLOWのとき、DMOSトランジスタの出力がオフになります。データがHIGHのとき、DMOSトランジスタ出力はシンク電流能力を持つようになります。このピンは、グローバルPWM調光にも使用されます。

8.4 デバイスの機能モード

8.4.1 $V_{CC} < 3V$ での動作

このデバイスは、 $3V \leq V_{CC} \leq 5.5V$ の範囲で通常に動作します。動作電圧が3V未満の場合、通信インターフェイスや電流の容量も含めて、デバイスの動作は保証されません。

8.4.2 $5.5V \leq V_{CC} \leq 8V$ での動作

このデバイスは、この電圧範囲で通常に動作しますが、この電圧範囲で長時間動作すると信頼性の問題が発生する可能性があります。

9 アプリケーションと実装

注: 以降のアプリケーション情報は、TIの製品仕様に含まれるものではなく、TIではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 アプリケーション情報

TLC6C5912デバイスはシリアル・イン、パラレル・アウト、パワー・ロジックの12ビット・シフト・レジスタで、 $V_{CC} = 5V$ のとき、ローサイドのオープン・ドレインDMOS出力定格は、40Vおよび50mAの連続シンク電流能力です。このデバイスは抵抗性負荷を駆動するよう設計されており、マイクロコントローラとLEDやランプとの間のインターフェイスとして特に適しています。また、デバイスは人体モデルを使用したテストで2000V、マシン・モデルを使用したテストで200VのESD保護を実現しています。

9.2 代表的なアプリケーション

2つのTLC6C5912-Q1チップをカスケード・トポロジに構成した代表的なカスケード・アプリケーション回路を、[図 13](#)に示します。すべての入力信号はMCUが生成します。

代表的なアプリケーション (continued)

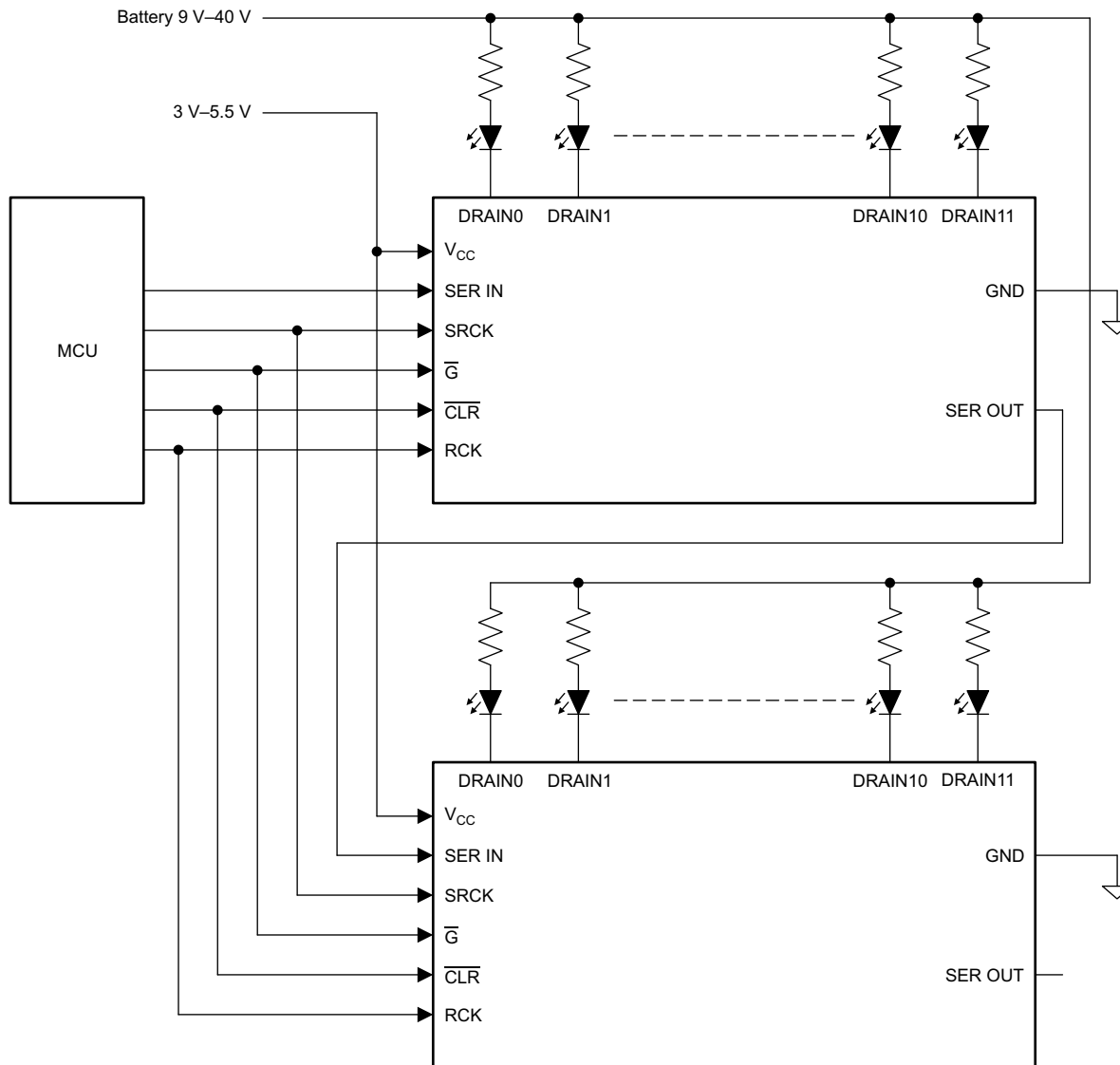


図 13. 代表的なアプリケーション回路

9.2.1 設計要件

この設計例のパラメータを、表 1 に一覧表記します。

表 1. 設計パラメータ

設計パラメータ	例での値
V _{battery}	9~40V
V _{CC-1}	3.3V
I(D0)、I(D1)、I(D2)、I(D3)、I(D4)、I(D5)、I(D6)、I(D7)、I(D8)、I(D9)、I(D10)、I(D11)	30mA
V _{CC-2}	5V
I(D12)、I(D13)、I(D14)、I(D15)、I(D16)、I(D17)、I(D18)、I(D19)、I(D20)、I(D21)、I(D122)、I(D23)	50mA

9.2.2 詳細な設計手順

設計プロセスを開始するには、いくつかのパラメータを決定する必要があります。

- Vsupply: LED電源電圧
- VDx: LED順方向電圧
- I: LED電流

パラメータを決定してから、式 1 を使用して、LEDと直列の抵抗値を計算します。

$$R_x = (V_{\text{supply}} - V_{Dx}) / I$$

(1)

9.2.3 アプリケーション曲線

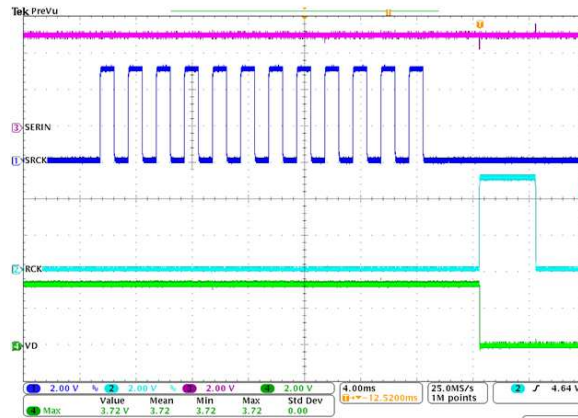


図 14. TLC6C5912-Q1のアプリケーション曲線

10 電源に関する推奨事項

TLC6C5912 デバイスは、3V～5.5V の入力電源電圧範囲で動作するように設計されています。この入力電圧には適切なレギュレーションが行われる必要があります。TI は、 V_{CC} ピンの近くにセラミックのバイパス・コンデンサの配置をお勧めします。

11 レイアウト

11.1 レイアウトのガイドライン

デジタル信号ピンについて、レイアウトの特別な要件はありません。セラミックのバイパス・コンデンサを対応するピンの近くに配置することだけが要件です。

基板の熱伝導率を高めるために、PCB 上の銅領域の面積はできるだけ大きくします。PCB 上の銅領域は、パッケージから周囲への主要な熱伝導経路です。PCB 上でパッケージの反対側にヒートシンクが取り付けられていない場合は、銅領域を可能な限り大きくすることが極めて重要です。

- 基板の熱伝導率を最適化するため、パッケージのグラウンド・パッドの直下に、できるだけ多くのサーマル・ビアを追加します。
- すべてのサーマル・ビアは、半田ボイドの発生を防ぐため、基板の両側で、めっきして閉じるか、栓で塞いで覆っておく必要があります。信頼性と性能を確保するため、半田被覆率は85%以上とします。

11.2 レイアウト例

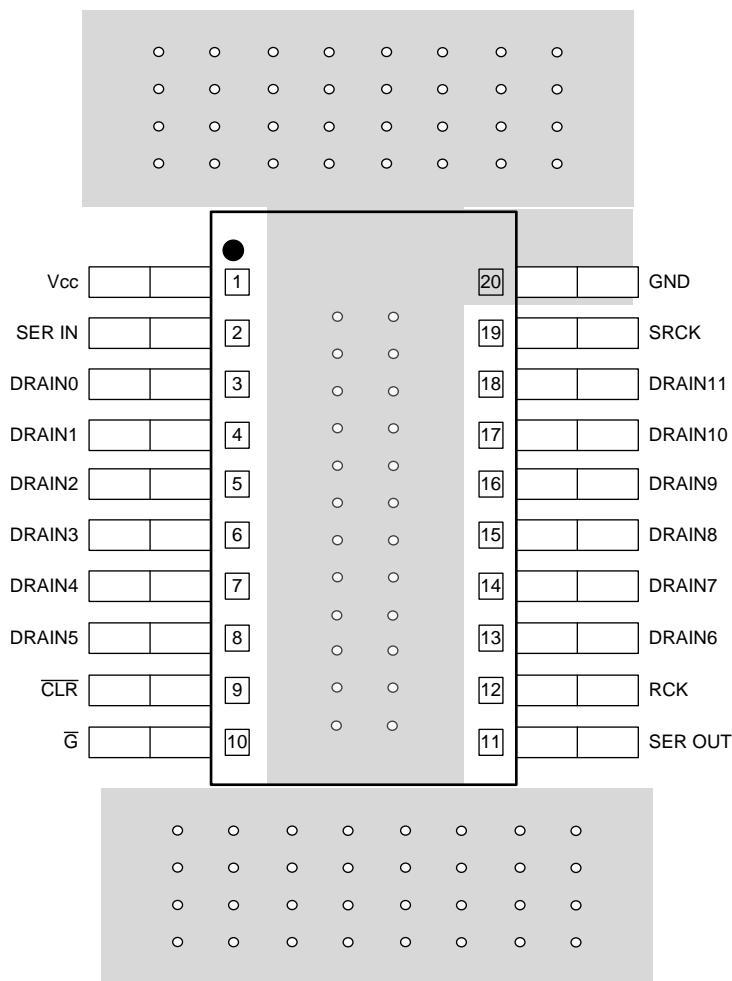


図 15. レイアウトに関する推奨事項

12 デバイスおよびドキュメントのサポート

12.1 コミュニティ・リソース

以下のリンクから、TIのコミュニティ・リソースにアクセスできます。リンクされているコンテンツは、該当する貢献者により、現状のまま提供されるものです。これらはTIの仕様を構成するものではなく、必ずしもTIの見解を反映したものではありません。TIの[使用条件](#)を参照してください。

TI E2E™オンライン・コミュニティ *TIのE2E (Engineer-to-Engineer)* コミュニティ。エンジニア間の共同作業を促進するために開設されたものです。e2e.ti.comでは、他のエンジニアに質問し、知識を共有し、アイデアを検討して、問題解決に役立てることができます。

設計サポート *TIの設計サポート* 役に立つE2Eフォーラムや、設計サポート・ツールをすばやく見つけることができます。技術サポート用の連絡先情報も参照できます。

12.2 商標

E2E is a trademark of Texas Instruments.
All other trademarks are the property of their respective owners.

12.3 静電気放電に関する注意事項



これらのデバイスは、限定的なESD (静電破壊) 保護機能を内蔵しています。保存時または取り扱い時は、MOSゲートに対する静電破壊を防止するために、リード線同士をショートさせておくか、デバイスを導電フォームに入れる必要があります。

12.4 用語集

SLYZ022 — *TI用語集*.

この用語集には、用語や略語の一覧および定義が記載されています。

13 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。これらの情報は、指定のデバイスに対して提供されている最新のデータです。このデータは予告なく変更されることがあり、ドキュメントが改訂される場合もあります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
TLC6C5912GQPWRQ1	ACTIVE	TSSOP	PW	20	2000	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	6C5912G	Samples
TLC6C5912QDWRQ1	ACTIVE	SOIC	DW	20	2000	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	TLC6C5912	Samples
TLC6C5912QPWRQ1	ACTIVE	TSSOP	PW	20	2000	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	6C5912	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TLC6C5912GQPWRQ1	TSSOP	PW	20	2000	330.0	16.4	6.95	7.1	1.6	8.0	16.0	Q1
TLC6C5912QDWRQ1	SOIC	DW	20	2000	330.0	24.4	10.8	13.3	2.7	12.0	24.0	Q1
TLC6C5912QPWRQ1	TSSOP	PW	20	2000	330.0	16.4	6.95	7.1	1.6	8.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TLC6C5912GQPWRQ1	TSSOP	PW	20	2000	350.0	350.0	43.0
TLC6C5912QDWRQ1	SOIC	DW	20	2000	367.0	367.0	45.0
TLC6C5912QPWRQ1	TSSOP	PW	20	2000	350.0	350.0	43.0

PW0020A



PACKAGE OUTLINE

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



4220206/A 02/2017

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.

EXAMPLE BOARD LAYOUT

PW0020A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



SOLDER MASK DETAILS

4220206/A 02/2017

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0020A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220206/A 02/2017

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PW (R-PDSO-G20)

PLASTIC SMALL OUTLINE



- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.
 - C. Publication IPC-7351 is recommended for alternate design.
 - D. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC-7525 for other stencil recommendations.
 - E. Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

DW0020A



PACKAGE OUTLINE

SOIC - 2.65 mm max height

SOIC



4220724/A 05/2016

NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm per side.
5. Reference JEDEC registration MS-013.

EXAMPLE BOARD LAYOUT

DW0020A

SOIC - 2.65 mm max height

SOIC



LAND PATTERN EXAMPLE
SCALE:6X



SOLDER MASK DETAILS

4220724/A 05/2016

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DW0020A

SOIC - 2.65 mm max height

SOIC



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:6X

4220724/A 05/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](https://www.ti.com) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2023, Texas Instruments Incorporated