

300mA、サブ・バンドギャップ出力電圧、低自己消費、 低ドロップアウト・リニア・レギュレータ

特 長

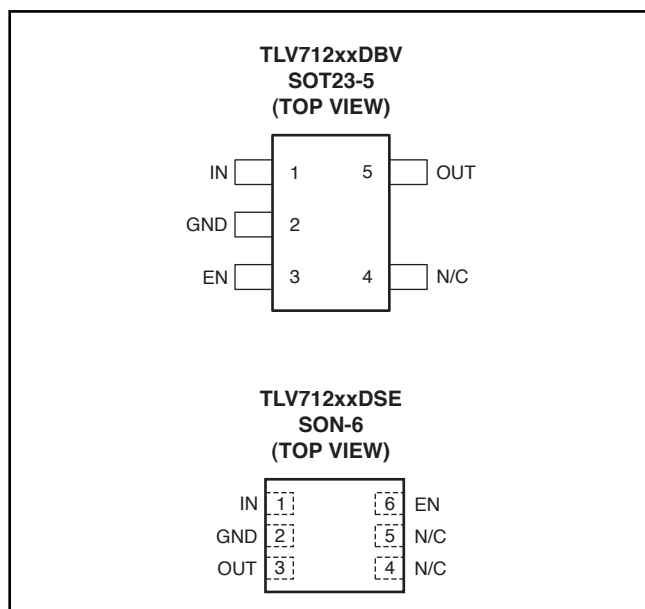
- 出力電圧精度2%
- 低自己消費電流 I_Q : 35 μ A
- 0.7Vから1.15Vの固定出力製品の供給が可能⁽¹⁾
- 高いPSRR能力 : 1kHzで68dB
- 0.1 μ F(実効容量)のセラミック・コンデンサで安定⁽²⁾
- 過熱保護と過電流保護
- SOT23-5および1.5mm \times 1.5mmのSON-6パッケージ

⁽¹⁾ 出力電圧が1.2V以上の場合はTLV702ファミリーの製品を参照してください。

⁽²⁾ アプリケーション情報の“入出力コンデンサの要件”の項を参照してください。

アプリケーション

- 携帯電話
- スマートフォン、PDA
- MP3プレーヤー



- ZigBee[®] ネットワーク製品
- Bluetooth[®] 製品
- Li-Ion電池で動作する携帯機器
- 無線LANカードなどのPCのアドオン・カード

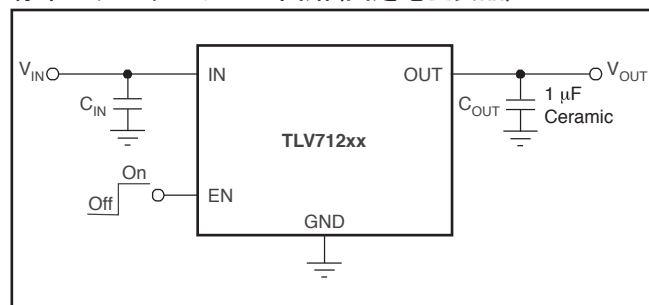
概 要

低ドロップアウト(LDO)でローパワーのリニア・レギュレータTLV712ファミリーは極めて低いグラウンド電流にもかかわらず優れた電源及び負荷に対する過渡応答特性を示します。本製品はサブ・バンドギャップにより出力を制御しており、出力電圧は1.2V未満から0.7Vまでの低電圧を出力可能です。これにより本LDOは1.2V未満の電圧で動作するプロセッサの電源供給に使用することができます。

本LDOは高い電源性能を必要とするアプリケーション向けに開発されました。最新の基準電圧源とエラー・アンプにより2%の電圧精度を実現しています。低出力ノイズ、非常に高い電源リップル除去比(PSRR)、低いドロップアウト電圧により、本シリーズの製品は多くの電池駆動による携帯機器での使用に最適です。全ての製品に安全の為に過熱保護と過電流制限を内蔵しています。

さらにこれらの製品は実効容量がわずか0.1 μ Fの出力容量で安定に動作します。この機能によりDCバイアス特性や温度特性による容量低下はあるがコストの安価なコンデンサを使用することができます。本製品は無負荷状態でも規定の電圧スペツ

標準アプリケーション回路(固定電圧製品)



Bluetoothは、Bluetooth社の登録商標です。ZigBeeは、ZigBee社の登録商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。

この資料は、Texas Instruments Incorporated(TI)が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ(日本TI)が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。

クを維持します。

TLV712xxPシリーズでは更に、出力電圧を急速に放電するためのアクティブ・プルダウン回路も内蔵しています。

TLV712xxシリーズのLDOは、SOT23-5および1.5mm × 1.5mmのSON-6のパッケージで供給されます。



静電気放電対策

これらのデバイスは、限定的なESD(静電破壊)保護機能を内蔵しています。保存時または取り扱い時に、MOSゲートに対する静電破壊を防止するために、リード線どうしを短絡しておくか、デバイスを導電性のフォームに入れる必要があります。

製品情報⁽¹⁾

製品名	V _{OUT} ⁽²⁾
TLV712xx(x)Pyyyz	XX(X) は標準出力電圧。100mV刻みの出力電圧の製品では2桁をそれ以外では3桁を使用 (例：09 = 0.9V；085 = 0.85V) P はオプション機能：P付のLDOレギュレータは出力のアクティブ放電機能を持ちます。 YYY はパッケージ記号 Z は数量。リール(3000個)の場合 “R”、テープ(250個)の場合 “T”

(1) 最新のパッケージおよび発注情報については、最新の英文データシートの最後のPackage Option Addendum、またはTIホームページ www.ti.comを参照してください。

(2) 0.7Vから1.15Vまで50mVさざみの出力電圧で供給可能です。詳細についてはお問い合わせください。

絶対最大定格

全使用環境温度範囲 (特に記述のない限り)⁽¹⁾

		VALUE		単位
		MIN	MAX	
Voltage ⁽²⁾	IN	-0.3	+6.0	V
	EN	-0.3	+6.0	V
	OUT	-0.3	+5.0	V
Current (source)	OUT	Internally limited		
Output short-circuit duration		Indefinite		
Temperature	Operating junction, T _J	-55	+150	°C
	Storage, T _{stg}	-55	+150	°C
Electrostatic Discharge Rating ⁽³⁾	Human body model (HBM) QSS 009-105 (JESD22-A114A)		2	kV
	Charged device model (CDM) QSS 009-147 (JESD22-C101B.01)		500	V

(1) 絶対最大定格以上のストレスは、致命的なダメージを製品に与えることがあります。これはストレスの定格のみについて示してあり、このデータシートの「推奨動作条件」に示された値を越える状態での本製品の機能動作は含まれていません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。

(2) 全ての電圧は回路のGND端子が基準です。

(3) ESDテストは各々のJEDEC規格JESD22に従って実施されています。

許容損失⁽¹⁾

PACKAGE	R _{θJA}	T _A < +25°C	T _A = +70°C	T _A = +85°C
DBV	200°C/W	500 mW	275 mW	200 mW
DSE	180°C/W	555 mW	305 mW	222 mW

(1) 基板の詳細は“熱情報”の章を参照してください。

電気的特性

$V_{IN} = 2.0V$ 、 $I_{OUT} = 10mA$ 、 $V_{EN} = 0.9V$ 、 $C_{OUT} = 1.0\mu F$ 、 $T_J = -40^{\circ}C \sim +125^{\circ}C$ 、(特に記述の無い限り)。
標準値は $T_J = +25^{\circ}C$ の値です。

パラメータ		テスト条件	MIN	TYP	MAX	単位
V_{IN}	Input voltage range		2.0		5.5	V
V_{OUT}	DC output accuracy		-20	6	+20	mV
$\Delta V_O/\Delta V_{IN}$	Line regulation	$2V \leq V_{IN} \leq 5.5V$,		1	5	mV
$\Delta V_O/\Delta I_{OUT}$	Load regulation	$0mA \leq I_{OUT} \leq 300mA$		1	15	mV
I_{CL}	Output current limit	$V_{OUT} = 0.9 \times V_{OUT(NOM)}$	320	500	860	mA
I_{GND}	Ground pin current	$I_{OUT} = 0mA$		35	55	μA
		$I_{OUT} = 300mA$		370		μA
I_{SHDN}	Ground pin current (shutdown)	$V_{EN} \leq 0.4V$		400		nA
		$V_{EN} \leq 0.4V$, $2.0V \leq V_{IN} \leq 4.5V$, $T_J = -40^{\circ}C$ to $+85^{\circ}C$		1	2	μA
PSRR	Power-supply rejection ratio	$f = 1kHz$		68		dB
V_N	Output noise voltage	$BW = 100Hz$ to $100kHz$, $V_{OUT} = 0.7V$		30		μV_{RMS}
t_{STR}	Startup time ⁽¹⁾	$I_{OUT} = 300mA$		100		μs
$V_{EN(HI)}$	Enable pin high (enabled)		0.9		V_{IN}	V
$V_{EN(LO)}$	Enable pin low (disabled)		0		0.4	V
I_{EN}	Enable pin current	$V_{IN} = V_{EN} = 5.5V$		0.04		μA
UVLO	Undervoltage lockout	V_{IN} rising		1.9		V
$R_{DISCHARGE}$	Active pull-down resistance (TLV712xxP only)	$V_{EN} = 0V$		120		Ω
T_{SD}	Thermal shutdown temperature	Shutdown, temperature increasing		+165		$^{\circ}C$
		Reset, temperature decreasing		+145		$^{\circ}C$
T_J	Operating junction temperature		-40		+125	$^{\circ}C$

(1) 起動時間はENがアサートされてから $0.98 \times V_{OUT(NOM)}$ までの時間です。

機能ブロック図

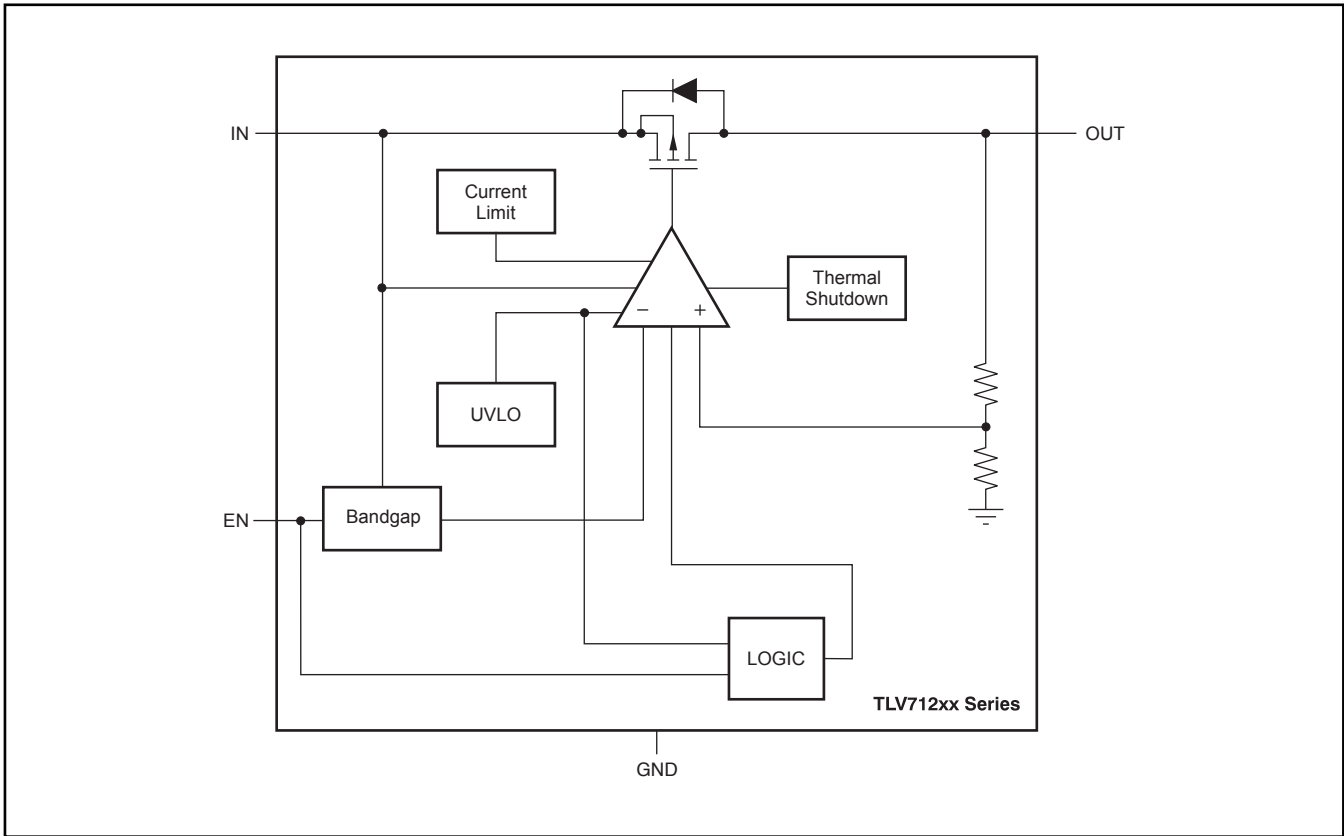


図 1. TLV712xx

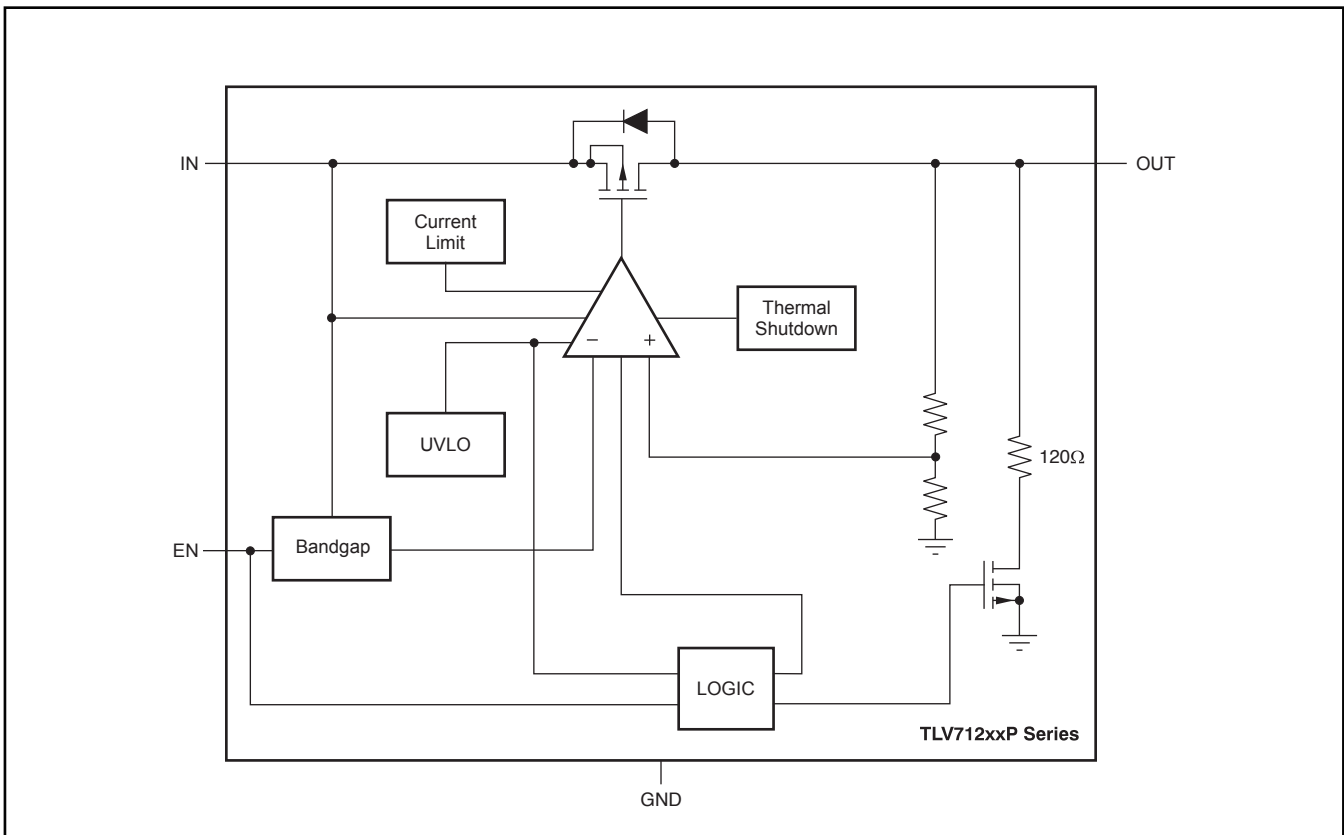
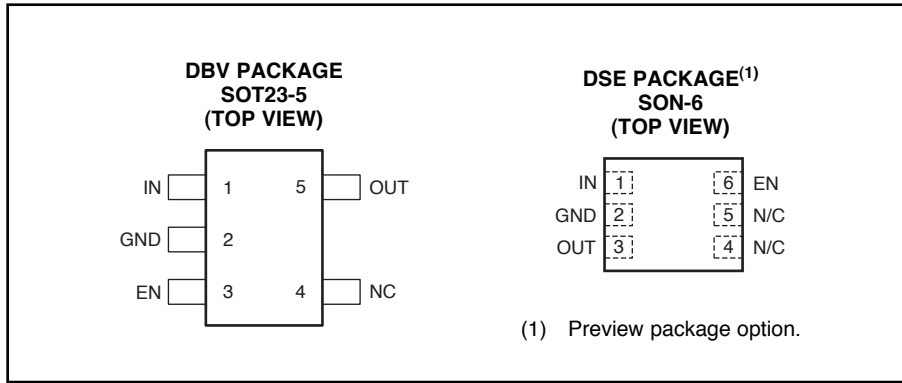


図 2. TLV712xxP

ピン配置図



端子機能

名称	SOT23-5 DBV	SON-6 DSE	機能
IN	1	1	電源入力ピン。安定性の確保と過渡応答特性の向上の為に1 μ Fの小型セラミック・コンデンサをこのピンとGND間に接続する事を推奨します。詳細はアプリケーション情報の“入出力コンデンサの要件”を参照して下さい。
GND	2	2	グラウンドピン。
EN	3	6	イネーブルピン。ENを0.9V以上にするとレギュレータはオンになります。ENを0.4V以下にするとレギュレータはシャットダウン・モードになり、消費電流は標準で1 μ Aになります。TLV712xxPでは製品がシャットダウンの時、出力電圧は内蔵された120 Ω の抵抗により放電されます。
NC	4	4, 5	未接続。このピンは放熱特性を向上するためグラウンドにはんだ付けすることができます。
OUT	5	3	レギュレータの出力電圧ピン。制御安定性を確保するためこのピンとグラウンドの間に小型の1 μ Fのセラミック・コンデンサが必要です。詳細はアプリケーション情報の“入出力コンデンサの要件”を参照して下さい。

代表的特性

動作温度範囲内($T_J = -40^{\circ}\text{C}$ to $+125^{\circ}\text{C}$)、 $V_{IN} = 2.0\text{V}$ 、 $I_{OUT} = 10\text{mA}$ 、 $V_{EN} = V_{IN}$ 、 $C_{OUT} = 1.0\mu\text{F}$ (特に記述のない限り)。
標準値は $T_J = +25^{\circ}\text{C}$ の値です。

LINE REGULATION

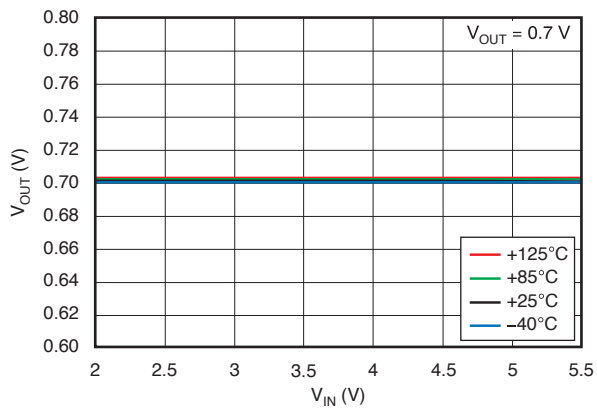


図 3

LOAD REGULATION

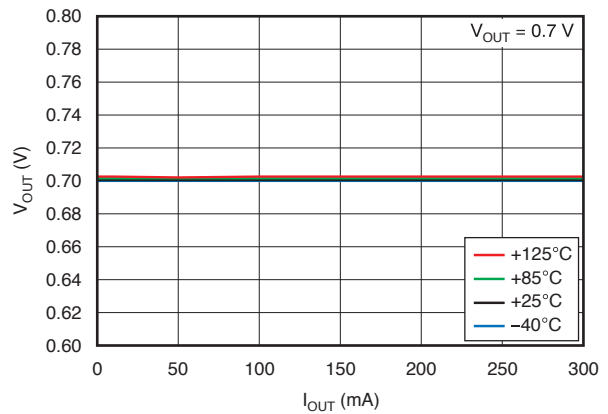


図 4

OUTPUT VOLTAGE vs TEMPERATURE

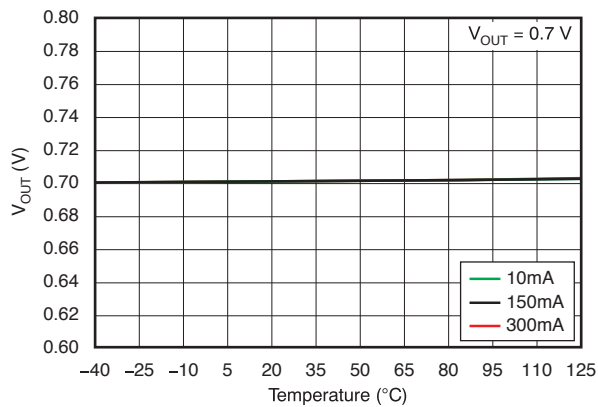


図 5

GROUND PIN CURRENT vs INPUT VOLTAGE

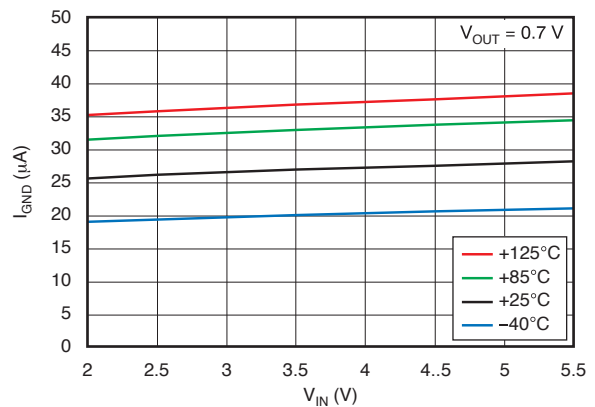


図 6

GROUND PIN CURRENT vs LOAD

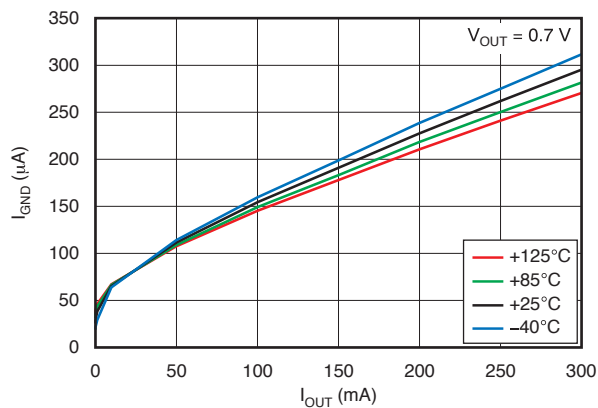


図 7

GROUND PIN CURRENT vs TEMPERATURE

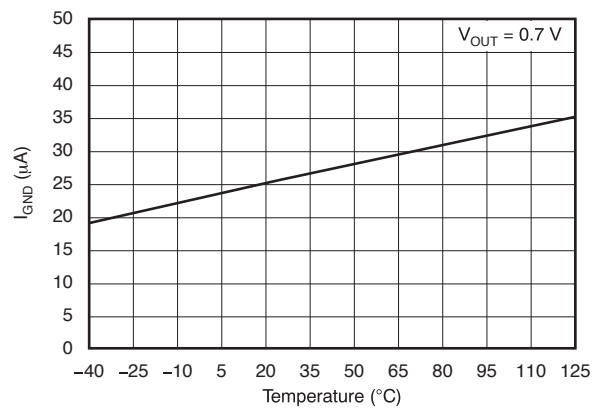


図 8

代表的特性

動作温度範囲内 ($T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$)、 $V_{IN} = 2.0\text{V}$ 、 $I_{OUT} = 10\text{mA}$ 、 $V_{EN} = V_{IN}$ 、 $C_{OUT} = 1.0\mu\text{F}$ (特に記述のない限り)。
標準値は $T_J = +25^\circ\text{C}$ の値です。

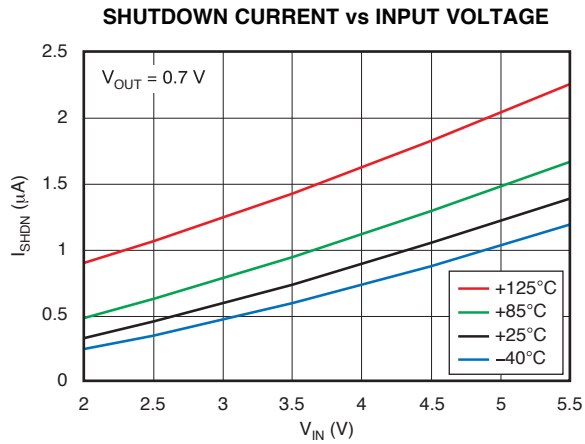


図 9

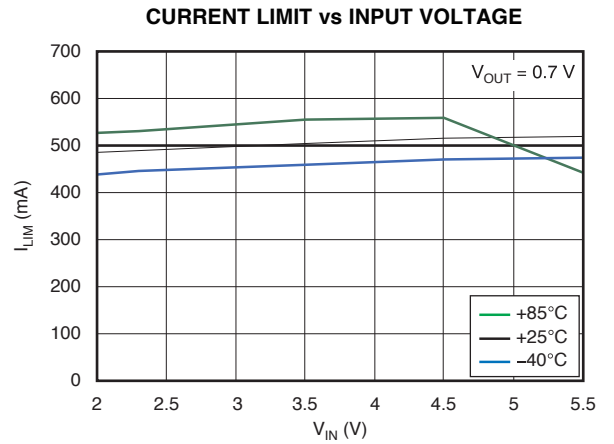


図 10

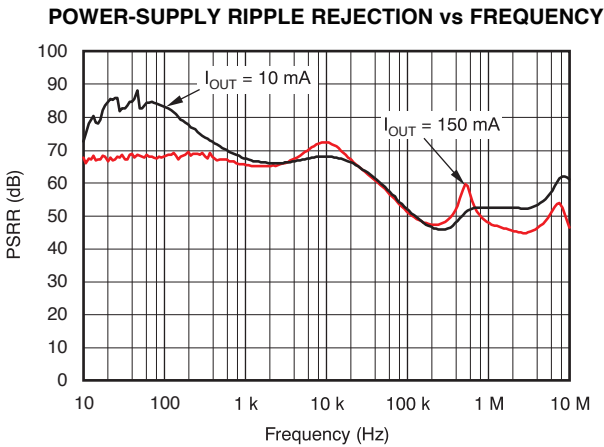


図 11

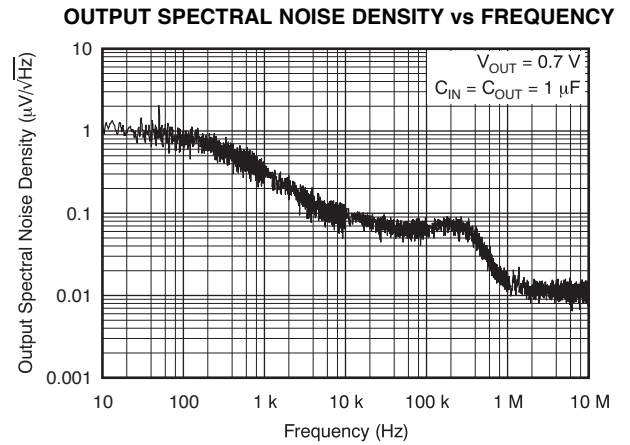


図 12

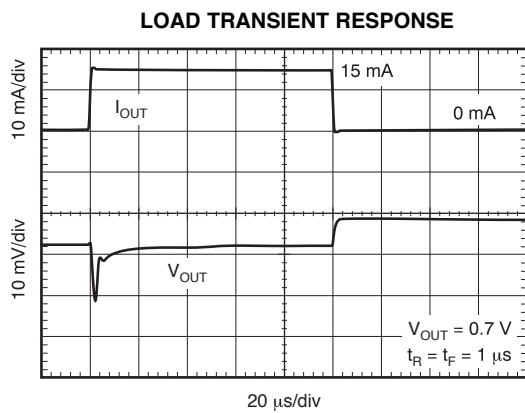


図 13

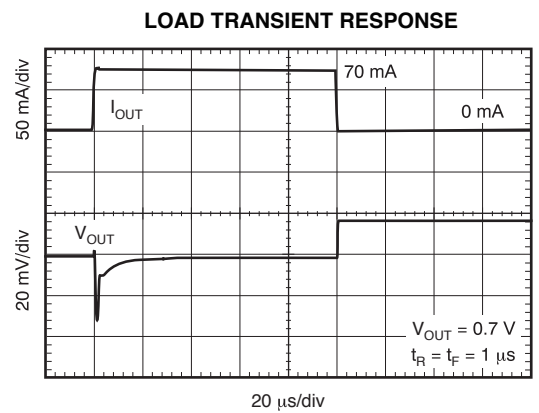


図 14

代表的特性

動作温度範囲内($T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$)、 $V_{IN} = 2.0\text{V}$ 、 $I_{OUT} = 10\text{mA}$ 、 $V_{EN} = V_{IN}$ 、 $C_{OUT} = 1.0\mu\text{F}$ (特に記述のない限り)。
標準値は $T_J = +25^\circ\text{C}$ の値です。

LOAD TRANSIENT RESPONSE

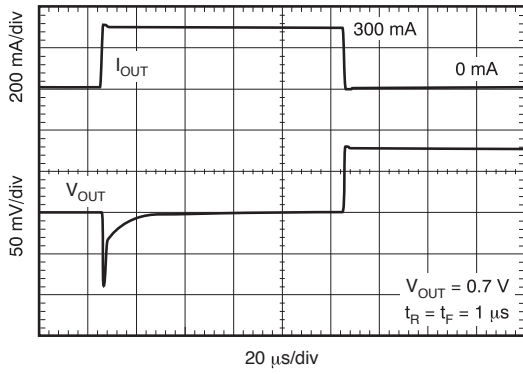


図 15

LINE TRANSIENT RESPONSE

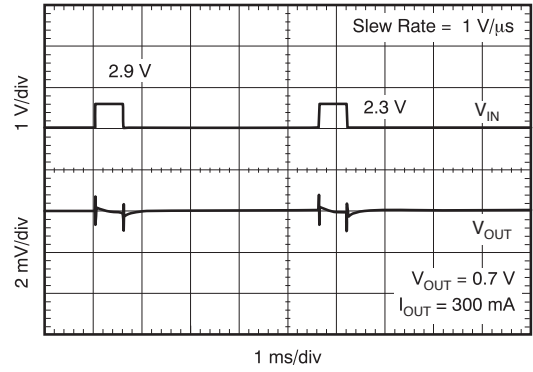


図 16

LINE TRANSIENT RESPONSE

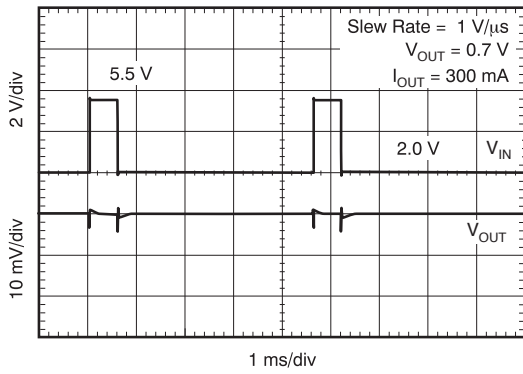


図 17

V_{IN} RAMP UP, RAMP DOWN RESPONSE

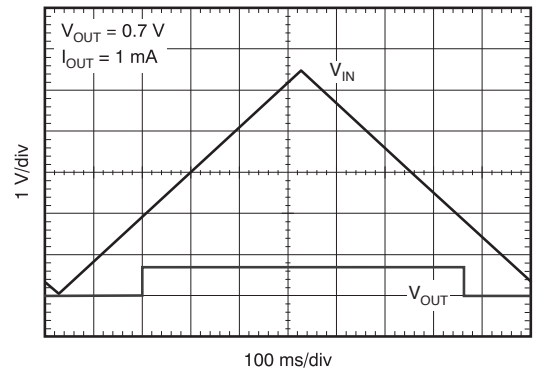


図 18

アプリケーション情報

概要

TLV712xxは新世代の高付加価値のLDOレギュレータです。本製品はサブ・バンドギャップにより出力を制御しており、出力電圧は1.2V未満の0.7Vまでの低電圧を出力可能です。

本製品は低い自己消費電流にもかかわらず優れた電源および負荷に対する過渡応答特性を示します。低い出力ノイズ、非常に高い電源リップル除去比 (PSRR)、低い ($V_{IN} - V_{OUT}$) のヘッドルームという特性により、本製品は携帯型高周波機器に最適です。本レギュレータファミリー製品は電流制限、過熱保護をもち、 -40°C から $+125^{\circ}\text{C}$ でスペックが規定されています。

入出力コンデンサの要件

いずれも X5R または X7R の $1.0\mu\text{F}$ セラミック・コンデンサの使用を推奨します。なぜなら、これらのコンデンサは広い温度範囲にわたり容量値の変化が少なく、等価直列抵抗 (ESR) も低いからです。

TLV712xxは出力に実効容量が $0.1\mu\text{F}$ 以上のコンデンサの接続により安定するように設計されています。また、本製品はコンデンサの誘電体が異なっても、バイアス電圧特性や温度特性による変化があっても、実効容量が $0.1\mu\text{F}$ 以上である限り安定に動作します。この実効容量とは動作時のLDOから見える容量値です。すなわち、バイアス電圧と温度特性の両方による容量の減少を考慮した実際の容量です。そして、 $0.1\mu\text{F}$ 以上の実効容量があれば安定するので、より安価な誘電体の製品や、基板スペースの制約のあるアプリケーションで、大きな容量減少特性を持つ小さなフットプリントのコンデンサの使用を可能としています。

注：表記容量が $0.1\mu\text{F}$ のコンデンサは実使用条件下ではその実効容量は $0.1\mu\text{F}$ を下回っているため、104と書かれたコンデンサをLDOの出力に付けても安定性を確保できる保証は無いということに注意する必要があります。さらに、最大ESR値は $200\text{m}\Omega$ 以下である必要があります。

入力コンデンサは安定性のためには不要ですが、良いアナログ回路の設計手法とはレギュレータの近くで入力電源に $0.1\mu\text{F}$ から $1.0\mu\text{F}$ の等価直列抵抗 (ESR) の低いコンデンサをレギュレータのINピンとGNDピンの間に接続することです。このコンデンサは入力源の電圧振動を抑え、過渡応答、ノイズ除去、リップル除去の特性を改善します。大きくて高速に立ち上がる負荷過渡が予想されるか、またはこの製品が電源から数インチ以上離れた場所に配置されている場合には、これより大きな値のコンデンサが必要となることがあります。供給源のインピーダンスが 2Ω 以上ある場合は安定性を確保するために $0.1\mu\text{F}$ の入力コンデンサが必須となることがあります。

PSRRとノイズ特性改善のための推奨ボード・レイアウト

入出力のコンデンサは製品のピンにできるだけ近づけて配置してください。PSRR、出力ノイズ、過渡応答などの交流特性を改善するため、ボード設計は V_{IN} と V_{OUT} 用のグラウンド・プレーンを分けておき、各グラウンド・プレーンはデバイスのGNDピンにのみ接続することを推奨します。さらに、バイパス・コンデンサのグラウンドへの接続はデバイスのGNDピンに直接接続しなければなりません。ESRの大きなコンデンサを使用するとPSRR能力が低下します。

内蔵電流制限機能

TLV712xxに内蔵されている電流制限機能は異常状態時にレギュレータを保護するのに役立ちます。電流制限時、出力は出力電圧にほとんど依存しない一定の電流値に制限されます。この状態では出力電圧は制御されておらず、出力電圧 (V_{OUT}) = 制限電流値 (I_{LIMIT}) \times 負荷抵抗 (R_{LOAD}) になります。PMOSの制御トランジスタでの過熱保護が動作するまでの間の損失は ($V_{IN} - V_{OUT}$) \times I_{LIMIT} となり、この発熱によりデバイスはオフになります。製品が冷却されると過熱保護は解除されて再起動します。異常状態が継続しているとデバイスは過電流制限状態と過熱保護によるシャットダウン状態を繰り返します。詳細は“熱情報”の章を参照してください。

TLV712xxのPMOSパス素子にはINの電圧がOUTの電圧より低くなった時に逆方向の電流が流れるボディ・ダイオードが内蔵されています。この電流は制限されないため、逆電圧動作が続くことが予想される場合には、外部回路により定格電流の5%以下に制限することが推奨されます。

シャットダウン

イネーブル・ピン (EN) はアクティブ “High” です。本製品はENピンの電圧が 0.9V 以上で確実にイネーブルされます。このLDOレギュレータをオンさせるのに比較的低い電圧しか必要としないことから、従来のマイコンよりGPIO論理1の電圧レベルが低い最新マイコンのGPIOでも製品をイネーブル制御する事が出来ます。本製品はENピンの電圧が 0.4V 以下に保持されると確実にオフ状態になります。シャットダウンの機能が不要の場合、ENピンはINに接続しておきます。

TLV712xxPは内部にアクティブ・プルダウン回路を持っており、次の時定数で出力を放電します：

$$\tau = \frac{(120 \cdot R_L)}{(120 + R_L)} \cdot C_{OUT} \quad (1)$$

ここで：

R_L = 負荷抵抗

C_{OUT} = 出力容量

ドロップアウト電圧

TLV712xxには低ドロップアウトを実現するためPMOSのバス・トランジスタが使用されています。本製品は0.7Vから1.2Vの全域において最小入力電圧である2.0Vから300mAを供給することができます。本製品の最大出力電圧が1.2Vであり、かつ最低動作入力電圧が2.0Vであることから、ドロップアウト電圧のスペックはTLV712xxファミリーの製品にとって意味がないことに注意してください。

過渡応答

いかなるレギュレータとも同様に、出力コンデンサを大きくするとオーバーシュート/アンダーシュートの大きさが低減しますが、過渡応答の持続期間は長くなります。

低電圧ロックアウト(UVLO)

TLV712xxは低電圧ロックアウト回路により内部回路が正しく動作する入力電圧以下では出力電圧を遮断状態に保ちます。

熱情報

過熱保護機能は接合部温度が約+165°Cに上昇した時、出力をディスエーブルにしてデバイスを冷却させます。接合部温度が約+145°Cに下がると、出力回路は再びイネーブルになります。消費電力、熱抵抗、周囲温度により、過熱保護回路はオンとオフを繰り返すことがあります。この繰り返しによりレギュレータでの平均消費電力が制限され、過熱によりレギュレータが損傷することが回避されます。

過熱保護回路が作動するという事は消費電力が過剰であるか、またはヒートシンクが不十分であるということを示しています。信頼性の高い動作を行うには、接合部温度は最大+125°Cに制限しなければなりません。

最終製品(ヒートシンクを含む)での温度余裕を見積もるには、最大負荷の発生する動作状態で過熱保護が作動するまで周囲温度を上昇させます。

TLV712xxの内部保護回路は過負荷状態に対して製品を保護するよう設計されています。しかしこの機能は適切なヒートシンクに取って代わるとするのが目的ではありません。TLV712xxを絶えずサーマル・シャットダウン状態にしておくとデバイスの信頼性が劣化してしまいます。

許容損失

チップから熱を拡散する能力は各パッケージ・タイプで異なるため、プリント基板(PCB)レイアウトではそれぞれに異なった考察をします。他の部品が実装されていない製品周囲のPCB領域が製品から周囲空間へ発生した熱を移動し拡散させます。

TLV712xxの放熱能力データは各面2オンス銅の両面基板を使用したTLV700評価基板(EVM)を使用して収集されています。SOT23-5(DBV)用のEVMの寸法とレイアウトを図19と図20に示します。表1に各条件での放熱能力を示します。注意点としてはこの基板は裏面層にSOT23-5パッケージだけではなく表面層にSC-70パッケージもはんだ付けできるようになっている事です。SON-6(DSE)用のEVMの寸法とレイアウトを図21と図22に示します。表1に各条件での放熱能力を示します。より厚い銅を使用する事によりデバイスから熱を放散させる能力が向上します。メッキされたスルーホールを熱拡散層に追加する事もヒートシンクの能力を向上させます。

消費電力は入力電圧と負荷状態に依存します。消費電力(P_D)は式(2)に示されているように出力電流に出力パス素子の電圧降下(V_{IN} から V_{OUT})を乗じたものとなります。

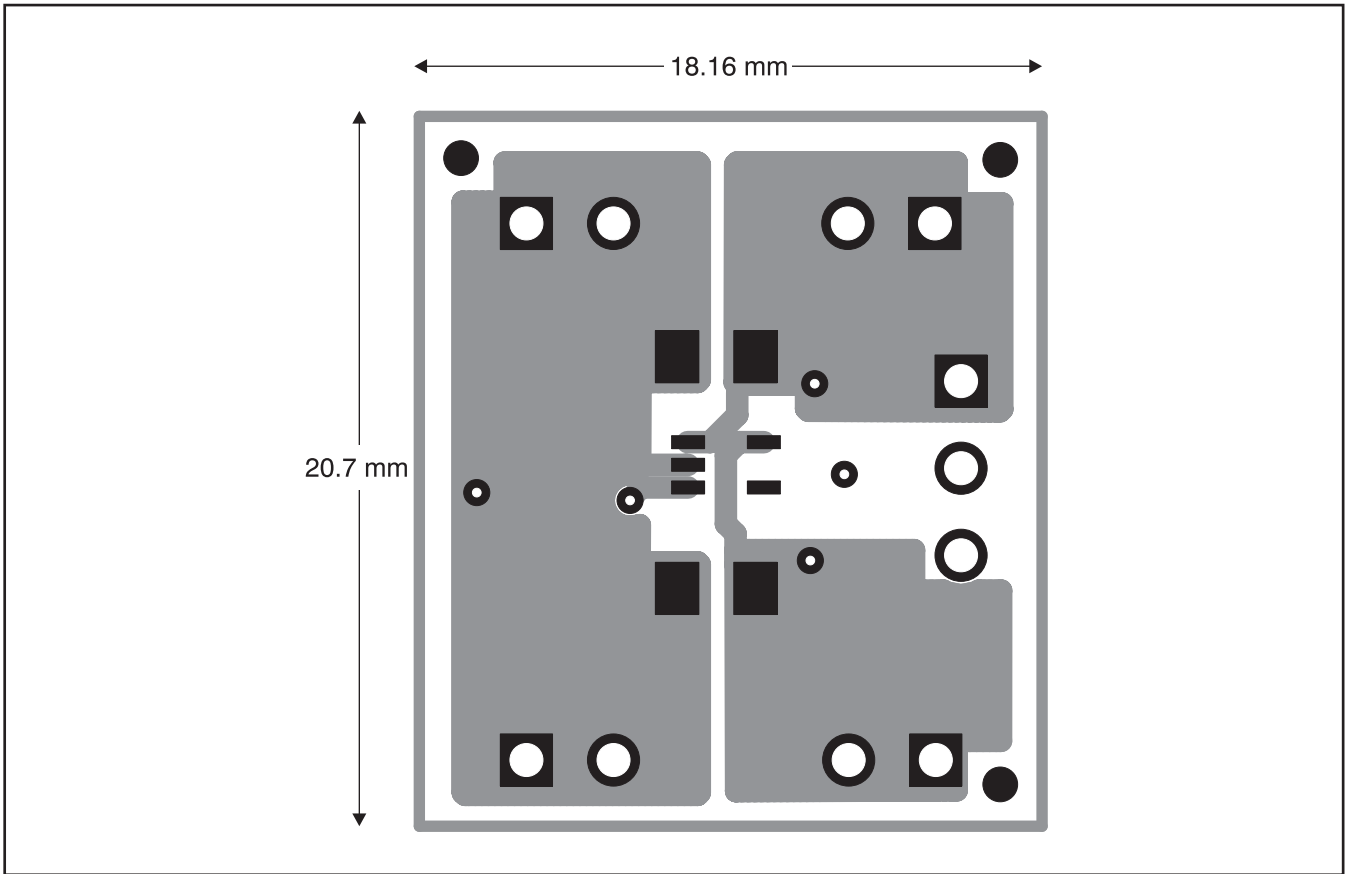
$$P_D = (V_{IN} - V_{OUT}) \times I_{OUT} \quad (2)$$

パッケージの実装

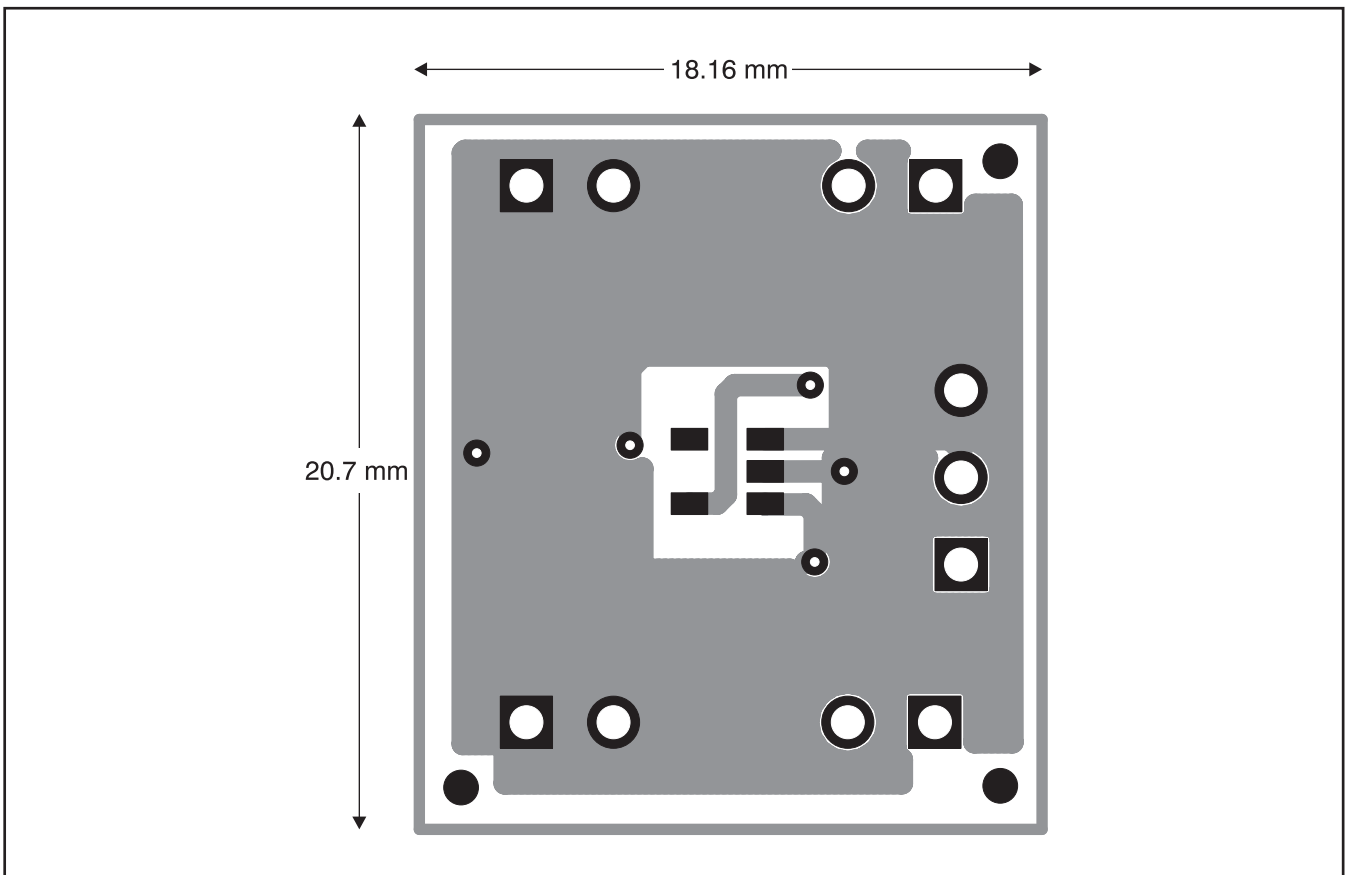
TLV712xxの推奨するはんだパッドのフットプリントはテキサス・インスツルメンツのホームページwww.ti.comでも入手できます。DBVとDSEパッケージの推奨ランド・パターンを図23、図24に示します。

表 1. EVM Dissipation Ratings

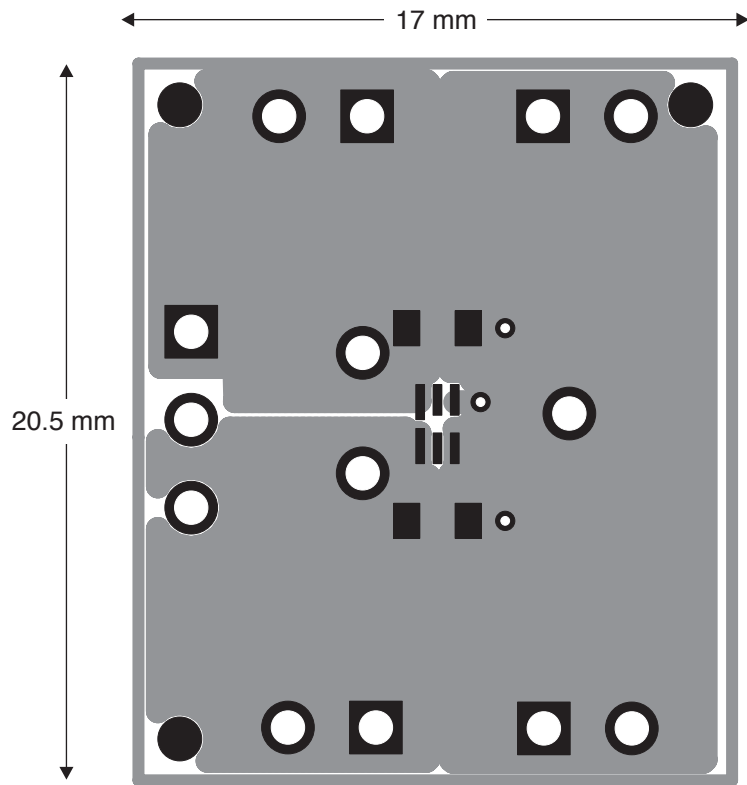
PACKAGE	$R_{\theta JA}$	$T_A < +25^\circ\text{C}$	$T_A = +70^\circ\text{C}$	$T_A = +85^\circ\text{C}$
DBV	200°C/W	500 mW	275 mW	200 mW
DSE	180°C/W	555 mW	305 mW	222 mW



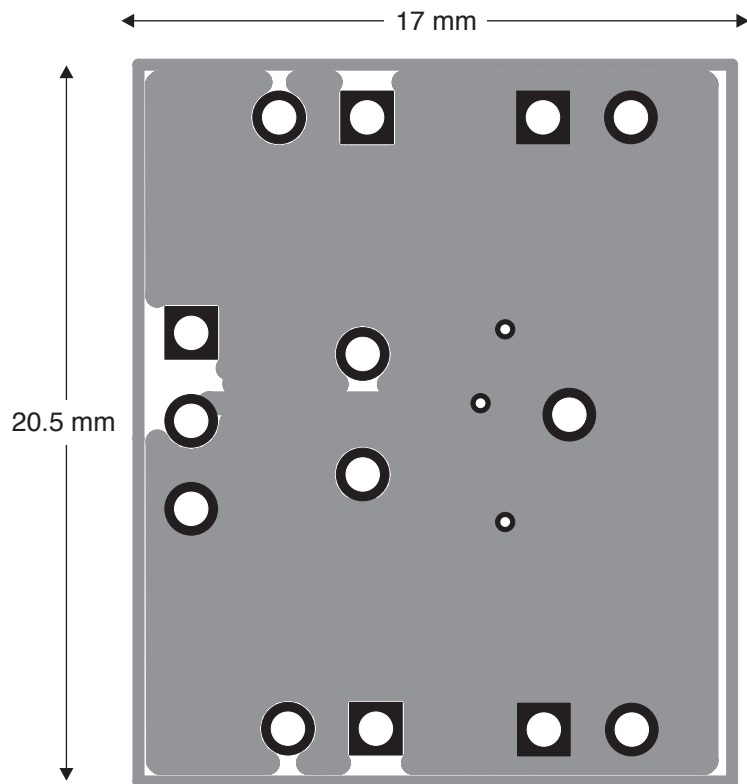
☒ 19. SOT23-5 EVM Top Layer



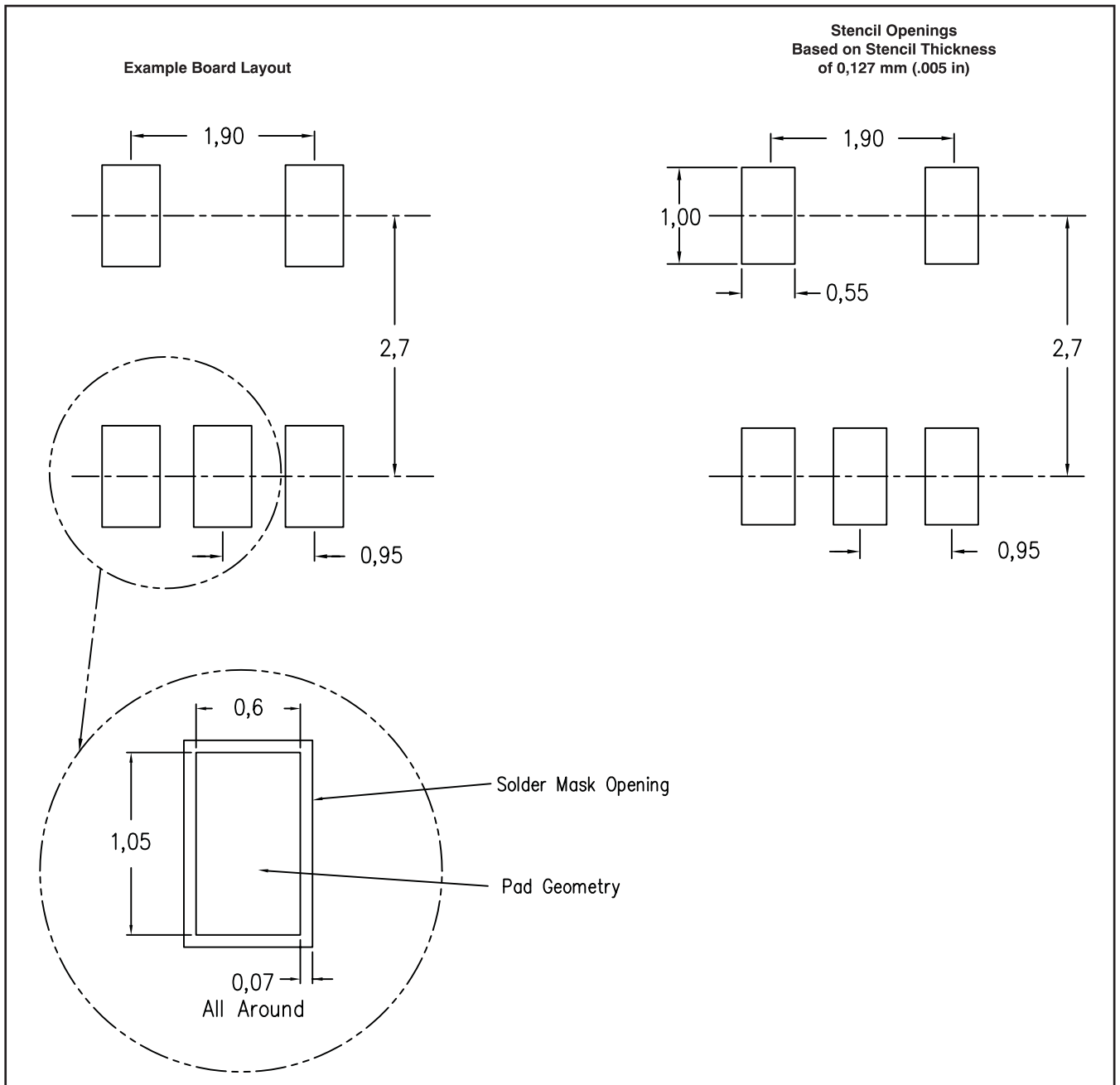
☒ 20. SOT23-5 EVM Bottom Layer



21. DSE EVM Top Layer

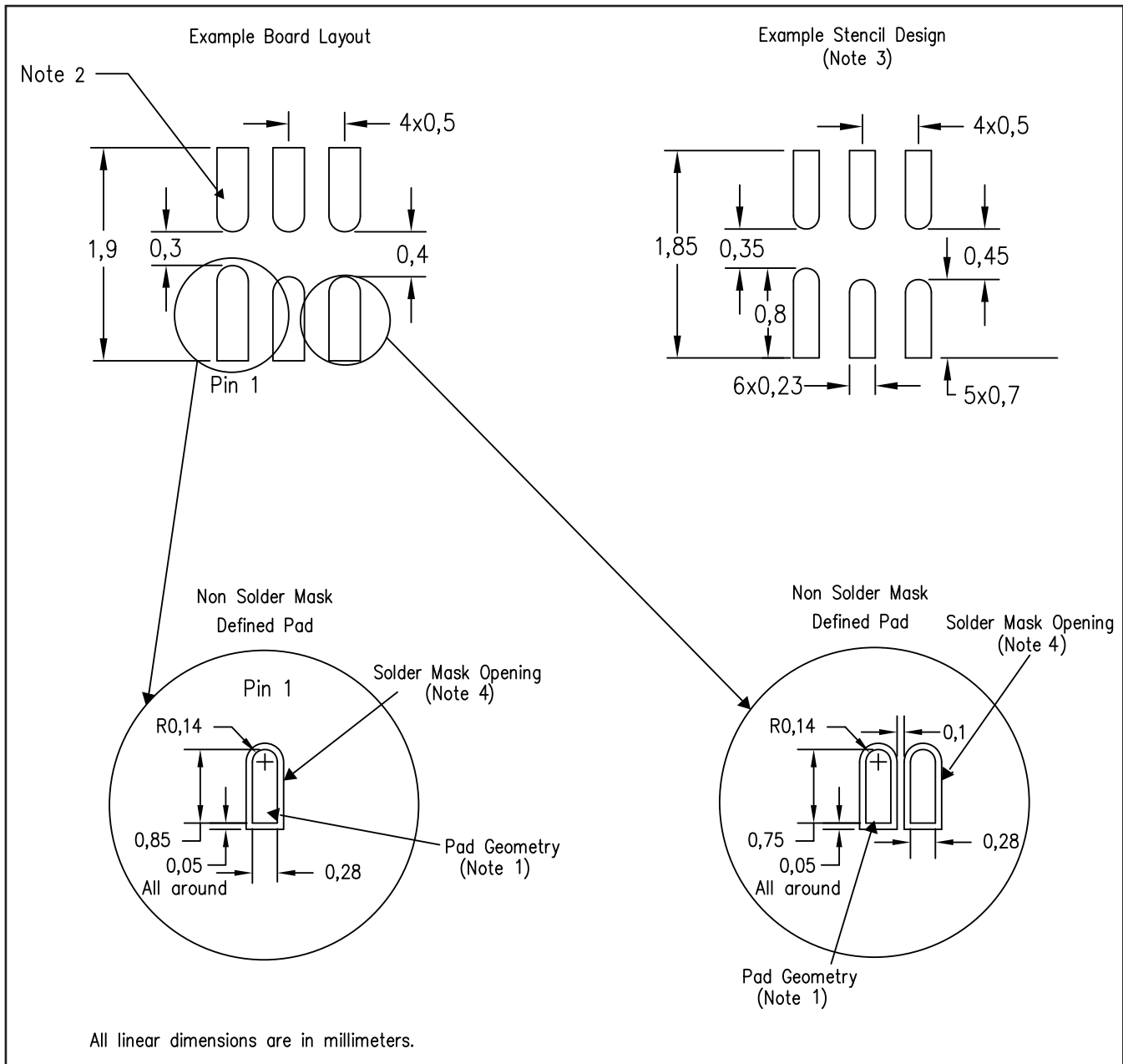


22. DSE EVM Bottom Layer



- (1) All linear dimensions are in millimeters.
- (2) Customers should place a note on the circuit board fabrication drawing not to alter the center solder mask defined pad.
- (3) Publication IPC-7351 is recommended for alternate designs.
- (4) Laser-cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Example stencil design based on a 50% volumetric load solder paste. Refer to IPC-7525 for other stencil recommendations.

☒ **23.** Recommended Land Pattern for DBV Package



(1) Publication IPC-7351 is recommended for alternate designs.

(2) For more information, refer to TI application notes [SCBA017](#) and [SLUA271](#) (*Quad Flatpack No-Lead Logic Packages* and *QFN/SON PCB Attachment*, respectively) for specific thermal information, via requirements, and additional recommendations for board layout. These documents are available at the Texas Instruments web site (<http://www.ti.com>) by searching for the literature number.

(3) Laser-cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC-7525 for stencil design considerations.

(4) Customers should contact their board fabrication site for minimum solder mask tolerances between signal pads.

☒ **24. Recommended Land Pattern for DSE Package**

パッケージ情報

製品情報

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead/Ball Finish	MSL Peak Temp (3)	Op Temp (°C)	Top-Side Markings ⁽⁴⁾	Samples
TLV71209DBVR	ACTIVE	SOT-23	DBV	5	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	-40 to 125	QVO	Samples
TLV71209DBVT	ACTIVE	SOT-23	DBV	5	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	-40 to 125	QVO	Samples
TLV71210DBVR	ACTIVE	SOT-23	DBV	5	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	-40 to 125	SAR	Samples
TLV71210DBVT	ACTIVE	SOT-23	DBV	5	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	-40 to 125	SAR	Samples
TLV71210DSEVR	ACTIVE	WSON	DSE	6	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	-40 to 125	RX	Samples
TLV71210DSEVT	ACTIVE	WSON	DSE	6	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	-40 to 125	RX	Samples
TLV71211DBVR	ACTIVE	SOT-23	DBV	5	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	-40 to 125	SDK	Samples
TLV71211DBVT	ACTIVE	SOT-23	DBV	5	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	-40 to 125	SDK	Samples
TLV71211DSEVR	ACTIVE	WSON	DSE	6	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	-40 to 125	YI	Samples
TLV71211DSEVT	ACTIVE	WSON	DSE	6	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	-40 to 125	YI	Samples

⁽¹⁾ マーケティング・ステータスは次のように定義されています。

ACTIVE: 製品デバイスが新規設計用に推奨されています。

LIFEBUY: TIによりデバイスの生産中止予定が発表され、ライフタイム購入期間が有効です。

NRND: 新規設計用に推奨されていません。デバイスは既存の顧客をサポートするために生産されていますが、TIでは新規設計にこの部品を使用することを推奨していません。

PREVIEW: デバイスは発表済みですが、まだ生産が開始されていません。サンプルが提供される場合と、提供されない場合があります。

OBSOLETE: TIによりデバイスの生産が中止されました。

⁽²⁾ エコ・プラン - 環境に配慮した製品分類プランであり、Pb-Free (RoHS)、Pb-Free (RoHS Expert) および Green (RoHS & no Sb/Br) があります。最新情報および製品内容の詳細については、<http://www.ti.com/productcontent> でご確認ください。

TBD: Pb-Free/Green変換プランが策定されていません。

Pb-Free (RoHS): TIにおける“Lead-Free”または“Pb-Free” (鉛フリー) は、6つの物質すべてに対して現在のRoHS要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が0.1%を超えないという要件も含まれます。高温で半田付けするように設計されている場合、TIの鉛フリー製品は指定された鉛フリー・プロセスでの使用に適しています。

Pb-Free (RoHS Exempt): この部品は、1) ダイとパッケージの間に鉛ベースの半田バンプ使用、または 2) ダイとリードフレーム間に鉛ベースの接着剤を使用、が除外されています。それ以外は上記の様にPb-Free (RoHS) と考えられます。

Green (RoHS & no Sb/Br): TIにおける“Green”は、“Pb-Free” (RoHS互換) に加えて、臭素 (Br) およびアンチモン (Sb) をベースとした難燃材を含まない (均質な材質中のBrまたはSb重量が0.1%を超えない) ことを意味しています。

⁽³⁾ MSL、ピーク温度 -- JEDEC業界標準分類に従った耐湿性レベル、およびピーク半田温度です。

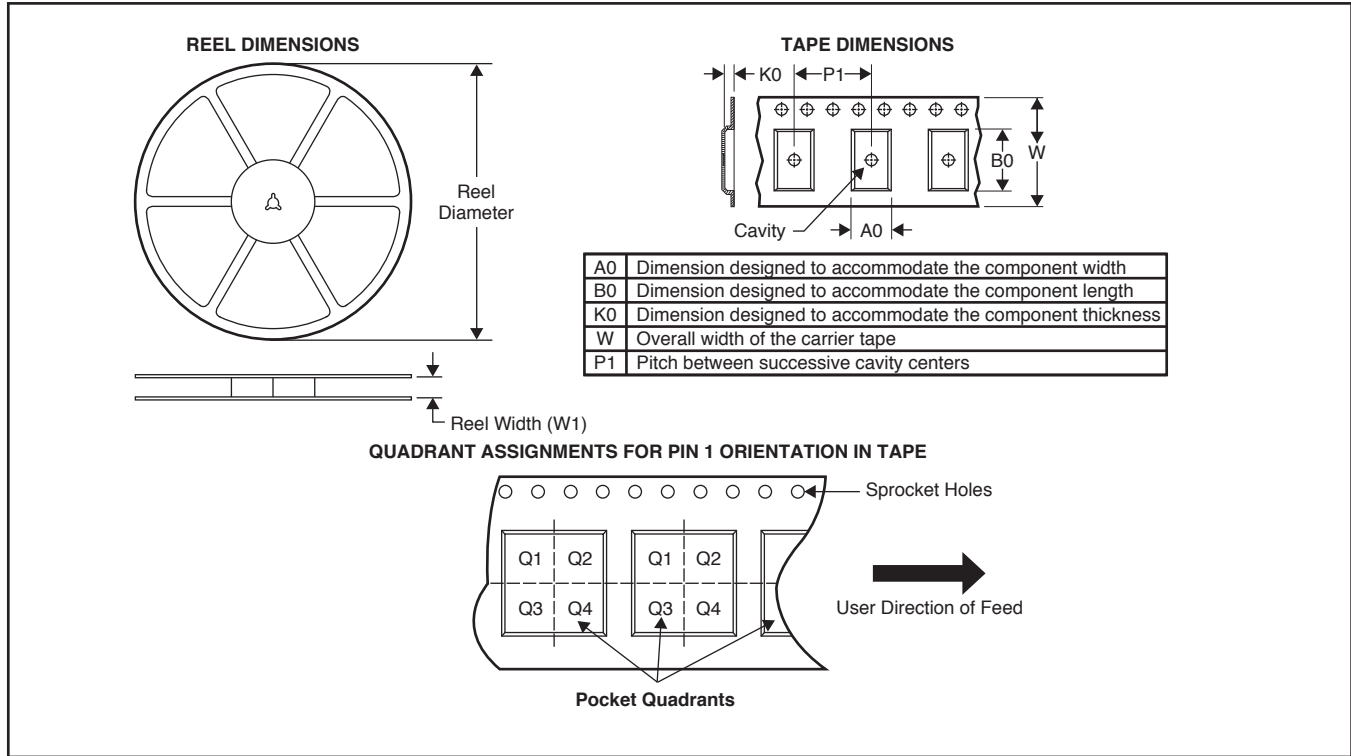
⁽⁴⁾ 複数のデバイス・マーキングがある場合はカッコ内に示されます。デバイス上にはカッコ内の1つのデバイス・マーキングと区切り文字“~”のみが表示されます。行がインデントされている場合は、前の行からの続きであり、2行あわせてそのデバイスのデバイス・マーキング全体を表します。

重要な情報および免責事項: このページに記載された情報は、記載された日付時点でのTIの知識および見解を表しています。TIの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行いません。第三者からの情報をより良く統合するための努力は続けております。TIでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。TIおよびTI製品の供給者は、特定の情報を機密情報として扱っているため、CAS番号やその他の制限された情報が公開されない場合があります。

TIは、いかなる場合においても、かかる情報により発生した損害について、TIがお客様に1年間に販売した本書記載の問題となった TIパーツの購入価格の合計金額を超える責任を負いかねます。

パッケージ・マテリアル情報

テープおよびリール・ボックス情報

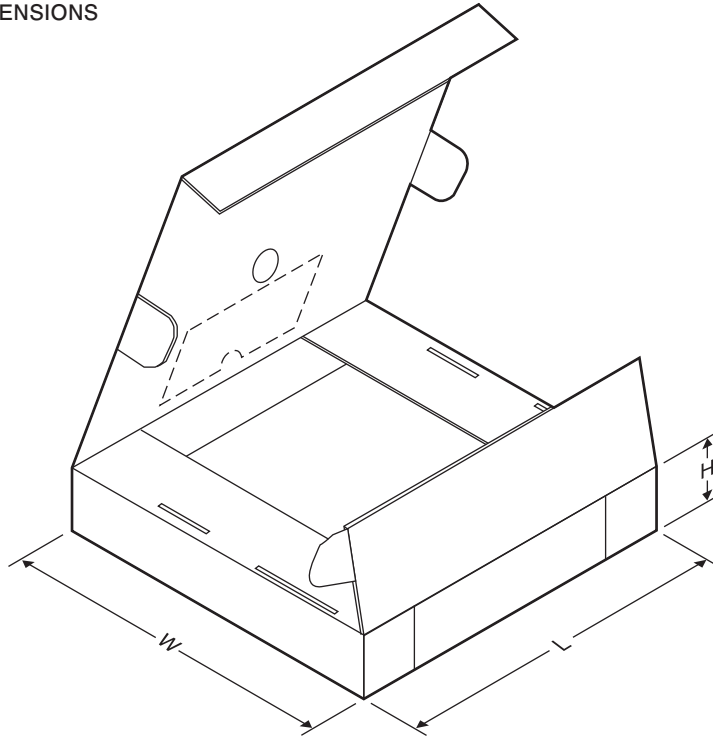


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TLV71209DBVR	SOT-23	DBV	5	3000	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
TLV71210DBVR	SOT-23	DBV	5	3000	180.0	8.4	3.23	3.17	1.37	4.0	8.0	Q3
TLV71210DBVT	SOT-23	DBV	5	250	180.0	8.4	3.23	3.17	1.37	4.0	8.0	Q3
TLV71210DSER	WSON	DSE	6	3000	180.0	8.4	1.83	1.83	0.89	4.0	8.0	Q2
TLV71210DSET	WSON	DSE	6	250	180.0	8.4	1.83	1.83	0.89	4.0	8.0	Q2
TLV71211DBVR	SOT-23	DBV	5	3000	180.0	8.4	3.23	3.17	1.37	4.0	8.0	Q3
TLV71211DBVT	SOT-23	DBV	5	250	180.0	8.4	3.23	3.17	1.37	4.0	8.0	Q3
TLV71211DSER	WSON	DSE	6	3000	179.0	8.4	1.8	1.8	1.0	4.0	8.0	Q2
TLV71211DSER	WSON	DSE	6	3000	180.0	8.4	1.83	1.83	0.89	4.0	8.0	Q2
TLV71211DSET	WSON	DSE	6	250	180.0	8.4	1.83	1.83	0.89	4.0	8.0	Q2
TLV71211DSET	WSON	DSE	6	250	179.0	8.4	1.8	1.8	1.0	4.0	8.0	Q2

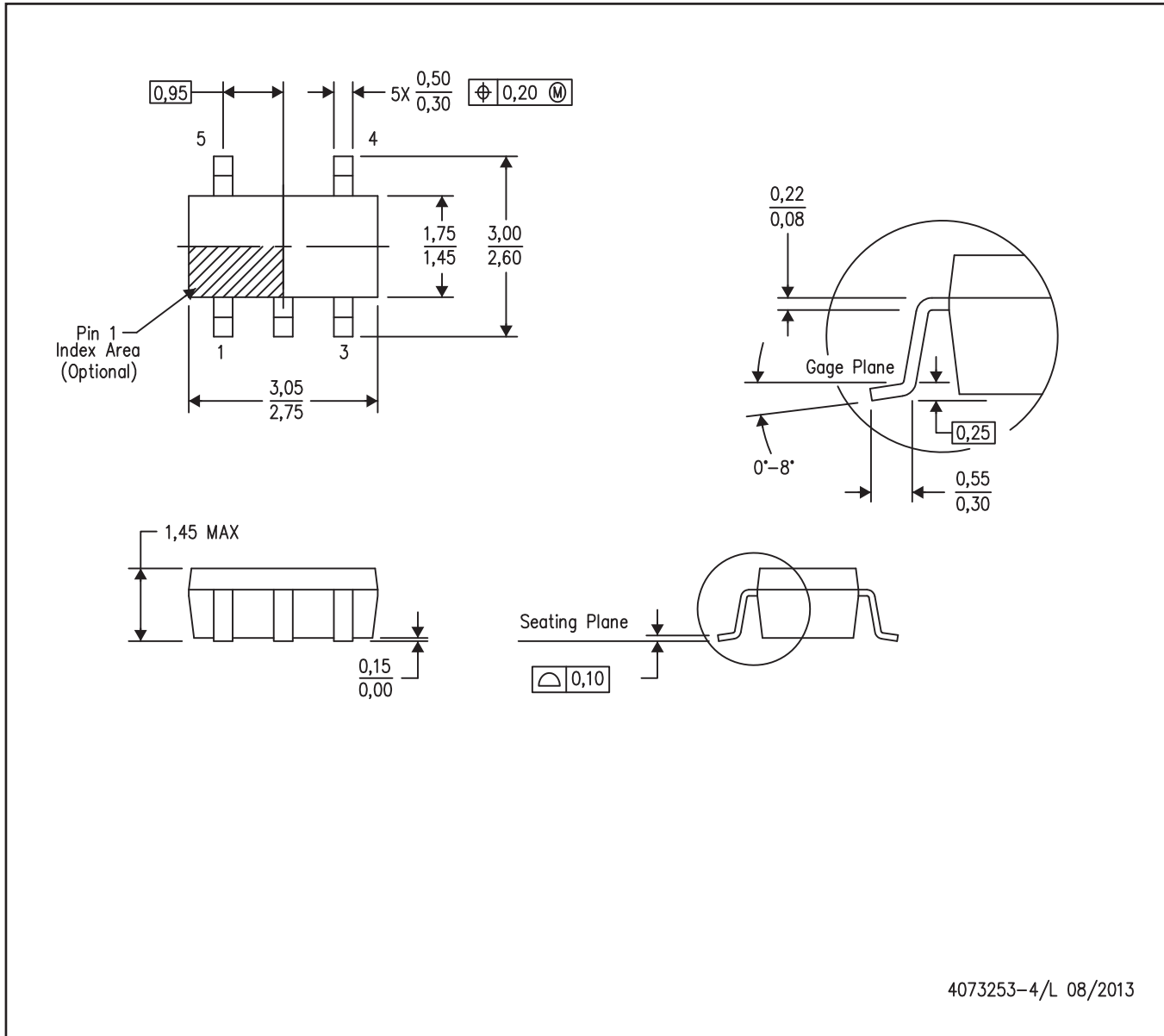
パッケージ・マテリアル情報

TAPE AND REEL BOX DIMENSIONS



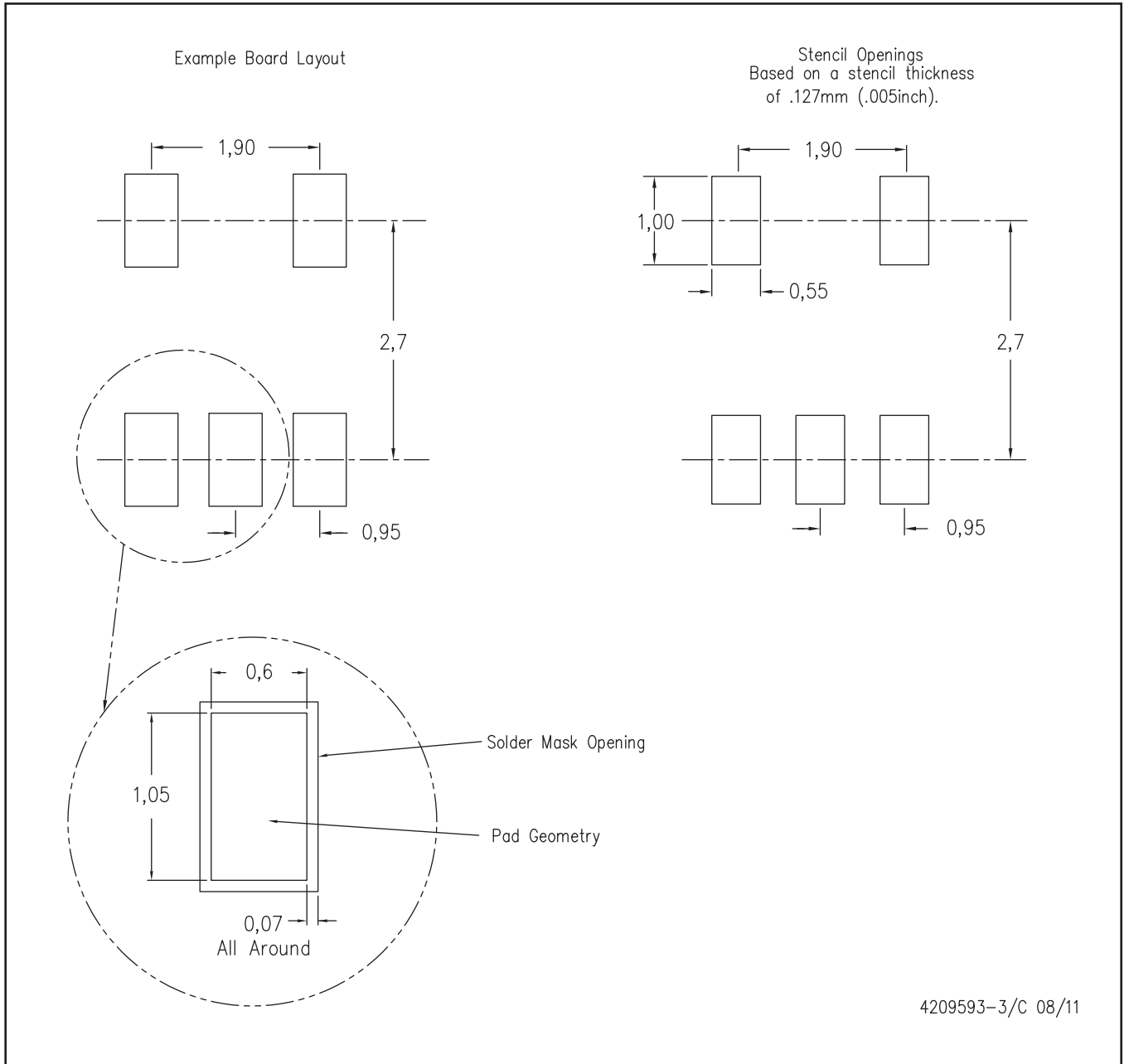
*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TLV71209DBVR	SOT-23	DBV	5	3000	180.0	180.0	18.0
TLV71210DBVR	SOT-23	DBV	5	3000	202.0	201.0	28.0
TLV71210DBVT	SOT-23	DBV	5	250	202.0	201.0	28.0
TLV71210DSER	WSON	DSE	6	3000	202.0	201.0	28.0
TLV71210DSET	WSON	DSE	6	250	202.0	201.0	28.0
TLV71211DBVR	SOT-23	DBV	5	3000	202.0	201.0	28.0
TLV71211DBVT	SOT-23	DBV	5	250	202.0	201.0	28.0
TLV71211DSER	WSON	DSE	6	3000	203.0	203.0	35.0
TLV71211DSER	WSON	DSE	6	3000	202.0	201.0	28.0
TLV71211DSET	WSON	DSE	6	250	202.0	201.0	28.0
TLV71211DSET	WSON	DSE	6	250	203.0	203.0	35.0

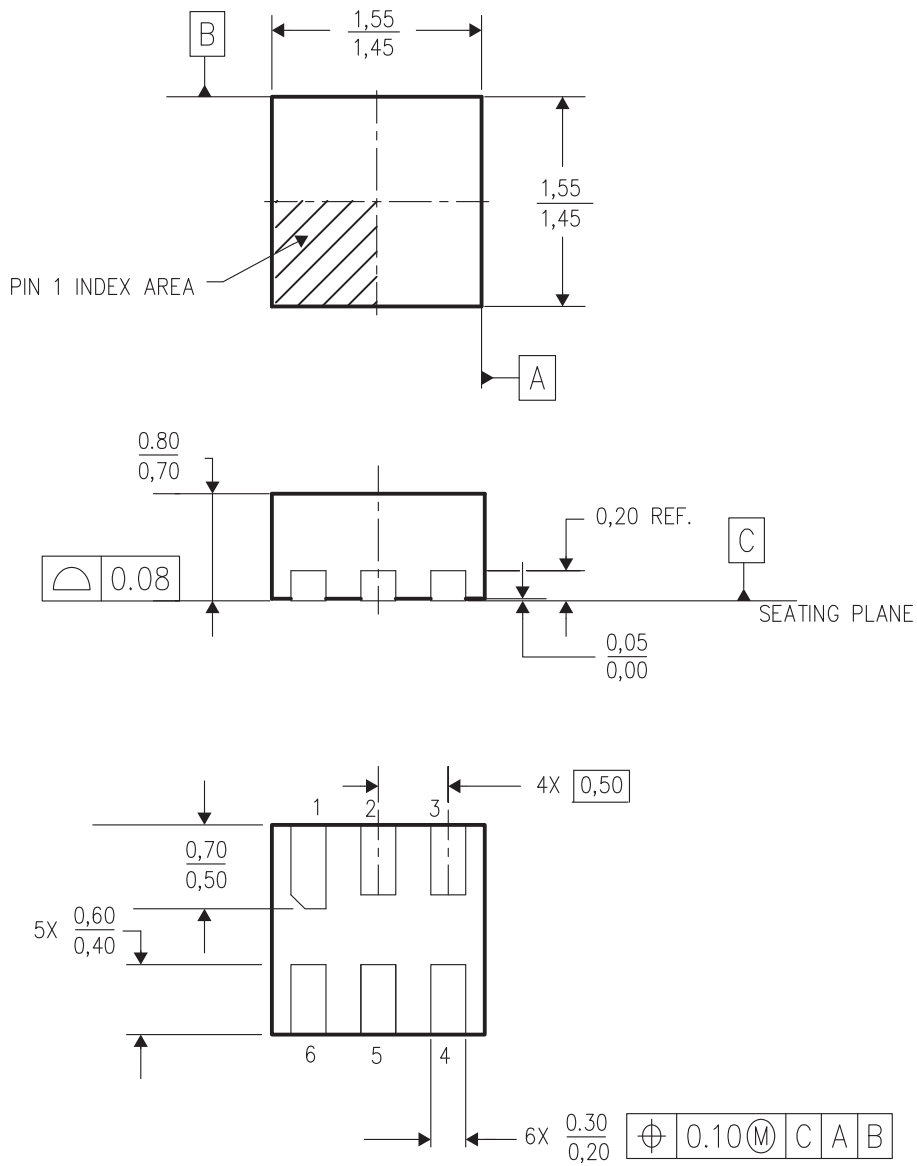


4073253-4/L 08/2013

- 注：A. 寸法はすべてミリメートルです。
 B. 本図は予告なく変更することがあります。
 C. 本体寸法にはバリや突起を含みません。バリおよび突起は、各辺0.15を超えてはなりません。
 D. JEDEC TO-178 Variation AAに適合します。

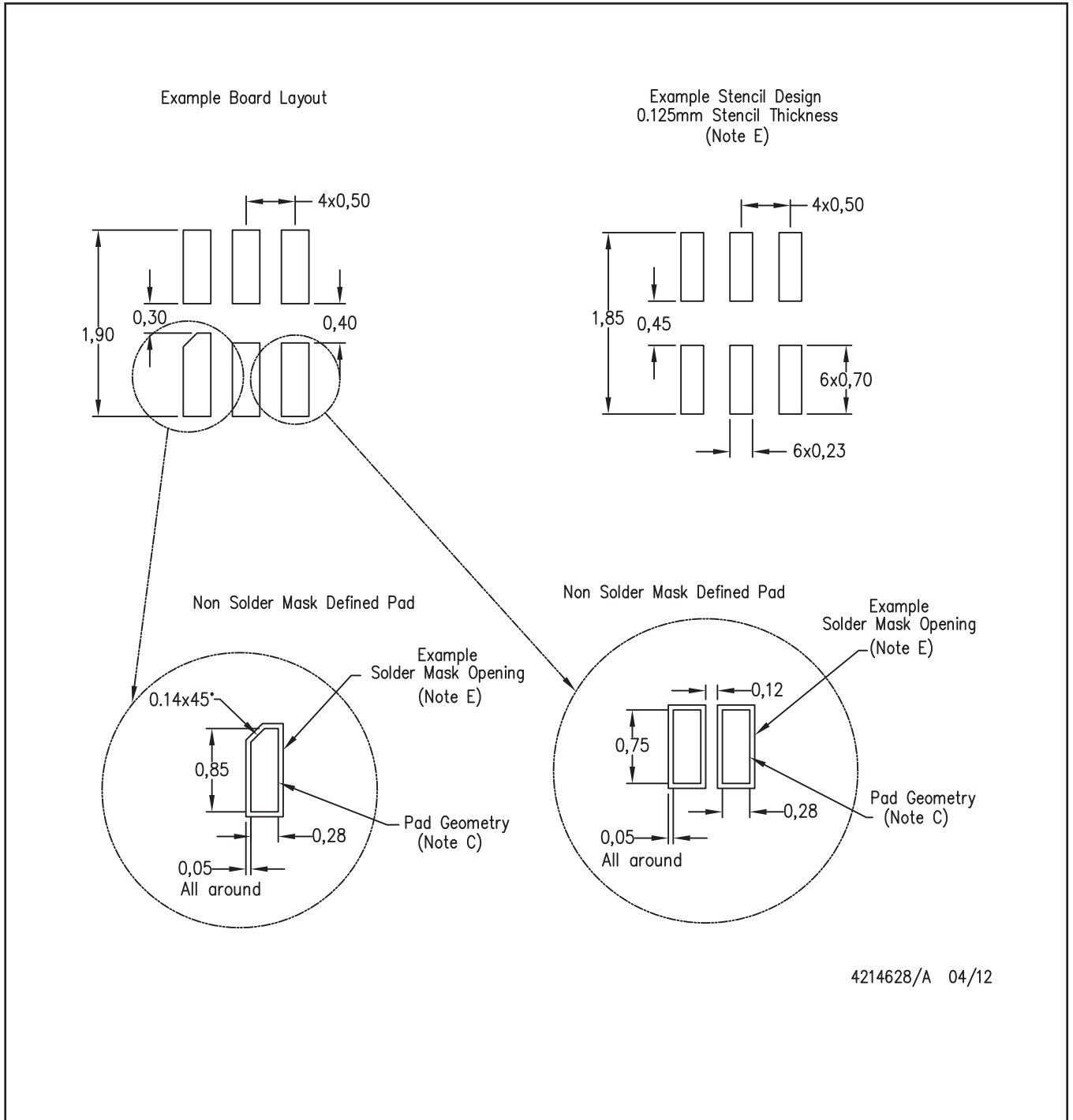


- 注：A. 全ての線寸法の単位はミリメートルです。
 B. 図は予告なく変更することがあります。
 C. 中央の半田マスク定義パッドを変更しないように、回路基板組み立て図に注記を書き込んでください。
 D. 代替設計については、資料IPC-7351を推奨します。
 E. レーザ切断開口部の壁面を台形にし、角に丸みを付けることで、ペーストの離れがよくなります。ステンシル設計要件については、基板組み立て拠点にお問い合わせください。例に示したステンシル設計は、50%容積のメタルロード半田ペーストに基づいています。ステンシルに関する他の推奨事項については、IPC-7525を参照してください。



4207810/A 03/06

- 注：A. 全ての線寸法の単位はミリメートルです。
 B. 図は予告なく変更することがあります。
 C. SON (Small Outline No-Lead) パッケージ構成
 D. このパッケージはリードフリーです。



- 注：A. 直線寸法はすべてミリメートル単位です。
 B. 本図は予告なしに変更することがあります。
 C. 代替設計には、IPC-7351規格を推奨します。
 D. 台形壁面やラウンドコーナーにレーザー・カッティング・アパーチャを行うと、ペーストのリリースが容易になります。
 推奨のステンシル設計については、基板組立元に問合せ願います。ステンシル設計の検討については、IPC7351規格を参照願います。
 E. 半田マスク公差については、基板製造元に問合せ願います。

ご注意

Texas Instruments Incorporated 及びその関連会社 (以下総称して TI といいます) は、最新の JESD46 に従いその半導体製品及びサービスを修正し、改善、改良、その他の変更をし、又は最新の JESD48 に従い製品の製造中止またはサービスの提供を中止する権利を留保します。お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての半導体製品は、ご注文の受諾の際に提示される TI の標準販売契約約款に従って販売されます。

TI は、その製品が、半導体製品に関する TI の標準販売契約約款に記載された保証条件に従い、販売時の仕様に対応した性能を有していることを保証します。検査及びその他の品質管理技法は、TI が当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、適用される法令によってそれ等の実行が義務づけられている場合を除き、必ずしも行なわれておりません。

TI は、製品のアプリケーションに関する支援又はお客様の製品の設計について責任を負うことはありません。TI 製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI 製部品を使用したお客様の製品及びアプリケーションに関連する危険を最小のものとするため、適切な設計上及び操作上の安全対策は、お客様にてお取り下さい。

TI は、TI の製品又はサービスが使用されている組み合わせ、機械装置、又は方法に関連している TI の特許権、著作権、回路配置利用権、その他の TI の知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TI が第三者の製品もしくはサービスについて情報を提供することは、TI が当該製品又はサービスを使用することについてライセンスを与えるとか、保証又は是認するということを含みません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない、又は TI の特許その他の知的財産権に基づき TI からライセンスを得て頂かなければならない場合もあります。

TI のデータ・ブック又はデータ・シートの中にある情報の重要な部分の複製は、その情報に一切の変更を加えること無く、且つその情報と関連する全ての保証、条件、制限及び通知と共になされる限りにおいてのみ許されるものとします。TI は、変更が加えられて文書化されたものについては一切責任を負いません。第三者の情報については、追加的な制約に服する可能性があります。

TI の製品又はサービスについて TI が提示したパラメーターと異なる、又は、それを超えてなされた説明で当該 TI 製品又はサービスを再販売することは、関連する TI 製品又はサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、且つ不公正で誤認を生じさせる行為です。TI は、そのような説明については何の義務も責任も負いません。

TI からのアプリケーションに関する情報提供又は支援の一切に拘わらず、お客様は、ご自身の製品及びご自身のアプリケーションにおける TI 製品の使用に関する法的責任、規制、及び安全に関する要求事項の全てにつき、これをご自身で遵守する責任があることを認め、且つそのことに同意します。お客様は、想定される不具合がもたらす危険な結果に対する安全対策を立案し実行し、不具合及びその帰結を監視し、害を及ぼす可能性のある不具合の可能性を低減し、及び、適切な治療措置を講じるために必要な専門的知識の一切を自ら有することを表明し、保証します。お客様は、TI 製品を安全でないことが致命的となるアプリケーションに使用したことから生じる損害の一切につき、TI 及びその代表者にその全額の補償をするものとします。

TI 製品につき、安全に関連するアプリケーションを促進するために特に宣伝される場合があります。そのような製品については、TI が目的とするところは、適用される機能上の安全標準及び要求事項を満たしたお客様の最終製品につき、お客様が設計及び製造ができるようお手伝いすることにあります。それにも拘わらず、当該 TI 製品については、前のパラグラフ記載の条件の適用を受けるものとします。

FDA クラス III (又は同様に安全でないことが致命的となるような医療機器) への TI 製品の使用は、TI とお客様双方の権限ある役員の間で、そのような使用を行う際について規定した特殊な契約書を締結した場合を除き、一切認められていません。

TI が軍需対応グレード品又は「強化プラスチック」製品として特に指定した製品のみが軍事用又は宇宙航空用アプリケーション、若しくは、軍事的環境又は航空宇宙環境にて使用されるように設計され、かつ使用されることを意図しています。お客様は、TI がそのように指定していない製品を軍事用又は航空宇宙用に使う場合は全てご自身の危険負担において行うこと、及び、そのような使用に関して必要とされるすべての法的要求事項及び規制上の要求事項につきご自身のみの責任により満足させることを認め、且つ同意します。

TI には、主に自動車用に使われることを目的として、ISO/TS 16949 の要求事項を満たしていると特別に指定した製品があります。当該指定を受けていない製品については、自動車用に使われるようには設計されてもいませんし、使用されることを意図しておりません。従いまして、前記指定品以外の TI 製品が当該要求事項を満たしていなかったことについては、TI はいかなる責任も負いません。

Copyright © 2014, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位 (外装から取り出された内装及び個装) 又は製品単体で取り扱いを行う場合は、接地された導電性のテーブル上で (導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。(但し、結露しないこと。)

- 直射日光が当たる状態で保管・輸送しないこと。

3. 防湿梱包

- 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。

4. 機械的衝撃

- 梱包品 (外装、内装、個装) 及び製品単体を落下させたり、衝撃を与えないこと。

5. 熱衝撃

- はんだ付け時は、最低限 260℃ 以上の高温状態に、10 秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)

6. 汚染

- はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質 (硫黄、塩素等ハロゲン) のある環境で保管・輸送しないこと。
- はんだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上