



3 対 1 DVI/HDMIスイッチ

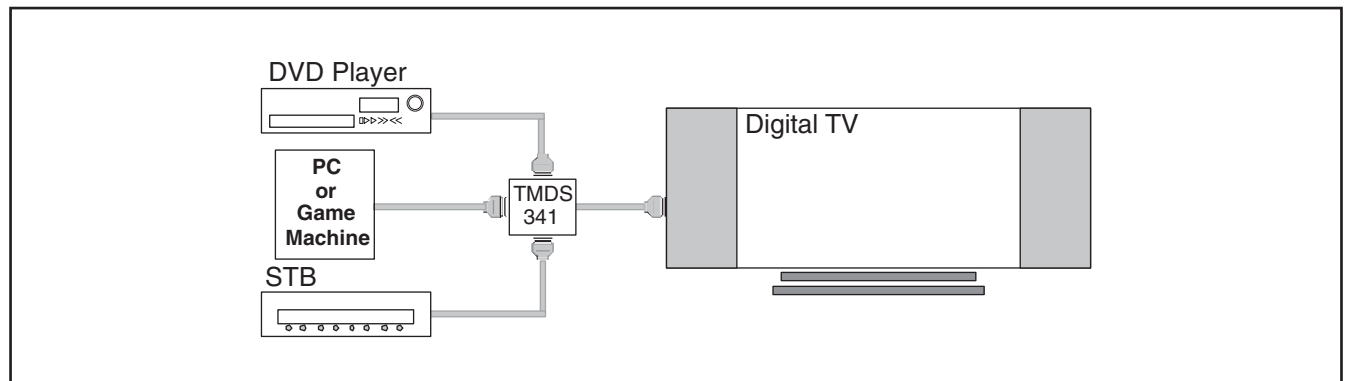
特 長

- UXGAディスプレイをサポートする最高信号伝送レート1.65Gbpsの設計
- TMS (Transition Minimized Differential Signaling) の電気的仕様と互換の差動インターフェイス
- 各ポートがHDMIあるいはDVI入力をサポート
- Display Data Channel (DDC) ラインスイッチ
- DDCおよびHPD_SINK入力はすべて5Vトレランス
- レシーバ終端抵抗を内蔵
- ペア間スキュー < 100ps
- 5mのDVIケーブル損失を補償する8dBのレシーバ・イコライゼーション
- ディスエーブル時のハイインピーダンス出力
- 3kV (HBM) 以上のESD保護
- 3.3V電源動作
- 80ピンTQFPパッケージ
- ROHS互換および260°C リフロー定格

アプリケーション

- デジタルビデオ (DVI) あるいはデジタルオーディオ・ビジュアル (HDMI) の 3 ソースのスイッチング
- デジタルTV
- デジタルプロジェクタ
- オーディオ・ビデオレシーバ

代表的なアプリケーション



概 要

TMS341は3ポートのデジタルビデオ・インターフェイス (DVI) あるいは高品位マルチメディア・インターフェイス (HDMI) スイッチであり、最大3個のDVIあるいはHDMIポートを1個のディスプレイ・ターミナルに対してスイッチできます。各ポートには、4個のTMDSチャンネル、1個のホットプラグ・ディテクタ、および1個のI²Cインターフェイスがサポートされています。各TMDSチャンネルの信号伝送レートは最大1.65Gbpsまで可能です。

必要なソースは、ソースセクタS1, S2, およびS3により選択されます。各ポートで選択されたTMDS入力、3対1マルチプレクサにより切り換えられます。選択された入力ポートのI²Cインターフェイスは出力ポートのI²Cインターフェイスとリンクされます。また、選択されたホットプラグ・ディテクタ (HPD) はHPD_SINKにリンクされます。未使用のポートについてはI²Cインターフェイスが分離され、そのHPD端子はローに保たれます。

V_{CC}にプルアップされている終端抵抗 (50Ω) が、各レシーバ入力端子に内蔵されています。したがって、外部終端抵抗は不要です。1個の高精度抵抗をVSADJ端子とグランド間に外部で接続し、差動出力電圧がTMS規格に適合するように設定します。出力が標準TMDS終端に接続されOEがハイの場合、出力は高インピーダンスになります。

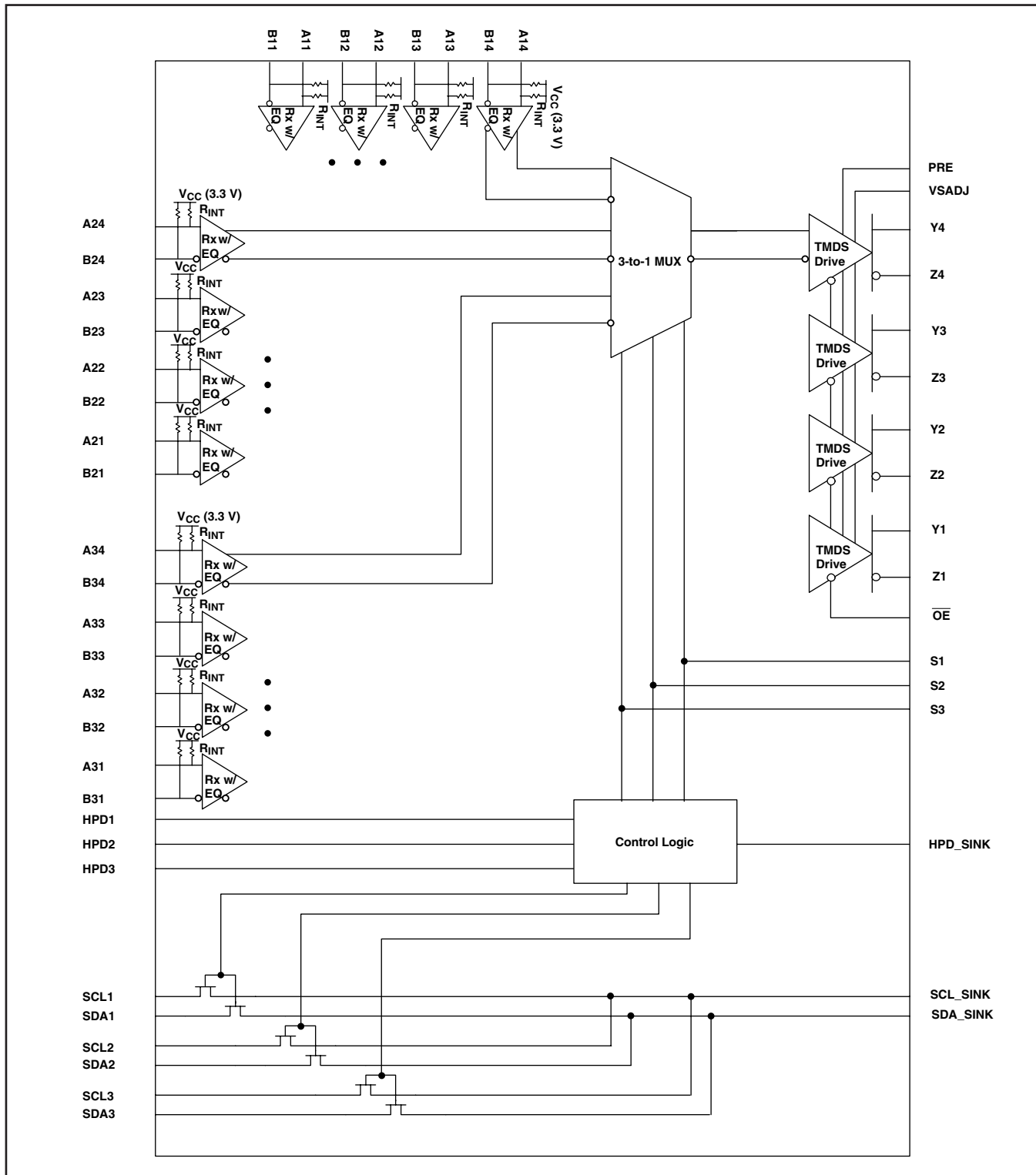
TMDS341には固定8dB入力イコライゼーションおよび選択可能な3dBの出力ディエンファシスがあり、5メートルあるいはそれ以上のDVI適合ケーブルを通してシステム性能を最適化します。このデバイスは0°Cから70°Cの動作温度で特性づけられています。



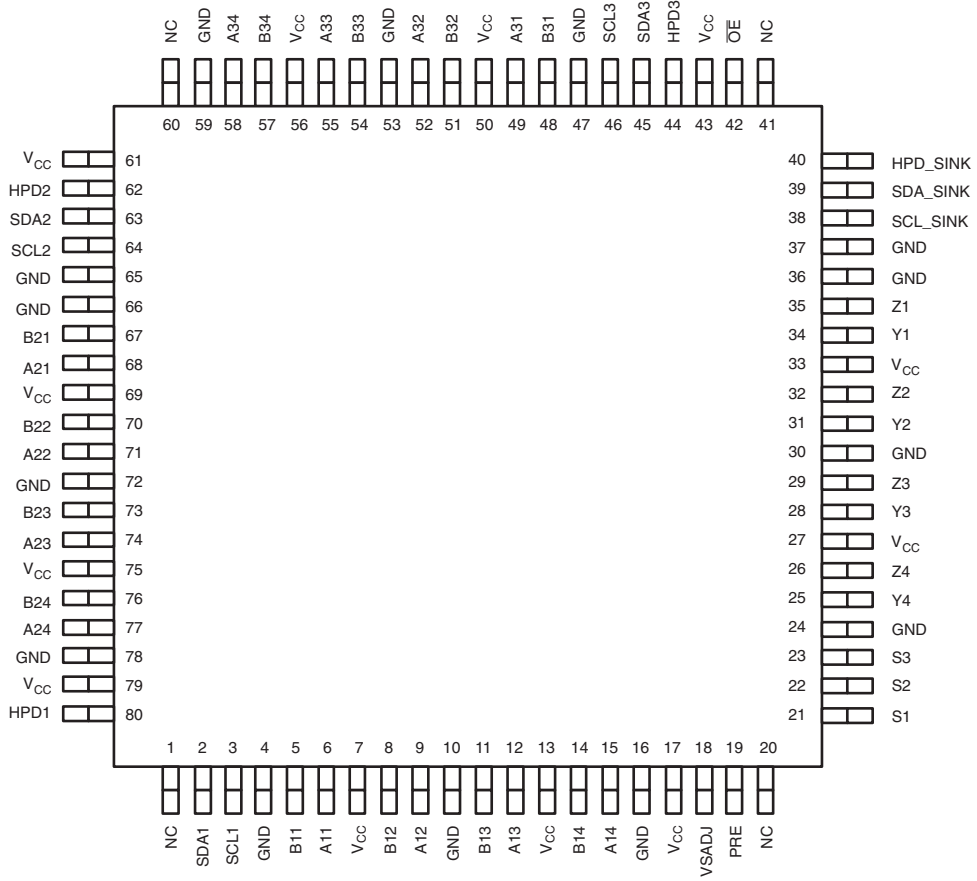
静電気放電対策

静電気放電はわずかな性能の低下から完全なデバイスの故障に至るまで、様々な損傷を与えます。すべての集積回路は、適切なESD保護方法を用いて、取扱いと保存を行うようにして下さい。高精度の集積回路は、損傷に対して敏感であり、極めてわずかなパラメータの変化により、デバイスに規定された仕様に適合しなくなる場合があります。

機能ブロック図



PFCパッケージ (TOPVIEW)



端子機能

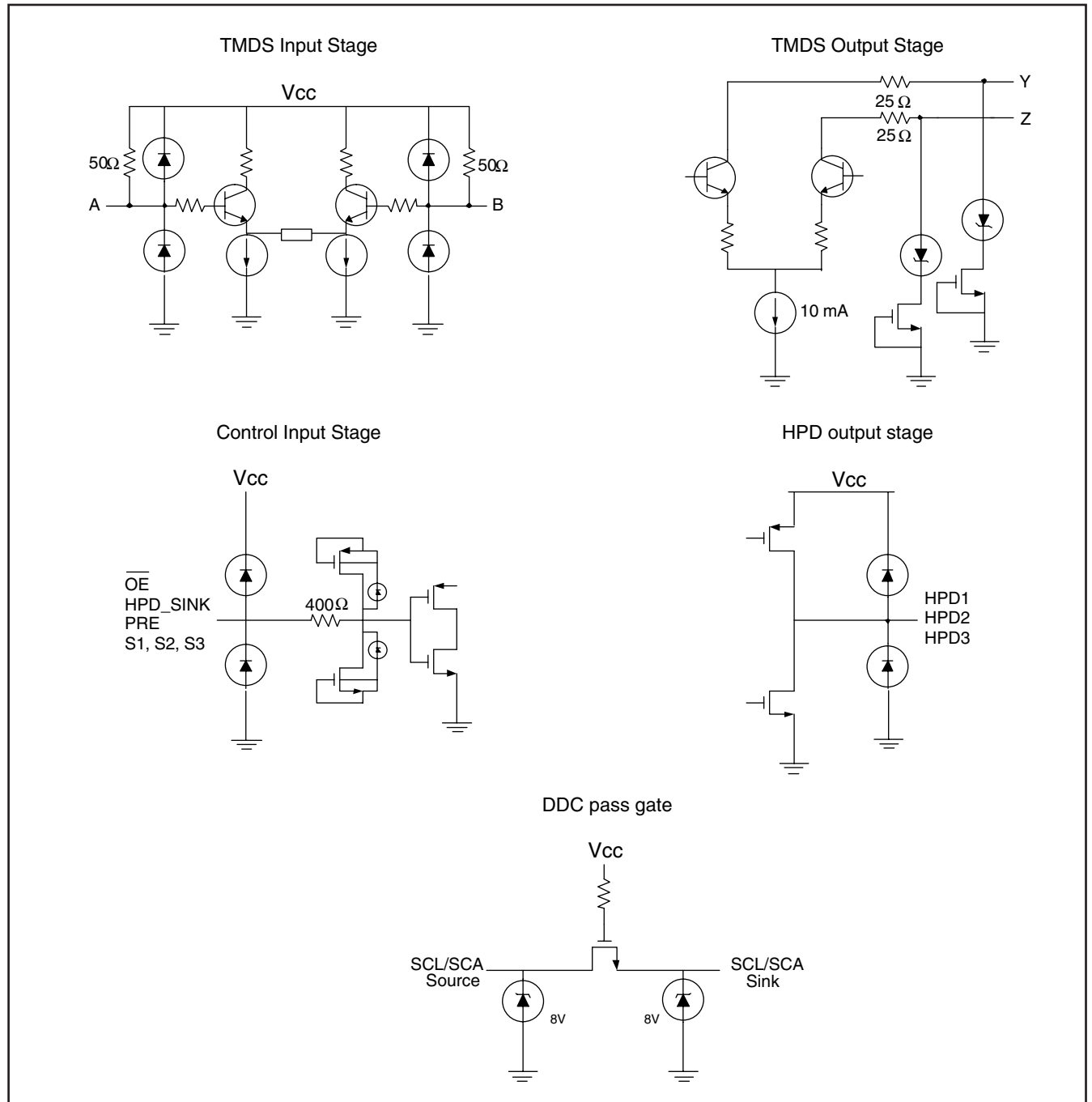
TERMINAL		I/O	DESCRIPTION
NAME	NO.		
A11, A12, A13, A14	6, 9, 12, 15	I	Port 1 TMDS positive inputs
A21, A22, A23, A24	68, 71, 74, 77	I	Port 2 TMDS positive inputs
A31, A32, A33, A34	49, 52, 55, 58	I	Port 3 TMDS positive inputs
B11, B12, B13, B14	5, 8, 11, 14	I	Port 1 TMDS negative inputs
B21, B22, B23, B24	67, 70, 73, 76	I	Port 2 TMDS negative inputs
B31, B32, B33, B34	48, 51, 54, 57	I	Port 3 TMDS negative inputs
GND	4, 10, 16 24, 30, 36, 37, 47, 53, 59, 65, 66, 72, 78		Ground
HPD1	80	O	Port 1 hot plug detector output
HPD2	62	O	Port 2 hot plug detector output
HPD3	44	O	Port 3 hot plug detector output
HPD_SINK	40	I	Sink side hot plug detector input High: 5-V power signal asserted from source to sink and EDID is ready Low: No 5-V power signal asserted from source to sink, or EDID is not ready
NC	1, 20, 41,60		No connect
\overline{OE}	42	I	Output enable, active low
PRE	19	I	Output de-emphasis adjustment High: 3 dB Low: 0 dB
SCL1	3	I/O	Port 1 DDC bus clock line
SCL2	64	I/O	Port 2 DDC bus clock line
SCL3	46	I/O	Port 3 DDC bus clock line
SCL_SINK	38	I/O	Sink side DDC bus clock line
SDA1	2	I/O	Port 1 DDC bus data line
SDA2	63	I/O	Port 2 DDC bus data line
SDA3	45	I/O	Port 3 DDC bus data line
SDA_SINK	39	I/O	Sink side DDC bus data line
S1, S2, S3	21, 22, 23	I	Source selector input
V _{CC}	7, 13, 17 27, 33, 43, 50, 56 61, 69, 75, 79		Power supply
VSADJ	18	I	TMDS compliant voltage swing control
Y1, Y2, Y3, Y4	34, 31, 28, 25	O	TMDS positive outputs
Z1, Z2, Z3, Z4	35, 32, 29, 26	O	TMDS negative outputs

CONTROL PINS			I/O SELECTED		HOT PLUG DETECT STATUS		
S1	S2	S3	Y/Z	SCL_SINK SDA_SINK	HPD1	HPD2	HPD3
H	x	x	A1/B1	SCL1 SDA1	HPD_SINK	L	L
L	H	x	A2/B2	SCL2 SDA2	L	HPD_SINK	L
L	L	H	A3/B3	SCL3 SDA3	L	L	HPD_SINK
L	L	L	None (Z)	None (Z)	L	L	L

表 1. ソース選択参照表⁽¹⁾

(1) H: Logic high; L: Logic low; X: Don't care; Z: High impedance

等価入出力回路図



注文情報⁽¹⁾

PART NUMBER	PART MARKING	PACKAGE
TMDS341PFC	TMDS341	80-PIN TQFP
TMDS341PFCR	TMDS341	80-PIN TQFP Tape/Reel

(1) 最新のパッケージおよび注文に関する情報は、本文書の巻末にあるパッケージ情報あるいはTIウェブのwww.ti.comをご覧ください。

絶対最大定格

over operating free-air temperature range (unless otherwise noted)⁽¹⁾

		UNIT
Supply voltage range, V_{CC} ⁽²⁾		-0.5 V to 4 V
Voltage range	Anm ⁽³⁾ , Bnm	1.7 V to 4 V
	Ym, Zm, VSADJ, PRE, Sn, \overline{OE} , HPDn	-0.5V to 4 V
	SCLn, SCL_SINK, SDAn, SDA_SINK, HPD_SINK	-0.5 V to 6 V
Electrostatic discharge	Human body model ⁽⁴⁾ (all pins)	±3 kV
	Charged-device model ⁽⁵⁾ (all pins)	±1500 V
	Machine model ⁽⁶⁾ (all pins)	± 200 V
Continuous power dissipation		See Dissipation Rating Table

(1) 絶対最大定格以上のストレスは、製品に恒久的・致命的なダメージを製品に与えることがあります。これはストレスの定格のみについて示してあり、このデータシートの「推奨動作条件」に示された値を越える状態での本製品の機能動作を意味するものではありません。絶対最大定格の状態に長時間置くことは、本製品の信頼性に影響を与えることがあります。

(2) 差動I/Oバス電圧を除くすべての電圧は、ネットワーク・グランド端子を基準とします。

(3) n = 1, 2, 3; m = 1, 2, 3, 4

(4) JEDEC規格22、テストメソッドA114-Bに準拠してテスト。

(5) JEDEC規格22、テストメソッドC101-Aに準拠してテスト。

(6) JEDEC規格22、テストメソッドA115-Aに準拠してテスト。

電力消費定格

PACKAGE	$T_A \leq 25^\circ\text{C}$	DERATING FACTOR ⁽¹⁾ ABOVE $T_A = 25^\circ\text{C}$	$T_A = 70^\circ\text{C}$ POWER RATING
80-TQFP	1342 mW	13.42 mW/ $^\circ\text{C}$	738 mW

(1) これは、基板実装時および無風のときの接合-周囲間熱抵抗に反比例します。

推奨動作条件

		MIN	NOM	MAX	UNIT
V_{CC}	Supply voltage	3	3.3	3.6	V
T_A	Operating free-air temperature	0		70	$^\circ\text{C}$
TMDS DIFFERENTIAL PINS (A/B)					
V_{ID}	Receiver peak-to-peak differential input voltage	150		1560	mVp-p
V_{IC}	Input common mode voltage	2		$V_{CC}-0.04$	V
R_{VSADJ}	Resistor for TMDS compliant voltage swing range	4.6	4.64	4.68	k Ω
AV_{CC}	TMDS output termination voltage, see Figure 1	3	3.3	3.6	V
R_T	Termination resistance, see Figure 1	45	50	55	Ω
	Signaling rate	0		1.65	Gbps
CONTROL PINS (PRE; S, \overline{OE})					
V_{IH}	LVTTL High-level input voltage	2		V_{CC}	V
V_{IL}	LVTTL Low-level input voltage	GND		0.8	V
DDC I/O PINS (SCL, SCL_SINK, SDA, SDA_SINK)					
$V_{I(DDC)}$	Input voltage	GND		5.3	V
STATUS PINS (HPD_SINK)					
V_{IH}	LVTTL High-level input voltage	2		5.3	V
V_{IL}	LVTTL Low-level input voltage	GND		0.8	V

電気的特性

over recommended operating conditions (unless otherwise noted)

PARAMETER		TEST CONDITIONS	MIN	TYP ⁽¹⁾	MAX	UNIT	
I _{CC}	Supply current	V _{IH} = V _{CC} , V _{IL} = V _{CC} - 0.4 V, R _{VSADJ} = 4.64 kΩ, R _T = 50 Ω, AV _{CC} = 3.3 V, Am/Bm = 1.65 Gbps HDMI data pattern, m = 2, 3, 4, A1/B1 = 165 MHz clock		190	230	mA	
P _D	Power dissipation	V _{IH} = V _{CC} , V _{IL} = V _{CC} - 0.4 V, R _{VSADJ} = 4.64 kΩ, R _T = 50 Ω, AV _{CC} = 3.3 V, Am/Bm = 1.65 Gbps HDMI data pattern, m = 2, 3, 4, A1/B1 = 165 MHz clock		394	657	mW	
TMDS DIFFERENTIAL PINS (A/B; Y/Z)							
V _{OH}	Single-ended high-level output voltage	See Figure 2, AV _{CC} = 3.3 V, R _T = 50 Ω, PRE = 0 V	AV _{CC} -10		AV _{CC} +10	mV	
V _{OL}	Single-ended low-level output voltage		AV _{CC} -600		AV _{CC} -400	mV	
V _{swing}	Single-ended output swing voltage		400		600	mV	
V _{OD(O)}	Overshoot of output differential voltage			6%	15%	2× V _{swing}	
V _{OD(U)}	Undershoot of output differential voltage			12%	25%	2× V _{swing}	
ΔV _{OC(SS)}	Change in steady-state common-mode output voltage between logic states			0.5		5	mV
I _{(O)OFF}	Single-ended standby output current	0 V ≤ V _{CC} ≤ 1.5 V, AV _{CC} = 3.3 V, R _T = 50 Ω	-10		10	μA	
I _(OS)	Short circuit output current	See Figure 3			12	mA	
V _{ODE(SS)}	Steady state output differential voltage with de-emphasis	See Figure 4, PRE = V _{CC} , Am/Bm = 250 Mbps HDMI data pattern, m = 2, 3, 4, A1/B1 = 25 MHz clock		560		840	mVp-p
V _{ODE(pp)}	Peak-to-peak output differential voltage			800		1200	mVp-p
V _{I(open)}	Single-ended input voltage under high impedance input or open input	I _I = 10 μA	V _{CC} -10		V _{CC} +10	mV	
R _{INT}	Input termination resistance	V _{IN} = 2.9 V	45	50	55	Ω	
DDC I/O PINS (SCL, SCL_SINK, SDA, SDA_SINK)							
I _{IKG}	Input leakage current	V _I = 0.1 V _{CC} to 0.9 V _{CC} to isolated DDC ports		0.1		2	μA
C _{IO}	Input/output capacitance	V _I = 0 V		7.5			pF
R _{ON}	Switch resistance	I _O = 3 mA, V _O = 0.4 V		25		50	Ω
V _{PASS}	Switch output voltage	V _I = 3.3 V, I _O = 100 μA	1.5 ⁽²⁾	2.0		2.5 ⁽³⁾	V
STATUS PINS (HPD)							
V _{OH(TTL)}	TTL High-level output voltage	I _{OH} = -8 mA		2.4			V
V _{OL(TTL)}	TTL Low-level output voltage	I _{OL} = 8 mA				0.4	V
CONTROL PINS (PRE, S, OE)							
I _{IHL}	High-level digital input current	V _{IH} = 2 V or V _{CC}		0.1		2	μA
I _{ILL}	Low-level digital input current	V _{IL} = GND or 0.8 V		0.1		2	μA
STATUS PINS (HPD_SINK)							
I _{IHL}	High-level digital input current	V _{IH} = 5.3 V		23		100	μA
		V _{IH} = 2 V or V _{CC}		0.1		2	
I _{ILL}	Low-level digital input current	V _{IL} = GND or 0.8 V		0.1		2	μA

(1) TYP値はすべて3.3V電源電圧、周囲温度25℃のものです。

(2) この値は3.0V電源電圧、全温度範囲で試験されたものです。

(3) この値は3.6V電源電圧、全温度範囲で試験されたものです。

スイッチング特性

over recommended operating conditions (unless otherwise noted)

PARAMETER		TEST CONDITIONS	MIN	TYP ⁽¹⁾	MAX	UNIT	
TMDS DIFFERENTIAL PINS (Y/Z)							
t_{PLH}	Propagation delay time, low-to-high-level output	See Figure 2, $AV_{CC} = 3.3\text{ V}$, $R_T = 50\ \Omega$, $PRE = 0\text{ V}$	250		800	ps	
t_{PHL}	Propagation delay time, high-to-low-level output		250		800	ps	
t_r	Differential output signal rise time (20% - 80%)		75		240	ps	
t_f	Differential output signal fall time (20% - 80%)		75		240	ps	
$t_{sk(p)}$	Pulse skew ($ t_{PHL} - t_{PLH} $)			7	50	ps	
$t_{sk(D)}$	Intra-pair differential skew, see Figure 5			23	50	ps	
$t_{sk(o)}$	Inter-pair channel-to-channel output skew ⁽²⁾				100	ps	
$t_{sk(pp)}$	Part-to-part skew ⁽³⁾				200	ps	
$t_{jit(pp)}$	Peak-to-peak output jitter from Y/Z(1) residual jitter		See Figure 8, $PRE = 0\text{ V}$		15	30	ps
$t_{jit(pp)}$	Peak-to-peak output jitter from Y/Z(2:4) residual jitter		$Am/Bm = 1.65\text{ Gbps HDMI data pattern}$, $m = 2, 3, 4$ $A1/B1 = 165\text{ MHz clock}$		18	50	ps
t_{PRE}	De-emphasis duration	See Figure 4, $PRE = V_{CC}$ $Am/Bm = 250\text{ Mbps HDMI data pattern}$, $m = 2, 3, 4$ $A1/B1 = 25\text{ MHz clock}$		240 ⁽⁴⁾		ps	
t_{SX}	Select to switch output	See Figure 6		6	10	ns	
t_{en}	Enable time			6	10	ns	
t_{dis}	Disable time			6	10	ns	
DDC I/O PINS (SCL, SCL_SINK, SDA, SDA_SINK)							
$t_{pd(DDC)}$	Propagation delay from SCLn to SCL_SINK or SDA to SDA_SINK or SDA_SINK to SDA	See Figure 7, $C_L = 10\text{ pF}$		0.4	2.5	ns	
CONTROL AND STATUS PINS (S, HPD_SINK, HPD)							
$t_{pd(HPD)}$	Propagation delay (from HPD_SINK to the active port of HPD)	See Figure 7, $C_L = 10\text{ pF}$		2	6.0	ns	
$t_{sx(HPD)}$	Switch time (from port select to the latest valid status of HPD)			3	6.5	ns	

(1) TYP値はすべて3.3V電源電圧、周囲温度25°Cのもです。

(2) $t_{sk(o)}$ は、1デバイス内のチャンネル2から4の規定したあらゆる端子間における遅延時間の差です。

(3) $t_{sk(pp)}$ は、2デバイスのチャンネル2から4の規定したあらゆる端子間、あるいは2デバイスのチャンネル1間における遅延時間の差です。このとき2デバイスは、同じ信号源、等しい電源電圧、等しい温度下、および同じパッケージと試験回路で動作しています。

(4) TYP値はシミュレーションで保証されています。

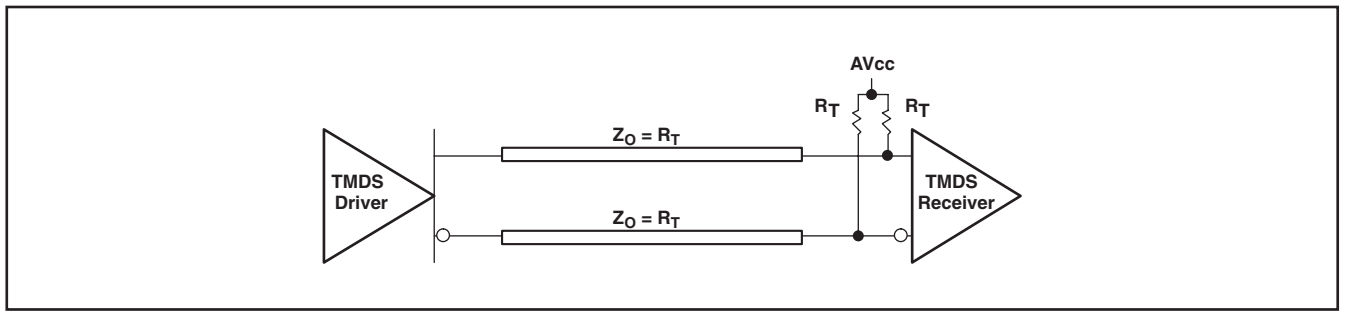


図 1. TMSD出力ドライバの終端

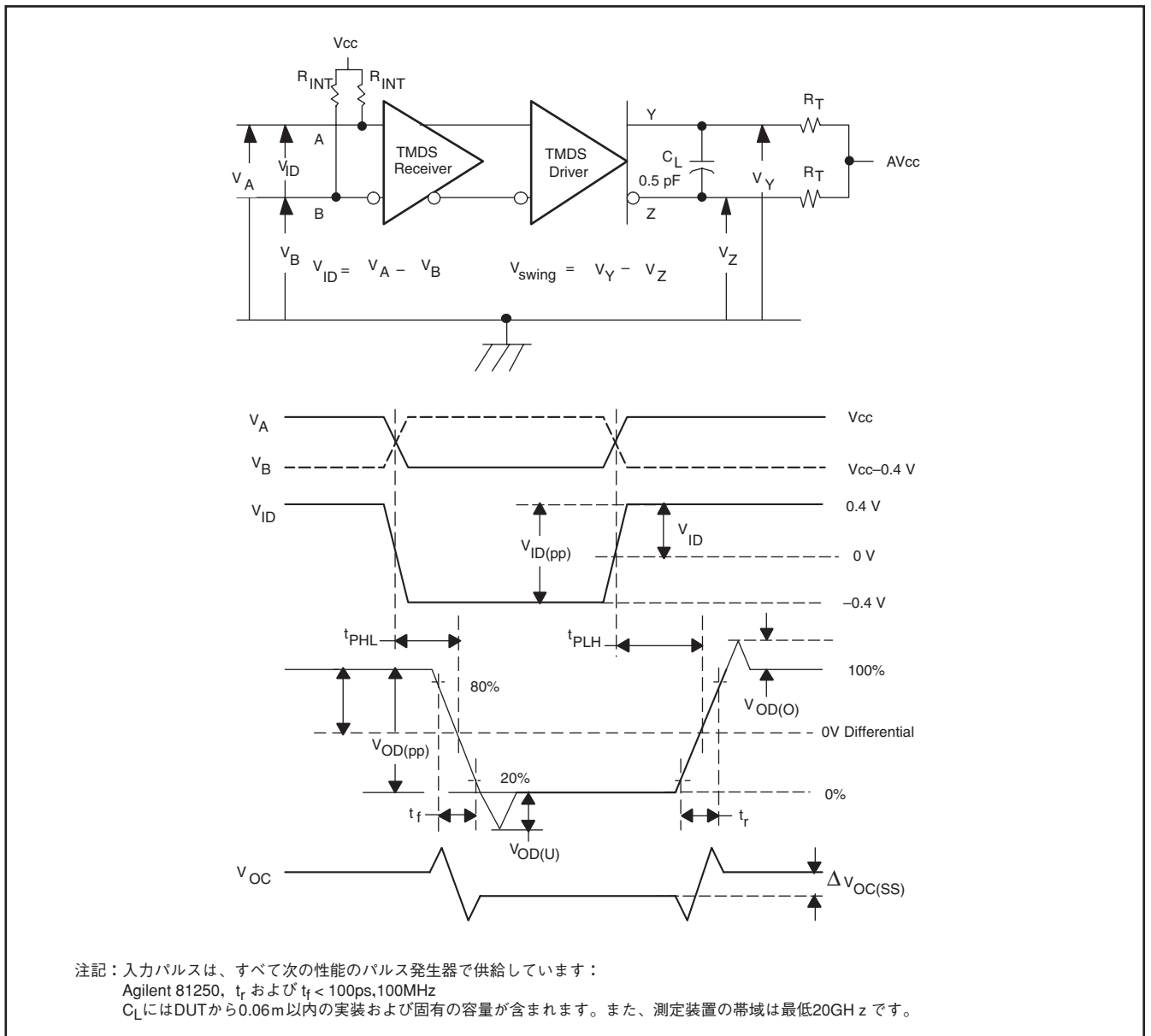


図 2. タイミング試験回路および定義

パラメータ測定情報

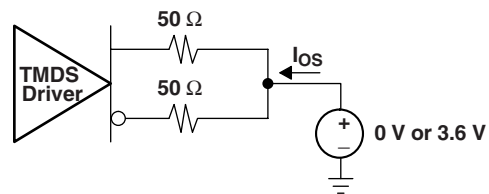


図 3. 出力短絡電流試験回路

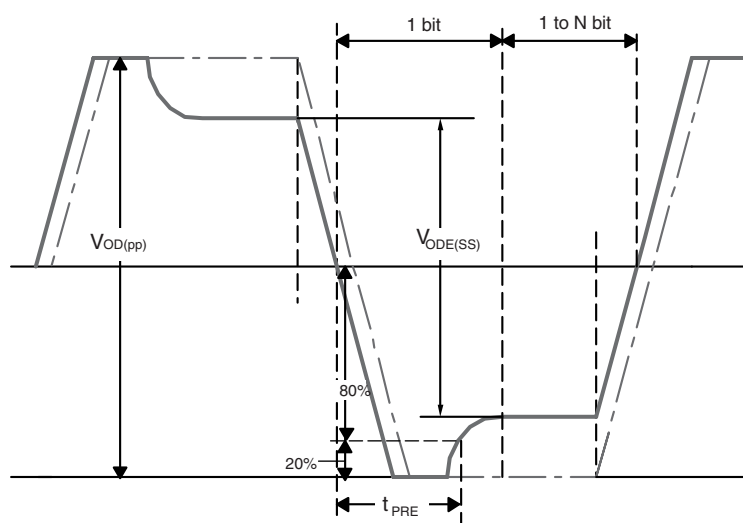


図 4. ディエンファシス出力電圧波形および時間測定の定義

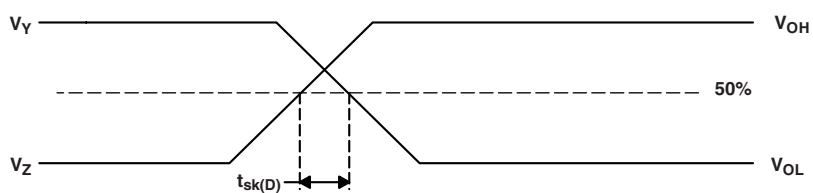


図 5. イントラペア差動スキューの定義

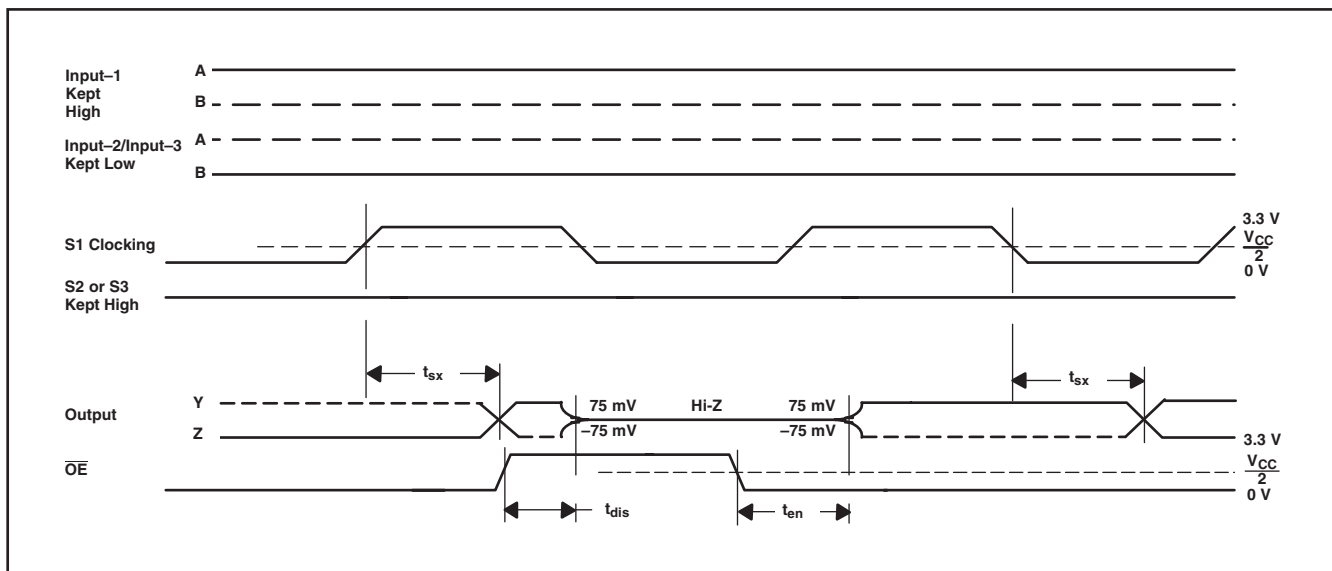


図 6. TMDS出力制御タイミングの定義

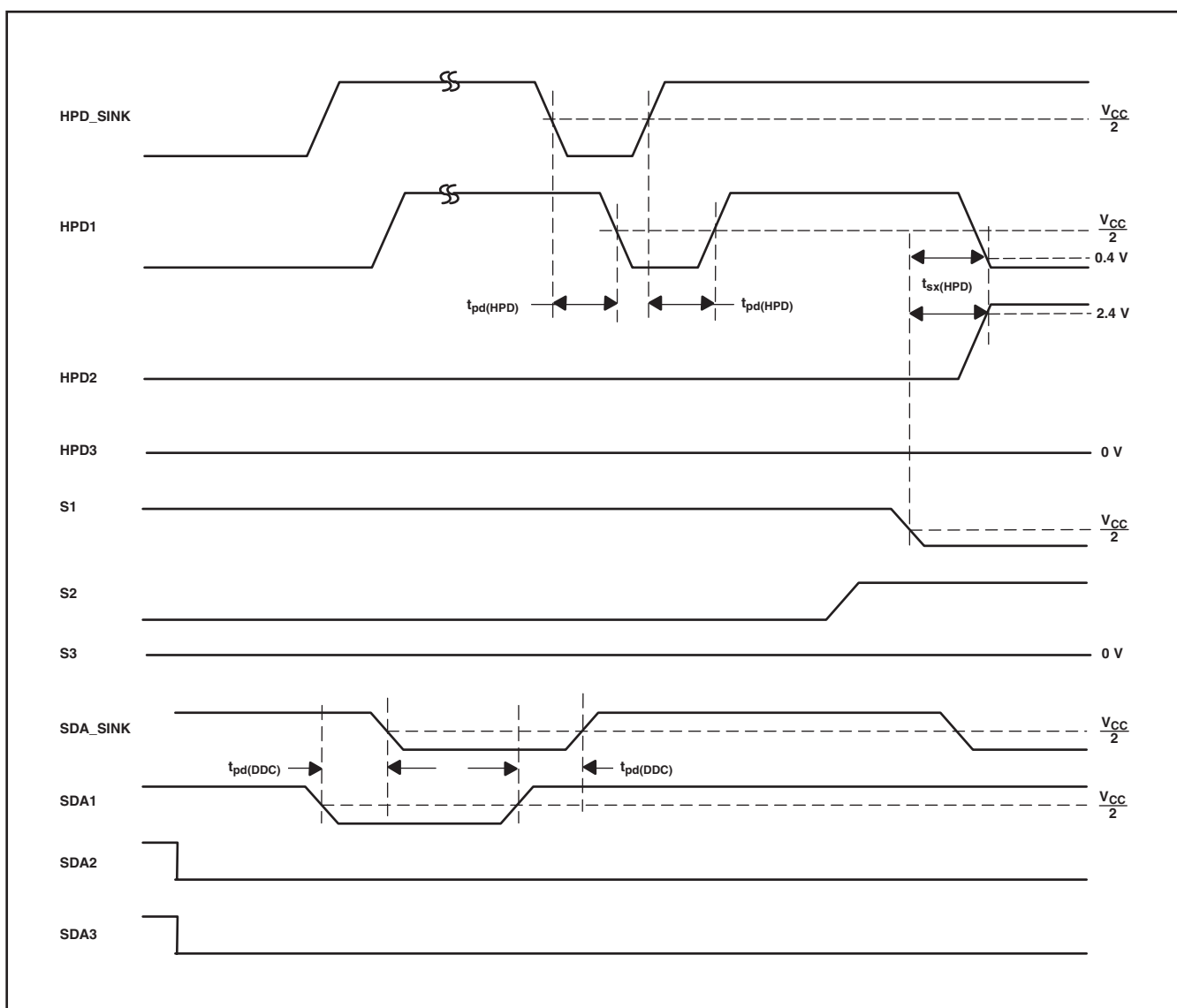


図 7. HPDタイミングの定義

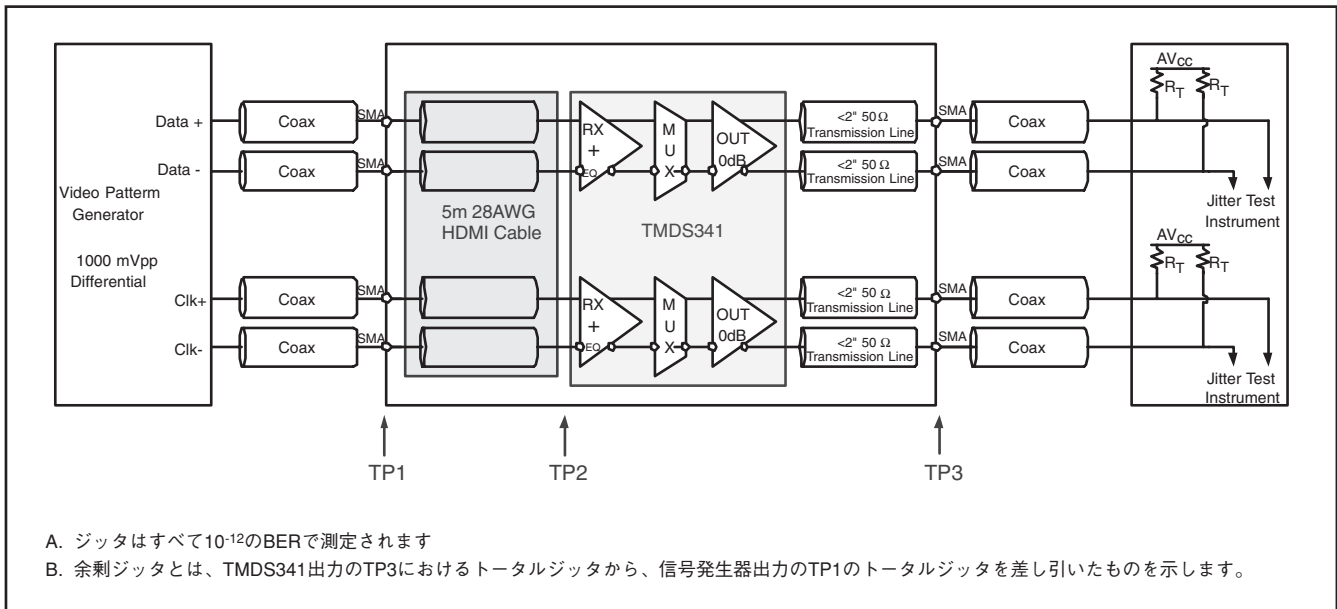


図 8. ジッタ試験回路

5mの28AWG HDMIケーブルおよび5mの28AWG DVIケーブルの周波数損失応答を図9に示します。TMDS341に内蔵の受動入力エコライザによりISIが補償されます。8dB損失のHDMIケーブル

について、TMDS341によりそのデバイス入出力間で60psのジッタが低減されます。

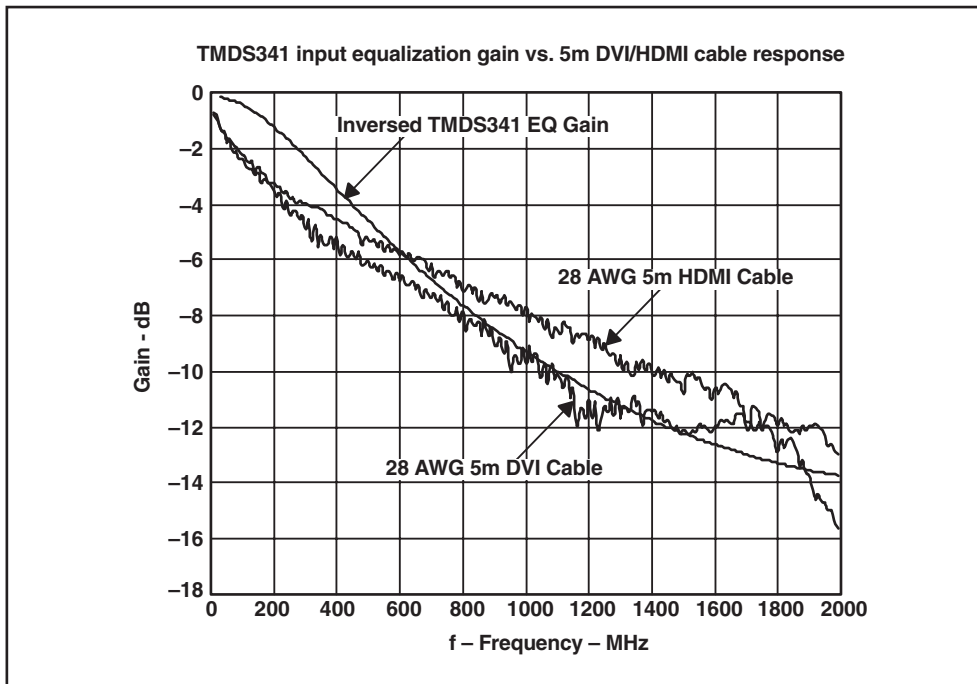


図 9. 5mのDVIおよびHDMIケーブルのSパラメータ・プロット

代表的特性

**SUPPLY CURRENT
vs
FREQUENCY**

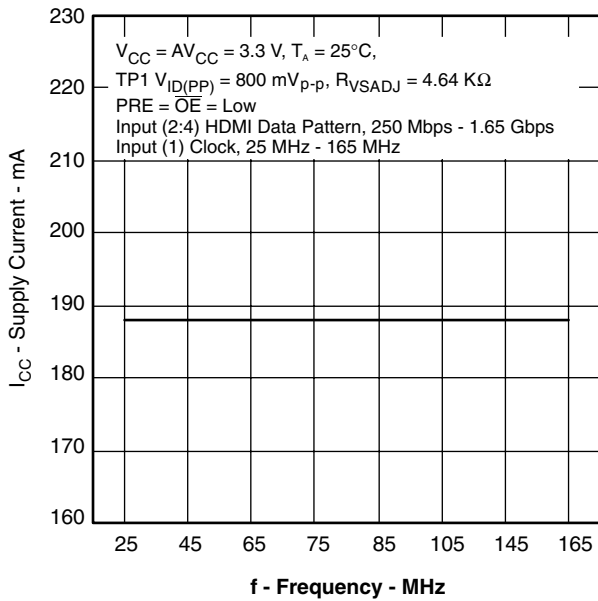


图 10

**SUPPLY CURRENT
vs
FREE-AIR TEMPERATURE**

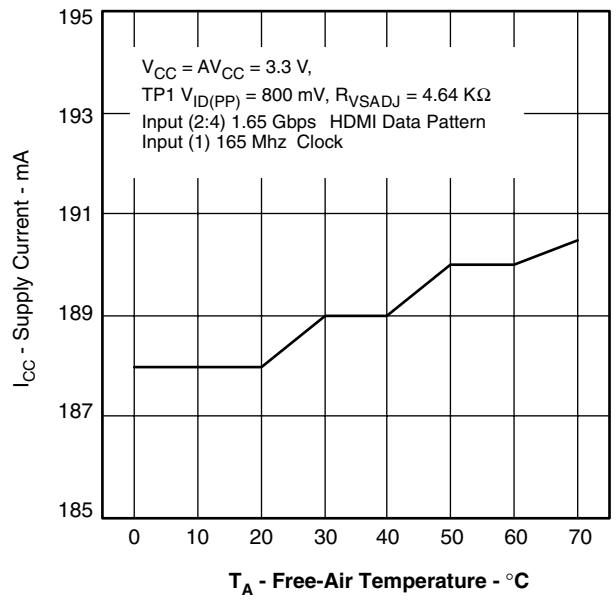


图 11

**RESIDUAL DETERMINISTIC JITTER
vs
DATA RATE**

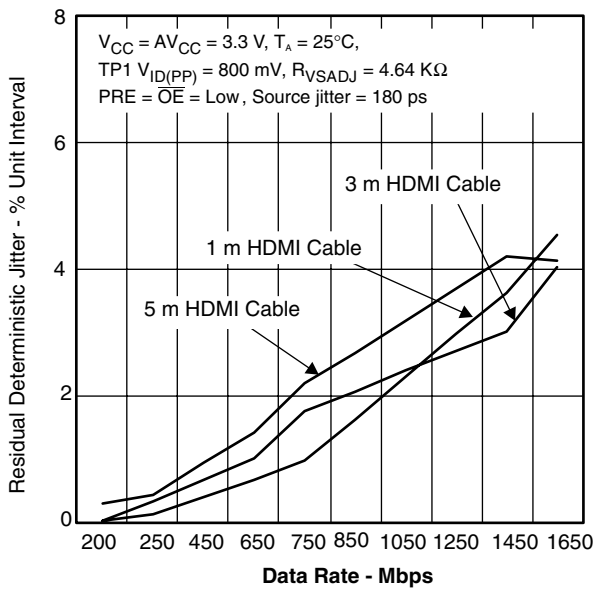


图 12

**RESIDUAL PEAK-TO-PEAK JITTER
vs
CLOCK FREQUENCY**

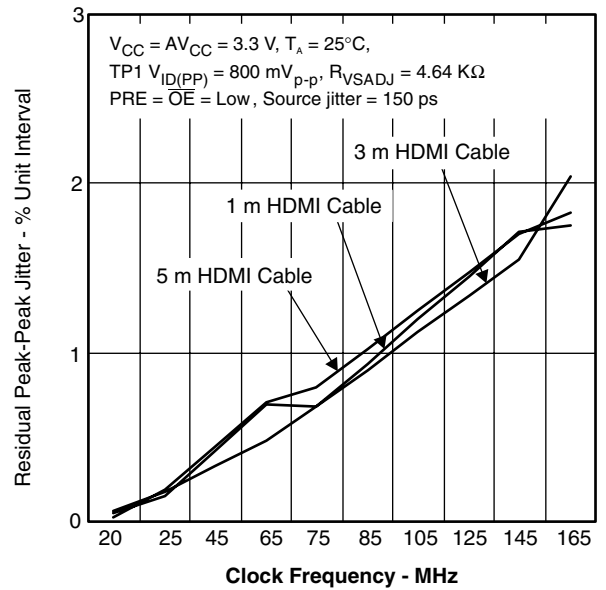


图 13

代表的特性

**RESIDUAL DETERMINISTIC JITTER
vs
DIFFERENTIAL INPUT VOLTAGE**

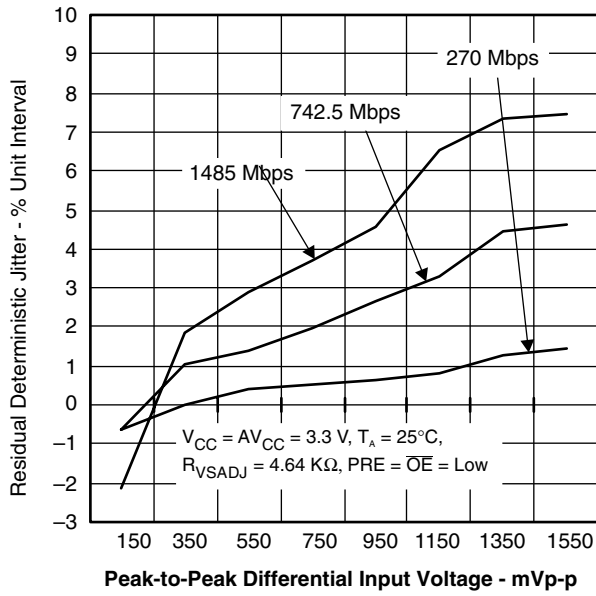


図 14

**RESIDUAL PEAK-TO-PEAK JITTER
vs
DIFFERENTIAL INPUT VOLTAGE**

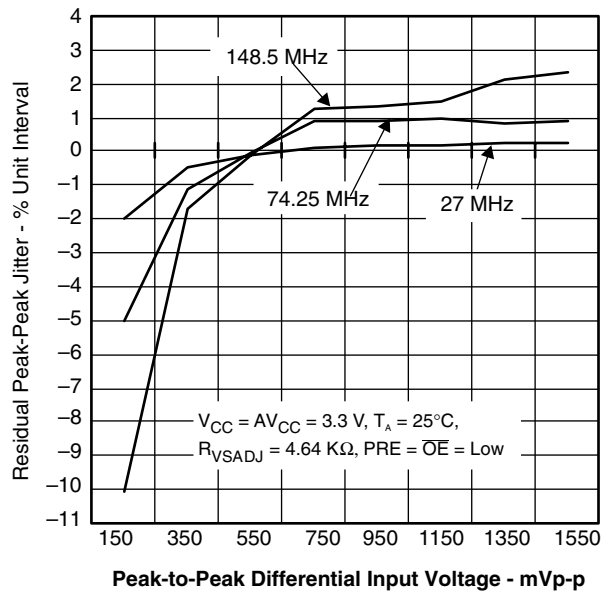


図 15

**RESIDUAL DETERMINISTIC JITTER
vs
FR4 PCB TRACE (at 3dB Pre-Emphasis)**

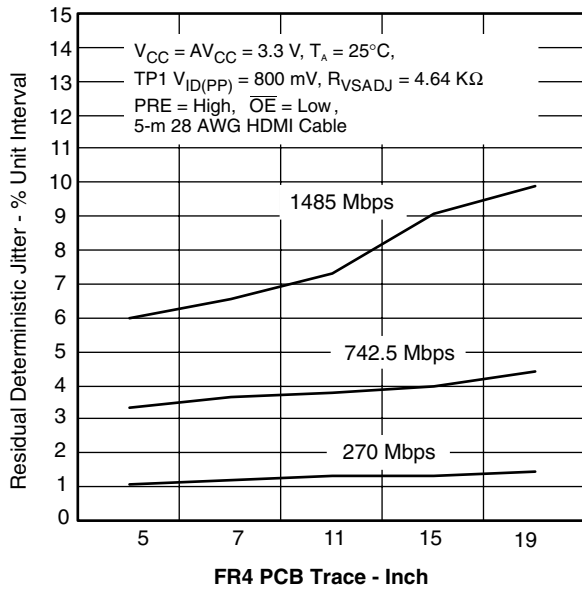


図 16

**RESIDUAL PEAK-TO-PEAK JITTER
vs
FR4 PCB TRACE (at 3dB Pre-Emphasis)**

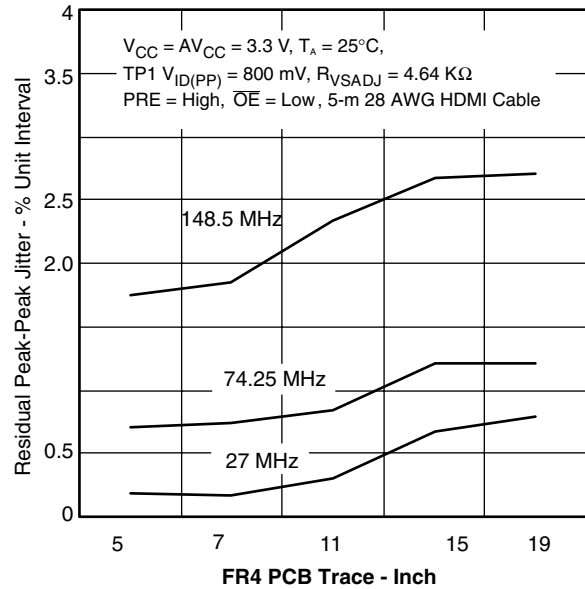


図 17

代表的特性

165MHzのピクセル・クロックでのHDMIケーブル

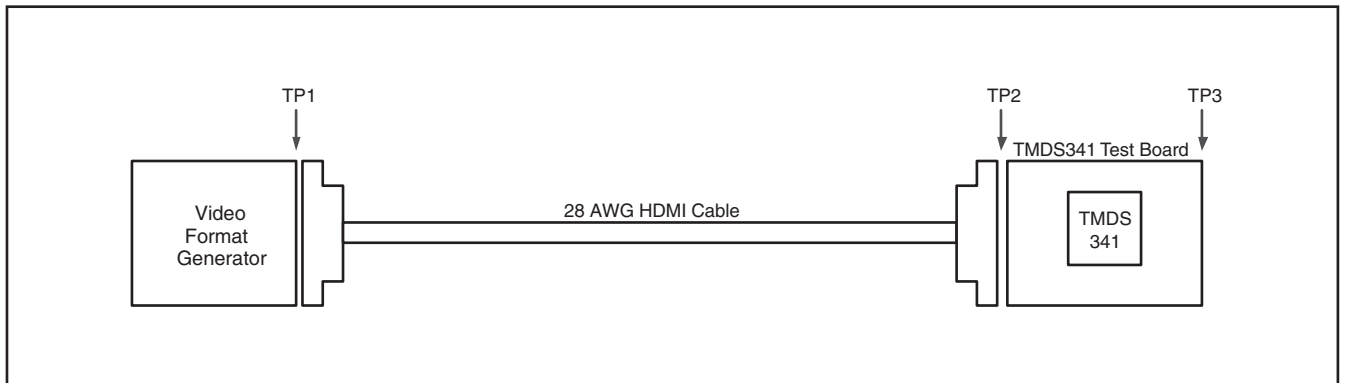


図 18. 1mおよび5m長のHDMIケーブルの測定ポイント構成

1m長ケーブルのアイパターン

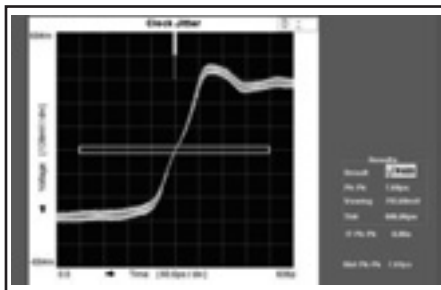


図 19. TP1におけるクロック

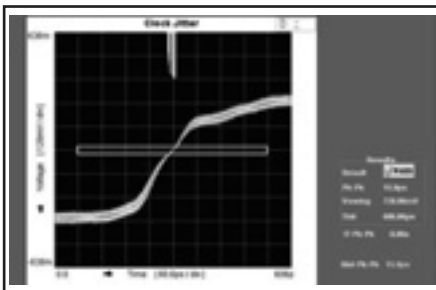


図 20. TP2におけるクロック

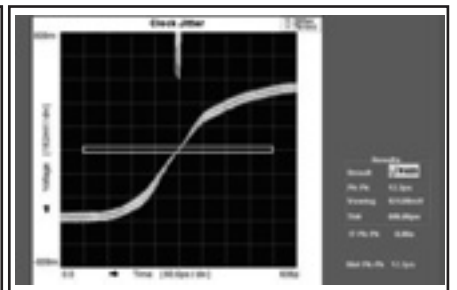


図 21. TP3におけるクロック

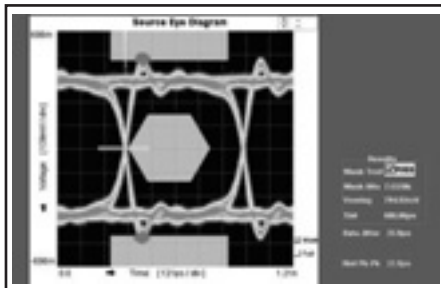


図 22. TP1におけるデータ

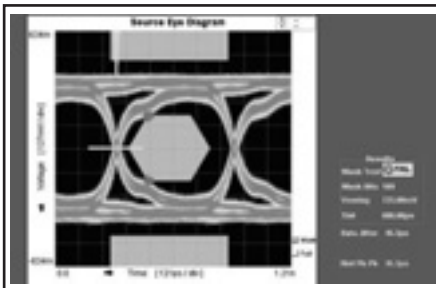


図 23. TP2におけるデータ

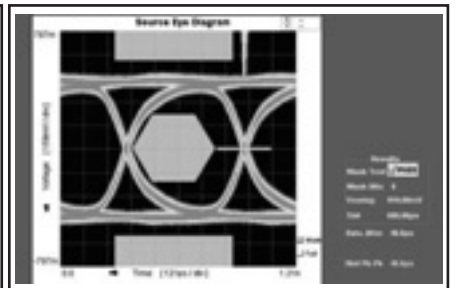


図 24. TP3におけるデータ

5m長ケーブルのアイパターン

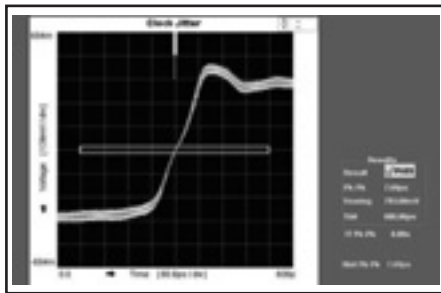


図 25. TP1におけるクロック

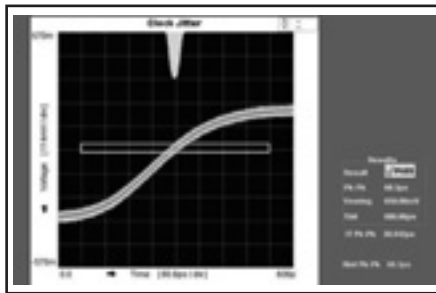


図 26. TP2におけるクロック

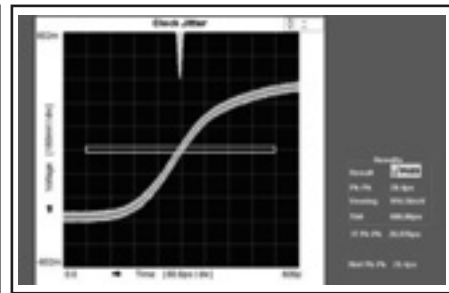


図 27. TP3におけるクロック

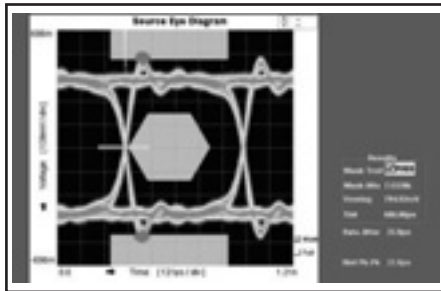


図 28. TP1におけるデータ

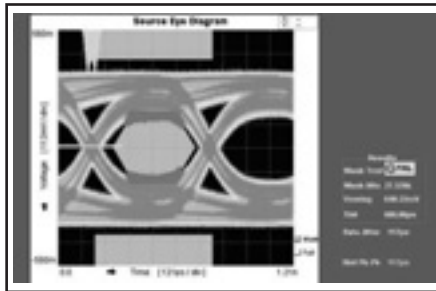


図 29. TP2におけるデータ

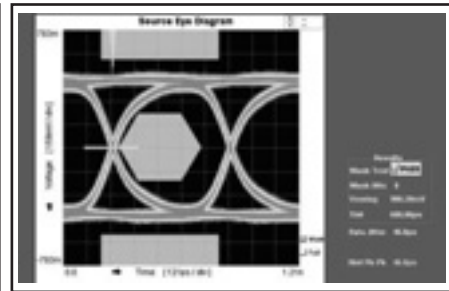


図 30. TP3におけるデータ

アプリケーション情報

電源電圧

V_{CC}端子はすべてひとつの3.3V電源に接続できます。各V_{CC}端子からグラウンドに直接0.01μFのコンデンサを接続して、電源ノイズをフィルタリングします。

TMDS入力

標準TMDS終端抵抗がすべてのTMDS入力に内蔵されています。したがって、外付けの終端抵抗は不要です。各入力チャンネルには8dBのエコライザ回路があり、ケーブル損失を補償します。TMDS入力端子における電圧は、絶対最大定格内に制限する必要があります。使用しない入力端子はグラウンドに接続してはなりません。グラウンドに接続すると、過剰電流によりデバイス破壊に到ることがあります。

TMDS入力フェイルセーフ

TMDS入力端子にはフェイルセーフ回路がありません。そこで、使用しない入力チャンネルは外部でバイアスすると、出力の発振が防止できます。すなわち図31のように、使用しないチャンネルの一方の端子をオープンのままにし、他方の端子を1kΩでグラウンドに接続して防止できます。

TMDS出力

差動出力振幅をTMDS信号レベルに適合させるには、1%精度の4.64kΩ抵抗をVSADJピンからグラウンドへ接続することを推奨します。差動出力ドライバには10mA (代表値)の電流シンク能力があり、それによって50Ω終端抵抗の両端で500mV (代表値)の電圧が得られます。

図32に示すように、V_{CC} (TMDS341用電源)およびAV_{CC} (シンク終端用電源)がオンの場合、 \overline{OE} がハイのときTMDS341の出力は高インピーダンスになります。通常動作は両電源が投入されている場合に行われます。

また図32に示すように、V_{CC}がオンかつAV_{CC}がオフならば、TMDS341の出力は各終端抵抗を通してグラウンドに5mA (代表値)の電流をソースします。このとき、 \overline{OE} のロジックレベルの選定にかかわらず、すべての終端抵抗の合計で10mwの電力が消費されます。ここでAV_{CC}がオンになると、通常動作 (\overline{OE} のレベルが出力インピーダンスを制御)が再開します。

TMDS341の電源V_{CC}がオフかつ終端抵抗の電源AV_{CC}がオンの場合、出力リーク電流 (I_{o(off)})の仕様により、出力リーク電流は10μA以下に保証されます。

3dBのディエンファシスを与えるPRE端子により、出力信号をプリコンディショニングしてTMDS341出力からTMDSレシーバまでの接続損失分をオフセットすることができます。しかし、スタンドアローンのスイッチボックスの回路設計では、PREをローに設定することを推奨します。

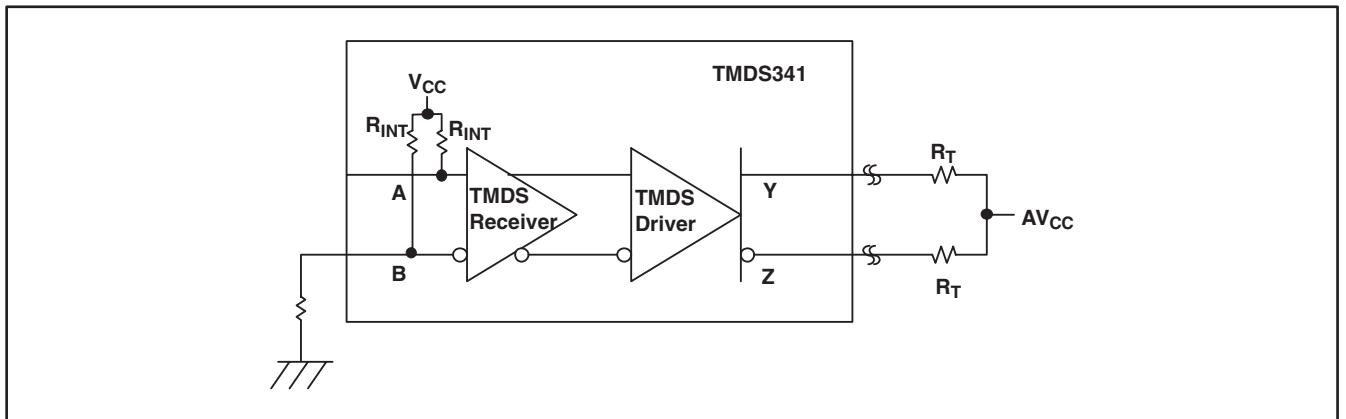


図 31. TMDS入力の推奨フェイルセーフ

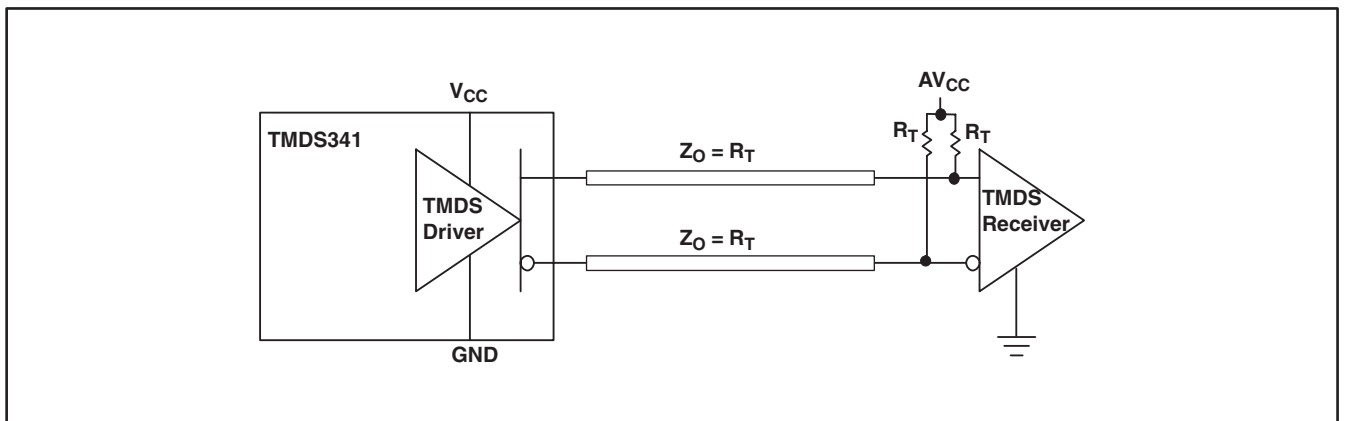


図 32. TMDSドライバおよび終端回路

HPD端子

HPD_SINK入力は5Vを許容するので、直接5V信号を接続することができます。HPD端子の出力抵抗は35Ω(代表値)です。TMDS341のHPD端子からHDMIコネクタのHPDピンの間には、1kΩ、10%精度の抵抗を接続することを推奨します。

DDCチャンネル

DDCチャンネルは双方向パスゲートに設計されており、5V信号を許容できます。この5V許容により、直接標準I²Cバスに接続できます。したがって、3.3Vと5VのI²Cインターフェイスとのレベルシフトは不要です。

TMDS341の2:1スイッチとしての構成

TMDS341は2対1スイッチとして構成できます。それには、使用しないポートのソース・セレクタ端子(S1, S2, S3)をローに設定し、そのポートに対応するTMDS入力、SCL, SDA, およびHPD端子をオープンに設定します。

レイアウトの考察

高速なTMDS入力がTMDS341にとって最も重要なパスになります。コネクタとデバイス間のこれらの信号伝送ラインにおける不連続性を最小化する考察が、下記のようにいくつかあります。

- TMDS341の入力および出力の差動伝送ラインのインピーダンスを100Ωにします。
- 高速I/Oの底面にグランドプレーンを途切れなく設けます。
- グランドに接続するビアをデバイスの極力近くに設け、電流のリターンパスが最短になるようにします。
- TMDS差動入力のレイアウトは、コネクタから最短になるようにします。

5m以上のケーブルの接続

TMDS341に5m以上のケーブルを接続する場合は、TMDS信号パスの影響をDDC信号バスと同様に考慮する必要があります。

TMDS信号パス

TMDS341レシーバのイコライザ回路には、5mの28-AWG DVIケーブルにおける符号間干渉(ISI)損失を補償する能力があります。代表的なケーブルの測定により次のことが分かります。すなわち、TMDS341は5mの28-AWG HDMIケーブルをドライブでき、HDMIソースの出力(TP1)のアイマスクをパスすることができます。さらに、TMDS341は10mの28-AWG HDMIケーブルをドライブでき、HDMIシンクの入力(TP2)のアイマスクをパスすることができます。図33から図36にアイマスクの測定結果を示します。

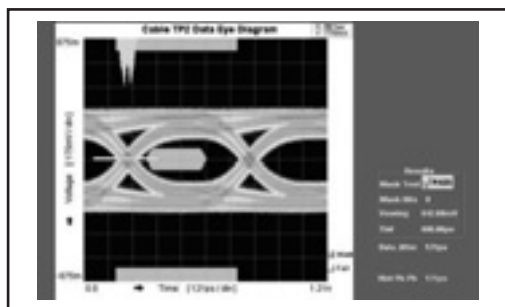


図 33. 5mの28-AWGケーブルの出力におけるアイ・ダイアグラム 対 TP1のアイマスク

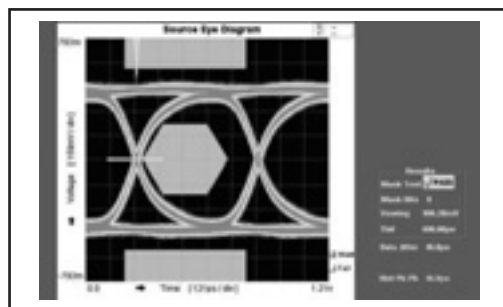


図 34. TMDS341により回復したアイ・ダイアグラム 対 TP1のアイマスク

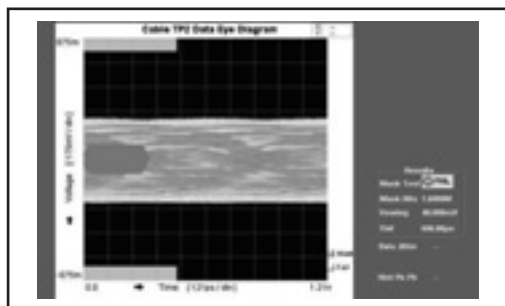


図 35. 10mの28-AWGケーブルの出力におけるアイ・ダイアグラム 対 TP2のアイマスク

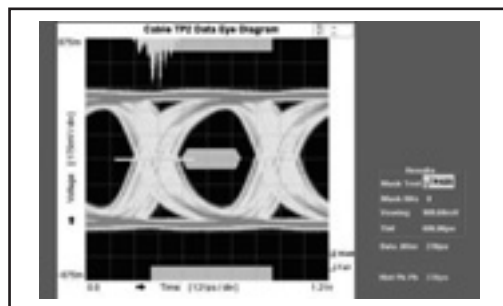


図 36. TMDS341により回復したアイ・ダイアグラム 対 TP2のアイマスク

DDC信号パス

I²Cバスを観測すると、その電圧はバスの抵抗、容量、および時間に依存します。バスをロー状態からハイ状態に充電する場合、その過渡電圧は次式(1)を使用して計算できます。

$$V(t) = V_{DD}(1 - e^{-t/RC}) \quad (1)$$

ここで、

tは充電を開始してから経過した時間、

V_{DD}はプルアップ終端電圧、

RはI²Cリンクにおける総抵抗値、

CはI²Cリンクにおける総容量値になります。

I²Cバスのバージョン2.1の仕様では、ハイレベルのしきい値電圧はV_{IH}=0.7 V_{DD}、ローレベルのしきい値電圧はV_{IL}=0.3 V_{DD}です。式(1)より、バス電圧を0VからV_{IH}およびV_{IL}レベルまで充電するのに要する時間は、

$$t_{IH} = 1.204 \times RC$$

$$t_{IL} = 0.357 \times RC$$

したがって、バスの立ち上がり時間(0.3V_{DD}から0.7V_{DD}まで)は次式(2)で与えられます。

$$t_{r(30-70)} = t_{IH} - t_{IL} = 0.847 \times RC \quad (2)$$

TMDS341は、スタンドアローンのスイッチボックスやデジタルディスプレイに容易に適用できます。以下のセクションで、その各事例に対応できるバス長さについて示します。

スイッチ・アプリケーションの最大バス長

スタンドアローンのスイッチとしてTMDS341が使用される例を図37に示します。両方のプルアップ抵抗の値は、ソースおよびシンク装置によって決まります。ソースでは1.5kΩ抵抗、シンクでは47 kΩ抵抗をそれぞれ推奨します。

$$R_{\text{upsource}} = 1.5\text{-k}\Omega \quad 5\text{Vにプルアップ}$$

$$R_{\text{upsink}} = 47\text{-k}\Omega \quad 5\text{Vにプルアップ}$$

$$R_{\text{total}} = R_{\text{upsource}} \parallel R_{\text{upsink}} = 1.45\text{ k}\Omega$$

$$C_{\text{total}} = C_{\text{source}} \parallel C_{\text{cable1}} \parallel C_i \parallel C_o \parallel C_{\text{cable2}} \parallel C_{\text{sink}}$$

標準モードのI²Cについては、周波数は100kHzであり、遷移時間は1μs以下である必要があります。すると、式(2)より許容できる総容量C_{total}は814pFになります。C_{source}およびC_{sink}は、HDMI仕様により50pFに制限されています。TMDS341のC_{i/o}は最大10pFです。したがって、DVIあるいはHDMIケーブルの総容量は704pF以下である必要があります。

ケーブルの代表的な容量は、28-AWGの5mのHDMIケーブルで200pF、また28-AWGの5mのDVIケーブルで300pFです。推奨するケーブルの全長は、ケーブル1の長さL_{cable1}+ケーブル2の長さL_{cable2}になります。したがって、28-AWG DVIケーブルではケーブル全長11m、また28-AWG HDMIケーブルではケーブル全長17mになります。

以上の計算はV_{IH} ≤ V_{pass}の場合に適用できます。

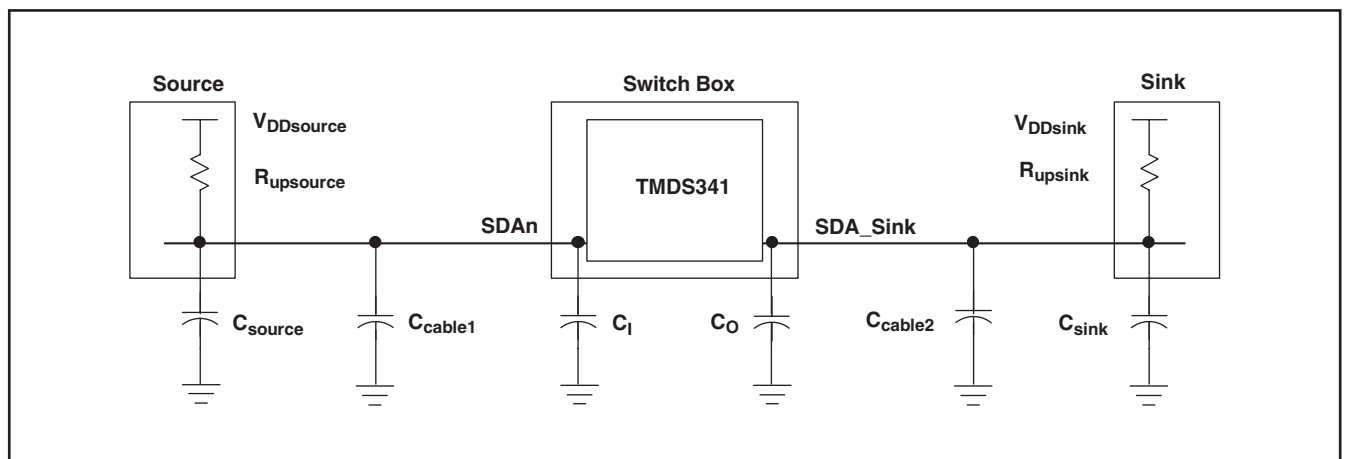


図 37. 外部スイッチボックスを伴うソース・シンク間のDDCリンク

DTVアプリケーションの最大バス長

DTVのスイッチとして使用され、かつDVI/HDMIレシーバと同じプリント基板に実装されているTMDS341を図38に示します。図37とは異なり、TMDS341スタンド・アローン・スイッチの出力コネクタと、シンクの入力コネクタが取り除かれています。その結果、DDCリンクの容量は小さくなり、またインピーダンスの不連続がありません。しかし、不要になったコネクタの容量は、許容総容量に比べて比較的小さいものです。したがって、前セクションの『スイッチ・アプリケーションの最大バス長』の場合とプルアップ抵抗および容量が同じ値であれば、その結果が再び使用できます。ただし、推奨するケーブルの全長はソースからシンクまでの長さになります。

しきい値電圧が $V_{IH} = 0.7 V_{DD}$ および $V_{IL} = 0.3 V_{DD}$ の場合の推奨ケーブル長を表2に要約します。

表2と同じ手法を $V_{IH} = 1.9V$ および $V_{IL} = 0.7V$ に適用して、DDCインターフェイスのタイミング条件を満足する推奨ケーブル長を表3に要約します。

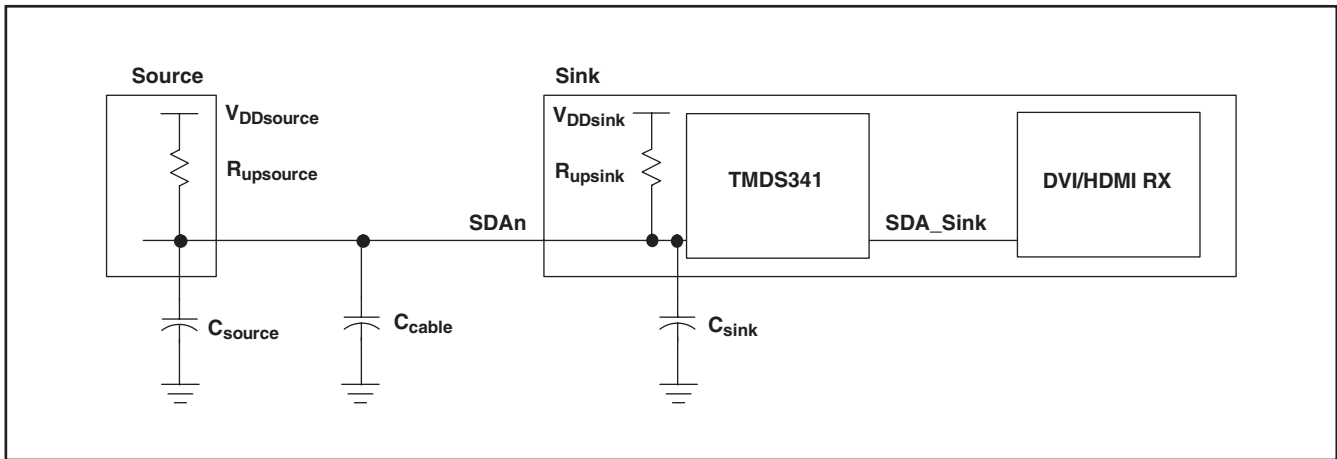


図 38. 外部スイッチボックスが無いソースからシンクまでのDDCリンク

DDC THRESHOLD VOLTAGE, $V_{IH} = 0.7 V_{DD}$, $V_{IL} = 0.3 V_{DD}$		TOTAL CABLE LENGTH (m)	
SUGGESTED PULL-UP RESISTANCE (k Ω)	CABLE TYPE	SWITCH BOX $L_{cable1} + L_{cable2}$	DIGITAL DISPLAY L_{cable}
$R_{upsource} = 1.5 \text{ k}\Omega$ $R_{upsink} = 47 \text{ k}\Omega$	28-AWG DVI	11	11
	28-AWG HDMI	17	17

表 2. しきい値電圧が $0.7 V_{DD}$ および $0.3 V_{DD}$ のDDCインターフェイスの推奨ケーブル長

DDC THRESHOLD VOLTAGE, $V_{IH} = 1.9 \text{ V}$, $V_{IL} = 0.7 \text{ V}$		TOTAL CABLE LENGTH (m)	
SUGGESTED PULL-UP RESISTANCE (k Ω)	CABLE TYPE	SWITCH BOX $L_{cable1} + L_{cable2}$	DIGITAL DISPLAY L_{cable}
$R_{upsource} = 1.5 \text{ k}\Omega$ $R_{upsink} = 47 \text{ k}\Omega$	28-AWG DVI	16	16
	28-AWG HDMI	24	24

表 3. しきい値電圧が $1.9V$ および $0.7V$ のDDCインターフェイスの推奨ケーブル長

PACKAGING INFORMATION

Orderable Device	Status ⁽¹⁾	Package Type	Package Drawing	Pins	Package Qty	Eco Plan ⁽²⁾	Lead/Ball Finish	MSL Peak Temp ⁽³⁾
TMDS341PFC	ACTIVE	TQFP	PFC	80	96	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-4-260C-72 HR
TMDS341PFCG4	ACTIVE	TQFP	PFC	80	96	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-4-260C-72 HR
TMDS341PFCR	ACTIVE	TQFP	PFC	80	1000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-4-260C-72 HR
TMDS341PFCRG4	ACTIVE	TQFP	PFC	80	1000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-4-260C-72 HR

(1) マーケティング・ステータスは次のように定義されています。

ACTIVE：製品デバイスが新規設計用に推奨されています。

LIFEBUY：TIによりデバイスの生産中止予定が発表され、ライフタイム購入期間が有効です。

NRND：新規設計用に推奨されていません。デバイスは既存の顧客をサポートするために生産されていますが、TIでは新規設計にこの部品を使用することを推奨していません。

PREVIEW：デバイスは発表済みですが、まだ生産が開始されていません。サンプルが提供される場合と、提供されない場合があります。

OBSOLETE：TIによりデバイスの生産が中止されました。

(2) エコ・プラン - 環境に配慮した製品分類プランであり、Pb-Free (RoHS) およびGreen (RoHS & no Sb/Br) があります。最新情報および製品内容の詳細については、<http://www.ti.com/productcontent>でご確認ください。

TBD：Pb-Free/Green変換プランが策定されていません。

Pb-Free (RoHS)：TIにおける“Lead-Free”または“Pb-Free”（鉛フリー）は、6つの物質すべてに対して現在のRoHS要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が0.1%を超えないという要件も含まれます。高温で半田付けするように設計されている場合、TIの鉛フリー製品は指定された鉛フリー・プロセスでの使用に適しています。

Green (RoHS & no Sb/Br)：TIにおける“Green”は、“Pb-Free”（RoHS互換）に加えて、臭素 (Br) およびアンチモン (Sb) をベースとした難燃材を含まない（均質な材質中のBrまたはSb重量が0.1%を超えない）ことを意味しています。

(3) MSL、ピーク温度 -- JEDEC業界標準分類に従った耐湿性レベル、およびピーク半田温度です。

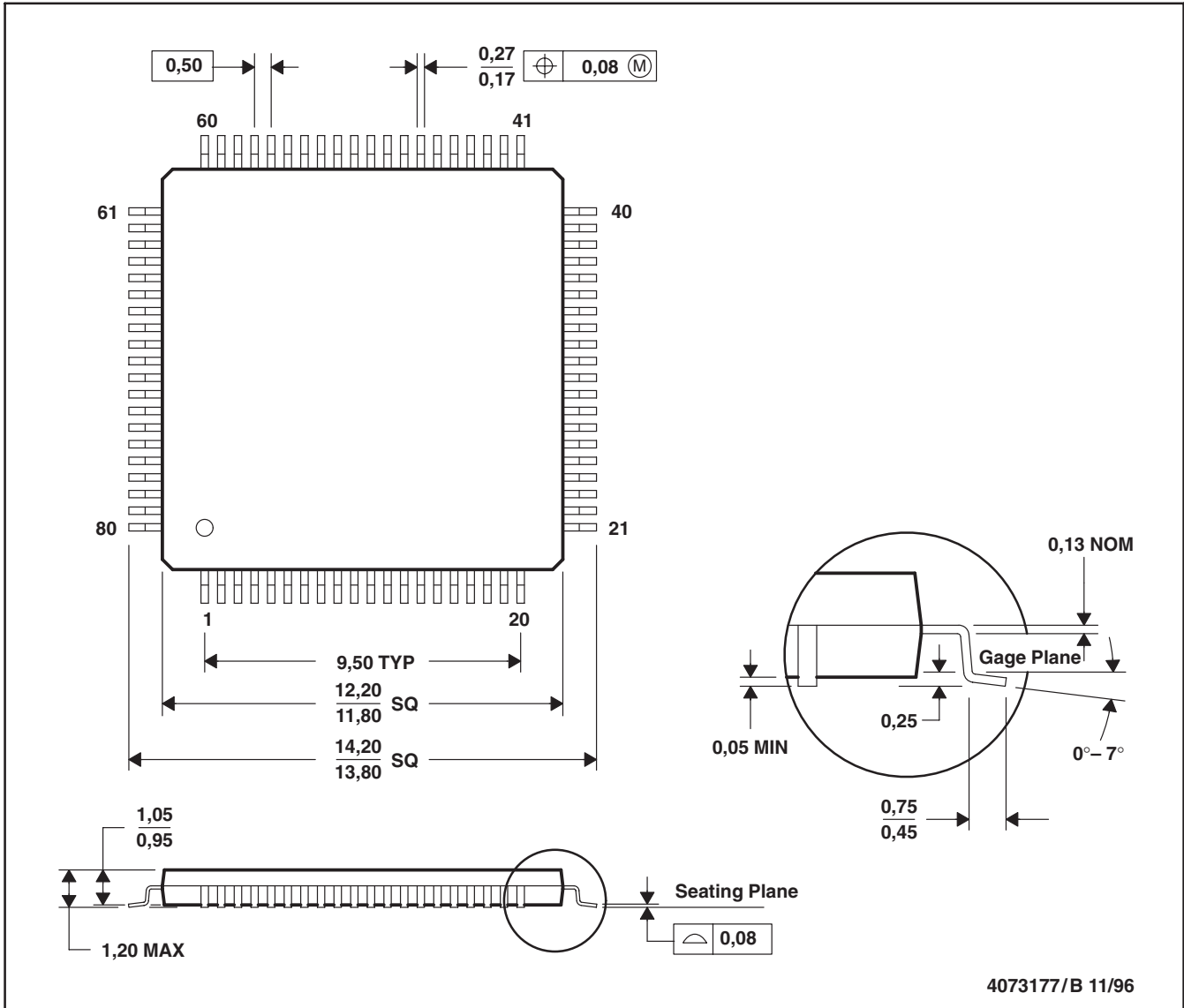
重要な情報および免責事項：このページに記載された情報は、記載された日付時点でのTIの知識および見解を表しています。TIの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行うものではありません。第三者からの情報をより良く統合するための努力は続けております。TIでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。TIおよびTI製品の供給者は、特定の情報を機密情報として扱っているため、CAS番号やその他の制限された情報が公開されない場合があります。

いかなる場合においても、そのような情報から生じるTIの責任は、TIによって年次ベースで顧客に販売される、このドキュメント発行時点でのTI製品の合計購入価格を超えることはありません。

メカニカル・データ

PFC (S-PQFP-G80)

PLASTIC QUAD FLATPACK



- NOTES: A. All linear dimensions are in millimeters.
 B. This drawing is subject to change without notice.
 C. Falls within JEDEC MS-026

(SLLS660B_August 2005)

ご注意

日本テキサス・インスツルメンツ株式会社(以下TIJといひます)及びTexas Instruments Incorporated(TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといひます)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従ひまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかご確認下さい。全ての製品は、お客様とTIJとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIJは、そのハードウェア製品が、TIの標準保証条件に従ひ販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従ひ合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIJは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIJは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは承認をすることを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負ひません。

TIの製品もしくはサービスについてTIJにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIJは、そのような説明については何の義務も責任もありません。

TIJは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション(例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの)に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIJがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されておられません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されておられません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2009, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。

弊社出荷梱包単位(外装から取り出された内装及び個装)又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で(導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。

マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

温度: 0~40、相対湿度: 40~85%で保管・輸送及び取り扱いを行うこと。(但し、結露しないこと。)

直射日光があたる状態で保管・輸送しないこと。

3. 防湿梱包

防湿梱包品は、開封後は個別推奨保管環境及び期間に従ひ基板実装すること。

4. 機械的衝撃

梱包品(外装、内装、個装)及び製品単品を落下させたり、衝撃を与えないこと。

5. 熱衝撃

はんだ付け時は、最低限260以上の高温状態に、10秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)

6. 汚染

はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質(硫黄、塩素等ハロゲン)のある環境で保管・輸送しないこと。はんだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上