

TMS320F28004x リアルタイム・マイクロコントローラ

1 特長

- TMS320C28x 32 ビット CPU
 - 100MHz
 - IEEE 754 単精度浮動小数点ユニット (FPU)
 - 三角関数演算ユニット (TMU)
 - 一般的な三角関数が、ソフトウェア・ライブラリと比較して 3x サイクルから 4x サイクルの高速化
 - 13 サイクルのパーク変換
 - ビタビ / 複素数演算ユニット (VCU-I)
 - 10 のハードウェア・ブレイクポイント (ERAD による)
- プログラム可能な制御補償器アクセラレータ (CLA)
 - 100MHz
 - IEEE 754 単精度浮動小数点命令
 - メイン CPU と独立にコードを実行
- オンチップ・メモリ
 - 2 つの独立したバンクで構成される、256KB (128KW) のフラッシュ (ECC 保護)
 - 100KB (50KW) の RAM (ECC 保護またはパリティ保護)
 - デュアル・ゾーンのセキュリティでサードパーティーの開発をサポート
 - 固有の識別 (UID) 番号
- クロックおよびシステム制御
 - 2 つの内部ゼロ・ピン 10MHz 発振器
 - オンチップの水晶発振器と外部クロック入力
 - ウィンドウ付きウォッチドッグ・タイマ・モジュール
 - クロック消失検出回路
- コア 1.2V、I/O 3.3V の設計
 - 内蔵の VREG または DC-DC により 1.2V を生成し、単一電源の設計が可能
 - ブラウンアウト・リセット (BOR) 回路
- システム・ペリフェラル
 - 6 チャンネル DMA (Direct Memory Access) コントローラ
 - 40 の個別にプログラム可能な多重化された汎用入出力 (GPIO) ピン
 - アナログ・ピン上の 21 のデジタル入力
 - 強化ペリフェラル割り込み拡張 (ePIE) モジュール
 - 外部ウェイクアップに対応した複数の低消費電力モード (LPM) をサポート
 - リアルタイム解析および診断 (ERAD) を内蔵
- 通信ペリフェラル
 - 1 つの電力管理バス (PMBus) インターフェイス
 - 1 つの I2C (Inter-Integrated Circuit) インターフェイス (ピンでブート可能)
 - 2 つの CAN (Controller Area Network) バス・ポート (ピンでブート可能)
 - 2 つの SPI (Serial Peripheral Interface) ポート (ピンでブート可能)
 - 2 つの UART 互換 SCI (Serial Communication Interface) (ピンでブート可能)
 - 1 つの UART 互換 LIN (Local Interconnect Network)
 - 1 つの FSI (Fast Serial Interface) (トランスミッタおよびレシーバ付き)
- アナログ・システム
 - 3 つの 3.45MSPS、12 ビットの A/D コンバータ (ADC)
 - 最大 21 の外部チャネル
 - ADC ごとに 4 つの後処理ブロック (PPB) を内蔵
 - 12 ビット・リファレンス D/A コンバータ (DAC) を備えた 7 つのウィンドウ付きコンパレータ (CMPSS)
 - デジタル・グリッチ・フィルタ
 - 2 つの 12 ビット DAC 出力 (バッファ付き)
 - 7 つのプログラマブル・ゲイン・アンプ (PGA)
 - プログラム可能なゲイン設定: 3、6、12、24
 - 出力フィルタ処理をプログラム可能
- 拡張制御ペリフェラル
 - 16 の高分解能 ePWM チャネル (分解能 150ps)
 - 高分解能のデッドバンド・サポートを内蔵
 - ハードウェア・トリップ・ゾーン (TZ) を内蔵
 - 7 つの拡張キャプチャ (eCAP) モジュール
 - 2 つのモジュールで高分解能キャプチャ (HRCAP) を利用可能
 - 2 つの拡張直交エンコーダ・パルス (eQEP) モジュール、CW/CCW 動作モードをサポート
 - 4 つのシグマ・デルタ・フィルタ・モジュール (SDFM) 入力チャネル (チャネルごとに 2 つのパラレル・フィルタ)
 - 標準 SDFM データ・フィルタリング
 - 過大値または過小値の条件で高速動作を行うためのコンパレータ・フィルタ
- 構成可能ロジック・ブロック (CLB)
 - 既存のペリフェラル機能を強化
 - Position Manager ソリューションをサポート



- InstaSPIN-FOC™
 - FAST™ ソフトウェア・エンコーダを使用したセンサレス磁界方向制御 (FOC)
 - オンチップ ROM メモリにライブラリを搭載
- 機能安全準拠
 - 機能安全アプリケーション向けに開発
 - ISO 26262 および IEC 61508 システムの設計を支援するドキュメントを使用可能
 - ASIL D および SIL 3 までの決定論的能力
 - ASIL B までのハードウェア安全度
- 安全関連認証
 - TÜV SÜD により ISO 26262 認証済み (ASIL B まで)
- パッケージ・オプション:
 - 100 ピンの薄型クワッド・フラットパック (LQFP) [接尾辞 PZ]
 - 64 ピンの LQFP [接尾辞 PM]
 - 56 ピンの超薄型クワッド・フラットパック・リードなし (VQFN) [接尾辞 RSH]
- 温度オプション:
 - S: -40°C~125°Cの接合部温度
 - Q: 自由気流で -40°C~125°C (車載アプリケーション用の AEC Q100 認定)

2 アプリケーション

- 中距離 / 短距離レーダー
- エアコン室外機
- ドア開閉装置ドライブの制御
- 自動仕分け機器
- CNC 制御
- 繊維機械
- 溶接機
- AC 充電 (バッテリー) ステーション
- DC 充電 (バッテリー) ステーション
- EV 充電ステーション向け電源モジュール
- ワイヤレス車両充電モジュール
- エネルギー・ストレージ電力変換システム (PCS)
- セントラル・インバータ
- 太陽光発電オプティマイザ
- スtring・インバータ
- DC/DC コンバータ
- インバータとモーター制御
- オンボード・チャージャ (OBC) およびワイヤレス・チャージャ
- AC ドライブ制御モジュール
- AC ドライブ電力段モジュール
- リニア・モーターの電力段
- サーボ・ドライブ制御モジュール
- AC 入力 BLDC モーター・ドライブ
- DC 入力 BLDC モーター・ドライブ
- 産業用 AC-DC
- 3 相 UPS
- 商用ネットワークとサーバーの PSU (電源)
- 商用テレコム整流器

3 概要

C2000™ 32 ビット・マイクロコントローラは、処理、センシング、アクチュエーションに最適化されており、リアルタイム制御アプリケーション、たとえば産業用モーター・ドライブ、ソーラー・インバータおよびデジタル電源、電気自動車および輸送、モーター制御、センシングおよび信号処理などにおける閉ループ性能が向上しています。

TMS320F28004x (F28004x) は、強力な 32 ビット浮動小数点マイクロコントローラ・ユニット (MCU) であり、重要な制御ペリフェラル、差別化されたアナログ、不揮発性メモリを 1 つのデバイスに組み込むことができます。

このリアルタイム制御サブシステムは、TI の 32 ビット C28x CPU を基礎としており、100MHz の信号処理能力があります。C28x CPU は、拡張命令セットによりさらに強化されています。新しい TMU 拡張命令セットにより、変換およびトルク・ループ計算で一般に使用される三角関数演算を含むアルゴリズムを高速に実行でき、また、VCU-I 拡張命令セットにより、エンコード・アプリケーションで一般に使用される複素数演算のレイテンシを短縮できます。

CLA により、メイン C28x CPU から一般的なタスクの負荷を大幅に軽減できます。CLA は独立の 32 ビット浮動小数点演算アクセラレータであり、CPU と並列に実行されます。さらに、CLA には独自の専用メモリ・リソースがあり、一般的な制御システムで必要となる主要なペリフェラルに直接アクセスできます。ANSI C のサブセット、およびハードウェア・ブレイクポイントやハードウェアによるタスク切り替えなどの主要な機能が標準でサポートされています。

F28004x は最大 256KB (128KW) のフラッシュ・メモリをサポートし、これらは 2 つの 128KB (64KW) バンクに分割されるため、プログラミングと実行を並列に行えます。最大 100KB (50KW) のオンチップ SRAM も利用可能で、システムの効

率的なパーティショニングのために 4KB (2KW) と 16KB (8KW) のブロック単位に分割されます。フラッシュ ECC、SRAM ECC / パリティ、デュアル・ゾーン・セキュリティもサポートされています。

F28004x MCU には高性能のアナログ・ブロックが内蔵されており、さらにシステムの統合が可能です。3 つの独立した 12 ビット ADC により、複数のアナログ信号を正確かつ効率的に管理でき、最終的にシステムのスループットが向上します。アナログ・フロント・エンドには 7 つの PGA があり、変換前にオンチップで電圧スケールリングが可能です。7 つのアナログ・コンバータ・モジュールにより、入力電圧レベルのトリップ条件を継続的に監視できます。

TMS320C2000™ マイクロコントローラは、業界最先端の制御ペリフェラルと、周波数に依存しない ePWM/HRPWM と eCAP を内蔵しているため、クラス最高レベルのシステム制御が可能です。4 チャンネル SDFM が内蔵されているため、絶縁バリアを通して、オーバーサンプリング・シグマ-デルタ変調器をシームレスに統合できます。

各種の業界標準通信ポート (SPI, SCI, I2C, LIN, CAN など) により接続性がサポートされており、複数の多重化オプションにより、各種のアプリケーションにおいて最適な信号配置が可能です。C2000 プラットフォームの新機能として、完全準拠の PMBus が追加されました。さらに、業界で初めて FSI による高速かつ堅牢な通信が可能になり、本デバイスに組み込まれている一連の豊富なペリフェラルを補完します。

特別仕様のデバイスバリエーション、TMS320F28004xC では、構成可能ロジック・ブロック (CLB) にアクセスして、追加のインターフェイス機能を使用できるとともに、InstaSPIN-FOC™ を実現するライブラリを含むセキュア ROM にアクセス可能です。詳細については、[デバイスの比較](#)をご覧ください。

組み込みのリアルタイム分析および診断 (ERAD) モジュールにより、追加のハードウェア・ブレイクポイントやプロファイリング用のカウンタを使用できるようになり、デバイスのデバッグおよびシステム分析機能が強化されます。

C2000 リアルタイム MCU は、お客様のリアルタイム制御システムに適した選択肢です。その機能について詳しく知るには、『[C2000™ リアルタイム・マイクロコントローラを使った開発のための基本ガイド](#)』をご覧ください。また、『[C2000™ リアルタイム制御 MCU](#)』のページにアクセスしてください。

『[C2000™ リアルタイム制御マイクロコントローラ \(MCU\) を使用した設計の開始](#)』入門ガイドは、C2000 デバイスを使用する開発について、ハードウェアからサポート・リソースまで、あらゆる側面をカバーしています。主要な参考資料に加えて、各セクションには関連するリンクとリソースが掲載されており、さらに詳細な情報を知ることができます。

導入前の評価と関連資料 [TMDSCNCD280049C](#) または [LAUNCHXL-F280049C](#) 評価ボードをご覧ください、[C2000Ware](#) をダウンロードしてください。

製品情報

部品番号 (1)	制御補償器アクセラレータ (CLA)	構成可能ロジック・ブロック (CLB)	フラッシュ・サイズ
TMS320F280049C	あり	あり	256KB
TMS320F280048C			
TMS320F280049		-	
TMS320F280048			
TMS320F280045	-	あり	128KB
TMS320F280041C			
TMS320F280040C			
TMS320F280041		-	
TMS320F280040			

(1) これらのデバイスの詳細については、「[製品比較](#)」表を参照してください。

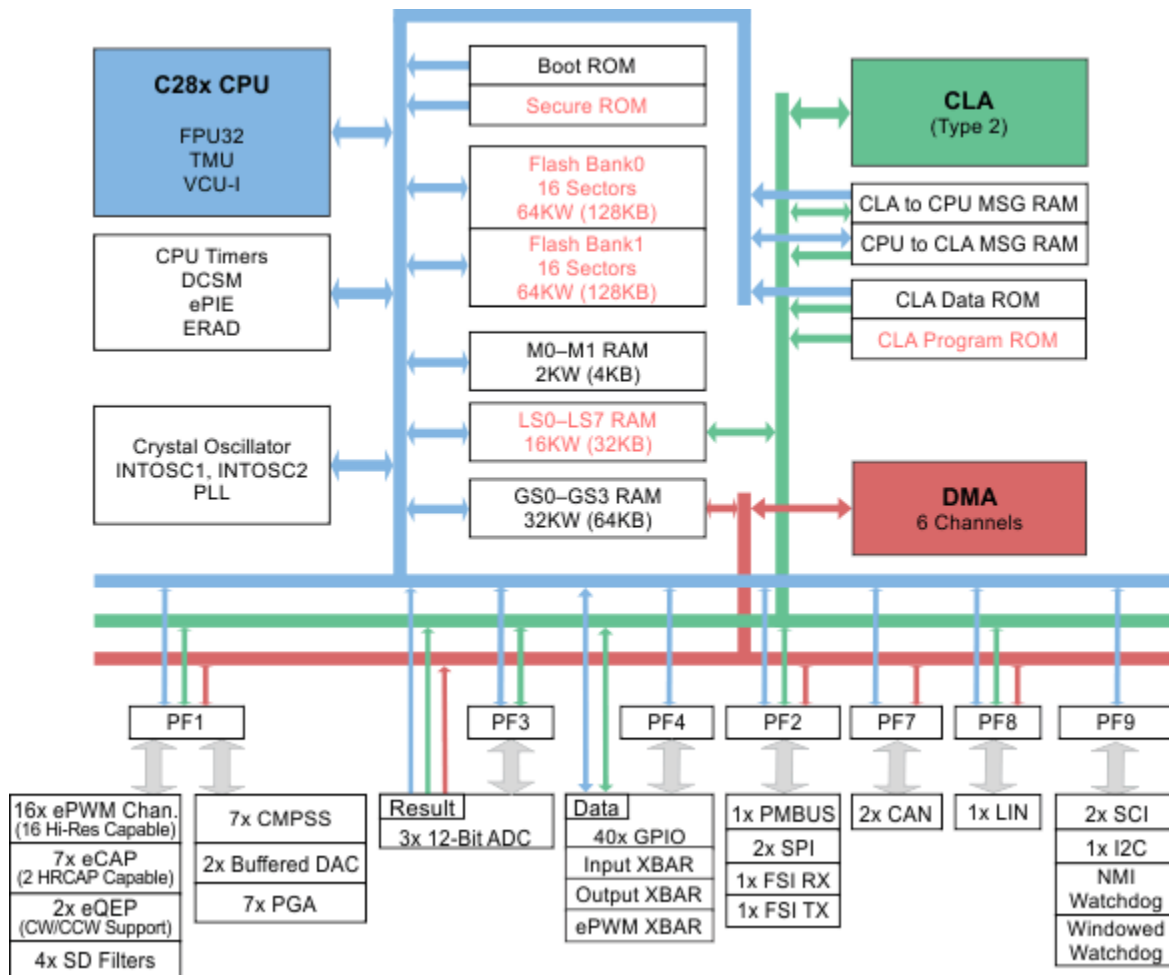
表 3-1. 機能安全準拠製品の型番

部品番号 ⁽¹⁾
F280048CPMQR
F280048PMQR
F280049CPMS
F280049CPZQR
F280049CPZS
F280049PMS
F280049PMSR
F280049PZQR
F280049PZQ
F280049PZS
F280049PZSR

- (1) 上記の表に記載されていない型番は、機能安全品質管理 (FS-QM) です。

3.1 機能ブロック図

「機能ブロック図」に、CPU システムと関連ペリフェラルを示します。



A. セキュア・メモリは赤で示しています。

図 3-1. 機能ブロック図

目次

1 特長	1	8.1 概要	206
2 アプリケーション	2	8.2 機能ブロック図	207
3 概要	2	8.3 メモリ	208
3.1 機能ブロック図.....	5	8.4 識別	216
4 改訂履歴	7	8.5 バス・アーキテクチャー・ペリフェラル・コネクティビティ ..	217
5 デバイスの比較	9	8.6 C28x プロセッサ	218
5.1 関連製品.....	11	8.7 制御補償器アクセラレータ (CLA)	221
6 ピン構成および機能	12	8.8 ダイレクト・メモリ・アクセス (DMA)	223
6.1 ピン配置図.....	12	8.9 ブート ROM およびペリフェラル・ブート	224
6.2 ピン属性.....	16	8.10 デュアル・コード・セキュリティ・モジュール	230
6.3 信号の説明.....	31	8.11 ウォッチドッグ	231
6.4 ピン多重化.....	44	8.12 構成可能ロジック・ブロック (CLB)	232
6.5 内部プルアップおよびプルダウン付きのピン.....	57	8.13 機能安全	234
6.6 未使用ピンの接続.....	58	9 アプリケーション、実装、およびレイアウト	235
7 仕様	60	9.1 デバイスの主な特長.....	235
7.1 絶対最大定格.....	60	9.2 アプリケーション情報.....	238
7.2 ESD 定格 - 民生用.....	60	10 デバイスおよびドキュメントのサポート	251
7.3 ESD 定格 - 車載用.....	61	10.1 デバイスおよび開発ツールの命名規則.....	251
7.4 推奨動作条件.....	61	10.2 マーキング.....	252
7.5 消費電力の概略.....	63	10.3 ツールとソフトウェア.....	253
7.6 電気的特性.....	69	10.4 ドキュメントのサポート.....	256
7.7 熱抵抗特性.....	70	10.5 サポート・リソース.....	257
7.8 熱設計の検討事項.....	72	10.6 商標.....	257
7.9 システム.....	73	10.7 静電気放電に関する注意事項.....	257
7.10 アナログ・ペリフェラル.....	114	10.8 用語集.....	257
7.11 制御ペリフェラル.....	150	11 メカニカル、パッケージ、および注文に関する情報	258
7.12 通信ペリフェラル.....	172	11.1 パッケージ情報.....	258
8 詳細説明	206		

4 改訂履歴

Changes from FEBRUARY 1, 2021 to JANUARY 9, 2023

Page

• この改訂履歴には、SPRS945F から SPRS945G への変更点が記載されています。.....	1
• グローバル: データシートのヘッダーのデバイスを更新。.....	1
• グローバル: 『テクニカル・リファレンス・マニュアル』のタイトルを『TMS320F28004x リアルタイム・マイクロコントローラ・テクニカル・リファレンス・マニュアル』に変更。データシートのタイトルを「TMS320F28004x リアルタイム・マイクロコントローラ」に変更。エラーラのタイトルを『TMS320F28004x リアルタイム MCU シリコン・エラーラ』に変更.....	1
• グローバル: ERRORSTS の説明を更新。.....	1
• セクション 1、「特長」: 「2 つのシリアル通信インターフェイス (SCI) (ピンでブート可能)」機能に「UART 互換」を追加。「1 つのローカル相互接続ネットワーク (LIN)」機能に「UART 互換」を追加。「機能安全準拠」の特長を更新。「安全関連認証」の特長を追加。.....	1
• セクション 3、概要: セクションを更新。.....	2
• 製品情報: 表を更新。.....	2
• 表 3-1、機能安全準拠製品型番: 表を追加。.....	2
• 図 3-1、機能ブロック図: 「セキュア・メモリは赤で示しています」の注を追加。.....	5
• 表 5-1、デバイスの比較: 表のヘッダーから F280048、F280048C、F280040、F280040C を削除。構成可能ロジック・ブロック (CLB) のデバイス番号を更新。InstaSPIN-FOC™ のデバイス番号を更新。ADC チャンネル (PGA から) を追加。「SDFM チャンネル - タイプ 1」の 64 ピン PM を 3 から 2 に変更。「SDFM チャンネル - タイプ 1」の 56 ピン RSH を 3 から 2 に変更。「SCI-タイプ 0」に「(UART 互換)」を追加。「LIN-タイプ 1」に「(UART 互換)」を追加。パッケージ・オプション、温度、認定のセクションを更新。.....	9
• セクション 5.1、関連製品: セクションを更新。.....	11
• 表 6-1、ピン属性: GPIO22_VFBSW、GPIO23_VSW、ERRORSTS の説明を更新。「DCDCEN = 1 のとき、AMSEL レジスタの各ビットはドントケア (冗長) ではありません」の脚注を追加。.....	16
• 表 6-3、デジタル信号: ERRORSTS の説明を更新。.....	36
• 「GPIO によるデジタル信号」表: ERRORSTS の説明を更新。.....	44
• セクション 7.1、絶対最大定格: 入力クランプ電流の説明を「デジタル / アナログ入力 (ピンごと)」から「デジタル入力 (ピンごと)」に変更。.....	60
• セクション 7.2、ESD 定格 – 民生用: デバイス番号を更新 100 ピン PZ パッケージおよび 64 ピン PM パッケージのコーナー・ピンのデバイス帯電モデル (CDM) 値を追加。.....	60
• セクション 7.3、ESD 定格 – 車載用: デバイス番号を更新.....	61
• セクション 7.4、推奨動作条件: SR _{SUPPLY} および関連する脚注を更新。.....	61
• セクション 7.6、電気的特性: V _{HYSTERESIS} の「150」を「標準値」から「最小値」へ移動。.....	69
• パワー・マネージメント・モジュール (PMM) セクション: セクションを更新。.....	73
• 図 7-12、リセット回路: 図を更新。.....	85
• 図 7-13、パワーオン・リセット: 「CPU 実行フェーズ」波形に t _{boot-flash} を追加。.....	86
• セクション 7.9.3、クロック仕様「水晶発振器」セクションを削除。「水晶 (XTAL) 発振器」セクションを追加。.....	87
• 表 7-9、異なる CPUCLK 周波数で必要な最小のフラッシュ・ウェイト状態 (FRDCNTL[RWAIT]): 「異なるクロック・ソースおよび周波数で必要な最小フラッシュ・ウェイト状態」表を、「異なる CPUCLK 周波数で必要な最小フラッシュ・ウェイト状態 (FRDCNTL[RWAIT])」表に変更。表を更新。.....	99
• 表 7-10、フラッシュ・パラメータ: 「N _{wec} の書き込み / 消去サイクル」を「セクタあたり N _{wec} の書き込み / 消去サイクル」に変更。「フラッシュ全体で N _{wec} の書き込み / 消去サイクル (すべてのセクタを結合)」および関連する脚注を追加。... 99	99
• 図 7-26、14 ピン JTAG ヘッダーへの接続: 内蔵プルダウン抵抗を 4.7kΩ から 2.2kΩ に変更。.....	101
• 図 7-27、20 ピン JTAG ヘッダーへの接続: 内蔵プルダウン抵抗を 4.7kΩ から 2.2kΩ に変更。.....	101
• セクション 7.10.1.1、結果レジスタのマッピング: セクションを追加。.....	124
• セクション 7.10.1.3.3、ADC 入力モデル: 『C2000 ADC 用の電荷共有駆動回路』アプリケーション・レポートおよび『C2000 MCU 用の ADC 入力回路の評価』アプリケーション・レポートへの参照を追加。.....	128
• セクション 7.10.2.1.2、PGA 特性: R _{FILT} を追加。帯域幅を更新。「PGA の DNL/INL は ADC の DNL/INL 許容範囲内であるため、個別には表示されません」の脚注を追加。.....	133

- セクション 7.12.2.1.1、I2C のタイミング要件: 標準モードおよびファーストモードで、パラメータ T10 [$t_{w(SP)}$] の最小値、最大値、および単位を変更。..... 176
- 図 7-82、SCI ブロック図: 図を更新。..... 181
- 図 8-1、機能ブロック図: 「セキュア・メモリは赤で示しています」の注を追加。..... 207
- 表 8-3、F280049、F280048、F280045 のフラッシュ・セクタのアドレス: 表を更新。ECC アドレスを追加。..... 209
- 表 8-4、F280041 および F280040 のフラッシュ・セクタのアドレス: 表を更新。ECC アドレスを追加。..... 209
- セクション 8.12、構成可能ロジック・ブロック (CLB): セクションを更新。..... 232
- セクション 8.13、機能安全: セクションを追加。..... 234
- セクション 9、アプリケーション、実装、およびレイアウト: セクションを更新。..... 235
- セクション 10.1、デバイスおよび開発ツールの命名規則: セクションを更新。..... 251
- セクション 10.3、ツールとソフトウェア: 「ソフトウェア・ツール」セクションに「C2000 サード・パーティー検索ツール」を追加。..... 253
- セクション 10.4、ドキュメントのサポート: 「ツール・ガイド」セクションを更新。「移行ガイド」セクションを追加。『C2000™ リアルタイム・マイクロコントローラを使った開発のための基本ガイド』を追加。..... 256

5 デバイスの比較

表 5-1 に、TMS320F28004x デバイスの機能を示します。

表 5-1. デバイスの比較

機能 ⁽¹⁾		F280049 F280049-Q1 F280049C F280049C-Q1	F280048-Q1 F280048C-Q1	F280045	F280041 F280041-Q1 F280041C F280041C-Q1	F280040-Q1 F280040C-Q1
プロセッサおよびアクセラレータ						
C28x	周波数 (MHz)	100				
	FPU	あり				
	VCU-I	あり				
	TMU – タイプ 0	あり				
CLA – タイプ 2	使用可能	あり			なし	
	周波数 (MHz)	100			-	
6 チャンネル DMA – タイプ 0		あり				
メモリ						
フラッシュ		256KB (128KW)			128KB (64KW)	
RAM	専用およびローカル共有 RAM	36KB (18KW)				
	グローバル共有 RAM	64KB (32KW)				
	RAM 合計	100KB (50KW)				
オンチップ・フラッシュ、RAM、OTP ブロックのコード・セキュリティ		あり				
ブート ROM		あり				
ユーザーが構成可能な DCSSM OTP		4KB (2KW)				
システム ⁽²⁾						
構成可能ロジック・ブロック (CLB)		4 タイル (F280049C、 F280049C-Q1)	4 タイル (F280048C-Q1)	-	4 タイル (F280041C、 F280041C-Q1)	4 タイル (F280040C-Q1)
InstaSPIN-FOC™		F280049C、 F280049C-Q1	F280048C-Q1	-	F280041C、 F280041C-Q1	F280040C-Q1
32 ビット CPU タイマ		3				
ウォッチドッグ・タイマ		1				
ノンマスカブル割り込みウォッチドッグ (NMIWD) タイマ		1				
水晶発振器 / 外部クロック入力		1				
0 ピンの内部発振器		2				
GPIO ピン	100 ピン PZ	40	-	40	40	-
	64 ピン PM	26	24	26	26	24
	56 ピン RSH	25	-	25	25	-
AIO 入力	100 ピン PZ	21				
	64 ピン PM	14				
	56 ピン RSH	12				
外部割り込み		5				
アナログ・ペリフェラル						
ADC 12 ビット	ADC の数	3				
	MSPS	3.45				
	変換時間 (ns) ⁽³⁾	290				
ADC チャンネル (シングルエンド)	100 ピン PZ	21				
	64 ピン PM	14				
	56 ピン RSH	12				

表 5-1. デバイスの比較 (continued)

機能 ⁽¹⁾		F280049 F280049-Q1 F280049C F280049C-Q1	F280048-Q1 F280048C-Q1	F280045	F280041 F280041-Q1 F280041C F280041C-Q1	F280040-Q1 F280040C-Q1
ADC チャンネル (PGA から)	100 ピン PZ			7		
	64 ピン PM			5		
	56 ピン RSH			4		
温度センサ				1		
バッファ付き DAC				2		
CMPSS (各 CMPSS には 2 つのコンパレータと 2 つの内部 DAC があります)	100 ピン PZ			7		
	64 ピン PM			6		
	56 ピン RSH			5		
PGA (ゲイン設定: 3, 6, 12, 24)	100 ピン PZ			7		
	64 ピン PM			5		
	56 ピン RSH			4		
制御ペリフェラル ⁽⁴⁾						
eCAP/HRCAP モジュール – タイプ 1				7 (2 つは HRCAP 機能付き)		
ePWM/HRPWM チャンネル – タイプ 4				16		
eQEP モジュール – タイプ 1	100 ピン PZ			2		
	64 ピン PM			1		
	56 ピン RSH			1		
SDFM チャンネル – タイプ 1	100 ピン PZ			4		
	64 ピン PM			2		
	56 ピン RSH			2		
通信ペリフェラル ⁽⁴⁾						
CAN – タイプ 0				2		
I2C – タイプ 1				1		
SCI – タイプ 0 (UART 互換)				2		
SPI – タイプ 2				2		
LIN – タイプ 1 (UART 互換)				1		
PMBus – タイプ 0				1		
FSI – タイプ 0				1		
パッケージ・オプション、温度、認定						
接合部温度 (T _J)				S: -40°C ~ 125°C		
自由気流での周囲温度 (T _A)				Q: -40°C ~ 125°C ⁽⁵⁾		
パッケージ・オプション	100 ピン PZ	F280049 F280049-Q1 F280049C F280049C-Q1	-	F280045	F280041 F280041-Q1 F280041C F280041C-Q1	-
	64 ピン PM	F280049 F280049C	F280048-Q1 F280048C-Q1	F280045	F280041 F280041C	F280040-Q1 F280040C-Q1
	56 ピン RSH	F280049 F280049C	-	F280045	F280041 F280041C	-

- (1) タイプの違いは、ペリフェラル・モジュールの機能が大きく異なることを表します。同じペリフェラルのタイプの中でも、モジュールの基本的な機能に影響を与えない、わずかな相違がデバイス間に存在することがあります。詳細については、『[C2000 リアルタイム制御ペリフェラル・リファレンス・ガイド](#)』を参照してください。
- (2) InstaSPIN-FOC™ デバイスの詳細については、[セクション 10.4](#) の InstaSPIN テクニカル・リファレンス・マニュアルのリストをご覧ください。
- (3) サンプル・アンド・ホールド・ウィンドウの開始から、次の変換のサンプル・アンド・ホールド・ウィンドウの開始までの時間。
- (4) 複数のパッケージで利用可能なデバイスの場合、パッケージが小さいほどデバイスのピン数が少ないため、小型パッケージに記載されているペリフェラル数が減少します。デバイスに内部的に存在するペリフェラルの数は、その型番で提供される最大のパッケージに比べて減少しません。小型パッケージのピンでアクセス可能なペリフェラル・インスタンスについては、[セクション 6](#) を参照してください。
- (5) Q という文字は、車載アプリケーション向けの AEC Q100 認定を表します。

5.1 関連製品

既存デバイス:

[TMS320F2802x リアルタイム・マイクロコントローラ](#)

F2802x シリーズは、最小のピン数とフラッシュ・メモリ・サイズの実装を提供します。InstaSPIN-FOC™ バージョンが利用可能です。

[TMS320F2803x リアルタイム・マイクロコントローラ](#)

F2803x シリーズは、ピン数とメモリ・サイズの実装を増やします。F2803x シリーズは、パラレル制御補償器アクセラレータ (CLA) オプションも採り入れています。

[TMS320F2805x リアルタイム・マイクロコントローラ](#)

F2805x シリーズは F2803x シリーズと類似していますが、オンチップのプログラマブル・ゲイン・アンプ (PGA) を追加しています。InstaSPIN-FOC および InstaSPIN-MOTION™ バージョンが利用可能です。

[TMS320F2806x リアルタイム・マイクロコントローラ](#)

F2806x シリーズは、浮動小数点ユニット (FPU) を内蔵した初の製品です。F2806x シリーズも、ピン数、メモリ・サイズの実装、ペリフェラルの数を増やします。InstaSPIN-FOC™ および InstaSPIN-MOTION™ バージョンが利用可能です。

最新デバイス:

[TMS320F2807x リアルタイム・マイクロコントローラ](#)

F2807x シリーズは、最高の性能、最大のピン数、フラッシュ・メモリ・サイズ、ペリフェラルの実装を提供します。F2807x シリーズは、最新世代のアクセラレータ、ePWM ペリフェラル、アナログ技術を内蔵しています。

[TMS320F28004x リアルタイム・マイクロコントローラ](#)

F28004x シリーズは、最新世代の拡張機能を備えた F2807x シリーズの縮小版です。F28004x シリーズは、F2806x シリーズを使っているお客様に最適なロードマップの実装です。InstaSPIN-FOC およびコンフィギュラブル・ロジック・ブロック (CLB) バージョンが利用可能です。

[TMS320F28003x リアルタイム・マイクロコントローラ](#)

F28003x シリーズは、F28002x シリーズをベースにしており、高い周波数、大容量のメモリ、多くのペリフェラル・オプションを提供します。CAN-FD とセキュリティ機能は、F2838x シリーズから導入されています。

[TMS320F28002x リアルタイム・マイクロコントローラ](#)

F28002x シリーズは、最新世代の拡張機能を備えた F28004x シリーズの縮小版です。

移行ガイド:

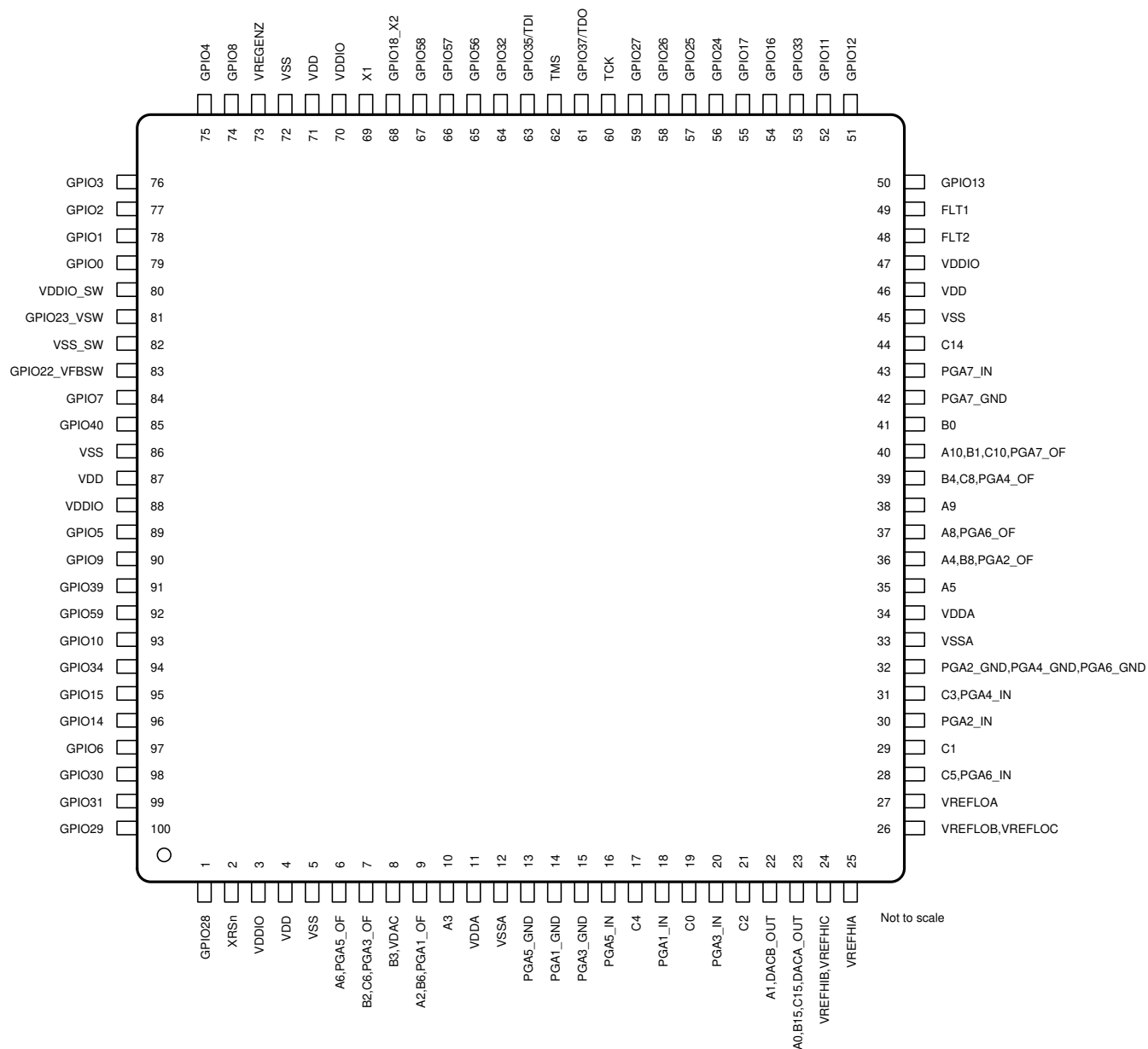
『[TMS320F28004x と TMS320F28002x の間での移行](#)』では、F28004x と F28002x C2000™ MCU の間で移行するときに注意すべきハードウェアとソフトウェアの違いについて説明しています。

『[TMS320F28004x と TMS320F28003x の間での移行](#)』では、F28004x と F28003x C2000™ MCU の間で移行するときに注意すべきハードウェアとソフトウェアの違いについて説明しています。

6 ピン構成および機能

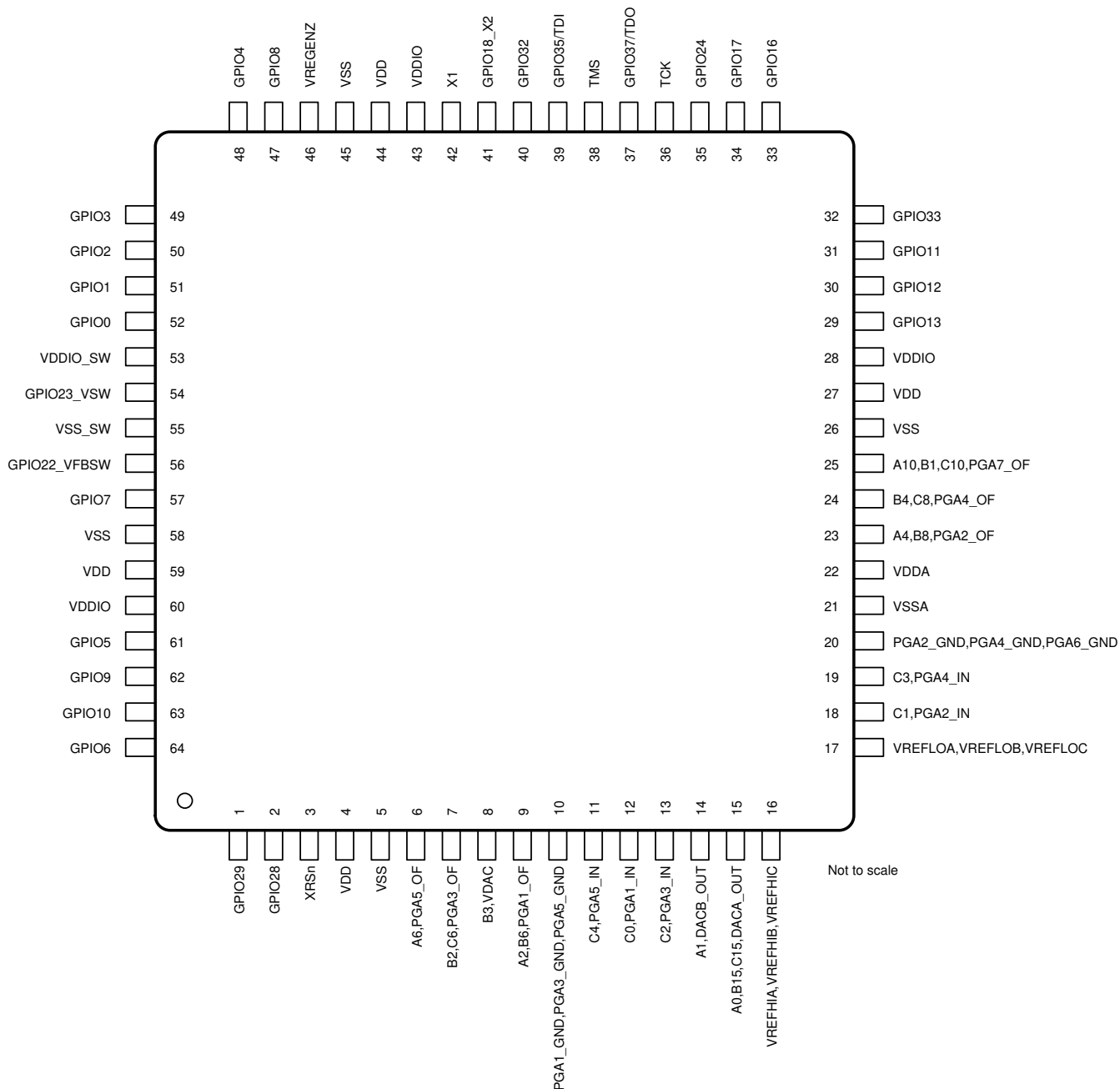
6.1 ピン配置図

図 6-1 に、100 ピン PZ 薄型クワッド・フラットパックのピン配置を示します。図 6-2 に、64 ピン PM 薄型クワッド・フラットパックのピン配置を示します。図 6-3 に、Q 温度デバイスの 64 ピン PM 薄型クワッド・フラットパックのピン配置を示します。図 6-4 に、56 ピン RSH 超薄型クワッド・フラットパック・リードなしのピン配置を示します。



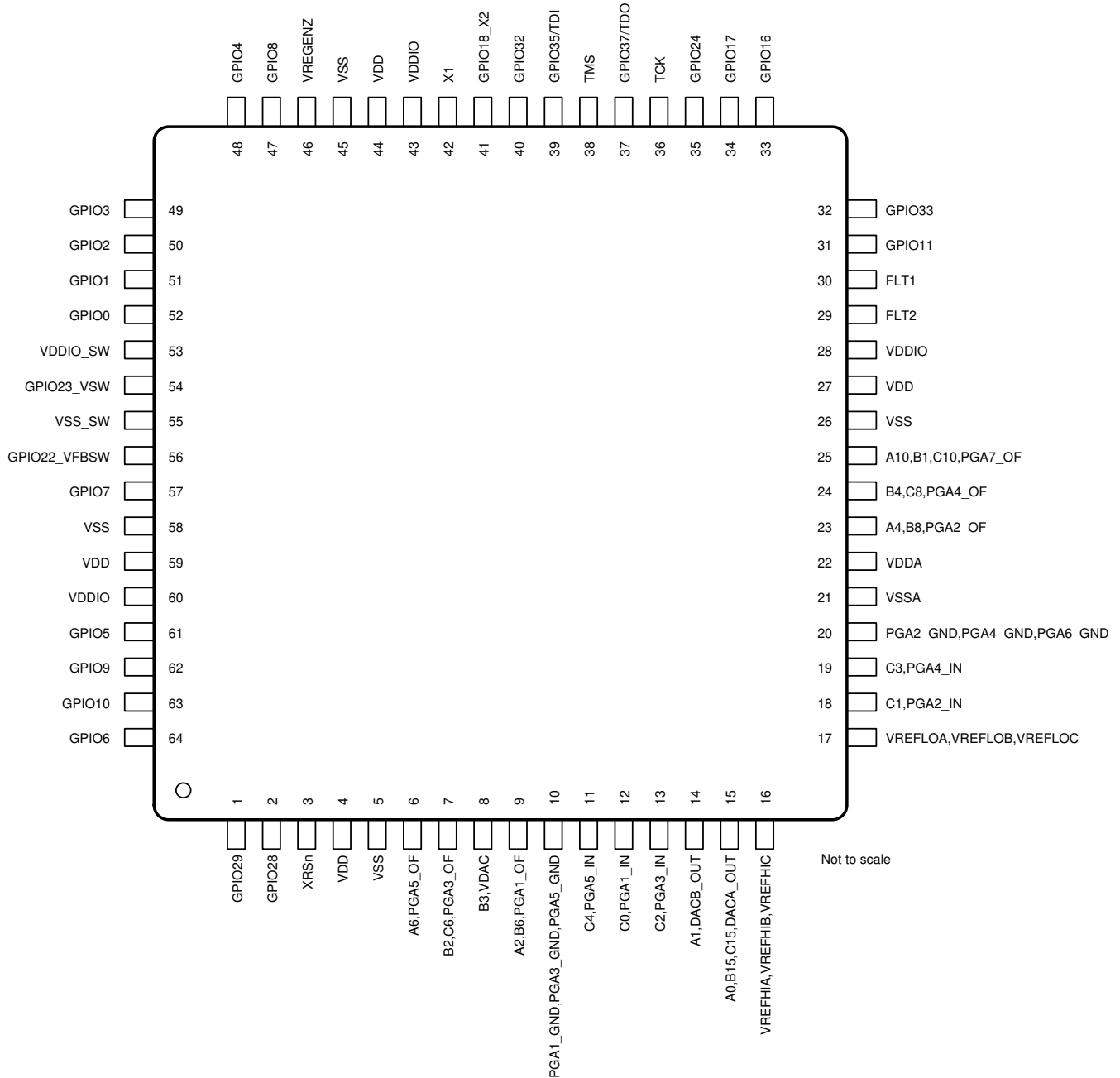
A. GPIO 端子には GPIO 機能のみを表示しています。多重化された信号名全体については、[セクション 6.3](#) を参照してください。

図 6-1. 100 ピン PZ 薄型クワッド・フラットパック (上面図)



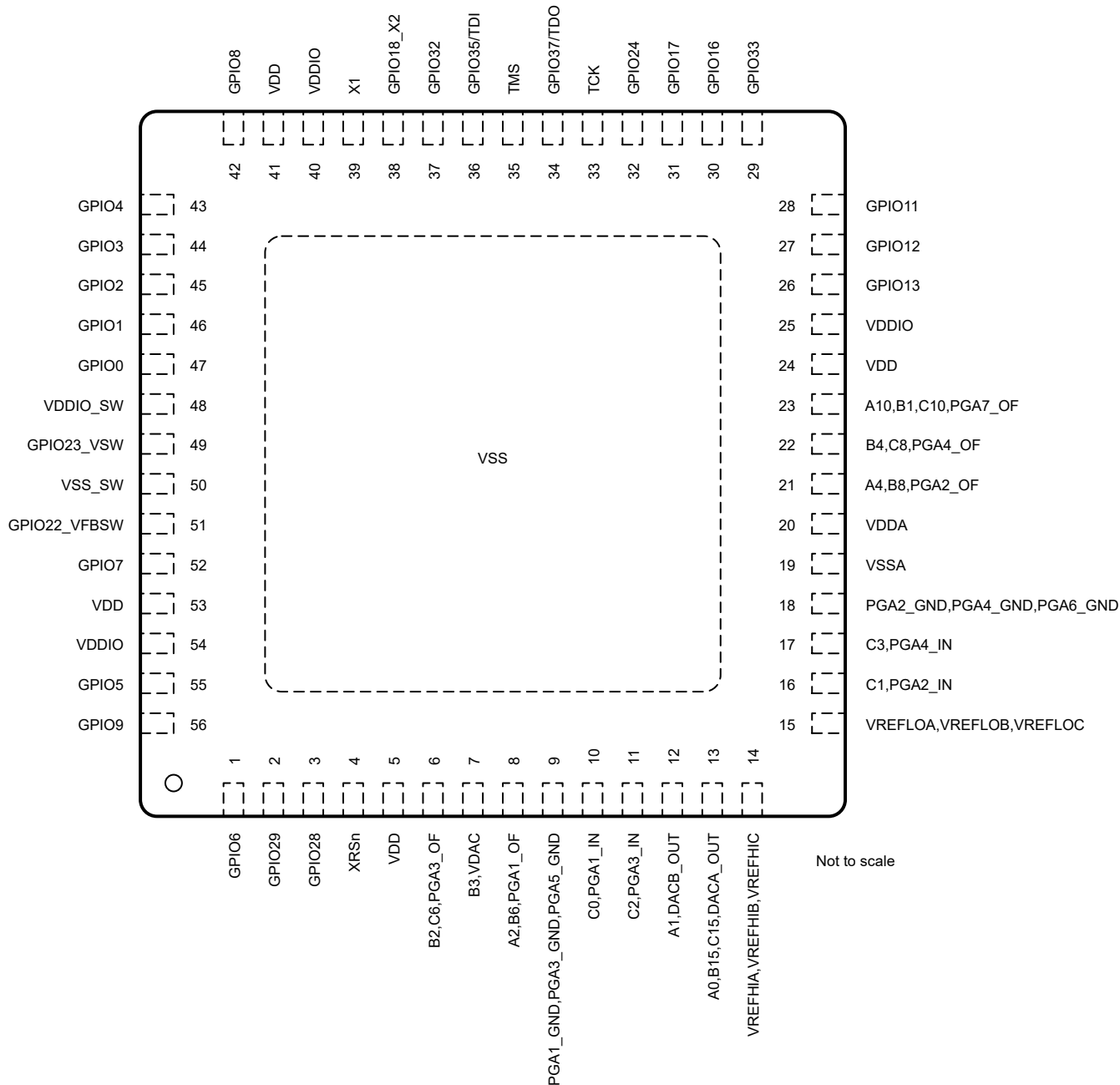
A. GPIO 端子には GPIO 機能のみを表示しています。多重化された信号名全体については、[セクション 6.3](#) を参照してください。

図 6-2. F280049/C/M、F280045、F280041/C 64 ピン PM 薄型クワッド・フラットパック (上面図)



A. GPIO 端子には GPIO 機能のみを表示しています。多重化された信号名全体については、[セクション 6.3](#) を参照してください。

図 6-3. F280048/C、F280040/C 64 ピン PM 薄型クワッド・フラットパック - Q 温度 (上面図)



- A. GPIO 端子には GPIO 機能のみを表示しています。多重化された信号名全体については、[セクション 6.3](#) を参照してください。
- B. この図は、56 ピン RSH パッケージの上面図を示しています。端子は、実際にはパッケージの底面にあります。56 ピン RSH の機械的構造図については、[セクション 11](#) を参照してください。

図 6-4. 56 ピン RSH 超薄型クワッド・フラットパック、リードなし (上面図)

6.2 ピン属性

表 6-1. ピン属性

信号名	多重化位置	100 PZ	64 PMQ	64 PM	56 RSH	ピンの種類	説明
アナログ							
A0						I	ADC-A 入力 0
B15						I	ADC-B 入力 15
C15		23	15	15	13	I	ADC-C 入力 15
DACA_OUT						O	バッファ付き DAC-A 出力
AIO231						I	ADC ピンのデジタル入力 -231
A1						I	ADC-A 入力 1
DACB_OUT		22	14	14	12	O	バッファ付き DAC-B 出力
AIO232						I	ADC ピンのデジタル入力 -232
A10						I	ADC-A 入力 10
B1						I	ADC-B 入力 1
C10						I	ADC-C 入力 10
PGA7_OF		40	25	25	23	O	PGA-7 出力フィルタ (オプション)
CMP7_HP0						I	CMPSS-7 ハイ・コンパレータ正入力 0
CMP7_LP0						I	CMPSS-7 ロー・コンパレータ正入力 0
AIO230						I	ADC ピンのデジタル入力 -230
A2						I	ADC-A 入力 2
B6						I	ADC-B 入力 6
PGA1_OF		9	9	9	8	O	PGA-1 出力フィルタ (オプション)
CMP1_HP0						I	CMPSS-1 ハイ・コンパレータ正入力 0
CMP1_LP0						I	CMPSS-1 ロー・コンパレータ正入力 0
AIO224						I	ADC ピンのデジタル入力 -224
A3						I	ADC-A 入力 3
CMP1_HP3						I	CMPSS-1 ハイ・コンパレータ正入力 3
CMP1_HN0						I	CMPSS-1 ハイ・コンパレータ負入力 0
CMP1_LP3		10				I	CMPSS-1 ロー・コンパレータ正入力 3
CMP1_LN0						I	CMPSS-1 ロー・コンパレータ負入力 0
AIO233						I	ADC ピンのデジタル入力 -233
A4						I	ADC-A 入力 4
B8						I	ADC-B 入力 8
PGA2_OF		36	23	23	21	O	PGA-2 出力フィルタ (オプション)
CMP2_HP0						I	CMPSS-2 ハイ・コンパレータ正入力 0
CMP2_LP0						I	CMPSS-2 ロー・コンパレータ正入力 0
AIO225						I	ADC ピンのデジタル入力 -225
A5						I	ADC-A 入力 5
CMP2_HP3						I	CMPSS-2 ハイ・コンパレータ正入力 3
CMP2_HN0						I	CMPSS-2 ハイ・コンパレータ負入力 0
CMP2_LP3		35				I	CMPSS-2 ロー・コンパレータ正入力 3
CMP2_LN0						I	CMPSS-2 ロー・コンパレータ負入力 0
AIO234						I	ADC ピンのデジタル入力 -234

表 6-1. ピン属性 (continued)

信号名	多重化位置	100 PZ	64 PMQ	64 PM	56 RSH	ピンの種類	説明
A6							ADC-A 入力 6
PGA5_OF						O	PGA-5 出力フィルタ (オプション)
CMPE_HP0		6	6	6			CMPSS-5 ハイ・コンパレータ正入力 0
CMPE_LP0							CMPSS-5 ロー・コンパレータ正入力 0
AIO228							ADC ピンのデジタル入力 -228
A8							ADC-A 入力 8
PGA6_OF						O	PGA-6 出力フィルタ (オプション)
CMP6_HP0		37					CMPSS-6 ハイ・コンパレータ正入力 0
CMP6_LP0							CMPSS-6 ロー・コンパレータ正入力 0
AIO229							ADC ピンのデジタル入力 -229
A9							ADC-A 入力 9
CMP6_HP3							CMPSS-6 ハイ・コンパレータ正入力 3
CMP6_HN0							CMPSS-6 ハイ・コンパレータ負入力 0
CMP6_LP3		38					CMPSS-6 ロー・コンパレータ正入力 3
CMP6_LN0							CMPSS-6 ロー・コンパレータ負入力 0
AIO236							ADC ピンのデジタル入力 -236
B0							ADC-B 入力 0
CMP7_HP3							CMPSS-7 ハイ・コンパレータ正入力 3
CMP7_HN0							CMPSS-7 ハイ・コンパレータ負入力 0
CMP7_LP3		41					CMPSS-7 ロー・コンパレータ正入力 3
CMP7_LN0							CMPSS-7 ロー・コンパレータ負入力 0
AIO241							ADC ピンのデジタル入力 -241
B2							ADC-B 入力 2
C6							ADC-C 入力 6
PGA3_OF						O	PGA-3 出力フィルタ (オプション)
CMP3_HP0		7	7	7	6		CMPSS-3 ハイ・コンパレータ正入力 0
CMP3_LP0							CMPSS-3 ロー・コンパレータ正入力 0
AIO226							ADC ピンのデジタル入力 -226
B3							ADC-B 入力 3
VDAC							オンチップ DAC の外部リファレンス電圧 (オプション)。このピンは、ADC 入力または DAC リファレンスのいずれかに使われますが、VSSA に対して 100pF のコンデンサが付いており、ディセーブルすることはできません。このピンをオンチップ DAC のリファレンス電圧として使用する場合は、このピンに少なくとも 1μF のコンデンサを配置します。
CMP3_HP3		8	8	8	7		CMPSS-3 ハイ・コンパレータ正入力 3
CMP3_HN0							CMPSS-3 ハイ・コンパレータ負入力 0
CMP3_LP3							CMPSS-3 ロー・コンパレータ正入力 3
CMP3_LN0							CMPSS-3 ロー・コンパレータ負入力 0
AIO242							ADC ピンのデジタル入力 -242

表 6-1. ピン属性 (continued)

信号名	多重化位置	100 PZ	64 PMQ	64 PM	56 RSH	ピンの種類	説明
B4						I	ADC-B 入力 4
C8						I	ADC-C 入力 8
PGA4_OF		39	24	24	22	O	PGA-4 出力フィルタ (オプション)
CMP4_HP0						I	CMPSS-4 ハイ・コンパレータ正入力 0
CMP4_LP0						I	CMPSS-4 ロー・コンパレータ正入力 0
AIO227						I	ADC ピンのデジタル入力 -227
C0						I	ADC-C 入力 0
CMP1_HP1						I	CMPSS-1 ハイ・コンパレータ正入力 1
CMP1_HN1		19	12	12	10	I	CMPSS-1 ハイ・コンパレータ負入力 1
CMP1_LP1						I	CMPSS-1 ロー・コンパレータ正入力 1
CMP1_LN1						I	CMPSS-1 ロー・コンパレータ負入力 1
AIO237						I	ADC ピンのデジタル入力 -237
C1						I	ADC-C 入力 1
CMP2_HP1						I	CMPSS-2 ハイ・コンパレータ正入力 1
CMP2_HN1		29	18	18	16	I	CMPSS-2 ハイ・コンパレータ負入力 1
CMP2_LP1						I	CMPSS-2 ロー・コンパレータ正入力 1
CMP2_LN1						I	CMPSS-2 ロー・コンパレータ負入力 1
AIO238						I	ADC ピンのデジタル入力 -238
C14						I	ADC-C 入力 14
CMP7_HP1						I	CMPSS-7 ハイ・コンパレータ正入力 1
CMP7_HN1		44				I	CMPSS-7 ハイ・コンパレータ負入力 1
CMP7_LP1						I	CMPSS-7 ロー・コンパレータ正入力 1
CMP7_LN1						I	CMPSS-7 ロー・コンパレータ負入力 1
AIO246						I	ADC ピンのデジタル入力 -246
C2						I	ADC-C 入力 2
CMP3_HP1						I	CMPSS-3 ハイ・コンパレータ正入力 1
CMP3_HN1		21	13	13	11	I	CMPSS-3 ハイ・コンパレータ負入力 1
CMP3_LP1						I	CMPSS-3 ロー・コンパレータ正入力 1
CMP3_LN1						I	CMPSS-3 ロー・コンパレータ負入力 1
AIO244						I	ADC ピンのデジタル入力 -244
C3						I	ADC-C 入力 3
CMP4_HP1						I	CMPSS-4 ハイ・コンパレータ正入力 1
CMP4_HN1		31	19	19	17	I	CMPSS-4 ハイ・コンパレータ負入力 1
CMP4_LP1						I	CMPSS-4 ロー・コンパレータ正入力 1
CMP4_LN1						I	CMPSS-4 ロー・コンパレータ負入力 1
AIO245						I	ADC ピンのデジタル入力 -245
C4						I	ADC-C 入力 4
CMPE_HP1						I	CMPSS-5 ハイ・コンパレータ正入力 1
CMPA_HN1		17	11	11		I	CMPSS-5 ハイ・コンパレータ負入力 1
CMP5_LP1						I	CMPSS-5 ロー・コンパレータ正入力 1
CMPA_LN1						I	CMPSS-5 ロー・コンパレータ負入力 1
AIO239						I	ADC ピンのデジタル入力 -239

表 6-1. ピン属性 (continued)

信号名	多重化位置	100 PZ	64 PMQ	64 PM	56 RSH	ピンの種類	説明
C5						I	ADC-C 入力 5
CMP6_HP1		28				I	CMPSS-6 ハイ・コンパレータ正入力 1
CMP6_HN1			I	CMPSS-6 ハイ・コンパレータ負入力 1			
CMP6_LP1			I	CMPSS-6 ロー・コンパレータ正入力 1			
CMP6_LN1			I	CMPSS-6 ロー・コンパレータ負入力 1			
AIO240			I	ADC ピンのデジタル入力 -240			
PGA1_GND		14	10	10	9	I	PGA-1 グランド
PGA1_IN						I	PGA-1 入力
CMP1_HP2		18	12	12	10	I	CMPSS-1 ハイ・コンパレータ正入力 2
CMP1_LP2	I					CMPSS-1 ロー・コンパレータ正入力 2	
PGA2_GND		32	20	20	18	I	PGA-2 グランド
PGA2_IN						I	PGA-2 入力
CMP2_HP2		30	18	18	16	I	CMPSS-2 ハイ・コンパレータ正入力 2
CMP2_LP2	I					CMPSS-2 ロー・コンパレータ正入力 2	
PGA3_GND		15	10	10	9	I	PGA-3 グランド
PGA3_IN						I	PGA-3 入力
CMP3_HP2		20	13	13	11	I	CMPSS-3 ハイ・コンパレータ正入力 2
CMP3_LP2	I					CMPSS-3 ロー・コンパレータ正入力 2	
PGA4_GND		32	20	20	18	I	PGA-4 グランド
PGA4_IN						I	PGA-4 入力
CMP4_HP2		31	19	19	17	I	CMPSS-4 ハイ・コンパレータ正入力 2
CMP4_LP2	I					CMPSS-4 ロー・コンパレータ正入力 2	
PGA5_GND		13	10	10	9	I	PGA-5 グランド
PGA5_IN						I	PGA-5 入力
CMP5_HP2		16	11	11		I	CMPSS-5 ハイ・コンパレータ正入力 2
CMP5_LP2	I					CMPSS-5 ロー・コンパレータ正入力 2	
PGA6_GND		32	20	20	18	I	PGA-6 グランド
PGA6_IN						I	PGA-6 入力
CMP6_HP2		28				I	CMPSS-6 ハイ・コンパレータ正入力 2
CMP6_LP2	I					CMPSS-6 ロー・コンパレータ正入力 2	
PGA7_GND		42				I	PGA-7 グランド
PGA7_IN						I	PGA-7 入力
CMP7_HP2		43				I	CMPSS-7 ハイ・コンパレータ正入力 2
CMP7_LP2	I					CMPSS-7 ロー・コンパレータ正入力 2	
VREFHIA		25	16	16	14	I/O	ADC-A の高いリファレンス電圧。外部リファレンス・モードでは、高い側のリファレンス電圧を外部からこのピンに印加します。内部リファレンス・モードでは、デバイスによってこのピンに電圧が駆動されます。いずれのモードでも、2.2μF 以上のコンデンサをこのピンに配置します。このコンデンサは、VREFHIA ピンと VREFLOA ピンの間で、できるだけデバイスに近い場所に配置する必要があります。このピンは、内部リファレンス・モードまたは外部リファレンス・モードのいずれの場合でも、外部に負荷を接続しないでください。

表 6-1. ピン属性 (continued)

信号名	多重化位置	100 PZ	64 PMQ	64 PM	56 RSH	ピンの種類	説明
VREFHIB		24	16	16	14	I/O	ADC-B の高い基準電圧。外部リファレンス・モードでは、高い側のリファレンス電圧を外部からこのピンに印加します。内部リファレンス・モードでは、デバイスによってこのピンに電圧が駆動されます。いずれのモードでも、2.2 μ F 以上のコンデンサをこのピンに配置します。このコンデンサは、VREFHIB ピンと VREFLOB ピンの間で、できるだけデバイスに近い場所に配置する必要があります。このピンは、内部リファレンス・モードまたは外部リファレンス・モードのいずれの場合でも、外部に負荷を接続しないでください。
VREFHIC		24	16	16	14	I/O	ADC-C の高い基準電圧。外部リファレンス・モードでは、高い側のリファレンス電圧を外部からこのピンに印加します。内部リファレンス・モードでは、デバイスによってこのピンに電圧が駆動されます。いずれのモードでも、2.2 μ F 以上のコンデンサをこのピンに配置します。このコンデンサは、VREFHIC ピンと VREFLOC ピンの間で、できるだけデバイスに近い場所に配置する必要があります。このピンは、内部リファレンス・モードまたは外部リファレンス・モードのいずれの場合でも、外部に負荷を接続しないでください。
VREFLOA		27	17	17	15	I	ADC-A の低い基準電圧。
VREFLOB		26	17	17	15	I	ADC-B の低い基準電圧
VREFLOC		26	17	17	15	I	ADC-C の低い基準電圧

表 6-1. ピン属性 (continued)

信号名	多重化位置	100 PZ	64 PMQ	64 PM	56 RSH	ピンの種類	説明
GPIO							
GPIO0	0, 4, 8, 12					I/O	汎用入出力 0
EPWM1_A	1	79	52	52	47	O	ePWM-1 出力 A
I2CA_SDA	6					I/OD	I2C-A オープン・ドレイン双方向データ
GPIO1	0, 4, 8, 12					I/O	汎用入出力 1
EPWM1_B	1	78	51	51	46	O	ePWM-1 出力 B
I2CA_SCL	6					I/OD	I2C-A オープン・ドレイン双方向クロック
GPIO2	0, 4, 8, 12					I/O	汎用入出力 2
EPWM2_A	1					O	ePWM-2 出力 A
OUTPUTXBAR1	5	77	50	50	45	O	出力クロスバー出力 1
PMBUSA_SDA	6					I/OD	PMBus-A オープン・ドレイン双方向データ
SCIA_TX	9					O	SCI-A 送信データ
FSIRXA_D1	10					I	FSIRX-A オプションの追加データ入力
GPIO3	0, 4, 8, 12					I/O	汎用入出力 3
EPWM2_B	1					O	ePWM-2 出力 B
OUTPUTXBAR2	2, 5					O	出力クロスバー出力 2
PMBUSA_SCL	6	76	49	49	44	I/OD	PMBus-A オープン・ドレイン双方向クロック
SPIA_CLK	7					I/O	SPI-A クロック
SCIA_RX	9					I	SCI-A 受信データ
FSIRXA_D0	10					I	FSIRX-A 1 次データ入力
GPIO4	0, 4, 8, 12					I/O	汎用入出力 4
EPWM3_A	1					O	ePWM-3 出力 A
OUTPUTXBAR3	5	75	48	48	43	O	出力クロスバー出力 3
CANA_TX	6					O	CAN-A 送信
FSIRXA_CLK	10					I	FSIRX-A 入力クロック
GPIO5	0, 4, 8, 12					I/O	汎用入出力 5
EPWM3_B	1					O	ePWM-3 出力 B
OUTPUTXBAR3	3	89	61	61	55	O	出力クロスバー出力 3
CANA_RX	6					I	CAN-A 受信
SPIA_STE	7					I/O	SPI-A スレーブ送信イネーブル (STE)
FSITXA_D1	9					O	FSITX-A オプションの追加データ出力
GPIO6	0, 4, 8, 12					I/O	汎用入出力 6
EPWM4_A	1					O	ePWM-4 出力 A
OUTPUTXBAR4	2					O	出力クロスバー出力 4
SYNCOUT	3	97	64	64	1	O	外部 ePWM 同期パルス
EQEP1_A	5					I	eQEP-1 入力 A
CANB_TX	6					O	CAN-B 送信
SPIB_SOMI	7					I/O	SPI-B スレーブ出力、マスタ入力 (SOMI)
FSITXA_D0	9					O	FSITX-A 1 次データ出力

表 6-1. ピン属性 (continued)

信号名	多重化位置	100 PZ	64 PMQ	64 PM	56 RSH	ピンの種類	説明
GPIO7	0、4、8、12					I/O	汎用入出力 7
EPWM4_B	1					O	ePWM-4 出力 B
OUTPUTXBAR5	3					O	出力クロスバー出力 5
EQEP1_B	5	84	57	57	52	I	eQEP-1 入力 B
CANB_RX	6					I	CAN-B 受信
SPIB_SIMO	7					I/O	SPI-B スレーブ入力、マスタ出力 (SIMO)
FSITXA_CLK	9					O	FSITX-A 出力クロック
GPIO8	0、4、8、12					I/O	汎用入出力 8
EPWM5_A	1					O	ePWM-5 出力 A
CANB_TX	2					O	CAN-B 送信
ADCSOCAO	3					O	外部 ADC への ADC 変換開始 A 出力 (ePWM モジュールから)
EQEP1_STROBE	5	74	47	47	42	I/O	eQEP-1 ストロブ
SCIA_TX	6					O	SCI-A 送信データ
SPIA_SIMO	7					I/O	SPI-A スレーブ入力、マスタ出力 (SIMO)
I2CA_SCL	9					I/OD	I2C-A オープン・ドレイン双方向クロック
FSITXA_D1	10					O	FSITX-A オプションの追加データ出力
GPIO9	0、4、8、12					I/O	汎用入出力 9
EPWM5_B	1					O	ePWM-5 出力 B
SCIB_TX	2					O	SCI-B 送信データ
OUTPUTXBAR6	3					O	出力クロスバー出力 6
EQEP1_INDEX	5	90	62	62	56	I/O	eQEP-1 インデックス
SCIA_RX	6					I	SCI-A 受信データ
SPIA_CLK	7					I/O	SPI-A クロック
FSITXA_D0	10					O	FSITX-A 1 次データ出力
GPIO10	0、4、8、12					I/O	汎用入出力 10
EPWM6_A	1					O	ePWM-6 出力 A
CANB_RX	2					I	CAN-B 受信
ADCSOCBO	3					O	外部 ADC への ADC 変換開始 B 出力 (ePWM モジュールから)
EQEP1_A	5	93	63	63		I	eQEP-1 入力 A
SCIB_TX	6					O	SCI-B 送信データ
SPIA_SOMI	7					I/O	SPI-A スレーブ出力、マスタ入力 (SOMI)
I2CA_SDA	9					I/OD	I2C-A オープン・ドレイン双方向データ
FSITXA_CLK	10					O	FSITX-A 出力クロック
GPIO11	0、4、8、12					I/O	汎用入出力 11
EPWM6_B	1					O	ePWM-6 出力 B
SCIB_RX	2、6					I	SCI-B 受信データ
OUTPUTXBAR7	3	52	31	31	28	O	出力クロスバー出力 7
EQEP1_B	5					I	eQEP-1 入力 B
SPIA_STE	7					I/O	SPI-A スレーブ送信イネーブル (STE)
FSIRXA_D1	9					I	FSIRX-A オプションの追加データ入力

表 6-1. ピン属性 (continued)

信号名	多重化位置	100 PZ	64 PMQ	64 PM	56 RSH	ピンの種類	説明
GPIO12	0、4、8、12					I/O	汎用入出力 12
EPWM7_A	1					O	ePWM-7 出力 A
CANB_TX	2					O	CAN-B 送信
EQEP1_STROBE	5	51		30	27	I/O	eQEP-1 ストローブ
SCIB_TX	6					O	SCI-B 送信データ
PMBUSA_CTL	7					I	PMBus-A 制御信号
FSIRXA_D0	9					I	FSIRX-A 1 次データ入力
GPIO13	0、4、8、12					I/O	汎用入出力 13
EPWM7_B	1					O	ePWM-7 出力 B
CANB_RX	2					I	CAN-B 受信
EQEP1_INDEX	5	50		29	26	I/O	eQEP-1 インデックス
SCIB_RX	6					I	SCI-B 受信データ
PMBUSA_ALERT	7					I/OD	PMBus-A オープン・ドレイン双方向アラート信号
FSIRXA_CLK	9					I	FSIRX-A 入力クロック
GPIO14	0、4、8、12					I/O	汎用入出力 14
EPWM8_A	1					O	ePWM-8 出力 A
SCIB_TX	2					O	SCI-B 送信データ
OUTPUTXBAR3	6	96				O	出力クロスバー出力 3
PMBUSA_SDA	7					I/OD	PMBus-A オープン・ドレイン双方向データ
SPIB_CLK	9					I/O	SPI-B クロック
EQEP2_A	10					I	eQEP-2 入力 A
GPIO15	0、4、8、12					I/O	汎用入出力 15
EPWM8_B	1					O	ePWM-8 出力 B
SCIB_RX	2					I	SCI-B 受信データ
OUTPUTXBAR4	6	95				O	出力クロスバー出力 4
PMBUSA_SCL	7					I/OD	PMBus-A オープン・ドレイン双方向クロック
SPIB_STE	9					I/O	SPI-B スレーブ送信イネーブル (STE)
EQEP2_B	10					I	eQEP-2 入力 B
GPIO16	0、4、8、12					I/O	汎用入出力 16
SPIA_SIMO	1					I/O	SPI-A スレーブ入力、マスタ出力 (SIMO)
CANB_TX	2					O	CAN-B 送信
OUTPUTXBAR7	3					O	出力クロスバー出力 7
EPWM5_A	5					O	ePWM-5 出力 A
SCIA_TX	6	54	33	33	30	O	SCI-A 送信データ
SD1_D1	7					I	SDFM-1 チャネル 1 データ入力
EQEP1_STROBE	9					I/O	eQEP-1 ストローブ
PMBUSA_SCL	10					I/OD	PMBus-A オープン・ドレイン双方向クロック
XCLKOUT	11					O	外部クロック出力。このピンは、デバイス内のクロック信号の中から選択されたものを分周した信号を出力します。

表 6-1. ピン属性 (continued)

信号名	多重化位置	100 PZ	64 PMQ	64 PM	56 RSH	ピンの種類	説明
GPIO17	0、4、8、12					I/O	汎用入出力 17
SPIA_SOMI	1					I/O	SPI-A スレーブ出力、マスタ入力 (SOMI)
CANB_RX	2					I	CAN-B 受信
OUTPUTXBAR8	3					O	出力クロスバー出力 8
EPWM5_B	5	55	34	34	31	O	ePWM-5 出力 B
SCIA_RX	6					I	SCI-A 受信データ
SD1_C1	7					I	SDFM-1 チャネル 1 クロック入力
EQEP1_INDEX	9					I/O	eQEP-1 インデックス
PMBUSA_SDA	10					I/OD	PMBus-A オープン・ドレイン双方向データ
GPIO18_X2	0、4、8、12					I/O	汎用入出力 18 このピンとそのデジタル多重化オプションは、システムが INTOSC によってクロック供給され、X1 に外部プルダウン抵抗 (推奨 1kΩ) がある場合にのみ使用できます。
SPIA_CLK	1					I/O	SPI-A クロック
SCIB_TX	2					O	SCI-B 送信データ
CANA_RX	3					I	CAN-A 受信
EPWM6_A	5	68	41	41	38	O	ePWM-6 出力 A
I2CA_SCL	6					I/OD	I2C-A オープン・ドレイン双方向クロック
SD1_D2	7					I	SDFM-1 チャネル 2 データ入力
EQEP2_A	9					I	eQEP-2 入力 A
PMBUSA_CTL	10					I	PMBus-A 制御信号
XCLKOUT	11					O	外部クロック出力。このピンは、デバイス内のクロック信号の中から選択されたものを分周した信号を出力します。
X2	ALT					I/O	水晶発振器出力
GPIO20	0					I/O	汎用入出力 20
GPIO21	0					I/O	汎用入出力 21
GPIO22_VFBSW	0、4、8、12					I/O	汎用入出力 22 このピンは、デフォルトで DC-DC モードに設定されています。内部 DC-DC レギュレータを使用しない場合は、DC-DC をディセーブルして(DCDCCTL.DCDCEN = 0)、GPAAMSEL レジスタのビットをクリアすることで、汎用入出力 22 として構成できます。
EQEP1_STROBE	1					I/O	eQEP-1 ストロブ
SCIB_TX	3					O	SCI-B 送信データ
SPIB_CLK	6	83	56	56	51	I/O	SPI-B クロック
SD1_D4	7					I	SDFM-1 チャネル 4 データ入力
LINA_TX	9					O	LIN-A 送信
VFBSW ⁽¹⁾	ALT					-	内部 DC-DC レギュレータのフィードバック信号。内部 DC-DC レギュレータを使用する場合は (DCDCCTL.DCDCEN = 1)、L (VSW) が VDD レールに接続されているノード (デバイスにできるだけ近いところ) にこのピンを接続します。

表 6-1. ピン属性 (continued)

信号名	多重化位置	100 PZ	64 PMQ	64 PM	56 RSH	ピンの種類	説明
GPIO23_VSW	0	81	54	54	49	I/O	汎用入出力 23 このピンは、デフォルトで DC-DC モードに設定されています。内部 DC-DC レギュレータを使用しない場合は、DC-DC をディセーブルして(DCDCCTL.DCDCEN = 0)、GPAAMSEL レジスタのビットをクリアすることで、汎用入出力 23 として構成できます。このピンの内部容量は、約 100pF です。TI では、他の GPIO を使用すること、または、高速なスイッチング応答を必要としないアプリケーションにのみこのピンを使用することを推奨しています。
VSW ⁽¹⁾	ALT					-	内部 DC-DC レギュレータのスイッチング出力 (DCDCCTL.DCDCEN = 1 の場合)
GPIO24	0、4、8、12	56	35	35	32	I/O	汎用入出力 24
OUTPUTXBAR1	1					O	出力クロスバー出力 1
EQEP2_A	2					I	eQEP-2 入力 A
EPWM8_A	5					O	ePWM-8 出力 A
SPIB_SIMO	6					I/O	SPI-B スレーブ入力、マスタ出力 (SIMO)
SD1_D1	7					I	SDFM-1 チャンネル 1 データ入力
PMBUSA_SCL	10					I/OD	PMBus-A オープン・ドレイン双方向クロック
SCIA_TX	11					O	SCI-A 送信データ
ERRORSTS	13	O	アクティブ・ローのエラー・ステータス出力。電源投入時または ERRORSTS 信号自体の障害発生時にエラー状態をアサートする場合は、外付けのプルダウン抵抗を使用できます。上記の条件でエラー状態をアサートしたくない場合は、プルアップ抵抗を使用できます。				
GPIO25	0、4、8、12	57				I/O	汎用入出力 25
OUTPUTXBAR2	1					O	出力クロスバー出力 2
EQEP2_B	2					I	eQEP-2 入力 B
SPIB_SOMI	6					I/O	SPI-B スレーブ出力、マスタ入力 (SOMI)
SD1_C1	7					I	SDFM-1 チャンネル 1 クロック入力
FSITXA_D1	9					O	FSITX-A オプションの追加データ出力
PMBUSA_SDA	10					I/OD	PMBus-A オープン・ドレイン双方向データ
SCIA_RX	11					I	SCI-A 受信データ
GPIO26	0、4、8、12	58				I/O	汎用入出力 26
OUTPUTXBAR3	1、5					O	出力クロスバー出力 3
EQEP2_INDEX	2					I/O	eQEP-2 インデックス
SPIB_CLK	6					I/O	SPI-B クロック
SD1_D2	7					I	SDFM-1 チャンネル 2 データ入力
FSITXA_D0	9					O	FSITX-A 1 次データ出力
PMBUSA_CTL	10					I	PMBus-A 制御信号
I2CA_SDA	11					I/OD	I2C-A オープン・ドレイン双方向データ
GPIO27	0、4、8、12	59				I/O	汎用入出力 27
OUTPUTXBAR4	1、5					O	出力クロスバー出力 4
EQEP2_STROBE	2					I/O	eQEP-2 ストロブ
SPIB_STE	6					I/O	SPI-B スレーブ送信イネーブル (STE)
SD1_C2	7					I	SDFM-1 チャンネル 2 クロック入力
FSITXA_CLK	9					O	FSITX-A 出力クロック
PMBUSA_ALERT	10					I/OD	PMBus-A オープン・ドレイン双方向アラート信号
I2CA_SCL	11					I/OD	I2C-A オープン・ドレイン双方向クロック

表 6-1. ピン属性 (continued)

信号名	多重化位置	100 PZ	64 PMQ	64 PM	56 RSH	ピンの種類	説明
GPIO28	0、4、8、12					I/O	汎用入出力 28
SCIA_RX	1					I	SCI-A 受信データ
EPWM7_A	3					O	ePWM-7 出力 A
OUTPUTXBAR5	5					O	出力クロスバー出力 5
EQEP1_A	6					I	eQEP-1 入力 A
SD1_D3	7					I	SDFM-1 チャンネル 3 データ入力
EQEP2_STROBE	9	1	2	2	3	I/O	eQEP-2 ストロープ
LINA_TX	10					O	LIN-A 送信
SPIB_CLK	11					I/O	SPI-B クロック
ERRORSTS	13					O	アクティブ・ローのエラー・ステータス出力。電源投入時または ERRORSTS 信号自体の障害発生時にエラー状態をアサートする場合は、外付けのプルダウン抵抗を使用できます。上記の条件でエラー状態をアサートしたくない場合は、プルアップ抵抗を使用できます。
GPIO29	0、4、8、12					I/O	汎用入出力 29
SCIA_TX	1					O	SCI-A 送信データ
EPWM7_B	3					O	ePWM-7 出力 B
OUTPUTXBAR6	5					O	出力クロスバー出力 6
EQEP1_B	6					I	eQEP-1 入力 B
SD1_C3	7					I	SDFM-1 チャンネル 3 クロック入力
EQEP2_INDEX	9	100	1	1	2	I/O	eQEP-2 インデックス
LINA_RX	10					I	LIN-A 受信
SPIB_STE	11					I/O	SPI-B スレーブ送信イネーブル (STE)
ERRORSTS	13					O	アクティブ・ローのエラー・ステータス出力。電源投入時または ERRORSTS 信号自体の障害発生時にエラー状態をアサートする場合は、外付けのプルダウン抵抗を使用できます。上記の条件でエラー状態をアサートしたくない場合は、プルアップ抵抗を使用できます。
GPIO30	0、4、8、12					I/O	汎用入出力 30
CANA_RX	1					I	CAN-A 受信
SPIB_SIMO	3	98				I/O	SPI-B スレーブ入力、マスタ出力 (SIMO)
OUTPUTXBAR7	5					O	出力クロスバー出力 7
EQEP1_STROBE	6					I/O	eQEP-1 ストロープ
SD1_D4	7					I	SDFM-1 チャンネル 4 データ入力
GPIO31	0、4、8、12					I/O	汎用入出力 31
CANA_TX	1					O	CAN-A 送信
SPIB_SOMI	3					I/O	SPI-B スレーブ出力、マスタ入力 (SOMI)
OUTPUTXBAR8	5	99				O	出力クロスバー出力 8
EQEP1_INDEX	6					I/O	eQEP-1 インデックス
SD1_C4	7					I	SDFM-1 チャンネル 4 クロック入力
FSIRXA_D1	9					I	FSIRX-A オプションの追加データ入力

表 6-1. ピン属性 (continued)

信号名	多重化位置	100 PZ	64 PMQ	64 PM	56 RSH	ピンの種類	説明
GPIO32	0、4、8、12					I/O	汎用入出力 32
I2CA_SDA	1					I/OD	I2C-A オープン・ドレイン双方向データ
SPIB_CLK	3					I/O	SPI-B クロック
EPWM8_B	5	64	40	40	37	O	ePWM-8 出力 B
LINA_TX	6					O	LIN-A 送信
SD1_D3	7					I	SDFM-1 チャンネル 3 データ入力
FSIRXA_D0	9					I	FSIRX - A 1 次データ入力
CANA_TX	10					O	CAN-A 送信
GPIO33	0、4、8、12					I/O	汎用入出力 33
I2CA_SCL	1					I/OD	I2C-A オープン・ドレイン双方向クロック
SPIB_STE	3					I/O	SPI-B スレーブ送信イネーブル (STE)
OUTPUTXBAR4	5	53	32	32	29	O	出力クロスバー出力 4
LINA_RX	6					I	LIN-A 受信
SD1_C3	7					I	SDFM-1 チャンネル 3 クロック入力
FSIRXA_CLK	9					I	FSIRX-A 入力クロック
CANA_RX	10					I	CAN-A 受信
GPIO34	0、4、8、12					I/O	汎用入出力 34
OUTPUTXBAR1	1	94				O	出力クロスバー出力 1
PMBUSA_SDA	6					I/OD	PMBus-A オープン・ドレイン双方向データ
GPIO35	0、4、8、12					I/O	汎用入出力 35
SCIA_RX	1					I	SCI-A 受信データ
I2CA_SDA	3					I/OD	I2C-A オープン・ドレイン双方向データ
CANA_RX	5					I	CAN-A 受信
PMBUSA_SCL	6					I/OD	PMBus-A オープン・ドレイン双方向クロック
LINA_RX	7					I	LIN-A 受信
EQEP1_A	9	63	39	39	36	I	eQEP-1 入力 A
PMBUSA_CTL	10					I	PMBus-A 制御信号
TDI	15					I	JTAG テスト・データ入力 (TDI) - TDI は、このピンのデフォルトの多重化選択です。内部プルアップは、デフォルトで無効になっています。このピンを JTAG TDI として使用する場合は、入力がフローティング入力にならないように、内部プルアップをイネーブルにするか、ボードに外部プルアップを追加する必要があります。

表 6-1. ピン属性 (continued)

信号名	多重化位置	100 PZ	64 PMQ	64 PM	56 RSH	ピンの種類	説明
GPIO37	0、4、8、12					I/O	汎用入出力 37
OUTPUTXBAR2	1					O	出力クロスバー出力 2
I2CA_SCL	3					I/OD	I2C-A オープン・ドレイン双方向クロック
SCIA_TX	5					O	SCI-A 送信データ
CANA_TX	6					O	CAN-A 送信
LINA_TX	7					O	LIN-A 送信
EQEP1_B	9	61	37	37	34	I	eQEP-1 入力 B
PMBUSA_ALERT	10					I/OD	PMBus-A オープン・ドレイン双方向アラート信号
TDO	15					O	JTAG テスト・データ 出力 (TDO) - TDO は、このピンのデフォルトの多重化選択です。内部プルアップは、デフォルトで無効になっています。JTAG アクティビティがない場合、TDO 機能はトライースタート状態になり、このピンはフローティング状態のままになります。GPIO 入力フローティングにならないように、内部プルアップをイネーブルにするか、または外部プルアップをボードに追加する必要があります。
GPIO39	0、4、8、12					I/O	汎用入出力 39
CANB_RX	6	91				I	CAN-B 受信
FSIRXA_CLK	7					I	FSIRX-A 入力クロック
GPIO40	0、4、8、12					I/O	汎用入出力 40
PMBUSA_SDA	6					I/OD	PMBus-A オープン・ドレイン双方向データ
FSIRXA_D0	7	85				I	FSIRX-A 1 次データ入力
SCIB_TX	9					O	SCI-B 送信データ
EQEP1_A	10					I	eQEP-1 入力 A
GPIO41	0					I/O	汎用入出力 41
GPIO42	0					I/O	汎用入出力 42
GPIO43	0					I/O	汎用入出力 43
GPIO44	0					I/O	汎用入出力 44
GPIO45	0					I/O	汎用入出力 45
GPIO46	0					I/O	汎用入出力 46
GPIO47	0					I/O	汎用入出力 47
GPIO48	0					I/O	汎用入出力 48
GPIO49	0					I/O	汎用入出力 49
GPIO50	0					I/O	汎用入出力 50
GPIO51	0					I/O	汎用入出力 51
GPIO52	0					I/O	汎用入出力 52
GPIO53	0					I/O	汎用入出力 53
GPIO54	0					I/O	汎用入出力 54
GPIO55	0					I/O	汎用入出力 55
GPIO56	0、4、8、12					I/O	汎用入出力 56
SPIA_CLK	1					I/O	SPI-A クロック
EQEP2_STROBE	5					I/O	eQEP-2 ストロブ
SCIB_TX	6	65				O	SCI-B 送信データ
SD1_D3	7					I	SDFM-1 チャネル 3 データ入力
SPIB_SIMO	9					I/O	SPI-B スレーブ入力、マスタ出力 (SIMO)
EQEP1_A	11					I	eQEP-1 入力 A

表 6-1. ピン属性 (continued)

信号名	多重化位置	100 PZ	64 PMQ	64 PM	56 RSH	ピンの種類	説明
GPIO57	0、4、8、12					I/O	汎用入出力 57
SPIA_STE	1					I/O	SPI-A スレーブ送信イネーブル (STE)
EQEP2_INDEX	5					I/O	eQEP-2 インデックス
SCIB_RX	6	66				I	SCI-B 受信データ
SD1_C3	7					I	SDFM-1 チャンネル 3 クロック入力
SPIB_SOMI	9					I/O	SPI-B スレーブ出力、マスタ入力 (SOMI)
EQEP1_B	11					I	eQEP-1 入力 B
GPIO58	0、4、8、12					I/O	汎用入出力 58
OUTPUTXBAR1	5					O	出力クロスバー出力 1
SPIB_CLK	6					I/O	SPI-B クロック
SD1_D4	7	67				I	SDFM-1 チャンネル 4 データ入力
LINA_TX	9					O	LIN-A 送信
CANB_TX	10					O	CAN-B 送信
EQEP1_STROBE	11					I/O	eQEP-1 ストロブ
GPIO59	0、4、8、12					I/O	汎用入出力 59
OUTPUTXBAR2	5					O	出力クロスバー出力 2
SPIB_STE	6					I/O	SPI-B スレーブ送信イネーブル (STE)
SD1_C4	7	92				I	SDFM-1 チャンネル 4 クロック入力
LINA_RX	9					I	LIN-A 受信
CANB_RX	10					I	CAN-B 受信
EQEP1_INDEX	11					I/O	eQEP-1 インデックス
テスト、JTAG、リセット							
FLT1		49	30			I/O	フラッシュ・テスト・ピン 1。TI 用に予約済み。未接続のままにする必要があります。
FLT2		48	29			I/O	フラッシュ・テスト・ピン 2。TI 用に予約済み。未接続のままにする必要があります。
TCK		60	36	36	33	I	内部プルアップ付き JTAG テスト・クロック。
TMS		62	38	38	35	I/O	内部プルアップ付き JTAG テスト・モード選択 (TMS)。このシリアル制御入力は、TCK の立ち上がりエッジで、TAP コントローラにシフトインされます。このデバイスには TRSTn ピンがありません。通常動作時に JTAG をリセット状態に維持するために、基板上で TMS ピンと VDDIO の間に外部プルアップ抵抗 (推奨 2.2kΩ) を配置する必要があります。
VREGENZ		73	46	46		I	内部プルダウン付きの内部電圧レギュレータ・イネーブル。VSS (LOW) に直接接続すると、内部 VREG がイネーブルになります。VDDIO (HIGH) に直接接続すると、外部電源を使用します。
X1		69	42	42	39	I/O	水晶発振器入力またはシングルエンド・クロック入力。水晶発振器をイネーブルにする前に、デバイス初期化ソフトウェアでこのピンを設定する必要があります。この発振器を使用するには、X1 と X2 の間に水晶振動子を接続する必要があります。このピンを使って、シングルエンドの 3.3V レベル・クロックを供給することもできます。GPIO19 はサポートされていません。内部で GPIO19 は X1 機能に接続されているので、X1 クロック機能への干渉を避けるために、GPIO19 はプルアップ無効の入力モードにしておく必要があります。

表 6-1. ピン属性 (continued)

信号名	多重化位置	100 PZ	64 PMQ	64 PM	56 RSH	ピンの種類	説明
XRSn		2	3	3	4	I/OD	デバイス・リセット (入力) およびウォッチドッグ・リセット (出力)。電源投入時、このピンはデバイスによって LOW に駆動されます。また、外部回路がこのピンを駆動して、デバイス・リセットをアサートすることもできます。ウォッチドッグ・リセットが発生した場合、MCU もこのピンを LOW に駆動します。ウォッチドッグ・リセット時には、512 OSCCLK サイクルのウォッチドッグ・リセット期間にわたって、XRSn ピンが LOW に駆動されます。XRSn と VDDIO の間に 2.2kΩ~10kΩ の抵抗を配置する必要があります。ノイズ・フィルタリングのため、XRSn と VSS の間にコンデンサを配置します。容量は 100nF 以下にする必要があります。これらの値は、ウォッチドッグ・リセットがアサートされたときに、ウォッチドッグが 512 OSCCLK サイクル以内に XRSn ピンを VOL に正しく駆動できるように決められています。このピンの出力バッファは、内部プルアップ付きのオープン・ドレインです。このピンが外部デバイスによって駆動される場合は、オープン・ドレイン・デバイスを使用して駆動する必要があります。このピンが外部デバイスによって駆動される場合は、オープン・ドレイン・デバイスを使用して駆動する必要があります。
電源およびグラウンド							
VDD		4, 46, 71, 87	4, 27, 44, 59	4, 27, 44, 59	5, 24, 41, 53		1.2V デジタル・ロジック電源ピン。各 VDD ピンの近くにデカップリング・コンデンサを配置することを推奨します。この合計容量は、少なくとも約 20μF になるようにします。内部電圧レギュレータを使用しない場合、デカップリング容量の正確な値は、システムの電圧レギュレーション・ソリューションによって決定する必要があります。
VDDA		11, 34	22	22	20		3.3V アナログ電源ピン。各ピンと VSSA の間に、最小 2.2μF のデカップリング・コンデンサを配置します。
VDDIO		3, 47, 70, 88	28, 43, 60	28, 43, 60	25, 40, 54		3.3V デジタル I/O 電源ピン。各ピンに、最小 0.1μF のデカップリング・コンデンサを配置します。
VDDIO_SW		80	53	53	48		内部 DC-DC レギュレータの 3.3V 電源ピン。内部 DC-DC レギュレータを使用する場合は、このピンに 20μF のバルク入力容量を配置する必要があります。このピンは常に VDDIO ピンに接続してください。必要に応じて絶縁用にフェライト・ビーズを使用することもできますが、VDDIO_SW と VDDIO は同じ電源から供給する必要があります。
VSS		5, 45, 72, 86	5, 26, 45, 58	5, 26, 45, 58	PAD		デジタル GND
VSSA		12, 33	21	21	19		アナログ GND
VSS_SW		82	55	55	50		内部 DC-DC レギュレータのグラウンド。このピンは常に VSS ピンに接続してください。

(1) DCDCEN = 1 のとき、AMSEL レジスタの各ビットはドントケア (冗長) ではありません。

6.3 信号の説明

6.3.1 アナログ信号

表 6-2. アナログ信号

信号名	説明	ピンの種類	GPIO	100 PZ	64 PMQ	64 PM	56 RSH
A0	ADC-A 入力 0	I		23	15	15	13
A1	ADC-A 入力 1	I		22	14	14	12
A2	ADC-A 入力 2	I		9	9	9	8
A3	ADC-A 入力 3	I		10			
A4	ADC-A 入力 4	I		36	23	23	21
A5	ADC-A 入力 5	I		35			
A6	ADC-A 入力 6	I		6	6	6	
A8	ADC-A 入力 8	I		37			
A9	ADC-A 入力 9	I		38			
A10	ADC-A 入力 10	I		40	25	25	23
AIO224	ADC ピンのデジタル入力-224	I		9	9	9	8
AIO225	ADC ピンのデジタル入力-225	I		36	23	23	21
AIO226	ADC ピンのデジタル入力-226	I		7	7	7	6
AIO227	ADC ピンのデジタル入力-227	I		39	24	24	22
AIO228	ADC ピンのデジタル入力-228	I		6	6	6	
AIO229	ADC ピンのデジタル入力-229	I		37			
AIO230	ADC ピンのデジタル入力-230	I		40	25	25	23
AIO231	ADC ピンのデジタル入力-231	I		23	15	15	13
AIO232	ADC ピンのデジタル入力-232	I		22	14	14	12
AIO233	ADC ピンのデジタル入力-233	I		10			
AIO234	ADC ピンのデジタル入力-234	I		35			
AIO236	ADC ピンのデジタル入力-236	I		38			
AIO237	ADC ピンのデジタル入力-237	I		19	12	12	10
AIO238	ADC ピンのデジタル入力-238	I		29	18	18	16
AIO239	ADC ピンのデジタル入力-239	I		17	11	11	
AIO240	ADC ピンのデジタル入力-240	I		28			
AIO241	ADC ピンのデジタル入力-241	I		41			
AIO242	ADC ピンのデジタル入力-242	I		8	8	8	7
AIO244	ADC ピンのデジタル入力-244	I		21	13	13	11
AIO245	ADC ピンのデジタル入力-245	I		31	19	19	17
AIO246	ADC ピンのデジタル入力-246	I		44			
B0	ADC-B 入力 0	I		41			
B1	ADC-B 入力 1	I		40	25	25	23
B2	ADC-B 入力 2	I		7	7	7	6
B3	ADC-B 入力 3	I		8	8	8	7
B4	ADC-B 入力 4	I		39	24	24	22
B6	ADC-B 入力 6	I		9	9	9	8
B8	ADC-B 入力 8	I		36	23	23	21
B15	ADC-B 入力 15	I		23	15	15	13

表 6-2. アナログ信号 (continued)

信号名	説明	ピンの種類	GPIO	100 PZ	64 PMQ	64 PM	56 RSH
C0	ADC-C 入力 0	I		19	12	12	10
C1	ADC-C 入力 1	I		29	18	18	16
C2	ADC-C 入力 2	I		21	13	13	11
C3	ADC-C 入力 3	I		31	19	19	17
C4	ADC-C 入力 4	I		17	11	11	
C5	ADC-C 入力 5	I		28			
C6	ADC-C 入力 6	I		7	7	7	6
C8	ADC-C 入力 8	I		39	24	24	22
C10	ADC-C 入力 10	I		40	25	25	23
C14	ADC-C 入力 14	I		44			
C15	ADC-C 入力 15	I		23	15	15	13
CMP1_HN0	CMPSS-1 ハイ・コンパレータ負入力 0	I		10			
CMP1_HN1	CMPSS-1 ハイ・コンパレータ負入力 1	I		19	12	12	10
CMP1_HP0	CMPSS-1 ハイ・コンパレータ正入力 0	I		9	9	9	8
CMP1_HP1	CMPSS-1 ハイ・コンパレータ正入力 1	I		19	12	12	10
CMP1_HP2	CMPSS-1 ハイ・コンパレータ正入力 2	I		18	12	12	10
CMP1_HP3	CMPSS-1 ハイ・コンパレータ正入力 3	I		10			
CMP1_LN0	CMPSS-1 ロー・コンパレータ負入力 0	I		10			
CMP1_LN1	CMPSS-1 ロー・コンパレータ負入力 1	I		19	12	12	10
CMP1_LP0	CMPSS-1 ロー・コンパレータ正入力 0	I		9	9	9	8
CMP1_LP1	CMPSS-1 ロー・コンパレータ正入力 1	I		19	12	12	10
CMP1_LP2	CMPSS-1 ロー・コンパレータ正入力 2	I		18	12	12	10
CMP1_LP3	CMPSS-1 ロー・コンパレータ正入力 3	I		10			
CMP2_HN0	CMPSS-2 ハイ・コンパレータ負入力 0	I		35			
CMP2_HN1	CMPSS-2 ハイ・コンパレータ負入力 1	I		29	18	18	16
CMP2_HP0	CMPSS-2 ハイ・コンパレータ正入力 0	I		36	23	23	21
CMP2_HP1	CMPSS-2 ハイ・コンパレータ正入力 1	I		29	18	18	16
CMP2_HP2	CMPSS-2 ハイ・コンパレータ正入力 2	I		30	18	18	16
CMP2_HP3	CMPSS-2 ハイ・コンパレータ正入力 3	I		35			
CMP2_LN0	CMPSS-2 ロー・コンパレータ負入力 0	I		35			
CMP2_LN1	CMPSS-2 ロー・コンパレータ負入力 1	I		29	18	18	16
CMP2_LP0	CMPSS-2 ロー・コンパレータ正入力 0	I		36	23	23	21
CMP2_LP1	CMPSS-2 ロー・コンパレータ正入力 1	I		29	18	18	16
CMP2_LP2	CMPSS-2 ロー・コンパレータ正入力 2	I		30	18	18	16
CMP2_LP3	CMPSS-2 ロー・コンパレータ正入力 3	I		35			
CMP3_HN0	CMPSS-3 ハイ・コンパレータ負入力 0	I		8	8	8	7
CMP3_HN1	CMPSS-3 ハイ・コンパレータ負入力 1	I		21	13	13	11
CMP3_HP0	CMPSS-3 ハイ・コンパレータ正入力 0	I		7	7	7	6
CMP3_HP1	CMPSS-3 ハイ・コンパレータ正入力 1	I		21	13	13	11
CMP3_HP2	CMPSS-3 ハイ・コンパレータ正入力 2	I		20	13	13	11
CMP3_HP3	CMPSS-3 ハイ・コンパレータ正入力 3	I		8	8	8	7
CMP3_LN0	CMPSS-3 ロー・コンパレータ負入力 0	I		8	8	8	7

表 6-2. アナログ信号 (continued)

信号名	説明	ピンの種類	GPIO	100 PZ	64 PMQ	64 PM	56 RSH
CMP3_LN1	CMPSS-3 ロー・コンパレータ負入力 1	I		21	13	13	11
CMP3_LP0	CMPSS-3 ロー・コンパレータ正入力 0	I		7	7	7	6
CMP3_LP1	CMPSS-3 ロー・コンパレータ正入力 1	I		21	13	13	11
CMP3_LP2	CMPSS-3 ロー・コンパレータ正入力 2	I		20	13	13	11
CMP3_LP3	CMPSS-3 ロー・コンパレータ正入力 3	I		8	8	8	7
CMP4_HN1	CMPSS-4 ハイ・コンパレータ負入力 1	I		31	19	19	17
CMP4_HP0	CMPSS-4 ハイ・コンパレータ正入力 0	I		39	24	24	22
CMP4_HP1	CMPSS-4 ハイ・コンパレータ正入力 1	I		31	19	19	17
CMP4_HP2	CMPSS-4 ハイ・コンパレータ正入力 2	I		31	19	19	17
CMP4_LN1	CMPSS-4 ロー・コンパレータ負入力 1	I		31	19	19	17
CMP4_LP0	CMPSS-4 ロー・コンパレータ正入力 0	I		39	24	24	22
CMP4_LP1	CMPSS-4 ロー・コンパレータ正入力 1	I		31	19	19	17
CMP4_LP2	CMPSS-4 ロー・コンパレータ正入力 2	I		31	19	19	17
CMPA_HN1	CMPSS-5 ハイ・コンパレータ負入力 1	I		17	11	11	
CMPE_HP0	CMPSS-5 ハイ・コンパレータ正入力 0	I		6	6	6	
CMPE_HP1	CMPSS-5 ハイ・コンパレータ正入力 1	I		17	11	11	
CMP5/HP2	CMPSS-5 ハイ・コンパレータ正入力 2	I		16	11	11	
CMPA_LN1	CMPSS-5 ロー・コンパレータ負入力 1	I		17	11	11	
CMPE_LP0	CMPSS-5 ロー・コンパレータ正入力 0	I		6	6	6	
CMP5/LP1	CMPSS-5 ロー・コンパレータ正入力 1	I		17	11	11	
CMP5/LP2	CMPSS-5 ロー・コンパレータ正入力 2	I		16	11	11	
CMP6_HN0	CMPSS-6 ハイ・コンパレータ負入力 0	I		38			
CMP6_HN1	CMPSS-6 ハイ・コンパレータ負入力 1	I		28			
CMP6_HP0	CMPSS-6 ハイ・コンパレータ正入力 0	I		37			
CMP6_HP1	CMPSS-6 ハイ・コンパレータ正入力 1	I		28			
CMP6_HP2	CMPSS-6 ハイ・コンパレータ正入力 2	I		28			
CMP6_HP3	CMPSS-6 ハイ・コンパレータ正入力 3	I		38			
CMP6_LN0	CMPSS-6 ロー・コンパレータ負入力 0	I		38			
CMP6_LN1	CMPSS-6 ロー・コンパレータ負入力 1	I		28			
CMP6_LP0	CMPSS-6 ロー・コンパレータ正入力 0	I		37			
CMP6_LP1	CMPSS-6 ロー・コンパレータ正入力 1	I		28			
CMP6_LP2	CMPSS-6 ロー・コンパレータ正入力 2	I		28			
CMP6_LP3	CMPSS-6 ロー・コンパレータ正入力 3	I		38			
CMP7_HN0	CMPSS-7 ハイ・コンパレータ負入力 0	I		41			
CMP7_HN1	CMPSS-7 ハイ・コンパレータ負入力 1	I		44			
CMP7_HP0	CMPSS-7 ハイ・コンパレータ正入力 0	I		40	25	25	23
CMP7_HP1	CMPSS-7 ハイ・コンパレータ正入力 1	I		44			
CMP7_HP2	CMPSS-7 ハイ・コンパレータ正入力 2	I		43			
CMP7_HP3	CMPSS-7 ハイ・コンパレータ正入力 3	I		41			
CMP7_LN0	CMPSS-7 ロー・コンパレータ負入力 0	I		41			
CMP7_LN1	CMPSS-7 ロー・コンパレータ負入力 1	I		44			
CMP7_LP0	CMPSS-7 ロー・コンパレータ正入力 0	I		40	25	25	23

表 6-2. アナログ信号 (continued)

信号名	説明	ピンの種類	GPIO	100 PZ	64 PMQ	64 PM	56 RSH
CMP7_LP1	CMPSS-7 ロー・コンパレータ正入力 1	I		44			
CMP7_LP2	CMPSS-7 ロー・コンパレータ正入力 2	I		43			
CMP7_LP3	CMPSS-7 ロー・コンパレータ正入力 3	I		41			
DACA_OUT	バッファ付き DAC-A 出力	O		23	15	15	13
DACB_OUT	バッファ付き DAC-B 出力	O		22	14	14	12
PGA1_GND	PGA-1 グランド	I		14	10	10	9
PGA1_IN	PGA-1 入力	I		18	12	12	10
PGA1_OF	PGA-1 出力フィルタ (オプション)	O		9	9	9	8
PGA2_GND	PGA-2 グランド	I		32	20	20	18
PGA2_IN	PGA-2 入力	I		30	18	18	16
PGA2_OF	PGA-2 出力フィルタ (オプション)	O		36	23	23	21
PGA3_GND	PGA-3 グランド	I		15	10	10	9
PGA3_IN	PGA-3 入力	I		20	13	13	11
PGA3_OF	PGA-3 出力フィルタ (オプション)	O		7	7	7	6
PGA4_GND	PGA-4 グランド	I		32	20	20	18
PGA4_IN	PGA-4 入力	I		31	19	19	17
PGA4_OF	PGA-4 出力フィルタ (オプション)	O		39	24	24	22
PGA5_GND	PGA-5 グランド	I		13	10	10	9
PGA5_IN	PGA-5 入力	I		16	11	11	
PGA5_OF	PGA-5 出力フィルタ (オプション)	O		6	6	6	
PGA6_GND	PGA-6 グランド	I		32	20	20	18
PGA6_IN	PGA-6 入力	I		28			
PGA6_OF	PGA-6 出力フィルタ (オプション)	O		37			
PGA7_GND	PGA-7 グランド	I		42			
PGA7_IN	PGA-7 入力	I		43			
PGA7_OF	PGA-7 出力フィルタ (オプション)	O		40	25	25	23
VDAC	オンチップ DAC の外部基準電圧 (オプション)。このピンは、ADC 入力または DAC リファレンスのいずれかに使われますが、VSSA に対して 100pF のコンデンサが付いており、デイスレーブルすることはできません。このピンをオンチップ DAC のリファレンス電圧として使用する場合は、このピンに少なくとも 1μF のコンデンサを配置します。	I		8	8	8	7
VREFHIA	ADC-A の高いリファレンス電圧。外部リファレンス・モードでは、高い側のリファレンス電圧を外部からこのピンに印加します。内部リファレンス・モードでは、デバイスによってこのピンに電圧が駆動されます。いずれのモードでも、2.2μF 以上のコンデンサをこのピンに配置します。このコンデンサは、VREFHIA ピンと VREFLOA ピンの間で、できるだけデバイスに近い場所に配置する必要があります。このピンは、内部リファレンス・モードまたは外部リファレンス・モードのいずれの場合でも、外部に負荷を接続しないでください。	I/O		25	16	16	14

表 6-2. アナログ信号 (continued)

信号名	説明	ピンの種類	GPIO	100 PZ	64 PMQ	64 PM	56 RSH
VREFHIB	ADC-B の高い基準電圧。外部リファレンス・モードでは、高い側のリファレンス電圧を外部からこのピンに印加します。内部リファレンス・モードでは、デバイスによってこのピンに電圧が駆動されます。いずれのモードでも、 2.2μF 以上のコンデンサをこのピンに配置します。このコンデンサは、VREFHIB ピンと VREFLOB ピンの間で、できるだけデバイスに近い場所に配置する必要があります。このピンは、内部リファレンス・モードまたは外部リファレンス・モードのいずれの場合でも、外部に負荷を接続しないでください。	I/O		24	16	16	14
VREFHIC	ADC-C の高い基準電圧。外部リファレンス・モードでは、高い側のリファレンス電圧を外部からこのピンに印加します。内部リファレンス・モードでは、デバイスによってこのピンに電圧が駆動されます。いずれのモードでも、 2.2μF 以上のコンデンサをこのピンに配置します。このコンデンサは、VREFHIC ピンと VREFLOC ピンの間で、できるだけデバイスに近い場所に配置する必要があります。注:このピンは、内部リファレンス・モードまたは外部リファレンス・モードのいずれの場合でも、外部に負荷を接続しないでください。	I/O		24	16	16	14
VREFLOA	ADC-A の低い基準電圧	I		27	17	17	15
VREFLOB	ADC-B の低い基準電圧	I		26	17	17	15
VREFLOC	ADC-C の低い基準電圧	I		26	17	17	15

6.3.2 デジタル信号

表 6-3. デジタル信号

信号名	説明	ピンの種類	GPIO	100 PZ	64 PMQ	64 PM	56 RSH
ADCSOAO	外部 ADC への ADC 変換開始 A 出力 (ePWM モジュールから)	O	8	74	47	47	42
ADCSOCBO	外部 ADC への ADC 変換開始 B 出力 (ePWM モジュールから)	O	10	93	63	63	
CANA_RX	CAN-A 受信	I	18, 30, 33, 35, 5	53, 63, 68, 89, 98	32, 39, 41, 61	32, 39, 41, 61	29, 36, 38, 55
CANA_TX	CAN-A 送信	O	31, 32, 37, 4	61, 64, 75, 99	37, 40, 48	37, 40, 48	34, 37, 43
CANB_RX	CAN-B 受信	I	10, 13, 17, 39, 59, 7	50, 55, 84, 91, 92, 93	34, 57, 63	29, 34, 57, 63	26, 31, 52
CANB_TX	CAN-B 送信	O	12, 16, 58, 6, 8	51, 54, 67, 74, 97	33, 47, 64	30, 33, 47, 64	1, 27, 30, 42
EPWM1_A	ePWM-1 出力 A	O	0	79	52	52	47
EPWM1_B	ePWM-1 出力 B	O	1	78	51	51	46
EPWM2_A	ePWM-2 出力 A	O	2	77	50	50	45
EPWM2_B	ePWM-2 出力 B	O	3	76	49	49	44
EPWM3_A	ePWM-3 出力 A	O	4	75	48	48	43
EPWM3_B	ePWM-3 出力 B	O	5	89	61	61	55
EPWM4_A	ePWM-4 出力 A	O	6	97	64	64	1
EPWM4_B	ePWM-4 出力 B	O	7	84	57	57	52
EPWM5_A	ePWM-5 出力 A	O	16, 8	54, 74	33, 47	33, 47	30, 42
EPWM5_B	ePWM-5 出力 B	O	17, 9	55, 90	34, 62	34, 62	31, 56
EPWM6_A	ePWM-6 出力 A	O	10, 18	68, 93	41, 63	41, 63	38
EPWM6_B	ePWM-6 出力 B	O	11	52	31	31	28
EPWM7_A	ePWM-7 出力 A	O	12, 28	1, 51	2	2, 30	27, 3
EPWM7_B	ePWM-7 出力 B	O	13, 29	100, 50	1	1, 29	2, 26
EPWM8_A	ePWM-8 出力 A	O	14, 24	56, 96	35	35	32
EPWM8_B	ePWM-8 出力 B	O	15, 32	64, 95	40	40	37
EQEP1_A	eQEP-1 入力 A	I	10, 28, 35, 40, 56, 6	1, 63, 65, 85, 93, 97	2, 39, 63, 64	2, 39, 63, 64	1, 3, 36
EQEP1_B	eQEP-1 入力 B	I	11, 29, 37, 57, 7	100, 52, 61, 66, 84	1, 31, 37, 57	1, 31, 37, 57	2, 28, 34, 52
EQEP1_INDEX	eQEP-1 インデックス	I/O	13, 17, 31, 59, 9	50, 55, 90, 92, 99	34, 62	29, 34, 62	26, 31, 56
EQEP1_STROBE	eQEP-1 ストロブ	I/O	12, 16, 22, 30, 58, 8	51, 54, 67, 74, 83, 98	33, 47, 56	30, 33, 47, 56	27, 30, 42, 51
EQEP2_A	eQEP-2 入力 A	I	14, 18, 24	56, 68, 96	35, 41	35, 41	32, 38
EQEP2_B	eQEP-2 入力 B	I	15, 25	57, 95			

表 6-3. デジタル信号 (continued)

信号名	説明	ピンの種類	GPIO	100 PZ	64 PMQ	64 PM	56 RSH
EQEP2_INDEX	eQEP-2 インデックス	I/O	26, 29, 57	100, 58, 66	1	1	2
EQEP2_STROBE	eQEP-2 ストローブ	I/O	27, 28, 56	1, 59, 65	2	2	3
ERRORSTS	アクティブ・ローのエラー・ステータス出力。電源投入時または ERRORSTS 信号自体の障害発生時にエラー状態をアサートする場合は、外付けのプルダウン抵抗を使用できます。上記の条件でエラー状態をアサートしたくない場合は、プルアップ抵抗を使用できます。	O	24, 28, 29	1, 100, 56	1, 2, 35	1, 2, 35	2, 3, 32
FSIRXA_CLK	FSIRX-A 入力クロック	I	13, 33, 39, 4	50, 53, 75, 91	32, 48	29, 32, 48	26, 29, 43
FSIRXA_D0	FSIRX-A 1 次データ入力	I	12, 3, 32, 40	51, 64, 76, 85	40, 49	30, 40, 49	27, 37, 44
FSIRXA_D1	FSIRX-A オプションの追加データ入力	I	11, 2, 31	52, 77, 99	31, 50	31, 50	28, 45
FSITXA_CLK	FSITX-A 出力クロック	O	10, 27, 7	59, 84, 93	57, 63	57, 63	52
FSITXA_D0	FSITX-A 1 次データ出力	O	26, 6, 9	58, 90, 97	62, 64	62, 64	1, 56
FSITXA_D1	FSITX-A オプションの追加データ出力	O	25, 5, 8	57, 74, 89	47, 61	47, 61	42, 55
GPIO0	汎用入出力 0	I/O	0	79	52	52	47
GPIO1	汎用入出力 1	I/O	1	78	51	51	46
GPIO2	汎用入出力 2	I/O	2	77	50	50	45
GPIO3	汎用入出力 3	I/O	3	76	49	49	44
GPIO4	汎用入出力 4	I/O	4	75	48	48	43
GPIO5	汎用入出力 5	I/O	5	89	61	61	55
GPIO6	汎用入出力 6	I/O	6	97	64	64	1
GPIO7	汎用入出力 7	I/O	7	84	57	57	52
GPIO8	汎用入出力 8	I/O	8	74	47	47	42
GPIO9	汎用入出力 9	I/O	9	90	62	62	56
GPIO10	汎用入出力 10	I/O	10	93	63	63	
GPIO11	汎用入出力 11	I/O	11	52	31	31	28
GPIO12	汎用入出力 12	I/O	12	51		30	27
GPIO13	汎用入出力 13	I/O	13	50		29	26
GPIO14	汎用入出力 14	I/O	14	96			
GPIO15	汎用入出力 15	I/O	15	95			
GPIO16	汎用入出力 16	I/O	16	54	33	33	30
GPIO17	汎用入出力 17	I/O	17	55	34	34	31
GPIO18_X2	汎用入出力 18。このピンとそのデジタル多重化オプションは、システムが INTOSC によってクロック供給され、X1 に外部プルダウン抵抗 (推奨 1kΩ) がある場合にのみ使用できます。	I/O	18	68	41	41	38
GPIO20	汎用入出力 20	I/O	20				
GPIO21	汎用入出力 21	I/O	21				

表 6-3. デジタル信号 (continued)

信号名	説明	ピンの種類	GPIO	100 PZ	64 PMQ	64 PM	56 RSH
GPIO22_VFBSW	汎用入出力 22。このピンは、デフォルトで DC-DC モードに設定されています。内部 DC-DC レギュレータを使用しない場合は、DC-DC をディセーブルして GPAAMSEL レジスタのビットをクリアすることで、汎用入出力 22 として構成できます。	I/O	22	83	56	56	51
GPIO23_VSW	汎用入出力 23。このピンは、デフォルトで DC-DC モードに設定されています。内部 DC-DC レギュレータを使用しない場合は、DC-DC をディセーブルして GPAAMSEL レジスタのビットをクリアすることで、汎用入出力 23 として構成できます。このピンの内部容量は、約 100pF です。TI では、他の GPIO を使用すること、または、高速なスイッチング応答を必要としないアプリケーションにのみこのピンを使用することを推奨しています。	I/O	23	81	54	54	49
GPIO24	汎用入出力 24	I/O	24	56	35	35	32
GPIO25	汎用入出力 25	I/O	25	57			
GPIO26	汎用入出力 26	I/O	26	58			
GPIO27	汎用入出力 27	I/O	27	59			
GPIO28	汎用入出力 28	I/O	28	1	2	2	3
GPIO29	汎用入出力 29	I/O	29	100	1	1	2
GPIO30	汎用入出力 30	I/O	30	98			
GPIO31	汎用入出力 31	I/O	31	99			
GPIO32	汎用入出力 32	I/O	32	64	40	40	37
GPIO33	汎用入出力 33	I/O	33	53	32	32	29
GPIO34	汎用入出力 34	I/O	34	94			
GPIO35	汎用入出力 35	I/O	35	63	39	39	36
GPIO37	汎用入出力 37	I/O	37	61	37	37	34
GPIO39	汎用入出力 39	I/O	39	91			
GPIO40	汎用入出力 40	I/O	40	85			
GPIO41	汎用入出力 41	I/O	41				
GPIO42	汎用入出力 42	I/O	42				
GPIO43	汎用入出力 43	I/O	43				
GPIO44	汎用入出力 44	I/O	44				
GPIO45	汎用入出力 45	I/O	45				
GPIO46	汎用入出力 46	I/O	46				
GPIO47	汎用入出力 47	I/O	47				
GPIO48	汎用入出力 48	I/O	48				
GPIO49	汎用入出力 49	I/O	49				
GPIO50	汎用入出力 50	I/O	50				
GPIO51	汎用入出力 51	I/O	51				
GPIO52	汎用入出力 52	I/O	52				
GPIO53	汎用入出力 53	I/O	53				
GPIO54	汎用入出力 54	I/O	54				
GPIO55	汎用入出力 55	I/O	55				
GPIO56	汎用入出力 56	I/O	56	65			
GPIO57	汎用入出力 57	I/O	57	66			

表 6-3. デジタル信号 (continued)

信号名	説明	ピンの種類	GPIO	100 PZ	64 PMQ	64 PM	56 RSH
GPIO58	汎用入出力 58	I/O	58	67			
GPIO59	汎用入出力 59	I/O	59	92			
I2CA_SCL	I2C-A オープン・ドレイン双方向クロック	I/OD	1, 18, 27, 33, 37, 8	53, 59, 61, 68, 74, 78	32, 37, 41, 47, 51	32, 37, 41, 47, 51	29, 34, 38, 42, 46
I2CA_SDA	I2C-A オープン・ドレイン双方向データ	I/OD	0, 10, 26, 32, 35	58, 63, 64, 79, 93	39, 40, 52, 63	39, 40, 52, 63	36, 37, 47
LINA_RX	LIN-A 受信	I	29, 33, 35, 59	100, 53, 63, 92	1, 32, 39	1, 32, 39	2, 29, 36
LINA_TX	LIN-A 送信	O	22, 28, 32, 37, 58	1, 61, 64, 67, 83	2, 37, 40, 56	2, 37, 40, 56	3, 34, 37, 51
OUTPUTXBAR1	出力クロスバー出力 1	O	2, 24, 34, 58	56, 67, 77, 94	35, 50	35, 50	32, 45
OUTPUTXBAR2	出力クロスバー出力 2	O	25, 3, 37, 59	57, 61, 76, 92	37, 49	37, 49	34, 44
OUTPUTXBAR3	出力クロスバー出力 3	O	14, 26, 4, 5	58, 75, 89, 96	48, 61	48, 61	43, 55
OUTPUTXBAR4	出力クロスバー出力 4	O	15, 27, 33, 6	53, 59, 95, 97	32, 64	32, 64	1, 29
OUTPUTXBAR5	出力クロスバー出力 5	O	28, 7	1, 84	2, 57	2, 57	3, 52
OUTPUTXBAR6	出力クロスバー出力 6	O	29, 9	100, 90	1, 62	1, 62	2, 56
OUTPUTXBAR7	出力クロスバー出力 7	O	11, 16, 30	52, 54, 98	31, 33	31, 33	28, 30
OUTPUTXBAR8	出力クロスバー出力 8	O	17, 31	55, 99	34	34	31
PMBUSA_ALERT	PMBus-A オープン・ドレイン双方向アラート信号	I/OD	13, 27, 37	50, 59, 61	37	29, 37	26, 34
PMBUSA_CTL	PMBus-A 制御信号	I	12, 18, 26, 35	51, 58, 63, 68	39, 41	30, 39, 41	27, 36, 38
PMBUSA_SCL	PMBus-A オープン・ドレイン双方向クロック	I/OD	15, 16, 24, 3, 35	54, 56, 63, 76, 95	33, 35, 39, 49	33, 35, 39, 49	30, 32, 36, 44
PMBUSA_SDA	PMBus-A オープン・ドレイン双方向データ	I/OD	14, 17, 2, 25, 34, 40	55, 57, 77, 85, 94, 96	34, 50	34, 50	31, 45
SCIA_RX	SCI-A 受信データ	I	17, 25, 28, 3, 35, 9	1, 55, 57, 63, 76, 90	2, 34, 39, 49, 62	2, 34, 39, 49, 62	3, 31, 36, 44, 56
SCIA_TX	SCI-A 送信データ	O	16, 2, 24, 29, 37, 8	100, 54, 56, 61, 74, 77	1, 33, 35, 37, 47, 50	1, 33, 35, 37, 47, 50	2, 30, 32, 34, 42, 45
SCIB_RX	SCI-B 受信データ	I	11, 13, 15, 57	50, 52, 66, 95	31	29, 31	26, 28
SCIB_TX	SCI-B 送信データ	O	10, 12, 14, 18, 22, 40, 56, 9	51, 65, 68, 83, 85, 90, 93, 96	41, 56, 62, 63	30, 41, 56, 62, 63	27, 38, 51, 56
SD1_C1	SDFM-1 チャンネル 1 クロック入力	I	17, 25	55, 57	34	34	31

表 6-3. デジタル信号 (continued)

信号名	説明	ピンの種類	GPIO	100 PZ	64 PMQ	64 PM	56 RSH
SD1_C2	SDFM-1 チャンネル 2 クロック入力	I	27	59			
SD1_C3	SDFM-1 チャンネル 3 クロック入力	I	29, 33, 57	100, 53, 66	1, 32	1, 32	2, 29
SD1_C4	SDFM-1 チャンネル 4 クロック入力	I	31, 59	92, 99			
SD1_D1	SDFM-1 チャンネル 1 データ入力	I	16, 24	54, 56	33, 35	33, 35	30, 32
SD1_D2	SDFM-1 チャンネル 2 データ入力	I	18, 26	58, 68	41	41	38
SD1_D3	SDFM-1 チャンネル 3 データ入力	I	28, 32, 56	1, 64, 65	2, 40	2, 40	3, 37
SD1_D4	SDFM-1 チャンネル 4 データ入力	I	22, 30, 58	67, 83, 98	56	56	51
SPIA_CLK	SPI-A クロック	I/O	18, 3, 56, 9	65, 68, 76, 90	41, 49, 62	41, 49, 62	38, 44, 56
SPIA_SIMO	SPI-A スレーブ入力、マスタ出力 (SIMO)	I/O	16, 8	54, 74	33, 47	33, 47	30, 42
SPIA_SOMI	SPI-A スレーブ出力、マスタ入力 (SOMI)	I/O	10, 17	55, 93	34, 63	34, 63	31
SPIA_STE	SPI-A スレーブ送信イネーブル (STE)	I/O	11, 5, 57	52, 66, 89	31, 61	31, 61	28, 55
SPIB_CLK	SPI-B クロック	I/O	14, 22, 26, 28, 32, 58	1, 58, 64, 67, 83, 96	2, 40, 56	2, 40, 56	3, 37, 51
SPIB_SIMO	SPI-B スレーブ入力、マスタ出力 (SIMO)	I/O	24, 30, 56, 7	56, 65, 84, 98	35, 57	35, 57	32, 52
SPIB_SOMI	SPI-B スレーブ出力、マスタ入力 (SOMI)	I/O	25, 31, 57, 6	57, 66, 97, 99	64	64	1
SPIB_STE	SPI-B スレーブ送信イネーブル (STE)	I/O	15, 27, 29, 33, 59	100, 53, 59, 92, 95	1, 32	1, 32	2, 29
SYNCOUT	外部 ePWM 同期パルス	O	6	97	64	64	1
TDI	JTAG テスト・データ入力 (TDI) - TDI は、このピンのデフォルトの多重化選択です。内部プルアップは、デフォルトで無効になっています。このピンを JTAG TDI として使用する場合は、入力がフローティング入力にならないように、内部プルアップをイネーブルにするか、ボードに外部プルアップを追加する必要があります。	I	35	63	39	39	36
TDO	JTAG テスト・データ出力 (TDO) - TDO は、このピンのデフォルトの多重化選択です。内部プルアップは、デフォルトで無効になっています。JTAG アクティビティがない場合、TDO 機能はトリステート状態になり、このピンはフローティング状態のままになります。GPIO 入力がフローティングにならないように、内部プルアップをイネーブルにするか、または外部プルアップをボードに追加する必要があります。	O	37	61	37	37	34
VFBSW	内部 DC-DC レギュレータのフィードバック信号。内部 DC-DC レギュレータを使用する場合は、L (VSW) が VDD レールに接続されているノード (デバイスにできるだけ近いところ) にこのピンを接続します。	-	22	83	56	56	51
VSW	内部 DC-DC レギュレータのスイッチング出力	-	23	81	54	54	49
X2	水晶発振器出力	I/O	18	68	41	41	38

表 6-3. デジタル信号 (continued)

信号名	説明	ピンの種類	GPIO	100 PZ	64 PMQ	64 PM	56 RSH
XCLKOUT	外部クロック出力。このピンは、デバイス内のクロック信号の中から選択されたものを分周した信号を出力します。	O	16、18	54、68	33、41	33、41	30、38

6.3.3 電源およびグランド

表 6-4. 電源およびグランド

信号名	説明	ピンの種類	GPIO	100 PZ	64 PMQ	64 PM	56 RSH
VDD	1.2V デジタル・ロジック電源ピン。各 VDD ピンの近くにデカップリング・コンデンサを配置することを推奨します。この合計容量は、少なくとも約 20 μ F になるようにします。内部電圧レギュレータを使用しない場合、デカップリング容量の正確な値は、システムの電圧レギュレーション・ソリューションによって決定する必要があります。			4, 46, 71, 87	27, 4, 44, 59	27, 4, 44, 59	24, 41, 5, 53
VDDA	3.3V アナログ電源ピン。各ピンと VSSA の間に、最小 2.2 μ F のデカップリング・コンデンサを配置します。			11, 34	22	22	20
VDDIO	3.3V デジタル I/O 電源ピン。各ピンに、最小 0.1 μ F のデカップリング・コンデンサを配置します。			3, 47, 70, 88	28, 43, 60	28, 43, 60	25, 40, 54
VDDIO_SW	内部 DC-DC レギュレータの 3.3V 電源ピン。内部 DC-DC レギュレータを使用する場合は、このピンに 20 μ F のバルク入力容量を配置する必要があります。このピンは常に VDDIO ピンに接続してください。必要に応じて絶縁用にフェライト・ビーズを使用することもできますが、VDDIO_SW と VDDIO は同じ電源から供給する必要があります。			80	53	53	48
VSS	デジタル GND			45, 5, 72, 86	26, 45, 5, 58	26, 45, 5, 58	PAD
VSSA	アナログ GND			12, 33	21	21	19
VSS_SW	内部 DC-DC レギュレータのグランド。このピンは常に VSS ピンに接続してください。			82	55	55	50

6.3.4 テスト、JTAG、リセット

表 6-5. テスト、JTAG、リセット

信号名	説明	ピンの種類	GPIO	100 PZ	64 PMQ	64 PM	56 RSH
FLT1	フラッシュ・テスト・ピン 1. TI 用に予約済み。未接続のままにする必要があります。	I/O		49	30		
FLT2	フラッシュ・テスト・ピン 2. TI 用に予約済み。未接続のままにする必要があります。	I/O		48	29		
TCK	内部プルアップ付き JTAG テスト・クロック。	I		60	36	36	33
TMS	内部プルアップ付き JTAG テスト・モード選択 (TMS)。このシリアル制御入力、TCK の立ち上がりエッジで、TAP コントローラにシフトインされます。このデバイスには TRSTn ピンがありません。通常動作時に JTAG をリセット状態に維持するために、基板上で TMS ピンと VDDIO の間に外部プルアップ抵抗 (推奨 2.2kΩ) を配置する必要があります。	I/O		62	38	38	35
VREGENZ	内部プルダウン付きの内部電圧レギュレータ・イネーブル。VSS (LOW) に直接接続すると、内部 VREG がイネーブルになります。VDDIO (HIGH) に直接接続すると、外部電源を使用します。	I		73	46	46	
X1	水晶発振器入力またはシングルエンド・クロック入力。水晶発振器をイネーブルにする前に、デバイス初期化ソフトウェアでこのピンを設定する必要があります。この発振器を使用するには、X1 と X2 の間に水晶振動子を接続する必要があります。このピンを使って、シングルエンドの 3.3V レベル・クロックを供給することもできます。GPIO19 はサポートされていません。内部で GPIO19 は X1 機能に接続されているので、X1 クロック機能への干渉を避けるために、GPIO19 はプルアップ無効の入力モードにしておく必要があります。	I/O		69	42	42	39
XRSn	デバイス・リセット (IN) およびウォッチドッグ・リセット (OUT)。電源投入時、このピンはデバイスによって LOW に駆動されます。また、外部回路がこのピンを駆動して、デバイス・リセットをアサートすることもできます。ウォッチドッグ・リセットが発生した場合、MCU もこのピンを Low に駆動します。ウォッチドッグ・リセット時には、512 OSCCLK サイクルのウォッチドッグ・リセット期間にわたって、XRSn ピンが LOW に駆動されます。XRS と VDDIO の間に 2.2kΩ~10kΩ の抵抗を配置する必要があります。ノイズ・フィルタリングのため、XRS と VSS の間にコンデンサを配置します。容量は 100nF 以下にする必要があります。これらの値は、ウォッチドッグ・リセットがアサートされたときに、ウォッチドッグが 512 OSCCLK サイクル以内に XRS ピンを VOL に正しく駆動できるように決められています。このピンの出力バッファは、内部プルアップ付きのオープン・ドレイン素子です。このピンが外部デバイスによって駆動される場合は、オープン・ドレイン・デバイスを使用して駆動する必要があります。このピンが外部デバイスによって駆動される場合は、オープン・ドレイン・デバイスを使用して駆動する必要があります。	I/OD		2	3	3	4

6.4 ピン多重化

6.4.1 GPIO 多重化ピン

「GPIO 多重化ピン」表に、GPIO 多重化ピンの一覧を示します。各 GPIO ピンのデフォルト・モードは GPIO 機能ですが、GPIO35 と GPIO37 はそれぞれデフォルトで TDI と TDO に設定されています。GPyGMUXn.GPIOz および GPyMUXn.GPIOz のレジスタ・ビットを設定することで、他の機能を選択できます。多重化選択の切り替えりによる GPIO の過渡パルスを回避するために、GPyMUXn よりも先に GPyGMUXn レジスタを構成する必要があります。表示されていない列および空白のセルは、予約済みの GPIO 多重化設定です。

注

GPIO20、GPIO21、および GPIO41～GPIO55 は、いずれのパッケージでも利用できません。ブート ROM により、これらのピンのプルアップがイネーブルになります。詳細については、[セクション 6.5](#) を参照してください。

表 6-6. GPIO 多重化ピン

0, 4, 8, 12	1	2	3	5	6	7	9	10	11	13	14	15
GPIO0	EPWM1_A				I2CA_SDA							
GPIO1	EPWM1_B				I2CA_SCL							
GPIO2	EPWM2_A			OUTPUTXB AR1	PMBUSA_S DA		SCIA_TX	FSIRXA_D1				
GPIO3	EPWM2_B	OUTPUTXB AR2		OUTPUTXB AR2	PMBUSA_S CL	SPIA_CLK	SCIA_RX	FSIRXA_D0				
GPIO4	EPWM3_A			OUTPUTXB AR3	CANA_TX			FSIRXA_CL K				
GPIO5	EPWM3_B		OUTPUTXB AR3		CANA_RX	SPIA_STE	FSITXA_D1					
GPIO6	EPWM4_A	OUTPUTXB AR4	SYNCOUT	EQEP1_A	CANB_TX	SPIB_SOMI	FSITXA_D0					
GPIO7	EPWM4_B		OUTPUTXB AR5	EQEP1_B	CANB_RX	SPIB_SIMO	FSITXA_CL K					
GPIO8	EPWM5_A	CANB_TX	ADCSOCA O	EQEP1_ST ROBE	SCIA_TX	SPIA_SIMO	I2CA_SCL	FSITXA_D1				
GPIO9	EPWM5_B	SCIB_TX	OUTPUTXB AR6	EQEP1_IND EX	SCIA_RX	SPIA_CLK		FSITXA_D0				
GPIO10	EPWM6_A	CANB_RX	ADCSOCB O	EQEP1_A	SCIB_TX	SPIA_SOMI	I2CA_SDA	FSITXA_CL K				
GPIO11	EPWM6_B	SCIB_RX	OUTPUTXB AR7	EQEP1_B	SCIB_RX	SPIA_STE	FSIRXA_D1					
GPIO12	EPWM7_A	CANB_TX		EQEP1_ST ROBE	SCIB_TX	PMBUSA_C TL	FSIRXA_D0					
GPIO13	EPWM7_B	CANB_RX		EQEP1_IND EX	SCIB_RX	PMBUSA_A LERT	FSIRXA_CL K					
GPIO14	EPWM8_A	SCIB_TX			OUTPUTXB AR3	PMBUSA_S DA	SPIB_CLK	EQEP2_A				
GPIO15	EPWM8_B	SCIB_RX			OUTPUTXB AR4	PMBUSA_S CL	SPIB_STE	EQEP2_B				

表 6-6. GPIO 多重化ピン (continued)

0, 4, 8, 12	1	2	3	5	6	7	9	10	11	13	14	15
GPIO16	SPIA_SIMO	CANB_TX	OUTPUTXB AR7	EPWM5_A	SCIA_TX	SD1_D1	EQEP1_ST ROBE	PMBUSA_S CL	XCLKOUT			
GPIO17	SPIA_SOMI	CANB_RX	OUTPUTXB AR8	EPWM5_B	SCIA_RX	SD1_C1	EQEP1_IND EX	PMBUSA_S DA				
GPIO18_X2	SPIA_CLK	SCIB_TX	CANA_RX	EPWM6_A	I2CA_SCL	SD1_D2	EQEP2_A	PMBUSA_C TL	XCLKOUT			
GPIO20												
GPIO21												
GPIO22_VF BSW	EQEP1_ST ROBE		SCIB_TX		SPIB_CLK	SD1_D4	LINA_TX					
GPIO23_VS W												
GPIO24	OUTPUTXB AR1	EQEP2_A		EPWM8_A	SPIB_SIMO	SD1_D1		PMBUSA_S CL	SCIA_TX	ERRORSTS		
GPIO25	OUTPUTXB AR2	EQEP2_B			SPIB_SOMI	SD1_C1	FSITXA_D1	PMBUSA_S DA	SCIA_RX			
GPIO26	OUTPUTXB AR3	EQEP2_IND EX		OUTPUTXB AR3	SPIB_CLK	SD1_D2	FSITXA_D0	PMBUSA_C TL	I2CA_SDA			
GPIO27	OUTPUTXB AR4	EQEP2_ST ROBE		OUTPUTXB AR4	SPIB_STE	SD1_C2	FSITXA_CL K	PMBUSA_A LERT	I2CA_SCL			
GPIO28	SCIA_RX		EPWM7_A	OUTPUTXB AR5	EQEP1_A	SD1_D3	EQEP2_ST ROBE	LINA_TX	SPIB_CLK	ERRORSTS		
GPIO29	SCIA_TX		EPWM7_B	OUTPUTXB AR6	EQEP1_B	SD1_C3	EQEP2_IND EX	LINA_RX	SPIB_STE	ERRORSTS		
GPIO30	CANA_RX		SPIB_SIMO	OUTPUTXB AR7	EQEP1_ST ROBE	SD1_D4						
GPIO31	CANA_TX		SPIB_SOMI	OUTPUTXB AR8	EQEP1_IND EX	SD1_C4	FSIRXA_D1					
GPIO32	I2CA_SDA		SPIB_CLK	EPWM8_B	LINA_TX	SD1_D3	FSIRXA_D0	CANA_TX				
GPIO33	I2CA_SCL		SPIB_STE	OUTPUTXB AR4	LINA_RX	SD1_C3	FSIRXA_CL K	CANA_RX				
GPIO34	OUTPUTXB AR1				PMBUSA_S DA							
GPIO35	SCIA_RX		I2CA_SDA	CANA_RX	PMBUSA_S CL	LINA_RX	EQEP1_A	PMBUSA_C TL				TDI
GPIO37	OUTPUTXB AR2		I2CA_SCL	SCIA_TX	CANA_TX	LINA_TX	EQEP1_B	PMBUSA_A LERT				TDO
GPIO39					CANB_RX	FSIRXA_CL K						
GPIO40					PMBUSA_S DA	FSIRXA_D0	SCIB_TX	EQEP1_A				
GPIO41												
GPIO42												

表 6-6. GPIO 多重化ピン (continued)

0, 4, 8, 12	1	2	3	5	6	7	9	10	11	13	14	15
GPIO43												
GPIO44												
GPIO45												
GPIO46												
GPIO47												
GPIO48												
GPIO49												
GPIO50												
GPIO51												
GPIO52												
GPIO53												
GPIO54												
GPIO55												
GPIO56	SPIA_CLK			EQEP2_ST ROBE	SCIB_TX	SD1_D3	SPIB_SIMO		EQEP1_A			
GPIO57	SPIA_STE			EQEP2_IND EX	SCIB_RX	SD1_C3	SPIB_SOMI		EQEP1_B			
GPIO58				OUTPUTXB AR1	SPIB_CLK	SD1_D4	LINA_TX	CANB_TX	EQEP1_ST ROBE			
GPIO59				OUTPUTXB AR2	SPIB_STE	SD1_C4	LINA_RX	CANB_RX	EQEP1_IND EX			

「GPIO によるデジタル信号」の表には、利用可能なすべての多重化信号と、各パッケージそれぞれの GPIO の一覧が示されています。

表 6-7. GPIO によるデジタル信号

信号名	ピンの種類	説明	100 PZ	64 PMQ	64 PM	56 RSH
ADCSOCAO	O	外部 ADC への ADC 変換開始 A 出力 (ePWM モジュールから)	GPIO8	GPIO8	GPIO8	GPIO8
ADCSOCBO	O	外部 ADC への ADC 変換開始 B 出力 (ePWM モジュールから)	GPIO10	GPIO10	GPIO10	
CANA_RX	I	CAN-A 受信	GPIO5 GPIO18_X 2 GPIO30 GPIO33 GPIO35/T DI	GPIO5 GPIO18_X 2 GPIO33 GPIO35/T DI	GPIO5 GPIO18_X 2 GPIO33 GPIO35/T DI	GPIO5 GPIO18_X 2 GPIO33 GPIO35/T DI
CANA_TX	O	CAN-A 送信	GPIO4 GPIO31 GPIO32 GPIO37/T DO	GPIO4 GPIO32 GPIO37/T DO	GPIO4 GPIO32 GPIO37/T DO	GPIO4 GPIO32 GPIO37/T DO

表 6-7. GPIO によるデジタル信号 (continued)

信号名	ピンの種類	説明	100 PZ	64 PMQ	64 PM	56 RSH
CANB_RX	I	CAN-B 受信	GPIO7 GPIO10 GPIO13 GPIO17 GPIO39 GPIO59	GPIO7 GPIO10 GPIO17	GPIO7 GPIO10 GPIO13 GPIO17	GPIO7 GPIO13 GPIO17
CANB_TX	O	CAN-B 送信	GPIO6 GPIO8 GPIO12 GPIO16 GPIO58	GPIO6 GPIO8 GPIO16	GPIO6 GPIO8 GPIO12 GPIO16	GPIO6 GPIO8 GPIO12 GPIO16
EPWM1_A	O	ePWM-1 出力 A	GPIO0	GPIO0	GPIO0	GPIO0
EPWM1_B	O	ePWM-1 出力 B	GPIO1	GPIO1	GPIO1	GPIO1
EPWM2_A	O	ePWM-2 出力 A	GPIO2	GPIO2	GPIO2	GPIO2
EPWM2_B	O	ePWM-2 出力 B	GPIO3	GPIO3	GPIO3	GPIO3
EPWM3_A	O	ePWM-3 出力 A	GPIO4	GPIO4	GPIO4	GPIO4
EPWM3_B	O	ePWM-3 出力 B	GPIO5	GPIO5	GPIO5	GPIO5
EPWM4_A	O	ePWM-4 出力 A	GPIO6	GPIO6	GPIO6	GPIO6
EPWM4_B	O	ePWM-4 出力 B	GPIO7	GPIO7	GPIO7	GPIO7
EPWM5_A	O	ePWM-5 出力 A	GPIO8 GPIO16	GPIO8 GPIO16	GPIO8 GPIO16	GPIO8 GPIO16
EPWM5_B	O	ePWM-5 出力 B	GPIO9 GPIO17	GPIO9 GPIO17	GPIO9 GPIO17	GPIO9 GPIO17
EPWM6_A	O	ePWM-6 出力 A	GPIO10 GPIO18_X 2	GPIO10 GPIO18_X 2	GPIO10 GPIO18_X 2	GPIO18_X 2
EPWM6_B	O	ePWM-6 出力 B	GPIO11	GPIO11	GPIO11	GPIO11
EPWM7_A	O	ePWM-7 出力 A	GPIO12 GPIO28	GPIO28	GPIO12 GPIO28	GPIO12 GPIO28
EPWM7_B	O	ePWM-7 出力 B	GPIO13 GPIO29	GPIO29	GPIO13 GPIO29	GPIO13 GPIO29
EPWM8_A	O	ePWM-8 出力 A	GPIO14 GPIO24	GPIO24	GPIO14 GPIO24	GPIO14 GPIO24
EPWM8_B	O	ePWM-8 出力 B	GPIO15 GPIO32	GPIO32	GPIO15 GPIO32	GPIO15 GPIO32
EQP1_A	I	eQEP-1 入力 A	GPIO6 GPIO10 GPIO28 GPIO35/T DI GPIO40 GPIO56	GPIO6 GPIO10 GPIO28 GPIO35/T DI	GPIO6 GPIO10 GPIO28 GPIO35/T DI	GPIO6 GPIO28 GPIO35/T DI

表 6-7. GPIO によるデジタル信号 (continued)

信号名	ピンの種類	説明	100 PZ	64 PMQ	64 PM	56 RSH
EQP1_B	I	eQEP-1 入力 B	GPIO7 GPIO11 GPIO29 GPIO37/T DO GPIO57	GPIO7 GPIO11 GPIO29 GPIO37/T DO	GPIO7 GPIO11 GPIO29 GPIO37/T DO	GPIO7 GPIO11 GPIO29 GPIO37/T DO
EQEP1_INDEX	I/O	eQEP-1 インデックス	GPIO9 GPIO13 GPIO17 GPIO31 GPIO59	GPIO9 GPIO17	GPIO9 GPIO13 GPIO17	GPIO9 GPIO13 GPIO17
EQEP1_STROBE	I/O	eQEP-1 ストロブ	GPIO8 GPIO12 GPIO16 GPIO22_V FBSW GPIO30 GPIO58	GPIO8 GPIO16 GPIO22_V FBSW	GPIO8 GPIO12 GPIO16 GPIO22_V FBSW	GPIO8 GPIO12 GPIO16 GPIO22_V FBSW
EQEP2_A	I	eQEP-2 入力 A	GPIO14 GPIO18_X 2 GPIO24	GPIO18_X 2 GPIO24	GPIO18_X 2 GPIO24	GPIO18_X 2 GPIO24
EQEP2_B	I	eQEP-2 入力 B	GPIO15 GPIO25			
EQEP2_INDEX	I/O	eQEP-2 インデックス	GPIO26 GPIO29 GPIO57	GPIO29	GPIO29	GPIO29
EQEP2_STROBE	I/O	eQEP-2 ストロブ	GPIO27 GPIO28 GPIO56	GPIO28	GPIO28	GPIO28
ERRORSTS	O	アクティブ・ローのエラー・ステータス出力。電源投入時または ERRORSTS 信号自体の障害発生時にエラー状態をアサートする場合は、外付けのプルダウン抵抗を使用できます。記載されている条件でエラー状態をアサートしたくない場合は、プルアップ抵抗を使用できます。	GPIO24 GPIO28 GPIO29	GPIO24 GPIO28 GPIO29	GPIO24 GPIO28 GPIO29	GPIO24 GPIO28 GPIO29
FSIRXA_CLK	I	FSIRX-A 入力クロック	GPIO4 GPIO13 GPIO33 GPIO39	GPIO4 GPIO33	GPIO4 GPIO13 GPIO33	GPIO4 GPIO13 GPIO33
FSIRXA_D0	I	FSIRX-A 1 次データ入力	GPIO3 GPIO12 GPIO32 GPIO40	GPIO3 GPIO32	GPIO3 GPIO12 GPIO32	GPIO3 GPIO12 GPIO32
FSIRXA_D1	I	FSIRX-A オプションの追加データ入力	GPIO2 GPIO11 GPIO31	GPIO2 GPIO11	GPIO2 GPIO11	GPIO2 GPIO11

表 6-7. GPIO によるデジタル信号 (continued)

信号名	ピンの種類	説明	100 PZ	64 PMQ	64 PM	56 RSH
FSITXA_CLK	O	FSITX-A 出力クロック	GPIO7 GPIO10 GPIO27	GPIO7 GPIO10	GPIO7 GPIO10	GPIO7
FSITXA_D0	O	FSITX-A 1 次データ出力	GPIO6 GPIO9 GPIO26	GPIO6 GPIO9	GPIO6 GPIO9	GPIO6 GPIO9
FSITXA_D1	O	FSITX-A オプションの追加データ出力	GPIO5 GPIO8 GPIO25	GPIO5 GPIO8	GPIO5 GPIO8	GPIO5 GPIO8
I2CA_SCL	I/OD	I2C-A オープン・ドレイン双方向クロック	GPIO1 GPIO8 GPIO18_X 2 GPIO27 GPIO33 GPIO37/T DO	GPIO1 GPIO8 GPIO18_X 2 GPIO33 GPIO37/T DO	GPIO1 GPIO8 GPIO18_X 2 GPIO33 GPIO37/T DO	GPIO1 GPIO8 GPIO18_X 2 GPIO33 GPIO37/T DO
I2CA_SDA	I/OD	I2C-A オープン・ドレイン双方向データ	GPIO0 GPIO10 GPIO26 GPIO32 GPIO35/T DI	GPIO0 GPIO10 GPIO32 GPIO35/T DI	GPIO0 GPIO10 GPIO32 GPIO35/T DI	GPIO0 GPIO32 GPIO35/T DI
LINA_RX	I	LIN-A 受信	GPIO29 GPIO33 GPIO35/T DI GPIO59	GPIO29 GPIO33 GPIO35/T DI	GPIO29 GPIO33 GPIO35/T DI	GPIO29 GPIO33 GPIO35/T DI
LINA_TX	O	LIN-A 送信	GPIO22_V FBSW GPIO28 GPIO32 GPIO37/T DO GPIO58	GPIO22_V FBSW GPIO28 GPIO32 GPIO37/T DO	GPIO22_V FBSW GPIO28 GPIO32 GPIO37/T DO	GPIO22_V FBSW GPIO28 GPIO32 GPIO37/T DO
OUTPUTXBAR1	O	出力クロスバー出力 1	GPIO2 GPIO24 GPIO34 GPIO58	GPIO2 GPIO24	GPIO2 GPIO24	GPIO2 GPIO24
OUTPUTXBAR2	O	出力クロスバー出力 2	GPIO3 GPIO25 GPIO37/T DO GPIO59	GPIO3 GPIO37/T DO	GPIO3 GPIO37/T DO	GPIO3 GPIO37/T DO
OUTPUTXBAR3	O	出力クロスバー出力 3	GPIO4 GPIO5 GPIO14 GPIO26	GPIO4 GPIO5	GPIO4 GPIO5	GPIO4 GPIO5

表 6-7. GPIO によるデジタル信号 (continued)

信号名	ピンの種類	説明	100 PZ	64 PMQ	64 PM	56 RSH
OUTPUTXBAR4	O	出力クロスバー出力 4	GPIO6 GPIO15 GPIO27 GPIO33	GPIO6 GPIO33	GPIO6 GPIO33	GPIO6 GPIO33
OUTPUTXBAR5	O	出力クロスバー出力 5	GPIO7 GPIO28	GPIO7 GPIO28	GPIO7 GPIO28	GPIO7 GPIO28
OUTPUTXBAR6	O	出力クロスバー出力 6	GPIO9 GPIO29	GPIO9 GPIO29	GPIO9 GPIO29	GPIO9 GPIO29
OUTPUTXBAR7	O	出力クロスバー出力 7	GPIO11 GPIO16 GPIO30	GPIO11 GPIO16	GPIO11 GPIO16	GPIO11 GPIO16
OUTPUTXBAR8	O	出力クロスバー出力 8	GPIO17 GPIO31	GPIO17	GPIO17	GPIO17
PMBUSA_ALERT	I/OD	PMBus-A オープン・ドレイン双方向アラート信号	GPIO13 GPIO27 GPIO37/T DO	GPIO37/T DO	GPIO13 GPIO37/T DO	GPIO13 GPIO37/T DO
PMBUSA_CTL	I	PMBus-A 制御信号	GPIO12 GPIO18_X 2 GPIO26 GPIO35/T DI	GPIO18_X 2 GPIO35/T DI	GPIO12 GPIO18_X 2 GPIO35/T DI	GPIO12 GPIO18_X 2 GPIO35/T DI
PMBUSA_SCL	I/OD	PMBus-A オープン・ドレイン双方向クロック	GPIO3 GPIO15 GPIO16 GPIO24 GPIO35/T DI	GPIO3 GPIO16 GPIO24 GPIO35/T DI	GPIO3 GPIO16 GPIO24 GPIO35/T DI	GPIO3 GPIO16 GPIO24 GPIO35/T DI
PMBUSA_SDA	I/OD	PMBus-A オープン・ドレイン双方向データ	GPIO2 GPIO14 GPIO17 GPIO25 GPIO34 GPIO40	GPIO2 GPIO17	GPIO2 GPIO17	GPIO2 GPIO17
SCIA_RX	I	SCI-A 受信データ	GPIO3 GPIO9 GPIO17 GPIO25 GPIO28 GPIO35/T DI	GPIO3 GPIO9 GPIO17 GPIO28 GPIO35/T DI	GPIO3 GPIO9 GPIO17 GPIO28 GPIO35/T DI	GPIO3 GPIO9 GPIO17 GPIO28 GPIO35/T DI
SCIA_TX	O	SCI-A 送信データ	GPIO2 GPIO8 GPIO16 GPIO24 GPIO29 GPIO37/T DO	GPIO2 GPIO8 GPIO24 GPIO29 GPIO37/T DO	GPIO2 GPIO8 GPIO24 GPIO29 GPIO37/T DO	GPIO2 GPIO8 GPIO24 GPIO29 GPIO37/T DO

表 6-7. GPIO によるデジタル信号 (continued)

信号名	ピンの種類	説明	100 PZ	64 PMQ	64 PM	56 RSH
SCIB_RX	I	SCI-B 受信データ	GPIO11 GPIO13 GPIO15 GPIO57	GPIO11	GPIO11 GPIO13	GPIO11 GPIO13
SCIB_TX	O	SCI-B 送信データ	GPIO9 GPIO10 GPIO12 GPIO14 GPIO18_X 2 GPIO22_V FBSW GPIO40 GPIO56	GPIO9 GPIO10 GPIO18_X 2 GPIO22_V FBSW	GPIO9 GPIO10 GPIO12 GPIO18_X 2 GPIO22_V FBSW	GPIO9 GPIO12 GPIO18_X 2 GPIO22_V FBSW
SD1_C1	I	SDFM-1 チャンネル 1 クロック入力	GPIO17 GPIO25	GPIO17	GPIO17	GPIO17
SD1_C2	I	SDFM-1 チャンネル 2 クロック入力	GPIO27			
SD1_C3	I	SDFM-1 チャンネル 3 クロック入力	GPIO29 GPIO33 GPIO57	GPIO29 GPIO33	GPIO29 GPIO33	GPIO29 GPIO33
SD1_C4	I	SDFM-1 チャンネル 4 クロック入力	GPIO31 GPIO59			
SD1_D1	I	SDFM-1 チャンネル 1 データ入力	GPIO16 GPIO24	GPIO16 GPIO24	GPIO16 GPIO24	GPIO16 GPIO24
SD1_D2	I	SDFM-1 チャンネル 2 データ入力	GPIO18_X 2 GPIO26	GPIO18_X 2	GPIO18_X 2	GPIO18_X 2
SD1_D3	I	SDFM-1 チャンネル 3 データ入力	GPIO28 GPIO32 GPIO56	GPIO28 GPIO32	GPIO28 GPIO32	GPIO28 GPIO32
SD1_D4	I	SDFM-1 チャンネル 4 データ入力	GPIO22_V FBSW GPIO30 GPIO58	GPIO22_V FBSW	GPIO22_V FBSW	GPIO22_V FBSW
SPIA_CLK	I/O	SPI-A クロック	GPIO3 GPIO9 GPIO18_X 2 GPIO56	GPIO3 GPIO9 GPIO18_X 2	GPIO3 GPIO9 GPIO18_X 2	GPIO3 GPIO9 GPIO18_X 2
SPIA_SIMO	I/O	SPI-A スレーブ入力、マスタ出力 (SIMO)	GPIO8 GPIO16	GPIO8 GPIO16	GPIO8 GPIO16	GPIO8 GPIO16
SPIA_SOMI	I/O	SPI-A スレーブ出力、マスタ入力 (SOMI)	GPIO10 GPIO17	GPIO10 GPIO17	GPIO10 GPIO17	GPIO17
SPIA_STE	I/O	SPI-A スレーブ送信イネーブル (STE)	GPIO5 GPIO11 GPIO57	GPIO5 GPIO11	GPIO5 GPIO11	GPIO5 GPIO11

表 6-7. GPIO によるデジタル信号 (continued)

信号名	ピンの種類	説明	100 PZ	64 PMQ	64 PM	56 RSH
SPIB_CLK	I/O	SPI-B クロック	GPIO14 GPIO22_V FBSW GPIO26 GPIO28 GPIO32 GPIO58	GPIO22_V FBSW GPIO28 GPIO32	GPIO22_V FBSW GPIO28 GPIO32	GPIO22_V FBSW GPIO28 GPIO32
SPIB_SIMO	I/O	SPI-B スレーブ入力、マスタ出力 (SIMO)	GPIO7 GPIO24 GPIO30 GPIO56	GPIO7 GPIO24	GPIO7 GPIO24	GPIO7 GPIO24
SPIB_SOMI	I/O	SPI-B スレーブ出力、マスタ入力 (SOMI)	GPIO6 GPIO25 GPIO31 GPIO57	GPIO6	GPIO6	GPIO6
SPIB_STE	I/O	SPI-B スレーブ送信イネーブル (STE)	GPIO15 GPIO27 GPIO29 GPIO33 GPIO59	GPIO29 GPIO33	GPIO29 GPIO33	GPIO29 GPIO33
SYNCOUT	O	外部 ePWM 同期パルス	GPIO6	GPIO6	GPIO6	GPIO6
TDI	I	JTAG テスト・データ入力 (TDI) - TDI は、このピンのデフォルトの多重化選択です。内部プルアップは、デフォルトで無効になっています。このピンを JTAG TDI として使用する場合は、入力がフローティング入力にならないように、内部プルアップをイネーブルにするか、ボードに外部プルアップを追加する必要があります。	GPIO35/T DI	GPIO35/T DI	GPIO35/T DI	GPIO35/T DI
TDO	O	JTAG テスト・データ出力 (TDO) - TDO は、このピンのデフォルトの多重化選択です。内部プルアップは、デフォルトで無効になっています。JTAG アクティビティがない場合、TDO 機能はトライステート状態になり、このピンはフローティング状態のままになります。GPIO 入力がフローティングにならないように、内部プルアップをイネーブルにするか、または外部プルアップをボードに追加する必要があります。	GPIO37/T DO	GPIO37/T DO	GPIO37/T DO	GPIO37/T DO
VFBSW	-	内部 DC-DC レギュレータのフィードバック信号。内部 DC-DC レギュレータを使用する場合は、L (VSW) が VDD レールに接続されているノード (デバイスにできるだけ近いところ) にこのピンを接続します。	GPIO22_V FBSW	GPIO22_V FBSW	GPIO22_V FBSW	GPIO22_V FBSW
VSW	-	内部 DC-DC レギュレータのスイッチング出力	GPIO23_V SW	GPIO23_V SW	GPIO23_V SW	GPIO23_V SW
X2	I/O	水晶発振器出力	GPIO18_X 2	GPIO18_X 2	GPIO18_X 2	GPIO18_X 2

表 6-7. GPIO によるデジタル信号 (continued)

信号名	ピンの種類	説明	100 PZ	64 PMQ	64 PM	56 RSH
XCLKOUT	O	外部クロック出力。このピンは、デバイス内のクロック信号の中から選択されたものを分周した信号を出力します。	GPIO16 GPIO18_X 2	GPIO16 GPIO18_X 2	GPIO16 GPIO18_X 2	GPIO16 GPIO18_X 2

6.4.2 ADC ピンのデジタル入力 (AIO)

ポート H の GPIO (GPIO224~GPIO255) は、アナログ・ピンと多重化されています。これらは、「AIO」とも呼ばれます。これらのピンは入力モードでのみ機能します。デフォルトでは、これらのピンはアナログ・ピンとして機能し、GPIO はハイ・インピーダンス状態になります。GPHAMSEL レジスタは、これらのピンをデジタルまたはアナログ動作に構成するために使用します。

注

鋭いエッジ (大きい dv/dt) を持つデジタル信号を AIO に接続すると、隣接するアナログ信号に対してクロストークが発生する可能性があります。したがって、アナログ機能に隣接するチャネルを使用する場合は、AIO に接続する信号のエッジ・レートを制限する必要があります。

6.4.3 GPIO 入力クロスバー

入力クロスバーは、GPIO からの信号を、ADC、eCAP、ePWM、外部割り込みなどのさまざまな IP ブロックにルーティングするために使用されます (図 6-5 を参照)。表 6-8 に、入力クロスバーの接続先を示します。入力クロスバーの構成の詳細については、『TMS320F28004x リアルタイム・マイクロコントローラ・テクニカル・リファレンス・マニュアル』の「クロスバー (X-BAR)」の章を参照してください。

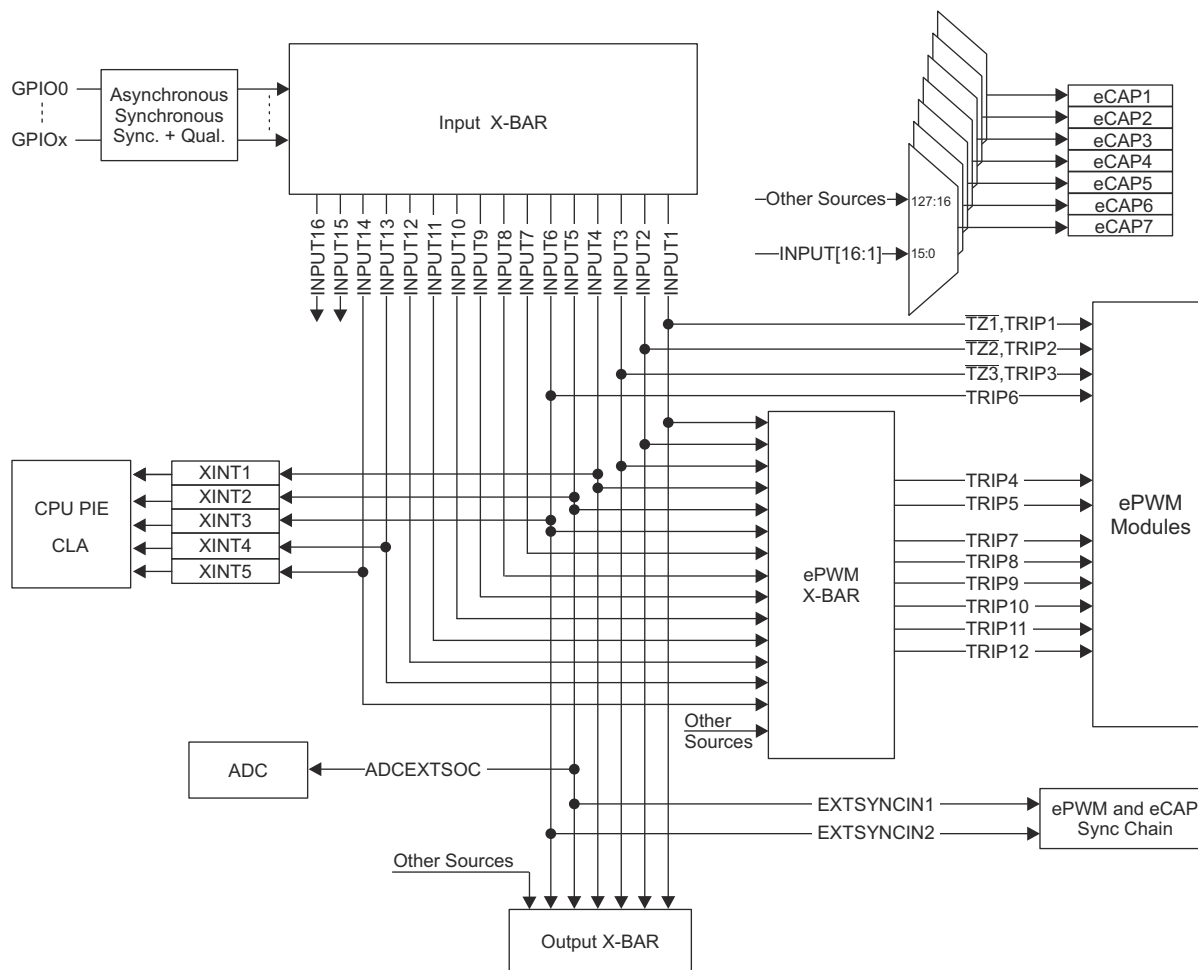


図 6-5. 入力クロスバー

表 6-8. クロスバーの接続先

入力	接続先
INPUT1	eCAPx、ePWM クロスバー、ePWM[TZ1, TRIP1]、出力クロスバー
INPUT2	eCAPx、ePWM クロスバー、ePWM[TZ2, TRIP2]、出力クロスバー
INPUT3	eCAPx、ePWM クロスバー、ePWM[TZ3, TRIP3]、出力クロスバー
INPUT4	eCAPx、ePWM クロスバー、XINT1、出力クロスバー
INPUT5	eCAPx、ePWM クロスバー、XINT2、ADCEXTSOC、EXTSYNCIN1、出力クロスバー
INPUT6	eCAPx、ePWM クロスバー、XINT3、ePWM[TRIP6]、EXTSYNCIN2、出力クロスバー
INPUT7	eCAPx、ePWM クロスバー
INPUT8	eCAPx、ePWM クロスバー
INPUT9	eCAPx、ePWM クロスバー
INPUT10	eCAPx、ePWM クロスバー
INPUT11	eCAPx、ePWM クロスバー
INPUT12	eCAPx、ePWM クロスバー
INPUT13	eCAPx、ePWM X ンバー、XINT4
INPUT14	eCAPx、ePWM X ンバー、XINT5
INPUT15	eCAPx
INPUT16	eCAPx

6.4.4 GPIO 出力クロスバーおよび ePWM クロスバー

出力クロスバーには 8 つの出力があり、これらは GPIO モジュールにルーティングされます。ePWM クロスバーには 8 つの出力があり、これらは各 ePWM モジュールに接続されています。図 6-6 に、出力クロスバーおよび ePWM クロスバーのソースを示します。出力クロスバーおよび ePWM クロスバーの詳細については、『TMS320F28004x リアルタイム・マイクロコントローラ・テクニカル・リファレンス・マニュアル』の「クロスバー (X-BAR)」の章を参照してください。

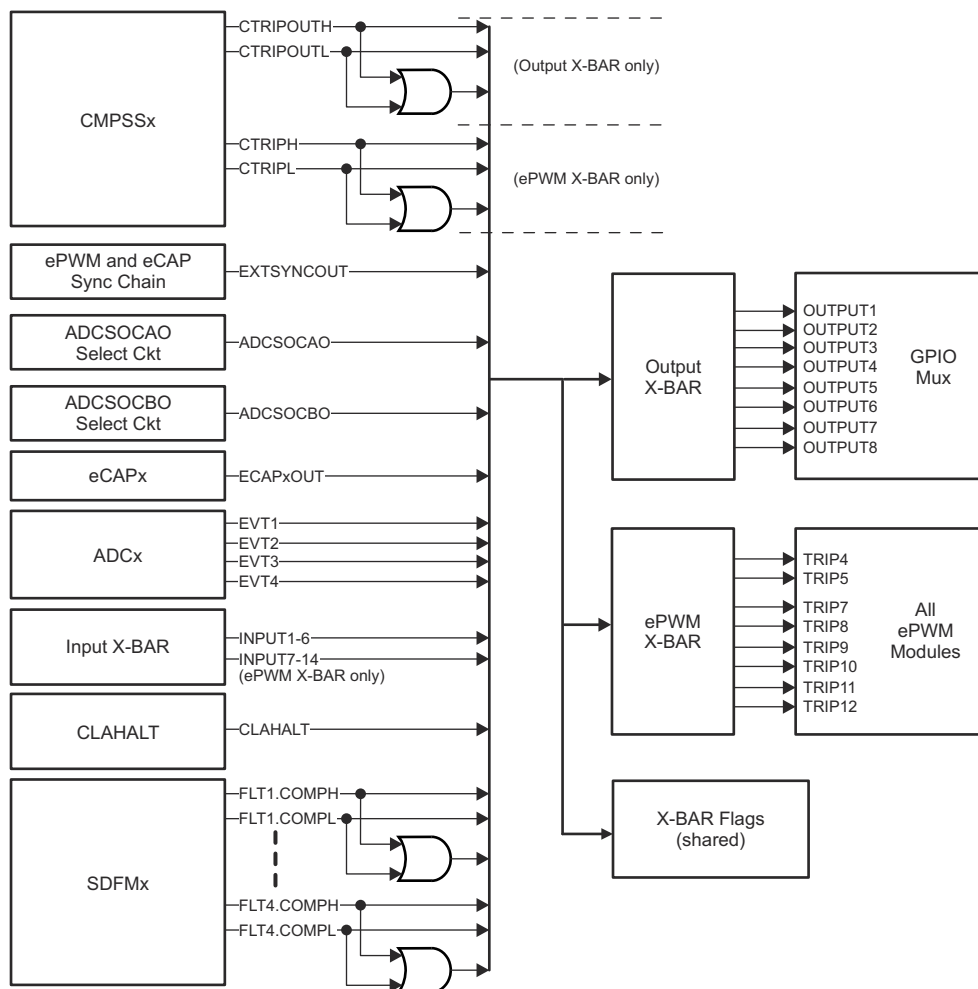


図 6-6. 出力クロスバーおよび ePWM クロスバー

6.5 内部プルアップおよびプルダウン付きのピン

デバイスの一部のピンには、内部プルアップまたはプルダウンが付いています。表 6-9 に、プル方向および動作するときを示します。GPIO ピンのプルアップは、デフォルトでディセーブルになっており、ソフトウェアによってイネーブルにできます。未接続入力フローティングになるのを回避するため、ブート ROM は、特定のパッケージで未接続の GPIO ピンについて、内部プルアップをイネーブルにします。表 6-9 に記載されているプルアップおよびプルダウン付きの他のピンは、常にオンであり、ディセーブルできません。

表 6-9. 内部プルアップおよびプルダウン付きのピン

ピン	リセット (XRSn = 0)	デバイス・ブート	アプリケーション
GPIOx (AIO を含む)	プルアップ・ディセーブル	プルアップ・ディセーブル ⁽¹⁾	アプリケーションで設定
GPIO35/TDI	プルアップ・ディセーブル		アプリケーションで設定
GPIO37/TDO	プルアップ・ディセーブル		アプリケーションで設定
TCK	プルアップ・イネーブル		
TMS	プルアップ・イネーブル		
VREGENZ	プルダウン・イネーブル		
XRSn	プルアップ・イネーブル		
その他のピン	プルアップまたはプルダウンなし		

(1) 特定のパッケージで未接続の GPIO ピンについては、ブート ROM が内部プルアップをイネーブルにします。

6.6 未使用ピンの接続

デバイスのすべての機能を使用する必要のないアプリケーションについては、表 6-10 に、未使用のピンに対して許容される処置を示します。表 6-10 に複数の選択肢が示されている場合は、どれを採用してもかまいません。表 6-10 に記載されていないピンは、セクション 6 に従って接続する必要があります。

表 6-10. 未使用ピンの接続

信号名	許容される処置
アナログ	
DACx_OUT と共有するアナログ入力ピン	<ul style="list-style-type: none"> 接続なし 4.7kΩ 以上の抵抗を経由して VSSA に接続
PGAx_OUTF と共有するアナログ入力ピン	<ul style="list-style-type: none"> 接続なし 4.7kΩ 以上の抵抗を経由して VSSA に接続
アナログ入力ピン (DACx_OUT および PGAx_OUTF を除く)	<ul style="list-style-type: none"> 接続なし VSSA に接続 抵抗を経由して VSSA に接続
PGAx_GND	VSSA に接続
VREFHix	VDDA に接続 (ADC または DAC がアプリケーションで使用されていない場合のみ適用)
VREFLOx	VSSA に接続
デジタル	
FLT1 (フラッシュ・テスト・ピン 1)	<ul style="list-style-type: none"> 接続なし 4.7kΩ 以上の抵抗を経由して VSS に接続
FLT2 (フラッシュ・テスト・ピン 2)	<ul style="list-style-type: none"> 接続なし 4.7kΩ 以上の抵抗を経由して VSS に接続
GPIOx	<ul style="list-style-type: none"> 接続なし (入力モードで内部プルアップをイネーブル) 接続なし (出力モードで内部プルアップをディセーブル) プルアップまたはプルダウン抵抗 (任意の値の抵抗、入力モードで内部プルアップをディセーブル)
GPIO35/TDI	TDI 多重化オプションを選択すると (デフォルト)、GPIO は入力モードになります。 <ul style="list-style-type: none"> 内部プルアップをイネーブル 外部プルアップ抵抗
GPIO37/TDO	TDO 多重化オプションを選択すると (デフォルト)、GPIO は JTAG 動作中のみ出力モードになります。それ以外の場合は、トライステート状態になります。入力バッファでの余分な電流を避けるため、このピンにバイアスを印加する必要があります。 <ul style="list-style-type: none"> 内部プルアップをイネーブル 外部プルアップ抵抗
TCK	<ul style="list-style-type: none"> 接続なし プルアップ抵抗
TMS	プルアップ抵抗
VREGENZ	内部レギュレータを使用しない場合は、VDDIO に接続
X1	VSS に接続
X2	接続なし
電源およびグランド	
VDD	すべての VDD ピンは、セクション 6.3 に従って接続する必要があります。
VDDA	専用のアナログ電源を使用しない場合は、VDDIO に接続します。
VDDIO	すべての VDDIO ピンは、セクション 6.3 に従って接続する必要があります。

表 6-10. 未使用ピンの接続 (continued)

信号名	許容される処置
VDDIO_SW	常に VDDIO に接続します。
VSS	すべての VSS ピンは、基板のグランドに接続する必要があります。
VSS_SW	常に VSS に接続します。
VSSA	アナログ・グランドを使用しない場合は、VSS に接続します。

7 仕様

7.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)^{(1) (2)}

		最小値	最大値	単位
電源電圧	VSS を基準とした VDDIO	-0.3	4.6	V
	VSSA を基準とした VDDA	-0.3	4.6	
	VSS を基準とした VDD	-0.3	1.5	
VDDIO ピンと VDDIO_SW ピンの電圧差			±0.3	V
入力電圧	V _{IN} (3.3V)	-0.3	4.6	V
出力電圧	V _O	-0.3	4.6	V
入力クランプ電流 ⁽⁴⁾	デジタル入力 (ピンごと)、I _{IK} (V _{IN} < VSS または V _{IN} > VDDIO)	-20	20	mA
	アナログ入力 (ピンごと)、I _{IKANALOG} (V _{IN} < VSSA または V _{IN} > VDDA)	-20	20	
	すべての入力の合計値、I _{IKTOTAL} (V _{IN} < VSS/VSSA または V _{IN} > VDDIO/VDDA)	-20	20	
出力電流	デジタル出力 (ピンごと)、I _{OUT}	-20	20	mA
自由気流での周囲温度	T _A	-40	125	°C
動作時接合部温度	T _J	-40	150	°C
保存温度 ⁽³⁾	T _{stg}	-65	150	°C

- (1) 「絶対最大定格」を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについて示しており、このデータシートの「セクション 7.4」に示された値を超える状態で本製品が正常に動作することを暗黙的に示すものではありません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。
- (2) すべての電圧値は、特に記述のない限り、VSS 端子を基準とします。
- (3) 長期的な高温保存、または最大温度条件での長時間使用は、デバイス全体の寿命を短縮する可能性があります。詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション・レポートを参照してください。
- (4) ピンごとの連続クランプ電流は ±2mA です。この条件で連続的に動作すると、V_{DDIO}/V_{DDA} 電圧が内部で上昇し、他の電氣的仕様に影響を及ぼす可能性があるため、連続動作は避けてください。

7.2 ESD 定格 - 民生用

			値	単位
F280049, F280049C, F280045, F280041, F280041C, 100 ピン PZ パッケージ (S 温度範囲)				
V _(ESD) 静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾		±2000	V
	デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 または ANSI/ESDA/JEDEC JS-002 準拠 ⁽²⁾	すべてのピン	±500	
		100 ピン PZ のコーナー・ピン: 1, 25, 26, 50, 51, 75, 76, 100	±750	
F280049, F280049C, F280045, F280041, F280041C, 64 ピン PM パッケージ (S 温度範囲)				
V _(ESD) 静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾		±2000	V
	デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 または ANSI/ESDA/JEDEC JS-002 準拠 ⁽²⁾	すべてのピン	±500	
		64 ピン PM のコーナー・ピン: 1, 16, 17, 32, 33, 48, 49, 64	±750	
F280049, F280049C, F280045, F280041, F280041C, 56 ピン RSH パッケージ (S 温度範囲)				
V _(ESD) 静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾		±2000	V
	デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 または ANSI/ESDA/JEDEC JS-002 準拠 ⁽²⁾		±500	

- (1) JEDEC のドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスで安全な製造が可能であると記載されています。
- (2) JEDEC のドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスで安全な製造が可能であると記載されています。

7.3 ESD 定格 - 車載用

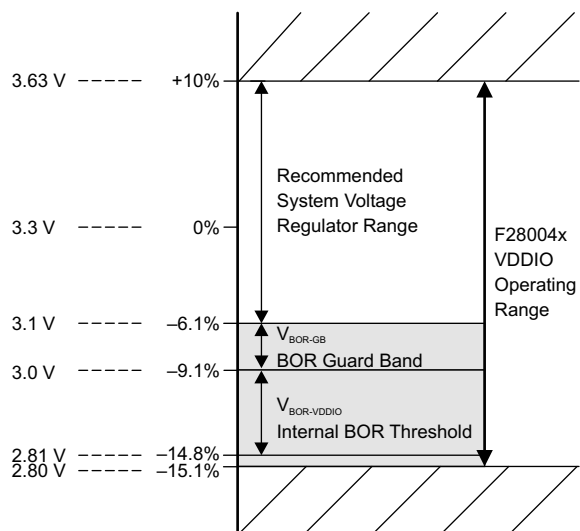
			値	単位	
F280049-Q1, F280049C-Q1, F280041-Q1, F280041C-Q1, 100 ピン PZ パッケージ (Q 温度範囲)					
V _(ESD)	静電放電	人体モデル (HBM)、AEC Q100-002 準拠 ⁽¹⁾	すべてのピン	±2000	V
		デバイス帯電モデル (CDM)、AEC Q100-011 準拠	すべてのピン	±500	
			100 ピン PZ のコーナー・ピン: 1、25、26、50、51、75、76、100	±750	
F280048-Q1, F280048C-Q1, F280040-Q1, F280040C-Q1, 64 ピン PM パッケージ (Q 温度範囲)					
V _(ESD)	静電放電	人体モデル (HBM)、AEC Q100-002 準拠 ⁽¹⁾	すべてのピン	±2000	V
		デバイス帯電モデル (CDM)、AEC Q100-011 準拠	すべてのピン	±500	
			64 ピン PM のコーナー・ピン: 1、16、17、32、33、48、49、64	±750	

(1) AEC Q100-002 は、ANSI/ESDA/JEDEC JS-001 仕様に従って HBM ストレス試験を実施することを示しています。

7.4 推奨動作条件

		最小値	公称値	最大値	単位
デバイス電源電圧、VDDIO および VDDA	内部 BOR イネーブル ⁽³⁾	V _{BOR-VDDIO} (MAX) + V _{BOR-GB} ⁽²⁾	3.3	3.63	V
	内部 BOR ディセーブル		2.8	3.63	
バイアス電源電圧、VDD		1.14	1.2	1.32	V
デバイス・グランド、VSS			0		V
アナログ・グランド、VSSA			0		V
SR _{SUPPLY}	電源ランプ速度 ⁽⁴⁾				
t _{VDDIO-RAMP}	VDDIO 電源ランプ時間 1V から V _{BOR-VDDIO} (最大値) まで			10	ms
V _{BOR-GB}	VDDIO BOR ガードバンド ⁽⁵⁾		0.1		V
接合部温度、T _J	S バージョン ⁽¹⁾	-40		125	°C
自由気流での周囲温度、T _A	Q バージョン ⁽¹⁾ (AEC Q100 認定)	-40		125	°C

- (1) T_J = 105°C を超えて長時間動作すると、デバイスの寿命が短くなります。詳細については、『組み込みプロセッサの有効寿命の計算』を参照してください。
- (2) 「電気的特性」の VDDIO BOR 電圧 (V_{BOR-VDDIO}[MAX]) によって、デバイス動作の下限電圧が決まります。図 7-1 に示すように追加のガードバンド (V_{BOR-GB}) を確保することを、システム設計者に対して推奨します。
- (3) デフォルトで、内部 BOR がイネーブルになっています。
- (4) 「パワー・マネージメント・モジュールの動作条件」表を参照してください。
- (5) 3.3V VDDIO システム・レギュレータにおいて、通常の電源ノイズまたは負荷過渡イベントによって BOR リセットが発生することを回避するため、TI は V_{BOR-GB} を推奨します。通常のデバイス動作時に BOR がアクティブになることを防止するために、優れたシステム・レギュレータ設計および (システム・レギュレータの仕様に従った) デカップリング容量が重要です。V_{BOR-GB} の値は、システム・レベルの設計上の考慮事項であり、ここに示す電圧は多くのアプリケーションで一般的です。



Copyright © 2017, Texas Instruments Incorporated

图 7-1. 电源电压

7.5 消費電力の概略

このセクションに記載されている電流値は、絶対最大値ではなく、与えられたテスト条件での代表値を表しています。アプリケーションでの実際のデバイス電流は、アプリケーション・コードおよびピン構成によって異なります。[セクション 7.5.1](#)に、外部電源のシステム消費電流値を示します。[セクション 7.5.2](#)に、内部 VREG のシステム消費電流値を示します。[セクション 7.5.3](#)に、DC-DC のシステム消費電流値を示します。動作モードで消費電流を測定するときに実行するテスト・ケースの詳細な説明については、[セクション 7.5.4](#)を参照してください。

7.5.1 システム消費電流 (外部電源)

自由気流での動作温度範囲内 (特に記述のない限り)。
標準値: V_{nom} , 30°C

パラメータ	テスト条件	最小値	標準値	最大値	単位
動作モード					
I_{DD}	動作時の VDD 消費電流 ⁽¹⁾		61	90	mA
I_{DDIO}	動作時の VDDIO 消費電流	セクション 7.5.4 を参照。			
I_{DDA}	動作時の VDDA 消費電流				
アイドル・モード					
I_{DD}	デバイスがアイドル・モードのときの VDD 消費電流 ⁽¹⁾	<ul style="list-style-type: none"> CPU はアイドル・モード フラッシュは電源オフ XCLKOUT はオフ 	18	40	mA
I_{DDIO}	デバイスがアイドル・モードのときの VDDIO 消費電流		1.2	4	mA
I_{DDA}	デバイスがアイドル・モードのときの VDDA 消費電流		0.9	1.2	mA
ホールド・モード					
I_{DD}	デバイスがホールド・モードのときの VDD 消費電流 ⁽¹⁾	<ul style="list-style-type: none"> CPU はホールド・モード フラッシュは電源オフ XCLKOUT はオフ 	0.9	20	mA
I_{DDIO}	デバイスがホールド・モードのときの VDDIO 消費電流		0.8	4	mA
I_{DDA}	デバイスがホールド・モードのときの VDDA 消費電流		0.2	0.5	mA
フラッシュ 消去 / プログラム					
I_{DD}	消去 / プログラム・サイクル中の VDD 消費電流 ^{(1) (2)}	<ul style="list-style-type: none"> CPU はフラッシュから実行され、使用されていないセクタで消去とプログラムを実行します。 VREG はディセーブル。 SYSCLK は 100MHz で動作。 I/O はプルアップがイネーブルされた入力。 ペリフェラル・クロックはオフ。 	40	70	mA
I_{DDIO}	消去 / プログラム・サイクル中の VDDIO 消費電流 ⁽²⁾		33	75	mA
I_{DDA}	消去 / プログラム・サイクル中の VDDA 消費電流		0.1	2.5	mA

- (1) I_{DD} 最大値は、VDD の最大推奨動作条件において計測される数値です。内部 VREG および DCDC の表では、この VDD 電源は、安定化された VDD 標準値の電圧です。このため、この外部電源の表に記載された電流値は、内部 VREG および DCDC の表に比べて大きくなります。
- (2) フラッシュ・プログラミング中に発生したブラウンアウト・イベントは、フラッシュ・データを破壊し、デバイスを永続的にロックする可能性があります。代替電源 (USB プログラマなど) を使用するプログラミング環境では、電源のブラウンアウト状態を回避するために、十分なマージンを確保して、デバイスおよび他のシステム・コンポーネントに定格電流を供給できるようにする必要があります。

7.5.2 システム消費電流 (内部 VREG)

自由気流での動作温度範囲内 (特に記述のない限り)。
標準値: V_{nom} , 30°C

パラメータ	テスト条件	最小値	標準値	最大値	単位
動作モード					

自由気流での動作温度範囲内 (特に記述のない限り)。

標準値: V_{nom} 、30°C

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_{DDIO}	動作時の VDDIO 消費電流	セクション 7.5.4 を参照。		86	113	mA
I_{DDA}	動作時の VDDA 消費電流			12	30	mA
アイドル・モード						
I_{DDIO}	デバイスがアイドル・モードのときの VDDIO 消費電流	<ul style="list-style-type: none"> • CPU はアイドル・モード • フラッシュは電源オフ • XCLKOUT はオフ 		19.2	36	mA
I_{DDA}	デバイスがアイドル・モードのときの VDDA 消費電流			0.9	1.2	mA
ホールド・モード						
I_{DDIO}	デバイスがホールド・モードのときの VDDIO 消費電流	<ul style="list-style-type: none"> • CPU はホールド・モード • フラッシュは電源オフ • XCLKOUT はオフ 		1.7	18	mA
I_{DDA}	デバイスがホールド・モードのときの VDDA 消費電流			0.2	0.5	mA
フラッシュ 消去 / プログラム						
I_{DDIO}	消去 / プログラム・サイクル中の VDDIO 消費電流 ⁽¹⁾	<ul style="list-style-type: none"> • CPU はフラッシュから実行され、使用されていないセクタで消去とプログラムを実行します。 • 内部 VREG はイネーブル。 • SYSCLK は 100MHz で動作。 • I/O はプルアップがイネーブルされた入力。 • ペリフェラル・クロックはオフ。 		72	106	mA
I_{DDA}	消去 / プログラム・サイクル中の VDDA 消費電流			0.1	2.5	mA

- (1) フラッシュ・プログラミング中に発生したブラウンアウト・イベントは、フラッシュ・データを破壊し、デバイスを永続的にロックする可能性があります。代替電源 (USB プログラマなど) を使用するプログラミング環境では、電源のブラウンアウト状態を回避するために、十分なマージンを確保して、デバイスおよび他のシステム・コンポーネントに定格電流を供給できるようにする必要があります。

7.5.3 システム消費電流 (DCDC)

自由気流での動作温度範囲内 (特に記述のない限り)。
標準値: V_{nom} , 30°C

パラメータ		テスト条件	最小値	標準値	最大値	単位
動作モード						
I_{DDIO}	動作時の VDDIO 消費電流	セクション 7.5.4 を参照。		52	70	mA
I_{DDA}	動作時の VDDA 消費電流			12	30	mA
アイドル・モード						
I_{DDIO}	デバイスがアイドル・モードのときの VDDIO 消費電流	<ul style="list-style-type: none"> CPU はアイドル・モード フラッシュは電源オフ XCLKOUT はオフ 		9.2	28	mA
I_{DDA}	デバイスがアイドル・モードのときの VDDA 消費電流			0.9	1.5	mA
ホールド・モード						
I_{DDIO}	デバイスがホールド・モードのときの VDDIO 消費電流	<ul style="list-style-type: none"> CPU はホールド・モード フラッシュは電源オフ XCLKOUT はオフ 		1.7	17	mA
I_{DDA}	デバイスがホールド・モードのときの VDDA 消費電流			0.2	1.5	mA
フラッシュ 消去 / プログラム						
I_{DDIO}	消去 / プログラム・サイクル中の VDDIO 消費電流 ⁽¹⁾	<ul style="list-style-type: none"> CPU はフラッシュから実行され、使用されていないセクタで消去とプログラムを実行します。 DCDC はイネーブル。 SYSCLK は 100MHz で動作。 I/O はプルアップがイネーブルされた入力。 ペリフェラル・クロックはオフ。 		60	85	mA
I_{DDA}	消去 / プログラム・サイクル中の VDDA 消費電流				0.25	2.5

- (1) フラッシュ・プログラミング中に発生したブラウンアウト・イベントは、フラッシュ・データを破壊し、デバイスを永続的にロックする可能性があります。代替電源 (USB プログラマなど) を使用するプログラミング環境では、電源のブラウンアウト状態を回避するために、十分なマージンを確保して、デバイスおよび他のシステム・コンポーネントに定格電流を供給できるようにする必要があります。

7.5.4 動作モード・テストの説明

セクション 7.5.1、セクション 7.5.2、セクション 7.5.3 に、デバイスの動作モードでの消費電流値を示します。動作モードでは、アプリケーションで何が発生する可能性があるかを推定できます。ここに示す値を得るために実行したテスト・ケースは、以下の処理をループで行うものです。以下のリストにないペリフェラルのクロックは、ディセーブルされています。

- コードは RAM から実行。
- フラッシュは読み取りで、アクティブ状態を保持。
- 外部コンポーネントは I/O ピンによって駆動されません。
- すべての通信ペリフェラルを実行。SPI-A～SPI-C、SCI-A～SCI-C、I2C-A、CAN A～CAN C、LIN-A、PMBus -A、FSI -A。
- ePWM-1～ePWM-3 は、6 つのピンで 5MHz の出力を生成。
- ePWM-4～ePWM-7 は、HRPWM モードで、6 つのピンで 25MHz を生成。
- CPU タイマはアクティブ。
- CPU は FIR16 計算を実行。
- DMA は連続して 32 ビット転送を実行。
- CLA-1 は、バックグラウンド・タスクで 1024 ポイント DFT を実行。
- すべての ADC は連続変換を実行。
- すべての DAC の電圧は、約 11kHz のループ周波数で変化。
- すべての PGA はイネーブル。
- すべての CMPSS は 100kHz の周波数で方形波を生成。
- SDFM ペリフェラル・クロックはイネーブル。
- ECAP-1～eCAP-7 は APWM モードで、250kHz で切り替え。
- すべての eQEP ウォッチドッグはイネーブルであり、カウント実行。
- システム・ウォッチドッグはイネーブルであり、カウント実行。

7.5.5 消費電流のグラフ

図 7-2、図 7-3、図 7-4 は、デバイスの周波数と消費電流との関係の代表例を示したものです。V_{NOM} および室温の条件において、所定の周波数範囲にわたって [セクション 7.5.1](#) の動作テストを実行しました。実際の結果は、システムの実装と条件によって異なります。

図 7-5 に示すように、VDD コア電源のリーク電流は、動作温度に応じて指数関数的に増加します。ホールド・モードでの消費電流は、主にリーク電流です。内部発振器の電源がオフになっている場合、アクティブなスイッチングが発生しないからです。

図 7-5 に、全温度範囲での標準的なリーク電流を示します。デバイスは、公称電圧でホールド・モードの状態です。

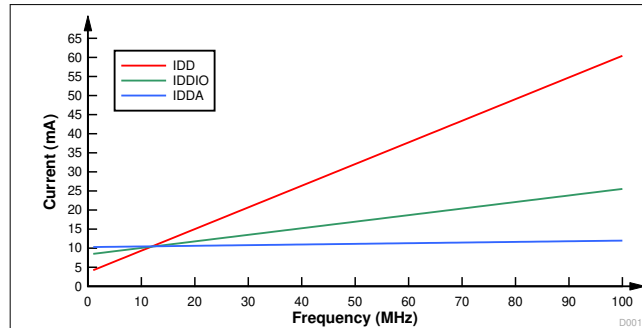


図 7-2. 電流と周波数との関係—外部電源

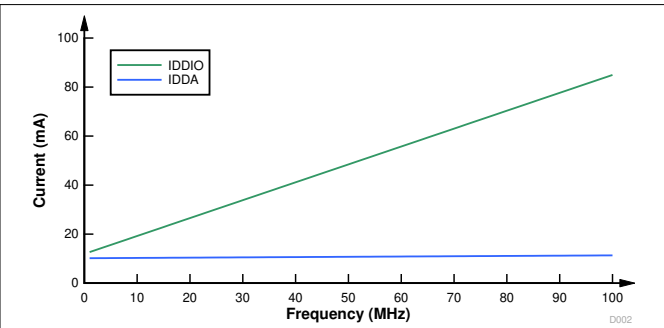


図 7-3. 電流と周波数との関係—内部 VREG

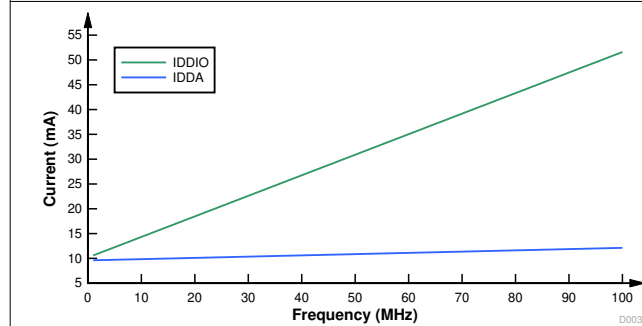


図 7-4. 電流と周波数との関係—DC/DC

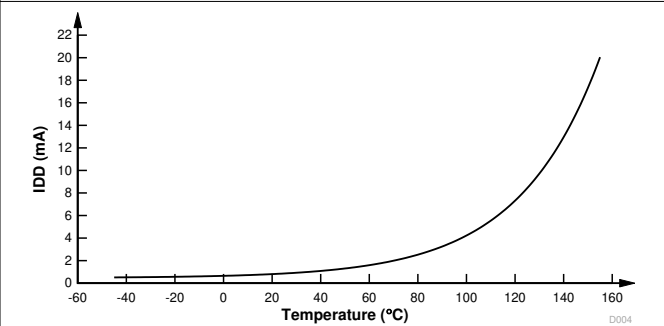


図 7-5. ホールド時の電流と温度 (°C) との関係

7.5.6 消費電流の低減

すべての C2000™ マイクロコントローラには、デバイスの消費電流を低減する方法がいくつかあります。

- アイドルおよびホールドという 2 つの低消費電力モードのどちらかに移行すると、アプリケーションの休止期間中に消費電流をさらに低減できます。
- RAM からコードを実行する場合には、フラッシュ・モジュールの電源をオフにすることができます。
- 出力機能として設定されているピンのプルアップをディセーブルにします。
- 各ペリフェラルには、個別のクロック・イネーブル・ビット (PCLKCRx) があります。特定のアプリケーションで使用されていないペリフェラルについて、クロックをオフにすることにより、消費電流を低減できます。セクション 7.5.6.1 に、100MHz SYSCLK でのペリフェラルごとの標準消費電流値を示します。
- 低消費電力モードで最小の VDDA 消費電流を実現するには、『TMS320F28004x リアルタイム・マイクロコントローラ・テクニカル・リファレンス・マニュアル』の該当するアナログの章を参照して、各モジュールの電源が確実にオフになるようにしてください。

7.5.6.1 各ペリフェラルをディセーブルした場合の標準 I_{DD} 電流低減 (100MHz SYSCLK 時)

ペリフェラル ⁽¹⁾	I_{DD} 電流の低減 (mA)
ADC ⁽²⁾	0.8
CAN	1.1
CLA	0.4
CLB	1.1
CMPSS ⁽²⁾	0.4
CPU タイマ	0.1
DAC ⁽²⁾	0.2
DMA	0.5
eCAP1~eCAP5	0.1
eCAP6~eCAP7 ⁽³⁾	0.4
ePWM	0.7
eQEP	0.1
FSI	0.7
HRPWM	0.8
I2C	0.3
LIN	0.4
PGA ⁽²⁾	0.2
PMBUS	0.3
SCI	0.2
SDFM	0.9
SPI	0.2
DCC	0.1
PLL (100MHz 時)	22.9

- (1) すべてのペリフェラルは、リセット時にディセーブルになります。PCLKCRx レジスタを使用して、ペリフェラルを個別にイネーブルにします。複数のインスタンスを持つペリフェラルの場合、ここに記載された電流は、単一のモジュールのものであります。
- (2) この数値は、ADC モジュールのデジタル部分で消費される電流を示しています。
- (3) eCAP6 および eCAP7 は、HRCAP として構成することもできます。

7.6 電気的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
デジタルおよびアナログ IO						
V _{OH}	HIGH レベル出力電圧	I _{OH} = I _{OH} 最小	VDDIO * 0.8			V
		I _{OH} = -100μA	VDDIO - 0.2			
V _{OL}	LOW レベル出力電圧	I _{OL} = I _{OL} 最大値			0.4	V
		I _{OL} = 100μA			0.2	
I _{OH}	すべての出力ピンの HIGH レベル出力ソース電流		-4			mA
I _{OL}	すべての出力ピンの LOW レベル出力シンク電流				4	mA
R _{OH}	すべての出力ピンの HIGH レベル出力インピーダンス			70		Ω
R _{OL}	すべての出力ピンの LOW レベル出力インピーダンス			70		Ω
V _{IH}	HIGH レベル入力電圧 (3.3V)		2.0	VDDIO + 0.3		V
V _{IL}	LOW レベル入力電圧 (3.3V)		VSS - 0.3		0.8	V
V _{HYSTERESIS}	入力ヒステリシス		150			mV
I _{PULLDOWN}	入力電流	プルダウン付き入力 ⁽¹⁾	VDDIO = 3.3V V _{IN} = VDDIO	100		μA
I _{PULLUP}	入力電流	プルアップがイネーブルされたデジタル入力 ⁽¹⁾	VDDIO = 3.3V V _{IN} = 0V	160		μA
		プルアップがイネーブルされたアナログ入力 ⁽¹⁾	VDDA = 3.3V V _{IN} = 0V	160		
I _{LEAK}	ピンのリーク電流	GPIO23_VSW を除くすべての GPIO	プルアップおよび出力はディセーブル 0V ≤ V _{IN} ≤ VDDIO		2	μA
		GPIO23_VSW			45	
		アナログ・ピン (ADCINB3/VDAC および PGAx_OF を除く)	アナログ・ドライバはディセーブル 0V ≤ V _{IN} ≤ VDDA		0.1	
		ADCINB3/VDAC		2	11	
		PGAx_OF			0.25	
C _I	入力容量	GPIO23_VSW を除くすべてのデジタル GPIO		2		pF
		GPIO23_VSW		100		
		アナログ・ピン ⁽²⁾				
VREG、DC-DC、BOR						
V _{POR-VDDIO}	VDDIO パワーオン・リセット電圧			2.3		V
V _{BOR-VDDIO}	VDDIO ブラウンアウト・リセット電圧		2.81		3.0	V
V _{VREG}	内部電圧レギュレータ出力	内部 VREG オン		1.2		V
V _{DC-DC}	内部スイッチング・レギュレータ出力	内部 DC-DC オン		1.2		V
効率	内部 DC-DC スwitchング・レギュレータの電力効率		80%			

(1) プルアップまたはプルダウン付きのピンのリストについては、表 6-9 を参照してください。

(2) アナログ・ピンは、個別に規定されています。表 7-17 を参照してください。

7.7 熱抵抗特性

7.7.1 PZ パッケージ

		°C/W ⁽¹⁾	エアフロー (lfm) ⁽²⁾
R θ_{JC}	接合部からケースへの熱抵抗	7.6	該当なし
R θ_{JB}	接合部から基板への熱抵抗	24.2	該当なし
R θ_{JA} (High k PCB)	接合部から周囲空気への熱抵抗	46.1	0
R θ_{JMA}	接合部から周囲空気流への熱抵抗	37.3	150
		34.8	250
		32.6	500
P ψ_{JT}	接合部とパッケージ上面との間	0.2	0
		0.4	150
		0.4	250
		0.6	500
P ψ_{JB}	接合部と基板との間	23.8	0
		22.8	150
		22.4	250
		21.9	500

(1) これらの値は、JEDEC により定義された 2S2P システム (JEDEC 定義の 1S0P システムによる θ_{JC} [R θ_{JC}] 値を除く) に基づいており、周囲環境とアプリケーションによって変化します。詳細については、以下の EIA/JEDEC 規格を参照してください。

- JESD51-2、『C の熱テスト手法の環境条件 - 自然対流 (静止空気)』
- JESD51-3、『リード付き表面実装パッケージ用の有効熱伝導率の低いテスト基板』
- JESD51-7、『リード付き表面実装パッケージ用の有効熱伝導率の高いテスト基板』
- JESD51-9、『エリアアレイ表面実装パッケージの熱測定用テスト基板』

(2) lfm = linear feet per minute (リニア・フィート毎分)

7.7.2 PM パッケージ

		°C/W ⁽¹⁾	エアフロー (lfm) ⁽²⁾
R θ_{JC}	接合部からケースへの熱抵抗	12.4	該当なし
R θ_{JB}	接合部から基板への熱抵抗	25.6	該当なし
R θ_{JA} (High k PCB)	接合部から周囲空気への熱抵抗	51.8	0
R θ_{JMA}	接合部から周囲空気流への熱抵抗	42.2	150
		39.4	250
		36.5	500
Psi $_{JT}$	接合部とパッケージ上面との間	0.5	0
		0.9	150
		1.1	250
		1.4	500
Psi $_{JB}$	接合部と基板との間	25.1	0
		23.8	150
		23.4	250
		22.7	500

(1) これらの値は、JEDEC により定義された 2S2P システム (JEDEC 定義の 1S0P システムによる θ_{JC} [R θ_{JC}] 値を除く) に基づいており、周囲環境とアプリケーションによって変化します。詳細については、以下の EIA/JEDEC 規格を参照してください。

- JESD51-2、『IC の熱テスト手法の環境条件 - 自然対流 (静止空気)』
- JESD51-3、『リード付き表面実装パッケージ用の有効熱伝導率の低いテスト基板』
- JESD51-7、『リード付き表面実装パッケージ用の有効熱伝導率の高いテスト基板』
- JESD51-9、『エリアアレイ表面実装パッケージの熱測定用テスト基板』

(2) lfm = linear feet per minute (リニア・フィート毎分)

7.7.3 RSH パッケージ

		°C/W ⁽¹⁾	エアフロー (lfm) ⁽²⁾
R θ_{JC}	接合部からケースへの熱抵抗	11.9	該当なし
R θ_{JB}	接合部から基板への熱抵抗	3.3	該当なし
R θ_{JA} (High k PCB)	接合部から周囲空気への熱抵抗	25.8	0
R θ_{JMA}	接合部から周囲空気流への熱抵抗	17.4	150
		15.1	250
		13.4	500
Psi $_{JT}$	接合部とパッケージ上面との間	0.2	0
		0.3	150
		0.4	250
		0.4	500
Psi $_{JB}$	接合部と基板との間	3.3	0
		3.2	150
		3.2	250
		3.2	500
R θ_{JC} 、底面	接合部から底面への熱抵抗	0.7	0

(1) これらの値は、JEDEC により定義された 2S2P システム (JEDEC 定義の 1S0P システムによる θ_{JC} [R θ_{JC}] 値を除く) に基づいており、周囲環境とアプリケーションによって変化します。詳細については、以下の EIA/JEDEC 規格を参照してください。

- JESD51-2、『IC の熱テスト手法の環境条件 - 自然対流 (静止空気)』
- JESD51-3、『リード付き表面実装パッケージ用の有効熱伝導率の低いテスト基板』
- JESD51-7、『リード付き表面実装パッケージ用の有効熱伝導率の高いテスト基板』
- JESD51-9、『エアアレイ表面実装パッケージの熱測定用テスト基板』

(2) lfm = linear feet per minute (リニア・フィート毎分)

7.8 熱設計の検討事項

最終アプリケーションの設計と動作プロファイルに応じて、I $_{DD}$ および I $_{DDIO}$ の電流は変動する可能性があります。最終製品において推奨最大消費電力を超えるシステムでは、追加の熱強化が必要になる場合があります。周囲温度 (T $_A$) は、最終アプリケーションおよび製品の設計によって異なります。信頼性と機能に影響を与える重要な要因は、周囲温度ではなく、接合部温度 T $_J$ です。したがって、規定された制限範囲内に T $_J$ を維持するように注意する必要があります。動作接合部温度 T $_J$ を推定するためには、T $_{case}$ を測定する必要があります。通常、T $_{case}$ は、パッケージ上面の中央で測定します。サーマル・アプリケーション・レポート『[半導体および IC パッケージの熱評価基準](#)』は、熱評価基準および定義の理解に役立ちます。

7.9 システム

7.9.1 パワー・マネージメント・モジュール (PMM)

7.9.1.1 概要

パワー・マネージメント・モジュール (PMM) は、デバイスの動作に必要なすべてのパワー・マネージメント機能进行处理します。

7.9.1.2 概要

図 7-6 に、PMM のブロック図を示します。ご覧のように PMM は、さまざまなサブコンポーネントで構成されており、これについて以降のセクションで説明します。

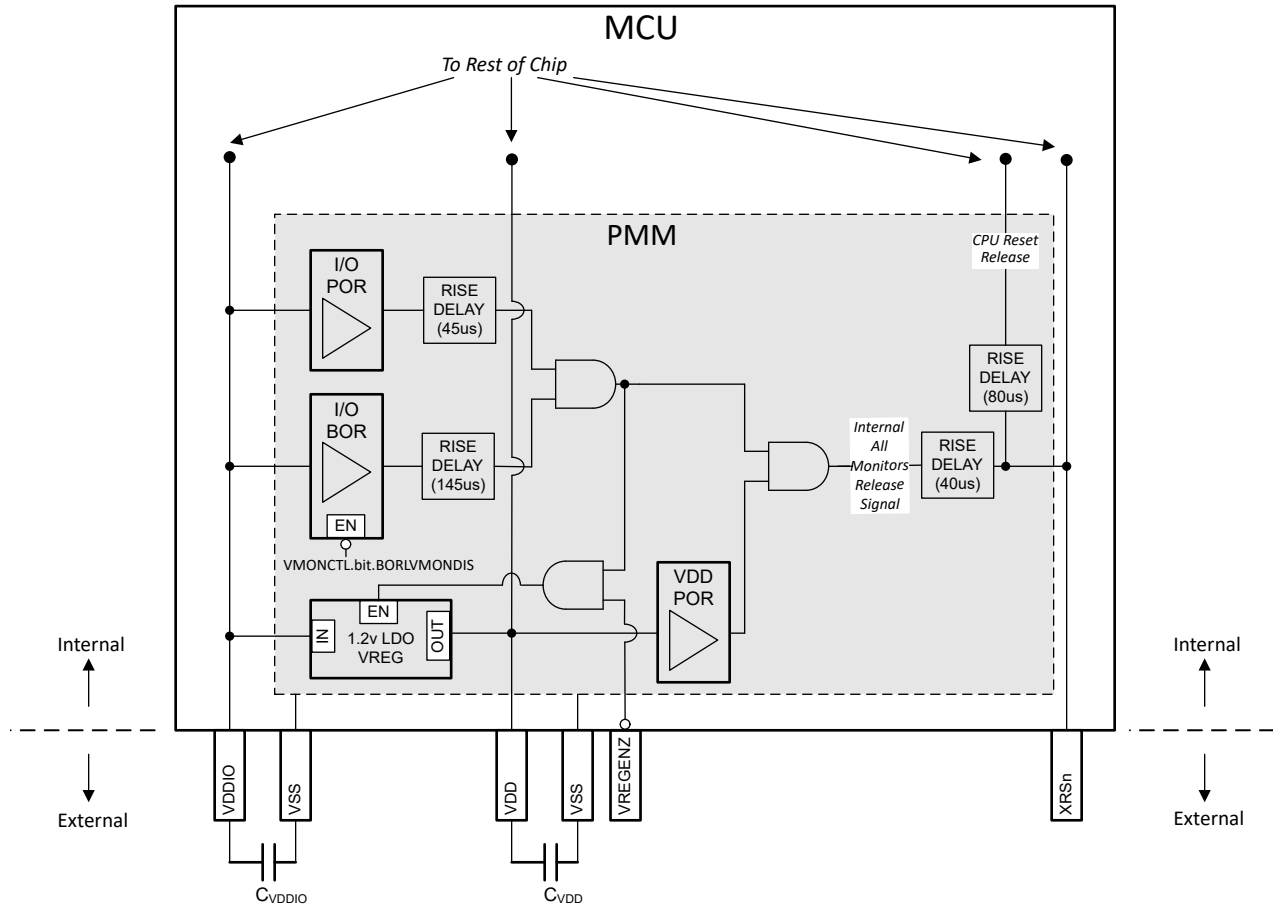


図 7-6. PWM のブロック図

7.9.1.2.1 電源レール監視

PMM には電源レールの電圧監視があり、パワーアップ時に電圧が設定したスレッショルドを超えると、XRSn 信号が解除されて HIGH になります。また、いずれかの電圧がプログラムされたレベルを下回った場合に、XRSn 信号を LOW にトリップする機能もあります。各種電圧監視については、以降のセクションで説明します。

注

ブートアップ後のアプリケーションでのデバイス動作に対して、すべての電圧監視がサポートされているわけではありません。電圧監視がサポートされていない場合、アプリケーション実行中にデバイスの電源電圧監視が必要であれば、外部監視回路を推奨します。

3つの電圧監視 (I/O POR、I/O BOR、VDD POR) はすべて、デバイスが動作を開始する前にそれぞれの出力が解除される必要があります (すなわち、XRSn が HIGH になります)。ただし、いずれかの電圧監視がトリップした場合、XRSn は LOW に駆動されます。いずれかの電圧監視がトリップすると、I/O は高インピーダンスに保持されます。

7.9.1.2.1.1 I/O POR (パワーオン・リセット) 監視

I/O POR 監視は、VDDIO レールを監視します。これは、電源投入時に VDDIO 上で最初に解除される監視機能です (すなわち、最初にトリップ解除されます)。

7.9.1.2.1.2 I/O BOR (ブラウンアウト・リセット) 監視

I/O BOR 監視も、VDDIO レールを監視します。これは、電源投入時に VDDIO 上で 2 番目に解除される監視です (すなわち、2 番目にトリップ解除されます)。この監視は、I/O POR と比較すると許容範囲がより狭くなっています。

推奨動作電圧を下回る電圧低下が発生すると、I/O BOR がトリップしてデバイスがリセットされますが、これは VMONCTL.bit.BORLVMONDIS を 1 に設定することでディセーブルできます。I/O BOR をディセーブルにできるのは、デバイスが完全に起動した後のみです。I/O BOR がディセーブルになっている場合、電圧低下に対しては I/O POR がデバイスをリセットします。

注

I/O POR がトリップするレベルは、VDDIO の最小推奨電圧よりも相当に低いので、デバイス監視には使用しないでください。

図 7-7 に、I/O BOR の動作領域を示します。

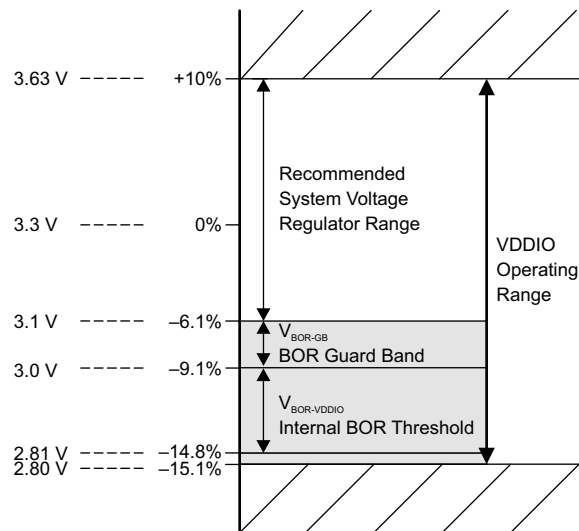


図 7-7. I/O BOR 動作領域

7.9.1.2.1.3 VDD POR (パワーオン・リセット) 監視

VDD POR 監視は、VDD レールを監視します。電源投入時に、電圧が VDD についてプログラムされたトリップ・レベルを超えると、この監視は解除されます (すなわち、トリップが解除されます)。

注

VDD POR は、VDD の最小推奨電圧よりも低いレベルにプログラムされているため、アプリケーションで VDD の最小推奨電圧が必要な場合は、VDD 監視に依存しないでください。

7.9.1.2.2 外部監視回路の使用

VDDIO 監視: I/O BOR はアプリケーションでの使用をサポートしているため、I/O レールの監視に外部監視回路は必要ありません。

VDD 監視: VDD POR はアプリケーションでの使用をサポートしていません。アプリケーションで VDD 監視が必要な場合は、外部監視回路を使用して VDD レールを監視する必要があります。

注

内部 VREG による外部監視回路はサポートされていません。アプリケーションで VDD 監視が必要な場合は、VDD を外部へ供給するために VREGENZ ピンを備えたパッケージを使用する必要があります。

7.9.1.2.3 遅延ブロック

電圧モニタのパス内の遅延ブロックは連携して動作し、電圧モニタと XRSn の間の解放時間を遅延させます。この遅延により、外部 VREG モードで XRSn が解放されたとき、確実に電圧が安定するようになっています。遅延ブロックは、電源投入時 (すなわち、VDDIO および VDD が上昇しているとき) にのみアクティブになります。

遅延ブロックは、「[パワー・マネージメント・モジュールの電氣的データと電源レールのタイミング](#)」で規定されている最小スルーレートに影響を与えます。

注

ブロック図に示されている遅延時間は、標準値です。

7.9.1.2.4 内部 1.2V LDO 電圧レギュレータ (VREG)

内部 VREG は VDDIO レールから供給され、VDD ピンへの電力供給に必要な 1.2V を生成できます。VREGENZ ピンを LOW に接続することでイネーブルになります。内部 VREG により、VDD に外部電源を使用する必要はありませんが、VREG の安定性と過渡応答のために、VDD ピンにはデカップリング・コンデンサが必要です。詳しくは、[VDD デカップリング](#) を参照してください。

7.9.1.2.5 VREGENZ

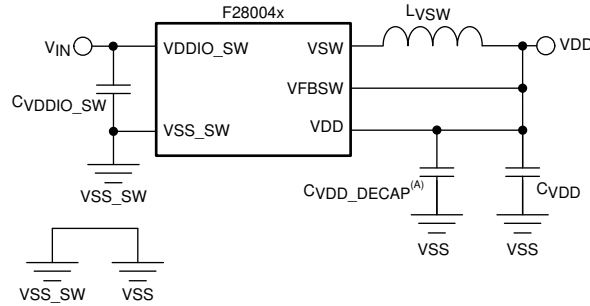
VREGENZ (VREG ディセーブル) ピンは、内部 VREG の状態を制御します。内部 VREG をイネーブルにするには、VREGENZ ピンを LOW に接続する必要があります。外部から VDD に電力を供給するアプリケーション (外部 VREG) では、VREGENZ ピンを HIGH に接続して内部 VREG をディセーブルにする必要があります。

注

すべてのデバイス・パッケージで VREGENZ がピンへ接続されているわけではありません。VREGENZ なしのパッケージでは、外部 VREG モードはサポートされていません。

7.9.1.2.6 内部 1.2V スイッチング・レギュレータ (DC-DC)

内部 DC-DC レギュレータは、3.3V を 1.2V に変換するにあたって LDO よりも高い効率を実現します。内部 DC-DC レギュレータは VDDIO_SW ピンから電力を供給されて、VDD ピンに電力を供給するために必要な 1.2V を生成します。内部スイッチング・レギュレータを使用するには、最初に内部 LDO VREG 電源を使ってコア・ドメインに電源を投入する必要があります (VREGENZ ピンを VSS に接続して LOW にしておきます)。次に DCDCCTL レジスタの DCDCEN ビットを設定することにより、アプリケーション・ソフトウェアで DC-DC レギュレータに移行します。VREGENZ は、DC-DC および LDO を制御するため、移行後も引き続き LOW に維持する必要があります。VREGENZ を HIGH にすると、DC-DC および LDO の両方がディセーブルされます。また、DC-DC レギュレータには外付け部品 (インダクタ、入力容量、出力容量) も必要です。内部 DC-DC レギュレータの出力は内部で VDD レールに供給されないため、外部接続が必要です。図 7-8 に回路図を示します。



Copyright © 2017, Texas Instruments Incorporated

A. 4つのVDDピンのそれぞれに1つのデカップリング・コンデンサを付けます

図 7-8. DC-DC 回路図

VDDIO_SW 電源ピン (V_{IN}) には、3.3V レベルの電圧が必要です。VDDIO_SW には、合計 20 μ F の入力容量 (C_{VDDIO_SW}) が必要です。表 7-2 に示すコンデンサ仕様の要件により、2つの 10 μ F コンデンサを並列に接続することを推奨します。また、100nF のデカップリング・コンデンサを各 VDD ピンのできるだけ近くに配置する必要があります。

表 7-1. DC-DC インダクタ (L_{VSW}) の仕様要件

値および誤差	飽和時の値	DCR	定格電流	飽和電流	温度
2.2 μ H \pm 20%	1.54 μ H \pm 20%	80m Ω \pm 25%	>1000mA	>600mA	-40°C ~ 125°C

表 7-2. DC-DC コンデンサ (C_{VDDIO_SW} および C_{VDD}) の仕様要件

0V での値および誤差	1.2V での値	125°C での値	ESR	定格電圧	温度
10 μ F \pm 20%	10 μ F \pm 20%	8 μ F \pm 20%	< 10m Ω	4V または 6.3V	-40°C ~ 125°C

表 7-3. DC-DC 回路部品の値

部品	最小値	公称値	最大値	単位	注
インダクタ	1.76	2.2	2.64	μ H	20% の誤差
入力コンデンサ	8	10	12	μ F	20% 誤差、この仕様のコンデンサを 2 個並列接続
出力コンデンサ	8	10	12	μ F	20% 誤差、この仕様のコンデンサを 2 個並列接続

7.9.1.2.6.1 PCB レイアウトとコンポーネントのガイドライン

最適な性能を実現するには、アプリケーション・ボードのレイアウトと部品の選択が重要です。以下のリストは、DC-DC 回路をレイアウトする際の指針の概略です。

- VDDIO_SW および VDDIO は、同じ 3.3V 電源にスター接続することを推奨します。
- すべての外付け部品は、できるだけピンに近付けて配置してください。
- VDDIO_SW、入力コンデンサ (C_{VDDIO_SW})、および VSS_SW によって形成されるループは、できるだけ短くする必要があります。
- 帰還パターンはできるだけ短くし、スイッチング出力 (VSW) などのノイズ源から離して配置する必要があります。
- 入力コンデンサ (C_{VDDIO_SW}) および VSS_SW のグランド・プレーンには、独立したアイランドまたは切り込みが必要です。
- 寄生抵抗とインダクタンスを最小限に抑えるために、VDD ノードの L_{VSW} - C_{VDD} ポイントへの接続には、VDD プレーンを推奨します。

7.9.1.3 外付け部品

7.9.1.3.1 デカップリング・コンデンサ

正常に動作するためには、VDDIO および VDD にデカップリング・コンデンサが必要です。その要件については、以降のセクションで概要を説明します。

7.9.1.3.1.1 VDDIO デカップリング

VDDIO には、最小限のデカップリング容量を配置する必要があります。「[パワー・マネージメント・モジュールの電氣的データとタイミング](#)」の C_{VDDIO} パラメータを参照してください。使用するデカップリング容量の実際の合計値が、VDDIO を駆動する電源の要件です。以下に示す構成のどちらでも許容可能です。

- **構成 1:** C_{VDDIO} パラメータに従って、各 VDDIO ピンにデカップリング・コンデンサを配置します。
- **構成 2:** $[C_{VDDIO} \times \text{VDDIO ピンの数}]$ に相当する値の単一のデカップリング・コンデンサを実装します。

注

デカップリング・コンデンサは、デバイスのピンの近くに配置する必要があります。

7.9.1.3.1.2 VDD デカップリング

VDD には、最小限のデカップリング容量を配置する必要があります。「パワー・マネージメント・モジュールの電氣的データとタイミング」の C_{VDD} パラメータ合計値を参照してください。

以下に示す構成のどちらでも許容可能です。

- **構成 1:** 合計 C_{VDD} の値を VDD ピン全体に分割します。
- **構成 2:** 合計 C_{VDD} の値を持つ単一のデカップリング・コンデンサを実装します。

注

デカップリング・コンデンサは、デバイスのピンの近くに配置する必要があります。

7.9.1.4 電源シーケンス

7.9.1.4.1 電源ピンの一括接続

すべての 3.3V レールを一つにまとめて接続し、単一の電源から電力を供給することを強く推奨します。その電源ピンを以下に示します。

- VDDIO
- VDDA

また、いずれかの電源ピンを未接続のままにしないでください。

内部 VREG モードでは、各 VDD ピンにコンデンサがついていれば、VDD ピンを一つにまとめて接続することは任意です。VDD デカップリングの構成については、[VDD デカップリング](#) を参照してください。

このデバイスのアナログ・モジュールは、PSRR がかなり高いため、ほとんどの場合、VDDA のノイズが電源レールの推奨動作条件を超えない限り、アナログ・モジュールの性能低下は起こりません。したがって、通常は、VDDA を別に供給してもあまり利点はありません。ただし、ノイズの改善のために、VDDIO と VDDA の間に π 型フィルタを配置することは許容されます。

注

レールごとのすべての電源ピンは、内部で互いに接続されています。たとえば、すべての VDDIO ピンが内部で互いに接続され、すべての VDD ピンが内部で互いに接続されます。

7.9.1.4.2 信号ピンの電源シーケンス

デバイスに電源を供給する前に、いずれかのデジタル・ピンに、VDDIO より 0.3V 上回る電圧または VSS より 0.3V 下回る電圧を印加してはいけません。また、いずれかのアナログ・ピン (VREFHI を含む) に、VDDA より 0.3V 上回る電圧または VSSA より 0.3V 下回る電圧を印加してはいけません。要するに、すべての 3.3V レールが互いに接続されているとすれば、信号ピンを駆動するのは、XRSn が HIGH になった後にしなければなりません。VDDIO と VDDA が互いに接続されていない場合であっても、このシーケンシングは、やはり必要です。

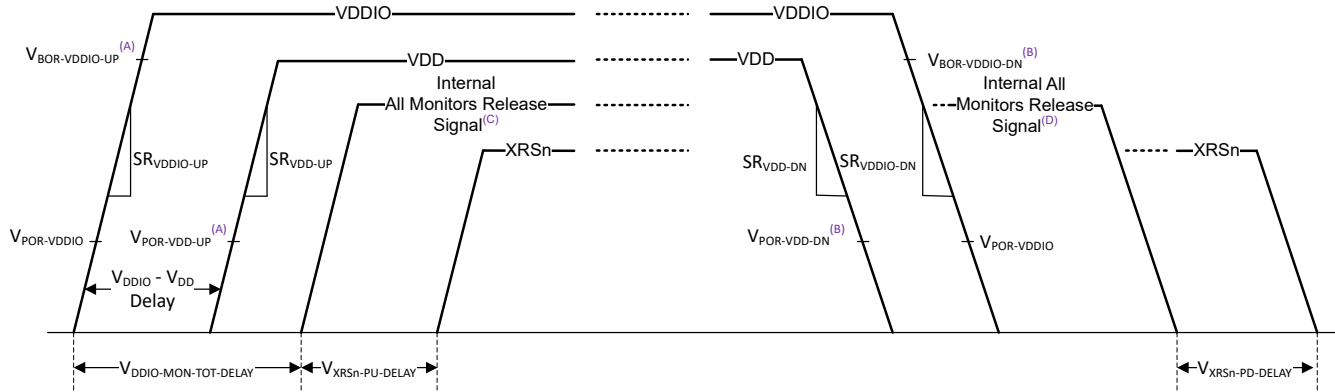
注意

上記のシーケンスに違反した場合、デバイスが誤動作したり、デバイス内の意図しない寄生パスを電流が流れるために損傷したりする可能性があります。

7.9.1.4.3 電源ピンの電源シーケンス

7.9.1.4.3.1 外部 VREG/VDD モード・シーケンス

図 7-9 に、外部 VREG モードの電源シーケンス要件を示します。表示されているすべてのパラメータの値については、[パワー・マネージメント・モジュールの電氣的データおよびタイミング](#) を参照してください。



- A. このトリップ・ポイントは、XRSn が解除される前のトリップ・ポイントです。「パワー・マネージメント・モジュールの特性」表を参照してください。
- B. このトリップ・ポイントは、XRSn が解除された後のトリップ・ポイントです。「パワー・マネージメント・モジュールの特性」表を参照してください。
- C. パワーアップ中に、すべての POR および BOR 監視が解除されると、全監視解除信号が HIGH になります。PMM ブロック図を参照してください。
- D. パワー・ダウン中に、POR または BOR 監視のいずれかがトリップされると、全監視解除信号が LOW になります。PMM ブロック図を参照してください。

図 7-9. 外部 VREG パワーアップ・シーケンス

• パワーアップ:

- VDDIO (すなわち 3.3V レール) は、規定された最小スルーレートで最初に立ち上がる必要があります。
- VDD (すなわち 1.2V レール) は、規定された最小スルーレートで次に立ち上がる必要があります。
- VDDIO レールの立ち上がりから VDD レールの立ち上がりまでの時間差も規定されています。
- $V_{DDIO-MON-TOT-DELAY}$ および $V_{XRSn-PD-DELAY}$ で規定された時間が経過すると、XRSn が解放され、デバイスはブートアップ・シーケンスを開始します。

XRSn の解放 (すなわち HIGH になる) とブートアップ・シーケンスの開始の間には、さらに遅延があります。[図 7-6](#) を参照。

- I/O BOR 監視は、パワーアップ時とパワーダウン時でリリース・ポイントが異なります。
- パワーアップ時には、XRSn が開放される前に VDDIO と VDD の両方のレールが立ち上がっている必要があります。

• パワーダウン:

- VDDIO と VDD のどちらが先にパワーダウンするという要件はありませんが、最小スルーレートの規定があります。
- I/O BOR 監視は、パワーアップ時とパワーダウン時でリリース・ポイントが異なります。
- パワー・ダウン中に POR または BOR 監視のいずれかがトリップすると、 $V_{XRSn-PD-DELAY}$ の後、XRSn が LOW になります。

注

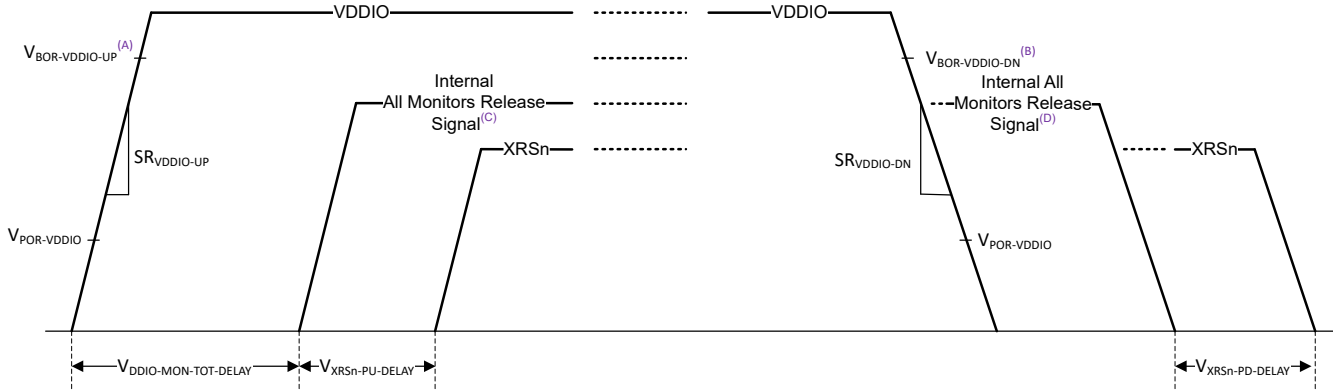
全監視解除信号は、内部信号です。

注

XRSn を駆動する外部回路 (例えば、電源監視回路) が存在する場合、すべての内部および外部ソースによって XRSn ピンが解放されるまで、ブートアップ・シーケンスは開始されません。

7.9.1.4.3.2 内部 VREG/VDD モード・シーケンス

図 7-10 に、内部 VREG モードの電源シーケンス要件を示します。表示されているすべてのパラメータの値は、「パワー・マネージメント・モジュールの電氣的データおよびタイミング」に記載されています。



- A. このトリップ・ポイントは、XRSn が解除される前のトリップ・ポイントです。「パワー・マネージメント・モジュールの特性」表を参照してください。
- B. このトリップ・ポイントは、XRSn が解除された後のトリップ・ポイントです。「パワー・マネージメント・モジュールの特性」表を参照してください。
- C. パワーアップ中に、すべての POR および BOR 監視が解除されると、全監視解除信号が HIGH になります。PMM ブロック図を参照してください。
- D. パワー・ダウン中に、POR または BOR 監視のいずれかがトリップされると、全監視解除信号が LOW になります。PMM ブロック図を参照してください。

図 7-10. 内部 VREG パワーアップ・シーケンス

• パワーアップ:

1. VDDIO (すなわち 3.3V レール) は、規定された最小スルーレートで立ち上がる必要があります。
2. I/O 監視 (I/O POR および I/O BOR) が解除されると、内部 VREG が起動します。
3. V_{DDIO-MON-TOT-DELAY} および V_{XRSn-PU-DELAY} で指定された時間が経過すると、XRSn が解放され、デバイスはブートアップ・シーケンスを開始します。

XRSn の解放 (すなわち HIGH に変化) とブートアップ・シーケンスの開始の間には、さらに遅延があります。図 7-6 を参照してください。

4. I/O BOR 監視は、パワーアップ時とパワーダウン時でリリース・ポイントが異なります。

• パワーダウン:

1. パワーダウン時の VDDIO に対する唯一の要件は、スルーレートです。
2. I/O BOR 監視は、パワーアップ時とパワーダウン時でリリース・ポイントが異なります。
3. I/O BOR トリップにより、V_{XRSn-PD-DELAY} 後に XRSn が LOW になり、また、内部 VREG がパワーダウンされます。

注

全監視解除信号は、内部信号です。

注

XRSn を駆動する外部回路 (例えば、電源監視回路) が存在する場合、すべての内部および外部ソースによって XRSn ピンが解放されるまで、ブートアップ・シーケンスは開始されません。

7.9.1.4.3.3 電源シーケンスの概要と違反の影響

ルールで許容されるパワーアップ・シーケンスを以下にまとめます。ここで「パワーアップ」とは、対象のルールが推奨される最小動作電圧に達したことを意味します。

注意

許容されないシーケンスは、信頼性に関する問題を引き起こし、場合によっては損傷が発生する可能性があります。

単純化のため、すべての 3.3V ルールを互いに接続して、「電源ピンの電源シーケンス」の説明に従うことを推奨します。

表 7-4. 外部 VREG シーケンスの概要

事例	ルールのパワーアップ順序			許容可否
	VDDIO	VDDA	VDD	
A	1	2	3	可能
B	1	3	2	可能
C	2	1	3	-
D	2	3	1	-
E	3	2	1	-
F	3	1	2	-
G	1	1	2	可能
H	2	2	1	-

表 7-5. 内部 VREG シーケンスの概要

事例	ルールのパワーアップ順序		許容可否
	VDDIO	VDDA	
A	1	2	可能
B	2	1	-
C	1	1	可能

注

デバイスのアナログ・モジュールは、VDDA が推奨される最小動作電圧に達した後でのみ電力供給できます。

7.9.1.4.3.4 電源スルーレート

VDDIO には最小スルーレート要件があります。最小スルーレートが満たされていない場合、XRSn は、VDDIO が I/O BOR 領域を超えるまで数回トグルすることがあります。

注

XRSn が安定して HIGH になった状態でのみブートが開始されるので、XRSn のトグルはデバイスに悪影響を及ぼしません。ただし、デバイスの XRSn を使用して他の IC のリセット信号をゲートする場合は、このトグルを防止するためにスルーレート要件を満たす必要があります。

外部 VREG モードの場合、VDD には最小スルーレート要件があります。最小スルーレートが満たされていない場合、VDD が最小動作電圧に達する前に、デバイスがリセットから解放されて起動を開始する可能性があります。その結果、デバイスが正常に機能しなくなることがあります。

注

最小スルーレートを満たすことができない場合、VDD に電圧監視回路を使用して、VDD が最小動作電圧を超えるまで XRSn を LOW に維持することにより、デバイスの正常な機能を確保する必要があります。

7.9.1.5 パワー・マネージメント・モジュールの電氣的データおよびタイミング

7.9.1.5.1 パワー・マネージメント・モジュールの動作条件

パラメータ		テスト条件	最小値	標準値	最大値	単位
全般						
C _{VDDIO}	VDDIO のバルク容量	外部電源 IC の要件によります ⁽¹⁾		0.1		μF
C _{VDDIO_DECAP}	各 VDDIO ピンのデカップリング・コンデンサ			0.1		μF
C _{VDDA}	VDDA ピンのコンデンサ			2.2		μF
C _{VDDIO_SW}	VDDIO_SW ピンのコンデンサ	DC-DC 動作の場合 ⁽²⁾		20		μF
		LDO のみ動作の場合		0.1		
C _{VDD}	VDD のバルク容量	DC-DC 動作の場合 ⁽²⁾		20		μF
		LDO のみ動作の場合 ⁽³⁾	12	20	27	
C _{VDD_DECAP}	各 VDD ピンのデカップリング・コンデンサ	DC-DC 動作の場合 ⁽²⁾		0.1		μF
		LDO のみ動作の場合 ⁽³⁾	0.1		6.75	
L _{VS}	V _{SW} ピンと VDD ノードの間の DC-DC 用インダクタ			2.2		μH
R _{LVS-DCR}	L _{VS} に許容される DCR			80		mΩ
I _{SAT-LVS}	L _{VS} 飽和電流		600			mA
SR _{VDDIO-UP} ⁽⁵⁾	3.3V レールの電源上昇速度 (VDDIO)		8		100	mV/μs
SR _{VDDIO-DN} ⁽⁵⁾	3.3V レールの電源下降速度 (VDDIO)		20		100	mV/μs
外部 VREG						
合計 C _{VDD} ⁽⁴⁾⁽⁶⁾	合計 VDD 容量 ⁽⁸⁾		10			μF
SR _{VDD-UP} ⁽⁵⁾	1.2V レールの電源上昇速度 (VDD)		3.5		100	mV/μs
SR _{VDD-DN} ⁽⁵⁾	1.2V レールの電源下降速度 (VDD)		10		100	mV/μs
V _{DIO} - V _{DD} 遅延 ⁽⁷⁾	VDDIO と VDD の間の上昇下降遅延		0		制限なし	μs

- (1) この電源のバルク容量は、電源 IC の要件に基づいて決定する必要があります。
- (2) 詳しくは、[セクション 7.9.1.2.6](#) を参照してください。
- (3) 詳しくは、[セクション 7.9.1.2.4](#) を参照してください。
- (4) デカップリング容量の正確な値は、これらのピンに電力を供給するシステム電圧レギュレーション・ソリューションによって決まります。
- (5) 「電源スルーレート」セクションを参照してください。電源上昇下降速度が最大値よりも速いと、オンチップ ESD 保護がトリガされる可能性があります。
- (6) デカップリング容量全体の可能な構成については、「パワー・マネージメント・モジュール (PMM)」のセクションを参照してください。
- (7) 3.3V レールが上昇してから、1.2V レールが上昇するまでの遅延。許容される電源 j 上昇下降シーケンスについては、「VREG シーケンスの概要」表を参照してください。
- (8) コンデンサの最大許容誤差は 20% にする必要があります。

7.9.1.5.2 パワー・マネージメント・モジュールの特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
V _{VREG}	内部電圧レギュレータ出力		1.14	1.2	1.32	V
V _{VREG-PU}	内部電圧レギュレータのパワーアップ時間				350	μs
V _{VREG-INRUSH} ⁽⁵⁾	内部電圧レギュレータの突入電流			650		mA
V _{POR-VDDIO}	VDDIO パワーオン・リセット電圧	XRSn 解除前および解除後		2.3		V
V _{BOR-VDDIO-UP} ⁽¹⁾	上昇時の VDDIO ブラウンアウト・リセット電圧	XRSn 解除前		2.7		V
V _{BOR-VDDIO-DN} ⁽¹⁾	下降時の VDDIO ブラウンアウト・リセット電圧	XRSn 解除後	2.81		3.0	V
V _{POR-VDD-UP} ⁽²⁾	上昇時の VDD パワー・オン・リセット電圧	XRSn 解除前		1		V
V _{POR-VDD-DN} ⁽²⁾	下降時の VDD パワー・オン・リセット電圧	XRSn 解除後		1		V
V _{XRSn-PU-DELAY} ⁽³⁾	パワーアップ時の電源上昇から XRSn 解除までの遅延	これが最終的な遅延		40		μs
V _{XRSn-PD-DELAY} ⁽⁴⁾	パワーダウン時の電源下降から XRSn トリップまでの遅延			2		μs
V _{DDIO-MON-TOT-DELAY}	VDDIO 監視のパスにおける合計遅延 (POR、BOR)			145		μs
V _{XRSn-MON-RELEASE-DELAY}	VDD POR イベントから XRSn 解除までの遅延	動作範囲内の電源		40		μs
	VDDIO BOR から XRSn 解除までの遅延			140		μs
	VDDIO POR イベントから XRSn 解除までの遅延			185		μs

- (1) 「電源電圧」の図を参照してください。
- (2) V_{POR-VDD} はサポートされておらず、推奨動作条件を下回るレベルでトリップするように設定されています。VDD の監視が必要な場合は、外部監視回路が必要です。
- (3) 電源は、それぞれのレールの推奨最小動作条件を超えた後、完全に上昇したと見なされます。この遅延が有効になる前に、すべての POR および BOR 監視が解除される必要があります。RC ネットワーク遅延がこの値に加算されます。
- (4) パワーダウン時に POR または BOR 監視がトリップすると、XRSn が直ちにトリップされます。この遅延時間は、POR、BOR 監視のどちらかのトリップから XRSn が LOW になるまでの時間です。これは変動する可能性があり、電源のランプダウンレートに依存します。RC ネットワーク遅延がこの値に加算されます。
- (5) これは、内部 VREG がオンになったときに VDDIO レールに流れる過渡電流です。これにより、VREG がオンになると VDDIO レールに電圧降下が発生する可能性があり、その結果、VREG がステップ状に上昇する可能性があります。これによるデバイスへの悪影響はありませんが、必要があれば、VDDIO に十分なデカップリング・コンデンサを使用するか、この過渡電流を供給できる LDO / DC-DC を選択することで効果を低減できます。

電源電圧

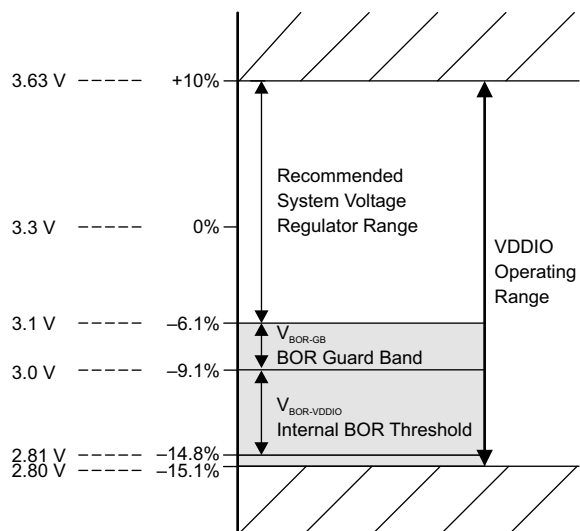


図 7-11. 電源電圧

7.9.2 リセット・タイミング

XRSn は、デバイスのリセット・ピンです。入力およびオープン・ドレイン出力として機能します。このデバイスにはパワーオン・リセット (POR) が内蔵されています。電源投入時に、POR 回路が XRSn ピンを LOW に駆動します。ウォッチドッグ・リセットまたは NMI ウォッチドッグ・リセットも、ピンを LOW に駆動します。外部回路によってピンを駆動して、デバイス・リセットをアサートすることもできます。

XRSn と VDDIO の間に $2.2\text{k}\Omega \sim 10\text{k}\Omega$ の抵抗を配置する必要があります。ノイズ・フィルタリングのため、XRSn と VSS の間にコンデンサを配置します。容量は 100nF 以下にする必要があります。これらの値は、ウォッチドッグ・リセットがアサートされたときに、ウォッチドッグが 512 OSCCLK サイクル以内に XRSn ピンを V_{OL} に正しく駆動できるように決められています。図 7-12 に、推奨するリセット回路を示します。

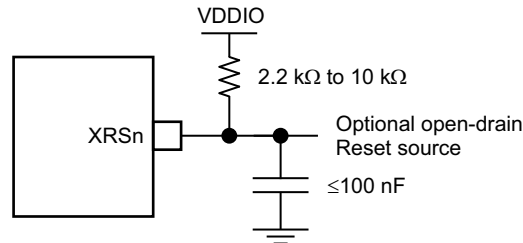


図 7-12. リセット回路

7.9.2.1 リセット・ソース

表 7-6 に、各種のリセット信号と、デバイスへの影響をまとめます。

表 7-6. リセット信号

リセット・ソース	CPU コアのリセット (C28x, FPU, VCU)	ペリフェラルのリセット	JTAG/DEBUG ロジックのリセット	I/O	XRSn 出力
POR	あり	あり	あり	ハイ・インピーダンス	あり
XRSn ピン	あり	あり	なし	ハイ・インピーダンス	–
WDRS	あり	あり	なし	ハイ・インピーダンス	あり
NMIWDRS	あり	あり	なし	ハイ・インピーダンス	あり
SYSRS (デバッガ・リセット)	あり	あり	なし	ハイ・インピーダンス	なし
SCCRESET	あり	あり	なし	ハイ・インピーダンス	なし

パラメータ $t_{h(\text{boot-mode})}$ は、これらのソースから開始されたいずれのリセットにも対応する必要があります。

『TMS320F28004x リアルタイム・マイクロコントローラ・テクニカル・リファレンス・マニュアル』の「システム制御」の章にある「リセット」セクションを参照してください。

注意

一部のリセット・ソースはデバイスによって内部で駆動されます。これらのソースの一部は XRSn を LOW に駆動します。これを使って、ブート・ピンを駆動する他のデバイスをディセーブルにします。SCCRESET およびデバッガのリセット・ソースは、XRSn を駆動しません。したがって、ブート・モードに使用されるピンが、システム内の他のデバイスによってアクティブに駆動されないようにする必要があります。ブート構成には、OTP のブート・ピンを変更する機能があります。詳細については、『TMS320F28004x リアルタイム・マイクロコントローラ・テクニカル・リファレンス・マニュアル』を参照してください。

7.9.2.2 リセットの電気的データおよびタイミング

セクション 7.9.2.2.1 に、リセット (XRSn) のタイミング要件を示します。セクション 7.9.2.2.2 に、リセット (XRSn) のスイッチング特性を示します。図 7-13 に、パワーオン・リセットを示します。図 7-14 に、ウォーム・リセットを示します。

7.9.2.2.1 リセット (XRSn) のタイミング要件

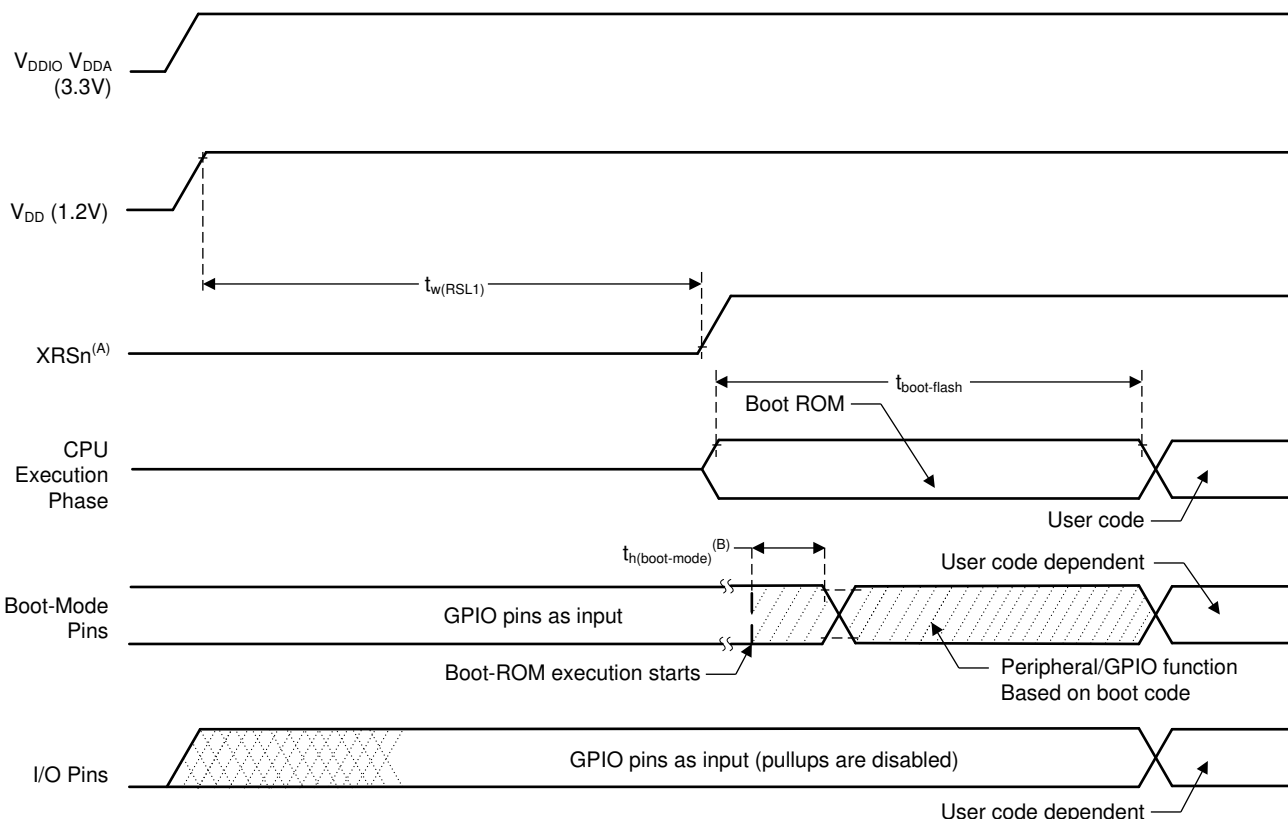
		最小値	最大値	単位
$t_{h(\text{boot-mode})}$	ブート・モード・ピンのホールド時間	1.5		ms
$t_{w(\text{RSL2})}$	パルス幅。ウォーム・リセット時に XRSn が LOW	すべての場合	3.2	μs
		アプリケーションで 사용되는低消費電力モードと、SYSCLKDIV > 16	$3.2 * (\text{SYSCLKDIV}/16)$	

7.9.2.2.2 リセット (XRSn) のスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		最小値	標準値	最大値	単位
$t_{w(\text{RSL1})}$	パルス幅。電源が安定した後、デバイスが XRSn を LOW に駆動している間		100		μs
$t_{w(\text{WDRS})}$	パルス幅、ウォッチドッグによって生成されるリセット・パルス		$512t_{c(\text{OSCCLK})}$		サイクル
$t_{\text{boot-flash}}$	フラッシュ内での最初の命令フェッチまでのブート ROM 実行時間			900	μs

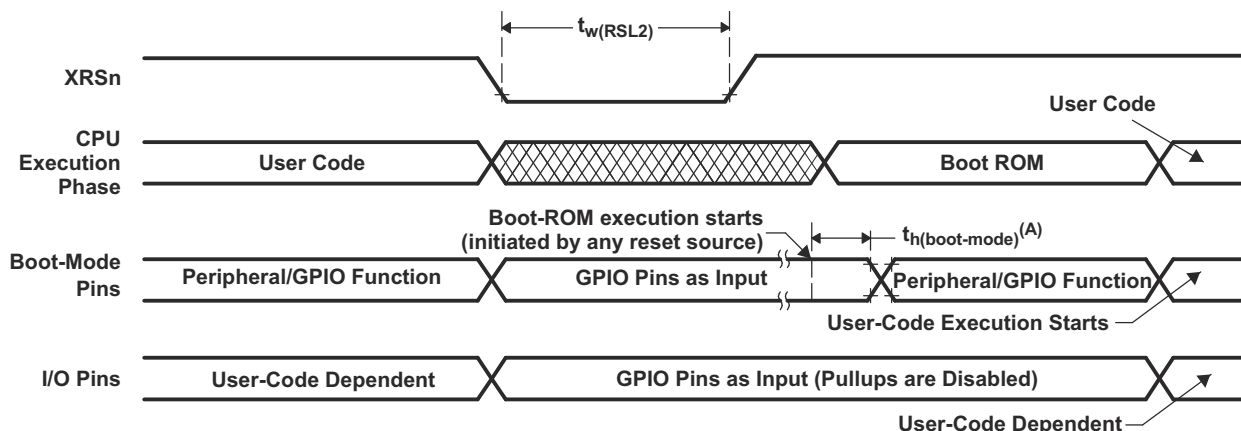
7.9.2.2.3 リセットのタイミング図



- A. XRSn ピンは、スーパーバイザまたは外部プルアップ抵抗によって外部から駆動できます。「ピン属性」を参照してください。オンチップ POR ロジックは、電源が有効範囲になるまでこのピンを LOW に保持します。
- B. いずれかのソースからリセットした後 (「リセット・ソース」を参照)、ブート ROM コードは、ブート・モード・ピンをサンプリングします。ブート・モード・ピンの状態に基づいて、ブート・コードは、宛先メモリまたはブート・コード機能に分岐します。(デバッグ環境で) パワーオン状態の後にブート ROM

コードが実行される場合、ブート・コードの実行時間は現在の SYSCLK 速度に基づいています。SYSCLK はユーザー環境によって決まってお
り、PLL 有効の場合と無効の場合があります。

図 7-13. パワーオン・リセット



- A. いずれかのソースからリセットした後（「リセット・ソース」を参照）、ブート ROM コードは、ブート・モード・ピンをサンプリングします。ブート・モード・ピンの状態に基づいて、ブート・コードは、宛先メモリまたはブート・コード機能に分岐します。（デバッグ環境で）パワーオン状態の後にブート ROM コードが実行される場合、ブート・コードの実行時間は現在の SYSCLK 速度に基づいています。SYSCLK はユーザー環境によって決まってお
り、PLL 有効の場合と無効の場合があります。

図 7-14. ウォーム・リセット

7.9.3 クロック仕様

7.9.3.1 クロック・ソース

表 7-7 に、3 つのクロック・ソースを示します。図 7-15 に、クロック供給システムを示します。図 7-16 に、システム PLL を示します。

表 7-7. 使用可能な基準クロック・ソース

クロック・ソース	クロック対象モジュール	備考
INTOSC1	以下のものに対するクロック供給に使用できません。 <ul style="list-style-type: none"> ウォッチドッグ・ブロック メイン PLL CPU タイマ 2 	内部発振器 1。 ゼロ・ピン・オーバーヘッド 10MHz 内部発振器。
INTOSC2 ⁽¹⁾	以下のものに対するクロック供給に使用できません。 <ul style="list-style-type: none"> メイン PLL CPU タイマ 2 	内部発振器 2。 ゼロ・ピン・オーバーヘッド 10MHz 内部発振器。
X1 (XTAL)	以下のものに対するクロック供給に使用できません。 <ul style="list-style-type: none"> メイン PLL CPU タイマ 2 	X1 ピンと X2 ピンの間に接続された外付け水晶振動子もしくは発振子、または X1 ピンに接続されたシングルエンド・クロック。

- (1) リセット時、内部発振器 2 (INTOSC2) は、システム PLL (OSCCLK) のデフォルト・クロック・ソースになっています。

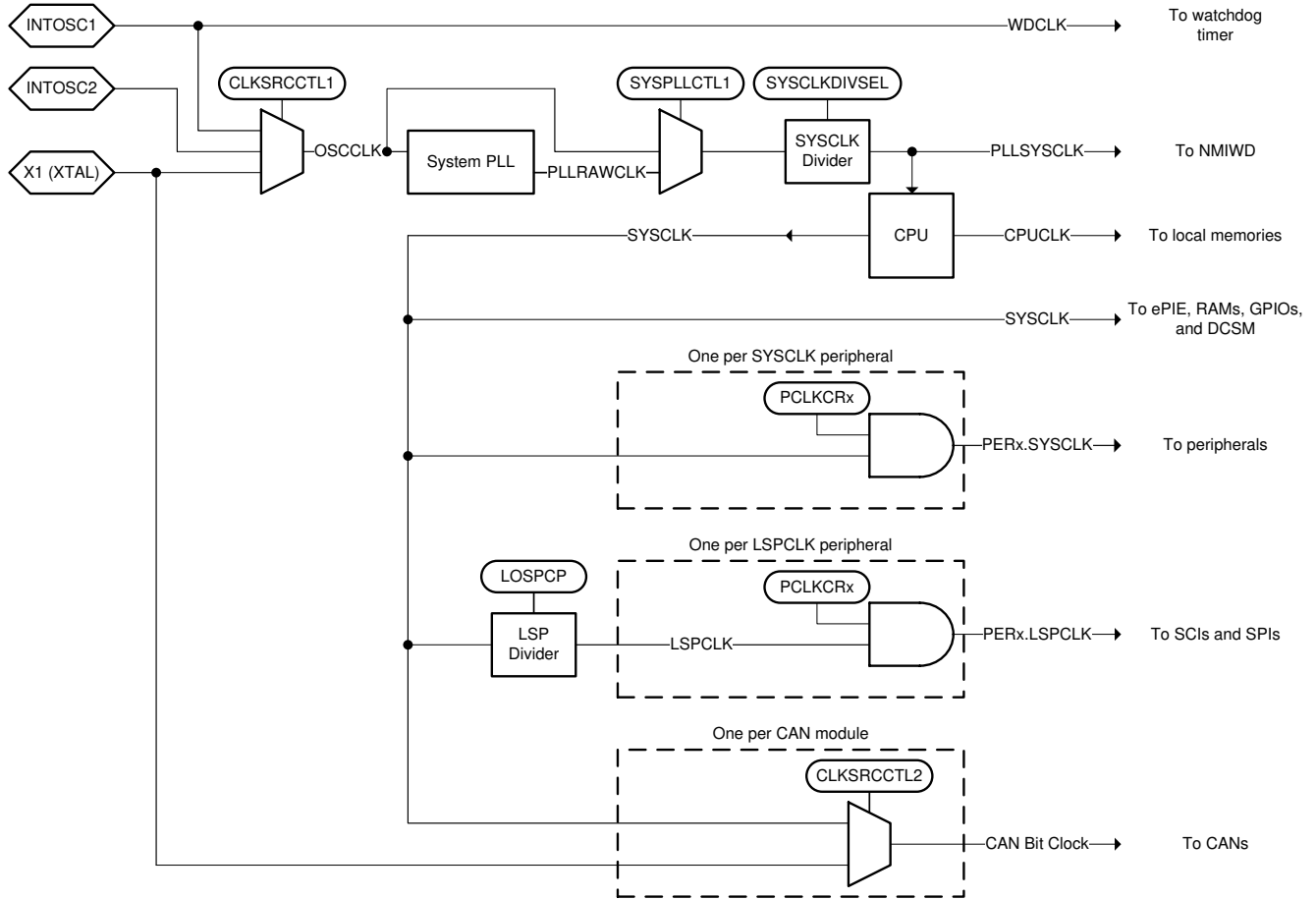


図 7-15. クロック供給システム

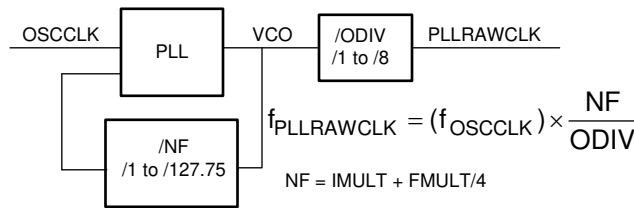


図 7-16. システム PLL

7.9.3.2 クロック周波数、要件、および特性

このセクションでは、入力クロックの周波数およびタイミング要件、PLL ロック時間、内部クロックの周波数、出力クロックの周波数およびスイッチング特性について説明します。

7.9.3.2.1 入力クロック周波数およびタイミング要件、PLL ロック時間

セクション 7.9.3.2.1.1 に、入力クロックの周波数要件を示します。セクション 7.9.3.2.1.2 に、XTAL 発振器の特性を示します。セクション 7.9.3.2.1.3 に、X1 のタイミング要件を示します。セクション 7.9.3.2.1.4 に、メイン PLL の PLL ロック時間を示します。

7.9.3.2.1.1 入力クロック周波数

		最小値	最大値	単位
$f_{(XTAL)}$	外付け水晶振動子または発振子からの周波数、X1/X2	10	20	MHz
$f_{(X1)}$	外部発振器からの周波数、X1	2	20	MHz

7.9.3.2.1.2 水晶発振器の特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	最小値	標準値	最大値	単位
X1 V_{IL} 有効 LOW レベル入力電圧	-0.3		$0.3 * V_{DDIO}$	V
X1 V_{IH} 有効 HIGH レベル入力電圧	$0.7 * V_{DDIO}$		$V_{DDIO} + 0.3$	V

7.9.3.2.1.3 X1 のタイミング要件

		最小値	最大値	単位
$t_{f(X1)}$	立ち下がり時間、X1		6	ns
$t_{r(X1)}$	立ち上がり時間、X1		6	ns
$t_{w(X1L)}$	パルス幅、 $t_{c(X1)}$ のうち X1 が LOW の割合	45%	55%	
$t_{w(X1H)}$	パルス幅、 $t_{c(X1)}$ のうち X1 が HIGH の割合	45%	55%	

7.9.3.2.1.4 PLL ロック時間

		最小値	公称値	最大値	単位
$t_{(PLL)}$	ロック時間、メイン PLL		$25.5\mu s + 1024 * t_{c(OSCCLK)}$		μs

7.9.3.2.2 内部クロック周波数

セクション 7.9.3.2.2.1 に、内部クロックのクロック周波数を示します。

7.9.3.2.2.1 内部クロック周波数

		最小値	公称値	最大値	単位
$f_{\text{(SYSCLK)}}$	周波数、デバイス (システム) クロック	2		100	MHz
$t_{\text{c(SYSCLK)}}$	周期、デバイス (システム) クロック	10		500	ns
$f_{\text{(VCO)}}$	周波数、PLL VCO (出力分周器より前)	120		400	MHz
$f_{\text{(PLLRAWCLK)}}$	周波数、システム PLL 出力 (SYSCLK 分周器より前)	15		200	MHz
$f_{\text{(PLL)}}$	周波数、PLLSYSCLK	2		100	MHz
$f_{\text{(LSP)}}$	周波数、LSPCLK	2		100	MHz
$t_{\text{c(LSPCLK)}}$	周期、LSPCLK	10		500	ns
$f_{\text{(OSCCLK)}}$	周波数、OSCCLK (INTOSC1 または INTOSC2 または XTAL または X1)	それぞれのクロックを参照			MHz
$f_{\text{(HRPWM)}}$	周波数、HRPWMCLK	60		100	MHz

7.9.3.2.3 出力クロックの周波数およびスイッチング特性

セクション 7.9.3.2.3.1 に、出力クロック XCLKOUT のスイッチング特性を示します。

7.9.3.2.3.1 XCLKOUT のスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

	パラメータ (1)	最小値	最大値	単位
$t_{\text{f(XCO)}}$	立ち下がり時間、XCLKOUT		5	ns
$t_{\text{r(XCO)}}$	立ち上がり時間、XCLKOUT		5	ns
$t_{\text{w(XCOL)}}$	パルス幅、XCLKOUT LOW	$H - 2^{(2)}$	$H + 2^{(2)}$	ns
$t_{\text{w(XCOH)}}$	パルス幅、STEP HIGH	$H - 2^{(2)}$	$H + 2^{(2)}$	ns
$f_{\text{(XCO)}}$	周波数、XCLKOUT		50	MHz

(1) これらのパラメータでは、40pF の負荷を想定しています。

(2) $H = 0.5t_{\text{c(XCO)}}$

7.9.3.3 入力クロックおよびPLL

注

GPIO18* およびその多重化オプションは、システムが INTOSC によってクロック供給され、X1 に外部プルダウン抵抗がある場合にのみ使用できます。

内蔵のゼロ・ピン発振器に加えて、3 種類の外部クロック・ソースがサポートされています。

- シングルエンドの 3.3V 外部クロック。図 7-17 に示すように、クロック信号を X1 に接続し、XTALCR.SE ビットを 1 に設定する必要があります。

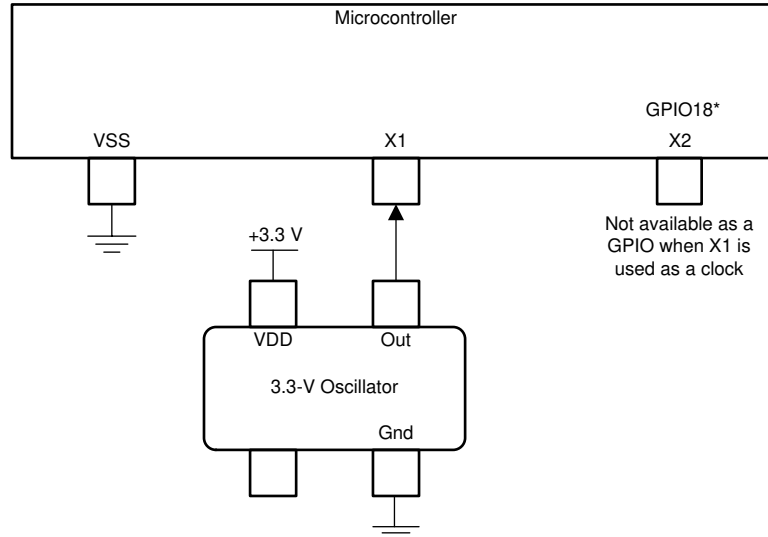


図 7-17. シングルエンド 3.3V 外部クロック

- 外部水晶振動子。図 7-18 に示すように、X1 と X2 の間に水晶振動子を接続して、さらに負荷コンデンサを VSS に接続する必要があります。

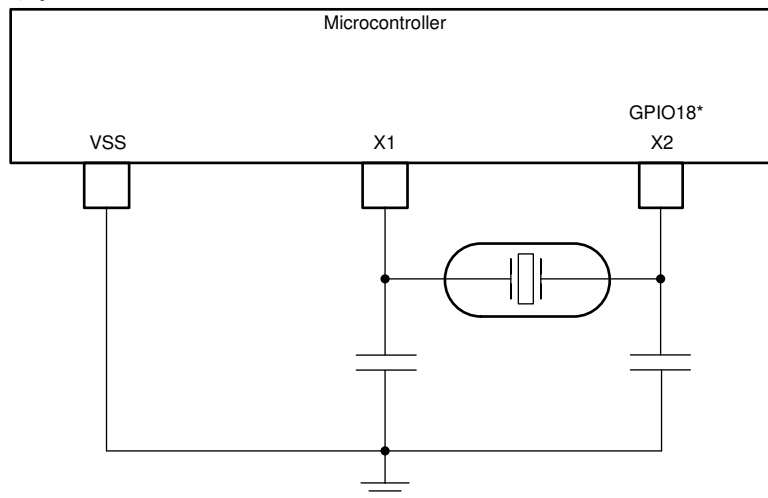


図 7-18. 外部水晶振動子

- 外部共振子。図 7-19 に示すように、X1 と X2 の間に共振子を接続し、そのグラウンドを VSS に接続する必要があります。

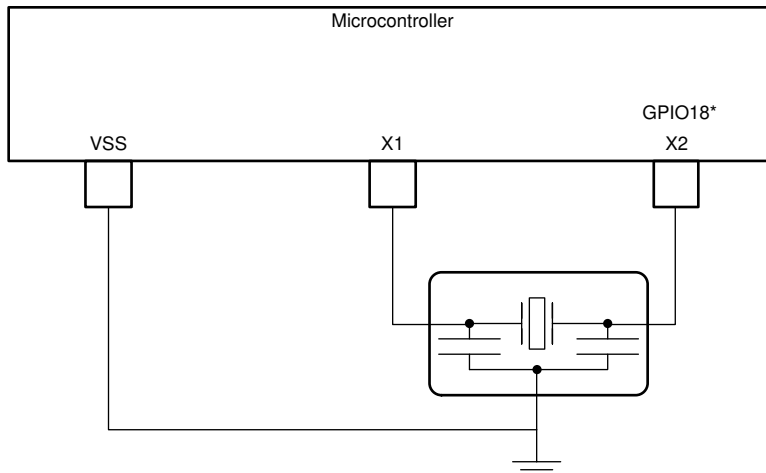


図 7-19. 外部共振子

7.9.3.4 水晶 (XTAL) 発振回路

7.9.3.4.1 概要

このデバイスの水晶発振器は、内蔵の電気発振回路であり、適合する水晶振動子 (またはセラミック共振器) と組み合わせると、デバイスが必要とするシステム・クロックを生成できます。

7.9.3.4.2 概要

以下のセクションでは、電気発振回路と水晶振動子の部品について説明します。

7.9.3.4.2.1 電気発振回路

このデバイスの電気発振回路は、ピアス発振器です。これは正帰還インバータ回路であり、発振するためにはチューニング回路が必要です。この発振器に適合する水晶振動子と組み合わせると、タンク回路が形成されます。このタンク回路は、水晶振動子の基本周波数で発振します。このデバイスでは、発振器は、並列容量 (C0) および必要な負荷容量 (CL) によって、並列共振モードで動作するように設計されています。図 7-20 に、電気発振回路とタンク回路の部品を示します。

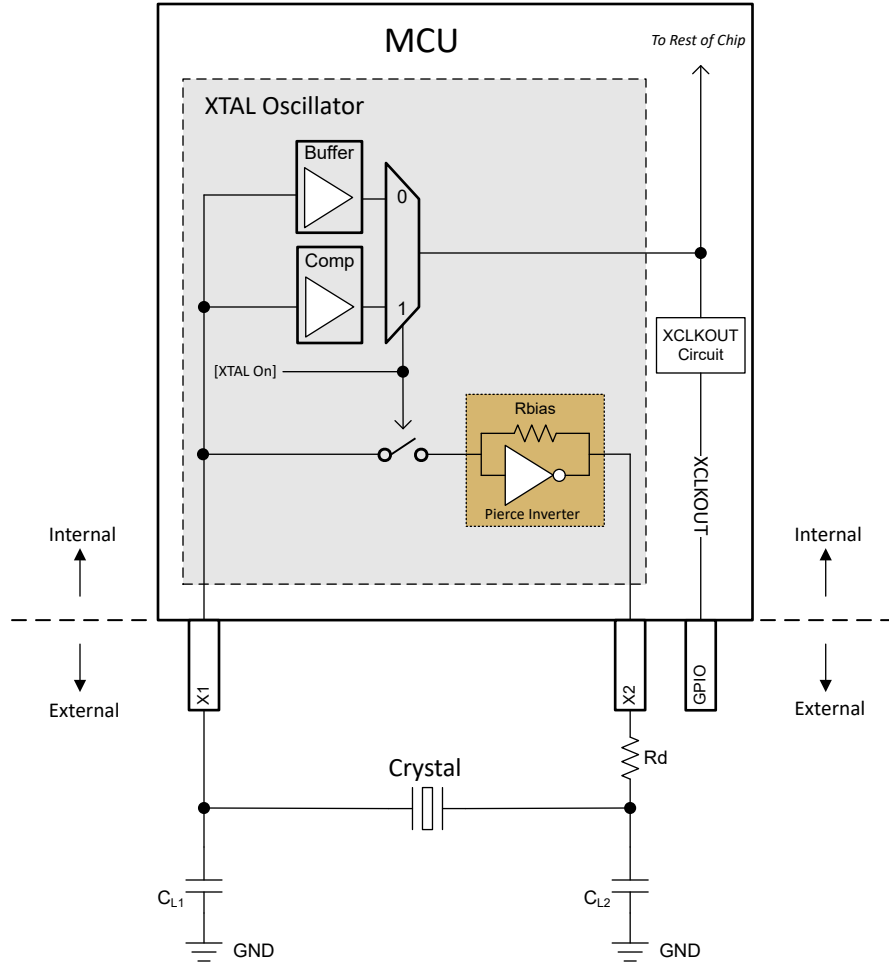


図 7-20. 電気発振回路のブロック図

7.9.3.4.2.1.1 動作モード

このデバイスの電気発振回路には、水晶振動子モードとシングルエンド・モードの 2 つの動作モードがあります。

7.9.3.4.2.1.1.1 水晶動作モード

水晶動作モードでは、負荷コンデンサ付きの水晶振動子を X1 および X2 に接続する必要があります。

この動作モードは、[XTAL On] = 1 のとき、すなわち XTALCR.OSCOFF = 0 および XTALCR.SE = 0 に設定することにより有効になります。帰還ループには内部バイアス抵抗があるため、外部バイアス抵抗は使用しないでください。外付けバイアス抵抗を追加すると、内部 Rbias と並列の抵抗ができて、バイアス動作点が移動し、クリップされた波形、仕様外のデューティ・サイクル、および実効負抵抗の減少につながる可能性があります。

この動作モードでは、結果として X1 に得られたクロックが、コンパレータ (Comp) を経由してチップの他の部分に渡されます。X1 のクロックは、コンパレータの VIH と VIL を満たす必要があります。コンパレータの VIH および VIL の要件については、「XTAL 発振器の特性」表を参照してください。

7.9.3.4.2.1.1.2 シングルエンド動作モード

シングルエンド動作モードでは、クロック信号は X1 に接続され、X2 は未接続のままです。このモードでは水晶振動子を使用しないでください。

このモードは、[XTAL On] = 0 のときにイネーブルになります。これは、XTALCR.OSCOFF = 1 および XTALCR.SE = 1 を設定することで実現できます。

この動作モードでは、X1 のクロックがバッファを経由してチップの他の部分に渡されます。バッファの入力要件については、「外部クロック・ソース (水晶振動子ではない) 使用時の X1 入力レベルの特性」表を参照してください。

7.9.3.4.2.1.2 XCLKOUT での XTAL 出力

チップの他の部分に供給される電気発振回路の出力は、CLKSRCCTL3.XCLKOUTSEL および XCLKOUTDIVSEL.XCLKOUTDIV レジスタを構成することにより、XCLKOUT で観察できます。XCLKOUT が出力される GPIO のリストについては、「GPIO 多重化ピン」表を参照してください。

7.9.3.4.2.2 水晶振動子

電気的には、水晶振動子は LCR (インダクタ-コンデンサ-抵抗) 回路で表現できます。ただし、LCR 回路と違って、直列抵抗が低いため、水晶振動子の Q 値は非常に高く、また、非常に減衰が小さくなっています。水晶振動子の要素を [図 7-21](#) に示し、以下で説明します。

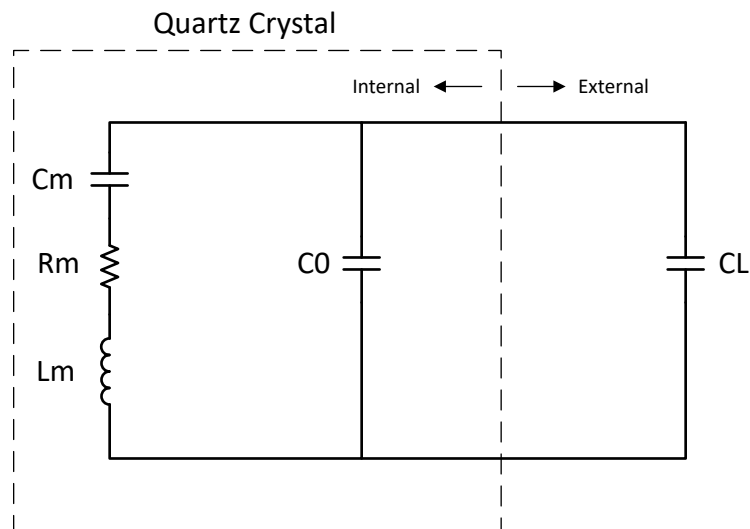


図 7-21. 水晶振動子の電氣的表現

Cm (直列容量): 水晶の弾性を表します。

Rm (直列抵抗): 水晶振動子内の抵抗性損失を表します。これは水晶の ESR ではありませんが、他の水晶振動子の要素の値によっては、近似できます。

Lm (直列インダクタンス): 水晶振動子の振動質量を表します。

C0 (並列容量): 水晶振動子の 2 つの電極と浮遊パッケージ容量から形成される静電容量。

CL (負荷容量): これは、水晶振動子の電極における実効的な容量であり、水晶の外部にあるものです。水晶振動子のデータシートで規定されている周波数 ppm は、通常、CL パラメータに関連付けられています。

ほとんどの水晶振動子メーカーでは、水晶振動子の 2 つのピンにおける実効容量として CL を指定していますが、一部の水晶振動子メーカーでは、水晶振動子ピンの 1 つだけの容量として CL を指定していることに注意してください。計算で正しい値を使用するために、CL の指定方法については、水晶振動子のメーカーにお問い合わせください。

[図 7-20](#) によれば、CL1 と CL2 が直列になっているので、水晶振動子から見た等価合計容量を求めるには、静電容量の直列式を適用して、CL1 = CL2 の場合、単純に $[CL1]/2$ と計算する必要があります。

この値には、浮遊 PCB 容量を加算することを推奨します。3pF~5pF が妥当な推定値ですが、実際の値は対象となる PCB によって異なります。

負荷容量は、電気発振回路と水晶振動子の両方に対する要件であることに注意してください。選択する値は、電気発振回路と水晶振動子の両方を満たす必要があります。

水晶振動子に対する CL の影響は周波数変動です。実効負荷容量が目標値よりも小さい場合、水晶周波数が高くなり、その逆も同様です。ただし、通常、周波数変動の影響は非常に小さく、一般的には公称周波数から 10ppm 未満の変動となります。

7.9.3.4.2.3 GPIO 動作モード

このデバイスでは、XTAL の動作モードに応じて、X2 を GPIO18 として使用できます。『TMS320F280015x リアルタイム・マイクロコントローラ・テクニカル・リファレンス・マニュアル』『TMS320F28004x リアルタイム・マイクロコントローラ・テクニカル・リファレンス・マニュアル』の「外部発振器 (XTAL)」セクションを参照してください。

7.9.3.4.3 機能動作

7.9.3.4.3.1 ESR – 等価直列抵抗

等価直列抵抗は、共振時に水晶振動子が電気発振回路に与える抵抗性負荷です。ESR が大きくなるほど Q が低くなり、水晶振動子が起動または発振を維持する可能性が低くなります。ESR と水晶振動子の関係を以下に示します。

$$ESR = Rm * \left(1 + \frac{C0}{CL}\right)^2 \quad (1)$$

ESR は、水晶振動子の直列抵抗と等しくはありませんが、実効負荷容量が並列容量よりもはるかに大きい場合は近似できます。

7.9.3.4.3.2 Rneg – 負性抵抗

負性抵抗は、電気発振回路から水晶振動子に示されるインピーダンスです。発振中に発生する損失を打ち消すために、電気発振回路が水晶に供給すべきエネルギーの量です。Rneg は、回路がエネルギーを消費するのではなく供給していることを表しており、回路全体のゲインとみなすこともできます。

一般的に受け入れられる方法としては、あらゆる条件下で水晶振動子が確実に起動するように、Rneg > 3x ESR から 5x ESR に設定することです。水晶振動子の起動に必要なエネルギーは、発振を維持するためのエネルギーよりもわずかに多いことに注意してください。したがって、起動時に負性抵抗要件が満たされていることが保証されている場合、発振の維持は問題になりません。

図 7-22 および 図 7-23 に、このデバイスの負性抵抗と水晶振動子間の関係の変動を示します。グラフからわかるように、水晶振動子の並列容量 (C0) と実効負荷容量 (CL) は電気発振回路の負性抵抗に大きな影響を及ぼします。これらは代表的なグラフであるため、設計上考慮すべき最小値および最大値については、表 7-8 を参照してください。

7.9.3.4.3.3 起動時間

水晶発振回路の部品を選択する際には、起動時間が重要な考慮事項になります。「Rneg – 負性抵抗」セクションで説明したように、あらゆる条件下で信頼性の高い起動を実現するには、水晶振動子の ESR に対して、Rneg > 3x ESR から 5x ESR にすることを推奨します。

水晶の ESR およびダンピング抵抗 (Rd) は、起動時間に大きな影響を及ぼします。この 2 つの値が大きいほど、水晶振動子の起動にかかる時間は長くなります。起動時間が長い場合は、通常、水晶振動子と部品が正しく適合していないことを示す兆候です。

標準的な起動時間については、「水晶発振回路の仕様」を参照してください。ここに記載されている数値は、参考用に提供されている標準的な数値であることに注意してください。実際の起動時間は、対象の水晶振動子と外付け部品に大きく依存します。

7.9.3.4.3.4 DL – 励振レベル

励振レベルとは、電気発振回路によって供給され、水晶によって消費される電力を意味します。水晶メーカーのデータシートに記載されている最大励振レベルは、通常、損傷や動作寿命の大幅な短縮なしに水晶振動子が消費できる最大値です。一方、電気発振回路で規定されている励振レベルは、供給可能な最大電力です。実際に電気発振回路から供給される電力は、必ずしも最大電力ではなく、水晶振動子と基板の部品によって決まります。

電気発振回路からの実際の励振レベルが水晶振動子の最大励振レベル仕様を超える場合は、ダンピング抵抗 (Rd) を取り付けて電流を制限し、水晶振動子によって消費される電力を低減する必要があります。Rd は回路のゲインを低下させ

せることに注意してください。したがって、実際に使用する値を評価して、スタートアップおよび持続的な発振に関する他のすべての条件が満たされていることを確認する必要があります。

7.9.3.4.4 水晶振動子の選択方法

「水晶発振器の仕様」を参照してください。

1. 水晶周波数を選択します (たとえば 20MHz)。
2. 20MHz に対する仕様として、水晶振動子の ESR が 50Ω 以下であることを確認します。
3. 20MHz に対する仕様として、水晶メーカーの負荷容量要件が 6pF~12pF の範囲内であることを確認します。
 - すでに説明したように、CL1 と CL2 は直列に配置されているので、CL1 = CL2 の場合、実効負荷容量 $CL = [CL1]/2$ となります。
 - この結果に基板の寄生成分を加算すると、 $CL = [CL1]/2 + \text{浮遊容量}$ となります。
4. 水晶振動子の最大励振レベルが 1mW 以上であることを確認します。この要件が満たされていない場合は、ダンピング抵抗 R_d を使用できます。 R_d を使用するときの他の注意点については「DL – 励振レベル」を参照してください。

7.9.3.4.5 テスト

水晶振動子が常に起動して発振を維持できるように、ユーザーが水晶振動子のメーカーに依頼して、その基板での水晶振動子の特性を完全に評価することを推奨します。

以下に、実行可能ないくつかの測定の概要を示します。

水晶発振回路は静電容量に影響を受けやすいので、スコープ・プローブを X1 および X2 に接続しないことを推奨します。スコープ・プローブを使用して X1/X2 を監視する必要がある場合は、1pF 未満の容量を持つアクティブ・プローブを使用する必要があります。

周波数

1. XCLKOUT の XTAL を引き出します。
2. この周波数を水晶周波数として測定します。

負性抵抗

1. XCLKOUT の XTAL を引き出します。
2. 負荷コンデンサの間に、水晶振動子と直列にポテンショメータを配置します。
3. XCLKOUT のクロックが停止するまで、ポテンショメータの抵抗を上げます。
4. この抵抗と水晶振動子の実際の ESR の和が、電気発振回路の負性抵抗です。

起動時間

1. XTAL をオフにします。
2. XCLKOUT の XTAL を引き出します。
3. XTAL をオンにして、XCLKOUT のクロックが 45% および 55% のデューティ・サイクル内に維持されるまでに要する時間を測定します。

7.9.3.4.6 一般的な問題とデバッグのヒント

水晶振動子が起動しない

- 「水晶振動子の選択方法」セクションを読んで、記述に反する状況がないことを確認します。

水晶が起動に長い時間を要する

- ダンピング抵抗 R_d を取り付けている場合、抵抗 R_d が大きすぎます。
- ダンピング抵抗を取り付けていない場合、水晶振動子の ESR が高すぎるか、または、負荷容量が大きいため回路全体のゲインが低すぎるかのどちらかです。

7.9.3.4.7 水晶発振回路の仕様

7.9.3.4.7.1 水晶発振器のパラメータ

		最小値	最大値	単位
CL1, CL2	負荷容量	12	24	pF

7.9.3.4.7.1 水晶発振器のパラメータ (continued)

		最小値	最大値	単位
C0	水晶振動子の並列容量		7	pF

7.9.3.4.7.2 水晶振動子の等価直列抵抗 (ESR) 要件

「水晶振動子の等価直列抵抗 (ESR) 要件」表について:

- 水晶振動子の並列容量 (C0) は 7pF 以下である必要があります。
- ESR = 負性抵抗 / 3

表 7-8. 水晶振動子の等価直列抵抗 (ESR) 要件

水晶振動子の周波数 (MHz)	最大 ESR (Ω) (CL1 = CL2 = 12pF)	最大 ESR (Ω) (CL1 = CL2 = 24pF)
10	55	110
12	50	95
14	50	90
16	45	75
18	45	65
20	45	50

Negative Resistance vs. 10MHz Crystal

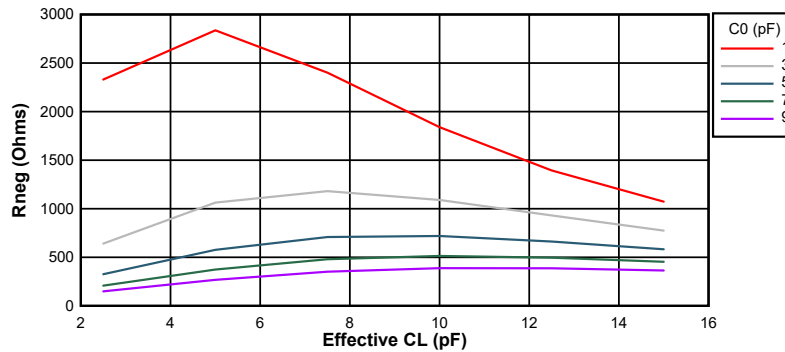


図 7-22. 10MHz 時の負性抵抗変動

Negative Resistance vs. 20MHz Crystal

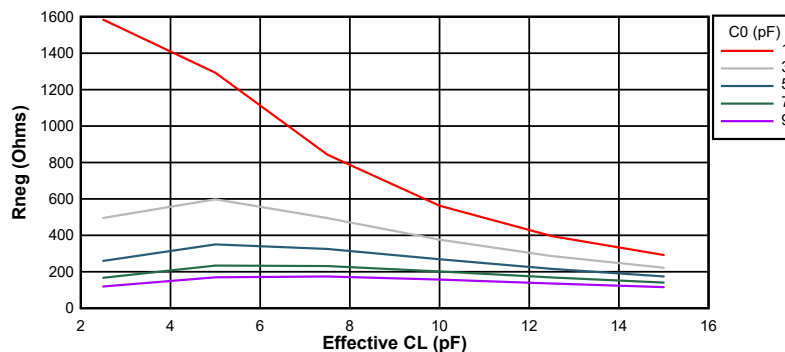


図 7-23. 20MHz 時の負性抵抗変動

7.9.3.4.7.3 水晶発振器の電気的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
起動時間 ⁽¹⁾	f = 10MHz	ESR MAX = 110Ω CL1 = CL2 = 24pF C0 = 7pF		4		ms
	f = 20MHz	ESR MAX = 50 Ω CL1 = CL2 = 24pF C0 = 7pF		2		ms
水晶振動子の励振レベル (DL)					1	mW

(1) 起動時間は、水晶振動子とタンク回路の部品に依存します。TI では、水晶振動子のベンダーに対して、選択した水晶振動子を使用してアプリケーションの特性を評価することを推奨しています。

7.9.3.5 内部発振器

ボード製造コストとアプリケーション開発期間を削減するために、すべての F28004x デバイスには、INTOSC1 および INTOSC2 という 2 つの独立した内部発振器が搭載されています。デフォルトでは、電源投入時に両方の発振器がイネーブルになります。INTOSC2 は、システム・リファレンス・クロック (OSCCLK) のソースとして設定され、INTOSC1 は、バックアップ・クロック・ソースとして設定されます。INTOSC1 は、手動でシステム・リファレンス・クロック (OSCCLK) として構成することもできます。このモジュールがアプリケーションのクロック要件に適合するかどうかを判定するために、[セクション 7.9.3.5.1](#) に内部発振器の電気的特性を示します。

7.9.3.5.1 INTOSC の特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
f _{INTOSC}	周波数、INTOSC1 および INTOSC2		9.7	10	10.3	MHz
f _{INTOSC-STABILITY}	室温での周波数安定性	30°C、公称 VDD		±0.1%		
	VDD に対する周波数安定性	30°C		±0.2%		
	周波数安定性		-3%		3%	
t _{INTOSC-ST}	スタートアップおよびセトリング時間				20	μs

7.9.4 フラッシュ・パラメータ

表 7-9 に、異なるクロック・ソースおよび周波数で必要な最小のフラッシュ・ウェイト状態を示します。

表 7-9. 異なる CPUCLK 周波数で必要な最小のフラッシュ・ウェイト状態 (FRDCNTL[RWAIT])

CPUCLK (MHz)	フラッシュの読み取り、実行、プログラム、または消去	LPM でのフラッシュ・バンク / ポンプ、または LPM への移行 / 復帰 アクティブ→スリープ→アクティブまたは アクティブ→スタンバイ→アクティブ
80 < CPUCLK ≤ 100	4	5
60 < CPUCLK ≤ 80	3	4
40 < CPUCLK ≤ 60	2	3
20 < CPUCLK ≤ 40	1	2
10 < CPUCLK ≤ 20	0	1
CPUCLK ≤ 10	0	0

F28004x デバイスには、改善された 128 ビットのプリフェッチ・バッファがあり、さまざまなウェイト状態にわたってフラッシュ・コードの高い実行効率を実現します。図 7-24 および 図 7-25 に、64 ビットのプリフェッチ・バッファを搭載した前世代のデバイスと比較した場合の、さまざまなウェイト状態設定での標準的な効率を示します。プリフェッチ・バッファを使用したウェイト状態の実行効率は、アプリケーション・ソフトウェアに存在する分岐の数によって異なります。線形コードと IF-THEN-ELSE コードの 2 つの例を示しています。

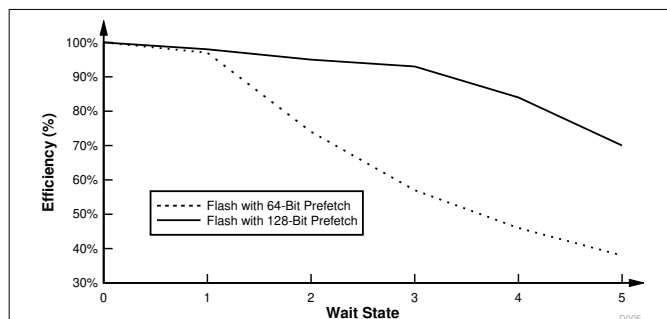


図 7-24. 多数の 32 ビット浮動小数点演算命令を含むアプリケーション・コード

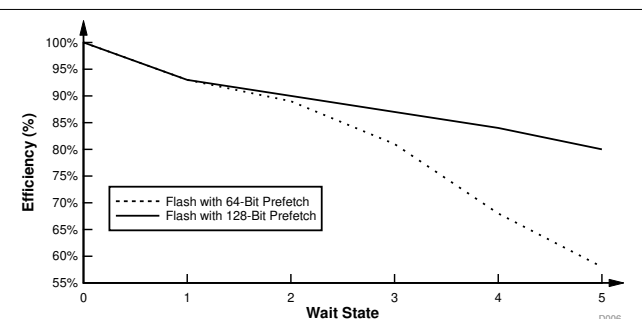


図 7-25. 16 ビットの IF-ELSE 命令を含むアプリケーション・コード

表 7-10 に、フラッシュ・パラメータを示します。

表 7-10. フラッシュ・パラメータ

パラメータ		最小値	標準値	最大値	単位
プログラム時間 ⁽¹⁾	128 データ・ビット + 16 ECC ビット		150	300	μs
	8KB セクタ		50	100	ms
消去時間 ⁽²⁾ (25 W/E サイクル未満)	8KB セクタ		15	100	ms
消去時間 ⁽²⁾ (1000 W/E サイクル)	8KB セクタ		25	350	ms
消去時間 ⁽²⁾ (2000 W/E サイクル)	8KB セクタ		30	600	ms
消去時間 ⁽²⁾ (20K W/E サイクル)	8KB セクタ		120	4000	ms
N _{wec} 書き込み / 消去サイクル (1 セクタごと)				20000	サイクル
N _{wec} 書き込み / 消去サイクル (フラッシュ全体、すべてのセクタを結合) ⁽³⁾				100000	サイクル
t _{retention} データ保持期間 (T _J = 85°C)		20			年

- (1) プログラム時間は、最大デバイス周波数におけるものです。プログラム時間には、フラッシュ・ステート・マシンのオーバーヘッドが含まれますが、以下に示すものを RAM に転送する時間は含まれていません。
- フラッシュ API を使用してフラッシュをプログラムするコード
 - フラッシュ API そのもの
 - プログラムすべきフラッシュ・データ
- すなわち、この表に示す時間は、必要なすべてのコード / データがデバイス RAM に収容されて、プログラムの用意ができた後に適用されます。転送時間は、使用する JTAG デバッグ・プローブの速度によって大きく異なります。プログラム時間の計算は、指定された動作周波数で一度に 144 ビットをプログラムするという条件に基づいています。プログラム時間には、CPU によるプログラム検証が含まれます。書き込み/消去 (W/E) サイクルによってプログラム時間は劣化しませんが、消去時間は劣化します。したがって、ここでは、消去時間は 25 W/E サイクル、1K W/E サイクル、2K W/E サイクル、20K W/E サイクルについて示しています。消去時間には、CPU による消去検証が含まれており、このときデータ転送は行われません。
- (2) 消去時間には、CPU による消去検証が含まれます。
- (3) 各セクタを単独で消去 / プログラムできるのは、20,000 回までです。EEPROM のようにセクタ (または複数セクタ) を使用する場合は、フラッシュ・メモリ全体を消去 / プログラムすることなく、それらのセクタのみを消去 / プログラムできます (ただし、20,000 サイクルに制限されます)。したがって、デバイス全体の観点では、合計 W/E サイクル数は 20,000 サイクルを超える可能性があります。ただし、その場合でも、この値が 100,000 サイクルを超えないようにする必要があります。

注

メイン・アレイのフラッシュ・プログラミングは、64 ビットのアドレス境界に合わせて整列させる必要があります、それぞれの 64 ビット・ワードは、書き込み / 消去サイクルごとに 1 回のみプログラムされます。

DCSM OTP のプログラミングは、128 ビットのアドレス境界に合わせて整列させる必要があります、それぞれの 128 ビット・ワードは、1 回のみプログラムされます。例外は以下に示すとおりです。

1. DCSM OTP の DCSM Zx-LINKPOINTER1 と Zx-LINKPOINTER2 の値は一緒にプログラムする必要があり、DCSM 動作で必要とされる場合は一度に 1 ビットずつプログラムすることができます。
2. DCSM OTP の DCSM Zx-LINKPOINTER3 の値は、Zx-PSWDLOCK から分離して、64 ビットの境界上で一度に 1 ビットずつプログラムできます。Zx-PSWDLOCK をプログラムできるのは 1 回だけです。

7.9.5 エミュレーション / JTAG

JTAG (IEEE 規格 1149.1-1990 標準テスト・アクセス・ポートおよびバウンダリ・スキャン・アーキテクチャ) ポートには、4つの専用ピンがあります。TMS、TDI、TDO、TCK。cJTAG (IEEE 規格 1149.7-2009、ピン数削減および拡張機能テスト・アクセス・ポートおよびバウンダリ・スキャン・アーキテクチャ用) ポートは、必要なピンが 2 本だけ (TMS および TCK) というコンパクトな JTAG インターフェイスであり、今まで使われていた GPIO35 (TDI) および GPIO37 (TDO) ピンに他のデバイス機能を多重化できます。

通常、MCU ターゲットと JTAG ヘッダーの間の距離が 6 インチ (15.24cm) 未満で、JTAG チェーンに他のデバイスが存在しない場合、JTAG 信号にバッファは必要ありません。それ以外の場合は、各信号をバッファする必要があります。さらに、10MHz で動作するほとんどの JTAG デバッグ・プローブでは、JTAG 信号に直列抵抗は必要ありません。ただし、高いエミュレーション速度 (35MHz 程度) が想定される場合は、各 JTAG 信号に対して 22Ω の抵抗を直列に配置する必要があります。

JTAG デバッグ・プローブ・ヘッダーの PD (電源検出) 端子は、基板の 3.3V 電源に接続する必要があります。ヘッダー GND 端子は、基板のグラウンドに接続する必要があります。TDIS (ケーブル切断検出) も基板のグラウンドに接続する必要があります。JTAG クロックは、ヘッダーの TCK 出力端子からヘッダーの RTCK 入力端子にループバックする必要があります (JTAG デバッグ・プローブによるクロックの連続性を検出するため)。この MCU は、14 ピンおよび 20 ピンのエミュレーション・ヘッダーに存在する EMU0 および EMU1 信号をサポートしていません。これらの信号は、常に、2.2kΩ ~ 4.7kΩ の範囲 (デバッグ・ポートの駆動能力によって異なります) の基板上のプルアップ抵抗ペアを経由して、エミュレーション・ヘッダーでプルアップする必要があります。通常、2.2kΩ の値を使用します。

ヘッダ端子 $\overline{\text{RESET}}$ は、JTAG デバッグ・プローブ・ヘッダーからのオープン・ドレイン出力であり、JTAG デバッグ・プローブ・コマンドを使用して基板のコンポーネントをリセットできます (20 ピンのヘッダーでのみ利用可能)。図 7-26 に、14 ピン JTAG ヘッダーを MCU の JTAG ポート信号に接続する方法を示します。図 7-27 に、20 ピン・ヘッダーへの接続方法を示します。20 ピン JTAG ヘッダー端子 EMU2、EMU3、EMU4 は使用しないで、グラウンドに接続する必要があります。

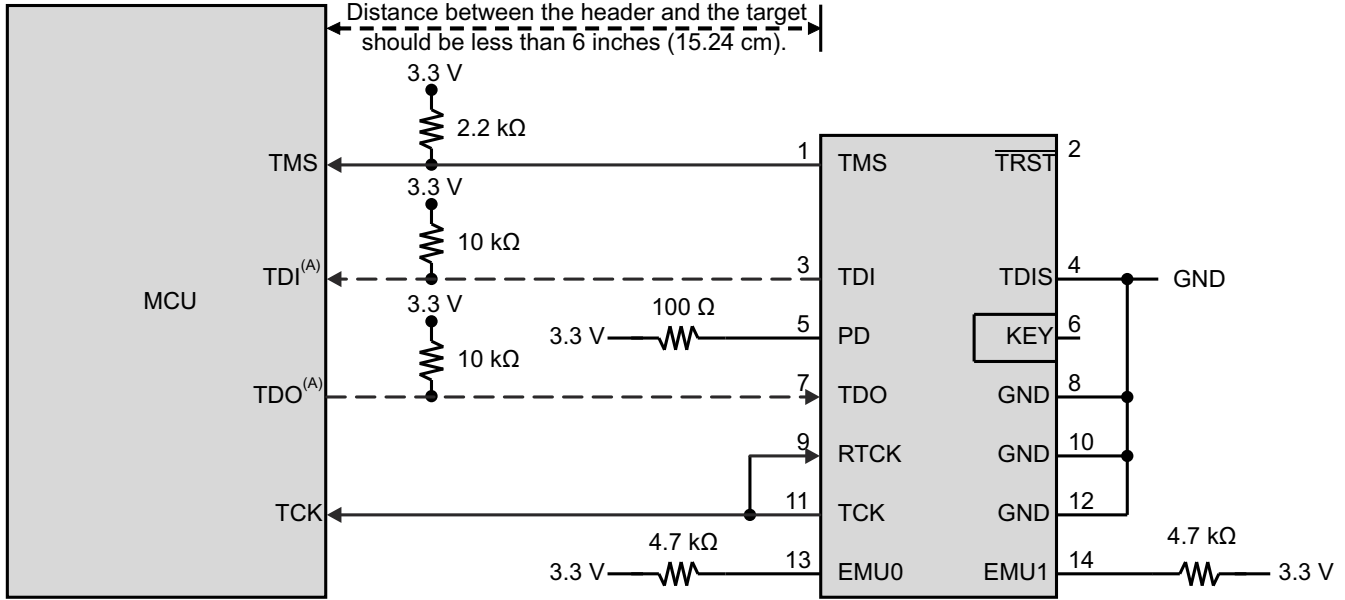
ハードウェア・ブレイクポイントとウォッチポイントの詳細については、『[CCS の C28x 用ハードウェア・ブレイクポイントとウォッチポイント](#)』を参照してください。

JTAG エミュレーションの詳細については、『[XDS ターゲット接続ガイド](#)』を参照してください。

注

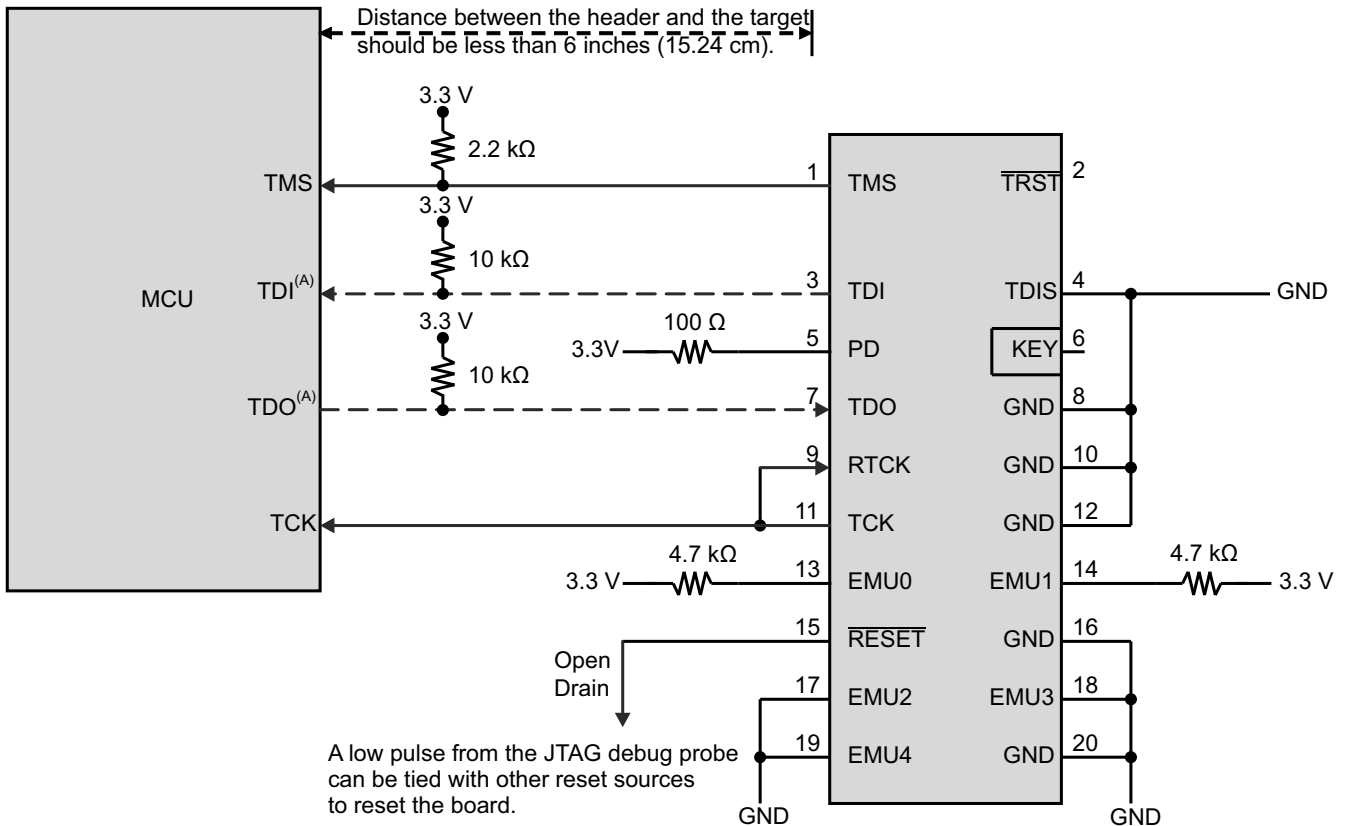
JTAG テスト・データ入力 (TDI) は、このピンのデフォルトの多重化選択です。内部プルアップは、デフォルトで無効になっています。このピンを JTAG の TDI として使用する場合、入力がフローティングにならないように、内部プルアップをイネーブルにするか、ボードに外部プルアップを追加する必要があります。cJTAG オプションでは、このピンを GPIO として使用できます。

JTAG テスト・データ出力 (TDO) は、このピンのデフォルトの多重化選択です。内部プルアップは、デフォルトで無効になっています。JTAG アクティビティがない場合、TDO 機能はトライステート状態になり、このピンはフローティングのままになります。GPIO 入力がフローティングにならないように、内部プルアップをイネーブルにするか、ボードに外部プルアップを追加する必要があります。cJTAG オプションでは、このピンを GPIO として使用できます。



A. cJTAG オプションでは、TDI および TDO の接続は必要ありません。代わりに、これらのピンを GPIO として使用することができます。

図 7-26. 14 ピン JTAG ヘッダーへの接続



A. cJTAG オプションでは、TDI および TDO の接続は必要ありません。代わりに、これらのピンを GPIO として使用することができます。

図 7-27. 20 ピン JTAG ヘッダーへの接続

7.9.5.1 JTAG の電氣的データおよびタイミング

セクション 7.9.5.1.1 に、JTAG のタイミング要件を示します。セクション 7.9.5.1.2 に、JTAG のスイッチング特性を示します。図 7-28 に、JTAG のタイミングを示します。

7.9.5.1.1 JTAG のタイミング要件

番号		パラメータ	最小値	最大値	単位
1	$t_c(\text{TCK})$	サイクル時間、TCK	66.66		ns
1a	$t_w(\text{TCKH})$	パルス幅、TCK HIGH (t_c の 40%)	26.66		ns
1b	$t_w(\text{TCKL})$	パルス幅、TCK LOW (t_c の 40%)	26.66		ns
3	$t_{su}(\text{TDI-TCKH})$	入力セットアップ時間、TDI 有効から TCK HIGH まで	13		ns
	$t_{su}(\text{TMS-TCKH})$	入力セットアップ時間、TMS 有効から TCK HIGH まで	13		
4	$t_h(\text{TCKH-TDI})$	入力ホールド時間、TCK HIGH から TDI 有効の間	7		ns
	$t_h(\text{TCKH-TMS})$	入力ホールド時間、TCK HIGH から TMS 有効の間	7		

7.9.5.1.2 JTAG のスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

番号	パラメータ	最小値	最大値	単位
2	$t_d(\text{TCKL-TDO})$	遅延時間、TCK LOW から TDO 有効まで	25	ns

7.9.5.1.3 JTAG のタイミング条件

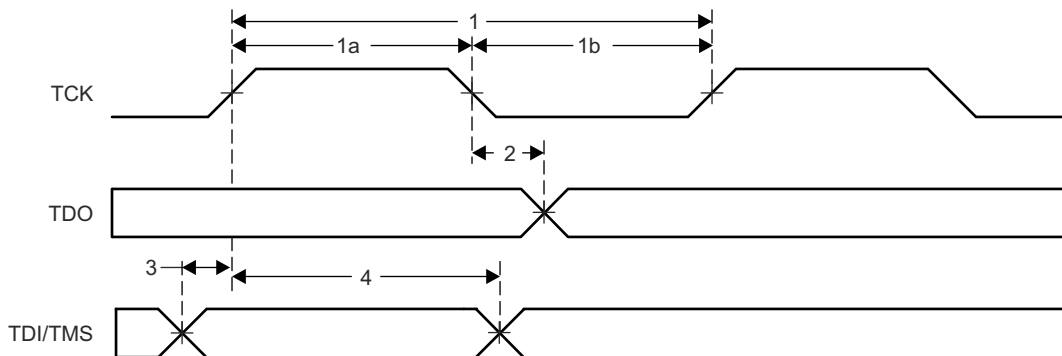


図 7-28. JTAG のタイミング

7.9.5.2 cJTAG の電氣的データおよびタイミング

セクション 7.9.5.2.1 に、cJTAG のタイミング要件を示します。セクション 7.9.5.2.2 に、cJTAG のスイッチング特性を示します。図 7-29 に、cJTAG のタイミングを示します。

7.9.5.2.1 cJTAG のタイミング要件

番号		パラメータ	最小値	最大値	単位
1	$t_c(\text{TCK})$	サイクル時間、TCK	100		ns
1a	$t_w(\text{TCKH})$	パルス幅、TCK HIGH (t_c の 40%)	40		ns
1b	$t_w(\text{TCKL})$	パルス幅、TCK LOW (t_c の 40%)	40		ns
3	$t_{su}(\text{TMS-TCKH})$	入力セットアップ時間、TMS 有効から TCK HIGH まで	15		ns
	$t_{su}(\text{TMS-TCKL})$	入力セットアップ時間、TMS 有効から TCK LOW まで	15		ns
4	$t_h(\text{TCKH-TMS})$	入力ホールド時間、TCK HIGH から TMS 有効の間	2		ns
	$t_h(\text{TCKL-TMS})$	入力ホールド時間、TCK LOW から TMS 有効の間	2		ns

7.9.5.2.2 cJTAG のスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

番号		パラメータ	最小値	最大値	単位
2	$t_d(\text{TCKL-TMS})$	遅延時間、TCK LOW から TMS 有効まで	6	20	ns
5	$t_{dis}(\text{TCKH-TMS})$	遅延時間、TCK HIGH から TMS 無効まで		20	ns

7.9.5.2.3 cJTAG のタイミング図

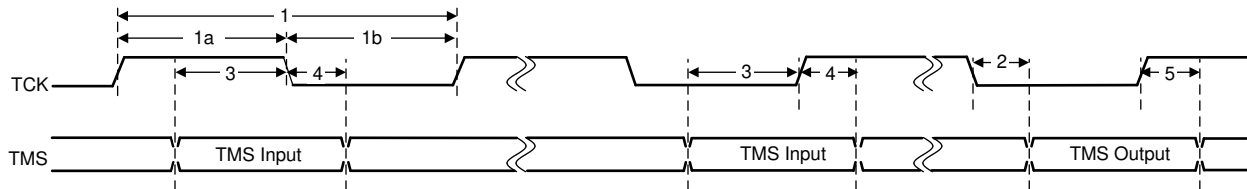


図 7-29. cJTAG タイミング

7.9.6 GPIO の電氣的データおよびタイミング

ペリフェラル信号は、汎用入出力 (GPIO) 信号と多重化されます。リセット時、GPIO ピンは入力として構成されます。特定の入力について、ユーザーは入力フィルタ・サイクル数を選択して、不要なノイズグリッチをフィルタリングすることもできます。

GPIO モジュールには出力クロスバーが含まれており、OUTPUTXBARx と呼ばれる GPIO マルチプレクサの領域で、さまざまな内部信号を GPIO にルーティングできます。また、GPIO モジュールには入力クロスバーが含まれており、任意の GPIO 入力から、ADC、eCAP、ePWM、外部割り込みなどさまざまな IP ブロックに信号をルーティングするために使用できます。詳細については、『TMS320F28004x リアルタイム・マイクロコントローラ・テクニカル・リファレンス・マニュアル』の「クロスバー」の章を参照してください。

7.9.6.1 GPIO - 出力タイミング

セクション 7.9.6.1.1 に、汎用出力のスイッチング特性を示します。図 7-30 に、汎用出力のタイミングを示します。

7.9.6.1.1 汎用出力のスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		最小値	最大値	単位
$t_{r(\text{GPIO})}$	立ち上がり時間、GPIO LOW から HIGH へ変化		8 ⁽¹⁾	ns
$t_{f(\text{GPIO})}$	立ち下がり時間、GPIO が HIGH から LOW へ変化		8 ⁽¹⁾	ns
f_{GPIO}	トグル周波数、GPIO23_VSW を除くすべての GPIO		25	MHz

(1) 立ち上がり時間と立ち下がり時間は負荷によって異なります。これらの値は、40pF の負荷を想定しています。

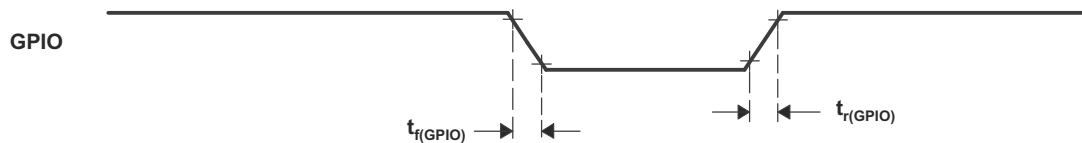


図 7-30. 汎用出力のタイミング

7.9.6.2 GPIO - 入力タイミング

セクション 7.9.6.2.1 に、汎用入力のタイミング要件を示します。図 7-31 に、サンプリング・モードを示します。

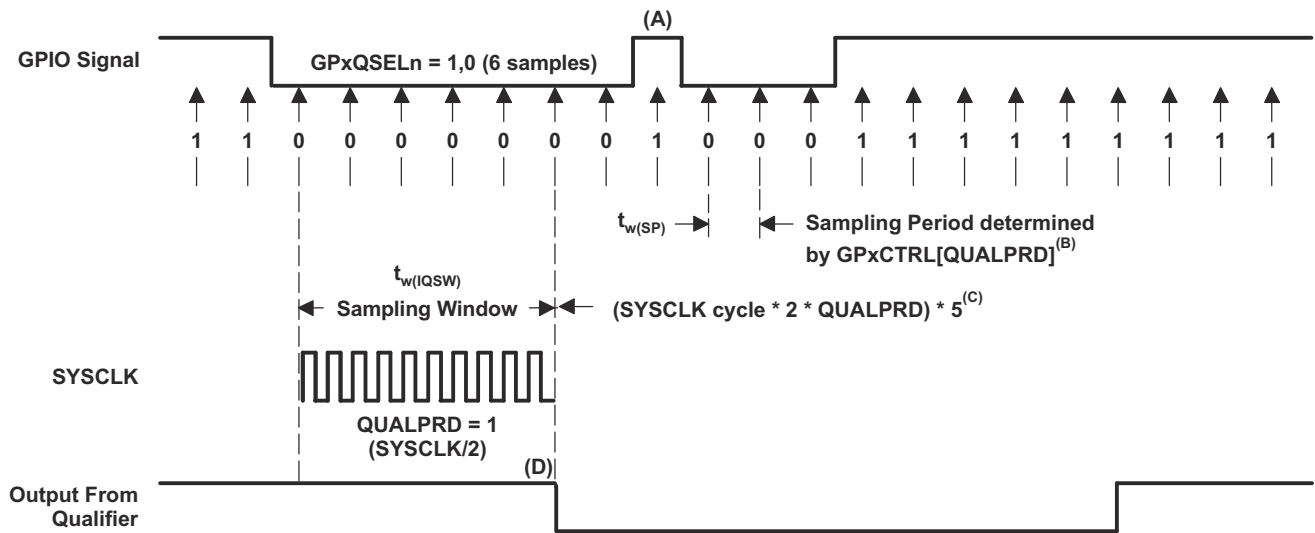
7.9.6.2.1 汎用入力のタイミング要件

表 7-11. 汎用入力のタイミング要件

		最小値	最大値	単位
$t_{w(SP)}$	サンプリング周期	QUALPRD = 0	$1t_{c(SYSCCLK)}$	サイクル
		QUALPRD \neq 0	$2t_{c(SYSCCLK)} * QUALPRD$	
$t_{w(IQSW)}$	入力フィルタ・サンプリング・ウィンドウ	$t_{w(SP)} * (n^{(1)} - 1)$		サイクル
$t_{w(GPI)}^{(2)}$	パルス幅、GPIO LOW/HIGH	同期モード	$2t_{c(SYSCCLK)}$	サイクル
		入力フィルタあり	$t_{w(IQSW)} + t_{w(SP)} + 1t_{c(SYSCCLK)}$	

(1) 「n」は、GPxQSELn レジスタで定義されているフィルタ・サンプルの数を表します。

(2) $t_{w(GPI)}$ のパルス幅は、アクティブ LOW 信号については V_{IL} から V_{IL} まで、アクティブ HIGH 信号については V_{IH} から V_{IH} までを測定します。



- A. このグリッチは、入力フィルタによって無視されます。フィルタ・サンプリング期間は、QUALPRD ビット・フィールドで指定します。この値は、00～0xFF の範囲で設定できます。QUALPRD = 00 の場合、サンプリング期間は 1 SYSCCLK サイクルです。その他の値「n」である場合、フィルタ・サンプリング期間は、2n SYSCCLK サイクルになります (すなわち、2n SYSCCLK サイクルごとに GPIO ピンがサンプリングされます)。
- B. GPxCTRL レジスタで選択したフィルタ期間は、8 つの GPIO ピンのグループに適用されます。
- C. フィルタ・ブロックは、3 つまたは 6 つのサンプルを取得できます。使用するサンプル・モードは、GPxQSELn レジスタで選択します。
- D. ここに示す例では、フィルタで変化を検出するためには、入力が 10 SYSCCLK サイクル以上の期間安定している必要があります。すなわち、入力は $(5 * QUALPRD * 2)$ SYSCCLK サイクルにわたって安定している必要があります。これにより、5 サンプル期間での検出実施が確保されます。外部信号は非同期で駆動されるため、13 SYSCCLK 幅のパルスであれば信頼性の高い認識が保証されます。

図 7-31. サンプリング・モード

7.9.6.3 入力信号のサンプリング・ウィンドウ幅

以下のセクションでは、各種の入力フィルタ構成に対する入力信号のサンプリング・ウィンドウ幅の概要を説明します。

この式の「サンプリング周波数」は、SYSCLK を基準にして、信号をサンプリングする頻度を表します。

QUALPRD ≠ 0 の場合、サンプリング周波数 = $\text{SYSCLK} / (2 \times \text{QUALPRD})$

QUALPRD = 0 の場合、サンプリング周波数 = SYSCLK

QUALPRD ≠ 0 の場合、サンプリング周期 = SYSCLK サイクル × 2 × QUALPRD

上記の式で、「SYSCLK サイクル」は、SYSCLK の時間周期を表しています。

QUALPRD = 0 の場合、サンプリング周期 = SYSCLK サイクル

特定のサンプリング・ウィンドウでは、入力信号の 3 つまたは 6 つのサンプルを取得して、信号の有効性を判定します。これは、GPxQSELn レジスタに書き込まれた値によって決定されます。

ケース 1:

3 つのサンプルを使用したフィルタリング

QUALPRD ≠ 0 の場合、サンプリング・ウィンドウ幅 = $(\text{SYSCLK サイクル} \times 2 \times \text{QUALPRD}) \times 2$

QUALPRD = 0 の場合、サンプリング・ウィンドウ幅 = $(\text{SYSCLK サイクル}) \times 2$

ケース 2:

6 つのサンプルを使用したフィルタリング

QUALPRD ≠ 0 の場合、サンプリング・ウィンドウ幅 = $(\text{SYSCLK サイクル} \times 2 \times \text{QUALPRD}) \times 5$

QUALPRD = 0 の場合、サンプリング・ウィンドウ幅 = $(\text{SYSCLK サイクル}) \times 5$

図 7-32 に、汎用入力のタイミングを示します。

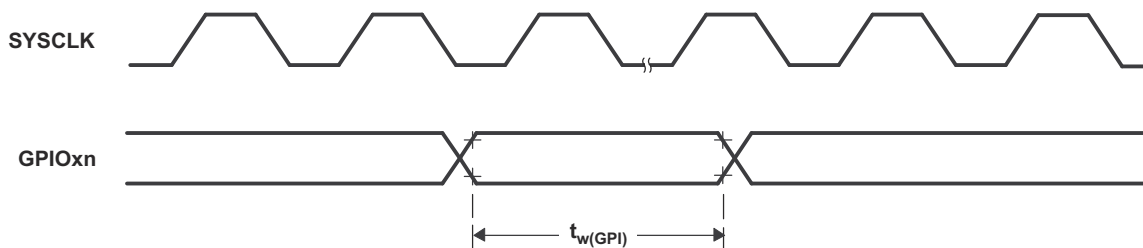


図 7-32. 汎用入力のタイミング :

7.9.7 割り込み

C28x CPU には 14 本のペリフェラル割り込みラインがあります。そのうち 2 本 (INT13 および INT14) は、それぞれ CPU タイマ 1 および 2 に直接接続されています。残りの 12 本は、強化ペリフェラル割り込み拡張 (ePIE) モジュール経由でペリフェラル割り込み信号に接続されています。ePIE は、各 CPU 割り込みラインに最大 16 本のペリフェラル割り込みを多重化します。また、ベクタ・テーブルを拡張して、各割り込みに独自の ISR を割り当てることもできます。これにより、CPU は多数のペリフェラルをサポートできます。

割り込みパスは、ペリフェラル、ePIE、CPU の 3 つのステージに分けられます。各ステージには、独自のイネーブル・レジスタとフラグ・レジスタがあります。このシステムにより、CPU は 1 つの割り込みを処理しながら他の割り込みを保留したり、ソフトウェア内でネストされた割り込みを実装および優先順位付けしたり、特定の重要なタスク中に割り込みを無効にしたりできます。

図 7-33 に、このデバイスの割り込みアーキテクチャを示します。

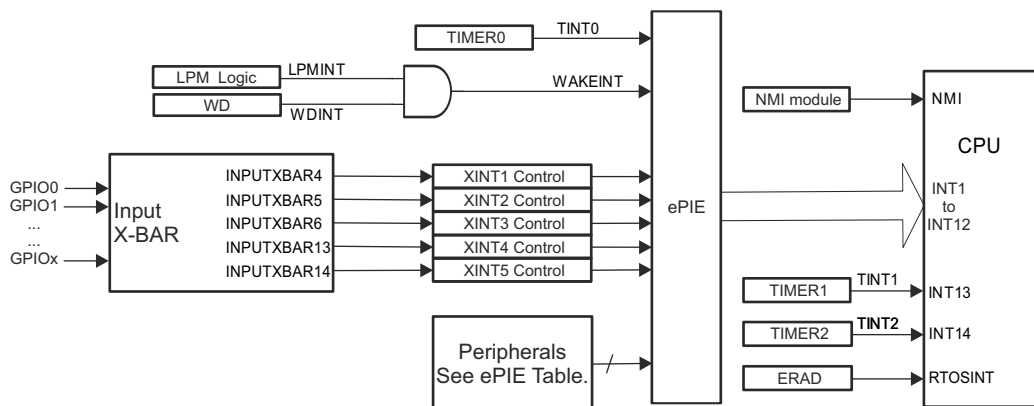


図 7-33. デバイス割り込みアーキテクチャ

7.9.7.1 外部割り込み (XINT) の電氣的データおよびタイミング

セクション 7.9.7.1.1 に、外部割り込みのタイミング要件を示します。セクション 7.9.7.1.2 に、外部割り込みのスイッチング特性を示します。セクション 7.9.7.1.3 に、外部割り込みのタイミングを示します。

7.9.7.1.1 外部割り込みのタイミング要件

		同期	最小値	最大値	単位
$t_{w(INT)}$	パルス幅、INT 入力 LOW / HIGH	同期	$2t_{c(SYSCCLK)}$		サイクル
		フィルタあり ⁽¹⁾	$t_{w(IQSW)} + t_{w(SP)} + 1t_{c(SYSCCLK)}$		

(1) 入力フィルタ・パラメータの説明については、セクション 7.9.6.2.1 を参照してください。

7.9.7.1.2 外部割り込みのスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ ⁽¹⁾	最小値	最大値	単位
$t_{d(INT)}$ 遅延時間、INT LOW / HIGH から割り込みベクタ・フェッチまで ⁽²⁾	$t_{w(IQSW)} + 14t_{c(SYSCCLK)}$	$t_{w(IQSW)} + t_{w(SP)} + 14t_{c(SYSCCLK)}$	サイクル

(1) 入力フィルタ・パラメータの説明については、セクション 7.9.6.2.1 を参照してください。

(2) これは、ISR がシングルサイクル・メモリ内にあることを想定しています。

7.9.7.1.3 割り込みのタイミング図

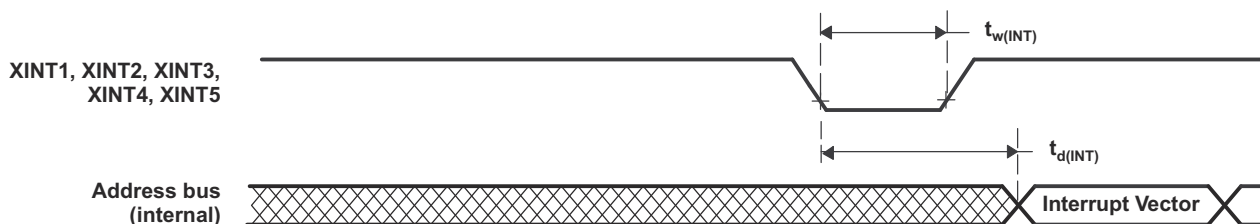


図 7-34. 外部割り込みのタイミング

7.9.8 低消費電力モード

このデバイスには、クロック・ゲーティング低消費電力モードとして、ホールドおよびアイドルの 2 つがあります。このデバイスは、スタンバイ・モードには対応していません。詳細については、『TMS320F28004x リアルタイム MCU シリコン・エラッタ』を参照してください。

さらに、すべての低消費電力モードの開始および終了手順の詳細については、『TMS320F28004x リアルタイム・マイクロコントローラ・テクニカル・リファレンス・マニュアル』の「低消費電力モード」セクションを参照してください。

7.9.8.1 クロック・ゲーティング低消費電力モード

このデバイスの アイドル・モードおよびホールド・モードは、他の C28x デバイスのモードと同様です。表 7-12 に、いずれかのクロック・ゲート低消費電力モードに移行したときのシステムへの影響を示します。

表 7-12. クロック・ゲーティング低消費電力モードによるデバイスへの影響

モジュール/ クロック・ドメイン	アイドル	ホールド
SYSCLK	アクティブ	ゲート
CPUCLK	ゲート	ゲート
PERx.SYSCLK に接続されたモジュールへのクロック	アクティブ	ゲート
WDCLK	アクティブ	CLKSRCCTL1.WDHALTI = 0 の場合、ゲート
PLL	電源供給	ソフトウェアは、ホールドに入る前に PLL の電源をオフにする必要があります。
INTOSC1	電源供給	CLKSRCCTL1.WDHALTI = 0 の場合、電源オフ
INTOSC2	電源供給	CLKSRCCTL1.WDHALTI = 0 の場合、電源オフ
フラッシュ ⁽¹⁾	電源供給	電源供給
XTAL ⁽²⁾	電源供給	電源供給

(1) フラッシュ・モジュールは、いずれの LPM においても、ハードウェアによってパワー・ダウンされることはありません。アプリケーションで必要な場合は、ソフトウェアを使用して電源をオフにすることができます。詳細については、『TMS320F28004x リアルタイム・マイクロコントローラ・テクニカル・リファレンス・マニュアル』の「システム制御」の章にある「フラッシュおよび OTP メモリ」を参照してください。

(2) XTAL は、いずれの LPM においても、ハードウェアによってパワー・ダウンされることはありません。XTALCR.OSCOFF ビットを 1 に設定すると、ソフトウェアによって電源をオフにできます。XTAL が不要な場合は、アプリケーション実行中の任意の時点でこの処理を実行できます。

7.9.8.2 低消費電力モードのウェイクアップ・タイミング

セクション 7.9.8.2.1 にアイドル・モードのタイミング要件を示し、セクション 7.9.8.2.2 にスイッチング特性を示します。また、図 7-35 にアイドル・モードのタイミング図を示します。

7.9.8.2.1 アイドル・モードのタイミング要件

		最小値	最大値	単位
$t_{w(WAKE)}$	パルス幅、外部ウェイクアップ信号	入力フィルタなし ⁽¹⁾	$2t_{c(SYSCLK)}$	サイクル
		入力フィルタあり ⁽¹⁾	$2t_{c(SYSCLK)} + t_{w(IQSW)}$	

(1) 入力フィルタ・パラメータの説明については、セクション 7.9.6.2.1 を参照してください。

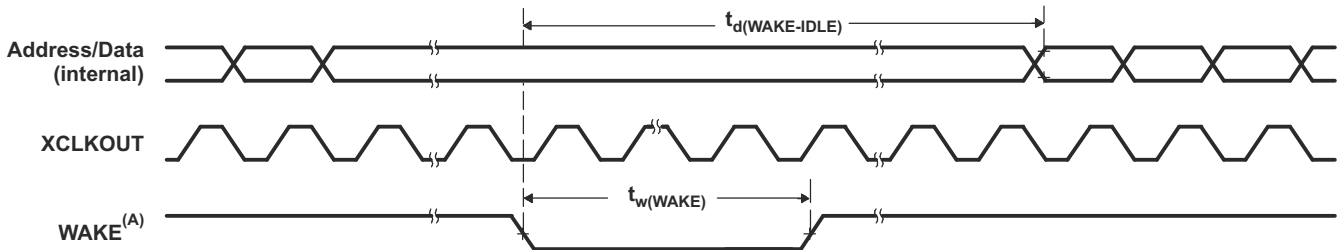
7.9.8.2.2 IDLE モードのスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	最大値	単位
$t_{d(WAKE-IDLE)}$	遅延時間、外部ウェイク信号からプログラム実行再開まで ⁽²⁾			サイクル
	<ul style="list-style-type: none"> フラッシュからのウェイクアップ – アクティブ状態のフラッシュモジュール 	入力フィルタなし ⁽¹⁾	$40t_{c(SYSCLK)}$	
		入力フィルタあり ⁽¹⁾	$40t_{c(SYSCLK)} + t_{w(WAKE)}$	
	<ul style="list-style-type: none"> フラッシュからのウェイクアップ – スリープ状態のフラッシュモジュール 	入力フィルタなし ⁽¹⁾	$6700t_{c(SYSCLK)}$ ⁽³⁾	
		入力フィルタあり ⁽¹⁾	$6700t_{c(SYSCLK)}$ ⁽³⁾ + $t_{w(WAKE)}$	
	<ul style="list-style-type: none"> RAM からのウェイクアップ 	入力フィルタなし ⁽¹⁾	$25t_{c(SYSCLK)}$	
入力フィルタあり ⁽¹⁾		$25t_{c(SYSCLK)} + t_{w(WAKE)}$		

- (1) 入力フィルタ・パラメータの説明については、セクション 7.9.6.2.1 を参照してください。
(2) これは、IDLE 命令の直後に続く命令の実行を開始するのに要する時間です。ISR の実行 (ウェイクアップ信号によってトリガ) には、追加のレイテンシが伴います。
(3) この値はフラッシュの起動時間に基づいています。これは、SYSCLK 周波数、フラッシュのウェイト状態 (RWAIT)、および FPAC1[PSLEEP] の関数です。詳細については、『TMS320F28004x リアルタイム・マイクロコントローラ・テクニカル・リファレンス・マニュアル』の「フラッシュ/OTP およびポンプの電力モードとウェイクアップ」セクションを参照してください。

7.9.8.2.3 アイドル・モードのタイミング図



- A. WAKE には、イネーブルになっている任意の割り込み、 \overline{WDINT} 、XRSn を使用できます。IDLE 命令が実行された後、ウェイクアップ信号がアサートされる前に、5 OSCCLK サイクル (最小値) の遅延が必要です。

図 7-35. アイドル開始および終了タイミング図

セクション 7.9.8.2.4 に ホールト・モードのタイミング要件を示し、セクション 7.9.8.2.5 にスイッチング特性を示します。また、図 7-36 にホールト・モードのタイミング図を示します。

7.9.8.2.4 ホールト・モードのタイミング要件

		最小値	最大値	単位
$t_{w(WAKE-GPIO)}$	パルス幅、GPIO ウェークアップ信号 ⁽¹⁾	$t_{oscst} + 2t_{c(OSCCLK)}$		サイクル
$t_{w(WAKE-XRS)}$	パルス幅、XRSn ウェークアップ信号 ⁽¹⁾	$t_{oscst} + 8t_{c(OSCCLK)}$		サイクル

- (1) OSCCLK に X1/X2 を使用するアプリケーションでは、スタートアップ時間がデバイス外部の回路 / レイアウトに依存するため、ユーザーは当該発振器のスタートアップ時間の特性を評価する必要があります。詳細については、「水晶発振器の電気的特性」を参照してください。OSCCLK に INTOSC1 または INTOSC2 を使用するアプリケーションについては、「内部発振器」の t_{oscst} を参照してください。発振器のスタートアップ時間は、X1 ビンでシングルエンド水晶発振器を使用するアプリケーションには適用されません。これは、デバイスの外部から電力が供給されるためです。

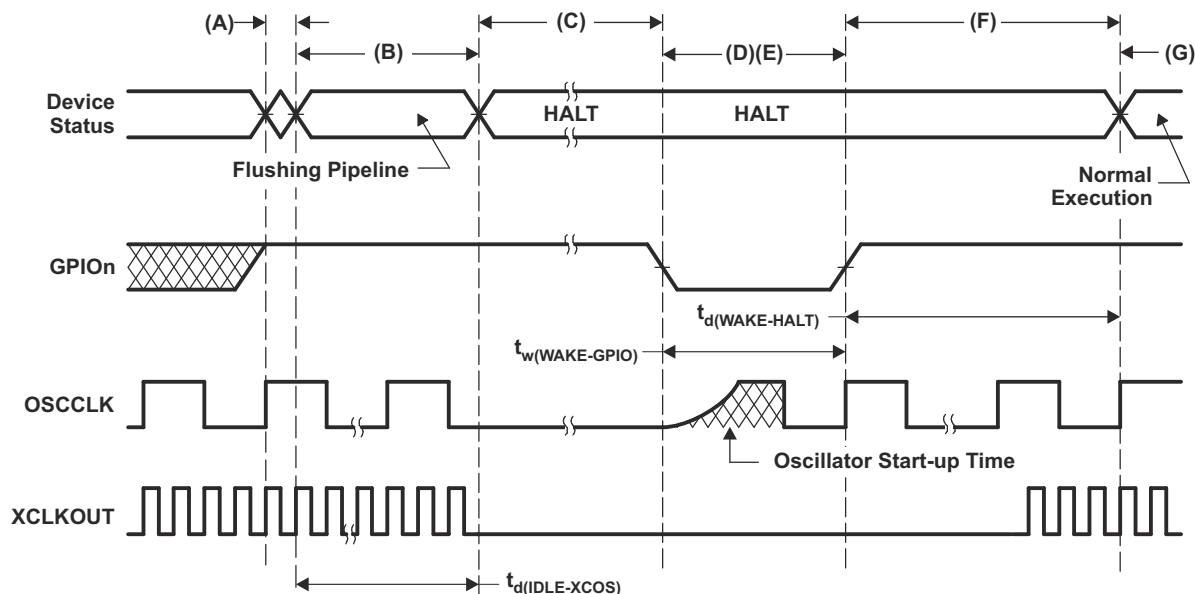
7.9.8.2.5 ホールト・モードのスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		最小値	最大値	単位
$t_{d(IDLE-XCOS)}$	遅延時間、IDLE 命令実行から XCLKOUT 停止まで		$16t_{c(INTOSC1)}$	サイクル
$t_{d(WAKE-HALT)}$	遅延時間、外部ウェーク信号終了から CPU プログラム実行再開まで			サイクル
	<ul style="list-style-type: none"> • フラッシュからのウェークアップ – アクティブ状態のフラッシュモジュール 		$75t_{c(OSCCLK)}$	
	<ul style="list-style-type: none"> • フラッシュからのウェークアップ – スリープ状態のフラッシュモジュール 		$17500t_{c(OSCCLK)}$ ⁽¹⁾	
	<ul style="list-style-type: none"> • RAM からのウェークアップ 		$75t_{c(OSCCLK)}$	

- (1) この値はフラッシュの起動時間に基づいています。これは、SYSCLK 周波数、フラッシュのウェイト状態 (RWAIT)、および FPAC1[PSLEEP] の関数です。詳細については、『TMS320F28004x リアルタイム・マイクロコントローラ・テクニカル・リファレンス・マニュアル』の「フラッシュ/OTP およびポンプの電力モードとウェークアップ」セクションを参照してください。

7.9.8.2.6 ホールト・モードのタイミング図



- A. IDLE 命令が実行され、デバイスがホールト・モードに移行します。
- B. LPM ブロックが HALT 信号に応答し、SYSCLK は、最大 16 INTOSC1 クロック・サイクルにわたって保持された後、オフになります。この遅延により、CPU パイプラインおよびその他の保留中の動作が適切にフラッシュされます。
- C. ペリフェラルへのクロックがオフになり、PLL がシャットダウンされます。クロック・ソースとして水晶振動子またはセラミック発振子を使用する場合、内部発振器もシャットダウンされます。デバイスはこの時点で、ホールト・モードに移行しており、消費電力はごくわずかです。ホールト・モードのとき、ゼロピンの内部発振器 (INTOSC1 および INTOSC2) とウォッチドッグを動作させたままにすることもできます。これは、CLKSRCCTL1.WDHALTI に 1 を書き込むことで行います。IDLE 命令が実行された後、ウェイクアップ信号がアサートされる前に、5 OSCCLK サイクル (最小値) の遅延が必要です。
- D. GPIOn ピン (デバイスのホールトを解除するために使用) を LOW にすると、発振器がオンになり、発振器ウェイクアップ・シーケンスが開始されます。GPIO ピンを HIGH に駆動するのは、発振器が安定した後にする必要があります。これにより、PLL ロック・シーケンス時にクリーンなクロック信号を供給できます。GPIO ピンの立ち下がりエッジによって非同期にウェイクアップ手順が開始されるので、ホールト・モードに移行する前およびホールト・モードになっている間は、低ノイズ環境を維持するように注意する必要があります。
- E. デバイスをウェイクアップするために GPIO ピンに供給されるウェイクアップ信号は、最小パルス幅の要件を満たす必要があります。さらに、この信号にグリッチがあってはなりません。ノイズの多い信号が GPIO ピンに供給されると、デバイスのウェイクアップ動作は確定的ではなく、デバイスは後続のウェイクアップ・パルスで低消費電力モードを終了できない場合があります。
- F. コアへの CLKIN がイネーブルになると、デバイスは、いくつかのレイテンシの後で割り込みに応答します (割り込みイネーブルの場合)。これで、ホールト・モードが終了します。
- G. 通常動作を再開します。
- H. ユーザーは、安定した PLL ロックを確保するために、ホールトからのウェイクアップの際に PLL を再ロックする必要があります。

図 7-36. ホールト開始および終了タイミング図


7.10 アナログ・ペリフェラル


このセクションでは、アナログ・サブシステム・モジュールについて説明します。


このデバイスのアナログ・モジュールは、ADC、PGA、温度センサ、バッファ付き DAC、CMPSS を備えています。

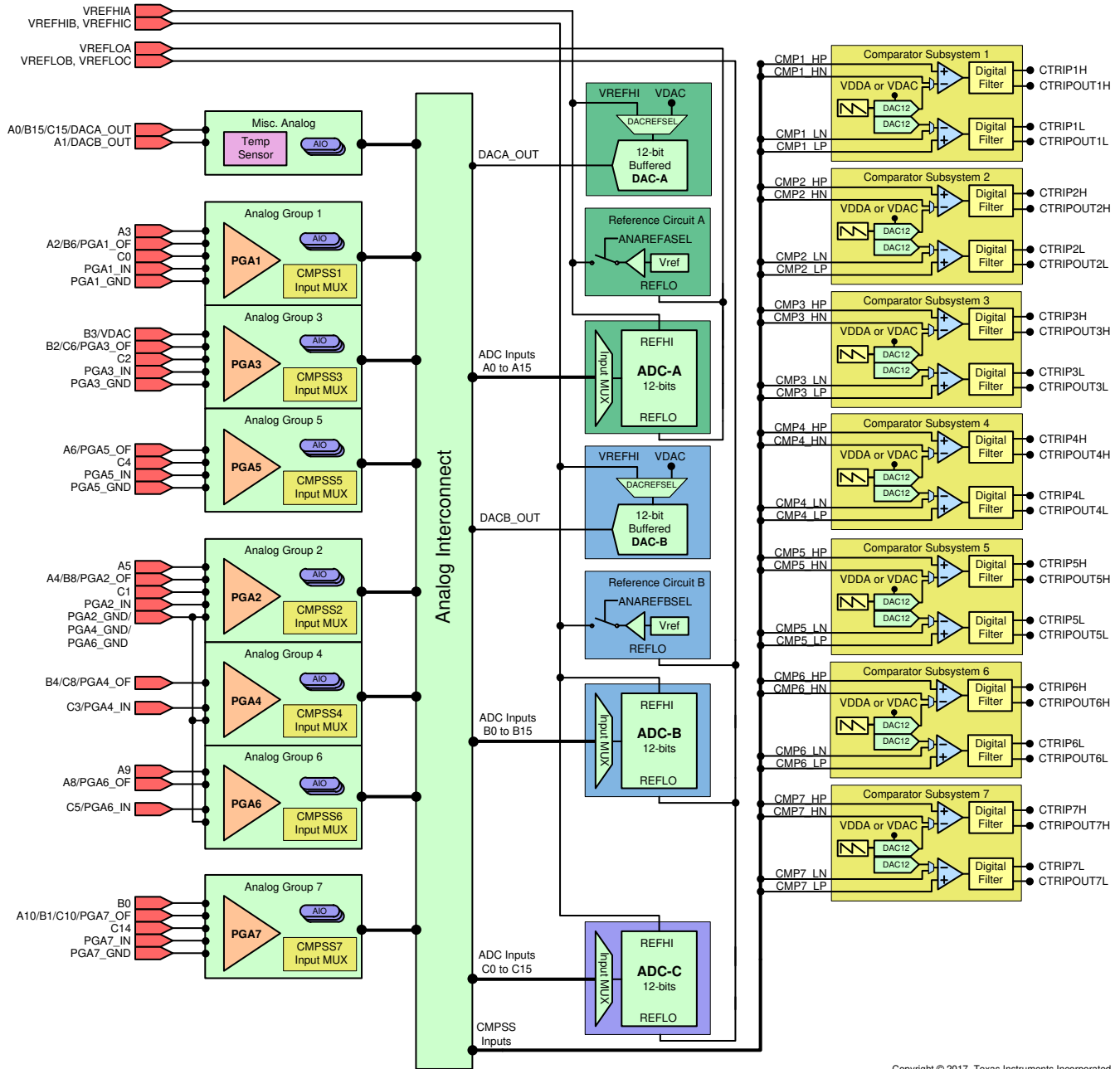
アナログ・サブシステムには次のような特長があります。

- フレキシブルな電圧リファレンス
 - これらの ADC は、VREFHix ピンおよび VREFLOx ピンを基準としています。
 - VREFHix ピンの電圧は、外部から駆動することも、内部バンドギャップ電圧リファレンスによって生成することもできます。
 - 内部電圧リファレンスの範囲は、0V~3.3V または 0V~2.5V のいずれかを選択できます。
- バッファ付き DAC は、VREFHix および VREFLOx を基準としています。
 - または、VDAC ピンおよび VSSA を基準にすることもできます。
- コンパレータ DAC は、VDDA および VSSA を基準としています。
 - または、VDAC ピンおよび VSSA を基準にすることもできます。
- フレキシブルなピンの用途
 - バッファ付き DAC 出力、コンパレータ・サブシステム入力、PGA 機能、およびデジタル入力は、ADC 入力と多重化されています
 - オフセット・セルフ・キャリブレーションのために、すべての ADC で VREFLO に内部接続

 [7-37](#) に、100 ピン PZ LQFP のアナログ・サブシステムのブロック図を示します。

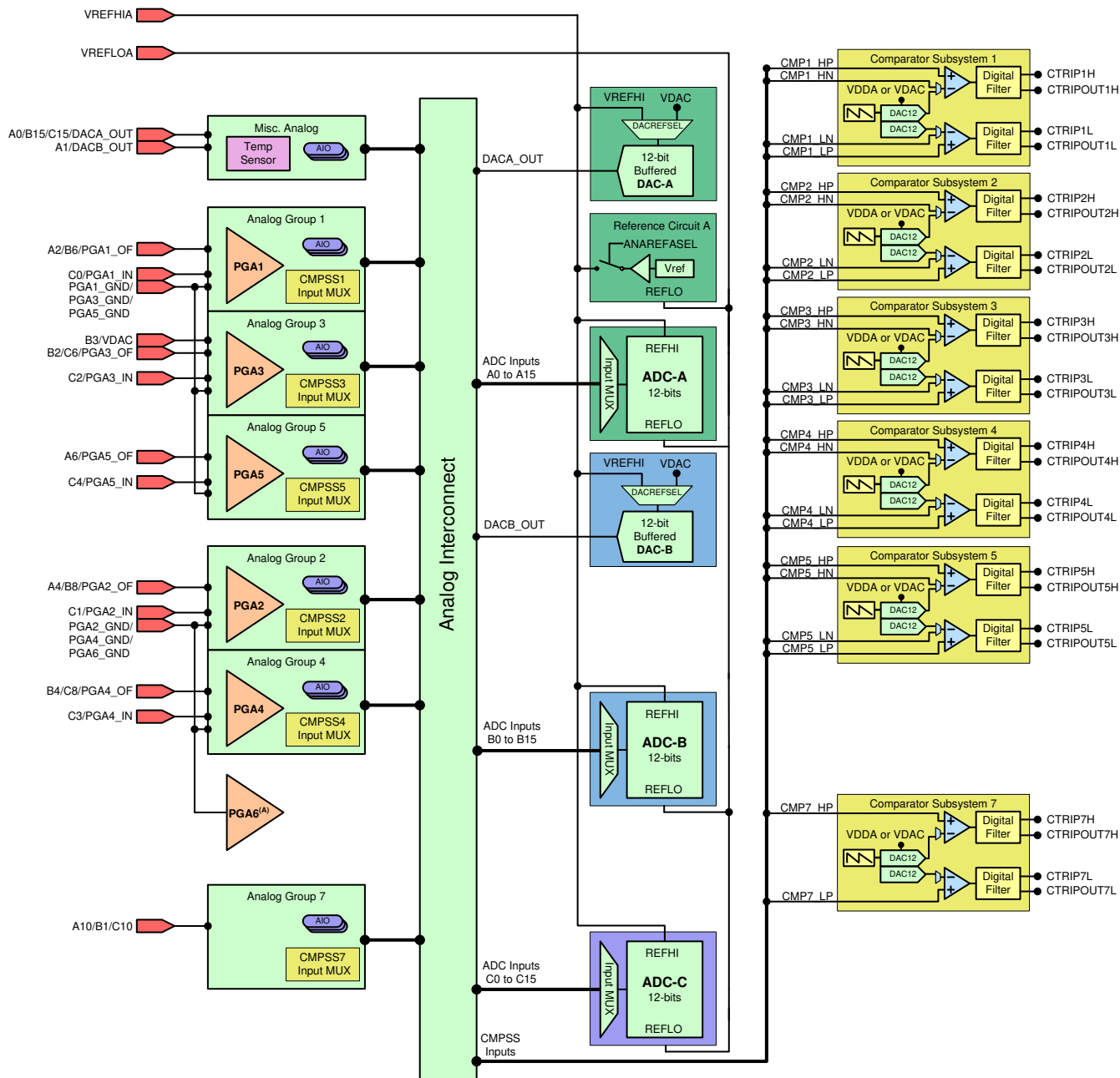
 [7-38](#) に、64 ピン PM LQFP のアナログ・サブシステムのブロック図を示します。

 [7-39](#) に、56 ピン RSH VQFN のアナログ・サブシステムのブロック図を示します。



Copyright © 2017, Texas Instruments Incorporated

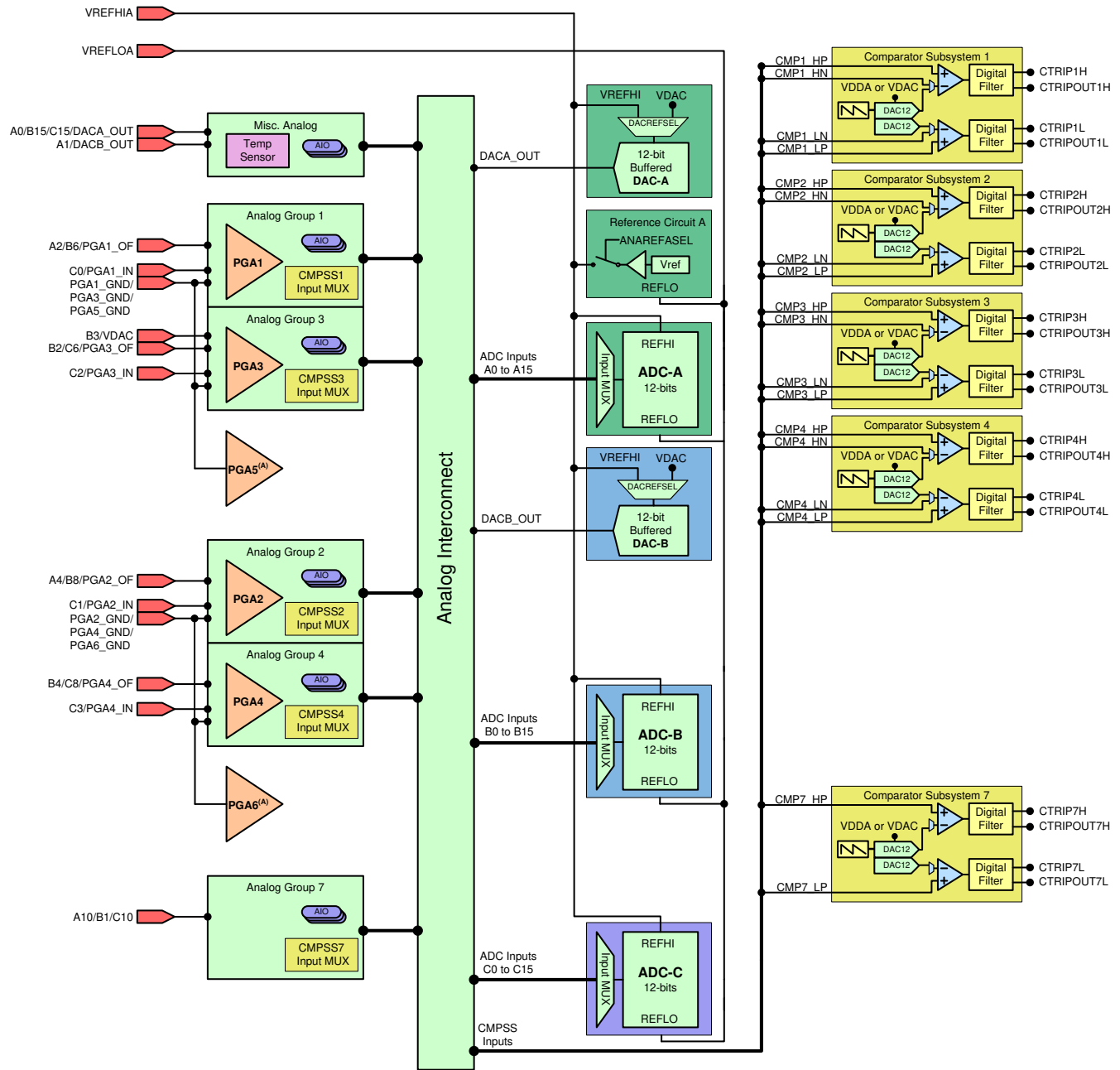
図 7-37. アナログ・サブシステムのブロック図 (100 ピン PZ LQFP)



Copyright © 2017, Texas Instruments Incorporated

- A. このPGAは、このパッケージには入出力接続がありませんが、共有PGAグラントを持つ他のPGAと同時にイネーブル/ディセーブルする必要があります。

図 7-38. アナログ・サブシステムのブロック図 (64ピン PM LQFP)

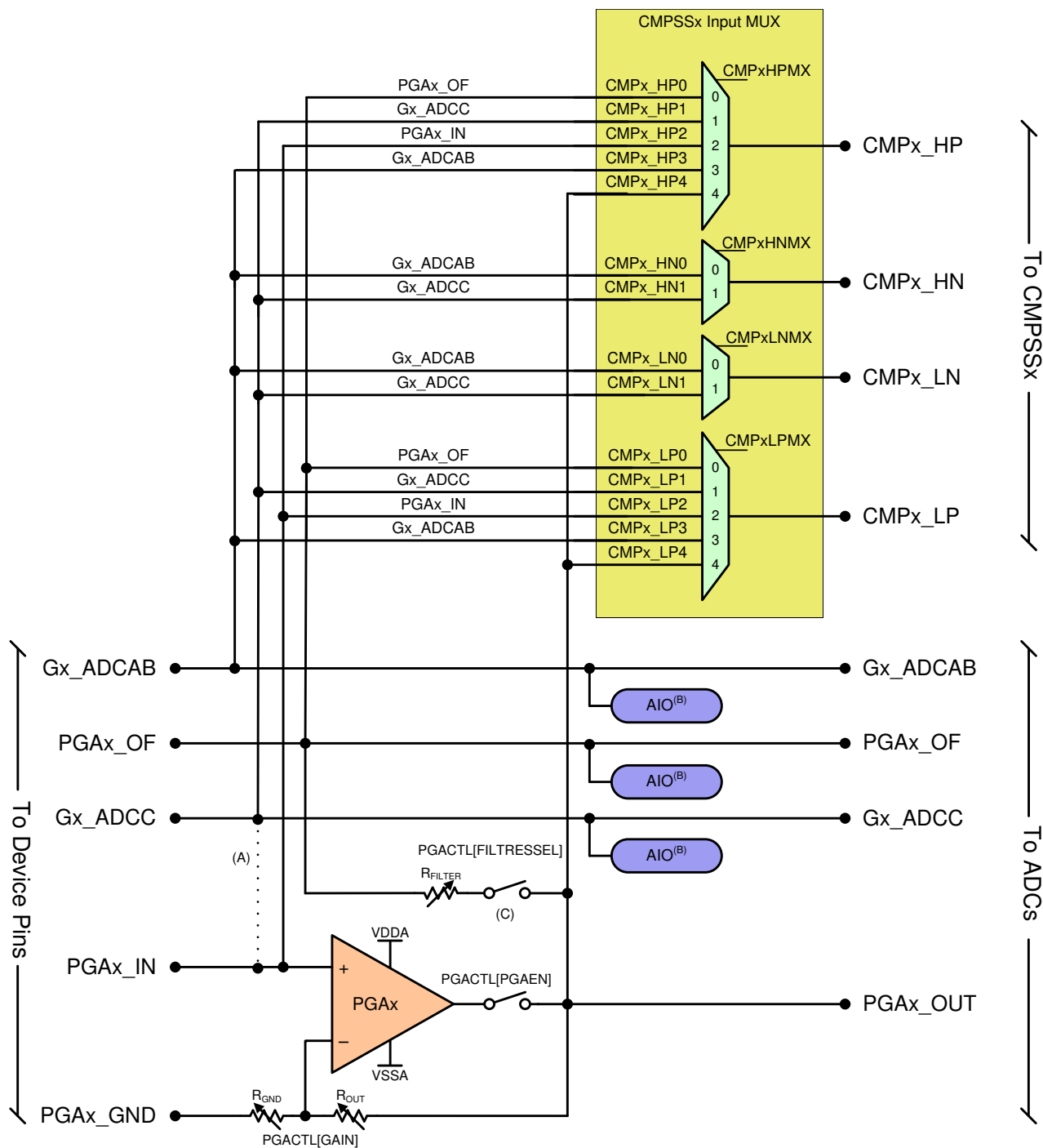


Copyright © 2017, Texas Instruments Incorporated

- A. この PGA は、このパッケージには入出力接続がありませんが、共有 PGA グランドを持つ他の PGA と同時にイネーブル / ディセーブルする必要があります。

図 7-39. アナログ・サブシステムのブロック図 (56 ピン RSH VQFN)

図 7-40 に、アナログ・グループの接続を示します。各パッケージの各グループ固有の接続については、「アナログ・ピンと内部接続」表を参照してください。「アナログ信号の説明」表には、アナログ信号の説明が記載されています。



- ピン数の少ないパッケージでは、Gx_ADCC への入力は PGA 入力とピンを共有します。PGA 入力を使用しない場合、ADCC 入力により、このピンを ADC 入力、負のコンパレータ入力、またはデジタル入力として使用できます。
- AIO は、デジタル入力モードのみをサポートしています。
- PGA RFILTER パスは、一部のデバイス・リビジョンでは利用できません。詳細については、『TMS320F28004x リアルタイム MCU シリコン・エラッタ』を参照してください。

図 7-40. アナログ・グループ接続

表 7-13. アナログ・ピンと内部接続

ピン名	グループ名	パッケージ			常時接続 (MUX なし)					コンパレータ・サブシステム (MUX)				AIO 入力
		100 PZ	64 PM	56 RSH	ADCA	ADCB	ADCC	PGA	DAC	ハイ、正入力	ハイ、負入力	ロー、正入力	ロー、負入力	
VREFHIA	-	25												
VREFHIB	-	24	16	14										
VREFHIC	-													
VREFLOA	-	27			A13									
VREFLOB	-	26	17	15		B13								
VREFLOC	-						C13							
アナログ・グループ 1										CMP1				
A3	G1_ADCAB	10			A3					HPMXSEL = 3	HNMXSEL = 0	LPMXSEL = 3	LNMXSEL = 0	AIO233
A2/B6/PGA1_OF	PGA1_OF	9	9	8	A2	B6		PGA1_OF		HPMXSEL = 0		LPMXSEL = 0		AIO224
C0	G1_ADCC	19					C0			HPMXSEL = 1	HNMXSEL = 1	LPMXSEL = 1	LNMXSEL = 1	AIO237
PGA1_IN	PGA1_IN	18	12	10				PGA1_IN		HPMXSEL = 2		LPMXSEL = 2		
PGA1_GND	PGA1_GND	14	10	9				PGA1_GND						
-	PGA1_OUT ⁽¹⁾				A11	B7		PGA1_OUT		HPMXSEL = 4		LPMXSEL = 4		
アナログ・グループ 2										CMP2				
A5	G2_ADCAB	35			A5					HPMXSEL = 3	HNMXSEL = 0	LPMXSEL = 3	LNMXSEL = 0	AIO234
A4/B8/PGA2_OF	PGA2_OF	36	23	21	A4	B8		PGA2_OF		HPMXSEL = 0		LPMXSEL = 0		AIO225
C1	G2_ADCC	29					C1			HPMXSEL = 1	HNMXSEL = 1	LPMXSEL = 1	LNMXSEL = 1	AIO238
PGA2_IN	PGA2_IN	30	18	16				PGA2_IN		HPMXSEL = 2		LPMXSEL = 2		
PGA2_GND	PGA2_GND	32	20	18				PGA2_GND						
-	PGA2_OUT ⁽¹⁾				A12	B9		PGA2_OUT		HPMXSEL = 4		LPMXSEL = 4		
アナログ・グループ 3										CMP3				
B3/VDAC	G3_ADCAB	8	8	7		B3			VDAC	HPMXSEL = 3	HNMXSEL = 0	LPMXSEL = 3	LNMXSEL = 0	AIO242
B2/C6/PGA3_OF	PGA3_OF	7	7	6		B2	C6	PGA3_OF		HPMXSEL = 0		LPMXSEL = 0		AIO226
C2	G3_ADCC	21					C2			HPMXSEL = 1	HNMXSEL = 1	LPMXSEL = 1	LNMXSEL = 1	AIO244
PGA3_IN	PGA3_IN	20	13	11				PGA3_IN		HPMXSEL = 2		LPMXSEL = 2		

表 7-13. アナログ・ピンと内部接続 (continued)

ピン名	グループ名	パッケージ			常時接続 (MUX なし)					コンパレータ・サブシステム (MUX)				AIO 入力	
		100 PZ	64 PM	56 RSH	ADCA	ADCB	ADCC	PGA	DAC	ハイ、正入 力	ハイ、負入 力	ロー、正入 力	ロー、負入 力		
PGA3_GND	PGA3_GND	15	10	9				PGA3_GN D							
-	PGA3_OUT ⁽¹⁾					B10	C7	PGA3_OU T		HPMXSEL = 4		LPMXSEL = 4			
アナログ・グループ 4										CMP4					
B5	G4_ADCAB					B5				HPMXSEL = 3	HNMXSEL = 0	LPMXSEL = 3	LNMXSEL = 0	AIO243	
B4/C8/PGA4_OF	PGA4_OF	39	24	22		B4	C8	PGA4_OF		HPMXSEL = 0		LPMXSEL = 0		AIO227	
C3	G4_ADCC						C3			HPMXSEL = 1	HNMXSEL = 1	LPMXSEL = 1	LNMXSEL = 1	AIO245	
PGA4_IN	PGA4_IN	31	19	17				PGA4_IN		HPMXSEL = 2		LPMXSEL = 2			
PGA4_GND	PGA4_GND	32	20	18				PGA4_GN D							
-	PGA4_OUT ⁽¹⁾					B11	C9	PGA4_OU T		HPMXSEL = 4		LPMXSEL = 4			
アナログ・グループ 5										CMP5					
A7	G5_ADCAB				A7					HPMXSEL = 3	HNMXSEL = 0	LPMXSEL = 3	LNMXSEL = 0	AIO235	
A6/PGA5_OF	PGA5_OF	6	6		A6			PGA5_OF		HPMXSEL = 0		LPMXSEL = 0		AIO228	
C4	G5_ADCC	17					C4			HPMXSEL = 1	HNMXSEL = 1	LPMXSEL = 1	LNMXSEL = 1	AIO239	
PGA5_IN	PGA5_IN	16	11					PGA5_IN		HPMXSEL = 2		LPMXSEL = 2			
PGA5_GND	PGA5_GND	13	10	9				PGA5_GN D							
-	PGA5_OUT ⁽¹⁾				A14			PGA5_OU T		HPMXSEL = 4		LPMXSEL = 4			
アナログ・グループ 6										CMP6					
A9	G6_ADCAB	38			A9					HPMXSEL = 3	HNMXSEL = 0	LPMXSEL = 3	LNMXSEL = 0	AIO236	
A8/PGA6_OF	PGA6_OF	37			A8			PGA6_OF		HPMXSEL = 0		LPMXSEL = 0		AIO229	
C5	G6_ADCC						C5			HPMXSEL = 1	HNMXSEL = 1	LPMXSEL = 1	LNMXSEL = 1	AIO240	
PGA6_IN	PGA6_IN	28						PGA6_IN		HPMXSEL = 2		LPMXSEL = 2			
PGA6_GND	PGA6_GND	32	20	18				PGA6_GN D							

表 7-13. アナログ・ピンと内部接続 (continued)

ピン名	グループ名	パッケージ			常時接続 (MUX なし)					コンパレータ・サブシステム (MUX)				AIO 入力	
		100 PZ	64 PM	56 RSH	ADCA	ADCB	ADCC	PGA	DAC	ハイ、正入力	ハイ、負入力	ロー、正入力	ロー、負入力		
-	PGA6_OUT ⁽¹⁾				A15			PGA6_OUT			HPMXSEL = 4		LPMXSEL = 4		
アナログ・グループ 7										CMP7					
B0	G2_ADCAB	41				B0					HPMXSEL = 3	HNMXSEL = 0	LPMXSEL = 3	LNMXSEL = 0	AIO241
A10/B1/C10/PGA7_OF	PGA7_OF ⁽²⁾	40	25	23	A10	B1	C10	PGA7_OF			HPMXSEL = 0		LPMXSEL = 0		AIO230
C14	G2_ADCC	44					C14				HPMXSEL = 1	HNMXSEL = 1	LPMXSEL = 1	LNMXSEL = 1	AIO246
PGA7_IN	PGA7_IN	43						PGA7_IN			HPMXSEL = 2		LPMXSEL = 2		
PGA7_GND	PGA7_GND	42						PGA7_GND							
-	PGA7_OUT ⁽¹⁾					B12	C11	PGA7_OUT			HPMXSEL = 4		LPMXSEL = 4		
その他のアナログ															
A0/B15/C15/DACA_OUT		23	15	13	A0	B15	C15		DACA_OUT						AIO231
A1/DACB_OUT		22	14	12	A1				DACB_OUT						AIO232
C12							C12								AIO247
-	温度センサ ⁽¹⁾					B14									

- (1) 内部接続のみ。デバイス・ピンに接続されません。
(2) PGA 機能は、64 ピンおよび 56 ピンのパッケージでは利用できません。

表 7-14. アナログ信号の説明

信号名	説明
AIOx	ADC ピンのデジタル入力
Ax	ADC A 入力
Bx	ADC B 入力
Cx	ADC C 入力
CMPx_DACH	コンパレータ・サブシステムのハイ DAC 出力
CMPx_DACL	コンパレータ・サブシステムのロー DAC 出力
CMPx_HNy	コンパレータ・サブシステムのハイ・コンパレータ負入力
CMPx_HPy	コンパレータ・サブシステムのハイ・コンパレータ正入力
CMPx_LNy	コンパレータ・サブシステムのロー・コンパレータ負入力
CMPx_LPy	コンパレータ・サブシステムのロー・コンパレータ正入力
DACx_OUT	バッファ付き DAC 出力
PGAx_GND	PGA グランド
PGAx_IN	PGA 入力

表 7-14. アナログ信号の説明 (continued)

信号名	説明
PGAx_OF	フィルタ用の PGA 出力
PGAx_OUT	内部 ADC への PGA 出力
温度センサ	内部温度センサ
VDAC	オンチップ DAC の外部基準電圧 (オプション)。このピンは、ADC 入力または DAC リファレンスのいずれかに使われますが、VSSA に対して 100pF のコンデンサが付いており、ディセーブルすることはできません。このピンをオンチップ DAC の基準電圧として使用する場合は、このピンに少なくとも 1 μ F のコンデンサを配置します。

7.10.1 A/D コンバータ (ADC)

ここで説明する ADC モジュールは、12 ビットの分解能を持つ逐次比較型 (SAR) ADC です。このセクションでは、コンバータのアナログ回路を「コア」と呼び、チャンネル選択マルチプレクサ、サンプル/ホールド (S/H) 回路、逐次比較回路、電圧リファレンス回路、その他のアナログ・サポート回路が含まれています。コンバータのデジタル回路は「ラッパー」と呼ばれ、プログラム可能な変換、結果レジスタ、アナログ回路へのインターフェイス、ペリフェラル・バスへのインターフェイス、後処理回路、およびその他のオンチップ・モジュールへのインターフェイス用のロジックが含まれています。

各 ADC モジュールは、単一のサンプル / ホールド (S/H) 回路で構成されています。ADC モジュールは、同じチップ上で複数回複製された設計になっており、複数の ADC を同時にサンプリングすることも、独立して動作させることもできます。ADC ラッパーは、変換開始 (SOC) ベースで動作します。(『TMS320F28004x リアルタイム・マイクロコントローラ・テクニカル・リファレンス・マニュアル』の「A/D コンバータ (ADC)」の章にある「SOC の動作原理」セクションを参照)

各 ADC には次のような特長があります。

- 12 ビットの分解能
- VREFHI/VREFLO によって設定されるレシオメトリック外部リファレンス
- 2.5V または 3.3V の内部リファレンスを選択可能
- シングルエンド信号
- 最大 16 チャンネルの入力マルチプレクサ
- 16 本の構成可能な SOC
- 16 個の個別にアドレス指定可能な結果レジスタ
- 複数のトリガ・ソース
 - S/W - ソフトウェア即時起動
 - すべての ePWM:ADCSOC A または B
 - GPIO XINT2
 - CPU タイマ 0/1/2
 - ADCINT1/2
- 4 つのフレキシブルな PIE 割り込み
- バースト・モード・トリガ・オプション
- 4 つの後処理ブロック、それぞれに次の機能を搭載:
 - 飽和オフセット較正
 - 設定点からの誤差の計算
 - 高、低、ゼロクロス比較、割り込みおよび ePWM トリップ機能付き
 - トリガからサンプルまでの遅延キャプチャ

注

すべてのチャンネルがすべての ADC からピンへ接続されているわけではありません。使用可能なチャンネルを確認するには、[セクション 6](#) を参照してください。

図 7-41 に、ADC コアと ADC ラッパーのブロック図を示します。

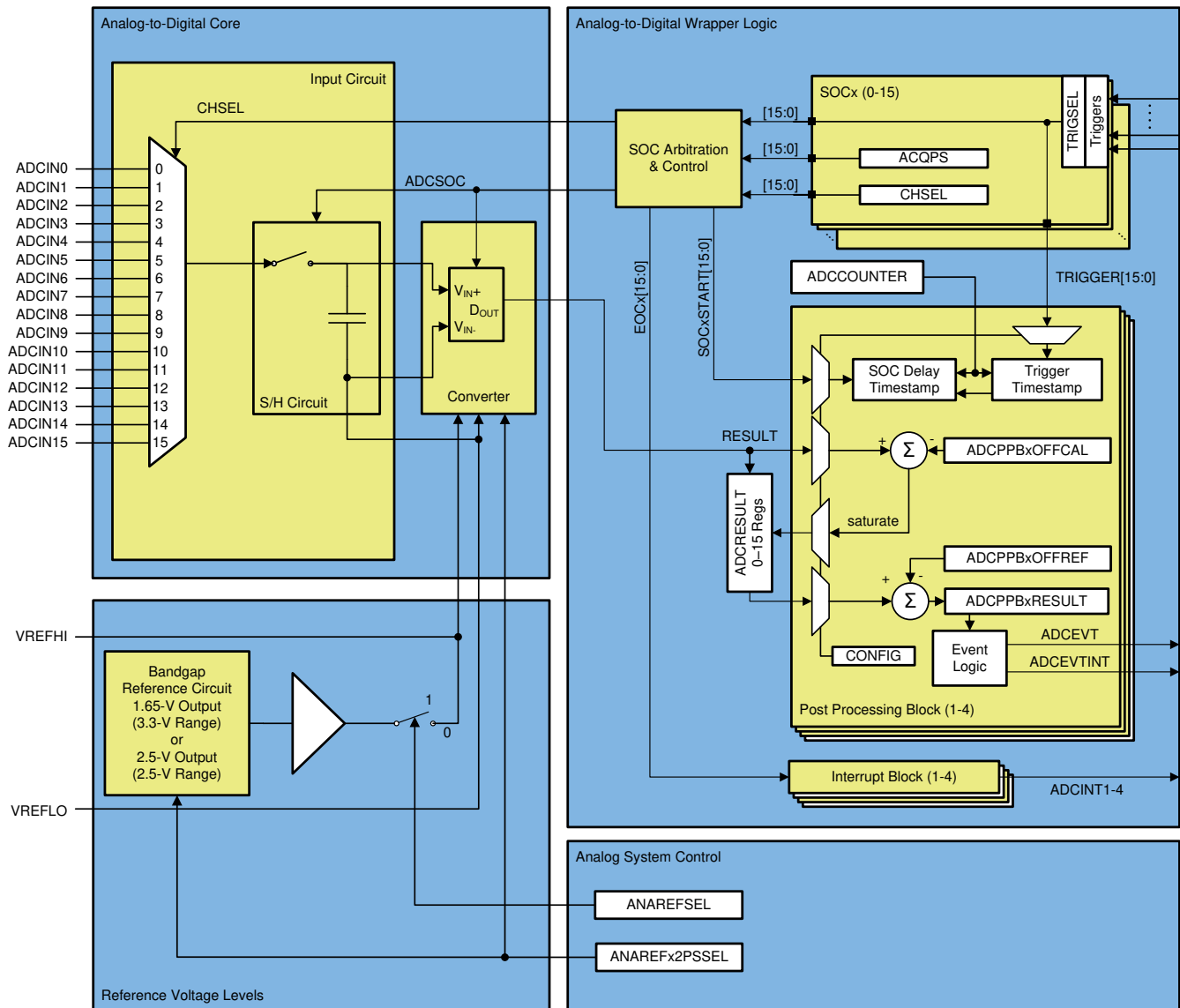


図 7-41. ADC モジュールのブロック図

7.10.1.1 結果レジスタのマッピング

ADC の結果および ADC PPB の結果は、システム内の各メモリ・バス・コントローラに複製されます。バス・コントローラには、特定の部品ファミリーおよび型番に存在する CPU、CLA、DMA があります。それぞれのバス・コントローラごとに、結果レジスタへの読み取りアクセスを許可するアクセス構成は必要ありません。また、複数のバス・コントローラが ADC 結果を同時に読もうとした場合に、競合は発生しません。

7.10.1.2 ADC の構成可能性

一部の ADC 構成は、SOC によって個別に管理されますが、他の構成は、ADC モジュールごとにまとめて管理されます。表 7-15 に、基本的な ADC オプションとその構成レベルを示します。

表 7-15. ADC オプションおよび構成レベル

オプション	構成方法
クロック	モジュールごと ⁽¹⁾
分解能	構成不可 (12 ビット分解能のみ)
信号モード	構成不可 (シングルエンド信号モードのみ)
リファレンス電圧源	モジュールごと
トリガ・ソース	SOC ごと ⁽¹⁾
変換対象チャンネル	SOC ごと
アキュジション・ウィンドウ幅	SOC ごと ⁽¹⁾
EOC の位置	モジュールごと
バースト・モード	モジュールごと ⁽¹⁾

(1) これらの設定について、異なる ADC モジュールに異なる値を書き込むと、ADC が非同期に動作する可能性があります。ADC の動作が同期になるか非同期になるかについてのガイダンスは、『TMS320F28004x リアルタイム・マイクロコントローラ・テクニカル・リファレンス・マニュアル』の「A/D コンバータ (ADC) 同期動作の確保」セクションを参照してください。

7.10.1.2.1 信号モード

ADC は、シングルエンド信号処理をサポートしています。シングルエンド・モードでは、コンバータへの入力電圧は VREFLO を基準として、1 本のピン (ADCINx) でサンプリングされます。図 7-42 に、シングルエンド信号モードを示します。

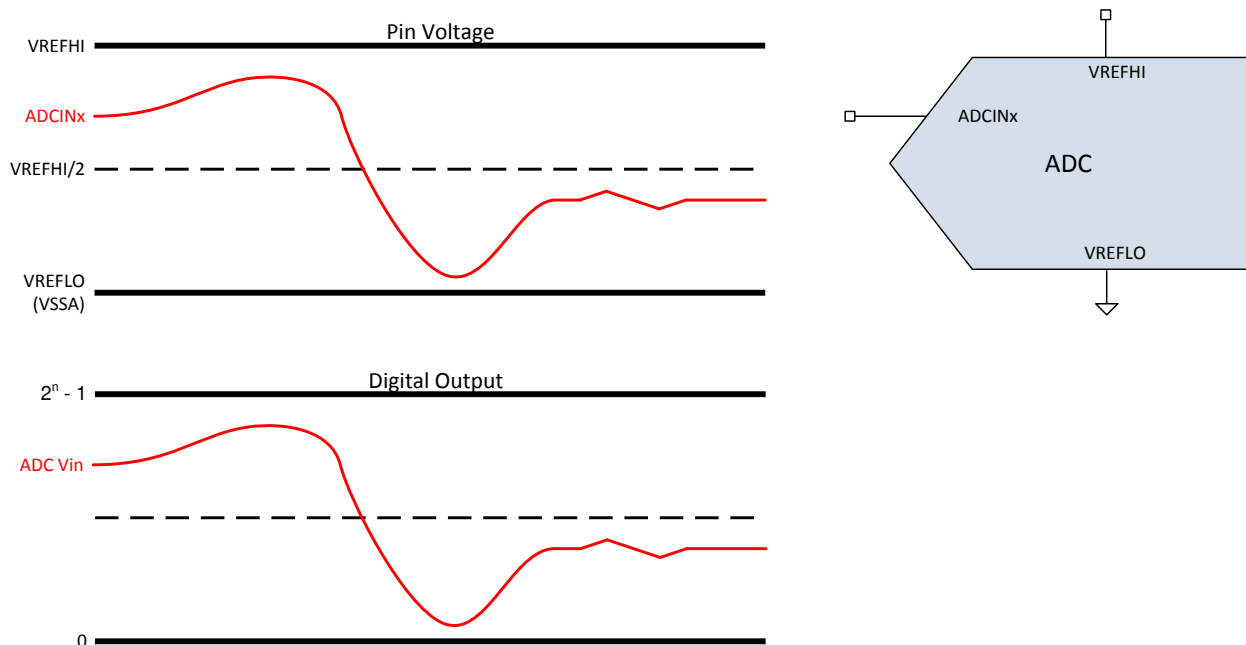


図 7-42. シングルエンド信号モード

7.10.1.3 ADC の電氣的データおよびタイミング

表 5-41 に、ADC の動作条件を示します。表 5-42 に、ADC の電氣的特性を示します。

7.10.1.3.1 ADC の動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
ADCCLK (PERx.SYSCLK から生成)		5		50	MHz
サンプル・レート	100MHz SYSCLK			3.45	MSPS
サンプル・ウィンドウ幅 (ACQPS および PERx.SYSCLK により設定) ⁽¹⁾	50Ω 以下の R _s	75			ns
VREFHI	外部リファレンス	2.4	2.5 または 3.0	VDDA	V
VREFHI ⁽²⁾	内部リファレンス = 3.3V レンジ		1.65		V
	内部リファレンス = 2.5V レンジ		2.5		V
VREFLO		VSSA	VSSA	VSSA	V
VREFHI - VREFLO	外部リファレンス	2.4		VDDA	V
	内部リファレンス = 3.3V レンジ	0		3.3	V
	内部リファレンス = 2.5V レンジ	0		2.5	V
変換範囲	外部リファレンス	VREFLO		VREFHI	V

- (1) この他にも、ADC を正しく動作させるためには、サンプル・ウィンドウは、少なくとも 1 ADCCLK サイクルにわたって継続する必要があります。
(2) 内部リファレンス・モードでは、デバイスによってリファレンス電圧が VREFHI ピンから駆動されます。このモードでは、ピンに電圧を印加しないでください。

注

動作中は、ADC 入力を VDDA + 0.3V よりも低く維持する必要があります。ADC 入力がこのレベルを超えると、デバイス内部の V_{REF} が混乱するおそれがあり、同じ V_{REF} を使用する他の ADC または DAC 入力の結果に影響を及ぼす可能性があります。

注

正常な機能動作を確保するためには、VREFHI ピンを VDDA + 0.3V よりも低く維持する必要があります。VREFHI ピンがこのレベルを超えると、ブロッキング回路が動作することがあり、内部で VREFHI の値が 0V になって、不正確な ADC 変換または DAC 出力が発生する可能性があります。

7.10.1.3.2 ADC の特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
全般					
ADCCLK 変換サイクル	100MHz SYSCLK	10.1		11	ADCCLK
起動時間	外部リファレンス・モード			500	μs
	内部リファレンス・モード			5000	μs
	内部リファレンス・モード、2.5V レンジと 3.3V レンジの間で切り替える場合。			5000	μs
VREFHI 入力電流 ⁽¹⁾			130		μA
内部リファレンス・コンデンサの値 ⁽²⁾		2.2			μF
外部リファレンス・コンデンサの値 ⁽²⁾		2.2			μF
DC 特性					
ゲイン誤差	内部リファレンス	-45		45	LSB
	外部リファレンス	-5	±3	5	
オフセット誤差		-5	±2	5	LSB
チャンネル間ゲイン誤差			±2		LSB
チャンネル間オフセット誤差			±2		LSB
ADC 間ゲイン誤差	すべての ADC で同一の VREFHI および VREFLO		±4		LSB
ADC 間オフセット誤差	すべての ADC で同一の VREFHI および VREFLO		±2		LSB
DNL 誤差		>-1	±0.5	1	LSB
INL 誤差		-2	±1.0	2	LSB
ADC 間絶縁	VREFHI = 2.5V、同期 ADC	-1		1	LSB
	VREFHI = 2.5V、非同期 ADC		非対応		
AC 特性					
SNR ⁽³⁾	VREFHI = 2.5V、fin = 100kHz、X1 からの SYSCLK		68.8		dB
	VREFHI = 2.5V、fin = 100kHz、INTOSC からの SYSCLK		60.1		
	VREFHI = 2.5V、fin = 100kHz、X1 からの SYSCLK、内部 DC-DC レギュレータから VDD に電力を供給 ⁽⁴⁾		67.5		
THD ⁽³⁾	VREFHI = 2.5V、fin = 100kHz		-80.6		dB
SFDR ⁽³⁾	VREFHI = 2.5V、fin = 100kHz		79.2		dB
SINAD ⁽³⁾	VREFHI = 2.5V、fin = 100kHz、X1 からの SYSCLK		68.5		dB
	VREFHI = 2.5V、fin = 100kHz、INTOSC からの SYSCLK		60.0		
ENOB ⁽³⁾	VREFHI = 2.5V、fin = 100kHz、X1 からの SYSCLK、シングル ADC		11.0		ビット
	VREFHI = 2.5V、fin = 100kHz、X1 からの SYSCLK、同期 ADC		11.0		
	VREFHI = 2.5V、fin = 100kHz、X1 からの SYSCLK、非同期 ADC		非対応		

7.10.1.3.2 ADC の特性 (continued)

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
PSRR	VDD = 1.2V DC + 100mV DC から 1kHz の正弦波まで		60		dB
	VDD = 1.2V DC + 100mV DC から 300kHz の正弦波まで		57		
	VDDA = 3.3V DC + 200mV DC から 1kHz の正弦波まで		60		
	VDDA = 3.3V DC + 200mV 900kHz の正弦波		57		

- (1) ADC 入力 V_{DDA} を超えると、 V_{REFHI} の負荷電流が増加します。その結果、不正確な変換が発生します。
- (2) 0805 以下のパッケージ・サイズのセラミック・コンデンサを推奨します。許容誤差は最大 $\pm 20\%$ です。
- (3) 容量性結合とクロストークを低減するためのベスト・プラクティスの一部として、ADC 入力と V_{REFHI} ピンに隣接するピンの I/O アクティビティを最小限に抑えます。
- (4) DC-DC レギュレータから ADC へのノイズの影響は、PCB レイアウトに大きく依存します。

7.10.1.3.3 ADC 入力モデル

ADC 入力特性は、表 7-16 および 図 7-43 に示すとおりです。

表 7-16. 入力モデルのパラメータ

	説明	リファレンス・モード	値
C_p	寄生入力容量	すべて	表 7-17 を参照
R_{on}	サンプリング・スイッチ抵抗	外部リファレンス、2.5V 内部リファレンス	500 Ω
		3.3V 内部リファレンス	860 Ω
C_h	サンプリング・コンデンサ	外部リファレンス、2.5V 内部リファレンス	12.5pF
		3.3V 内部リファレンス	7.5pF
R_s	公称ソース・インピーダンス	すべて	50 Ω

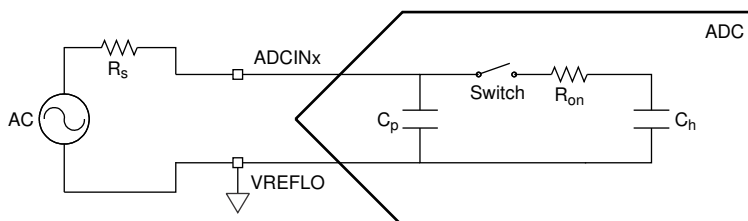


図 7-43. 入力モデル

この入力モデルは、アキュイジション・ウィンドウの幅を決定する際に、実際の信号源インピーダンスと合わせて使用する必要があります。詳細については、『TMS320F28004x リアルタイム・マイクロコントローラ・テクニカル・リファレンス・マニュアル』の「A/D コンバータ (ADC)」の章にある「アキュイジション・ウィンドウ期間の選択」セクションを参照してください。電荷共有駆動回路の詳細については、『C2000 ADC 用の電荷共有駆動回路』アプリケーション・レポートを参照してください。ADC 入力回路の改善に関する推奨事項については、『C2000 MCU 用 ADC 入力回路の評価』アプリケーション・レポートを参照してください。

表 7-17 に、各チャンネルの寄生容量を示します。

表 7-17. チャンネルごとの寄生容量

ADC チャンネル	C _p (pF)	
	コンパレータ無効の場合	コンパレータ有効の場合
ADCINA0	12.7	15.2
ADCINA1	13.7	16.2
ADCINA2	9.2	11.7
ADCINA3	6.9	9.4
ADCINA4	9.2	11.7
ADCINA5	7.5	10
ADCINA6	8.0	10.5
ADCINA7	7.0	9.5
ADCINA8	10.0	12.5
ADCINA9	8.1	10.6
ADCINA10	9.3	11.8
ADCINB0	7.1	9.6
ADCINB1	9.3	11.8
ADCINB2	9.6	12.1
ADCINB3 ⁽¹⁾	125.6	128.1
ADCINB4	8.8	11.3
ADCINB5	7.1	9.6
ADCINB6	9.2	11.7
ADCINB8	9.2	11.7
ADCINB15	12.7	15.2
ADCINC0	6.4	8.9
ADCINC1	6.1	8.6
ADCINC2	5.24	7.74
ADCINC3	5.5	8
ADCINC4	6.2	8.7
ADCINC5	5.6	8.1
ADCINC6	9.6	12.1
ADCINC8	8.8	11.3
ADCINC10	9.3	11.8
ADCINC12	4.1	6.6
ADCINC14	4.5	7
ADCINC15	12.7	15.2

- (1) このピンは、COMPDAC および GPDAC のリファレンス電圧を供給するためにも使用され、内部デカップリング・コンデンサが付いています。

7.10.1.3.4 ADC のタイミング図

図 7-44 に、以下の前提による 2 つの SOC の ADC 変換タイミングを示します。

- SOC0 および SOC1 は、同じトリガを使用するように構成されています。
- トリガが発生したときに、他の SOC が変換中または保留中になっていることはありません。
- ラウンド・ロビン・ポインタは、最初に SOC0 で変換が発生する状態になっています。
- ADCINTSEL は、SOC0 の変換終了時に ADCINT フラグを設定するように構成されています (このフラグを CPU に通知して割り込みを発生させるかどうかは、PIE モジュールの構成によって決まります)。

表 7-18 に、ADC タイミング・パラメータの説明を示します。表 7-19 に、ADC タイミングの一覧を示します。

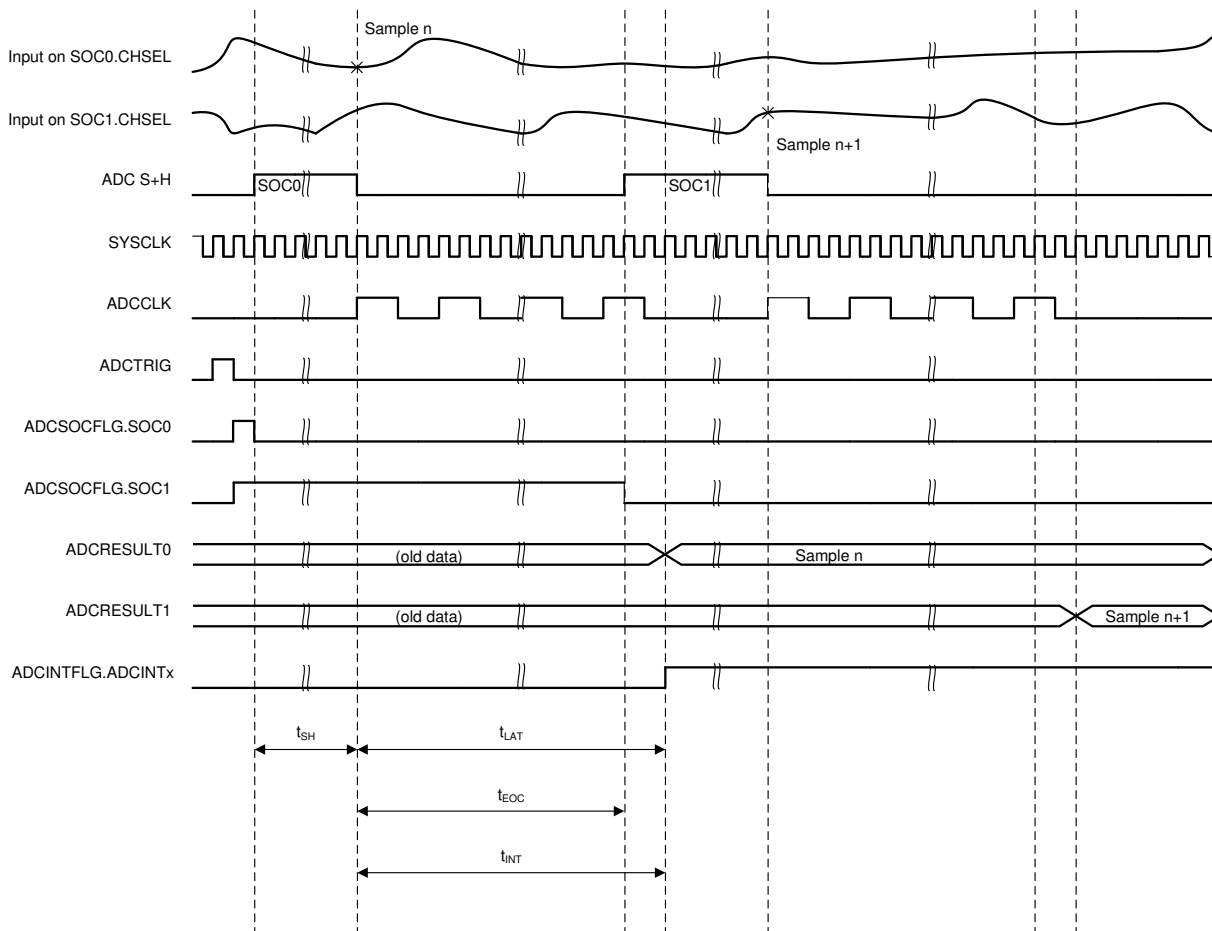


図 7-44. ADC タイミング

表 7-18. ADC のタイミング・パラメータ

パラメータ	説明
t_{SH}	S+H ウィンドウの幅。 このウィンドウの終了時点における S+H コンデンサでの値が、デジタル値に変換される電圧になります。この時間は、 $(ACQPS + 1)$ SYSCLK サイクルで与えられます。ACQPS は、各 SOC に対して個別に構成できるため、異なる SOC の t_{SH} は、同じであるとは限りません。 注: デバイスのクロック設定に関係なく、S+H コンデンサでの値は、S+H ウィンドウ終了の約 5ns 前にキャプチャされます。
t_{LAT}	S+H ウィンドウ終了から、ADC 結果が ADCRESULTx レジスタにラッチされるまでの時間。 この時間より前に ADCRESULTx レジスタを読み取った場合、前回の変換結果が返されます。
t_{EOC}	S+H ウィンドウ終了から、次の ADC 変換を開始できる S+H ウィンドウまでの時間。その後は、変換結果がラッチされる前にサンプリングを開始できます。
t_{INT}	S+H ウィンドウの終了から ADCINT フラグが設定されるまでの時間 (そのように構成されている場合)。 ADCCTL1 レジスタの INTPULSEPOS ビットが設定されている場合、 t_{INT} は変換結果が結果レジスタにラッチされる時点と一致します。 INTPULSEPOS ビットが 0 の場合、 t_{INT} は、S+H ウィンドウの終了時点と一致します。 t_{INT} によって ADC 結果レジスタの読み取りがトリガされる場合 (DMA を使用して直接、または結果を読み取る ISR をトリガして間接的に)、結果がラッチされた後に読み取りが発生するように注意する必要があります (そうでなければ、前回の結果が読み取られます)。 INTPULSEPOS ビットが 0 であり、ADCINTCYCLE レジスタの OFFSET フィールドが 0 でない場合、ADCINT フラグが設定される前に、OFFSET SYSCLK サイクルの遅延が発生します。この遅延時間を使えば、ちょうどサンプリングの用意ができた時点で ISR に入ることができます。また、その時点で DMA をトリガすることもできます。

表 7-19. ADC タイミング

ADCCLK プリスケール		SYSCLK サイクル				ADCCLK サイクル
ADCCTL2 [プリスケール]	比率 ADCCLK:SYSCLK	t_{EOC}	t_{LAT} ⁽¹⁾	$t_{INT(EARLY)}$ ⁽²⁾	$t_{INT(LATE)}$	t_{EOC}
0	1	11	13	1	11	11
2	2	21	23	1	21	10.5
4	3	31	34	1	31	10.3
6	4	41	44	1	41	10.3
8	5	51	55	1	51	10.2
10	6	61	65	1	61	10.2
12	7	71	76	1	71	10.1
14	8	81	86	1	81	10.1

- (1) 『TMS320F28004x リアルタイム MCU シリコン・エラータ』アドバイザリに掲載されている「ADC: 古い結果の DMA 読み取り」を参照してください。
(2) デフォルトでは、INTPULSEPOS が 0 の場合、S+H ウィンドウの後 1 SYSCLK サイクル経過してから t_{INT} が発生します。これは、ADCINTCYCLE レジスタの OFFSET フィールドに書き込むことで変更できます。

7.10.2 プログラマブル・ゲイン・アンプ (PGA)

プログラマブル・ゲイン・アンプ (PGA) は、入力電圧を増幅して、下流側の ADC および CMPSS モジュールの実効分解能を高めるために使用されます。

内蔵 PGA により、従来は外付けのスタンドアロン・アンプを必要としていた多くの制御アプリケーションで、コストの削減と設計工数の低減に役立ちます。オンチップ統合により、この PGA は下流側の ADC および CMPSS モジュールに適合していることが保証されます。ゲインおよびフィルタの設定をソフトウェアで選択できるため、PGA はさまざまな性能ニーズに対応できます。

PGA の特長は次のとおりです。

- 4 つのプログラム可能なゲイン・モード: 3x, 6x, 12x, 24x
- 内部で VDDA および VSSA から電力を供給
- PGA_GND ピンを使用したケルビン・グラウンド接続をサポート
- RC フィルタリング用の直列抵抗を内蔵

PGA の能動部品は、内蔵オペアンプであり、内蔵の帰還抵抗を備えた非反転アンプとして構成されています。これらの内部帰還抵抗の値は、ソフトウェアで選択可能な電圧ゲインを生成するように組み合わせられています。

次の 3 つの PGA 信号がデバイスのピンで利用できます。

- PGA_IN は、PGA オペアンプへの正の入力です。このピンに印加される信号は、PGA によって増幅されます。
- PGA_GND は、PGA_IN 信号のケルビン・グラウンド基準です。PGA_GND 基準電圧は、VSSA と等しいのが理想的ですが、PGA は VSSA との小さい電圧オフセットに耐えられます。
- PGA_OF は、RC 部品によるオペアンプ出力フィルタリングをサポートしています。フィルタ処理された信号は、内部 ADC および CMPSS モジュールでサンプリングおよび監視できます。PGA RFILTER パスは、一部のデバイス・リビジョンでは利用できません。詳細については、『TMS320F28004x リアルタイム MCU シリコン・エラーッタ』を参照してください。

PGA_OUT は、オペアンプ出力の内部信号です。内部 ADC および CMPSS モジュールでサンプリングと監視が可能です。図 7-45 に、PGA のブロック図を示します。

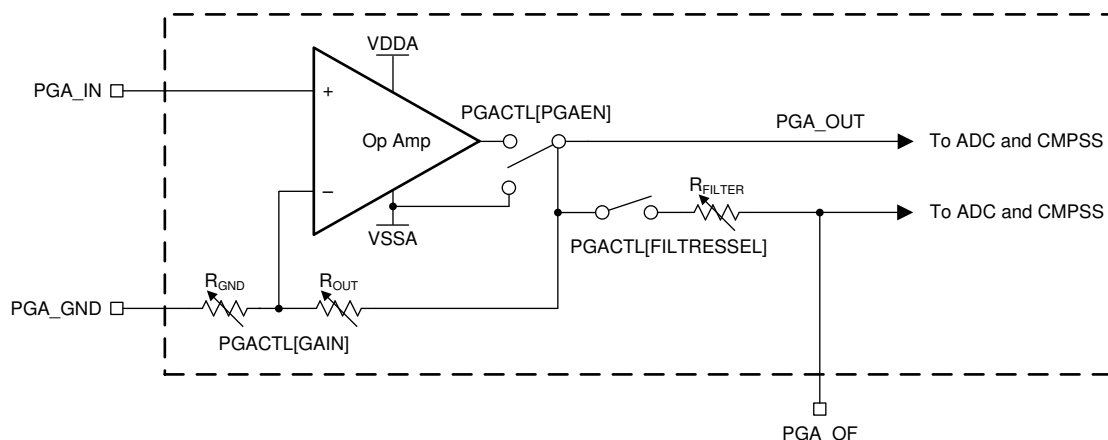


図 7-45. PGA のブロック図

7.10.2.1 PGA の電氣的データおよびタイミング

セクション 7.10.2.1.1 に、PGA の動作条件を示します。セクション 7.10.2.1.2 に、PGA の特性を示します。

7.10.2.1.1 PGA の動作条件

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
DAC の出力範囲 ⁽¹⁾		VSSA + 0.35		VDDA - 0.35	V
PGA GND 範囲		-50		200	mV
最小 ADC S+H (フィルタなし、ゲイン = 3、6、12)	±1 ADC LSB 以下の精度でセトリング	160			ns
最小 ADC S+H (フィルタなし、ゲイン = 24)	±2 ADC LSB 以下の精度でセトリング	200			ns

(1) これは PGA の線形出力範囲です。PGA はこの範囲外の電圧を出力できますが、電圧は線形ではありません。

7.10.2.1.2 PGA の特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
全般					
ゲイン設定			3、6、12、24		
入力バイアス電流			2		nA
短絡電流			35		mA
フルスケール・ステップ応答 (フィルタなし)	±2 ADC LSB 以下の精度でセトリング			450	ns
セトリング時間	ゲイン切り替え			10	μs
スルーレート	ゲイン = 3	15	20		V/μs
	ゲイン = 6	31	37		V/μs
	ゲイン = 12	61	73		V/μs
	ゲイン = 24	78	98		V/μs
R _{GND}	ゲイン = 3		9		kΩ
	ゲイン = 6		4.5		kΩ
	ゲイン = 12		2.25		kΩ
	ゲイン = 24		1.125		kΩ
R _{OUT}	ゲイン = 3		18		kΩ
	ゲイン = 6		22.5		kΩ
	ゲイン = 12		24.75		kΩ
	ゲイン = 24		25.875		kΩ
R _{FILT}	ゲイン = 3	40			Ω
	ゲイン = 6	50			
	ゲイン = 12	80			
	ゲイン = 24	100			
フィルタ抵抗のターゲット	R _{FILT} = 200Ω	145	190	234	Ω
	R _{FILT} = 160Ω	117	153	188	Ω
	R _{FILT} = 130Ω	95	125	154	Ω
	R _{FILT} = 100Ω	71	96	120	Ω
	R _{FILT} = 80Ω	55	77	98	Ω
	R _{FILT} = 50Ω	31	49	66	Ω

7.10.2.1.2 PGA の特性 (continued)

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
起動時間				500	μs

7.10.2.1.2 PGA の特性 (continued)

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
DC 特性⁽⁵⁾					
ゲイン誤差 ⁽¹⁾	ゲイン= 3、6、12	-0.5		0.5	%
	ゲイン = 24	-0.8		0.8	%
ゲイン温度係数			±0.004		%/C
オフセット誤差 ⁽²⁾	入力換算	-1.5		1.5	mV
オフセット温度係数	入力換算		±5.5		μV/C
DC コード分布			2.5		12b LSB
AC 特性					
帯域幅 ⁽³⁾	ゲイン= 3 (小信号)		30		MHz
	ゲイン= 6 (小信号)		27		MHz
	ゲイン= 12 (小信号)		13		MHz
	ゲイン= 24 (小信号)		9		MHz
	ゲイン= 3 (大信号)		15		MHz
	ゲイン= 6 (大信号)		14		MHz
	ゲイン= 12 (大信号)		9		MHz
	ゲイン= 24 (大信号)		6		MHz
THD ⁽⁴⁾	DC		-78		dB
	最高 100kHz		-70		dB
CMRR	DC		-60		dB
	最高 100kHz		-50		dB
PSRR ⁽⁴⁾	DC		-75		dB
	最高 100kHz		-50		dB
ノイズ PSD ⁽⁴⁾	1kHz		200		nV/sqrt(Hz)
積分ノイズ (入力換算) ⁽⁴⁾	3Hz~30MHz		100		μV

- (1) 外部リファレンス・モードでの ADC ゲイン誤差を含みます。
 (2) 外部リファレンス・モードでの ADC オフセット誤差を含みます。
 (3) 3dB 帯域幅。
 (4) PGA 単独の性能。
 (5) PGA の DNL/INL は ADC の DNL/INL 許容範囲内であるため、個別には表示されません。

7.10.2.1.3 PGA の代表的特性グラフ

図 7-46 に、入力バイアス電流と温度との関係を示します。

注

図 7-46 については、以下の条件が適用されます (特に記述のない限り)。

- $T_A = 30^\circ\text{C}$
- $V_{DDA} = 3.3\text{V}$
- $V_{DD} = 1.2\text{V}$

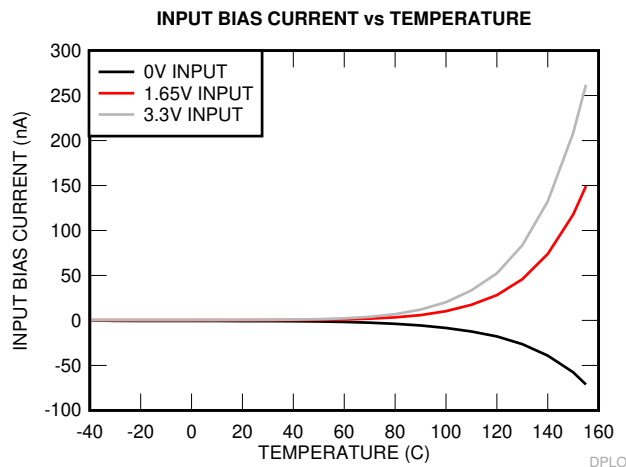


図 7-46. 入力バイアス電流と温度との関係

7.10.3 温度センサ

7.10.3.1 温度センサの電気的データおよびタイミング

温度センサを使用して、デバイスの接合部温度を測定できます。温度センサは、ADC への内部接続を介してサンプリングされ、TI が提供するソフトウェアを使用して温度に変換されます。温度センサをサンプリングする場合、ADC は [セクション 7.10.3.1.1](#) に示すアクイジション時間を満たす必要があります。

7.10.3.1.1 温度センサの特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
T _{acc}	温度精度		±15		°C
t _{startup}	スタートアップ時間 (TSNSCTL[ENABLE] から温度センサのサンプリングまで)		500		μs
t _{SH}	ADC サンプル・ホールド時間	450			ns

7.10.4 バッファ付き D/A コンバータ (DAC)

バッファ付き DAC モジュールは、内部 12 ビット DAC と、外部負荷を駆動できるアナログ出力バッファで構成されています。標準よりもさらに高い負荷を駆動するには、負荷サイズと出力電圧スイングの間でトレードオフが可能です。バッファ付き DAC の負荷条件については、[セクション 7.10.4.1](#) を参照してください。バッファ付き DAC は汎用 DAC であり、正弦波、方形波、三角波などの DC 電圧または AC 波形を生成するために使用できます。DAC 値レジスタへのソフトウェア書き込みは、直ちに有効にすることもでき、また、EPWMSYNCO イベントと同期させることもできます。

各バッファ付き DAC には次のような機能があります。

- 12 ビット分解能
- リファレンス電圧源を選択可能
- 内部 VREFHI を使用する場合、x1 および x2 ゲイン・モード
- EPWMSYNCO と同期可能

バッファ付き DAC のブロック図を [図 7-47](#) に示します。

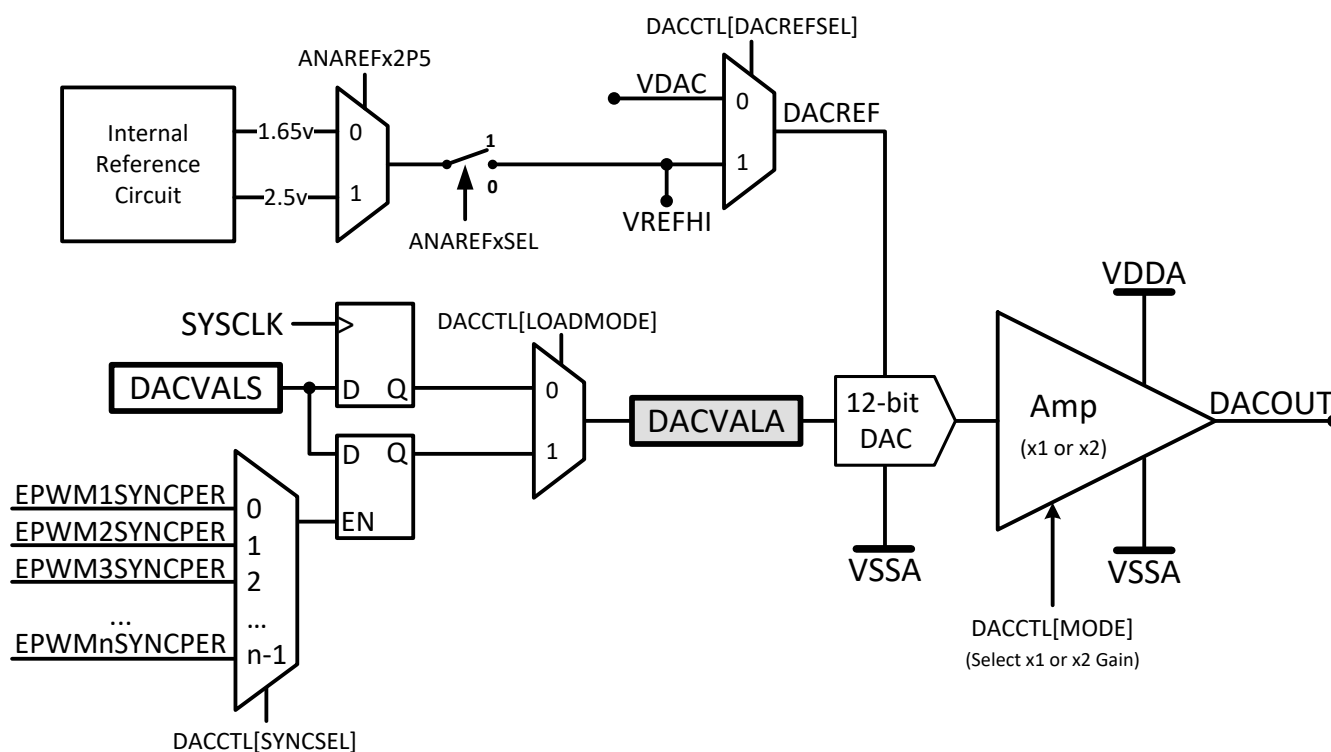


図 7-47. DAC モジュールのブロック図

7.10.4.1 バッファ付き DAC の電氣的データおよびタイミング

セクション 7.10.4.1.1 に、バッファ付き DAC の動作条件を示します。セクション 7.10.4.1.2 に、バッファ付き DAC の電氣的特性を示します。

7.10.4.1.1 バッファ付き DAC の動作条件

推奨動作条件範囲内 (特に記述のない限り)⁽¹⁾

パラメータ	テスト条件	最小値	標準値	最大値	単位
R _L	抵抗性負荷 ⁽²⁾	5			kΩ
C _L	容量性負荷			100	pF
V _{OUT}	有効出力電圧範囲 ⁽³⁾	R _L = 5kΩ		VDDA – 0.3	V
		R _L = 1kΩ	0.6	VDDA – 0.6	V
リファレンス電圧 ⁽⁴⁾	VDAC または VREFHI	2.4	2.5 または 3.0	VDDA	V

- (1) 特に記述のない限り、標準値は VREFHI = 3.3V および VREFLO = 0V で測定されます。最小値と最大値は、VREFHI = 2.5V および VREFLO = 0V でテストまたは特性評価しています。
- (2) DAC は 1kΩ の最小抵抗性負荷を駆動できますが、出力範囲は制限されます。
- (3) これは DAC の線形出力範囲です。DAC はこの範囲外の電圧を生成できますが、バッファがあるので出力電圧は線形ではありません。
- (4) 最高の PSRR 性能を得るには、VDAC または VREFHI は、VDDA よりも低くする必要があります。

7.10.4.1.2 バッファ付き DAC の電氣的特性

推奨動作条件範囲内 (特に記述のない限り)⁽¹⁾

パラメータ	テスト条件	最小値	標準値	最大値	単位	
全般						
分解能			12		ビット	
負荷レギュレーション		-1		1	mV/V	
グリッチ・エネルギー			1.5		V-ns	
電圧出力セトリング時間、フルスケール	0.3V から 3V への遷移後 2LSB にセトリング			2	μs	
電圧出力セトリング時間、1/4 フルスケール	0.3V から 0.75V への遷移後 2LSB にセトリング			1.6	μs	
電圧出力スルー・レート	0.3V から 3V へ遷移時のスルー・レート	2.8		4.5	V/μs	
負荷過渡セトリング時間 ⁽⁶⁾	5kΩ 負荷			328	ns	
	1kΩ 負荷			557	ns	
リファレンス電圧入力抵抗 ⁽²⁾	VDAC または VREFHI	160	200	240	kΩ	
TPU 起動時間	外部リファレンス・モード			500	μs	
	内部リファレンス・モード			5000	μs	
DC 特性						
オフセット	システム・オフセット誤差	中点		10	mV	
ゲイン	ゲイン誤差 ⁽³⁾			2.5	% (対 FSR)	
DNL	微分非直線性 ⁽⁴⁾	エンドポイント補正	-1	±0.4	1	LSB
INL	積分非直線性	エンドポイント補正	-5	±2	5	LSB
AC 特性						
出力ノイズ	100Hz~100kHz の積分ノイズ		600		μVrms	
	10kHz でのノイズ密度		800		nVrms /√Hz	
SNR	信号対雑音比	1kHz, 200KSPS	64		dB	
THD	全高調波歪	1kHz, 200KSPS	-64.2		dB	
SFDR	スプリアスフリー・ダイナミック・レンジ	1kHz, 200KSPS	66		dB	

7.10.4.1.2 バッファ付き DAC の電気的特性 (continued)

推奨動作条件範囲内 (特に記述のない限り)⁽¹⁾

パラメータ	テスト条件	最小値	標準値	最大値	単位
SINAD 信号対雑音 + 歪み比	1kHz、200KSPS		61.7		dB
PSRR 電源変動除去比 ⁽⁵⁾	DC		70		dB
	100kHz		30		dB

- (1) 特に記述のない限り、標準値は VREFHI = 3.3V および VREFLO = 0V で測定されます。最小値と最大値は、VREFHI = 2.5V および VREFLO = 0V でテストまたは特性評価しています。
- (2) アクティブなバッファ付き DAC モジュール 1 個あたり。
- (3) ゲイン誤差は、線形出力範囲について計算しています。
- (4) DAC 出力は単調です。
- (5) VREFHI = 3.2V、VDDA = 3.3V DC + 100mV 正弦波。
- (6) 3LSB 以内にセトリング。

注

正常な機能動作を確保するためには、VDAC ピンを VDDA + 0.3V よりも低く維持する必要があります。VDAC ピンがこのレベルを超えると、ブロッキング回路が動作することがあり、内部で VDAC の値が 0V になって、不正確な DAC 出力が発生する可能性があります。

注

正常な機能動作を確保するためには、VREFHI ピンを VDDA + 0.3V よりも低く維持する必要があります。VREFHI ピンがこのレベルを超えると、ブロッキング回路が動作することがあり、内部で VREFHI の値が 0V になって、不正確な ADC 変換または DAC 出力が発生する可能性があります。

7.10.4.1.3 バッファ付き DAC の説明グラフ

図 7-48 に、バッファ付き DAC のオフセットを示します。図 7-49 に、バッファ付き DAC のゲインを示します。図 7-50 に、バッファ付き DAC の直線性を示します。

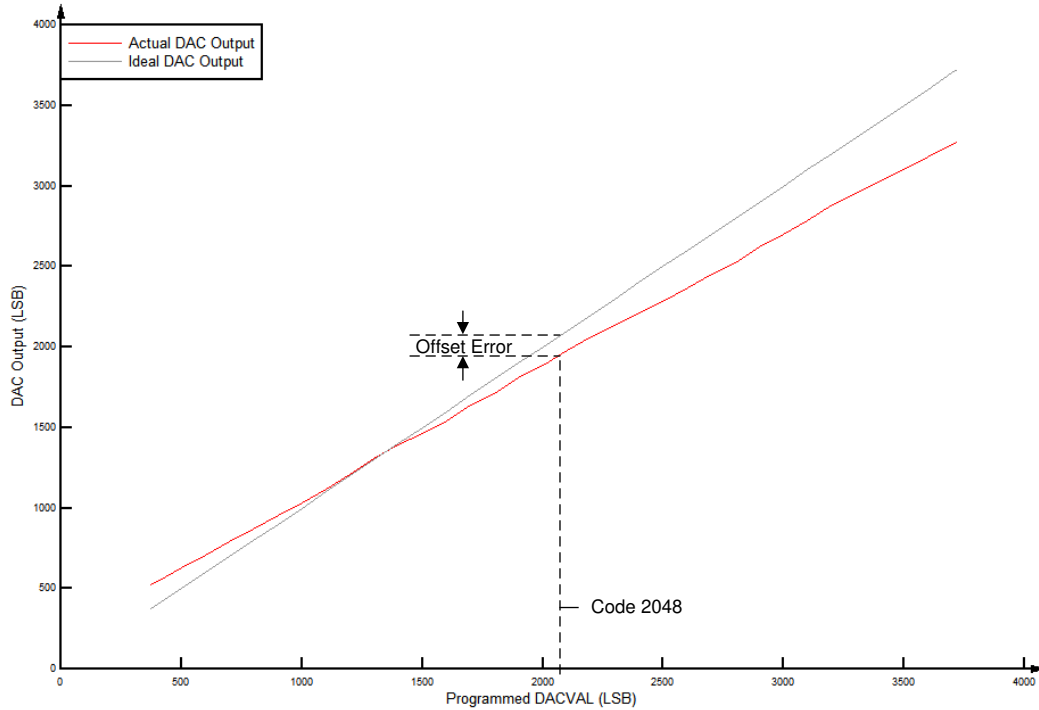


図 7-48. バッファ付き DAC のオフセット

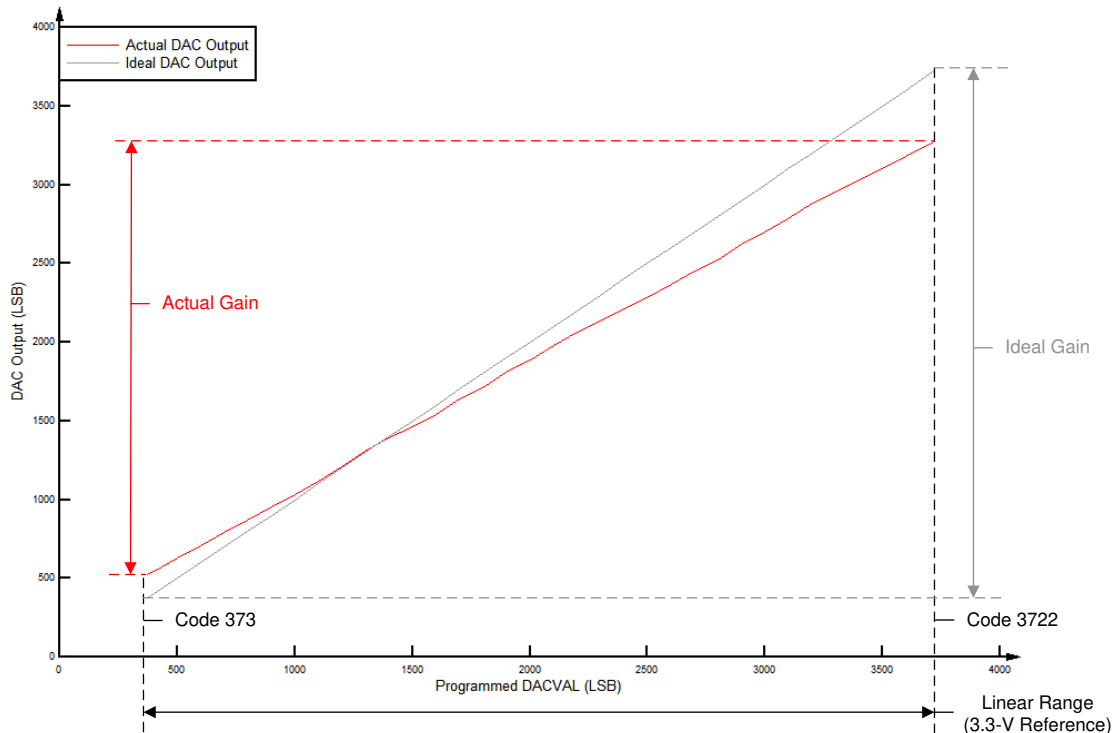


図 7-49. バッファ付き DAC のゲイン

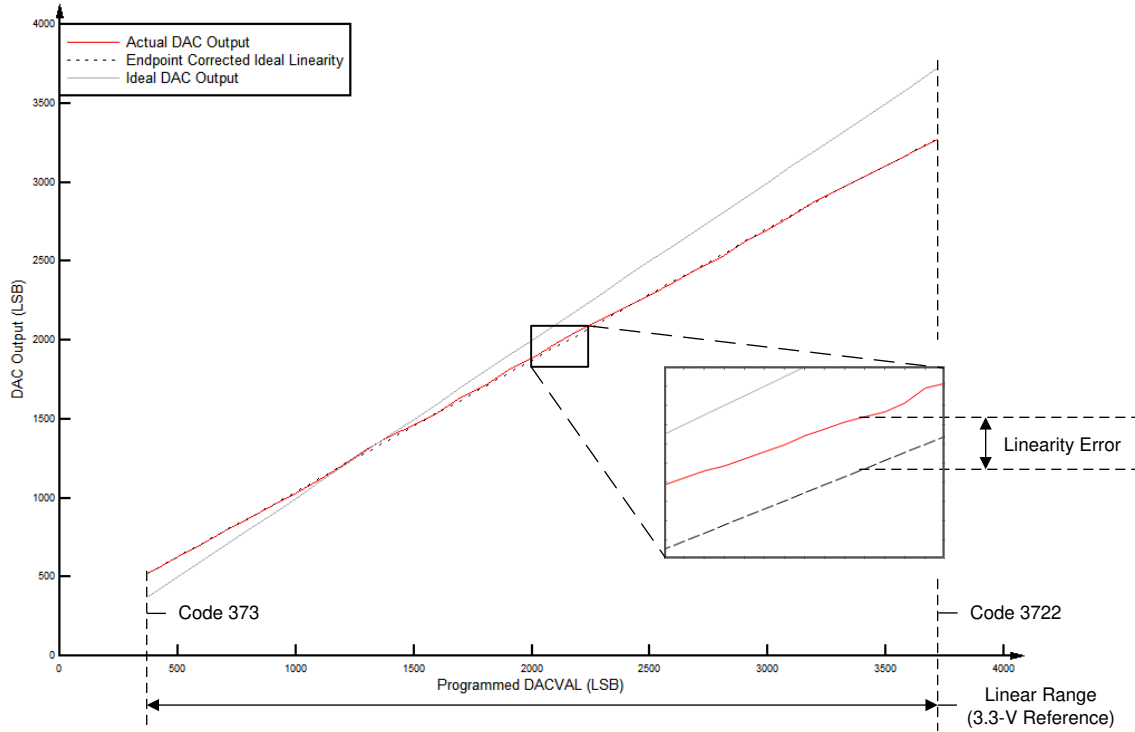


図 7-50. バッファ付き DAC の直線性

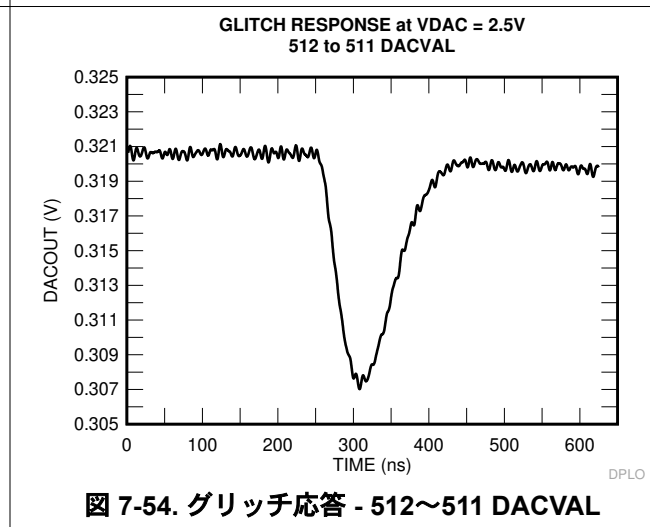
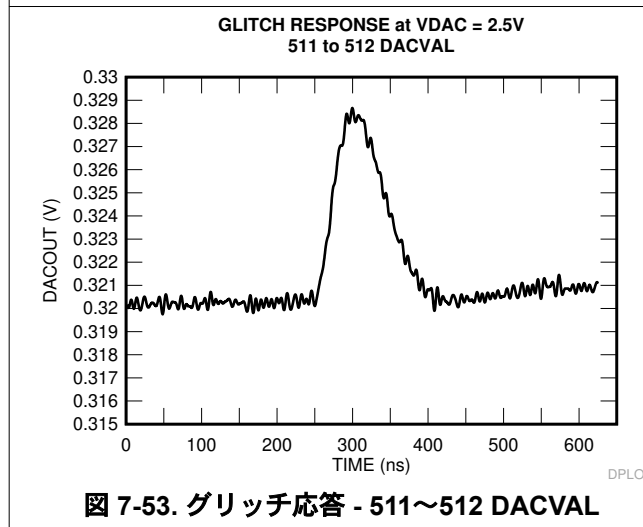
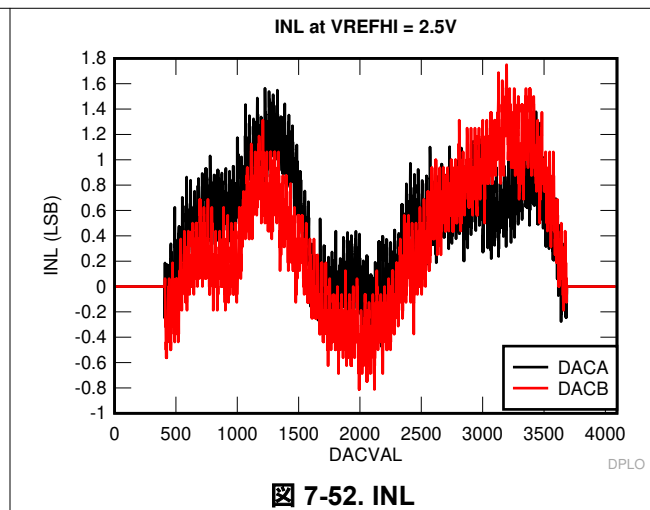
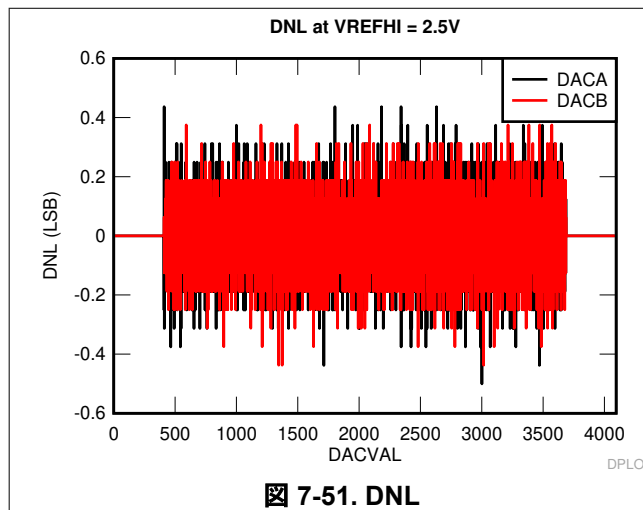
7.10.4.1.4 バッファ付き DAC の代表的特性グラフ

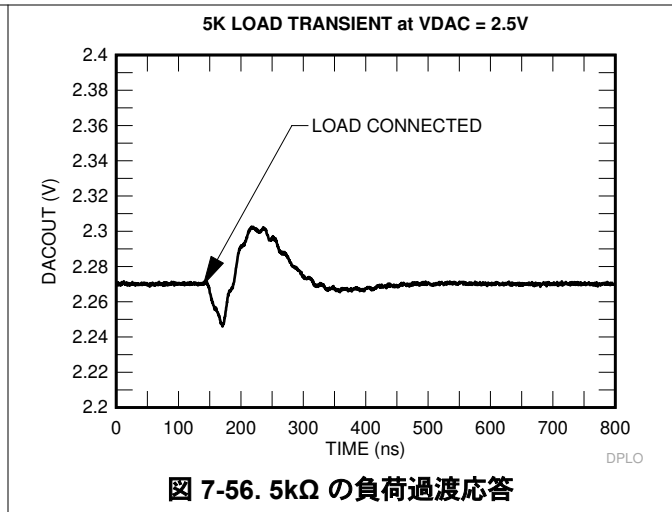
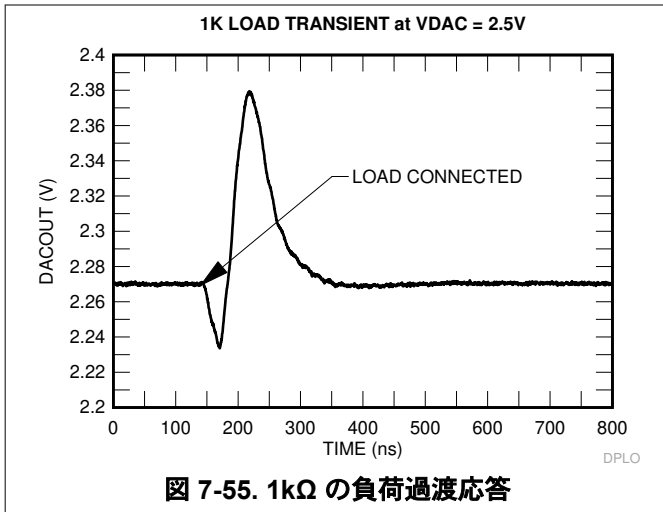
図 7-51～図 7-56 に、バッファ付き DAC パラメータの代表的性能をいくつか示します。図 7-51 に、DNL を示します。図 7-52 に、INL を示します。図 7-53 にグリッチ応答 (511 ~ 512 DACVAL) を示し、図 7-54 にグリッチ応答 (512 ~ 511 DACVAL) を示します。このグリッチは MSB 遷移でのみ発生することに注意してください。511 から 512 へ、および 512 から 511 への遷移はワーストケースです。図 7-55 に、1kΩ の負荷過渡を示します。図 7-56 に、5kΩ の負荷過渡を示します。

注

図 7-51～図 7-56 については、以下の条件が適用されます (特に記述のない限り)。

- $T_A = 30^\circ\text{C}$
- $V_{DDA} = 3.3\text{V}$
- $V_{DD} = 1.2\text{V}$





7.10.5 コンパレータ・サブシステム (CMPSS)

各 CMPSS には、2 つのコンパレータ、2 つのリファレンス 12 ビット DAC、2 つのデジタル・フィルタ、1 つのランプ・ジェネレータが搭載されています。コンパレータは、各モジュールで「H」または「L」と表記されています。ここで、「H」と「L」はそれぞれ「HIGH」(ハイ)と「LOW」(ロー)を表します。各コンパレータは、正入力の電圧が負入力の電圧よりも高いかどうかを示すデジタル出力を生成します。コンパレータの正の入力は、外部ピンまたは PGA から駆動できます。負入力は、外部ピンまたはプログラマブル・リファレンス 12 ビット DAC によって駆動できます。各コンパレータ出力は、プログラム可能なデジタル・フィルタを通過して、不要なトリップ信号を除去できます。フィルタリングが不要な場合は、フィルタなしの出力も使用できます。ランプ・ジェネレータ回路はオプションで、サブシステム内でハイ・コンパレータのリファレンス 12 ビット DAC 値を制御できます。各 CMPSS モジュールからは 2 つの出力があります。これら 2 つの出力は、ePWM モジュールまたは GPIO ピンに接続される前に、デジタル・フィルタとクロスバーを通過します。図 7-57 に、CMPSS の接続状況を示します。

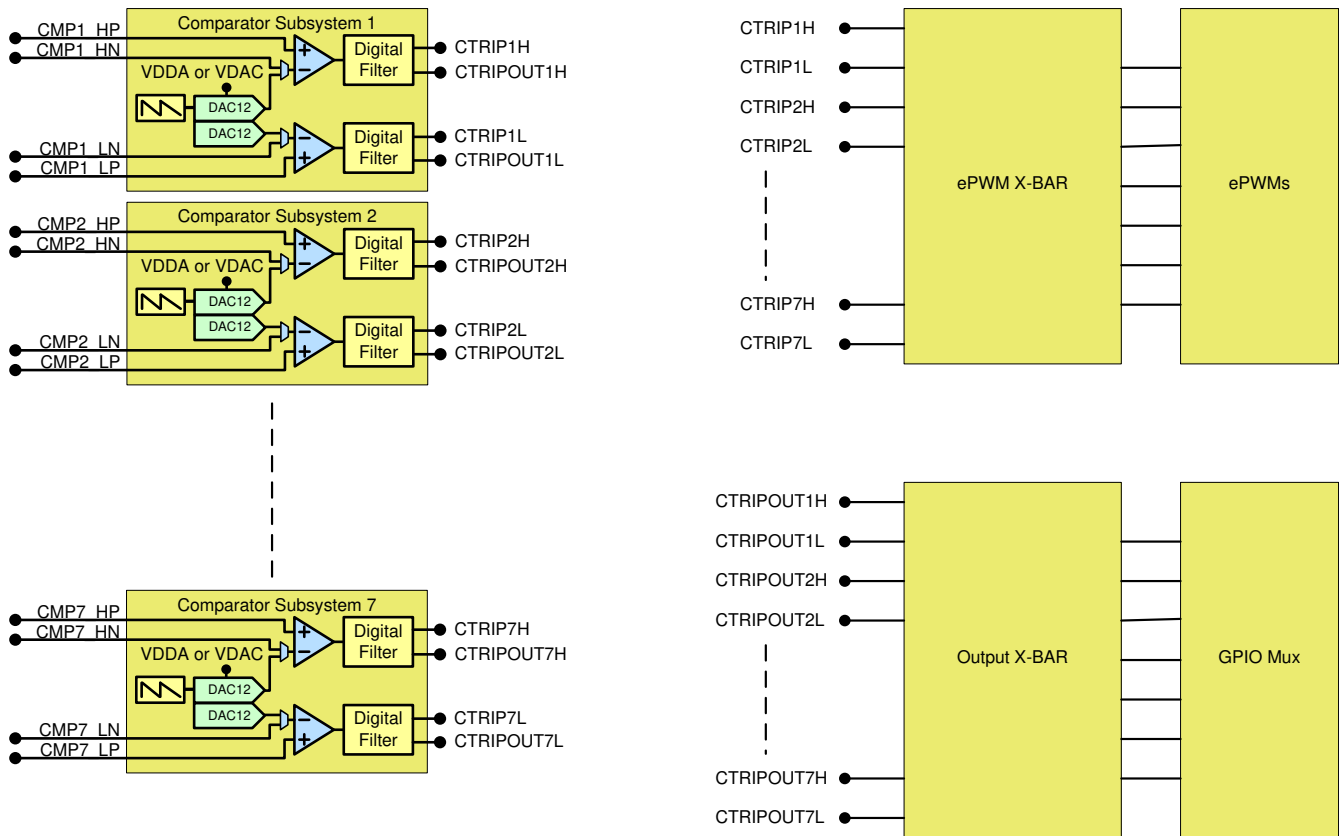


図 7-57. CMPSS の接続状況

注

すべてのパッケージにすべての CMPSS ピンがあるわけではありません。「アナログ・ピンと内部接続」表を参照してください。

7.10.5.1 CMPSS の電氣的データおよびタイミング

セクション 7.10.5.1.1 に、コンパレータの電氣的特性を示します。図 7-58 に、CMPSS コンパレータの入力換算オフセットを示します。図 7-59 に、CMPSS コンパレータのヒステリシスを示します。

7.10.5.1.1 コンパレータの電氣的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
TPU 起動時間				500	μs
コンパレータ入力 (CMPINxx) 範囲		0		VDDA	V
入力換算オフセット誤差	低同相モード、反転入力は 50mV に設定	-20		20	mV
ヒステリシス ⁽¹⁾	1x		12		LSB
	2x		24		
	3x		36		
	4x		48		
応答時間 (CMPINx 入力から ePWM クロスバーまたは出力クロスバーの出力までの遅延)	ステップ応答		21	60	ns
	ランプ応答 (1.65V/μs)		26		
	ランプ応答 (8.25mV/μs)		30		ns
PSRR 電源除去比	最高 250kHz		46		dB
CMRR 同相除去比		40			dB

- (1) 適用するヒステリシスの大きさを決定するための基準として、CMPSS DAC を使用します。したがって、ヒステリシスは CMPSS DAC 基準電圧に応じてスケールングされます。ヒステリシスは、すべてのコンパレータ入力ソース構成で使用できます。

注

正常な機能動作を確保するためには、CMPSS 入力を VDDA + 0.3V よりも低く維持する必要があります。CMPSS 入力がこのレベルを超えると、内部ブロッキング回路によって内部コンパレータが外部ピンから絶縁され、外部ピンの電圧が VDDA + 0.3V を下回るまでその状態が続きます。この期間中、内部コンパレータの入力はフローティング状態になり、約 0.5μs 以内に VDDA を下回るまで減衰します。この時間が経過した後、コンパレータは、他のコンパレータ入力の値に応じて、不正確な結果を出力する可能性があります。

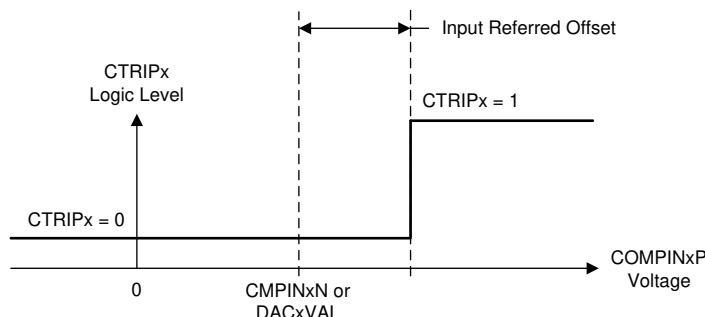


図 7-58. CMPSS コンパレータの入力換算オフセット

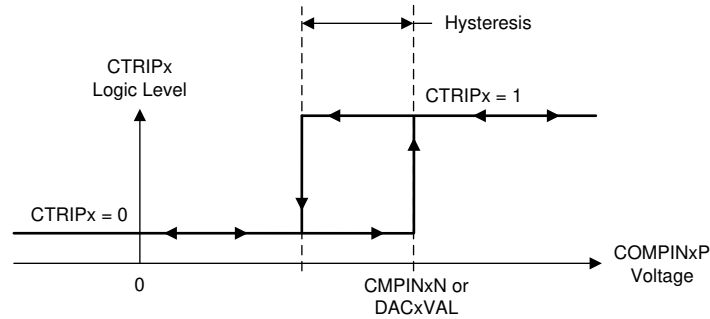


図 7-59. CMSS コンパレータのヒステリシス

セクション 7.10.5.1.2 に、CMPSS DAC の静的電気特性を示します。

7.10.5.1.2 CMPSS DAC の静的電気特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
CMPSS DAC 出力範囲	内部リファレンス	0		VDDA	V
	外部リファレンス	0		VDAC ⁽⁴⁾	
静的オフセット誤差 ⁽¹⁾		-25		25	mV
静的ゲイン誤差 ⁽¹⁾		-2		2	% (対 FSR)
静的 DNL	エンドポイント補正	>-1		4	LSB
静的 INL	エンドポイント補正	-16		16	LSB
セトリング・タイム	フルスケール出力変化後 1LSB にセトリング			1	μs
分解能			12		ビット
CMPSS DAC 出力の外乱 ⁽²⁾	コンパレータのトリップまたは CMPSS DAC コードの変化によって、同じ CMPSS モジュール内で発生する誤差	-100		100	LSB
CMPSS DAC の外乱時間 ⁽²⁾				200	ns
VDAC 基準電圧	VDAC が基準電圧の場合	2.4	2.5 または 3.0	VDDA	V
VDAC 負荷 ⁽³⁾	VDAC が基準電圧の場合	6	8	10	kΩ

- (1) コンパレータの入力換算エラーを含みます。
- (2) コンパレータのトリップ後、一定時間にわたって CMPSS DAC 出力に外乱誤差が生じることがあります。
- (3) アクティブな CMPSS モジュール 1 個あたり。
- (4) VDAC > VDDA の場合、最大出力電圧は VDDA です。

7.10.5.1.3 CMPSS の説明用グラフ

図 7-60 に、CMPSS DAC の静的オフセットを示します。図 7-61 に、CMPSS DAC の静的ゲインを示します。図 7-62 に、CMPSS DAC の静的直線性を示します。

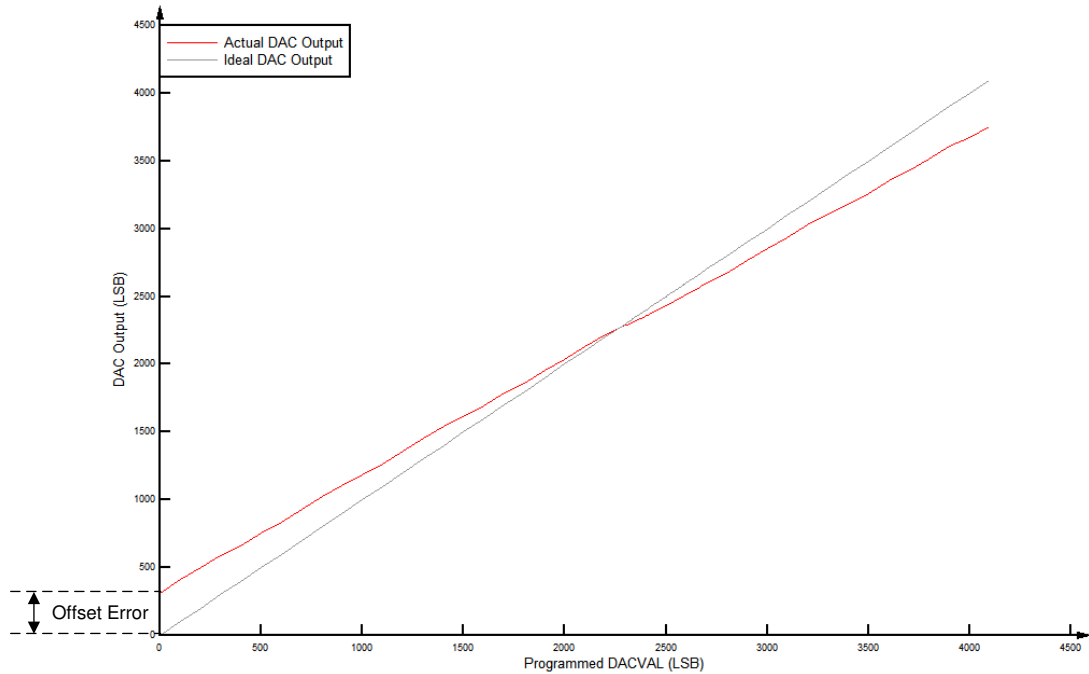


図 7-60. CMPSS DAC の静的オフセット

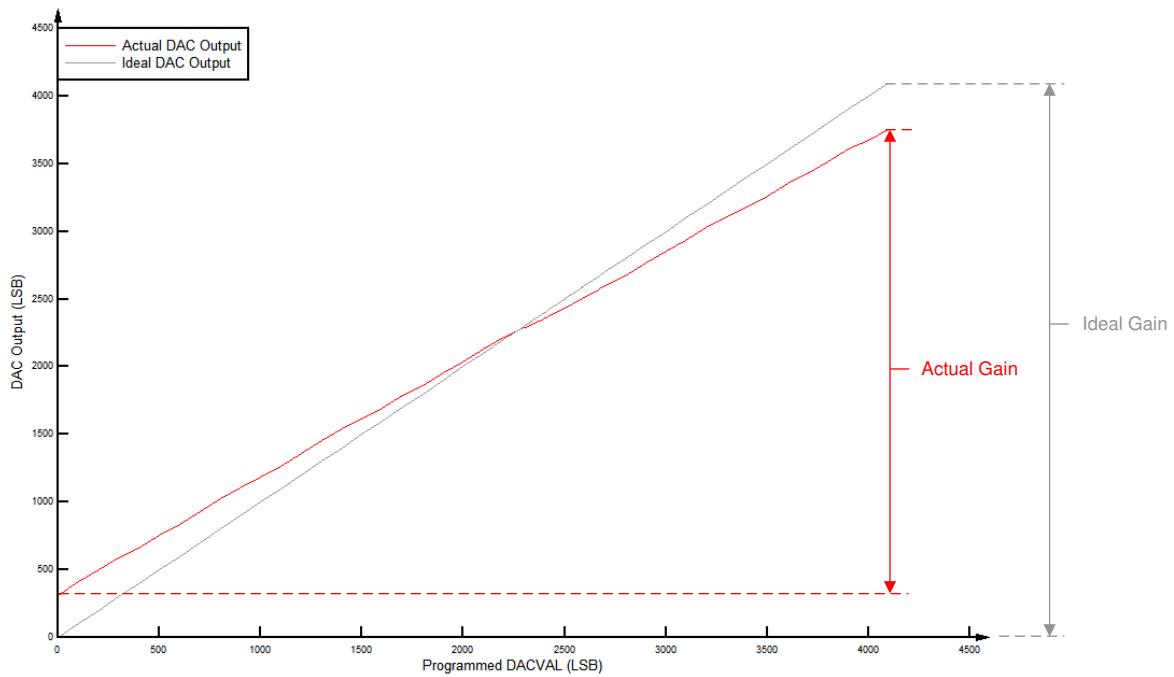


図 7-61. CMPSS DAC の静的ゲイン

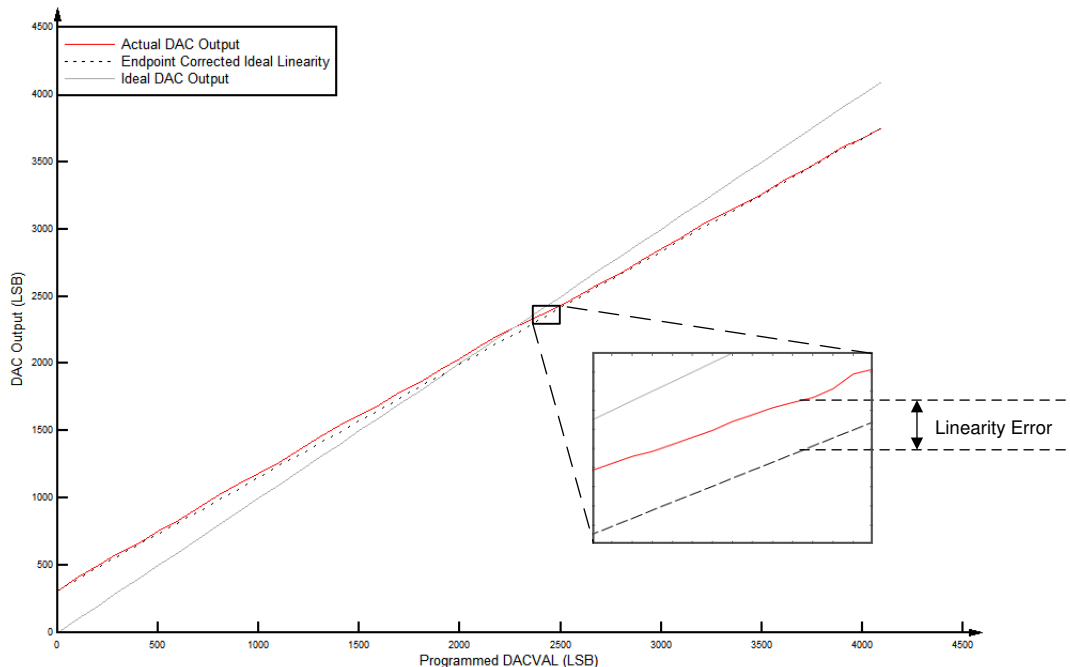


図 7-62. CMPSS DAC の静的直線性

7.11 制御ペリフェラル

7.11.1 拡張キャプチャ (eCAP)

タイプ 1 拡張キャプチャ (eCAP) モジュールは、外部イベントの正確なタイミングが要求されるシステムで使われます。

eCAP モジュールのアプリケーションの例:

- 回転機械の速度測定 (たとえば、歯付きスプロケットをホール・センサで検知)
- 位置センサ・パルス間の経過時間測定
- パルス列信号の周期およびデューティ・サイクル測定
- デューティ・サイクル符号化電流 / 電圧センサから得られた電流または電圧振幅の復号

eCAP モジュールの主な機能は次のとおりです。

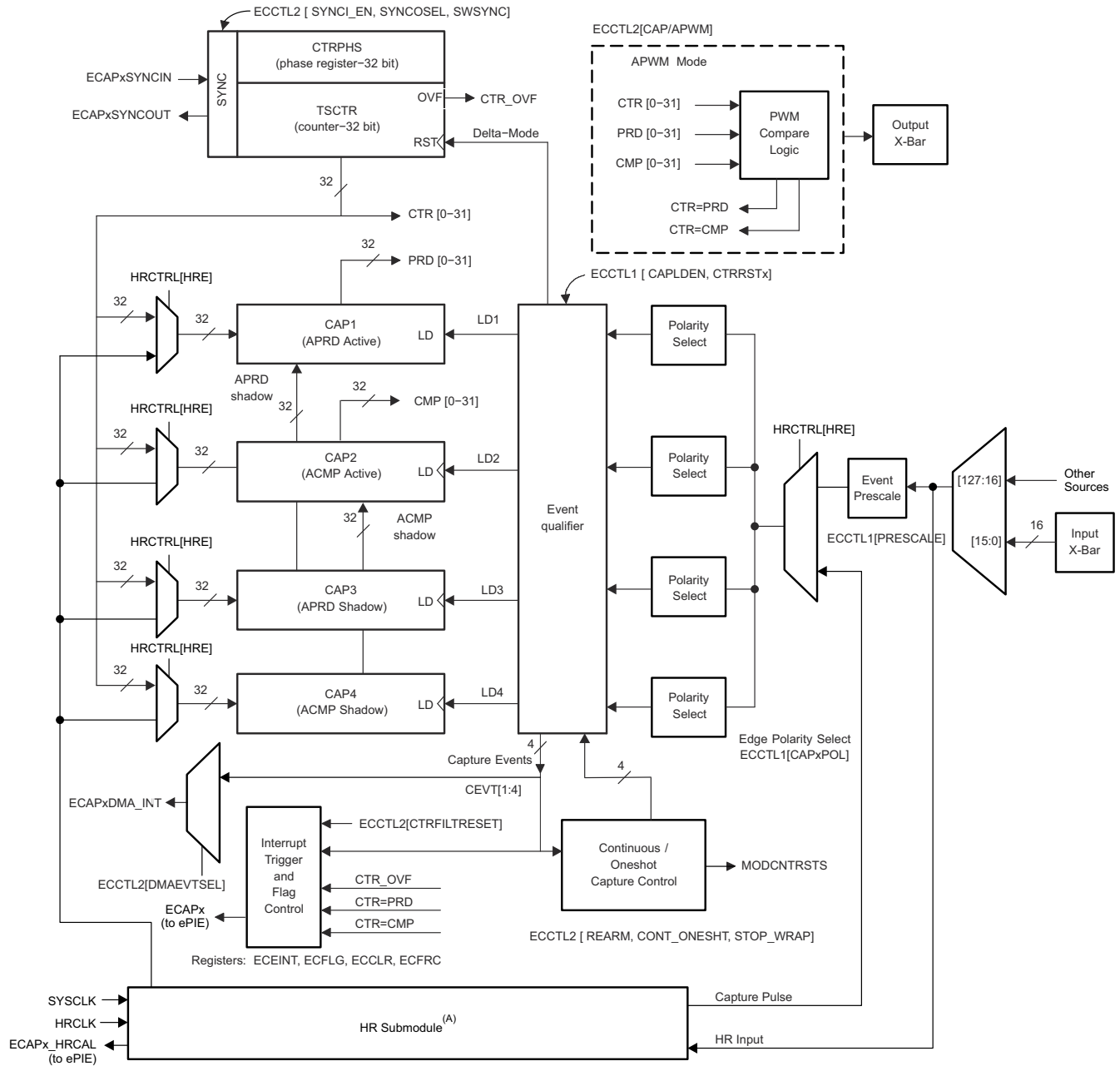
- 4 つのイベント・タイムスタンプ・レジスタ (各 32 ビット)
- 最大 4 つの順序付きタイムスタンプ・キャプチャ・イベントのエッジ極性選択
- 4 つのイベントのいずれか 1 つで CPU 割り込み発生
- 独立した DMA トリガ
- 最大 4 つのイベント・タイムスタンプをシングル・ショットでキャプチャ
- 深さ 4 の循環バッファでのタイムスタンプの連続モード・キャプチャ
- 絶対タイムスタンプ・キャプチャ
- 差分 (デルタ) モード・タイムスタンプ・キャプチャ
- 128:1 入力マルチプレクサ
- イベント・プリスケアラ
- キャプチャ・モードで使用しない場合、eCAP モジュールを単一チャネル PWM 出力として構成可能

タイプ 1 eCAP のキャプチャ機能は、タイプ 0 eCAP から拡張されており、以下の追加機能があります。

- イベント・フィルタ・リセット・ビット
 - ECCTL2[CTRFILTRESET] に 1 を書き込むと、イベント・フィルタ、モジュロ・カウンタ、および保留中の割り込みフラグがクリアされます。これは、初期化とデバッグに役立ちます。
- モジュロ・カウンタのステータス・ビット
 - モジュロ・カウンタ (ECCTL2[MODCTRSTS]) は、どのキャプチャ・レジスタを次にロードするかを示します。タイプ 0 eCAP では、モジュロ・カウンタの現在の状態を知ることができませんでした。
- DMA トリガ・ソース
 - eCAPxDMA が DMA トリガとして追加されました。CEVT[1–4] は、eCAPxDMA のソースとして構成できます。
- 入力マルチプレクサ
 - ECCTL0[INPUTSEL] は、128 の入力信号のいずれかを選択します。
- EALLOW 保護
 - 重要なレジスタに EALLOW 保護が追加されました。

入力クロスバーは、デバイスの入力ピンをモジュールに接続するために使用する必要があります。出力クロスバーは、出力信号を OUTPUTXBARx の出力領域に接続するために使用する必要があります。[セクション 6.4.3](#) および [セクション 6.4.4](#) を参照してください。

eCAP のブロック図を [図 7-63](#) に示します。



Copyright © 2018, Texas Instruments Incorporated

- A. HRCAP サブモジュールは、すべての eCAP モジュールで利用できるわけではありません。この場合、高分解能マルチプレクサとハードウェアは実装されていません。

図 7-63. eCAP のブロック図

7.11.1.1 eCAP の電氣的データおよびタイミング

セクション 7.11.1.1.1 に、eCAP のタイミング要件を示します。セクション 7.11.1.1.2 に、eCAP のスイッチング特性を示します。

7.11.1.1.1 eCAP のタイミング要件

		最小値	公称値	最大値	単位
$t_{w(CAP)}$	キャプチャ入力パルス幅	非同期		$2t_{c(SCO)}$	ns
		同期		$2t_{c(SCO)}$	
		入力フィルタあり		$1t_{c(SCO)} + t_{w_QSW}$	

7.11.1.1.2 eCAP のスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		最小値	標準値	最大値	単位
$t_{w(APWM)}$	パルス幅、APWMx 出力 HIGH/LOW	20			ns

7.11.2 高分解能キャプチャ・サブモジュール (HRCAP6–HRCAP7)

このデバイスには、最大 2 つの高分解能キャプチャ (HRCAP) サブモジュールが搭載されています。HRCAP サブモジュールは、システム・クロックと非同期にパルス間の時間差を測定します。このサブモジュールは、eCAP タイプ 1 モジュールの新機能であり、タイプ 0 HRCAP モジュールに対して多くの拡張が行われています。

HRCAP の主な用途:

- 静電容量式タッチ・アプリケーション
- パルス・トレイン・サイクルの周期とデューティ・サイクルを高分解能で測定
- 速度の瞬時値測定
- 周波数の瞬時値測定
- 絶縁境界にまたがる電圧測定
- 距離 / ソナーの測定とスキャン
- 流量測定

HRCAP サブモジュールの主な特長を以下に示します。

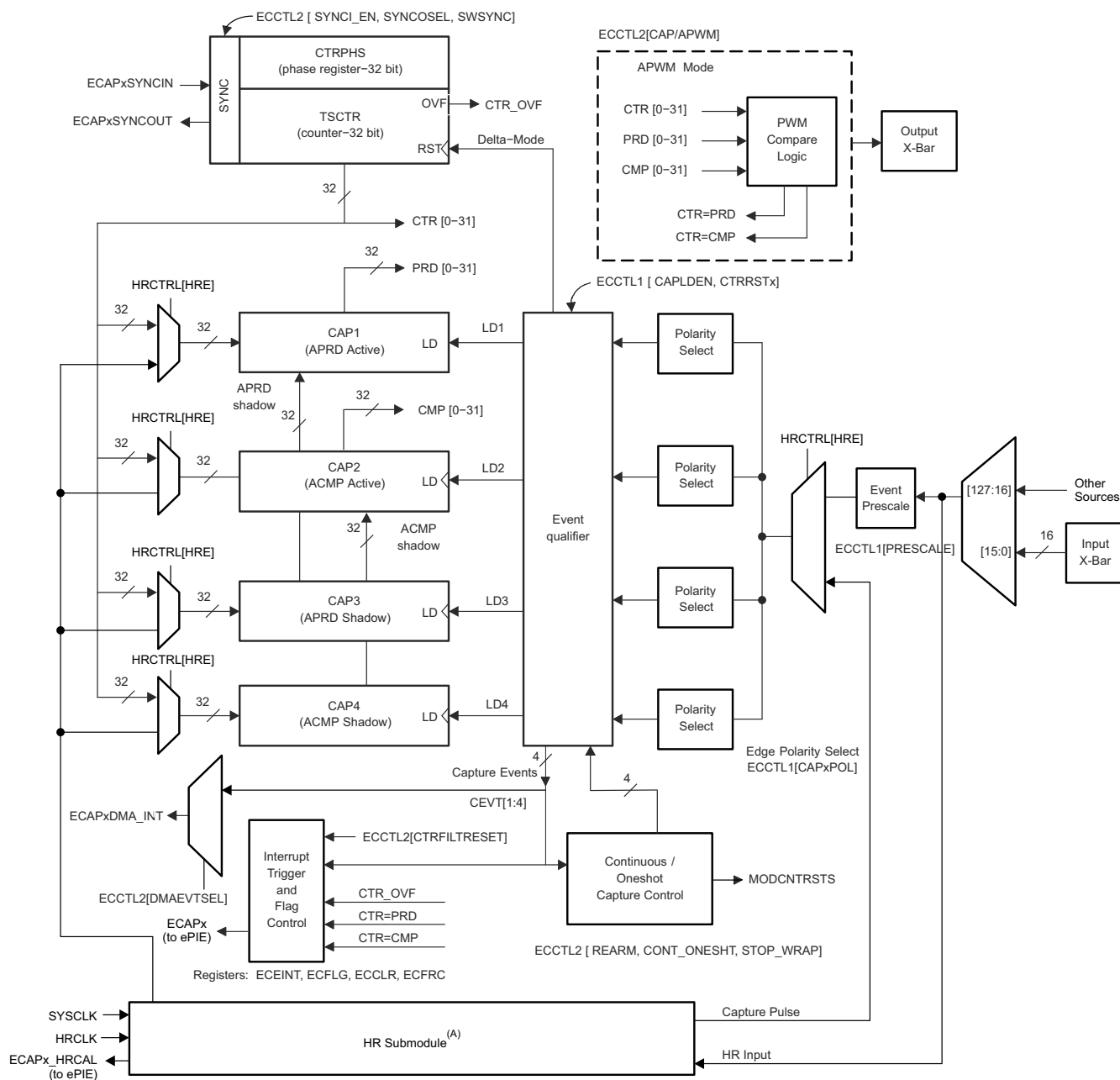
- 非高分解能モードまたは高分解能モードでのパルス幅キャプチャ
- 絶対モードのパルス幅キャプチャ
- 連続キャプチャまたはワンショット・キャプチャ
- 立ち下がりエッジと立ち上がりエッジのどちらかでのキャプチャ
- 深さ 4 のバッファによるパルス幅の連続モード・キャプチャ
- 高精度高分解能キャプチャのためのハードウェア・キャリブレーション・ロジック
- このリストに掲載されているリソースは、入力クロスバーを使って任意のピンで利用できます。

HRCAP サブモジュールは、キャリブレーション・ブロックに加えて、1 つの高分解能キャプチャ・チャンネルを備えています。このキャリブレーション・ブロックを使用すると、HRCAP サブモジュールを一定の間隔で継続的に再キャリブレーションでき、「ダウン・タイム」は発生しません。HRCAP サブモジュールは現在、それぞれの eCAP と同じハードウェアを使用しているため、HRCAP を使用すると、対応する eCAP は使用できません。

それぞれの高分解能対応チャンネルは、以下の独立した主要リソースを備えています。

- 対応する eCAP のすべてのハードウェア
- 高分解能のキャリブレーション・ロジック
- 専用のキャリブレーション割り込み

HRCAP ブロック図を [図 7-64](#) に示します。



Copyright © 2018, Texas Instruments Incorporated

- A. HRCAP サブモジュールは、すべての eCAP モジュールで利用できるわけではありません。この場合、高分解能マルチプレクサとハードウェアは実装されていません。

図 7-64. HRCAP のブロック図

7.11.2.1 HRCAP の電氣的データおよびタイミング

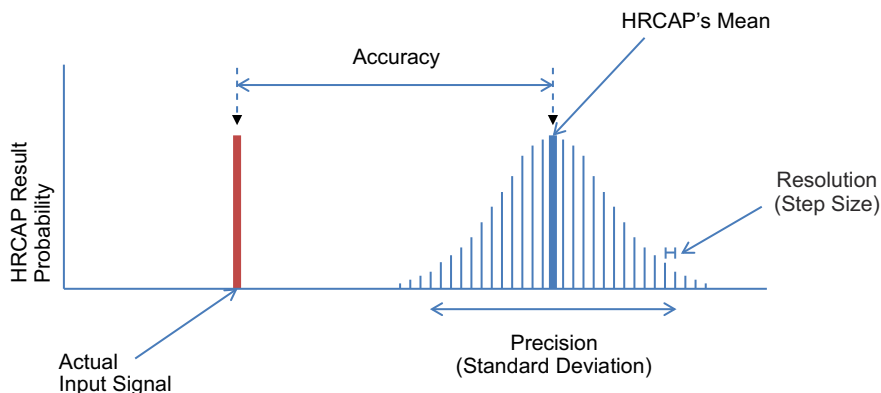
セクション 7.11.2.1.1 に、HRCAP のスイッチング特性を示します。図 7-65 に、HRCAP の精度と分解能を示します。図 7-66 に、HRCAP の標準偏差特性を示します。

7.11.2.1.1 HRCAP のスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
入力パルス幅		110			ns
正確度(1) (2) (3) (4)	測定長 ≤ 5μs		±390	540	ps
	測定長 > 5μs		±450	1450	ps
標準偏差			図 7-66 を参照		
分解能			300		ps

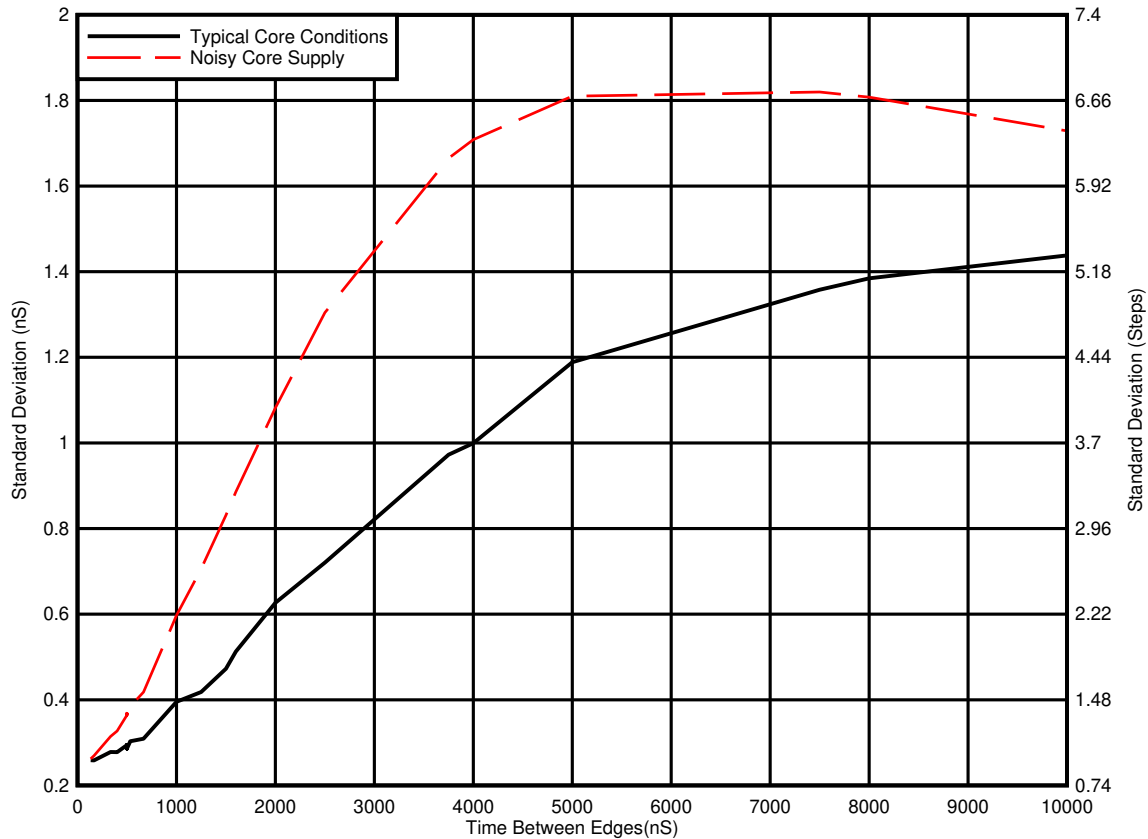
- (1) 100PPM の発振回路を使用して値を取得すると、発振回路の精度が HRCAP の精度に直接影響を及ぼします。
- (2) 立ち上がりまたは立ち下がりがエッジを使用して測定を完了します
- (3) 逆極性のエッジは、 V_{IH} と V_{IL} の差により、精度が低下します。この影響は、信号のスルーレートに依存します。
- (4) 精度は、時間に変換された測定にのみ適用されます。



A. HRCAP の性能にはいくらかの変動があるので、確率分布を以下に示す用語で記述します。

- 正確度: 入力信号と HRCAP の分布の平均との時間差。
- 精度: HRCAP の分布の幅であり、これは標準偏差として表されます。
- 分解能: 測定可能な最小増分。

図 7-65. HRCAP の正確度、精度、分解能



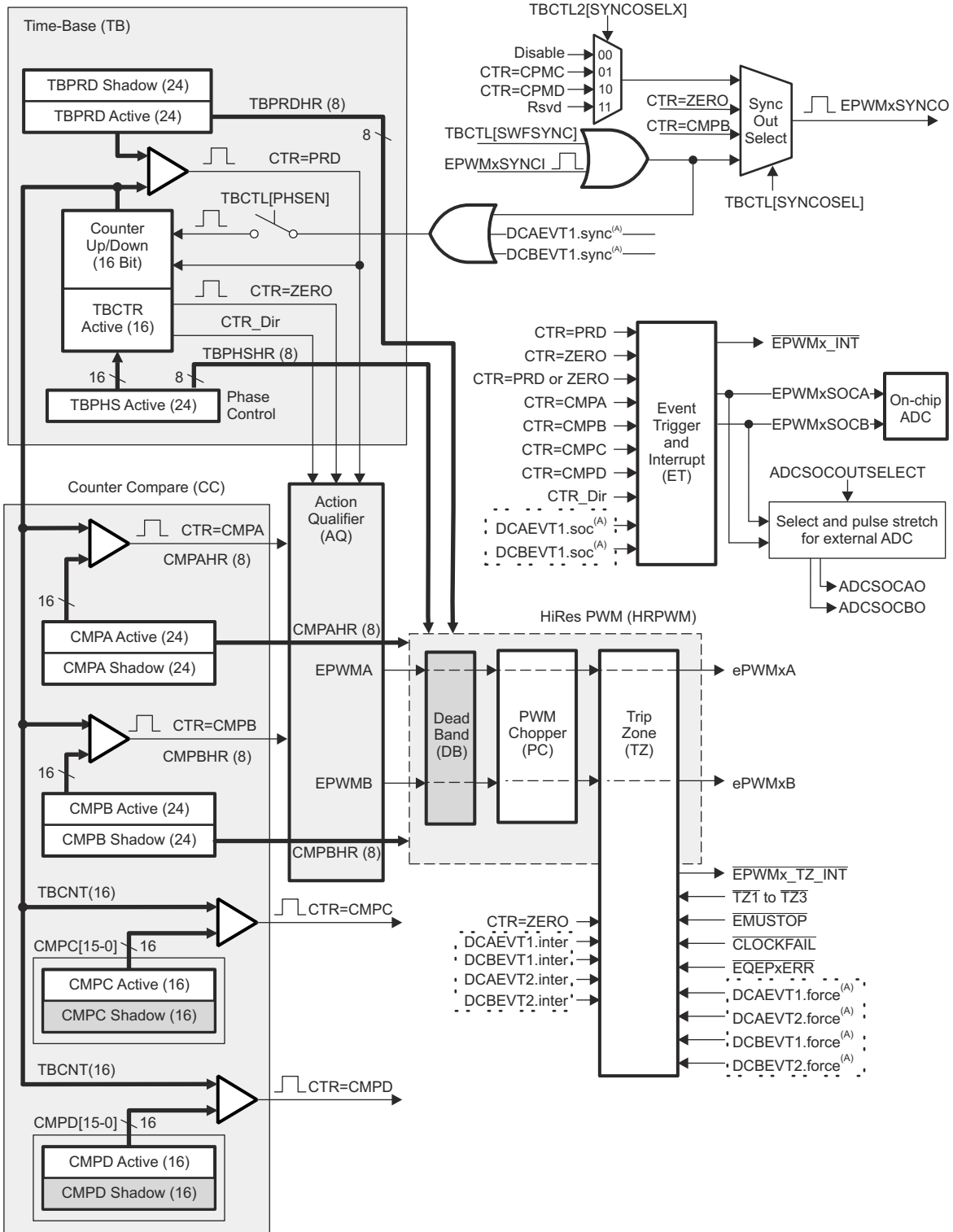
- A. 代表的な動作条件: すべてのペリフェラル・クロックはディセーブル。
- B. ノイズの多いコア電源: すべてのコア・クロックは、測定中に一定の周期でイネーブルおよびディセーブルになります。その結果、測定中に 1.2V レールで 18.5mA のスイングが発生しました。
- C. 1.2V レールの電流と電圧の変動により、HRCAP の標準偏差が上昇します。HRCAP を使用する際には、1.2V 電源がクリーンであること、また、クロック・ツリーのイネーブルおよびディセーブルなどのノイズの多い内部イベントを最小限に抑えることについて注意する必要があります。

図 7-66. HRCAP 標準偏差特性

7.11.3 拡張パルス幅変調器 (ePWM)

ePWM ペリフェラルは、民生用および産業用機器で採用されている多くのパワー・エレクトロニクス・システムを制御するための重要な要素です。ePWM タイプ 4 モジュールは、最小限の CPU オーバーヘッドで、複雑なパルス幅波形を生成できます。ePWM タイプ 4 モジュールの主な特長として、複合波形生成、デッドバンド生成、柔軟な同期方式、高度なトリップ・ゾーン機能、グローバル・レジスタ・リロード機能が挙げられます。

図 7-67 に、ePWM との信号相互接続を示します。図 7-68 に、ePWM トリップ入力の接続を示します。



A. これらのイベントは、TRIPIN 入力のレベルに基づいて、ePWM デジタル比較 (DC) サブモジュールによって生成されます。

図 7-67. ePWM サブモジュールおよび重要な内部信号の相互接続

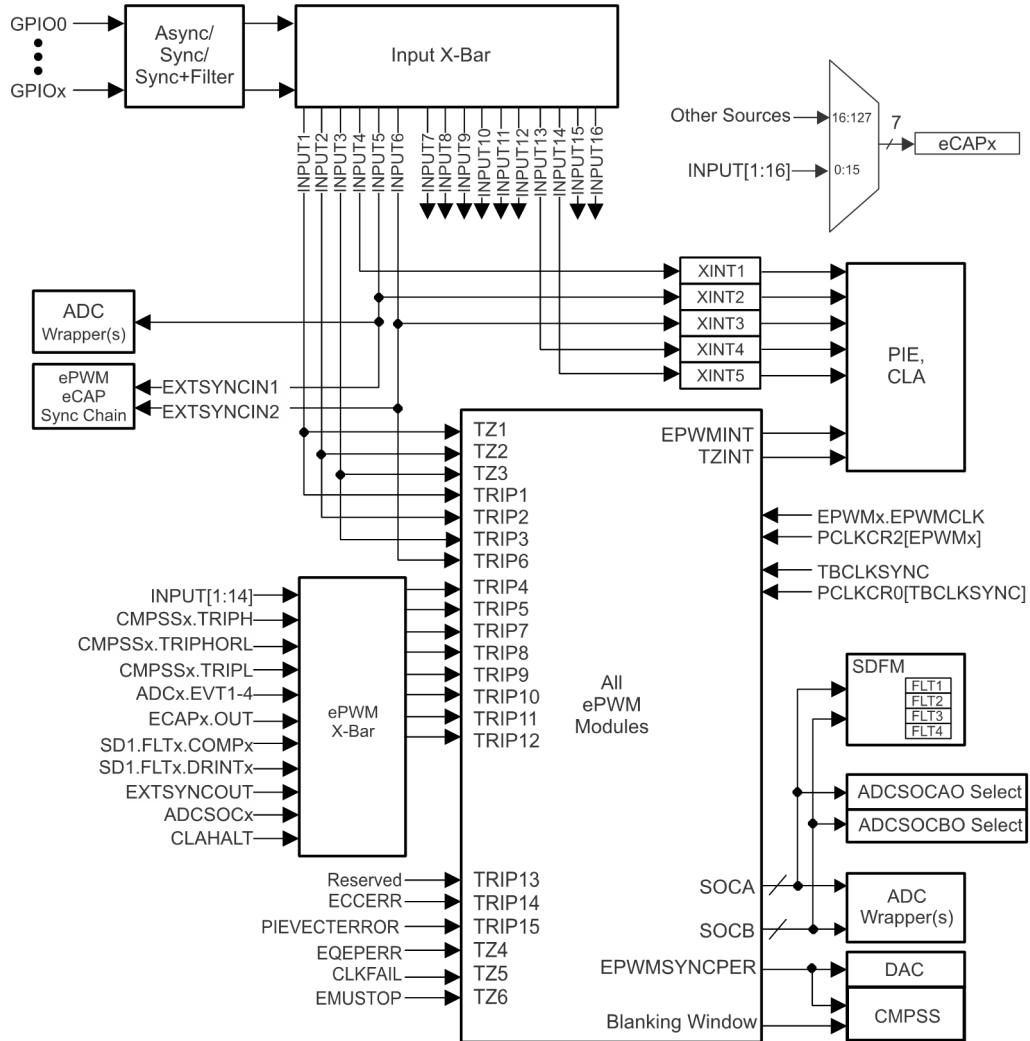


図 7-68. ePWM トリップ入力の接続

7.11.3.1 制御ペリフェラルの同期

ePWM および eCAP の同期チェーンにより、システムの複数のモジュール間での同期が可能です。図 7-69 に、同期チェーンのアーキテクチャを示します。

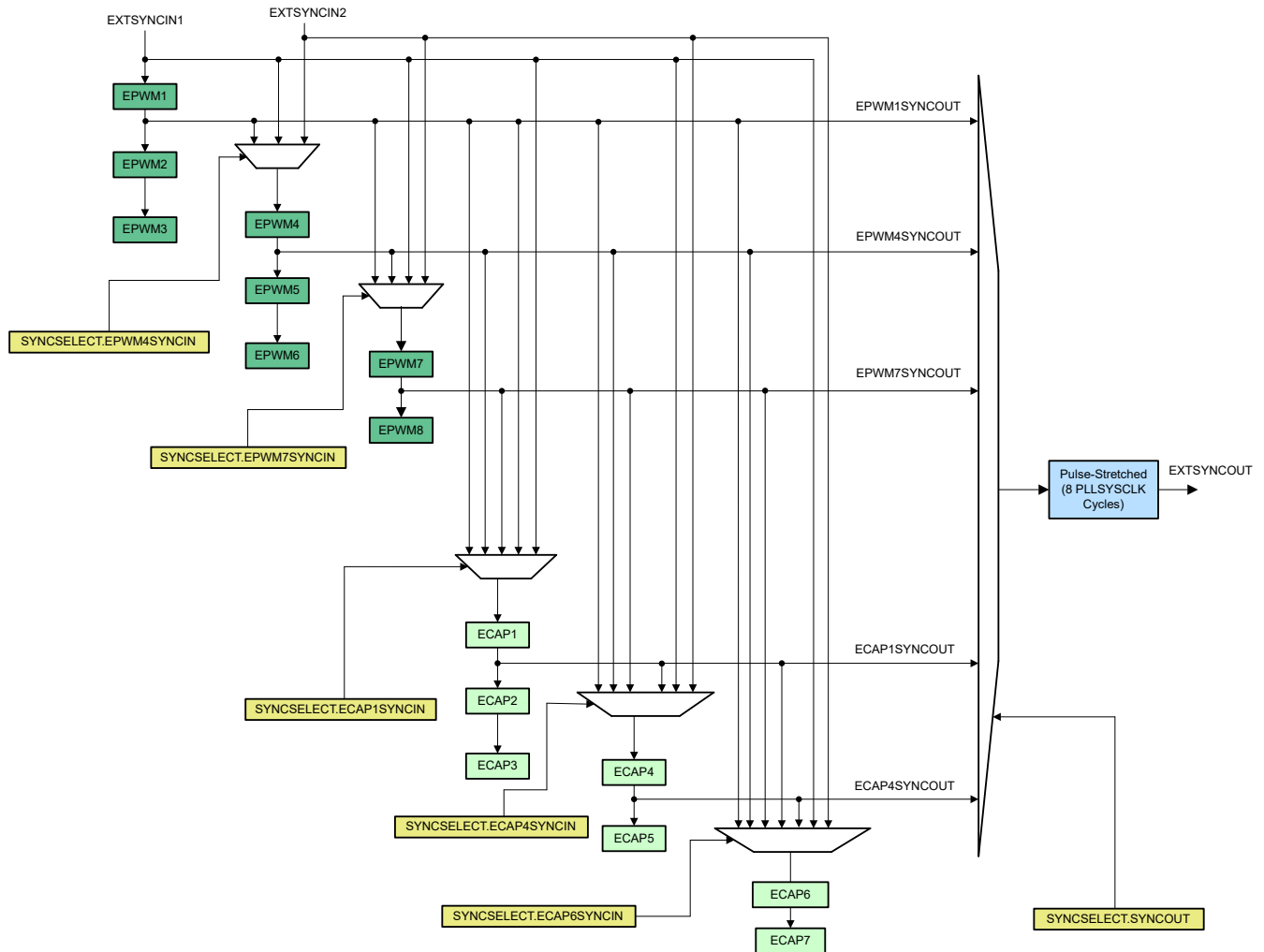


図 7-69. 同期チェーンのアーキテクチャ

7.11.3.2 ePWM の電氣的データおよびタイミング

セクション 7.11.3.2.1 に、ePWM のタイミング要件、セクション 7.11.3.2.2 に、ePWM のスイッチング特性を示します。

7.11.3.2.1 ePWM のタイミング要件

		最小値	最大値	単位
$t_w(\text{SYNCIN})$	同期入力パルス幅			サイクル
	非同期	$2t_c(\text{EPWMCLK})$		
	同期	$2t_c(\text{EPWMCLK})$		
	入力フィルタあり ⁽¹⁾	$1t_c(\text{EPWMCLK}) + t_w(\text{IQSW})$		

(1) 入力フィルタ・パラメータの説明については、セクション 7.9.6.2.1 を参照してください。

7.11.3.2.2 ePWM のスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		最小値	最大値	単位
$t_w(\text{PWM})$	パルス幅、PWMx 出力 HIGH/LOW	20		ns
$t_w(\text{SYNCOUT})$	同期出力パルス幅	$8t_c(\text{SYSCCLK})$		サイクル
$t_d(\text{TZ-PWM})$	遅延時間、トリップ入力アクティブから PWM 強制 HIGH まで 遅延時間、トリップ入力アクティブから PWM 強制 LOW まで 遅延時間、トリップ入力アクティブから PWM ハイ・インピーダンスまで		25	ns

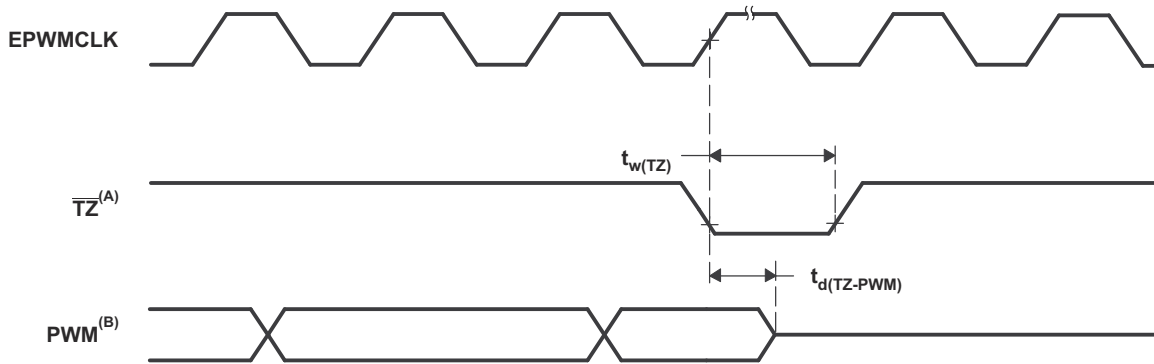
7.11.3.2.3 トリップ・ゾーン入力のタイミング

セクション 7.11.3.2.3.1 に、トリップ・ゾーン入力のタイミング要件を示します。図 7-70 に、PWM Hi-Z 特性を示します。

7.11.3.2.3.1 トリップ・ゾーン入力のタイミング要件

		最小値	最大値	単位
$t_w(\text{TZ})$	パルス幅、 $\overline{\text{TZx}}$ 入力が LOW			サイクル
	非同期	$1t_c(\text{EPWMCLK})$		
	同期	$2t_c(\text{EPWMCLK})$		
	入力フィルタあり ⁽¹⁾	$1t_c(\text{EPWMCLK}) + t_w(\text{IQSW})$		

(1) 入力フィルタ・パラメータの説明については、セクション 7.9.6.2.1 を参照してください。



A. $\overline{\text{TZ}}$: $\overline{\text{TZ1}}$, $\overline{\text{TZ2}}$, $\overline{\text{TZ3}}$, TRIP1~TRIP12

B. PWM は、デバイスのすべての PWM ピンのことです。 $\overline{\text{TZ}}$ が HIGH になった後の PWM ピンの状態は、PWM 回復ソフトウェアによって異なります。

図 7-70. PWM Hi-Z 特性

7.11.3.3 外部 ADC 変換開始の電気的データおよびタイミング

セクション 7.11.3.3.1 に、外部 ADC 変換開始のスイッチング特性を示します。図 7-71 に、 $\overline{\text{ADCSOCAO}}$ または $\overline{\text{ADCSOCBO}}$ のタイミングを示します。

7.11.3.3.1 外部 ADC 変換開始のスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	最小値	最大値	単位
$t_{w(\text{ADCSOCL})}$	パルス幅、 $\overline{\text{ADCSOCxO}}$ LOW		$32t_{c(\text{SYSCLK})}$
			サイクル

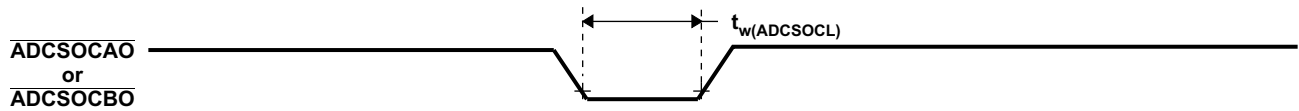


図 7-71. $\overline{\text{ADCSOCAO}}$ または $\overline{\text{ADCSOCBO}}$ のタイミング

7.11.4 高分解能パルス幅変調器 (HRPWM)

HRPWM は、複数のディレイ・ラインを 1 つのモジュールに統合し、専用のキャリブレーション・ディレイ・ラインを使用して、簡素化されたキャリブレーション・システムを実現しています。それぞれの ePWM モジュールに、2 つの HR 出力があります。

- チャンネル A の HR デューティおよびデッドバンド制御
- チャンネル B の HR デューティおよびデッドバンド制御

HRPWM モジュールは、従来のデジタル PWM 方式を使用した場合よりもはるかに優れた PWM 分解能 (時間の粒度) を提供します。HRPWM モジュールの主な特長は次のとおりです。

- 従来のデジタル PWM の時間分解能性能を大幅に拡張します
- この機能は、シングル・エッジ (デューティ・サイクルおよび位相シフト制御) およびデュアル・エッジ (周波数 / 周期変調制御) の両方で使用できます。
- ePWM モジュールの 比較 A、比較 B、位相、周期、デッドバンド・レジスタを拡張することにより、より細かい時間粒度制御またはエッジの位置設定を制御します。

注

HRPWM に許容される最小 HRPWMCLK 周波数は 60MHz です。

7.11.4.1 HRPWM の電氣的データおよびタイミング

セクション 7.11.4.1.1 に、高分解能 PWM スイッチング特性を示します。

7.11.4.1.1 高分解能 PWM の特性

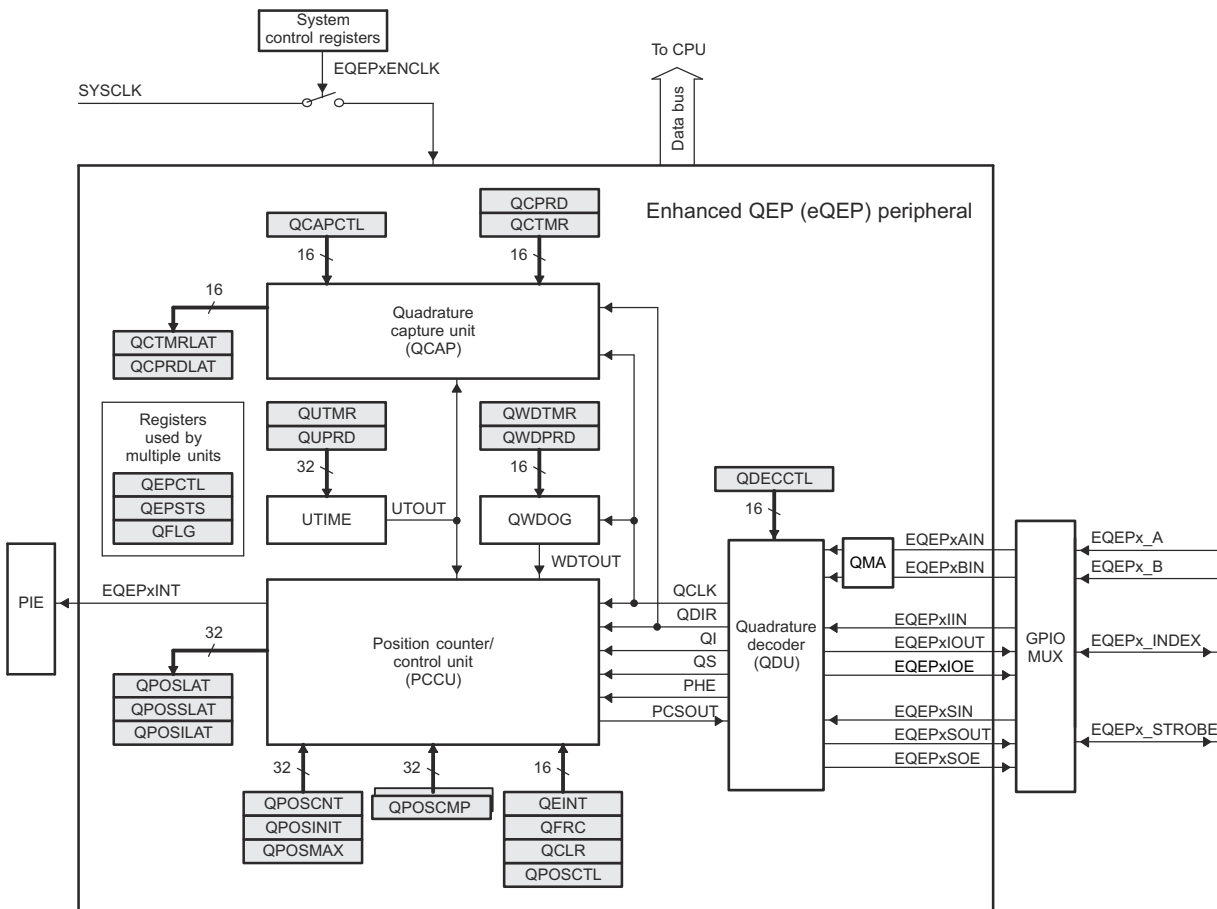
パラメータ	最小値	標準値	最大値	単位
マイクロ・エッジ・ポジショニング (MEP) ステップ・サイズ ⁽¹⁾		150	310	ps

- (1) MEP ステップ・サイズは、高温かつ VDD の最小電圧で、最大になります。温度の上昇および電圧の低下に伴って、MEP ステップ・サイズが増加し、温度の低下および電圧の上昇に伴って減少します。HRPWM 機能を使用するアプリケーションでは、MEP 係数最適化 (SFO) 推定ソフトウェア機能を使用する必要があります。最終アプリケーションで SFO 機能を使用する方法の詳細については、TI のソフトウェア・ライブラリを参照してください。SFO 機能は、HRPWM の動作中に、SYSCLK 周期あたりの MEP ステップ数を動的に推定するのに役立ちます。

7.11.5 拡張直交エンコーダ・パルス (eQEP)

タイプ 1 eQEP ペリフェラルには、以下の主要な機能ユニットが含まれています (図 7-72 を参照)。

- 各ピンの入力フィルタをプログラム可能 (GPIO MUX の一部)
- 直交デコーダ・ユニット (QDU)
- 位置測定用の位置カウンタおよび制御ユニット (PCCU)
- 低速度測定用の直交エッジ・キャプチャ・ユニット (QCAP)
- 速度および周波数測定用のユニット・タイム・ベース (UTIME)
- ストール検出用ウォッチドッグ・タイマ (QWDOG)
- 直交モード・アダプタ (QMA)



Copyright © 2017, Texas Instruments Incorporated

図 7-72. eQEP のブロック図

7.11.5.1 eQEP の電氣的データおよびタイミング

セクション 7.11.5.1.1 に、eQEP のタイミング要件、セクション 7.11.5.1.2 に、eQEP のスイッチング特性を示します。

7.11.5.1.1 eQEP のタイミング要件

			最小値	最大値	単位
$t_{w(QEPP)}$	QEP 入力期間	非同期 ⁽²⁾ / 同期	$2t_{c(SYSCLK)}$		サイクル
		入力フィルタあり ⁽¹⁾	$2[1t_{c(SYSCLK)} + t_{w(IQSW)}]$		
$t_{w(INDEXH)}$	QEP インデックス入力 HIGH 時間	非同期 ⁽²⁾ / 同期	$2t_{c(SYSCLK)}$		サイクル
		入力フィルタあり ⁽¹⁾	$2t_{c(SYSCLK)} + t_{w(IQSW)}$		
$t_{w(INDEXL)}$	QEP インデックス入力 LOW 時間	非同期 ⁽²⁾ / 同期	$2t_{c(SYSCLK)}$		サイクル
		入力フィルタあり ⁽¹⁾	$2t_{c(SYSCLK)} + t_{w(IQSW)}$		
$t_{w(STROBH)}$	QEP ストローブ HIGH 時間	非同期 ⁽²⁾ / 同期	$2t_{c(SYSCLK)}$		サイクル
		入力フィルタあり ⁽¹⁾	$2t_{c(SYSCLK)} + t_{w(IQSW)}$		
$t_{w(STROBL)}$	QEP ストローブ入力 LOW 時間	非同期 ⁽²⁾ / 同期	$2t_{c(SYSCLK)}$		サイクル
		入力フィルタあり ⁽¹⁾	$2t_{c(SYSCLK)} + t_{w(IQSW)}$		

(1) 入力フィルタ・パラメータの説明については、セクション 7.9.6.2.1 を参照してください。

(2) 非同期モードの制約については、『TMS320F28004x リアルタイム MCU シリコン・エラーツラ』を参照してください。

7.11.5.1.2 eQEP のスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		最小値	最大値	単位
$t_{d(CNTR)xin}$	遅延時間、外部クロックからカウンタ・インクリメントまで		$5t_{c(SYSCLK)}$	サイクル
$t_{d(PCS-OUT)QEP}$	遅延時間、QEP 入力エッジから位置比較同期出力まで		$7t_{c(SYSCLK)}$	サイクル

7.11.6 シグマ-デルタ・フィルタ・モジュール (SDFM)

SDFM は、4 チャンネルのデジタル・フィルタであり、モーター制御アプリケーションでの電流測定およびレゾルバ位置デコードに特化して設計されています。各チャンネルは、独立したシグマ-デルタ ($\Sigma\Delta$) 変調ビット・ストリームを受信できます。ビット・ストリームは、個別にプログラム可能な 4 つのデジタル・デシメーション・フィルタによって処理されます。このフィルタ・セットには高速コンパレータが含まれており、過電流および低電流監視のためのデジタル・スレッショルドを迅速に比較できます。

SDFM の主な特長:

- SDFM モジュールごとに 8 本の外部ピン
 - SDFM モジュールごとに 4 本のシグマ-デルタ・データ入力ピン (SDx_D1~4)
 - SDFM モジュールごとに 4 本のシグマ-デルタ・クロック入力ピン (SDx_C1~4)
- 構成可能な 4 種類の変調器クロック・モード:
 - モード 0: 変調器データ・レートと等しい変調器クロック・レート
 - モード 1: 変調器データ・レートの半分で動作する変調器クロック・レート
 - モード 2: 変調器データをマンチェスター符号化。この場合、変調器のクロックは不要。
 - モード 3: 変調器データ・レートの 2 倍の変調器クロック・レート
- SDFM モジュールごとに 4 つの独立した構成可能な 2 次フィルタ (コンパレータ) ユニット:
 - 4 種類のフィルタ・タイプ選択 (Sinc1/Sinc2/SincFast/Sinc3) を利用可能
 - 値超過、値不足、ゼロクロッシングの状態を検出可能
 - 1~32 の範囲でプログラム可能なコンパレータ・フィルタ・ユニットの OSR 値 (COSR)
- SDFM モジュールごとに 4 つの独立した構成可能な 1 次フィルタ (データ・フィルタ) ユニット:
 - 4 種類のフィルタ・タイプ選択 (Sinc1/Sinc2/SincFast/Sinc3) を利用可能
 - 1~256 の範囲でプログラム可能なデータ・フィルタ・ユニットの OSR 値 (DOSR)
 - 個別のフィルタ・モジュールを有効または無効に設定可能
 - マスタ・フィルタ・イネーブル (MFE) ビットまたは PWM 信号を使用して、SDFM モジュールの 4 つの独立したフィルタすべてを同期可能
- データ・フィルタ・ユニットにはプログラム可能な FIFO があり、割り込みオーバーヘッドを低減。FIFO には次のような特長があります。
 - 1 次フィルタ (データ・フィルタ) には、16 段 × 32 ビットの FIFO があります
 - FIFO は、一定回数 (プログラム可能) のデータ・レディ・イベントで、CPU に割り込みを発生させることができます
 - FIFO の同期待ち機能: PWM 同期信号 (SDSYNC) を受信するまで、データ・レディ・イベントを無視する機能。SDSYNC イベントを受信すると、データ・レディ・イベントごとに FIFO に書き込まれます
 - データ・フィルタ出力は、16 ビットまたは 32 ビットで表現できます
- PWMx.SOCA/SOCB は、データ・フィルタ・チャンネルごとに SDSYNC ソースとして機能するように構成できます
- PWM を使用して、シグマ-デルタ・モジュレータ用の変調器クロックを生成可能

注

SDx_Cy 入力へのノイズを避けるよう注意してください。最小パルス幅の要件が満たされていない場合 (たとえば、ノイズ・グリッチ)、SDFM の結果が未定義になる可能性があります。

SDFM ブロック図を [図 7-73](#) に示します。

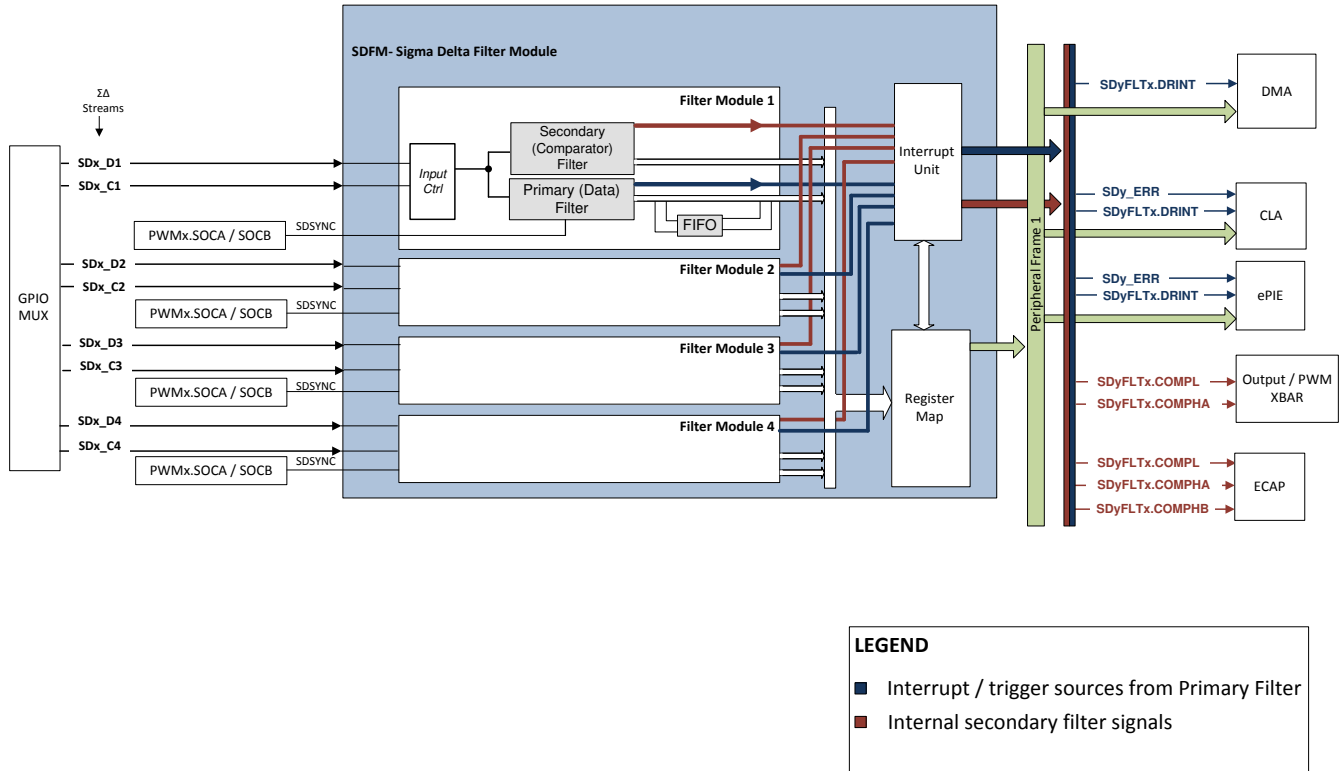


図 7-73. SDFM ブロック図

7.11.6.1 SDFM の電氣的データおよびタイミング

非同期 GPIO による SDFM 動作は、GPYQSELn = 0b11 を設定することで定義されます。セクション 7.11.6.1.1 に、非同期 GPIO (ASYNC) オプションを使用した場合の SDFM タイミング要件を示します。図 7-74、図 7-75、図 7-76、図 7-77 に、SDFM のタイミング図を示します。

7.11.6.1.1 非同期 GPIO (ASYNC) オプション使用時の SDFM のタイミング要件

		最小値	最大値	単位
モード 0				
$t_{c(SDC)M0}$	サイクル時間、SDx_Cy	40	256 * SYSCLK 周期	ns
$t_{w(SDCH)M0}$	パルス幅、SDx_Cy HIGH	10	$t_{c(SDC)M0} - 10$	ns
$t_{su(SDDV-SDCH)M0}$	セットアップ時間、SDx_Dy 有効から SDx_Cy が HIGH になるまで	5		ns
$t_{h(SDCH-SDD)M0}$	ホールド時間、SDx_Cy が HIGH になった後 SDx_Dy の保持期間	5		ns
モード 1				
$t_{c(SDC)M1}$	サイクル時間、SDx_Cy	80	256 * SYSCLK 周期	ns
$t_{w(SDCH)M1}$	パルス幅、SDx_Cy HIGH	10	$t_{c(SDC)M1} - 10$	ns
$t_{su(SDDV-SDCL)M1}$	セットアップ時間、SDx_Dy 有効から SDx_Cy が LOW になるまで	5		ns
$t_{su(SDDV-SDCH)M1}$	セットアップ時間、SDx_Dy 有効から SDx_Cy が HIGH になるまで	5		ns
$t_{h(SDCL-SDD)M1}$	ホールド時間、SDx_Cy が LOW になった後 SDx_Dy の保持期間	5		ns
$t_{h(SDCH-SDD)M1}$	ホールド時間、SDx_Cy が HIGH になった後 SDx_Dy の保持期間	5		ns
モード 2				
$t_{c(SDD)M2}$	サイクル時間、SDx_Dy	$8 * t_{c(SYSCLK)}$	$20 * t_{c(SYSCLK)}$	ns
$t_{w(SDDH)M2}$	パルス幅、SDx_Dy HIGH	10		ns
$t_{w(SDD_LONG_KEEPOUT)M2}$	SDx_Dy の長いパルス持続時間の禁止領域。長いパルスは、ここに記載されている最小値または最大値の範囲内になってはいけません。 長いパルスは、マンチェスター・ビット・クロック周期の全幅に相当する HIGH または LOW パルスと定義されます。 この要件は、8 ~ 20 のいずれかの整数に対して満たす必要があります。	$(N * t_{c(SYSCLK)}) - 0.5$	$(N * t_{c(SYSCLK)}) + 0.5$	ns
$t_{w(SDD_SHORT)M2}$	SDx_Dy の短いパルス持続時間。HIGH または LOW パルス (SDD_SHORT_H または SDD_SHORT_L)。 短いパルスは、マンチェスター・ビット・クロック周期の半分の幅に相当する HIGH または LOW パルスと定義されます。	$t_{w(SDD_LONG)} / 2 - t_{c(SYSCLK)}$	$t_{w(SDD_LONG)} / 2 + t_{c(SYSCLK)}$	ns
$t_{w(SDD_LONG_DUTY)M2}$	SDx_Dy の長いパルスの変動 (SDD_LONG_H – SDD_LONG_L)	$- t_{c(SYSCLK)}$	$t_{c(SYSCLK)}$	ns
$t_{w(SDD_SHORT_DUTY)M2}$	SDx_Dy の短いパルスの変動 (SDD_SHORT_H – SDD_SHORT_L)	$- t_{c(SYSCLK)}$	$t_{c(SYSCLK)}$	ns
モード 3				
$t_{c(SDC)M3}$	サイクル時間、SDx_Cy	40	256 * SYSCLK 周期	ns
$t_{w(SDCH)M3}$	パルス幅、SDx_Cy HIGH	10	$t_{c(SDC)M3} - 5$	ns
$t_{su(SDDV-SDCH)M3}$	セットアップ時間、SDx_Dy 有効から SDx_Cy が HIGH になるまで	5		ns
$t_{h(SDCH-SDD)M3}$	ホールド時間、SDx_Cy が HIGH になった後 SDx_Dy の保持期間	5		ns

7.11.6.1.2 SDFM のタイミング図

警告

SDFM クロック入力 (SDx_Cy ピン) は、GPIO 入力同期が存在しないとき、SDFM モジュールに直接クロックを供給します。これらの入力でグリッチやリングング・ノイズが発生すると、SDFM モジュールが誤動作する可能性があります。SDFM タイミング要件を満たすクリーンでノイズのない信号を確保するために、これらの信号には特別な措置を取る必要があります。クロック・ドライバのインピーダンス・ミスマッチによるリングングに備える直列終端や、他のノイズの多い信号からの配線間隔などに注意することを推奨します。

警告

モード 2 (マンチェスター・モード) は、新規アプリケーションには推奨しません。詳細については、『TMS320F28004x リアルタイム MCU シリコン・エラッタ』の「SDFM:マンチェスター・モード (モード 2) では、いくつかの条件下で正しいフィルタ結果が生成されない」というアドバイザリを参照してください。

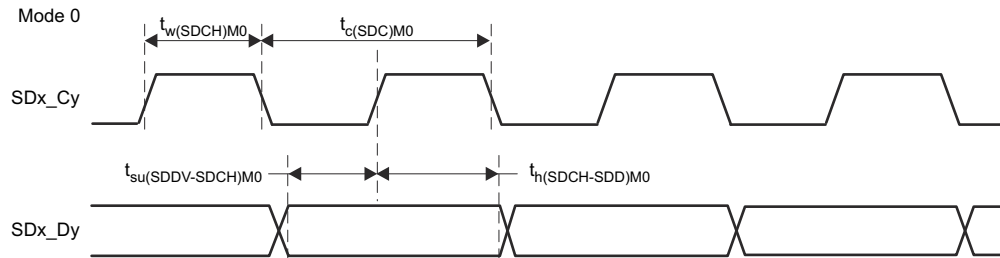


図 7-74. SDFM タイミング図 – モード 0

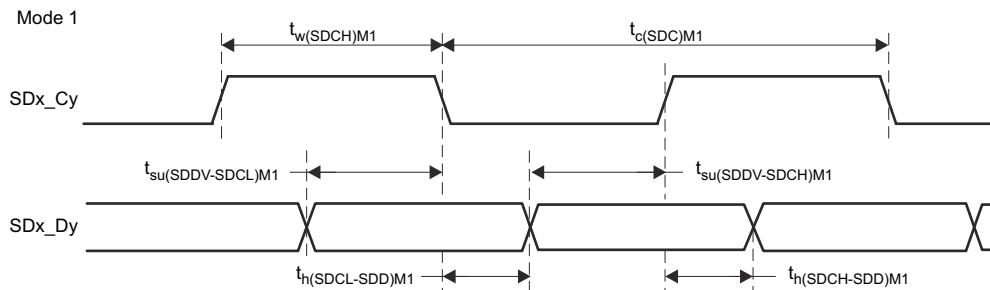


図 7-75. SDFM タイミング図 – モード 1

Mode 2
 (Manchester-encoded-bit stream)

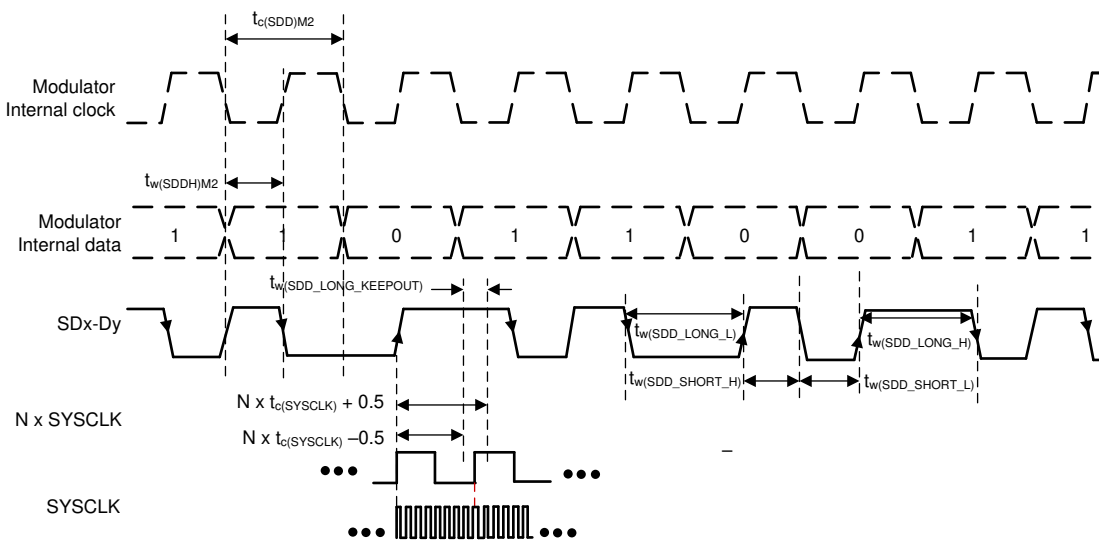


図 7-76. SDFM タイミング図 – モード 2

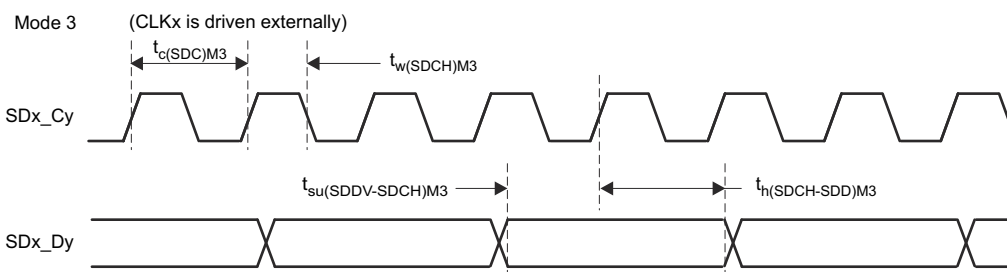


図 7-77. SDFM タイミング図 – モード 3

7.11.6.2 SDFM の電氣的データおよびタイミング (同期 GPIO)

同期 GPIO による SDFM 動作は、GPyQSELn = 0b00 を設定することで定義されます。この同期 GPIO モードを使用する場合、 $t_{W(GPI)}$ のパルス幅は、 $2t_{c(SYSCLK)}$ というタイミング要件を満たす必要があります。SD-Cx と SD-Dx の両方のペアを SYNC オプションで構成することが重要です。セクション 7.11.6.2 に、同期 GPIO (SYNC) オプションを使用した場合の SDFM タイミング要件を示します。図 7-74、図 7-75、図 7-76、図 7-77 に、SDFM のタイミング図を示します。

7.11.6.2.1 同期 GPIO (SYNC) オプション使用時の SDFM のタイミング要件

		最小値	最大値	単位
モード 0				
$t_{c(SDC)M0}$	サイクル時間、SDx_Cy	5 * SYSCLK 周期	256 * SYSCLK 周期	ns
$t_{W(SDCHL)M0}$	パルス幅、SDx_Cy HIGH/LOW	2 * SYSCLK 周期	3 * SYSCLK 周期	ns
$t_{su(SDDV-SDCH)M0}$	セットアップ時間、SDx_Dy 有効から SDx_Cy が HIGH になるまで	2 * SYSCLK 周期		ns
$t_{h(SDCH-SDD)M0}$	ホールド時間、SDx_Cy が HIGH になった後 SDx_Dy の保持期間	2 * SYSCLK 周期		ns
モード 1				
$t_{c(SDC)M1}$	サイクル時間、SDx_Cy	10 * SYSCLK 周期	256 * SYSCLK 周期	ns
$t_{W(SDCHL)M1}$	パルス幅、SDx_Cy HIGH/LOW	2 * SYSCLK 周期	8 * SYSCLK 周期	ns
$t_{su(SDDV-SDCL)M1}$	セットアップ時間、SDx_Dy 有効から SDx_Cy が LOW になるまで	2 * SYSCLK 周期		ns
$t_{su(SDDV-SDCH)M1}$	セットアップ時間、SDx_Dy 有効から SDx_Cy が HIGH になるまで	2 * SYSCLK 周期		ns
$t_{h(SDCL-SDD)M1}$	ホールド時間、SDx_Cy が LOW になった後 SDx_Dy の保持期間	2 * SYSCLK 周期		ns
$t_{h(SDCH-SDD)M1}$	ホールド時間、SDx_Cy が HIGH になった後 SDx_Dy の保持期間	2 * SYSCLK 周期		ns
モード 2				
$t_{c(SDD)M2}$	サイクル時間、SDx_Dy	オプションなし		
$t_{W(SDDH)M2}$	パルス幅、SDx_Dy HIGH			
モード 3				
$t_{c(SDC)M3}$	サイクル時間、SDx_Cy	5 * SYSCLK 周期	256 * SYSCLK 周期	ns
$t_{W(SDCHL)M3}$	パルス幅、SDx_Cy HIGH/LOW	2 * SYSCLK 周期	3 * SYSCLK 周期	ns
$t_{su(SDDV-SDCH)M3}$	セットアップ時間、SDx_Dy 有効から SDx_Cy が HIGH になるまで	2 * SYSCLK 周期		ns
$t_{h(SDCH-SDD)M3}$	ホールド時間、SDx_Cy が HIGH になった後 SDx_Dy の保持期間	2 * SYSCLK 周期		ns

注

SDx_Cy ピンでランダム・ノイズのグリッチが発生すると、コンパレータの誤動作やフィルタ出力の異常につながり、SDFM モジュールが誤動作する可能性があります。SDFM 同期 GPIO (SYNC) オプションは、この誤動作に対する保護を提供します。

SDFM 同期 GPIO (SYNC) モードは、上記のタイミング要件の永続的な違反に対する保護を提供するものではありません。タイミング違反があると、要件に違反するビット数に比例してデータが破損する結果になります。

7.12 通信ペリフェラル

7.12.1 CAN (Controller Area Network)

注

CAN モジュールは、*DCAN* と呼ばれる IP を使用します。このドキュメントでは、このペリフェラルに言及するとき、*CAN* および *DCAN* という呼称を同じように使っています。

CAN モジュールの主な機能は次のとおりです。

- ISO11898-1 に準拠 (Bosch® CAN プロトコル仕様 2.0 A および B)
- 最大 1Mbps のビット・レート
- 複数のクロック・ソースに対応
- 32 個のメッセージ・オブジェクト (メールボックス)。それぞれに次の特長があります。
 - 受信または送信として構成可能
 - 標準 (11 ビット) または拡張 (29 ビット) の識別子で構成可能
 - プログラム可能な識別子受信マスクをサポート
 - データ・フレームおよびリモート・フレームをサポート
 - 0~8 バイトのデータを保持
 - 構成およびデータ RAM のパリティチェック
- 各メッセージ・オブジェクトに個別の識別子マスク
- メッセージ・オブジェクト用のプログラム可能な FIFO モード
- プログラム可能なループバック・モードによる自己テスト動作
- デバッグをサポートするためのサスペンド・モード
- ソフトウェアによるモジュール・リセット
- バス・オフ状態の後、プログラマブル 32 ビット・タイマにより自動的にバス・オン
- 2 つの割り込みライン
- DMA サポート

注

100 MHz の CAN ビット・クロックの場合、可能な最小のビット・レートは 3.90625kbps です。

注

オンチップのゼロ・ピン発振器の精度を [セクション 7.9.3.5.1](#) に示します。CAN ビットのタイミング設定、ビット・レート、バス長、伝搬遅延などのパラメータによっては、この発振器の精度が CAN プロトコルの要件を満たしていない場合があります。この状況では、外部クロック・ソースを使用する必要があります。

機能ブロック図を [図 7-78](#) に示します。

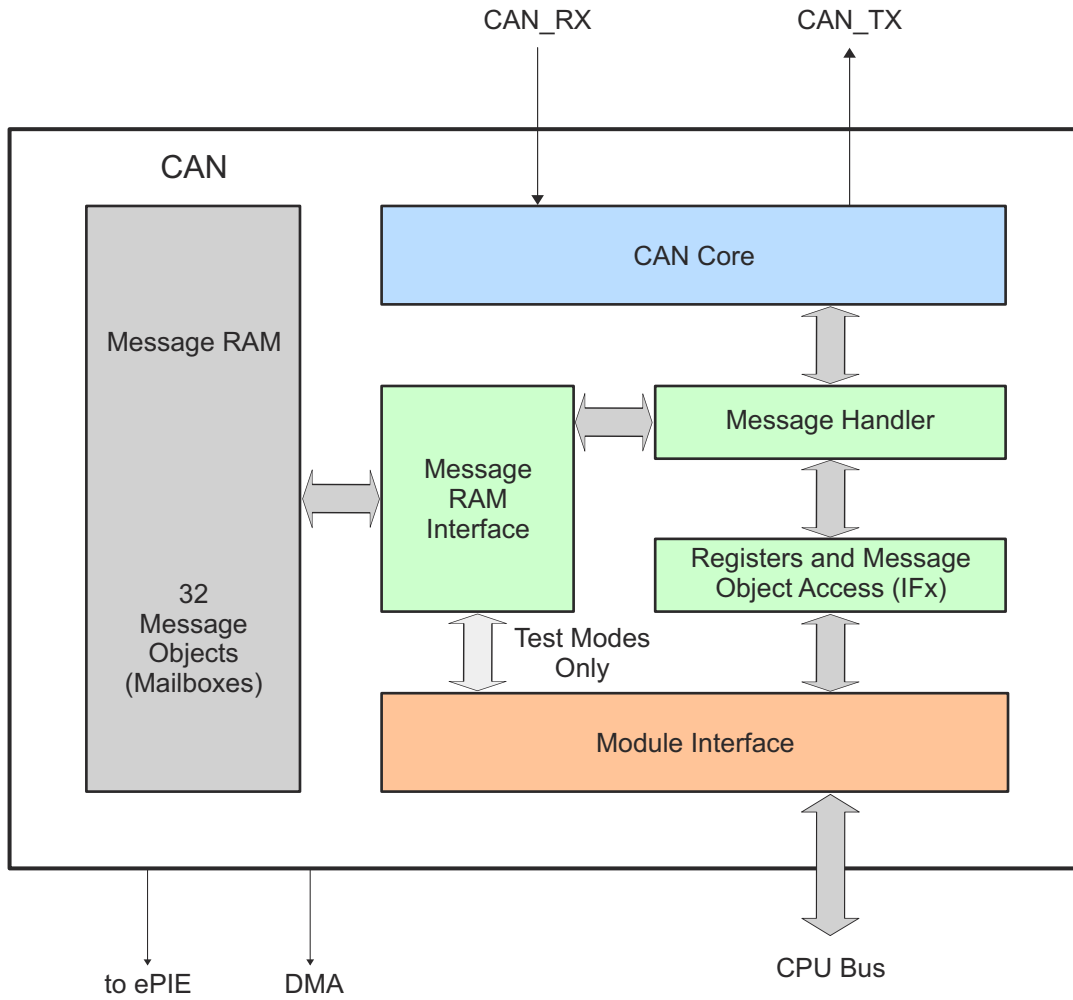


図 7-78. CAN ブロック図

7.12.2 I2C (Inter-Integrated Circuit)

I2C モジュールの主な機能は次のとおりです。

- NXP Semiconductors の I²C バス規格 (バージョン 2.1) に準拠:
 - 8 ビット形式の転送をサポート
 - 7 ビットおよび 10 ビットのアドレッシング・モード
 - ゼネラル・コール
 - スタート・バイト・モード
 - 複数のマスタ - トランスミッタとスレーブ - レシーバをサポート
 - 複数のスレーブ - トランスミッタとマスタ - レシーバをサポート
 - マスター送信 / 受信、受信 / 送信の組み合わせモード
 - 10kbps～最大 400kbps (ファースト・モード) のデータ転送レートをサポート
- 1 つの 16 バイト受信 FIFO と、1 つの 16 バイト送信 FIFO
- 2 つの ePIE 割り込みをサポート
 - I2Cx 割り込み – 以下のいずれかの条件で、I2Cx 割り込みを生成するように構成できます。
 - 送信準備完了
 - 受信準備完了
 - レジスタ・アクセス準備完了
 - アクノリッジなし
 - 調停消失
 - ストップ条件検出
 - スレーブとしてアドレス指定
 - I2Cx_FIFO 割り込み:
 - 送信 FIFO 割り込み
 - 受信 FIFO 割り込み
- モジュールのイネーブルおよびディセーブル機能
- フリー・データ・フォーマット・モード

図 7-79 に、I2C ペリフェラル・モジュールがデバイス内でどのようにインターフェイスするかを示します。

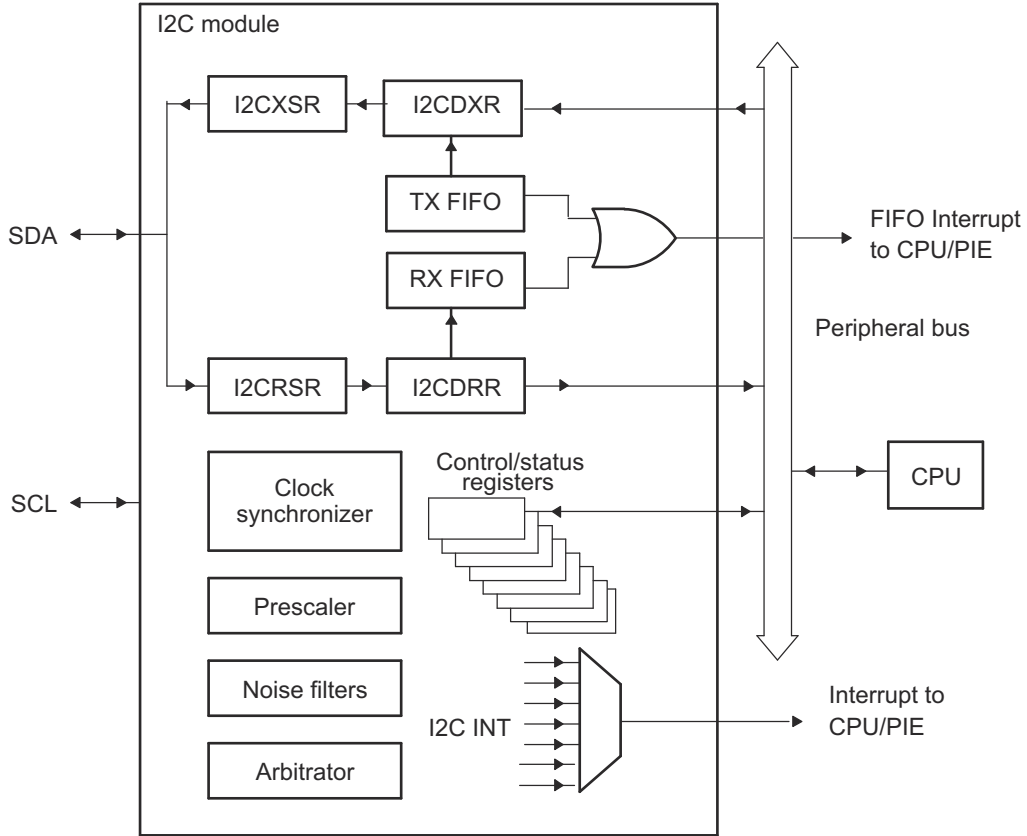


図 7-79. I2C ペリフェラル・モジュール・インターフェイス

7.12.2.1 I2C の電氣的データおよびタイミング

セクション 7.12.2.1.1 に、I2C のタイミング要件を示します。セクション 7.12.2.1.2 に、I2C のスイッチング特性を示します。図 7-80 に、I2C のタイミング図を示します。

7.12.2.1.1 I2C のタイミング要件

番号			最小値	最大値	単位
標準モード					
T0	f_{mod}	I2C モジュールの周波数	7	12	MHz
T1	$t_{h(SDA-SCL)START}$	ホールド時間、スタート条件、SDA 立ち下がりから SCL 立ち下がりまでの遅延	4.0		μs
T2	$t_{su(SCL-SDA)START}$	セットアップ時間、再スタート、SCL 立ち上がりから SDA 立ち下がりまでの遅延	4.0		μs
T3	$t_{h(SCL-DAT)}$	ホールド時間、SCL 立ち下がりからデータ有効の間	0		μs
T4	$t_{su(DAT-SCL)}$	セットアップ時間、データから SCL 立ち上がりまで	250		ns
T5	$t_r(SDA)$	立ち上がり時間、SDA		1000	ns
T6	$t_r(SCL)$	立ち上がり時間、SCL		1000	ns
T7	$t_f(SDA)$	立ち下がり時間、SDA		300	ns
T8	$t_f(SCL)$	立ち下がり時間、SCL		300	ns
T9	$t_{su(SCL-SDA)STOP}$	セットアップ時間、ストップ条件、SCL 立ち上がりから SDA 立ち上がりまでの遅延	4.0		μs
T10	$t_w(SP)$	フィルタによって抑制されるスパイクのパルス幅	0	50	ns
T11	C_b	各バス・ラインの容量性負荷		400	pF
ファーストモード					
T0	f_{mod}	I2C モジュールの周波数	7	12	MHz
T1	$t_{h(SDA-SCL)START}$	ホールド時間、スタート条件、SDA 立ち下がりから SCL 立ち下がりまでの遅延	0.6		μs
T2	$t_{su(SCL-SDA)START}$	セットアップ時間、再スタート、SCL 立ち上がりから SDA 立ち下がりまでの遅延	0.6		μs
T3	$t_{h(SCL-DAT)}$	ホールド時間、SCL 立ち下がりからデータ有効の間	0		μs
T4	$t_{su(DAT-SCL)}$	セットアップ時間、データから SCL 立ち上がりまで	100		ns
T5	$t_r(SDA)$	立ち上がり時間、SDA	20	300	ns
T6	$t_r(SCL)$	立ち上がり時間、SCL	20	300	ns
T7	$t_f(SDA)$	立ち下がり時間、SDA	11.4	300	ns
T8	$t_f(SCL)$	立ち下がり時間、SCL	11.4	300	ns
T9	$t_{su(SCL-SDA)STOP}$	セットアップ時間、ストップ条件、SCL 立ち上がりから SDA 立ち上がりまでの遅延	0.6		μs
T10	$t_w(SP)$	フィルタによって抑制されるスパイクのパルス幅	0	50	ns
T11	C_b	各バス・ラインの容量性負荷		400	pF

7.12.2.1.2 I2C のスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

番号	パラメータ	テスト条件	最小値	最大値	単位
標準モード					
S1	f_{SCL}	SCL クロック周波数	0	100	kHz
S2	T_{SCL}	SCL クロック周期	10		μs
S3	$t_w(SCLL)$	パルス幅、SCL クロック LOW	4.7		μs
S4	$t_w(SCLH)$	パルス幅、SCL クロック HIGH	4.0		μs

7.12.2.1.2 I2C のスイッチング特性 (continued)

推奨動作条件範囲内 (特に記述のない限り)

番号	パラメータ	テスト条件	最小値	最大値	単位
S5	t_{BUF}	ストップ条件とスタート条件間のバス解放時間	4.7		μs
S6	$t_{V(SCL-DAT)}$	有効時間、SCL 立ち下がりからデータ有効の間		3.45	μs
S7	$t_{V(SCL-ACK)}$	有効時間、SCL 立ち下がりからアクノリッジまで		3.45	μs
S8	I_I	ピンの入力電流	$0.1V_{bus} < V_i < 0.9V_{bus}$	-10	10 μA
ファーストモード					
S1	f_{SCL}	SCL クロック周波数	0	400	kHz
S2	T_{SCL}	SCL クロック周期	2.5		μs
S3	$t_{W(SCLL)}$	パルス間隔、SCL クロック LOW	1.3		μs
S4	$t_{W(SCLH)}$	パルス間隔、SCL クロック HIGH	0.6		μs
S5	t_{BUF}	ストップ条件とスタート条件間のバス解放時間	1.3		μs
S6	$t_{V(SCL-DAT)}$	有効時間、SCL 立ち下がりからデータ有効の間		0.9	μs
S7	$t_{V(SCL-ACK)}$	有効時間、SCL 立ち下がりからアクノリッジまで		0.9	μs
S8	I_I	ピンの入力電流	$0.1V_{bus} < V_i < 0.9V_{bus}$	-10	10 μA

7.12.2.1.3 I2C のタイミング図

注

すべての I2C プロトコルのタイミング仕様を満たすには、I2C モジュールのクロック (Fmod) を 7MHz ~ 12MHz の範囲で構成する必要があります。

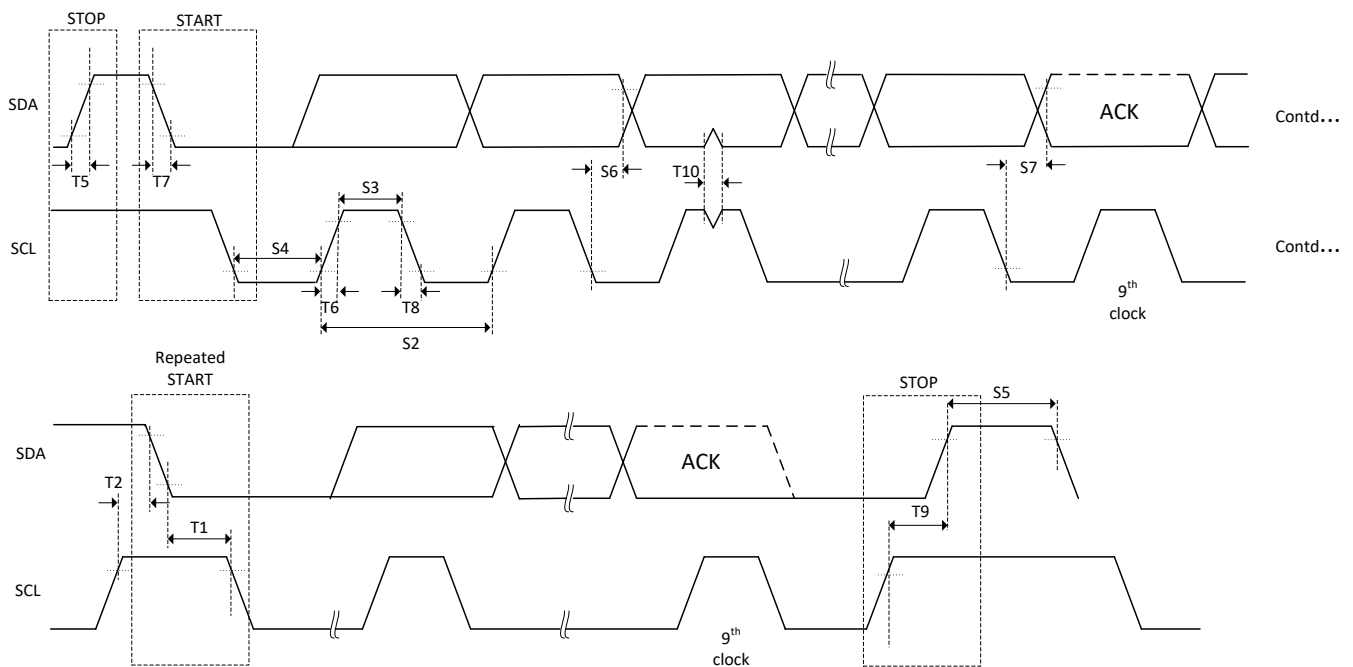


図 7-80. I2C のタイミング図

7.1.2.3 PMBus (Power-Management Bus) インターフェイス

PMBus モジュールの主な機能は次のとおりです。

- SMI フォーラム PMBus 仕様 (Part I v1.0 および Part II v1.1) 準拠
- マスター・モードおよびスレーブ・モードのサポート
- I2C モードのサポート
- 2 つの速度をサポート
 - 標準モード: 最高 100kHz
 - ファースト・モード: 最高 400kHz
- パケット・エラー・チェック
- 制御信号およびアラート信号
- クロック HIGH および LOW タイムアウト
- 4 バイトの送信および受信バッファ
- マスク可能割り込みが 1 つあり、いくつかの条件によって生成可能。
 - 受信データ準備完了
 - 送信バッファ空
 - スレーブアドレス受信
 - メッセージ終了
 - アラート入力アサート
 - クロック LOW タイムアウト
 - クロック HIGH タイムアウト
 - バス・フリー

PMBus のブロック図を [図 7-81](#) に示します。

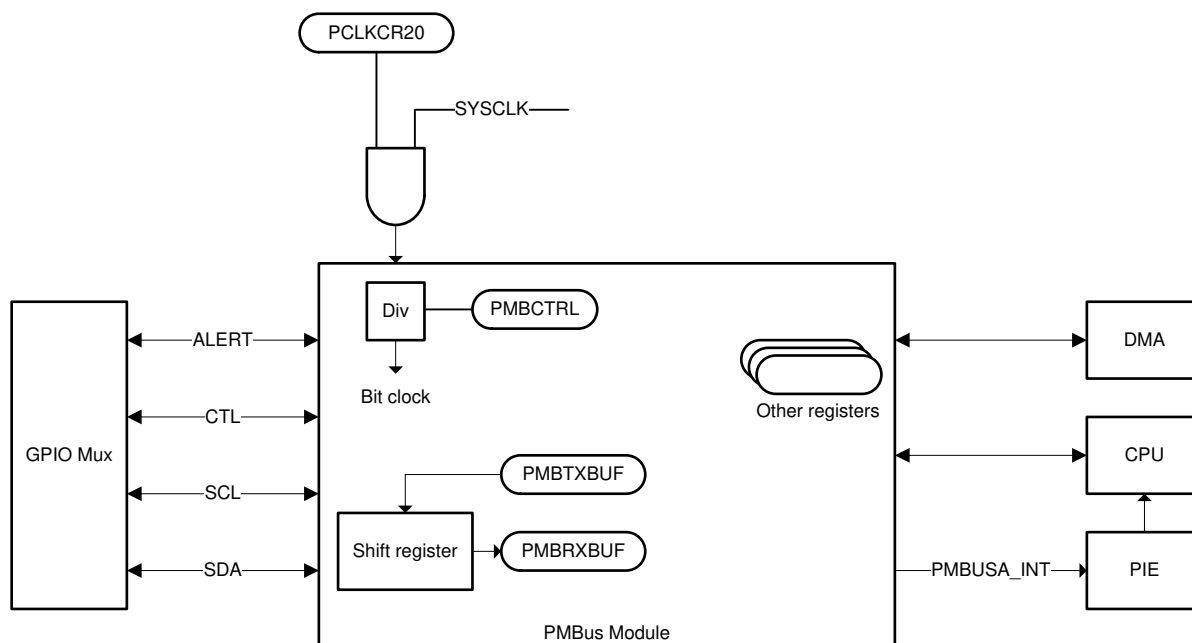


図 7-81. PMBus のブロック図

7.12.3.1 PMBus の電氣的データおよびタイミング

セクション 7.12.3.1.1 に、PMBus のスイッチング特性を示します。セクション 7.12.3.1.2 に、PMBus ファースト・モードのスイッチング特性を示します。セクション 7.12.3.1.3 に、PMBus 標準モードのスイッチング特性を示します。

7.12.3.1.1 PMBus の電氣的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
V _{IL}	有効 LOW レベル入力電圧			0.8	V
V _{IH}	有効 HIGH レベル入力電圧	2.1		VDDIO	V
V _{OL}	LOW レベル出力電圧			0.4	V
I _{OL}	Low レベル出力電流			4	mA
t _{SP}	入力フィルタにより抑制されるスパイクの パルス幅			50	ns
I _i	各ピンの入力リーク電流			10	μA
C _i	各ピンの容量			10	pF

7.12.3.1.2 PMBus ファースト・モードのスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
f _{SCL}	SCL クロック周波数	10		400	kHz
t _{BUF}	ストップ条件とスタート条件間のバス解放 時間	1.3			μs
t _{HD;STA}	スタート条件ホールド時間 - SDA 立ち下 がりから SCL 立ち下がりまでの遅延	0.6			μs
t _{SU;STA}	繰り返しスタートのセットアップ時間 - SCL 立ち上がりから SDA 立ち上がりまでの遅 延	0.6			μs
t _{SU;STO}	ストップ条件セットアップ時間 - SCL 立ち 上がりから SDA 立ち上がりまでの遅延	0.6			μs
t _{HD;DAT}	SCL 立ち下がり後のデータ・ホールド時 間	300			ns
t _{SU;DAT}	SCL 立ち上がり前のデータ・セットアップ 時間	100			ns
t _{Timeout}	クロック LOW タイムアウト	25		35	ms
t _{LOW}	SCL クロックの LOW 期間	1.3			μs
t _{HIGH}	SCL クロックの HIGH 期間	0.6		50	μs
t _{LOW;SEXT}	累積クロック LOW 拡張時間 (スレーブ・ デバイス)			25	ms
t _{LOW;MEXT}	累積クロック LOW 拡張時間 (マスタ・デ バイス)			10	ms
t _r	SDA および SCL の立ち上がり時間	5%~95%		300	ns
t _f	SDA および SCL の立ち下がり時間	95%~5%		300	ns

7.12.3.1.3 PMBus 標準モードのスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
f_{SCL}	SCL クロック周波数		10		100	kHz
t_{BUF}	ストップ条件とスタート条件間のバス解放時間		4.7			μ s
$t_{HD;STA}$	スタート条件ホールド時間 - SDA 立ち下がりから SCL 立ち下がりまでの遅延		4			μ s
$t_{SU;STA}$	繰り返しスタートのセットアップ時間 - SCL 立ち上がりから SDA 立ち下がりまでの遅延		4.7			μ s
$t_{SU;STO}$	ストップ条件セットアップ時間 - SCL 立ち上がりから SDA 立ち上がりまでの遅延		4			μ s
$t_{HD;DAT}$	SCL 立ち下がり後のデータ・ホールド時間		300			ns
$t_{SU;DAT}$	SCL 立ち上がり前のデータ・セットアップ時間		250			ns
$t_{Timeout}$	クロック LOW タイムアウト		25		35	ms
t_{LOW}	SCL クロックの LOW 期間		4.7			μ s
t_{HIGH}	SCL クロックの HIGH 期間		4		50	μ s
$t_{LOW;SEXT}$	累積クロック LOW 拡張時間 (スレーブ・デバイス)	スタートからストップまで			25	ms
$t_{LOW;MEXT}$	累積クロック LOW 拡張時間 (マスタ・デバイス)	各バイト内			10	ms
t_r	SDA および SCL の立ち上がり時間				1000	ns
t_f	SDA および SCL の立ち下がり時間				300	ns

7.12.4 シリアル通信インターフェイス (SCI)

シリアル通信インターフェイス (SCI) は、一般的には UART と呼ばれる 2 線式非同期シリアル・ポートです。SCI モジュールは、CPU と、標準 NRZ (non-return-to-zero) フォーマットを使用する他の非同期ペリフェラルとの間のデジタル通信をサポートします。

SCI のレシーバおよびトランスミッタは、処理オーバーヘッドを削減するための 16 段 FIFO を備えており、それぞれ独自のイネーブル・ビットと割り込みビットがあります。どちらも、半二重通信用に独立して動作するか、または全二重通信用に同時に動作できます。データの整合性を確保するために、SCI は、受信データのブレイク検出、パリティ、オーバーラン、およびフレーミングエラーをチェックします。ビット・レートは、16 ビットのポー選択レジスタにより、さまざまな速度にプログラム可能です。

SCI モジュールには次のような特長があります。

- 2 本の外部ピン:
 - SCITXD: SCI 送信出力ピン
 - SCIRXD: SCI 受信入力ピン

注

SCI に使用しない場合は、いずれのピンも GPIO として使用できます。

- 64K の異なるレートにプログラム可能なボーレート
- データ・ワード・フォーマット
 - 1 スタート・ビット
 - データ・ワード (1~8 ビットの範囲でワード長をプログラム可能)
 - パリティ・ビット (偶数 / 奇数 / なしを選択可能)
 - 1 または 2 ストップ・ビット
- 4 つのエラー検出フラグ: パリティ、オーバーラン、フレーム、ブレイク検出
- 2 つのウェイクアップ・マルチプロセッサ・モード: アイドル・ラインおよびアドレス・ビット
- 半二重または全二重動作
- ダブル・バッファ付きの受信および送信機能
- トランスミッタおよびレシーバの動作は、割り込み駆動、またはステータス・フラグのポーリング・アルゴリズムによって実現できます。
 - トランスミッタ: TXRDY フラグ (送信バッファ・レジスタは次の文字の受信準備完了) および TX EMPTY フラグ (送信シフト・レジスタは空)
 - レシーバ: RXRDY フラグ (受信バッファ・レジスタは次の文字の受信準備完了)、BRKDT フラグ (ブレイク条件発生)、RX ERROR フラグ (4 つの割り込み条件の監視)
- トランスミッタおよびレシーバの割り込み用に個別のイネーブル・ビット (BRKDT を除く)
- NRZ フォーマット
- 自動ボー検出ハードウェア・ロジック
- 16 レベルの送信および受信 FIFO

注

このモジュールのすべてのレジスタは、8 ビット・レジスタです。レジスタにアクセスすると、レジスタ・データは下位バイト (ビット 7 ~ 0) になり、上位バイト (ビット 15 ~ 8) はゼロとして読み取られます。上位バイトへの書き込みは、何も影響がありません。

機能ブロック図を [図 7-82](#) に示します。

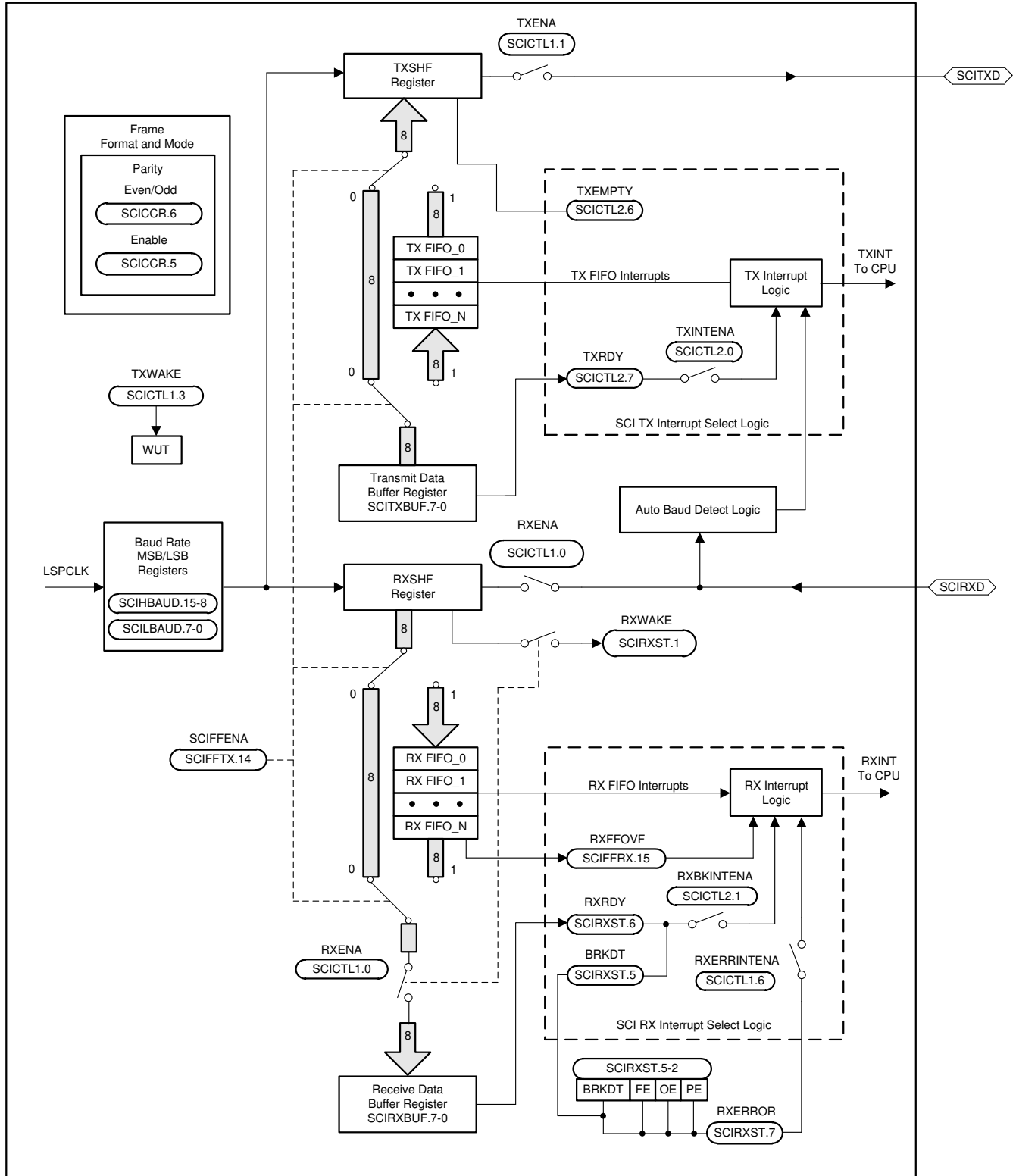


図 7-82. SCI ブロック図

7.12.5 シリアル・ペリフェラル・インターフェイス (SPI)

シリアル・ペリフェラル・インターフェイス (SPI) は、高速な同期シリアル入出力 (I/O) ポートであり、この機能により、プログラムされた長さ (1~16 ビット) のシリアル・ビット・ストリームを、プログラムされたビット転送速度でシフトして、デバイスに入力、デバイスから出力できます。SPI は、通常、MCU コントローラと、外部ペリフェラルや他のコントローラとの間の通信に使用されます。代表的なアプリケーションとして、シフト・レジスタ、ディスプレイ・ドライバ、A/D コンバータ (ADC) などのデバイスを使用した外部 I/O またはペリフェラルの拡張が挙げられます。マルチデバイス通信は、SPI のマスタまたはスレーブ動作によってサポートされています。このポートは、16 レベルの受信および送信 FIFO をサポートしており、CPU サービスのオーバーヘッドを低減できます。

SPI モジュールの主な特長は次のとおりです。

- SPISOMI: SPI スレーブ出力 / マスタ入力ピン
- SPISIMO: SPI スレーブ入力 / マスタ出力ピン
- SPISTE: SPI スレーブ送信イネーブル・ピン
- SPICLK: SPI シリアル・クロック・ピン

注

SPI モジュールを使用しない場合は、4 本のピンすべてを GPIO として使用できます。

- 2 つの動作モード: マスタおよびスレーブ
- ボーレート: プログラム可能な 125 種類のレート。使用可能な最大ボーレートは、SPI ピンで使用される I/O バッファの最大速度によって制限されます。
- データ・ワード長: 1~16 ビット
- 4 つのクロック方式 (クロックの極性とクロック位相ビットで制御) には、次のものがあります。
 - 位相遅延なしの立ち下がりエッジ: SPICLK アクティブ HIGH。SPI は、SPICLK 信号の立ち下がりエッジでデータを送信し、SPICLK 信号の立ち上がりエッジでデータを受信します。
 - 位相遅延付きの立ち下がりエッジ: SPICLK アクティブ HIGH。SPI は、SPICLK 信号の立ち下がりエッジより半サイクル前にデータを送信し、SPICLK 信号の立ち下がりエッジでデータを受信します。
 - 位相遅延なしの立ち上がりエッジ: SPICLK 非アクティブ LOW。SPI は、SPICLK 信号の立ち上がりエッジでデータを送信し、SPICLK 信号の立ち下がりエッジでデータを受信します。
 - 位相遅延付きの立ち上がりエッジ: SPICLK 非アクティブ LOW。SPI は、SPICLK 信号の立ち上がりエッジより半サイクル前にデータを送信し、SPICLK 信号の立ち上がりエッジでデータを受信します。
- 送受信の同時動作 (送信機能はソフトウェアで無効化可能)
- トランスミッタとレシーバの動作は、割り込み駆動またはポーリング・アルゴリズムによって実現されます。
- 16 レベルの送信 / 受信 FIFO
- DMA サポート
- 高速モード:
- 遅延付き送信制御
- 3 線式 SPI モード
- 2 つの SPI モジュールを搭載したデバイスでデジタル・オーディオ・インターフェイス受信モードのための SPISTE 反転

図 7-83 に、SPI CPU インターフェイスを示します。

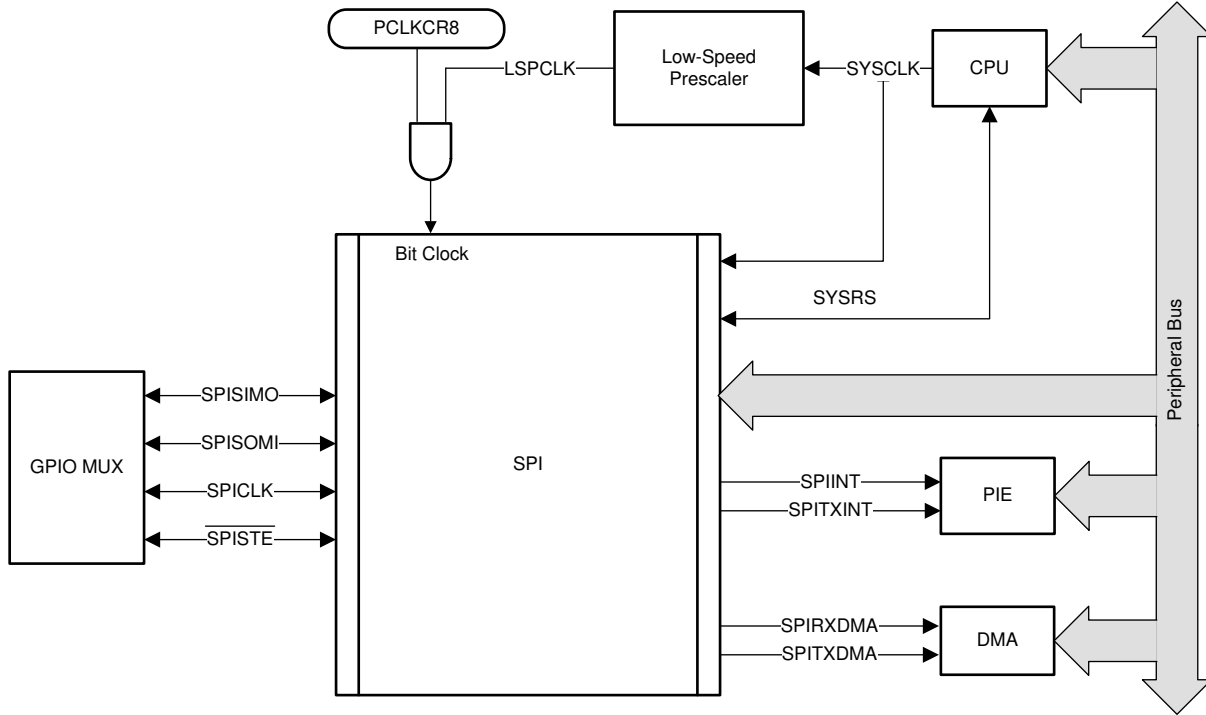


図 7-83. SPI CPU インターフェイス

7.12.5.1 SPI の電氣的データおよびタイミング

以下のセクションには、非高速モードでの SPI 外部タイミングが記載されています。

セクション 7.12.5.1.1 非高速マスタ・モードのタイミング

セクション 7.12.5.1.2 非高速スレーブ・モードのタイミング

以下のセクションには、高速モードでの SPI 外部タイミングが記載されています。

セクション 7.12.5.1.3 高速マスタ・モードのタイミング

セクション 7.12.5.1.4 高速スレーブ・モードのタイミング

注

SPI 高速モードのすべてのタイミング・パラメータは、SPICLK、SPISIMO、SPISOMI の負荷容量を 5pF と仮定しています。

高速モードの SPI の詳細については、『[TMS320F28004x リアルタイム・マイクロコントローラ・テクニカル・リファレンス・マニュアル](#)』の「シリアル・ペリフェラル・インターフェイス (SPI)」の章を参照してください。

7.12.5.1.1 非高速マスタ・モードのタイミング

セクション 7.12.5.1.1.1 に、クロック位相 = 0 の場合の SPI マスタ・モードのスイッチング特性を示します。図 7-84 に、クロック位相 = 0 の場合の SPI マスタ・モードの外部タイミングを示します。

セクション 7.12.5.1.1.2 に、クロック位相 = 1 の場合の SPI マスタ・モードのスイッチング特性を示します。図 7-85 に、クロック位相 = 1 の場合の SPI マスタ・モードの外部タイミングを示します。

セクション 7.12.5.1.1.3 に、SPI マスタ・モードのタイミング要件を示します。

7.12.5.1.1.1 SPI マスタ・モードのスイッチング特性(クロック位相 = 0)

推奨動作条件範囲内 (特に記述のない限り)

番号	パラメータ	(BRR+1) 条件 (1)	最小値	最大値	単位
1	$t_{c(SPC)M}$ サイクル時間、SPICLK	偶数	$4t_{c(LSPCLK)}$	$128t_{c(LSPCLK)}$	ns
		奇数	$5t_{c(LSPCLK)}$	$127t_{c(LSPCLK)}$	
2	$t_{w(SPC1)M}$ パルス幅、SPICLK、最初のパルス	偶数	$0.5t_{c(SPC)M} - 3$	$0.5t_{c(SPC)M} + 3$	ns
		奇数	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} - 3$	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} + 3$	
3	$t_{w(SPC2)M}$ パルス幅、SPICLK、2 番目のパルス	偶数	$0.5t_{c(SPC)M} - 3$	$0.5t_{c(SPC)M} + 3$	ns
		奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 3$	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} + 3$	
4	$t_{d(SIMO)M}$ 遅延時間、SPICLK から SPISIMO 有効まで	偶数、奇数		5	ns
5	$t_{v(SIMO)M}$ 有効時間、SPICLK から SPISIMO 有効の間	偶数	$0.5t_{c(SPC)M} - 6$		ns
		奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 3$		
23	$t_{d(SPC)M}$ 遅延時間、 \overline{SPISTE} 有効から SPICLK まで	偶数	$1.5t_{c(SPC)M} - 3t_{c(SYSCLK)} - 3$		ns
		奇数	$1.5t_{c(SPC)M} - 3t_{c(SYSCLK)} - 3$		
24	$t_{d(STE)M}$ 遅延時間、SPICLK から \overline{SPISTE} 無効まで	偶数	$0.5t_{c(SPC)M} - 6$		ns
		奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 3$		

(1) (BRR+1) 条件が偶数というのは、(SPIBRR+1) が偶数である場合、または SPIBRR が 0 もしくは 2 である場合です。また、奇数とは、(SPIBRR+1) が奇数であり、かつ SPIBRR が 3 より大きい場合です。

7.12.5.1.1.2 SPI マスタ・モードのスイッチング特性(クロック位相 = 1)

推奨動作条件範囲内 (特に記述のない限り)

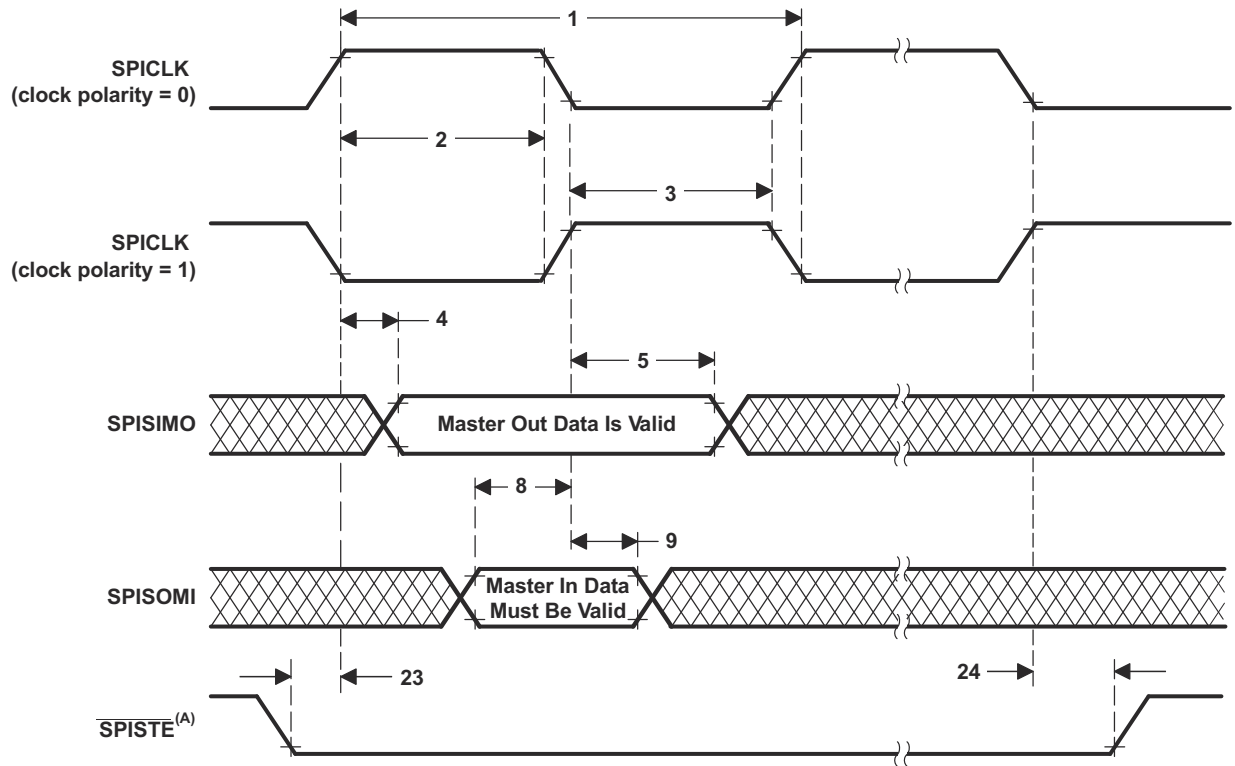
番号	パラメータ	(BRR+1) 条件 (1)	最小値	最大値	単位
1	$t_{c(SPC)M}$ サイクル時間、SPICLK	偶数	$4t_{c(LSPCLK)}$	$128t_{c(LSPCLK)}$	ns
		奇数	$5t_{c(LSPCLK)}$	$127t_{c(LSPCLK)}$	
2	$t_{w(SPC1)M}$ パルス幅、SPICLK、最初のパルス	偶数	$0.5t_{c(SPC)M} - 3$	$0.5t_{c(SPC)M} + 3$	ns
		奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 3$	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} + 3$	
3	$t_{w(SPC2)M}$ パルス幅、SPICLK、2番目のパルス	偶数	$0.5t_{c(SPC)M} - 3$	$0.5t_{c(SPC)M} + 3$	ns
		奇数	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} - 3$	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} + 3$	
4	$t_{d(SIMO)M}$ 遅延時間、SPISIMO 有効から SPICLK まで	偶数	$0.5t_{c(SPC)M} - 4$		ns
		奇数	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} - 1$		
5	$t_{v(SIMO)M}$ 有効時間、SPICLK から SPISIMO 有効の間	偶数	$0.5t_{c(SPC)M} - 6$		ns
		奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 1$		
23	$t_{d(SPC)M}$ 遅延時間、 \overline{SPISTE} 有効から SPICLK まで	偶数、奇数	$2t_{c(SPC)M} - 3t_{c(SYSCCLK)} - 3$		ns
24	$t_{d(STE)M}$ 遅延時間、SPICLK から \overline{SPISTE} 無効まで	偶数	$0.5t_{c(SPC)M} - 6$		ns
		奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 1$		

(1) (BRR+1) 条件が偶数というのは、(SPIBRR+1) が偶数である場合、または SPIBRR が 0 もしくは 2 である場合です。また、奇数とは、(SPIBRR+1) が奇数であり、かつ SPIBRR が 3 より大きい場合です。

7.12.5.1.1.3 SPI マスタ・モードのタイミング要件

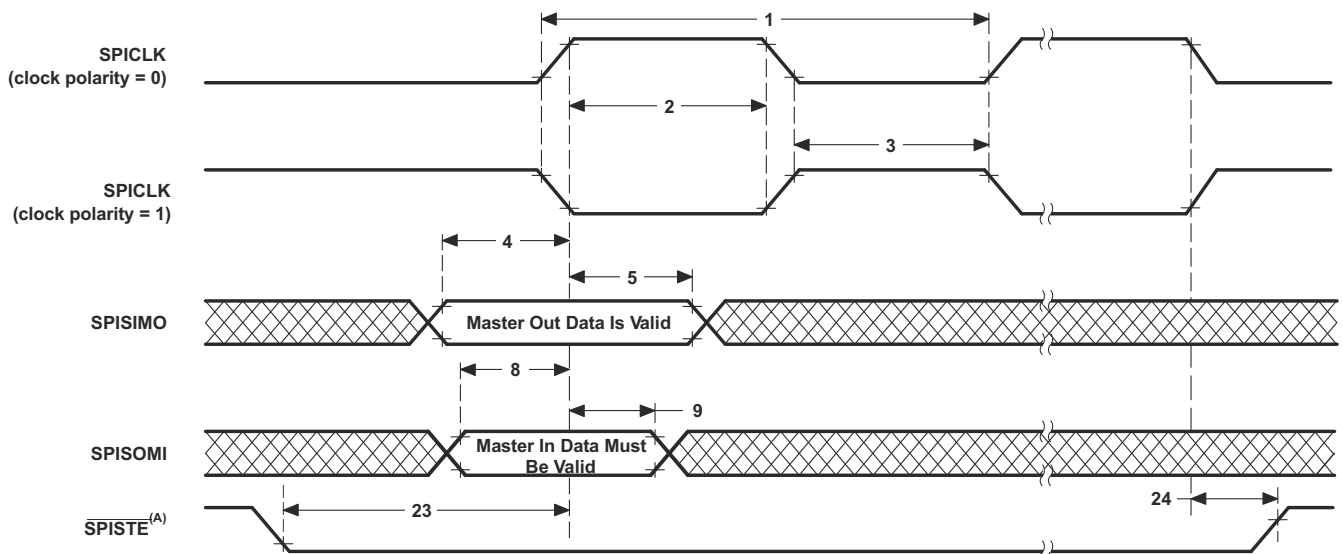
番号	パラメータ	(BRR+1) 条件 (1)	最小値	最大値	単位
8	$t_{su(SOMI)M}$ セットアップ時間、SPISOMI 有効から SPICLK まで	偶数、奇数	20		ns
9	$t_{h(SOMI)M}$ ホールド時間、SPICLK から SPISOMI 有効の間	偶数、奇数	0		ns

(1) (BRR+1) 条件が偶数というのは、(SPIBRR+1) が偶数である場合、または SPIBRR が 0 もしくは 2 である場合です。また、奇数とは、(SPIBRR+1) が奇数であり、かつ SPIBRR が 3 より大きい場合です。



A. ワードの末尾では、FIFO モードおよび非 FIFO モードの連続送信ワード間を除いて、 $\overline{\text{SPISTE}}$ は、非アクティブになります。

図 7-84. SPI マスタ・モードの外部タイミング (クロック位相 = 0)



A. ワードの末尾では、FIFO モードおよび非 FIFO モードの連続送信ワード間を除いて、 $\overline{\text{SPISTE}}$ は、非アクティブになります。

図 7-85. SPI マスタ・モードの外部タイミング (クロック位相 = 1)

7.12.5.1.2 非高速スレーブ・モードのタイミング

セクション 7.12.5.1.2.1 に、SPI スレーブ・モードのスイッチング特性を示します。セクション 7.12.5.1.2.2 に、SPI スレーブ・モードのタイミング要件を示します。

図 7-86 に、クロック位相 = 0 の場合の SPI スレーブ・モードの外部タイミングを示します。図 7-87 に、クロック位相 = 1 の場合の SPI スレーブ・モードの外部タイミングを示します。

7.12.5.1.2.1 SPI スレーブ・モードのスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

番号	パラメータ	最小値	最大値	単位
15	$t_{d(SOMI)S}$ 遅延時間、SPICLK から SPISOMI 有効まで		16	ns
16	$t_{v(SOMI)S}$ 有効時間、SPICLK から SPISOMI 有効の間	0		ns

7.12.5.1.2.2 SPI スレーブ・モードのタイミング要件

番号	パラメータ	最小値	最大値	単位
12	$t_{c(SPC)S}$ サイクル時間、SPICLK	$4t_{c(SYSCLK)}$		ns
13	$t_{w(SPC1)S}$ パルス幅、SPICLK、最初のパルス	$2t_{c(SYSCLK)} - 1$		ns
14	$t_{w(SPC2)S}$ パルス幅、SPICLK、2 番目のパルス	$2t_{c(SYSCLK)} - 1$		ns
19	$t_{su(SIMO)S}$ セットアップ時間、SPISIMO 有効から SPICLK まで	$1.5t_{c(SYSCLK)}$		ns
20	$t_{h(SIMO)S}$ ホールド時間、SPICLK から SPISIMO 有効の間	$1.5t_{c(SYSCLK)}$		ns
25	$t_{su(STE)S}$	セットアップ時間、 \overline{SPISTE} 有効から SPICLK まで (クロック位相 = 0)	$2t_{c(SYSCLK)} + 2$	ns
		セットアップ時間、 \overline{SPISTE} 有効から SPICLK まで (クロック位相 = 1)	$2t_{c(SYSCLK)} + 22$	ns
26	$t_{h(STE)S}$ ホールド時間、SPICLK から \overline{SPISTE} 無効まで	$1.5t_{c(SYSCLK)}$		ns

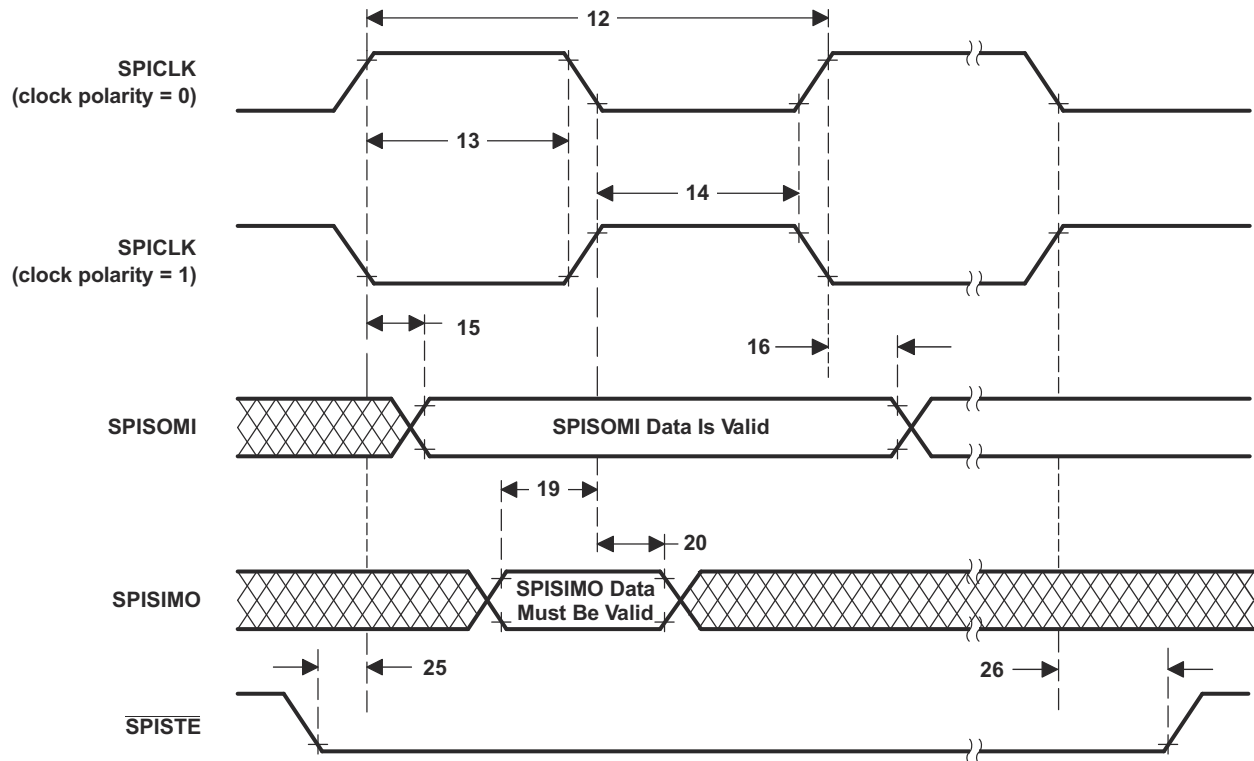


図 7-86. SPI マスタ・モードの外部タイミング (クロック位相 = 0)

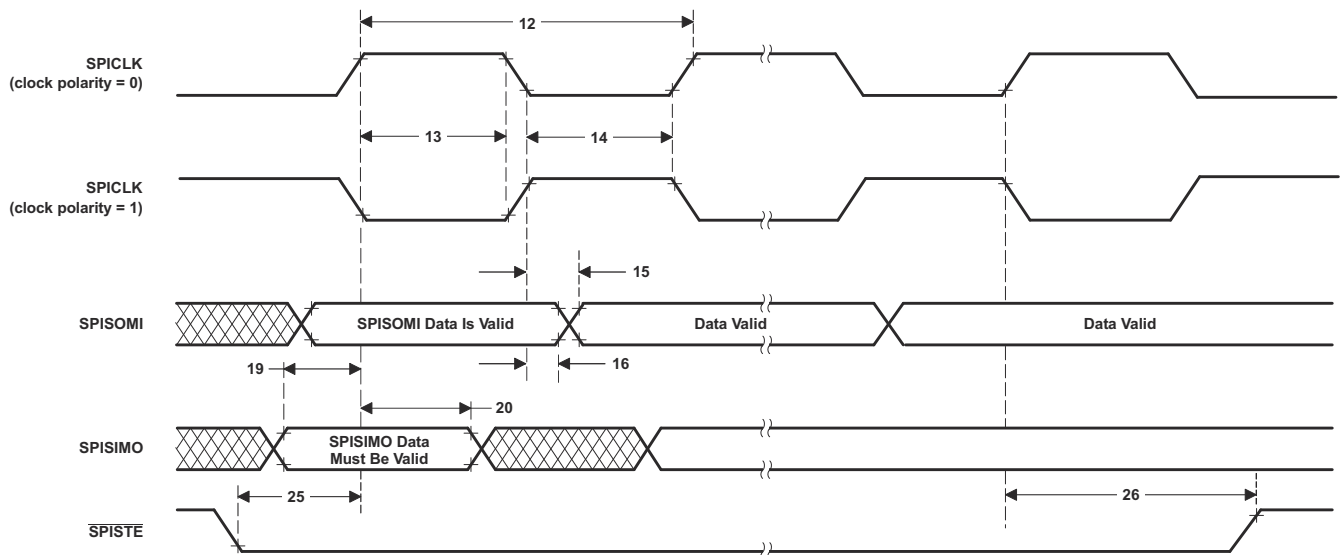


図 7-87. SPI マスタ・モードの外部タイミング (クロック位相 = 1)

7.12.5.1.3 高速マスタ・モードのタイミング

セクション 7.12.5.1.3.1 に、クロック位相 = 0 の場合の SPI 高速マスタ・モードのスイッチング特性を示します。図 7-88 に、クロック位相 = 0 の場合の高速 SPI マスタ・モードの外部タイミングを示します。

セクション 7.12.5.1.3.2 に、クロック位相 = 1 の場合の SPI 高速マスタ・モードのスイッチング特性を示します。図 7-89 に、クロック位相 = 1 の場合の高速 SPI マスタ・モードの外部タイミングを示します。

セクション 7.12.5.1.3.3 に、SPI 高速マスタ・モードのタイミング要件を示します。

7.12.5.1.3.1 SPI 高速マスタ・モードのスイッチング特性(クロック位相 = 0)

推奨動作条件範囲内 (特に記述のない限り)

番号	パラメータ	(BRR+1) 条件 (1)	最小値	最大値	単位
1	$t_{c(SPC)M}$ サイクル時間、SPICLK	偶数	$4t_{c(LSPCLK)}$	$128t_{c(LSPCLK)}$	ns
		奇数	$5t_{c(LSPCLK)}$	$127t_{c(LSPCLK)}$	
2	$t_{w(SPC1)M}$ パルス幅、SPICLK、最初のパルス	偶数	$0.5t_{c(SPC)M} - 1$	$0.5t_{c(SPC)M} + 1$	ns
		奇数	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} - 1$	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} + 1$	
3	$t_{w(SPC2)M}$ パルス幅、SPICLK、2 番目のパルス	偶数	$0.5t_{c(SPC)M} - 1$	$0.5t_{c(SPC)M} + 1$	ns
		奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 1$	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} + 1$	
4	$t_{d(SIMO)M}$ 遅延時間、SPICLK から SPISIMO 有効まで	偶数、奇数		3	ns
5	$t_{v(SIMO)M}$ 有効時間、SPICLK から SPISIMO 有効の間	偶数	$0.5t_{c(SPC)M} - 4$		ns
		奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 1$		
23	$t_{d(SPC)M}$ 遅延時間、 \overline{SPISTE} 有効から SPICLK まで	偶数	$1.5t_{c(SPC)M} - 3t_{c(SYSCCLK)} - 1$		ns
		奇数	$1.5t_{c(SPC)M} - 3t_{c(SYSCCLK)} - 1$		
24	$t_{d(STE)M}$ 遅延時間、SPICLK から \overline{SPISTE} 無効まで	偶数	$0.5t_{c(SPC)M} - 4$		ns
		奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 1$		

(1) (BRR+1) 条件が偶数というのは、(SPIBRR+1) が偶数である場合、または SPIBRR が 0 もしくは 2 である場合です。また、奇数とは、(SPIBRR+1) が奇数であり、かつ SPIBRR が 3 より大きい場合です。

7.12.5.1.3.2 SPI 高速マスタ・モードのスイッチング特性(クロック位相 = 1)

推奨動作条件範囲内 (特に記述のない限り)

番号	パラメータ	(BRR+1) 条件 (1)	最小値	最大値	単位
1	$t_{c(SPC)M}$ サイクル時間、SPICLK	偶数	$4t_{c(LSPCLK)}$	$128t_{c(LSPCLK)}$	ns
		奇数	$5t_{c(LSPCLK)}$	$127t_{c(LSPCLK)}$	
2	$t_{w(SPCH)M}$ パルス幅、SPICLK、最初のパルス	偶数	$0.5t_{c(SPC)M} - 3$	$0.5t_{c(SPC)M} + 3$	ns
		奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 3$	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} + 3$	
3	$t_{w(SPC2)M}$ パルス幅、SPICLK、2 番目のパルス	偶数	$0.5t_{c(SPC)M} - 3$	$0.5t_{c(SPC)M} + 3$	ns
		奇数	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} - 3$	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} + 3$	
4	$t_{d(SIMO)M}$ 遅延時間、SPISIMO 有効から SPICLK まで	偶数	$0.5t_{c(SPC)M} - 4$		ns
		奇数	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} - 1$		

7.12.5.1.3.2 SPI 高速マスタ・モードのスイッチング特性(クロック位相 = 1) (continued)

推奨動作条件範囲内 (特に記述のない限り)

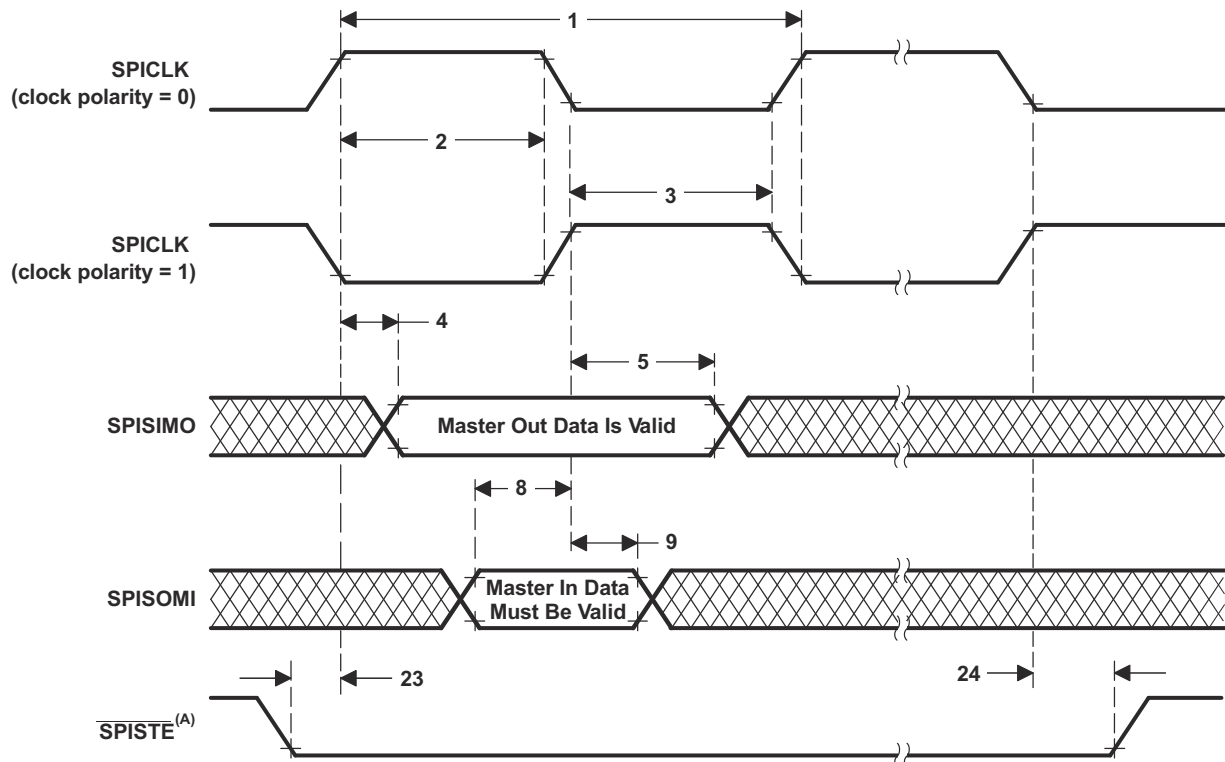
番号	パラメータ	(BRR+1) 条件 (1)	最小値	最大値	単位
5	$t_{v(SIMO)M}$ 有効時間、SPICLK から SPISIMO 有効の間	偶数	$0.5t_{c(SPC)M} - 6$		ns
		奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 1$		
23	$t_{d(SPC)M}$ 遅延時間、 \overline{SPISTE} 有効から SPICLK まで	偶数、奇数	$2t_{c(SPC)M} - 3t_{c(SYSCLK)} - 1$		ns
24	$t_{d(STE)M}$ 遅延時間、SPICLK から \overline{SPISTE} 無効まで	偶数	$0.5t_{c(SPC)M} - 6$		ns
		奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 1$		

(1) (BRR+1) 条件が偶数というのは、(SPIBRR+1) が偶数である場合、または SPIBRR が 0 もしくは 2 である場合です。また、奇数とは、(SPIBRR+1) が奇数であり、かつ SPIBRR が 3 より大きい場合です。

7.12.5.1.3.3 SPI 高速マスタ・モードのタイミング要件

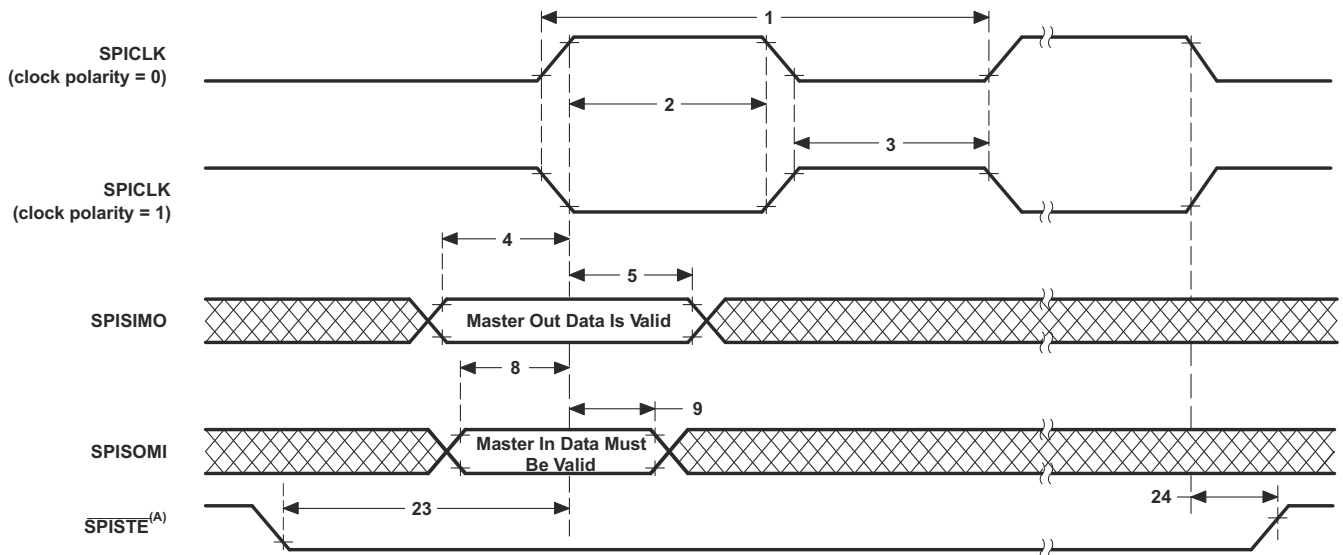
番号	パラメータ	(BRR+1) 条件 (1)	最小値	最大値	単位
8	$t_{su(SOMI)M}$ セットアップ時間、SPISOMI 有効から SPICLK まで	偶数、奇数	2		ns
9	$t_{h(SOMI)M}$ ホールド時間、SPICLK から SPISOMI 有効の間	偶数、奇数	11		ns

(1) (BRR+1) 条件が偶数というのは、(SPIBRR+1) が偶数である場合、または SPIBRR が 0 もしくは 2 である場合です。また、奇数とは、(SPIBRR+1) が奇数であり、かつ SPIBRR が 3 より大きい場合です。



A. ワードの末尾では、FIFO モードおよび非 FIFO モードの連続送信ワード間を除いて、 \overline{SPISTE} は、非アクティブになります。

図 7-88. 高速 SPI マスタ・モードの外部タイミング(クロック位相 = 0)



A. ワードの末尾では、FIFO モードおよび非 FIFO モードの連続送信ワード間を除いて、 $\overline{\text{SPISTE}}$ は、非アクティブになります。

図 7-89. 高速 SPI マスタ・モードの外部タイミング (クロック位相 = 1)

7.12.5.1.4 高速スレーブ・モードのタイミング

セクション 7.12.5.1.4.1 に、SPI 高速スレーブ・モードのスイッチング特性を示します。セクション 7.12.5.1.4.2 に、SPI 高速スレーブ・モードのタイミング要件を示します。

図 7-90 に、クロック位相 = 0 の場合の高速 SPI スレーブ・モードの外部タイミングを示します。図 7-91 に、クロック位相 = 1 の場合の高速 SPI スレーブ・モードの外部タイミングを示します。

7.12.5.1.4.1 SPI 高速スレーブ・モードのスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

番号	パラメータ	最小値	最大値	単位
15	$t_{d(SOMI)S}$ 遅延時間、SPICLK から SPISOMI 有効まで		14	ns
16	$t_{v(SOMI)S}$ 有効時間、SPICLK から SPISOMI 有効の間	0		ns

7.12.5.1.4.2 SPI 高速スレーブ・モードのタイミング要件

番号	パラメータ	最小値	最大値	単位
12	$t_c(SPC)S$ サイクル時間、SPICLK	$4t_c(SYSCLK)$		ns
13	$t_w(SPC1)S$ パルス幅、SPICLK、最初のパルス	$2t_c(SYSCLK) - 1$		ns
14	$t_w(SPC2)S$ パルス幅、SPICLK、2 番目のパルス	$2t_c(SYSCLK) - 1$		ns
19	$t_{su(SIMO)S}$ セットアップ時間、SPISIMO 有効から SPICLK まで	$1.5t_c(SYSCLK)$		ns
20	$t_h(SIMO)S$ ホールド時間、SPICLK から SPISIMO 有効の間	$1.5t_c(SYSCLK)$		ns
25	$t_{su(STE)S}$ セットアップ時間、SPISTE 有効から SPICLK まで	$1.5t_c(SYSCLK)$		ns
26	$t_h(STE)S$ ホールド時間、SPICLK から SPISTE 無効まで	$1.5t_c(SYSCLK)$		ns

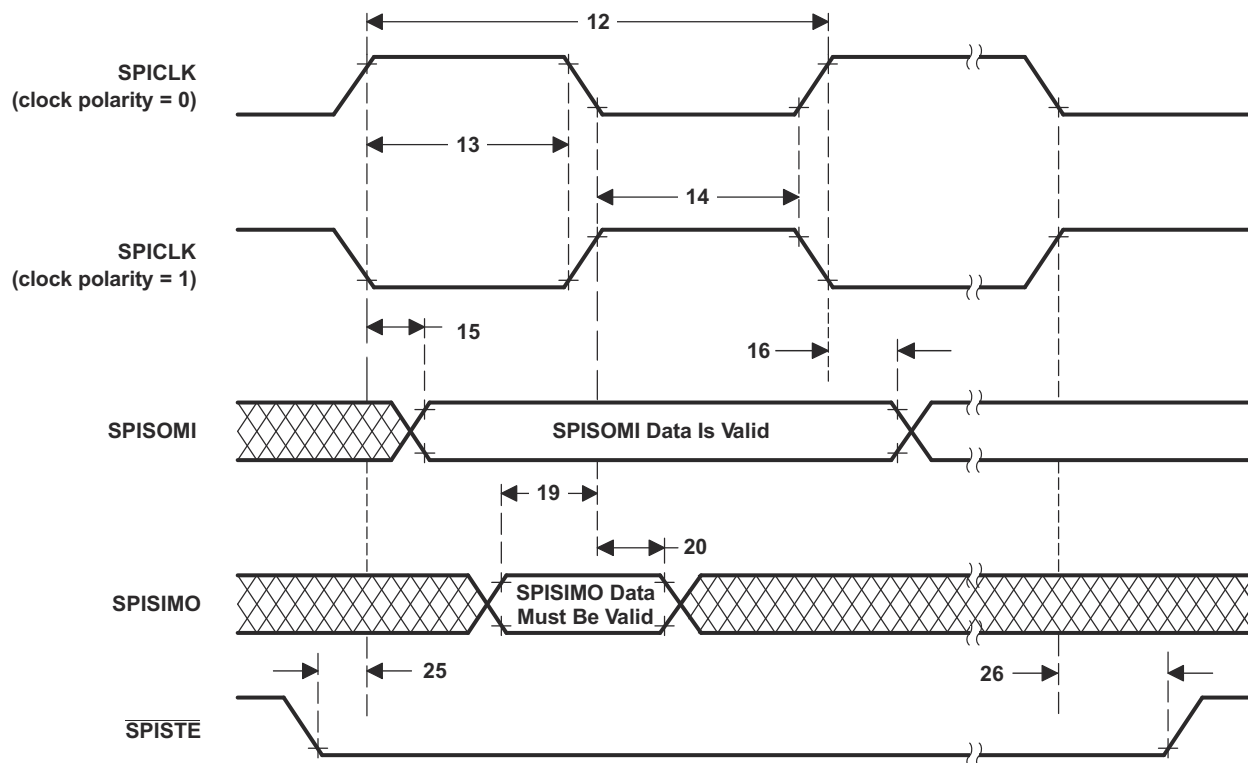


図 7-90. 高速 SPI スレーブ・モードの外部タイミング (クロック位相 = 0)

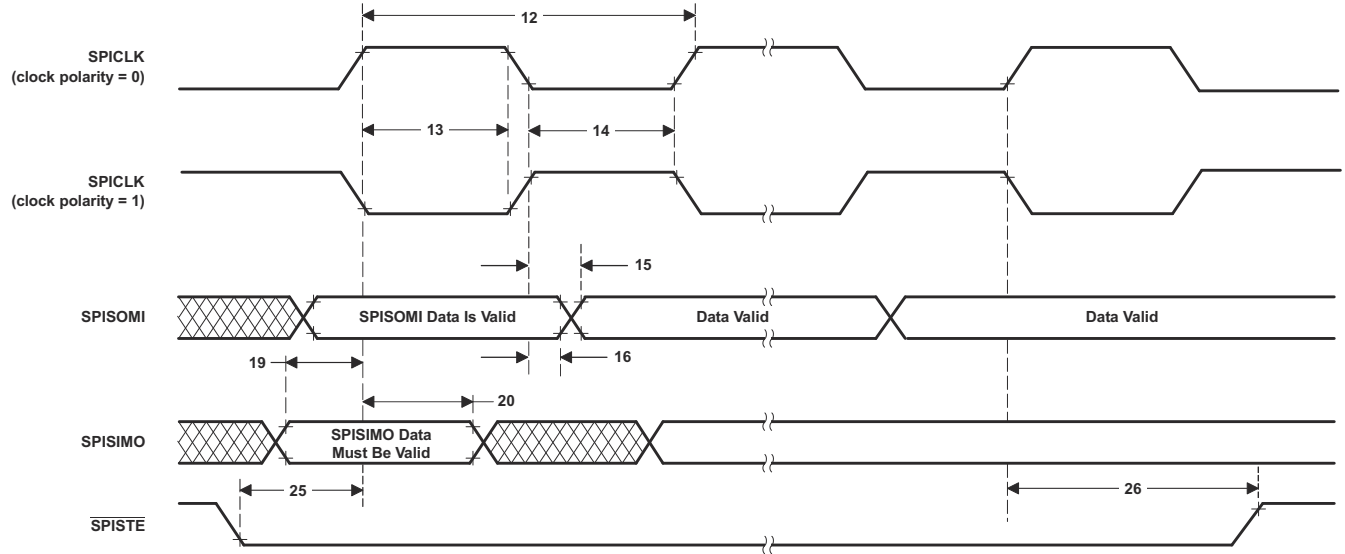


図 7-91. 高速 SPI スレーブ・モードの外部タイミング (クロック位相 = 1)

7.12.6 LIN (Local Interconnect Network)

このデバイスには、1 つの LIN (Local Interconnect Network) モジュールが搭載されています。この LIN モジュールは、LIN 仕様パッケージ・リビジョン 2.1 で定義されている LIN 2.1 規格に準拠しています。LIN は低コストのシリアル・インターフェイスであり、CAN プロトコルでは実装にコストがかかりすぎる可能性があるアプリケーション向けに設計されています。たとえば、車載アプリケーションの車内照明やウィンドウ制御など、車内快適性機能を実現するための小規模サブネットワークなどです。

LIN 規格は、SCI (UART) シリアル・データ・リンク形式に基づいています。通信の基本構成は、任意のネットワーク・ノード間でマルチキャストを送信するためのメッセージ識別機能を備えたシングルマスターとマルチスレーブです。

この LIN モジュールは、モジュールのコアが SCI なので、SCI として、または LIN として動作するようにプログラムできます。SCI のハードウェア機能は、LIN との互換性を実現するために強化されています。この SCI モジュールは、標準 NRZ (非ゼロ復帰) フォーマットを実装するユニバーサル非同期レシーバ・トランスミッタ (UART) です。

レジスタは LIN および SCI で共通ですが、レジスタの説明には、異なるモードでのレジスタ / ビットの使用方法を識別するための注記があります。このため、このモジュール用に作成されたコードをスタンドアロンの SCI モジュールに直接移植することはできません。その逆も同様です。

LIN モジュールの主な機能は次のとおりです。

- LIN 1.3、2.0、2.1 の各プロトコルとの互換性
- 最大 20kbps の構成可能なボーレート (LIN 2.1 プロトコルによる)
- 2 本の外部ピン: LINRX と LINTX
- マルチバッファ付き送受信ユニット
- メッセージ・フィルタリング用識別マスク
- マスタ・ヘッダの自動生成
 - プログラマブルな同期ブレイク・フィールド
 - 同期フィールド
 - 識別子フィールド
- スレーブの自動同期
 - 同期ブレイク検出
 - オプションのボーレート更新
 - 同期検証
- 7 つのフラクショナル・ビットを使用した 2^{31} 種類のプログラマブルな転送レート
- トランシーバからの、LINRX ドミナント・レベルでのウェークアップ
- 自動ウェークアップのサポート
 - ウェークアップ信号の生成
 - ウェークアップ信号の有効期限
- バス・アイドルの自動検出
- エラー検出
 - ビット・エラー
 - バス・エラー
 - 無応答エラー
 - チェックサム・エラー
 - 同期フィールド・エラー
 - パリティ・エラー
- ダイレクト・メモリ・アクセス (DMA) によるデータ送受信可能
- 2 本の割り込みライン、優先度エンコード機能付き:
 - 受信
 - 送信
 - ID、エラー、ステータス
- LIN 2.0 チェックサムをサポート
- フレーム処理用の拡張シンクロナイザ有限ステート・マシン (FSM) をサポート

- 拡張フレームの処理能力を強化
- 拡張ボーレート・ジェネレータ
- ウェークアップ / スリープ移行を更新

図 7-92 に、LIN モジュールのブロック図を示します。

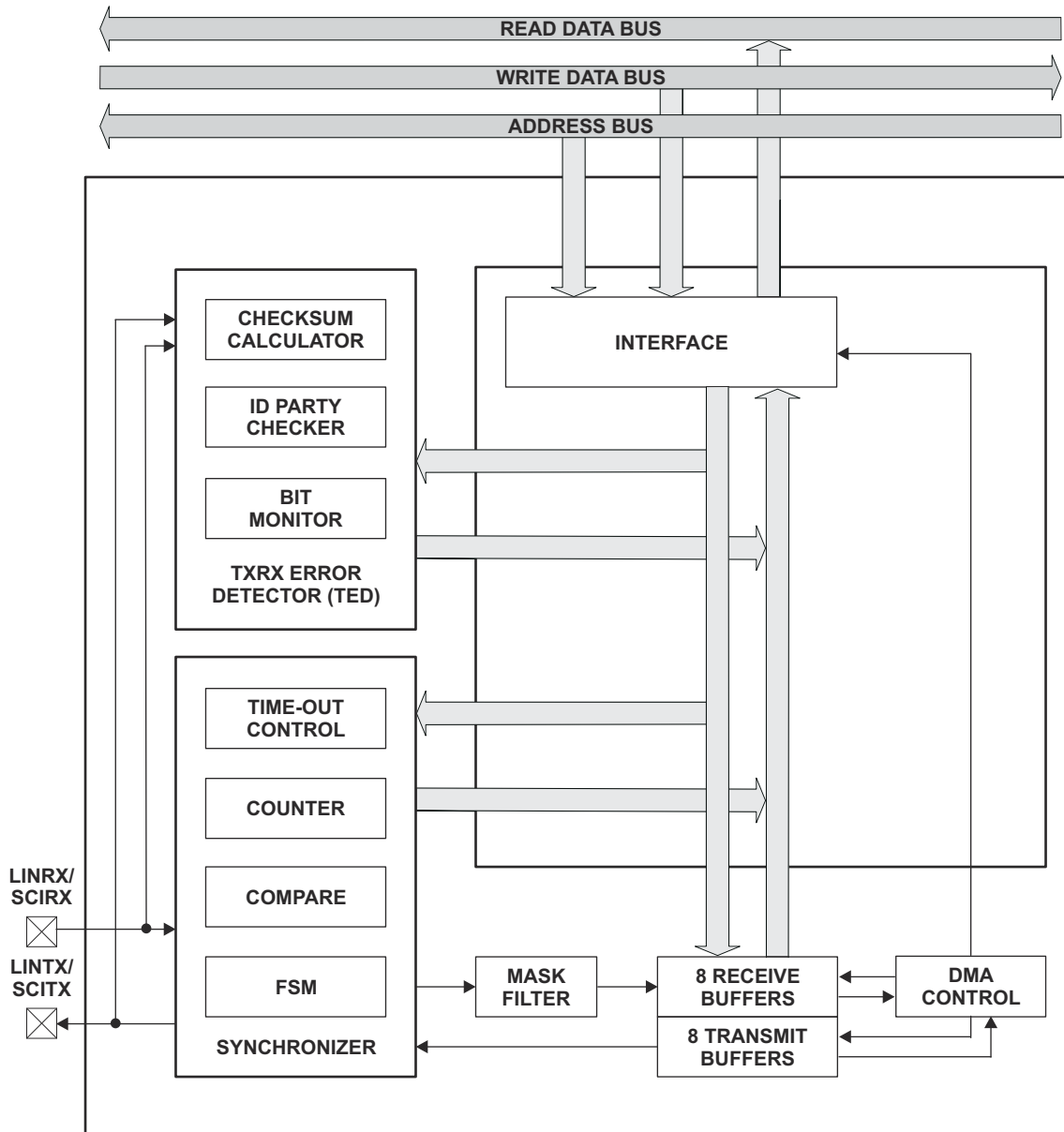


図 7-92. LIN のブロック図

7.12.7 高速シリアル・インターフェイス (FSI)

高速シリアル・インターフェイス (FSI) モジュールは、信頼性が高く堅牢な高速通信を実行できるシリアル通信ペリフェラルです。FSI は、チップ間や絶縁バリアをまたぐボード間など、多くのシステム条件にわたってデータの堅牢性を保証するように設計されています。CRC、フレーム開始およびフレーム終了パターン、ユーザー定義タグなどのペイロード整合性チェックは、送信前にエンコードされ、受信後に検証されます。このとき、CPU との追加のやり取りはありません。断線は、定期的な送信を使って検出でき、ハードウェアによってすべての管理と監視が行われます。FSI は、デバイス上の他の制御ペリフェラルとも密接に統合されています。最新のセンサ・データまたは制御パラメータを確実に利用できるように、制御ループ周期ごとにフレームを送信できます。レシーバにはスキュー補償ブロックが内蔵されており、クロック信号とデータ信号の間で発生する可能性のあるスキューを処理します。これには、トレース長のミスマッチや絶縁チップによって生じるスキューなど、さまざまな要因があります。FSI は、データの堅牢性チェック、データ・リンクの整合性チェック、スキュー補償を内蔵し、さらに制御ペリフェラルと統合されているため、あらゆるシステムで高速かつ堅牢な通信を実現できます。FSI のこれらの機能と他の多くの機能は以下のとおりです。

FSI モジュールの主な機能は次のとおりです。

- 独立したトランスミッタ・コアとレシーバ・コア
- ソース同期送信
- デュアル・データ・レート (DDR)
- 1 つまたは 2 つのデータ・ライン
- データ長をプログラム可能
- スキュー調整ブロックにより、基板とシステムの遅延のミスマッチを補償
- フレーム・エラー検出
- プログラム可能なフレーム・タグ機能によるメッセージ・フィルタリング
- 通信中の断線を検出するためのハードウェア ping (ping ウォッチドッグ)
- FSI コアごとに 2 つの割り込み
- 外部トリガによるフレーム生成
- ハードウェアまたはソフトウェアで計算された CRC
- ECC 計算モジュール内蔵
- レジスタ書き込み保護
- DMA サポート
- CLA タスクのトリガ
- SPI 互換モード (限定された機能が利用可能)

デュアル・データ・レート (100Mbps) において FSI を最大速度 (50MHz) で動作させるには、ケースごとに特定の動作条件に応じて、内蔵のスキュー補償ブロックを構成する必要があります。[高速シリアル・インターフェイス \(FSI\) スキュー補償アプリケーション・レポート](#)には、高速シリアル・インターフェイスでの内蔵スキュー補償ブロックの構成および設定方法に関するサンプル・ソフトウェアが含まれています。

FSI は、独立したトランスミッタ (FSITX) コアとレシーバ (FSIRX) コアで構成されています。FSITX コアおよび FSIRX コアは、個別に構成されて動作します。FSITX および FSIRX で利用可能な機能については、それぞれ [セクション 7.12.7.1](#) および [セクション 7.12.7.2](#) で説明します。

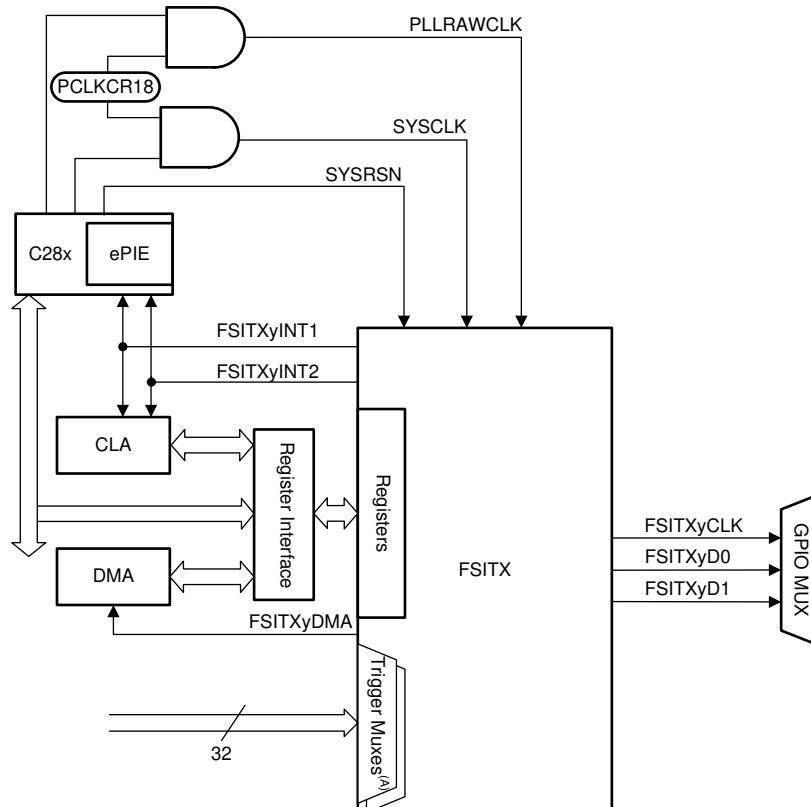
7.12.7.1 FSI トランスミッタ

FSI トランスミッタ・モジュールは、データのフレーミング、CRC 生成、TXCLK、TXD0、TXD1 の信号生成、割り込み生成を処理します。トランスミッタ・コアの動作は、プログラム可能な制御レジスタによって制御および構成されます。このトランスミッタ制御レジスタを使って、CPU (または CLA) は、FSI トランスミッタの動作をプログラム、制御、および監視できます。送信データ・バッファは、CPU、CLA、および DMA からアクセスできます。

トランスミッタの特長は次のとおりです。

- 自動化された ping フレーム生成
- 外部からトリガされる ping フレーム
- 外部からトリガされるデータ・フレーム
- ソフトウェアで構成可能なフレーム長
- 16 ワードのデータ・バッファ
- データ・バッファのアンダーランおよびオーバーラン検出
- ハードウェアで生成されるデータ・ビットの CRC
- 選択したデータに対するソフトウェア ECC の計算
- DMA サポート
- CLA タスクのトリガ

図 7-93 に、FSITX CPU インターフェイスを示します。図 7-94 に、FSITX の概略ブロック図を示します。すべてのデータ・パスと内部接続が表示されているわけではありません。この図は、FSITX に搭載されている内部モジュールの概要を示しています。



- A. トリガ・マルチプレクサに接続されている信号については、『TMS320F28004x リアルタイム・マイクロコントローラ・テクニカル・リファレンス・マニュアル』の「高速シリアル・インターフェイス (FSI)」の章にある「外部フレーム・トリガ・マルチプレクサ」セクションを参照してください。

図 7-93. FSITX CPU インターフェイス

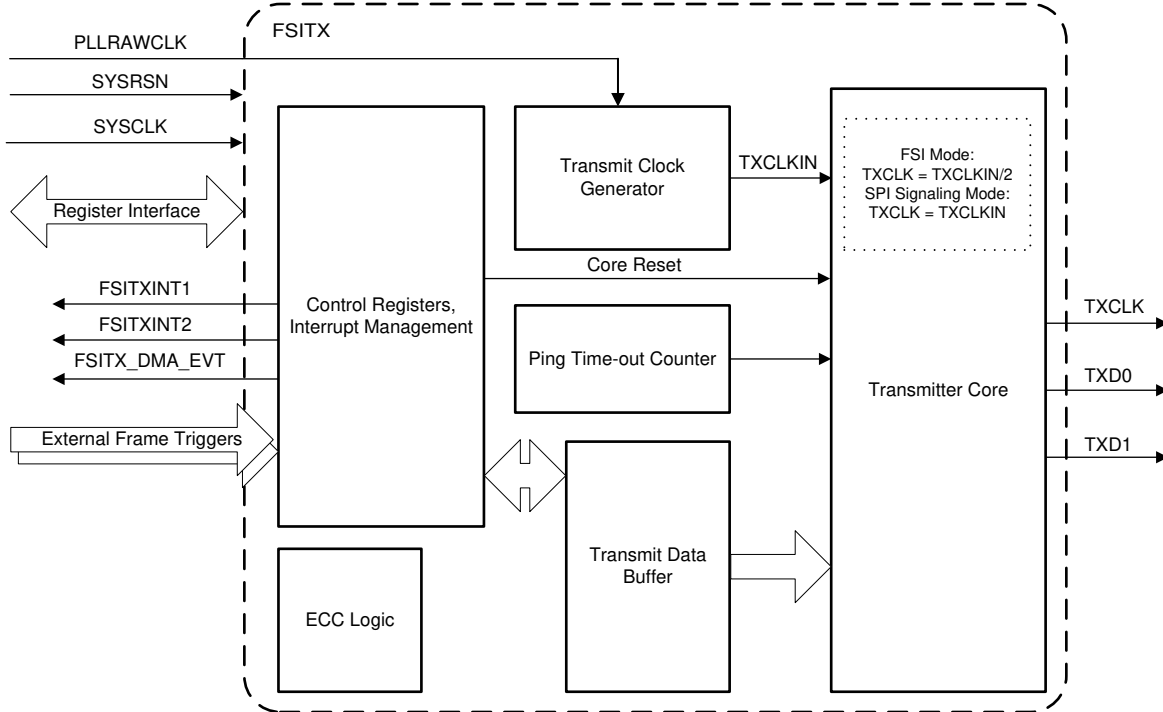


図 7-94. FSITX のブロック図

7.12.7.1.1 FSITX の電気的データおよびタイミング

セクション 7.12.7.1.1 に、FSITX のスイッチング特性を示します。図 7-95 に、FSITX のタイミングを示します。

7.12.7.1.1.1 FSITX のスイッチング特性

自由気流での動作温度範囲内 (特に記述のない限り)

NO.	パラメータ	最小値	最大値	単位
1	$t_c(\text{TXCLK})$ サイクル時間、XCLKOUT	20		ns
2	$t_w(\text{TXCLK})$ パルス幅、TXCLK LOW または TXCLK HIGH	$(0.5t_c(\text{TXCLK})) - 1$	$(0.5t_c(\text{TXCLK})) + 1$	ns
3	$t_d(\text{TXCLKL-TXD})$ 遅延時間、TXCLK の立ち上がりまたは立ち下がりにからデータ有効まで	$(0.25t_c(\text{TXCLK})) - 3.2$	$(0.25t_c(\text{TXCLK})) + 4.7$	ns

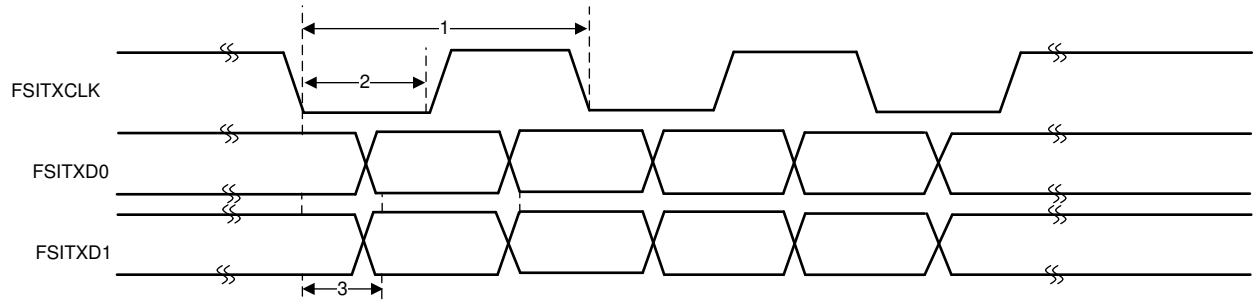


図 7-95. FSITX タイミング

7.12.7.2 FSI レシーバ

レシーバ・モジュールは、オプションのプログラマブル遅延ラインを通過した後の FSI クロック (RXCLK) およびデータ・ライン (RXD0 および RXD1) に接続します。レシーバ・コアは、データ・フレーミング、CRC 計算、フレーム関連のエラー・チェックを処理します。レシーバ・ビット・クロックおよびステート・マシンは、デバイスのシステム・クロックとは同期しない RXCLK 入力によって実行されます。

レシーバ制御レジスタにより、CPU (または CLA) は FSIRX の動作をプログラム、制御、および監視できます。受信データ・バッファには、CPU、CLA、および DMA からアクセスできます。

レシーバ・コアは以下に示す機能を備えています。

- 16 ワードのデータ・バッファ
- 複数のフレーム・タイプをサポート
- Ping フレーム・ウォッチドッグ
- フレーム・ウォッチドッグ
- ハードウェアでの CRC 計算および比較
- ECC 検出
- 受信信号に対するプログラマブルなディレイ・ライン制御
- DMA サポート
- CLA タスクのトリガ
- SPI 互換モード

図 7-96 に、FSIRX CPU インターフェイスを示します。図 7-97 に、FSIRX に搭載されている内部モジュールの概要を示します。すべてのデータ・バスと内部接続が表示されているわけではありません。

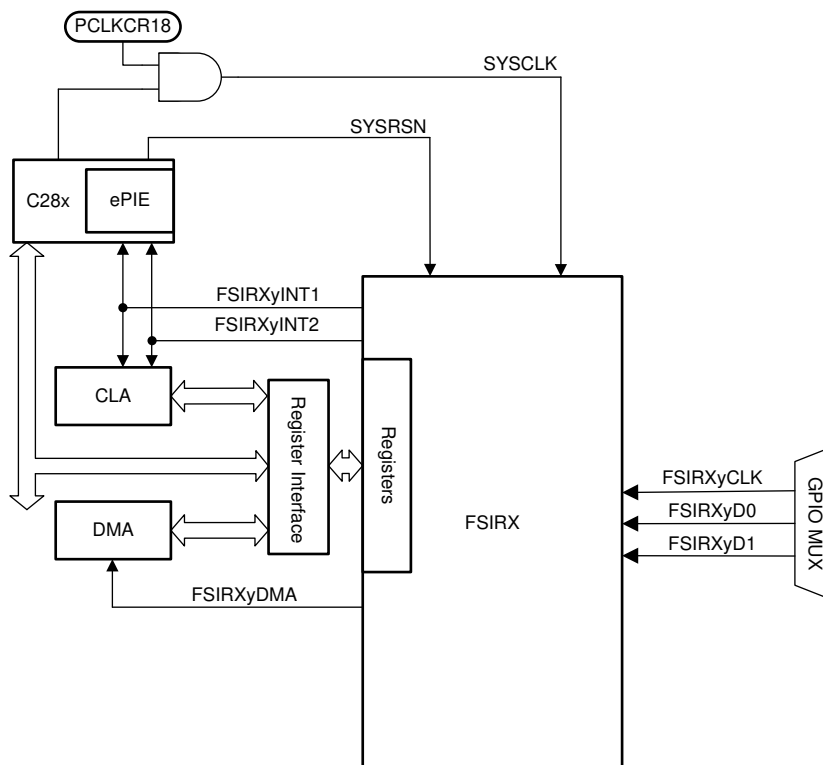


図 7-96. FSIRX CPU インターフェイス

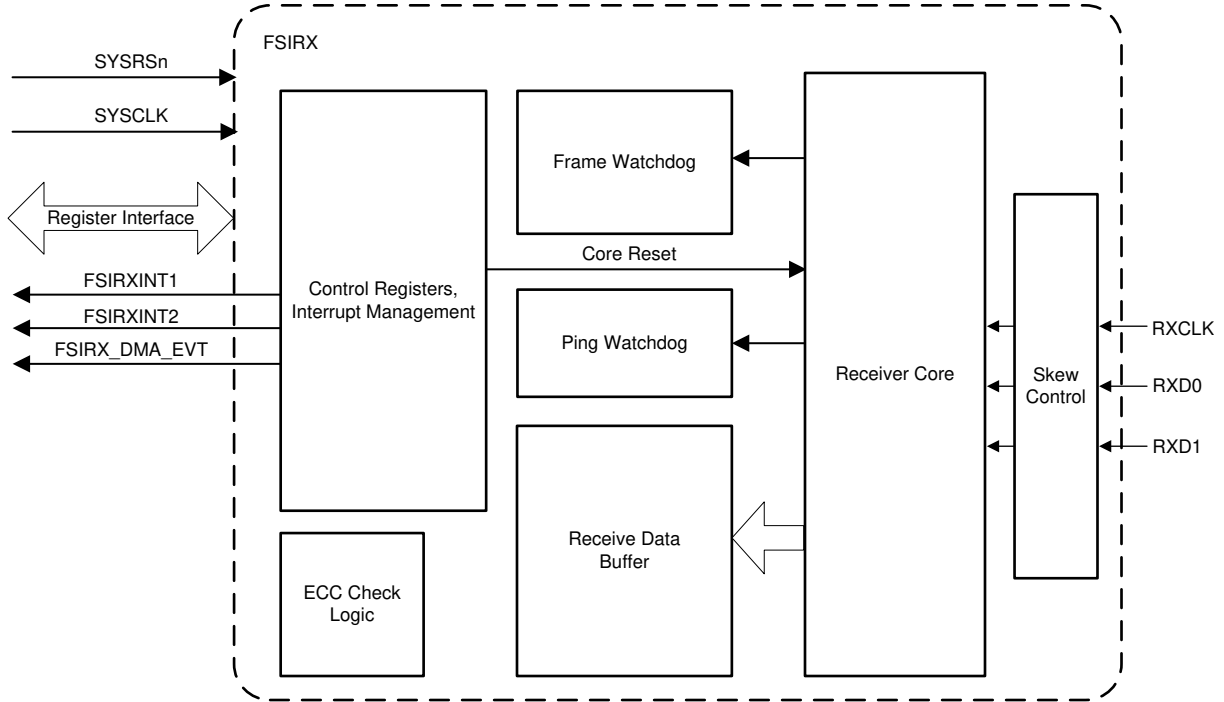


図 7-97. FSIRX のブロック図

7.12.7.2.1 FSIRX の電気的データおよびタイミング

セクション 7.12.7.2.1.1 に、FSIRX のスイッチング特性を示します。セクション 7.12.7.2.1.2 に、FSIRX のタイミング要件を示します。図 7-98 に、FSIRX のタイミングを示します。

7.12.7.2.1.1 FSIRX のスイッチング特性

番号	パラメータ	最小値	最大値	単位
1	$t_{d(RXCLK)}$ RX_DLYLINE_CTRL[RXCLK_DLY] = 31 での RXCLK 遅延補償	6	21	ns
2	$t_{d(RXD0)}$ RX_DLYLINE_CTRL[RXD0_DLY] = 31 での RXD0 遅延補償	6	21	ns
3	$t_{d(RXD1)}$ RX_DLYLINE_CTRL[RXD1_DLY] = 31 での RXD1 遅延補償	6	21	ns
4	$t_{d(DELAY_ELEMENT)}$ RXCLK、RXD0、RXD1 の各ディレイ・ライン素子の増分遅延	0.17	0.7	ns

7.12.7.2.1.2 FSIRX のタイミング要件

番号	パラメータ	最小値	最大値	単位
1	$t_c(RXCLK)$ サイクル時間、RXCLK	20		ns
2	$t_w(RXCLK)$ パルス幅、RXCLK LOW または RXCLK HIGH	$(0.5t_c(RXCLK)) - 1$	$(0.5t_c(RXCLK)) + 1$	ns
3	$t_{su}(RXCLK-RXD)$ RXCLK を基準とするセットアップ時間 (クロックの両方のエッジに適用)	1.7		ns
4	$t_h(RXCLK-RXD)$ RXCLK を基準とするホールド時間 (クロックの両方のエッジに適用)	3.8		ns

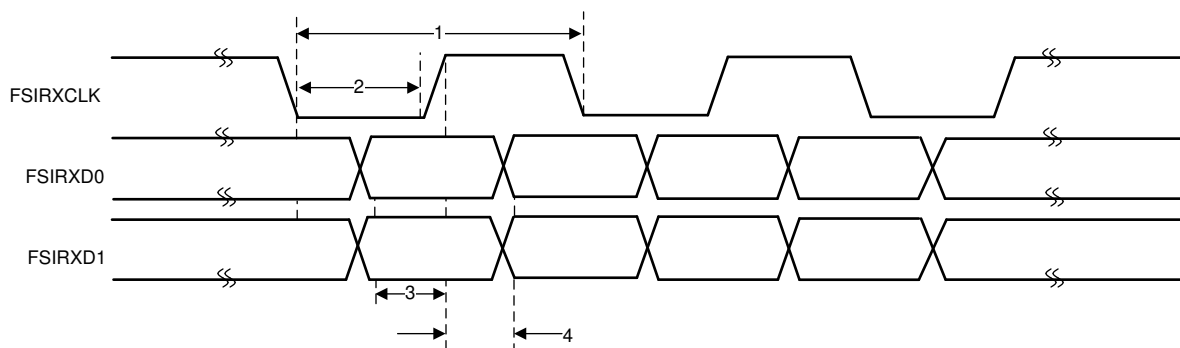


図 7-98. FSIRX タイミング

7.12.7.3 FSI SPI 互換モード

FSI は SPI 互換モードをサポートしており、プログラマブル SPI デバイスとの通信が可能です。このモードでは、FSI は単一クロック構成モードで、SPI と同じ方法でデータを送信します。FSI はこのモードで SPI と物理的にインターフェイスできますが、正常に通信を行うには、外部デバイスが FSI フレームをエンコードおよびデコードする必要があります。これは、FSI がプリアンブルとポストアンブルを除くすべての SPI フレーム・フェーズを送信するためです。FSI は、標準 FSI モードと同じようにデータ検証とフレーム・チェックを実行できるため、CPU サイクルを消費せずに、より堅牢な通信を実現できます。外部 SPI は、すべての関連情報を送信する必要があります。また、FSIRX の ping フレーム・ウォッチドッグ、フレーム・タグ、カスタム CRC 値などの標準 FSI 機能にアクセスできます。SPI 互換モードの機能のリストを以下に示します。

- データは、クロックの立ち上がりエッジで送信され、立ち下がりエッジで受信されます。
- 16 ビットのワード・サイズのみがサポートされています。
- TXD1 は、アクティブ LOW のチップセレクト信号のように駆動されます。この信号は、フレーム全体の送信中は LOW になります。
- レシーバ・チップセレクト入力は不要です。RXD1 は使用しません。データは、すべてのアクティブ・クロック・エッジでレシーバにシフト・インされます。
- プリアンブルまたはポストアンブル・クロックは送信されません。すべての信号は、フレーム・フェーズが完了した後、アイドル状態に戻ります。
- FSI TXCLK には外部クロック・ソースを使用できないため、SPI スレーブ構成で送信することはできません。

7.12.7.3.1 FSITX SPI 信号モードの電氣的データおよびタイミング

セクション 7.12.7.3.1.1 に、FSITX SPI 信号モードのスイッチング特性を示します。図 7-99 に、FSITX SPI 信号モードのタイミングを示します。SPI 信号モードの FSIRX では、特別なタイミングは必要ありません。セクション 7.12.7.2.1.2 に示す FSIRX タイミングは、SPI 互換モードに適用できます。立ち下がりエッジが SPI 信号モードのアクティブ・エッジなので、セットアップ時間とホールド時間は、FSIRXCLK の立ち下がりエッジでのみ有効です。

7.12.7.3.1.1 FSITX SPI 信号モードのスイッチング特性

自由気流での動作温度範囲内 (特に記述のない限り)

NO.	パラメータ	最小値	最大値	単位
1	$t_c(\text{TXCLK})$	サイクル時間、XCLKOUT	20	ns
2	$t_w(\text{TXCLK})$	パルス幅、TXCLK LOW または TXCLK HIGH	$(0.5t_c(\text{TXCLK}) - 1)$ $(0.5t_c(\text{TXCLK}) + 1)$	ns
3	$t_d(\text{TXCLKH-TXD0})$	遅延時間、TXCLK HIGH から データ有効まで	3	ns
4	$t_d(\text{TXD1-TXCLK})$	遅延時間、TXD1 LOW から TXCLK HIGH まで	$t_w(\text{TXCLK}) - 1$	ns
5	$t_d(\text{TXCLK-TXD1})$	遅延時間、TXCLK LOW から TXD1 HIGH まで	$t_w(\text{TXCLK}) - 1$	ns

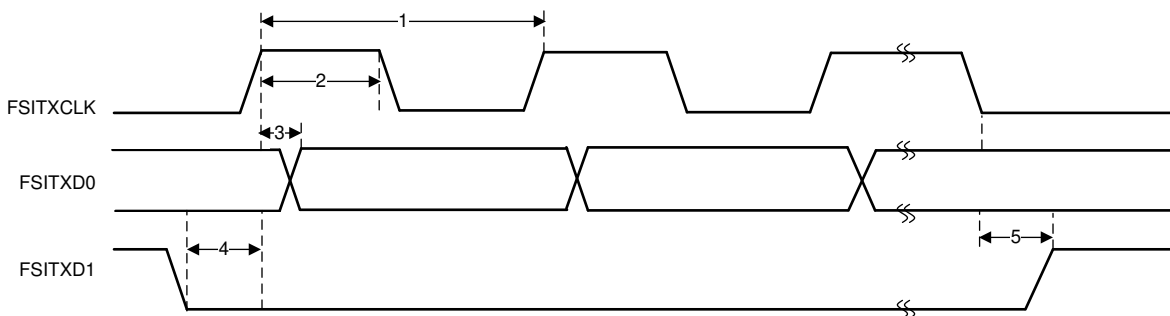


図 7-99. FSITX SPI 信号モードのタイミング

8 詳細説明

8.1 概要

TMS320F28004x (F28004x) は、重要な制御ペリフェラル、差別化されたアナログ、不揮発性メモリを 1 つのデバイスに組み込むことができる、強力な 32 ビット浮動小数点マイクロコントローラ・ユニット (MCU) です。

このリアルタイム制御サブシステムは、TI の 32 ビット C28x CPU を基礎としており、100MHz の信号処理能力があります。C28x CPU は、新しい拡張命令セットによりさらに強化されています。新しい TMU 拡張命令セットにより、変換およびトルク・ループ計算で一般に使用される三角関数演算を含むアルゴリズムを高速に実行でき、VCU-I 拡張命令セットにより、エンコード・アプリケーションで一般に使用される複素数演算のレイテンシを短縮できます。

CLA により、一般的なタスクの負荷の多くをメインの C28x CPU から取り除くことができます。CLA は独立の 32 ビット浮動小数点演算アクセラレータであり、CPU と並列に実行されます。さらに、CLA には独自の専用メモリ・リソースがあり、一般的な制御システムで必要となる主要なペリフェラルに直接アクセスできます。ANSI C のサブセット、およびハードウェア・ブレイクポイントやハードウェアによるタスク切り替えなどの主要な機能が標準でサポートされています。

F28004x は最大 256KB (128KW) のフラッシュ・メモリをサポートし、これらは 2 つの 128KB (64KW) バンクに分割されるため、プログラミングと実行を並列に行えます。最大 100KB (50KW) のオンチップの SRAM も利用可能で、システムの効率的なパーティショニングのために 4KB (2KW) と 16KB (8KW) のブロック単位に分割されます。フラッシュ ECC、SRAM ECC/パリティ、デュアル・ゾーン・セキュリティもサポートされています。

F28004x MCU には高性能のアナログ・ブロックが内蔵されており、さらにシステムの統合が可能です。3 つの独立した 12 ビット ADC により、複数のアナログ信号を正確かつ効率的に管理でき、最終的にシステムのスループットが向上します。アナログ・フロント・エンドには 7 つの PGA があり、変換前にオンチップで電圧スケールリングが可能です。7 つのアナログ・コンパレータ・モジュールにより、入力電圧レベルのトリップ条件を継続的に監視できます。

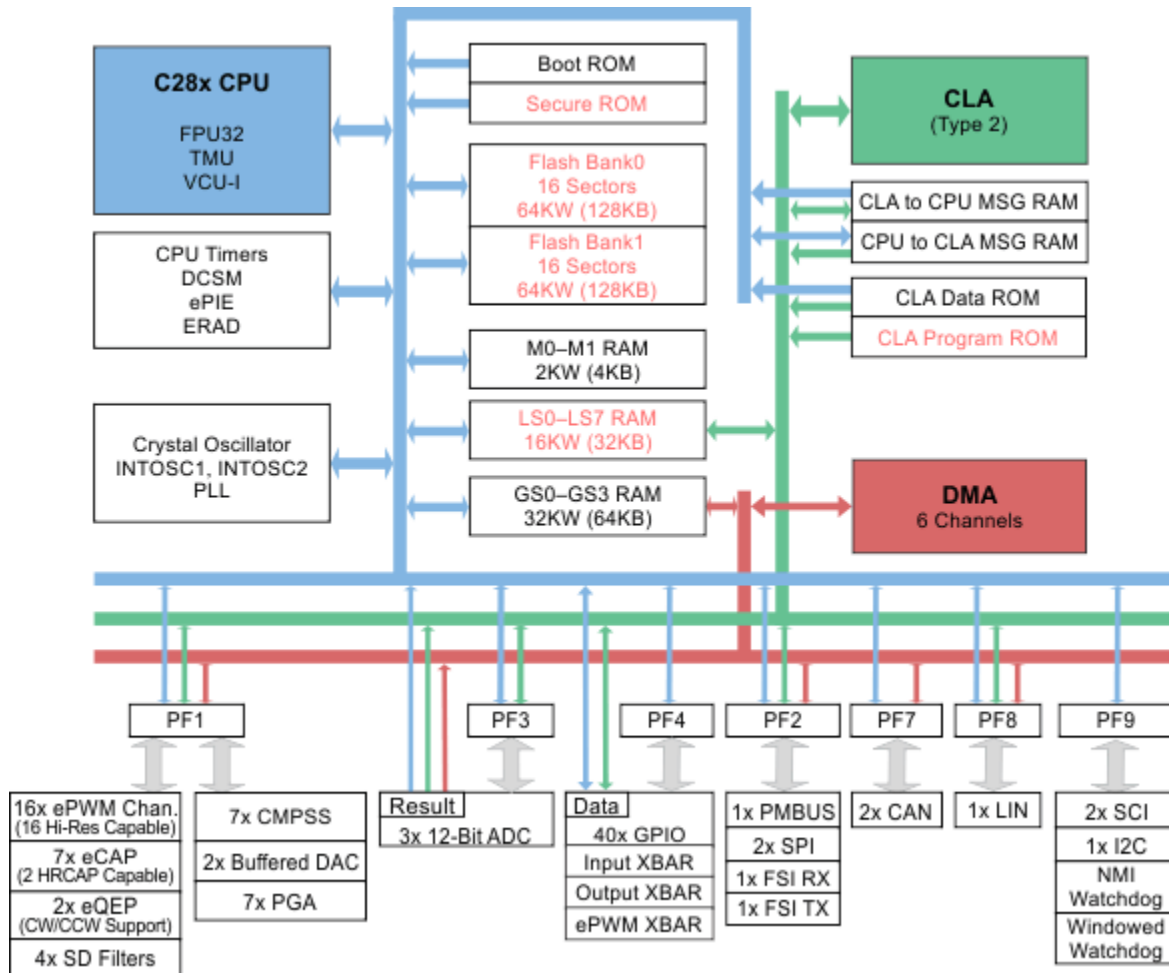
TMS320C2000™ マイクロコントローラは、業界最先端の制御ペリフェラルと、周波数に依存しない ePWM/HRPWM と eCAP を内蔵しているため、クラス最高レベルのシステム制御が可能です。4 チャンネル SDFM が内蔵されているため、絶縁バリアを通して、オーバーサンプリング・シグマ-デルタ変調器をシームレスに統合できます。

各種の業界標準通信ポート (SPI, SCI, I2C, LIN, CAN など) により接続性がサポートされており、複数の多重化オプションにより、各種のアプリケーションにおいて最適な信号配置が可能です。C2000 プラットフォームの新機能として、完全準拠の PMBus が追加されました。さらに、業界で初めて FSI による高速かつ堅牢な通信が可能になり、本デバイスに組み込まれている一連の豊富なペリフェラルを補完します。

特別仕様のデバイスバリエーション、TMS320F28004xC では、構成可能ロジック・ブロック (CLB) にアクセスして、追加のインターフェイス機能を使用できるとともに、InstaSPIN-FOC™ を実現するライブラリを含むセキュア ROM にアクセス可能です。詳細については、[デバイスの比較](#)をご覧ください。

8.2 機能ブロック図

図 8-1 に、CPU システムおよび関連ペリフェラルを示します。



A. セキュア・メモリは赤で示しています。

図 8-1. 機能ブロック図

8.3 メモリ

8.3.1 C28x メモリ・マップ

表 8-1 に、C28x メモリ・マップを示します。CLA または DMA (ダイレクト・メモリ・アクセス) からアクセス可能なメモリも記載されています。『TMS320F28004x リアルタイム・マイクロコントローラ・テクニカル・リファレンス・マニュアル』の「システム制御」の章にある「メモリ・コントローラ・モジュール」を参照してください。

表 8-1. C28x メモリ・マップ

メモリ	サイズ	開始アドレス	終了アドレス	CLA アクセス	DMA アクセス	ECC 対応	パリティ	メモリ・アクセス保護	セキュア
M0 RAM	1K × 16	0x0000 0000	0x0000 03FF			あり			
M1 RAM	1K × 16	0x0000 0400	0x0000 07FF			あり			
PIE ベクタ・テーブル	512 × 16	0x0000 0D00	0x0000 0EFF						
CLA から CPU への MSGRAM	128 × 16	0x0000 1480	0x0000 14FF	読み出し / 書き込み			あり		
CPU から CLA への MSGRAM	128 × 16	0x0000 1500	0x0000 157F	読み出し			あり		
LS0 RAM	2K × 16	0x0000 8000	0x0000 87FF	構成可能			あり	あり	あり
LS1 RAM	2K × 16	0x0000 8800	0x0000 8FFF	構成可能			あり	あり	あり
LS2 RAM	2K × 16	0x0000 9000	0x0000 97FF	構成可能			あり	あり	あり
LS3 RAM	2K × 16	0x0000 9800	0x0000 9FFF	構成可能			あり	あり	あり
LS4 RAM	2K × 16	0x0000 A000	0x0000 A7FF	構成可能			あり	あり	あり
LS5 RAM	2K × 16	0x0000 A800	0x0000 AFFF	構成可能			あり	あり	あり
LS6 RAM	2K × 16	0x0000 B000	0x0000 B7FF	構成可能			あり	あり	あり
LS7 RAM	2K × 16	0x0000 B800	0x0000 BFFF	構成可能			あり	あり	あり
GS0 RAM	8K × 16	0x0000 C000	0x0000 DFFF		あり		あり	あり	
GS1 RAM	8K × 16	0x0000 E000	0x0000 FFFF		あり		あり	あり	
GS2 RAM	8K × 16	0x0001 0000	0x0001 1FFF		あり		あり	あり	
GS3 RAM	8K × 16	0x0001 2000	0x0001 3FFF		あり		あり	あり	
CAN A メッセージ RAM	2K × 16	0x0004 9000	0x0004 97FF		あり		あり		
CAN B メッセージ RAM	2K × 16	0x0004 B000	0x0004 B7FF		あり		あり		
フラッシュ・バンク 0	64K × 16	0x0008 0000	0x0008 FFFF			あり		該当なし	あり
フラッシュ・バンク 1	64K × 16	0x0009 0000	0x0009 FFFF			あり		該当なし	あり
セキュア ROM	32K × 16	0x003E 8000	0x003E FFFF						あり
ブート ROM	64K × 16	0x003F 0000	0x003F FBF						
ベクタ	64 × 16	0x003F FFC0	0x003F FFFF						
CLA データ ROM	4K × 16	0x0100 1000	0x0100 1FFF	読み出し					

8.3.2 制御補償器アクセラレータ (CLA) ROM メモリ・マップ

表 8-2 に、CLA データ ROM メモリ・マップを示します。CLA プログラム ROM の詳細については、『TMS320F28004x リアルタイム・マイクロコントローラ・テクニカル・リファレンス・マニュアル』の「CLA プログラム ROM (CLAPROMCRC)」の章を参照してください。

表 8-2. CLA データ ROM メモリ・マップ

メモリ	開始アドレス	終了アドレス	長さ
FFT テーブル (ロード)	0x0100 1070	0x0100 186F	0x0800
データ (ロード)	0x0100 1870	0x0100 1FF9	0x078A
バージョン (ロード)	0x0100 1FFA	0x0100 1FFF	0x0006
FFT テーブル (実行)	0x0000 F070	0x0000 F86F	0x0800
データ (実行)	0x0000 F870	0x0000 FFF9	0x078A
バージョン(実行)	0x0000 FFFA	0x0000 FFFF	0x0006

8.3.3 フラッシュ・メモリ・マップ

F28004x デバイスでは、最大 2 つのフラッシュ・バンク (各 128KB [64KW]) を使用できます。フラッシュ・バンクは、単一の FMC (フラッシュ・モジュール・コントローラ) によって制御されます。フラッシュ・バンクが 1 つしかないデバイス (F280041 および F280040) では、フラッシュをプログラムするコードを RAM から実行する必要があります。2 つのフラッシュ・バンクが存在するデバイス (F280049、F280048、F280045) では、一度に 1 つのバンクのみをプログラムまたは消去できます。デュアル・バンク・デバイスでは、フラッシュをプログラムするコードを 1 つのフラッシュ・バンクから実行して、もう 1 つのフラッシュ・バンクを消去またはプログラムできます。または、RAM からコードを実行することもできます。消去 / プログラム動作が進行中のフラッシュ・バンクにアクセスすることはできません。表 8-3 に、F280049、F280048、F280045 のフラッシュ・セクタのアドレスを示します。表 8-4 に、F280041 および F280040 のフラッシュ・セクタのアドレスを示します。

表 8-3. F280049、F280048、F280045 のフラッシュ・セクタのアドレス

セクタ	アドレス			ECC アドレス		
	サイズ	開始	終了	サイズ	開始	終了
OTP セクタ						
TI OTP バンク 0	1K x 16	0x0007 0000	0x0007 03FF	128 x 16	0x0107 0000	0x0107 007F
TI OTP バンク 1	1K x 16	0x0007 0400	0x0007 07FF	128 x 16	0x0107 0080	0x0107 00FF
ユーザーが構成可能な DCSM OTP バンク 0	1K x 16	0x0007 8000	0x0007 83FF	128 x 16	0x0107 1000	0x0107 107F
ユーザーが構成可能な DCSM OTP バンク 1	1K x 16	0x0007 8400	0x0007 87FF	128 x 16	0x0107 1080	0x0107 10FF
フラッシュ・バンク 0 セクタ						
セクタ 0	4K x 16	0x0008 0000	0x0008 0FFF	512 x 16	0x0108 0000	0x0108 01FF
セクタ 1	4K x 16	0x0008 1000	0x0008 1FFF	512 x 16	0x0108 0200	0x0108 03FF
セクタ 2	4K x 16	0x0008 2000	0x0008 2FFF	512 x 16	0x0108 0400	0x0108 05FF
セクタ 3	4K x 16	0x0008 3000	0x0008 3FFF	512 x 16	0x0108 0600	0x0108 07FF
セクタ 4	4K x 16	0x0008 4000	0x0008 4FFF	512 x 16	0x0108 0800	0x0108 09FF
セクタ 5	4K x 16	0x0008 5000	0x0008 5FFF	512 x 16	0x0108 0A00	0x0108 0BFF
セクタ 6	4K x 16	0x0008 6000	0x0008 6FFF	512 x 16	0x0108 0C00	0x0108 0DFF
セクタ 7	4K x 16	0x0008 7000	0x0008 7FFF	512 x 16	0x0108 0E00	0x0108 0FFF
セクタ 8	4K x 16	0x0008 8000	0x0008 8FFF	512 x 16	0x0108 1000	0x0108 11FF
セクタ 9	4K x 16	0x0008 9000	0x0008 9FFF	512 x 16	0x0108 1200	0x0108 13FF
セクタ 10	4K x 16	0x0008 A000	0x0008 AFFF	512 x 16	0x0108 1400	0x0108 15FF
セクタ 11	4K x 16	0x0008 B000	0x0008 BFFF	512 x 16	0x0108 1600	0x0108 17FF
セクタ 12	4K x 16	0x0008 C000	0x0008 CFFF	512 x 16	0x0108 1800	0x0108 19FF
セクタ 13	4K x 16	0x0008 D000	0x0008 DFFF	512 x 16	0x0108 1A00	0x0108 1BFF
セクタ 14	4K x 16	0x0008 E000	0x0008 EFFF	512 x 16	0x0108 1C00	0x0108 1DFF
セクタ 15	4K x 16	0x0008 F000	0x0008 FFFF	512 x 16	0x0108 1E00	0x0108 1FFF

表 8-3. F280049、F280048、F280045 のフラッシュ・セクタのアドレス (continued)

セクタ	アドレス			ECC アドレス		
	サイズ	開始	終了	サイズ	開始	終了
フラッシュ・バンク 1 セクタ						
セクタ 0	4K x 16	0x0009 0000	0x0009 0FFF	512 x 16	0x0108 2000	0x0108 21FF
セクタ 1	4K x 16	0x0009 1000	0x0009 1FFF	512 x 16	0x0108 2200	0x0108 23FF
セクタ 2	4K x 16	0x0009 2000	0x0009 2FFF	512 x 16	0x0108 2400	0x0108 25FF
セクタ 3	4K x 16	0x0009 3000	0x0009 3FFF	512 x 16	0x0108 2600	0x0108 27FF
セクタ 4	4K x 16	0x0009 4000	0x0009 4FFF	512 x 16	0x0108 2800	0x0108 29FF
セクタ 5	4K x 16	0x0009 5000	0x0009 5FFF	512 x 16	0x0108 2A00	0x0108 2BFF
セクタ 6	4K x 16	0x0009 6000	0x0009 6FFF	512 x 16	0x0108 2C00	0x0108 2DFF
セクタ 7	4K x 16	0x0009 7000	0x0009 7FFF	512 x 16	0x0108 2E00	0x0108 2FFF
セクタ 8	4K x 16	0x0009 8000	0x0009 8FFF	512 x 16	0x0108 3000	0x0108 31FF
セクタ 9	4K x 16	0x0009 9000	0x0009 9FFF	512 x 16	0x0108 3200	0x0108 33FF
セクタ 10	4K x 16	0x0009 A000	0x0009 AFFF	512 x 16	0x0108 3400	0x0108 35FF
セクタ 11	4K x 16	0x0009 B000	0x0009 BFFF	512 x 16	0x0108 3600	0x0108 37FF
セクタ 12	4K x 16	0x0009 C000	0x0009 CFFF	512 x 16	0x0108 3800	0x0108 39FF
セクタ 13	4K x 16	0x0009 D000	0x0009 DFFF	512 x 16	0x0108 3A00	0x0108 3BFF
セクタ 14	4K x 16	0x0009 E000	0x0009 EFFF	512 x 16	0x0108 3C00	0x0108 3DFF
セクタ 15	4K x 16	0x0009 F000	0x0009 FFFF	512 x 16	0x0108 3E00	0x0108 3FFF

表 8-4. F280041 および F280040 のフラッシュ・セクタのアドレス

セクタ	アドレス			ECC アドレス		
	サイズ	開始	終了	サイズ	開始	終了
OTP セクタ						
TI OTP バンク 0	1K x 16	0x0007 0000	0x0007 03FF	128 x 16	0x0107 0000	0x0107 007F
ユーザーが構成可能な DCSM OTP バンク 0	1K x 16	0x0007 8000	0x0007 83FF	128 x 16	0x0107 1000	0x0107 107F
フラッシュ・バンク 0 セクタ						
セクタ 0	4K x 16	0x0008 0000	0x0008 0FFF	512 x 16	0x0108 0000	0x0108 07FF
セクタ 1	4K x 16	0x0008 1000	0x0008 1FFF	512 x 16	0x0108 0200	0x0108 03FF
セクタ 2	4K x 16	0x0008 2000	0x0008 2FFF	512 x 16	0x0108 0400	0x0108 05FF
セクタ 3	4K x 16	0x0008 3000	0x0008 3FFF	512 x 16	0x0108 0600	0x0108 07FF
セクタ 4	4K x 16	0x0008 4000	0x0008 4FFF	512 x 16	0x0108 0800	0x0108 09FF
セクタ 5	4K x 16	0x0008 5000	0x0008 5FFF	512 x 16	0x0108 0A00	0x0108 0BFF
セクタ 6	4K x 16	0x0008 6000	0x0008 6FFF	512 x 16	0x0108 0C00	0x0108 0DFF
セクタ 7	4K x 16	0x0008 7000	0x0008 7FFF	512 x 16	0x0108 0E00	0x0108 0FFF
セクタ 8	4K x 16	0x0008 8000	0x0008 8FFF	512 x 16	0x0108 1000	0x0108 11FF
セクタ 9	4K x 16	0x0008 9000	0x0008 9FFF	512 x 16	0x0108 1200	0x0108 13FF
セクタ 10	4K x 16	0x0008 A000	0x0008 AFFF	512 x 16	0x0108 1400	0x0108 15FF
セクタ 11	4K x 16	0x0008 B000	0x0008 BFFF	512 x 16	0x0108 1600	0x0108 17FF
セクタ 12	4K x 16	0x0008 C000	0x0008 CFFF	512 x 16	0x0108 1800	0x0108 19FF
セクタ 13	4K x 16	0x0008 D000	0x0008 DFFF	512 x 16	0x0108 1A00	0x0108 1BFF
セクタ 14	4K x 16	0x0008 E000	0x0008 EFFF	512 x 16	0x0108 1C00	0x0108 1DFF

表 8-4. F280041 および F280040 のフラッシュ・セクタのアドレス (continued)

セクタ	アドレス			ECC アドレス		
	サイズ	開始	終了	サイズ	開始	終了
セクタ 15	4K x 16	0x0008 F000	0x0008 FFFF	512 x 16	0x0108 1E00	0x0108 1FFF

8.3.4 ペリフェラル・レジスタのメモリ・マップ

表 8-5 に、ペリフェラル・レジスタの一覧を示します。

表 8-5. ペリフェラル・レジスタのメモリ・マップ

レジスタ	構造体名	開始アドレス	終了アドレス	パイプライン保護 ⁽¹⁾	CLA アクセス	DMA アクセス
ペリフェラル・フレーム 0						
AdcaResultRegs ⁽²⁾	ADC_RESULT_REGS	0x0000 0B00	0x0000 0B1F		あり	あり
AdcbResultRegs ⁽²⁾	ADC_RESULT_REGS	0x0000 0B20	0x0000 0B3F		あり	あり
AdccResultRegs ⁽²⁾	ADC_RESULT_REGS	0x0000 0B40	0x0000 0B5F		あり	あり
Cla1OnlyRegs	CLA_ONLY_REGS	0x0000 0C00	0x0000 0CFF		あり – CLA のみ、CPU アクセスなし	
CpuTimer0Regs	CPUTIMER_REGS	0x0000 0C00	0x0000 0C07			
CpuTimer1Regs	CPUTIMER_REGS	0x0000 0C08	0x0000 0C0F			
CpuTimer2Regs	CPUTIMER_REGS	0x0000 0C10	0x0000 0C17			
PieCtrlRegs	PIE_CTRL_REGS	0x0000 0CE0	0x0000 0CFF			
Cla1SoftIntRegs	CLA_SOFTINT_REGS	0x0000 0CE0	0x0000 0CFF		あり – CLA のみ、CPU アクセスなし	
DmaRegs	DMA_REGS	0x0000 1000	0x0000 11FF			
Cla1Regs	CLA_REGS	0x0000 1400	0x0000 147F	あり		
ペリフェラル・フレーム 1						
EPwm1Regs	EPWM_REGS	0x0000 4000	0x0000 40FF	あり	あり	あり
EPwm2Regs	EPWM_REGS	0x0000 4100	0x0000 41FF	あり	あり	あり
EPwm3Regs	EPWM_REGS	0x0000 4200	0x0000 42FF	あり	あり	あり
EPwm4Regs	EPWM_REGS	0x0000 4300	0x0000 43FF	あり	あり	あり
EPwm5Regs	EPWM_REGS	0x0000 4400	0x0000 44FF	あり	あり	あり
EPwm6Regs	EPWM_REGS	0x0000 4500	0x0000 45FF	あり	あり	あり
EPwm7Regs	EPWM_REGS	0x0000 4600	0x0000 46FF	あり	あり	あり
EPwm8Regs	EPWM_REGS	0x0000 4700	0x0000 47FF	あり	あり	あり
EQep1Regs	EQEP_REGS	0x0000 5100	0x0000 513F	あり	あり	あり
EQep2Regs	EQEP_REGS	0x0000 5140	0x0000 517F	あり	あり	あり
ECap1Regs	ECAP_REGS	0x0000 5200	0x0000 521F	あり	あり	あり
ECap2Regs	ECAP_REGS	0x0000 5240	0x0000 525F	あり	あり	あり
ECap3Regs	ECAP_REGS	0x0000 5280	0x0000 529F	あり	あり	あり
ECap4Regs	ECAP_REGS	0x0000 52C0	0x0000 52DF	あり	あり	あり
ECap5Regs	ECAP_REGS	0x0000 5300	0x0000 531F	あり	あり	あり
ECap6Regs	ECAP_REGS	0x0000 5340	0x0000 535F	あり	あり	あり
Hrcap6Regs	HRCAP_REGS	0x0000 5360	0x0000 537F	あり	あり	あり
ECap7Regs	ECAP_REGS	0x0000 5380	0x0000 539F	あり	あり	あり
Hrcap7Regs	HRCAP_REGS	0x0000 53A0	0x0000 53BF	あり	あり	あり
Pga1Regs	PGA_REGS	0x0000 5B00	0x0000 5B0F	あり	あり	あり
Pga2Regs	PGA_REGS	0x0000 5B10	0x0000 0B1F	あり	あり	あり
Pga3Regs	PGA_REGS	0x0000 5B20	0x0000 5B2F	あり	あり	あり
Pga4Regs	PGA_REGS	0x0000 5B30	0x0000 0B3F	あり	あり	あり
Pga5Regs	PGA_REGS	0x0000 5B40	0x0000 5B4F	あり	あり	あり
Pga6Regs	PGA_REGS	0x0000 5B50	0x0000 0B5F	あり	あり	あり
Pga7Regs	PGA_REGS	0x0000 5B60	0x0000 5B6F	あり	あり	あり
DacaRegs	DAC_REGS	0x0000 5C00	0x0000 5C0F	あり	あり	あり
DacbRegs	DAC_REGS	0x0000 5C10	0x0000 5C1F	あり	あり	あり
Cmpss1Regs	CMPSS_REGS	0x0000 5C80	0x0000 5C9F	あり	あり	あり
Cmpss2Regs	CMPSS_REGS	0x0000 5CA0	0x0000 5CBF	あり	あり	あり
Cmpss3Regs	CMPSS_REGS	0x0000 5CC0	0x0000 5CDF	あり	あり	あり
Cmpss4Regs	CMPSS_REGS	0x0000 5CE0	0x0000 5CFF	あり	あり	あり
Cmpss5Regs	CMPSS_REGS	0x0000 5D00	0x0000 5D1F	あり	あり	あり
Cmpss6Regs	CMPSS_REGS	0x0000 5D20	0x0000 5D3F	あり	あり	あり
Cmpss7Regs	CMPSS_REGS	0x0000 5D40	0x0000 5D5F	あり	あり	あり

表 8-5. ペリフェラル・レジスタのメモリ・マップ (continued)

レジスタ	構造体名	開始アドレス	終了アドレス	パイプライン保護 ⁽¹⁾	CLA アクセス	DMA アクセス
Sdfm1Regs	SDFM_REGS	0x0000 5E00	0x0000 5E7F	あり	あり	あり
ペリフェラル・フレーム 2						
SpiaRegs ⁽⁴⁾	SPI_REGS	0x0000 6100	0x0000 610F	あり	あり	あり
SpibRegs ⁽⁴⁾	SPI_REGS	0x0000 6110	0x0000 611F	あり	あり	あり
PmbusaRegs	PMBUS_REGS	0x0000 6400	0x0000 641F	あり	あり	あり
FsiTxaRegs	FSI_TX_REGS	0x0000 6600	0x0000 667F	あり	あり	あり
FsiRxaRegs	FSI_RX_REGS	0x0000 6680	0x0000 66FF	あり	あり	あり
ペリフェラル・フレーム 3						
AdcaRegs	ADC_REGS	0x0000 7400	0x0000 747F	あり	あり	
AdcbRegs	ADC_REGS	0x0000 7480	0x0000 74FF	あり	あり	
AdccRegs	ADC_REGS	0x0000 7500	0x0000 757F	あり	あり	
ペリフェラル・フレーム 4						
InputXbarRegs	INPUT_XBAR_REGS	0x0000 7900	0x0000 791F	あり		
XbarRegs	XBAR_REGS	0x0000 7920	0x0000 793F	あり		
SyncSocRegs	SYNC_SOC_REGS	0x0000 7940	0x0000 794F	あり		
DmaClaSrcSelRegs	DMA_CLA_SRC_SEL_REGS	0x0000 7980	0x0000 79BF	あり		
EPwmXbarRegs	EPWM_XBAR_REGS	0x0000 7A00	0x0000 7A3F	あり		
OutputXbarRegs	OUTPUT_XBAR_REGS	0x0000 7A80	0x0000 7ABF	あり		
GpioCtrlRegs	GPIO_CTRL_REGS	0x0000 7C00	0x0000 7EFF	あり		
GpioDataRegs ⁽³⁾	GPIO_DATA_REGS	0x0000 7F00	0x0000 7FFF	あり	あり	
ペリフェラル・フレーム 5						
DevCfgRegs	DEV_CFG_REGS	0x0005 D000	0x0005 D17F	あり		
ClkCfgRegs	CLK_CFG_REGS	0x0005 D200	0x0005 D2FF	あり		
CpuSysRegs	CPU_SYS_REGS	0x0005 D300	0x0005 D3FF	あり		
PeripherAcRegs	PERIPH_AC_REGS	0x0005 D500	0x0005 D6FF	あり		
AnalogSubsysRegs	ANALOG_SUBSYS_REGS	0x0005 D700	0x0005 D7FF	あり		
ペリフェラル・フレーム 6						
EnhancedDebugGlobalRegs	ERAD_GLOBAL_REGS	0x0005 E800	0x0005 E80A			
EnhancedDebugHWBP1Regs	ERAD_HWBP_REGS	0x0005 E900	0x0005 E907			
EnhancedDebugHWBP2Regs	ERAD_HWBP_REGS	0x0005 E908	0x0005 E90F			
EnhancedDebugHWBP3Regs	ERAD_HWBP_REGS	0x0005 E910	0x0005 E917			
EnhancedDebugHWBP4Regs	ERAD_HWBP_REGS	0x0005 E918	0x0005 E91F			
EnhancedDebugHWBP5Regs	ERAD_HWBP_REGS	0x0005 E920	0x0005 E927			
EnhancedDebugHWBP6Regs	ERAD_HWBP_REGS	0x0005 E928	0x0005 E92F			
EnhancedDebugHWBP7Regs	ERAD_HWBP_REGS	0x0005 E930	0x0005 E937			
EnhancedDebugHWBP8Regs	ERAD_HWBP_REGS	0x0005 E938	0x0005 E93F			
EnhancedDebugCounter1Regs	ERAD_COUNTER_REGS	0x0005 E980	0x0005 E98F			
EnhancedDebugCounter2Regs	ERAD_COUNTER_REGS	0x0005 E990	0x0005 E99F			
EnhancedDebugCounter3Regs	ERAD_COUNTER_REGS	0x0005 E9A0	0x0005 E9AF			
EnhancedDebugCounter4Regs	ERAD_COUNTER_REGS	0x0005 E9B0	0x0005 E9BF			
DcsmBank0Z1Regs	DCSM_BANK0_Z1_REGS	0x0005 F000	0x0005 F022	あり		
DcsmBank0Z2Regs	DCSM_BANK0_Z2_REGS	0x0005 F040	0x0005 F062	あり		
DcsmBank1Z1Regs	DCSM_BANK1_Z1_REGS	0x0005 F100	0x0005 F122	あり		
DcsmBank1Z2Regs	DCSM_BANK1_Z2_REGS	0x0005 F140	0x0005 F162	あり		
DcsmCommonRegs	DCSM_COMMON_REGS	0x0005 F070	0x0005 F07F	あり		
DcsmCommon2Regs	DCSM_COMMON_REGS	0x0005 F080	0x0005 F087	あり		
MemCfgRegs	MEM_CFG_REGS	0x0005 F400	0x0005 F47F	あり		
AccessProtectionRegs	ACCESS_PROTECTION_REGS	0x0005 F4C0	0x0005 F4FF	あり		
MemoryErrorRegs	MEMORY_ERROR_REGS	0x0005 F500	0x0005 F53F	あり		
Flash0CtrlRegs	FLASH_CTRL_REGS	0x0005 F800	0x0005 FAFF	あり		
Flash0EccRegs	FLASH_ECC_REGS	0x0005 FB00	0x0005 FB3F	あり		
ペリフェラル・フレーム 7						
CanaRegs	CAN_REGS	0x0004 8000	0x0004 87FF	あり		あり
CanbRegs	CAN_REGS	0x0004 A000	0x0004 A7FF	あり		あり

表 8-5. ペリフェラル・レジスタのメモリ・マップ (continued)

レジスタ	構造体名	開始アドレス	終了アドレス	パイプライン保護 ⁽¹⁾	CLA アクセス	DMA アクセス
RomPrefetchRegs	ROM_PREFETCH_REGS	0x0005 E608	0x0005 E609	あり		
DccRegs	DCC_REGS	0x0005 E700	0x0005 E73F	あり		
ペリフェラル・フレーム 8						
LinaRegs	LIN_REGS	0x0000 6A00	0x0000 6AFF	あり	あり	あり
ペリフェラル・フレーム 9						
WdRegs ⁽⁴⁾	WD_REGS	0x0000 7000	0x0000 703F	あり		
NmiIntruptRegs ⁽⁴⁾	NMI_INTRUPT_REGS	0x0000 7060	0x0000 706F	あり		
XintRegs ⁽⁴⁾	XINT_REGS	0x0000 7070	0x0000 707F	あり		
SciaRegs ⁽⁴⁾	SCI_REGS	0x0000 7200	0x0000 720F	あり		
ScibRegs ⁽⁴⁾	SCI_REGS	0x0000 7210	0x0000 721F	あり		
I2caRegs ⁽⁴⁾	I2C_REGS	0x0000 7300	0x0000 733F	あり		

- (1) CPU (CLA または DMA は対象外) には、書き込み後の読み取り保護モードが用意されています。これは、保護されたアドレス範囲内で、書き込み動作に続けて読み取り動作を実行すると、書き込みが行われるまで読み取り動作を遅延することにより、書き込んだ内容を確実に読み取れるようにするものです。
- (2) ADC 結果レジスタには調停はありません。各マスタは、調停なしで任意の ADC 結果レジスタにアクセスできます。
- (3) CPU および CLA の両方に GPIO_DATA_REGS の独自のコピーがあるので、CPU と CLA の間での調停は不要です。詳細については、『TMS320F28004x リアルタイム・マイクロコントローラ・テクニカル・リファレンス・マニュアル』の「汎用入出力 (GPIO)」の章を参照してください。
- (4) 16 ビット・アクセスのみのレジスタ。

8.3.5 メモリ・タイプ

8.3.5.1 専用 RAM (Mx RAM)

CPU サブシステムには、ECC 対応の 2 つの専用 RAM ブロックがあります。すなわち、M0 と M1 です。これらのメモリは、CPU と緊密に結合された小型の非セキュア・ブロックです (つまり、CPU のみがアクセスできます)。

8.3.5.2 ローカル共有 RAM (LSx RAM)

各サブシステム専用の RAM ブロックは、その CPU および CLA からのみアクセスでき、ローカル共有 RAM (LSx RAM) と呼ばれます。

すべての LSx RAM ブロックにパリティがあります。これらのメモリはセキュアであり、アクセス保護 (CPU 書き込み / CPU フェッチ) 機能を備えています。

デフォルトでは、これらのメモリは CPU 専用であり、ユーザーは、LSxMSEL レジスタの MSEL_LSx ビット・フィールドを適切に構成すれば、これらのメモリを CLA と共有するを選択できます (表 8-6 参照)。

**表 8-6. LSx RAM のマスタ・アクセス
(他のアクセス保護はすべてディセーブルと想定)**

MSEL_LSx	CLAPGM_LSx	CPU が許可されたアクセス	CLA1 が許可されたアクセス	備考
00	X	すべて	—	LSx メモリは、CPU 専用 RAM として構成されています。
01	0	すべて	データ読み取り データ書き込み エミュレーション・データ読み取り エミュレーション・データ書き込み	LSx メモリは、CPU と CLA1 の間で共有されます。
01	1	エミュレーション読み取り エミュレーション書き込み	フェッチ専用 エミュレーション・プログラム読み取り エミュレーション・プログラム書き込み	LSx メモリは CLA1 のプログラム・メモリです。

8.3.5.3 グローバル共有 RAM (GSx RAM)

CPU と DMA の両方からアクセス可能な RAM ブロックは、グローバル共有 RAM (GSx RAM) と呼ばれます。CPU と DMA の両方で、これらのメモリに対する完全な読み取りおよび書き込みアクセスが可能です。表 8-7 に、GSx RAM の機能を示します。

表 8-7. グローバル共有 RAM

CPU (フェッチ)	CPU (読み取り)	CPU (書き込み)	CPU.DMA (読み取り)	CPU.DMA (書き込み)
あり	あり	あり	あり	あり

すべての GSx RAM ブロックにパリティがあります。

GSx RAM は、アクセス保護機能 (CPU 書き込み / CPU フェッチ / DMA 書き込み) を備えています。

8.3.5.4 CLA メッセージ RAM (CLA MSGRAM)

これらの RAM ブロックを使用して、CPU と CLA の間でデータを共有できます。CLA には、「CLA から CPU への MSGRAM」に対する読み取り / 書き込みアクセス権があります。CPU には、「CPU から CLA への MSGRAM」に対する読み取り / 書き込みアクセス権があります。CPU および CLA は、いずれも両方の MSGRAM に対する読み取りアクセス権を持ちます。

この RAM にはパリティがあります。

8.4 識別

表 8-8 に、デバイス識別レジスタを示します。デバイス識別の詳細については、『[TMS320F28004x リアルタイム・マイクロコントローラ・テクニカル・リファレンス・マニュアル](#)』を参照してください。生産ステータス (TMX または TMS) の識別、InstaSPIN-FOC™ の利用可能性、その他のデバイス情報については、PARTIDH および PARTIDL のレジスタの説明を参照してください。

表 8-8. デバイス識別レジスタ

名称	アドレス	サイズ (x16)	説明
PARTIDH	0x0005 D00A	2	デバイスの製品識別番号
			TMS320F280049 0x01FF 0500
			TMS320F280049C 0x01FF 0500
			TMS320F280048 0x01FE 0500
			TMS320F280048C 0x01FE 0500
			TMS320F280045 0x01FB 0500
			TMS320F280041 0x01F7 0500
			TMS320F280041C 0x01F7 0500
			TMS320F280040 0x01F6 0500
TMS320F280040C 0x01F6 0500			
REVID	0x0005 D00C	2	シリコンのリビジョン番号
			リビジョン 0 0x0000 0000
			リビジョン A 0x0000 0001
			リビジョン B 0x0000 0002
UID_UNIQUE	0x0007 03CC	2	固有の識別番号。この番号は、同じ PARTIDH を持つデバイスの中でそれぞれ異なっています。この固有の番号は、アプリケーションでシリアル番号として使用できます。この番号は TMS リビジョン B デバイスにのみ存在します。

8.5 バス・アーキテクチャ – ペリフェラル・コネクティビティ

表 8-9 に、各バス・マスタからペリフェラルおよび構成レジスタへのアクセス性に関する全体的な概観を示します。

表 8-9. バス・マスタ・ペリフェラル・アクセス

ペリフェラル	DMA	CLA	CPU
システム・ペリフェラル			
CPU タイマ			Y
システム構成 (WD、NMIWD、LPM、ペリフェラル・クロック・ゲーティング)			Y
デバイス機能、ペリフェラル・リセット			Y
クロックおよび PLL 構成			Y
フラッシュ構成			Y
リセット構成			Y
GPIO ピンのマッピングおよび構成			Y
GPIO データ ⁽²⁾		Y	Y
DMA および CLA トリガ・ソース選択			Y
制御ペリフェラル			
ePWM/HRPWM	Y	Y	Y
eCAP/HRCAP	Y	Y	Y
eQEP ⁽¹⁾	Y	Y	Y
SDFM	Y	Y	Y
アナログ・ペリフェラル			
アナログ・システム制御			Y
ADC 構成		Y	Y
ADC 結果 ⁽³⁾	Y	Y	Y
CMPSS ⁽¹⁾	Y	Y	Y
DAC ⁽¹⁾	Y	Y	Y
PGA ⁽¹⁾	Y	Y	Y
通信ペリフェラル			
CAN	Y		Y
SPI	Y	Y	Y
I2C			Y
PMBus	Y	Y	Y
SCI			Y
LIN	Y	Y	Y
FSI	Y	Y	Y

- (1) これらのモジュールは、DMA からアクセスできますが、DMA 転送をトリガすることはできません。
- (2) GPIO データ・レジスタは、CPU および CLA にそれぞれ固有です。GPIO ピン・マッピング・レジスタを構成して GPIO を特定のマスタに割り当てると、それぞれの GPIO データ・レジスタが GPIO を制御します。詳細については、『[TMS320F28004x リアルタイム・マイクロコントローラ・テクニカル・リファレンス・マニュアル](#)』の「汎用入出力 (GPIO)」の章を参照してください。
- (3) ADC 結果レジスタは、マスタごとに複製されます。これにより、いずれかの、またはすべてのマスタから、アービトレーションなし、ゼロ・ウェイト・ステートで読み取ることができます。

8.6 C28x プロセッサ

このデバイスは、32 ビット固定小数点プロセッサであり、デジタル信号処理、RISC (Reduced Instruction Set Computing)、マイクロコントローラ・アーキテクチャ、ファームウェア、ツール・セットの機能を最大限に活用しています。

主な特長は次のとおりです。

- CPU - 改良型ハーバード・アーキテクチャとサーキュラー・アドレッシング。改良型ハーバード・アーキテクチャの CPU は、命令とデータのフェッチを並列に実行できます。CPU は、データを書き込んでいる間に、命令とデータを同時に読み取ることができ、パイプライン全体でシングルサイクル命令実行の動作を維持できます。CPU は、6 つの独立したアドレスおよびデータ・バスを使用してこの処理を行います。
- RISC - シングルサイクルの命令実行、レジスタ間の演算、改良型ハーバード・アーキテクチャ。
- マイクロコントローラ - 直感的な命令セット、バイトのパッキングとアンパッキング、ビット操作による使いやすさ。

CPU アーキテクチャおよび命令セットの詳細については、『[TMS320C28x CPU および命令セット・リファレンス・ガイド](#)』を参照してください。C28x 浮動小数点ユニット (FPU) の詳細については、『[TMS320C28x 拡張命令セット・テクニカル・リファレンス・マニュアル](#)』を参照してください。『[TMS320C28x CPU および命令セット・リファレンス・ガイド](#)』に記載されている C28x のすべての機能は、C28x+VCU に適用されます。『[TMS320C28x 拡張命令セット・テクニカル・リファレンス・マニュアル](#)』に記載されているすべての機能は、C28x+FPU+VCU に適用されます。FPU、TMU、VCU-Type 0 の概要がここに記載されています。

VCU-I 命令の概要については、『[TMS320C28x 拡張命令セット・テクニカル・リファレンス・マニュアル](#)』を参照してください。

8.6.1 組み込みリアルタイム解析および診断 (ERAD)

ERAD モジュールは、デバイスのデバッグ機能とシステム分析機能を強化します。ERAD モジュールが提供するデバッグおよびシステム分析の拡張は、CPU の外部で行われます。ERAD モジュールは、拡張バス・コンパレータ・ユニットとベンチマーク・システム・イベント・カウンタ・ユニットで構成されています。拡張バス・コンパレータ・ユニットは、ハードウェア・ブレークポイント、ハードウェア・ウォッチポイント、およびその他の出力イベントの生成に使用されます。ベンチマーク・システム・イベント・カウンタ・ユニットは、システムの分析とプロファイル作成に使用されます。ERAD モジュールは、デバッグとアプリケーション・ソフトウェアからアクセスでき、特にデバッグが接続されていない状況で、多くのリアルタイム・システムにおいてデバッグ性能が大幅に向上します。TMS320F28004x デバイスでは、ERAD モジュールに 8 つの拡張バス・コンパレータ・ユニットと 4 つのベンチマーク・システム・イベント・カウンタ・ユニットが含まれています。

8.6.2 浮動小数点演算ユニット (FPU)

C28x + 浮動小数点 (C28x+FPU) プロセッサは、レジスタと命令を追加することにより、C28x 固定小数点 CPU の機能を拡張し、IEEE 単精度浮動小数点の演算をサポートします。

C28x+FPU を搭載したデバイスは、標準の C28x レジスタ・セットに加えて、追加の浮動小数点ユニット・レジスタ・セットを備えています。追加の浮動小数点ユニット・レジスタは以下のとおりです。

- 8 つの浮動小数点結果レジスタ RnH (n = 0~7)
- 浮動小数点ステータス・レジスタ (STF)
- リピート・ブロック・レジスタ (RB)

リピート・ブロック・レジスタを除くすべての浮動小数点レジスタにシャドウイングが行われます。このシャドウイングは、優先度の高い割り込みで使用して、浮動小数点レジスタのコンテキスト保存と復元を高速化できます。

8.6.3 三角関数演算ユニット (TMU)

TMU は、C28x+FPU の機能を拡張するために、命令を追加するとともに既存の FPU 命令を活用して、表 8-10 に示す一般的な三角関数および算術演算の実行を迅速化します。

表 8-10. TMU がサポートする命令

説明	等価な C の演算	パイプラインのサイクル数
MPY2PIF32 RaH,RbH	$a = b * 2\pi$	2/3
DIV2PIF32 RaH,RbH	$a = b / 2\pi$	2/3
DIVF32 RaH,RbH,RcH	$a = b/c$	5
SQRTF32 RaH,RbH	$a = \text{sqrt}(b)$	5
SINPUF32 RaH,RbH	$a = \sin(b*2\pi)$	4
COSPUF32 RaH,RbH	$a = \cos(b*2\pi)$	4
ATANPUF32 RaH,RbH	$a = \text{atan}(b)/2\pi$	4
QUADF32 RaH,RbH,RcH,RdH	ATANPU2 の計算に役立つ演算	5

既存の命令、パイプライン、メモリ・バス・アーキテクチャに変更は加えられていません。すべての TMU 命令は、既存の FPU レジスタ・セット (R0H~R7H) を使用して演算を実行します。

8.6.4 ビタビ、複素演算、CRC ユニット (VCU-I)

VCU 付き C28x (C28x+VCU) プロセッサは、レジスタおよび命令を追加することにより、C28x 固定小数点 または浮動小数点 CPU の機能を拡張し、以下に示す種類のアルゴリズムをサポートします。

• ビタビ復号

ビタビ復号は、ベースバンド通信アプリケーションで一般的に使用されます。ビタビ復号アルゴリズムは、ブランチメトリック計算、比較・選択 (ビタビ・バタフライ)、トレースバック演算の 3 つの主要部分で構成されています。表 8-11 に、これらの各動作の VCU-I 性能の概要を示します。

表 8-11. ビタビ復号性能

ビタビ演算	VCU のサイクル
ブランチ・メトリック計算 (コード・レート= 1/2)	1
ブランチ・メトリック計算 (コード・レート= 1/3)	2p
ビタビ・バタフライ (加算・比較・選択)	2 (1)
ステージごとのトレースバック	3 (2)

(1) C28x CPU は、バタフライごとに 15 サイクルを要します。

(2) C28x CPU は、ステージごとに 22 サイクルを要します。

• 巡回冗長検査 (CRC)

巡回冗長検査 (CRC) アルゴリズムは、大規模なデータ・ブロック、通信パケット、またはコード・セクションでデータの整合性を検証するための明快な方法を提供します。C28x+VCU は、8 ビット、16 ビット、32 ビットの CRC を実行できます。たとえば、VCU は、10 バイトのブロック長に対して 10 サイクルで CRC を計算できます。CRC 結果レジスタには現在の CRC が収容されており、CRC 命令が実行されると更新されます。

• 複素演算

- 複素演算は多くのアプリケーションで使用されています。その例を以下に示します。
- 高速フーリエ変換 (FFT)

複素 FFT は、スペクトラム拡散通信や、多くの信号処理アルゴリズムで使用されます。

- 複素フィルタ

複素フィルタにより、データの信頼性、伝送距離、電力効率が向上します。C28x+VCU は、複素数 I および Q の係数乗算 (4 回の乗算) を 1 サイクルで実行できます。さらに、16 ビット複素数データの実数部と虚数部に関するメモリの読み書きを 1 サイクルで実行できます。

表 8-12 に、VCU で実行可能な 複素演算の概要をいくつか示します。

表 8-12. 複素演算性能

複素演算	VCU のサイクル	注
加算または減算	1	32 ± 32 = 32 ビット (フィルタに有用)
加算または減算	1	16 ± 32 = 15 ビット (FFT に有用)
乗算	2p	16 × 16 = 32 ビット
積和演算 (MAC)	2p	32 + 32 = 32 ビット、16 × 16 = 32 ビット
RPT MAC	2p+N	MAC の繰り返し。最初の演算後は 1 サイクル。

8.7 制御補償器アクセラレータ (CLA)

CLA タイプ 2 は、独立した、完全にプログラマブルな 32 ビット浮動小数点演算プロセッサであり、C28x ファミリーで制御ループの同時実行を可能にします。CLA の割り込みレイテンシが短いため、ADC サンプルを「ジャスト・イン・タイム」で読み取ることができます。これにより、ADC サンプルから出力までの遅延が大幅に減少し、システム応答の高速化と高い MHz での制御ループを実現できます。CLA を使って時間に制約のある制御ループを処理することで、メイン CPU は、他のシステムタスク、たとえば通信や診断を自由に実行できます。

制御補償アクセラレータは、並列処理を追加することで C28x CPU の機能を拡張します。時間に制約のある制御ループを CLA で処理することにより、ADC のサンプリングから出力までの遅延を低減できます。したがって CLA を使用することで、より速いシステム応答とより高い周波数の制御ループを実現できます。時間に制約のあるタスクに CLA を利用すると、メイン CPU が解放され、その他のシステム機能と通信機能を同時に実行できます。

CLA の主な機能を以下に示します。

- メイン CPU と同じ速度のクロック (SYSCLKOUT) で動作
- 独立したアーキテクチャにより、メイン C28x CPU から独立して CLA アルゴリズムを実行
 - 充実したバス・アーキテクチャ:
 - プログラム・アドレス・バス (PAB) とプログラム・データ・バス (PDB)
 - データ読み取りアドレス・バス (DRAB)、データ読み取りデータ・バス (DRDB)、データ書き込みアドレス・バス (DWAB)、データ書き込みデータ・バス (DWDB)
 - 独立した 8 段パイプライン。
 - 16 ビット・プログラム・カウンタ (MPC)
 - 4 つの 32 ビット結果レジスタ (MR0~MR3)
 - 2 つの 16 ビット補助レジスタ (MAR0, MAR1)
 - ステータス・レジスタ (MSTF)
- 命令セットの内容:
 - IEEE 単精度 (32 ビット) 浮動小数点演算
 - 並列ロードまたはストア付き浮動小数点演算
 - 並列加減算付き浮動小数点乗算
 - $1/X$ と $1/\sqrt{X}$ の概算
 - データ・タイプ変換
 - 条件付き分岐および呼び出し
 - データのロード / ストア操作
- CLA プログラム・コードは、最大 8 つのタスクもしくは割り込みサービス・ルーチン、または 7 つのタスクとメインのバックグラウンド・タスクで構成できます。
 - 各タスクの開始アドレスは MVECT レジスタで指定されます。
 - 設定可能な CLA プログラム・メモリ空間内にタスクが収まる限り、タスク・サイズに制限はありません。
 - 一度に 1 つのタスクが最後まで処理されます。タスクのネスティングはありません。
 - タスクが完了すると、PIE 内でタスク固有の割り込みが生成されます。
 - 1 つのタスクが完了すると、次に優先度が高い保留タスクが自動的に開始されます。
 - タイプ 2 CLA では、バックグラウンドでメイン・タスクを継続的に実行しながら、優先度の高い他のイベントによってフォアグラウンド・タスクをトリガすることも可能です。
- タスク・トリガ機構:
 - C28x CPU から IACK 命令による
 - タスク 1~タスク 8: CLA が第 2 位の所有権を持つ共有バスに接続されているペリフェラルから、最大 256 のトリガ・ソースを使用可能。
 - タスク 8 は、バックグラウンド・タスクに設定でき、タスク 1~7 はペリフェラル・トリガに設定できます。
- メモリおよび共有ペリフェラル:
 - CLA とメイン CPU の間の通信のための 2 つの専用メッセージ RAM。
 - C28x CPU は、CLA プログラムとデータ・メモリをメイン CPU 空間または CLA 空間に割り当てることが可能。

機能ブロック図を [図 8-2](#) に示します。

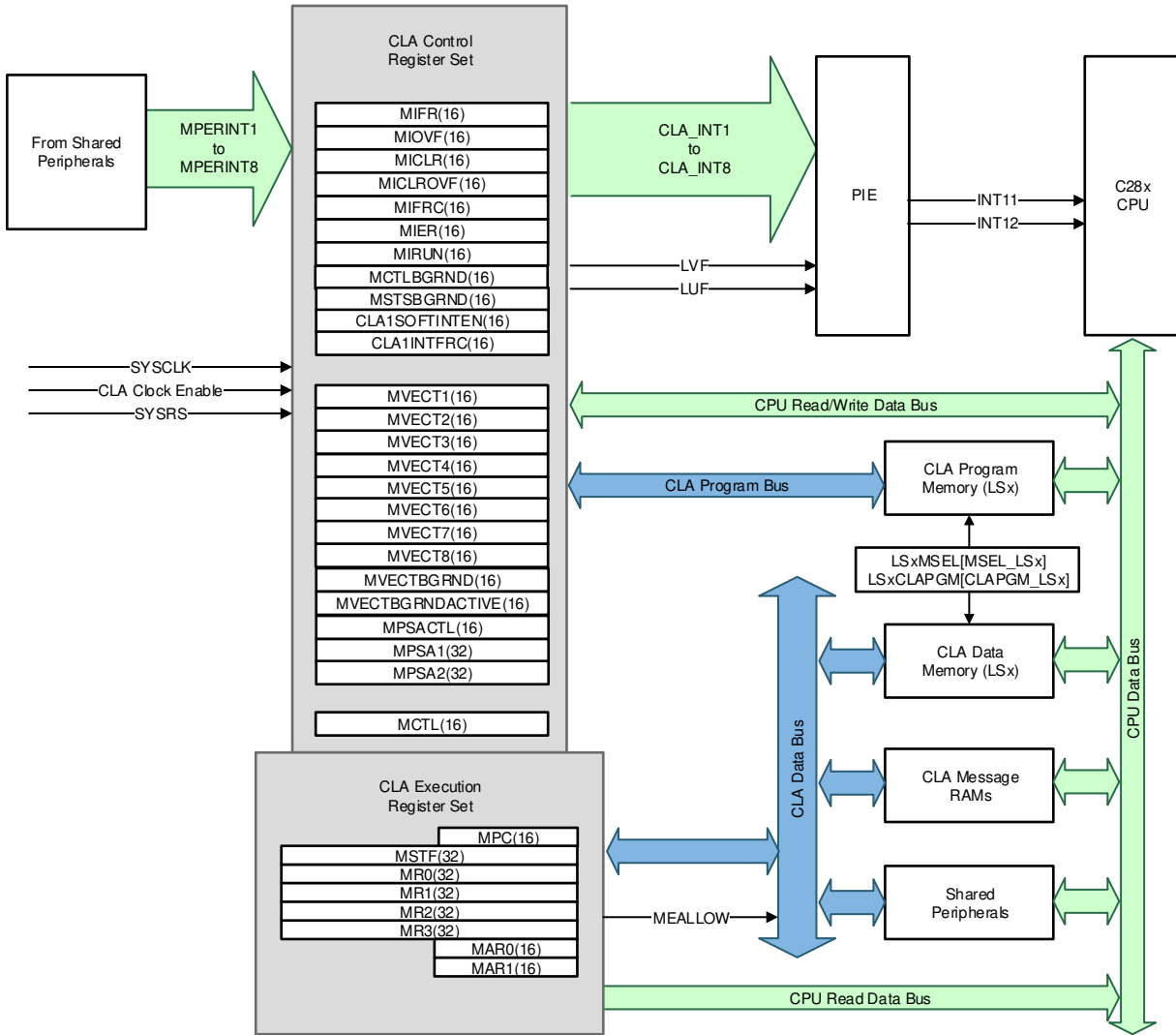


図 8-2. 機能ブロック図

8.8 ダイレクト・メモリ・アクセス (DMA)

DMA モジュールは、CPU を介さずにペリフェラルやメモリ間でデータを転送するためのハードウェア方式を提供し、他のシステム機能の処理能力を解放します。さらに、DMA には、転送時にデータを直交的に再配置する機能、および複数のバッファを「ピンポン」方式で選択してデータを転送する機能があります。これらの機能は、最適な CPU 処理のためにデータをブロックに分けて構造化するのに役立ちます。

DMA の特長:

- 独立した PIE 割り込みを持つ 6 つのチャンネル
- ペリフェラル割り込みトリガ・ソース
 - ADC 割り込みおよび EVT 信号
 - 外部割り込み
 - ePWM SOC 信号
 - CPU タイマ
 - eCAP
 - シグマ-デルタ・フィルタ・モジュール
 - SPI 送信および受信
 - CAN 送信および受信
 - LIN 送信および受信
- データ転送元および転送先:
 - GSx RAM
 - ADC 結果レジスタ
 - 制御ペリフェラル・レジスタ (ePWM、eQEP、eCAP、SDFM)
 - DAC および PGA レジスタ
 - SPI、LIN、CAN、PMBus レジスタ
- ワード・サイズ: 16 ビットまたは 32 ビット (SPI は 16 ビットに限定)
- スループット: 調停なしで、1 ワードあたり 4 サイクル

DMA のデバイスレベル・ブロック図を [図 8-3](#) に示します。

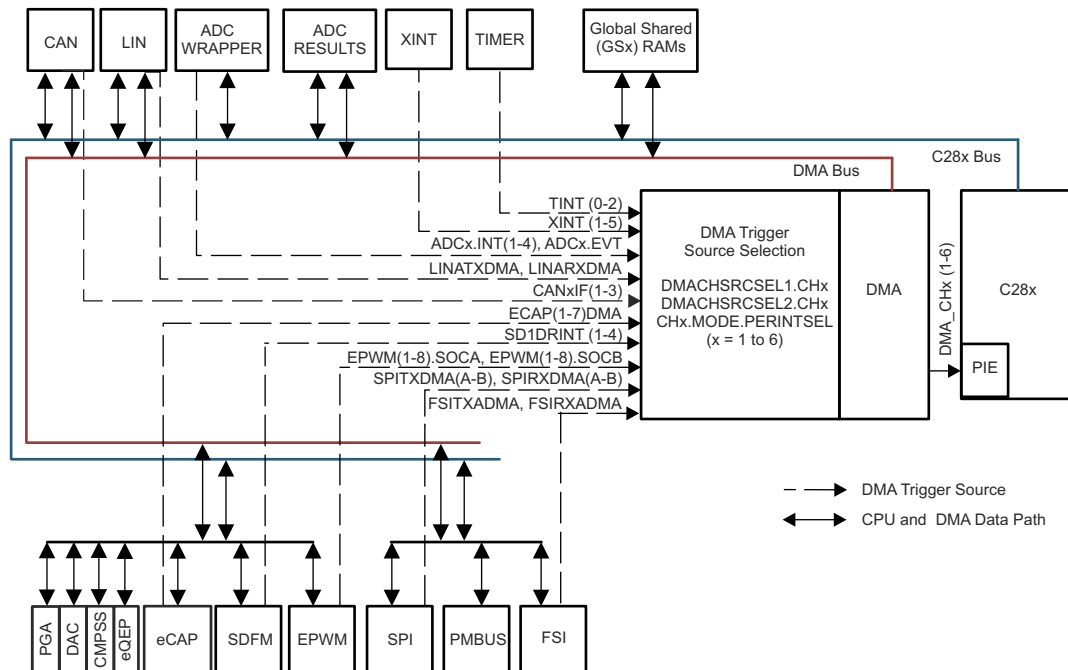


図 8-3. DMA のブロック図

8.9 ブート ROM およびペリフェラル・ブート

デバイスのブート ROM には、ブートロード用ソフトウェアが含まれています。デバイスの ROM には、デバイスの電源がオンになったとき、およびデバイスがリセットされるたびに実行される内部ブートローダ (TI によってプログラムされたもの) が入っています。ブートローダは、ブート可能なペリフェラルのいずれかを經由してアプリケーションをデバイスの RAM にロードするための初期プログラムとして使用されます。または、フラッシュがある場合には、フラッシュに入っているアプリケーションを起動するように構成することもできます。

表 8-13 に、デフォルトのブート・モード・オプションを示します。ユーザーは、サポートされているブート・モードとブート・モード選択ピンをカスタマイズするオプションを利用できます。

表 8-13. デバイスのデフォルト・ブート・モード

ブート・モード	GPIO24 (デフォルトのブート・モード選択ピン 1)	GPIO32 (デフォルトのブート・モード選択ピン 0)
パラレル IO	0	0
SCI / ウェイト・ブート	0	1
CAN	1	0
フラッシュ	1	1

表 8-14 に、このデバイスでサポートされているブート・モードを示します。デフォルトのブート・モード・ピンは、GPIO24 (ブート・モード・ピン 1) および GPIO32 (ブート・モード・ピン 0) です。ユーザーがこれらのピンでペリフェラルも使用する場合、ブート・モード・ピンを弱くプルアップすることを選択してもかまいません。これは、プルアップをオーバーライドできるようにするためです。このデバイスでは、ユーザーが構成可能なデュアル・コード・セキュリティ・モジュール (DCSM) OTP 領域をプログラムすることにより、出荷時のデフォルトのブート・モード・ピンを変更できます。

表 8-14. 利用可能なすべてのブート・モード

ブート・モード番号	ブート・モード
0	パラレル IO
1	SCI / ウェイト・ブート
2	CAN
3	フラッシュ
4	Wait
5	RAM
6	SPI マスタ
7	I2C マスタ
8	PLC

注

サポートされているすべてのペリフェラル・ブート・モードは、ペリフェラル・モジュールの最初のインスタンス (SCIA, SPIA, I2CA, CANA など) を使用します。このセクションで、これらのブート・モードに言及する場合は、最初のモジュール・インスタンスを指しています。たとえば SCI ブートと言えば、SCIA ポートでの SCI ブートを意味します。他のペリフェラル・ブートについても同様です。

8.9.1 代替ブート・モード選択ピンの構成

このセクションでは、ユーザーが構成可能な DCSM OTP 内の BOOTPIN_CONFIG 領域をプログラムすることにより、ブート・モード選択ピンをユーザーがカスタマイズする方法について説明します。ユーザー DCSM OTP 内のその領域は、Z1-OTP-BOOTPIN-CONFIG です。デバッグ時には、EMU-BOOTPIN-CONFIG が Z1-OTP-BOOTPIN-CONFIG をエミュレートする代用として機能するので、OTP に書き込まずにさまざまなブート・モードを検証するようにプログラムできます。このデバイスは、必要に応じて 0、1、2、3 のブート・モード選択ピンを使用するようにプログラムできます。

表 8-15. BOOTPIN_CONFIG のビット・フィールド

ビット	名称	説明
31~24	キー	このレジスタのビットが有効であることをブート ROM コードに知らせるためには、この 8 ビットに 0x5A を書き込みます
23~16	ブート・モード選択ピン 2 (BMSP2)	BMSP0 の説明参照
15~8	ブート・モード選択ピン 1 (BMSP1)	BMSP0 の説明参照
7~0	ブート・モード選択ピン 0 (BMSP0)	ブート時に使用する GPIO ピンを設定します (最大 255)。 0x0 = GPIO0、0x01 = GPIO1 など 0xFF は無効であり、他のすべての BMSP も 0xFF に設定されている場合、出荷時のデフォルトとして選択された BMSP0 を選択します。 他のいずれかの BMSP が 0xFF に設定されていない場合には、BMSP を 0xFF に設定すると、その設定された BMSP がディセーブルになります。

注

以下の GPIO を BMSP として使用することはできません。ある BMSP に対してこの GPIO を選択した場合、ブート ROM は出荷時のデフォルト GPIO を自動的に選択します (BMSP2 の出荷時デフォルトは 0xFF であり、BMSP はディセーブルです)。

- GPIO 20~23
- GPIO 36
- GPIO 38
- GPIO 60~223

表 8-16. スタンドアロンのブート・モード選択ピン・デコード

BOOTPIN_CONFIG キー	BMSP0	BMSP1	BMSP2	選択されるブート・モード
!= 0x5A	不定	不定	不定	工場出荷時デフォルトの BMSP (GPIO24、GPIO32) で定義されるブート

表 8-16. スタンドアロンのブート・モード選択ピン・デコード (continued)

BOOTPIN_CONFIG キー	BMSP0	BMSP1	BMSP2	選択されるブート・モード
= 0x5A	0xFF	0xFF	0xFF	ブート・モード 0 のブート・テーブルで定義されるブート (すべての BMSP が無効)
	有効な GPIO	0xFF	0xFF	BMSP0 の値で定義されるブート (BMSP1 および BMSP2 無効)
	0xFF	有効な GPIO	0xFF	BMSP1 の値で定義されるブート (BMSP0 および BMSP2 無効)
	0xFF	0xFF	有効な GPIO	BMSP2 の値で定義されるブート (BMSP0 および BMSP1 無効)
	有効な GPIO	有効な GPIO	0xFF	BMSP0 と BMSP1 の値で定義されるブート (BMSP2 無効)
	有効な GPIO	0xFF	有効な GPIO	BMSP0 と BMSP2 の値で定義されるブート (BMSP1 無効)
	0xFF	有効な GPIO	有効な GPIO	BMSP1 と BMSP2 の値で定義されるブート (BMSP0 無効)
	有効な GPIO	有効な GPIO	有効な GPIO	BMSP0、BMSP1、BMSP2 の値で定義されるブート

8.9.2 代替ブート・モード・オプションの構成

このセクションでは、デバイスおよび関連するブート・オプションのブート定義表、BOOTDEF を構成する方法について説明します。ユーザーが構成可能な DCSM OTP の中に、Z1-OTP-BOOTDEF-LOW および Z1-OTP-BOOTDEF-HIGH として 64 ビットの領域があります。デバッグ時には、EMU-BOOTDEF-LOW および EMU-BOOTDEF-HIGH が、Z1-OTP-BOOTDEF-LOW および Z1-OTP-BOOTDEF-HIGH をエミュレートする代用として機能するので、OTP に書き込まずにさまざまなブート・モード・オプションを検証するようにプログラムできます。ブート定義表に対するカスタマイズの範囲は、使用されているブート・モード選択ピンの数によって異なります。BOOTPIN_CONFIG および BOOTDEF 値の使用例 については、『TMS320F28004x リアルタイム・マイクロコントローラ・テクニカル・リファレンス・マニュアル』の「ROM コードおよびペリフェラル・ブート」の章にあるブート・モードの使用事例のセクションを参照してください。

表 8-17. BOOTDEF のビット・フィールド

BOOTDEF 名	バイト位置	名称	説明
BOOT_DEF0	7~0	BOOT_DEF0 モードおよびオプション	ブート・モードおよびブート・モードのオプションを設定します。これには、特定のブート・ペリフェラルに対する GPIO の変更や、別のフラッシュ・エントリー・ポイントの指定が含まれます。サポートされていないブート・モードを使用すると、デバイスがリセットされます。 有効な BOOTDEF 値については、『GPIO の割り当て』を参照してください。
BOOT_DEF1	15~8	BOOT_DEF1 モードおよびオプション	BOOT_DEF0 の説明を参照してください。
BOOT_DEF2	23~16	BOOT_DEF2 モードおよびオプション	
BOOT_DEF3	31~24	BOOT_DEF3 モードおよびオプション	
BOOT_DEF4	39~32	BOOT_DEF4 モードおよびオプション	
BOOT_DEF5	47~40	BOOT_DEF5 モードおよびオプション	
BOOT_DEF6	55~48	BOOT_DEF6 モードおよびオプション	
BOOT_DEF7	63~56	BOOT_DEF7 モードおよびオプション	

8.9.3 GPIO の割り当て

このセクションでは、Z1-OTP-BOOTDEF-LOW および Z1-OTP-BOOTDEF-HIGH の BOOT_DEFx で設定されている各ブート・モードに使用される GPIO とブート・オプションについて詳しく説明します。BOOT_DEFx の操作方法については、『代替ブート・モード選択ピンの構成』を参照してください。ブート・モード・オプションを選択するときは、使用する特定のデバイス・パッケージのピン・マルチプレクサ・オプションで、必要なピンが利用可能であることを確認します。

表 8-18. SCI ブート・オプション

オプション	BOOTDEFx 値	SCIATX GPIO	SCIARX GPIO
0 (デフォルト)	0x01	GPIO29	GPIO28
1	0x21	GPIO16	GPIO17
2	0x41	GPIO8	GPIO9
3	0x61	GPIO48	GPIO49
4	0x81	GPIO24	GPIO25

注

SCIATX および SCIARX ピンのプルアップがイネーブルになります。

表 8-19. CAN ブート・オプション

オプション	BOOTDEFx 値	CANTXA GPIO	CANRXA GPIO
0 (デフォルト)	0x02	GPIO32	GPIO33
1	0x22	GPIO4	GPIO5
2	0x42	GPIO31	GPIO30
3	0x62	GPIO37	GPIO35

注

CANTXA および SCIARX ピンのプルアップがイネーブルになります。

表 8-20. フラッシュ・ブート・オプション

オプション	BOOTDEFx 値	フラッシュ・エントリ・ポイント (アドレス)	フラッシュ・バンク、セクタ
0 (デフォルト)	0x03	フラッシュ - デフォルト・オプション 1 (0x00080000)	バンク 0、セクタ 0
1	0x23	フラッシュ - オプション 2 (0x0008EFF0)	バンク 0、セクタ 14
2	0x43	フラッシュ - オプション 3 (0x00090000)	バンク 1、セクタ 0
3	0x63	フラッシュ - オプション 4 (0x0009EFF0)	バンク 1、セクタ 14

表 8-21. ウェイト・ブート・モード

オプション	BOOTDEFx 値	ウォッチドッグ・ステータス
0	0x04	イネーブル
1	0x24	ディセーブル

表 8-22. SPI ブート・オプション

オプション	BOOTDEFx 値	SPIA_SIMO	SPIA_SOMI	SPIA_CLK	SPIA_STE
1	0x26	GPIO8	GPIO10	GPIO9	GPIO11
2	0x46	GPIO54	GPIO55	GPIO56	GPIO57
3	0x66	GPIO16	GPIO17	GPIO56	GPIO57
4	0x86	GPIO8	GPIO17	GPIO9	GPIO11

注

SPIA_SIMO、SPIA_SOMI、SPIA_CLK、SPIA_STE ピンのプルアップがイネーブルになります。

表 8-23. I2C ブート・オプション

オプション	BOOTDEFx 値	SDAA GPIO	SCLA GPIO
0	0x07	GPIO32	GPIO33
1	0x47	GPIO26	GPIO27
2	0x67	GPIO42	GPIO43

注

SDAA および SCLA ピンのプルアップがイネーブルになります。

表 8-24. パラレル・ブート・オプション

オプション	BOOTDEFx 値	D0~D7 GPIO	DSP 制御 GPIO	ホスト 制御 GPIO
0 (デフォルト)	0x00	GPIO0~GPIO7	GPIO16	GPIO11

注

GPIO0~GPIO7 のプルアップがイネーブルになります。

表 8-25. RAM ブート・オプション

オプション	BOOTDEFx 値	RAM エントリ・ポイント・アドレス
0	0x05	0x00000000

8.10 デュアル・コード・セキュリティ・モジュール

デュアル・コード・セキュリティ・モジュール (DCSM) は、オンチップのセキュア・メモリへのアクセスを防止します。「セキュア」という用語は、セキュアなメモリおよびリソースへのアクセスがブロックされることを意味します。「アンセキュア」という用語は、Code Composer Studio™ (CSS) などのデバッグ・ツールを使用してアクセスが許可されていることを意味します。

コード・セキュリティ・メカニズムは、ゾーン 1 (Z1) とゾーン 2 (Z2) の 2 つのゾーンを保護します。両方のゾーンに対するセキュリティの実装は同一です。各ゾーンには、専用のセキュア・リソース (OTP メモリおよびセキュア ROM) と、割り当てられたセキュア・リソース (CLA, LSx RAM、フラッシュ・セクタ) があります。

各ゾーンのセキュリティは、それぞれの 128 ビット・パスワード (CSM パスワード) によって確保されます。各ゾーンのパスワードは、ゾーン固有のリンク・ポインタに基づいて OTP メモリの領域に格納されます。リンク・ポインタの値を変更して、OTP 内で異なるセキュリティ設定 (パスワードを含む) をプログラムできます。

Code Security Module Disclaimer

このデバイスに搭載されているコード・セキュリティ・モジュール (CSM) は、関連メモリに保存されているデータをパスワードで保護するように設計されています。テキサス・インスツルメンツ (TI) は、このデバイスに適用される保証期間において、標準契約条件に従って、この CMS が TI の発行した仕様書に準拠していることを保証します。

ただし、TI は、CSM で情報漏洩もしくは侵害が発生しないこと、または関連メモリに格納されているデータに他の手段でアクセスできないことを保証もしくは表明するものではありません。さらに、前述の規定を除き、TI は、商品性または特定目的への適合性に関する黙示の保証を含めて、CSM について、またはこのデバイスの動作について、保証または表明を行うものではありません。

いかなる場合においても、TI は、CSM またはこのデバイスの何らかの方法での使用に関連または起因して発生した、特別、間接的、偶発的、懲罰的な損害について、TI がこれらの損害の可能性について通知されていたかどうかにかかわらず、一切責任を負わないものとします。除外される損害には、データの消失、営業上の信用喪失、使用不能の損失、または業務の中断、その他の経済的損失が含まれますが、これらに限定されません。

8.11 ウォッチドッグ

このウォッチドッグ・モジュールは、従来の TMS320C2000 デバイスと同じですが、オプションでカウンタのソフトウェア・リセット間隔の下限を設定できます。このウィンドウ付きカウントダウンは、デフォルトで無効になっているため、ウォッチドッグは完全に下位互換性があります。

ウォッチドッグは、リセットまたは割り込みのどちらかを生成します。選択可能な分周器付きの内部発振器からクロックが供給されます。

図 8-4 に、ウォッチドッグ・モジュール内の各種機能ブロックを示します。

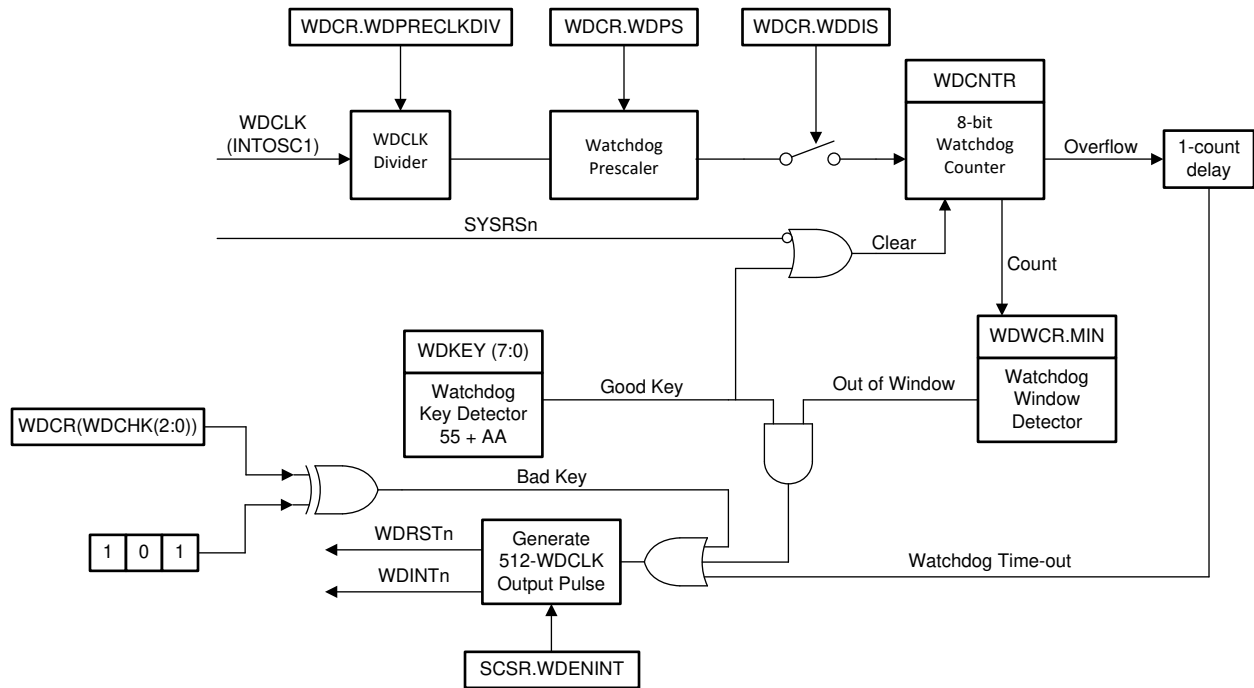


図 8-4. ウィンドウ付きウォッチドッグ

8.12 構成可能ロジック・ブロック (CLB)

C2000 構成可能ロジック・ブロック (CLB) は、ソフトウェアを使って相互接続できるブロックの集合体であり、カスタム・デジタル・ロジック機能の実装や既存のオンチップ・ペリフェラルの拡張に使用できます。CLB は、一連のクロスバー相互接続を使用して既存のペリフェラルを拡張することができます。この相互接続によって、拡張パルス幅変調器 (ePWM)、拡張キャプチャ・モジュール (eCAP)、拡張直交エンコーダ・パルス・モジュール (eQEP) など、既存の制御ペリフェラルに高いレベルの接続性が得られます。クロスバーを使って、CLB を外部 GPIO ピンに接続することもできます。このように、CLB とデバイスのペリフェラルとの連携を構成することにより、コンパレータなどの小規模な論理機能を実行したり、またはカスタムのシリアル・データ交換プロトコルを実装したりできます。従来は外部のロジック・デバイスを使って他の方法で実現していた機能が、CLB によって MCU 内で実装できるようになりました。

CLB ペリフェラルは、CLB ツールを使って構成します。CLB ツール、使用例、アプリケーション・レポート、およびユーザー・ガイドの詳細については、[C2000Ware](#) パッケージ (C2000Ware_2_00_00_03 以降) の次の場所を参照してください。

- [C2000WARE_INSTALL_LOCATION\utilities\clb_tool\clb_syscfg\doc](#)
- [CLB ツール・ユーザー・ガイド](#)
- [『C2000™ 構成可能ロジック・ブロック \(CLB\) を使用した設計』アプリケーション・レポート](#)
- [『カスタム・ロジックを FPGA/CPLD から C2000™ マイクロコントローラへ移行する方法』アプリケーション・レポート](#)

図 8-5 に、CLB モジュールとその相互接続を示します。

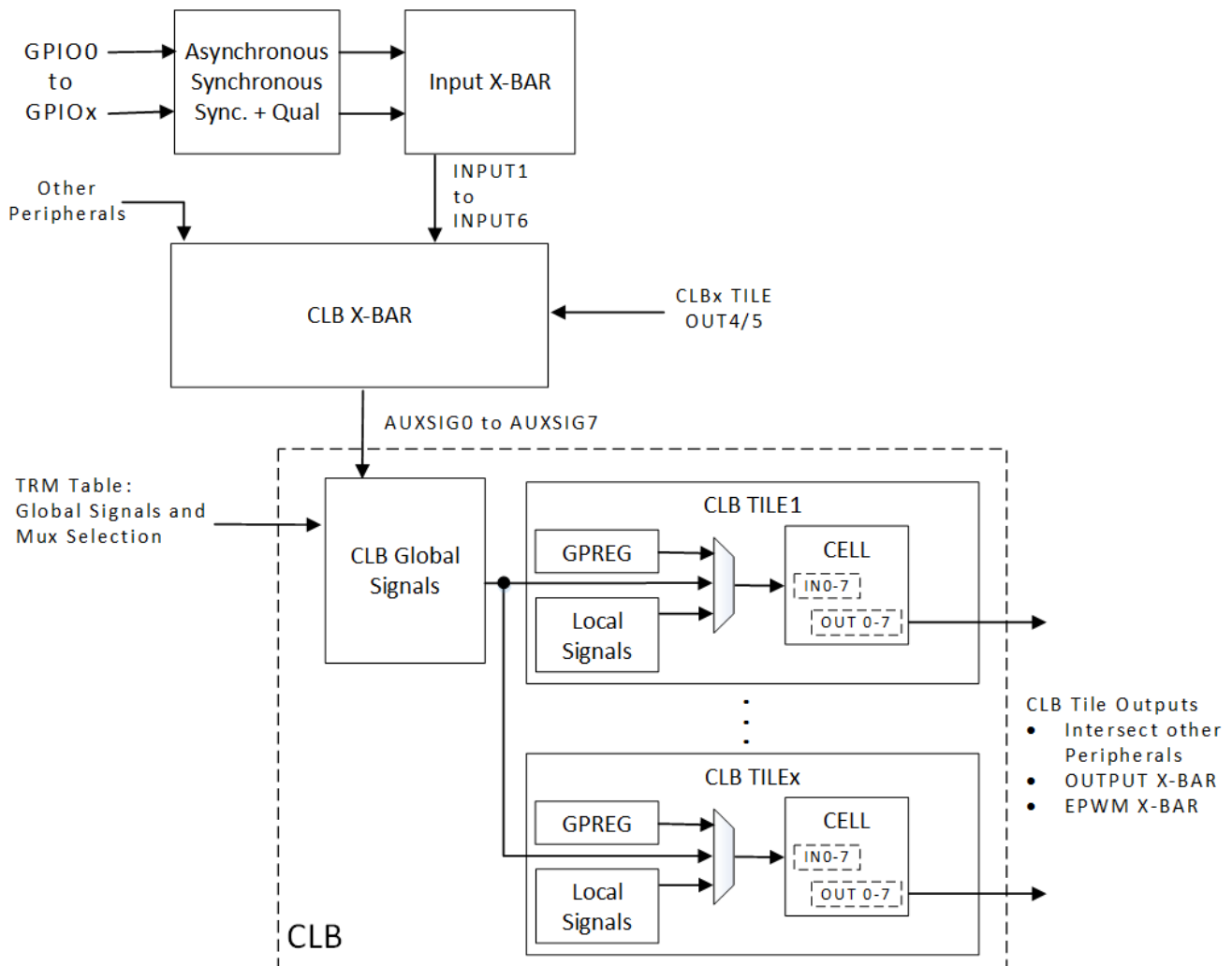


図 8-5. CLB の概要

C2000Ware MotorControl SDK では、アブソリュート・エンコーダ・プロトコル・インターフェイスが [Position Manager](#) ソリューションとして提供されています。C2000Ware MotorControl SDK には、構成ファイル、アプリケーション・プログラマ・インターフェイス (API)、およびこれらのソリューションの使用例が付属しています。一部のソリューションでは、TI が構成した CLB を、SPI ポートや C28x CPU など他のオンチップ・リソースと組み合わせて使って、より複雑な機能を実行します。CLB 機能をサポートするデバイスについては、[表 5-1](#) を参照してください。

8.13 機能安全

機能安全準拠製品は、ISO 26262 / IEC 61508 に準拠したハードウェア開発プロセスに基づいて開発されており、このプロセスは、ASIL D/SIL 3 の決定論的能力を満たすことが独立した機関によって評価および認証されています (認証書を参照)。TMS320F28004x は、コンポーネント・レベルで ASIL B のランダム・ハードウェア性能を満たすことが認証されています (認証書を参照)。

すべてのハードウェアおよびソフトウェアの機能安全メカニズムについて説明した機能安全マニュアルを利用できます。[『TMS320F28004x 機能安全マニュアル』](#)を参照してください。

ランダム・ハードウェア・メトリックスの計算を可能にする、故障注入による詳細かつ調整可能で定量的な FMEDA (国際標準化機構 ISO 26262 および国際電気標準会議 IEC 61508 で規定されている車載用および産業用アプリケーション向け) も利用できます。この調整可能な FMEDA は、請求する必要があります。[『C2000™ 車載用および産業用リアルタイム・マイクロコントローラ向け安全パッケージ』ユーザー・ガイド](#)を参照してください。

- 調整可能な FMEDA の価値 (または利点) の概要を説明したホワイト・ペーパーをご用意しています。[『機能安全: C2000™ MCU 向けの調整可能な FMEDA』](#) 出版物を参照してください。
- 5 部構成の FMEDA チューニング・トレーニングのうち、第 1 部および第 2 部が利用可能です。[C2000™ 調整可能な FMEDA トレーニング](#) ページを参照してください。第 3 部、第 4 部、第 5 部は、調整可能な FMEDA とパッケージされているため、請求する必要があります。

F28004x シリーズのデバイス用に設計された 3 つの診断ライブラリは、機能安全システムの開発に役立ちます。C28x セルフ・テスト・ライブラリ (C28x_STL)、CLA セルフ・テスト・ライブラリ (CLA_STL)、ソフトウェア診断ライブラリ (SDL) です。C28x_STL および CLA_STL は、それぞれ C28x CPU および CLA のソフトウェア・テストを実施するものであり、独立して評価と認証を受けています。これらの製品は、ご請求いただいた場合のみ利用できます。[『C2000™ 車載用および産業用リアルタイム・マイクロコントローラ向け安全パッケージ』ユーザー・ガイド](#)をご覧ください。SDL は一連のリファレンス・ソフトウェアで構成されており、デバイスの安全マニュアルに記載されているいくつかの安全メカニズムの実装例を提供します。たとえば、SRAM のソフトウェア・テスト、クロック消失検出機能のソフトウェア・テスト、CPU タイマを使用したクロック整合性チェック、その他いくつかの重要な機能です。SDL は [C2000Ware](#) の一部として提供されています。

C2000 リアルタイム MCU には、TI のリリース検証に基づく C28x および CLA コンパイラ認定キット (CQKIT) が用意されています。このキットは無償で入手でき、[コンパイラ認定キット Web](#) ページで請求できます。

C2000 リアルタイム MCU を使用して機能安全システムを開発する方法の詳細については、以下の資料を参照してください。

- [『C2000™ リアルタイム・マイクロコントローラの車載向け機能安全』](#)には、ISO 26262 認証プロセスを支援するために利用可能な機能安全製品、資料、ソフトウェア、およびサポートが要約されています。
- [『SRAM でのエラー検出』アプリケーション・レポート](#)には、SRAM ビット・セルおよびビット・アレイの性質、SRAM 障害の発生源に関する技術情報が記載されています。さらに、電子システムのメモリ障害を管理する方法を示しています。この説明は、組み込み SRAM の堅牢性向上に関心のある電子システム開発者またはインテグレータを対象としたものです。
- [『C2000™ CPU メモリの内蔵セルフ・テスト』](#)では、アクティブ制御ループでの C28x 中央処理装置 (CPU) を使った組み込みメモリの検証について説明します。メモリ検証に関するシステムの課題と、C2000 デバイスおよびソフトウェアが提供するさまざまなソリューションについて説明します。最後に、メモリ・テストに適用可能なソフトウェア診断ライブラリについて説明します。

9 アプリケーション、実装、およびレイアウト

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくこととなります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

『F2800x C2000™ リアルタイム MCU シリーズ用ハードウェア設計ガイド』アプリケーション・ノートは、C2000 デバイスを使用するハードウェア開発者向けの重要なガイドであり、設計プロセスの合理化と、設計不具合の可能性低減に役立ちます。ここで説明する主なトピックは、電源要件、汎用入出力 (GPIO) 接続、アナログ入力と ADC、クロック生成と要件、JTAG デバッグなどです。

9.1 デバイスの主な特長

表 9-1. デバイスの主な特長

モジュール	機能	システムの利点
処理		
リアルタイム制御 CPU	最大 200MIPS C28x: 100MIPS CLA: 100MIPS フラッシュ: 最大 256KB RAM: 最大 100KB 32 ビット浮動小数点ユニット (FPU32) 三角関数演算ユニット (TMU) ビタビ複素演算ユニット (VCU)	TI の 32 ビット C28x DSP コアは、オンチップ・フラッシュまたは SRAM から実行される浮動小数点または固定小数点コードに対して 100MHz の信号処理能力があります。 オンチップ・フラッシュまたは SRAM から実行される浮動小数点または固定小数点コードに対して 100MHz の信号処理能力があります。 FPU32: IEEE 754 単精度浮動小数点演算のネイティブ・ハードウェア・サポート TMU: 制御アプリケーション向けに最適化された迅速な計算 (たとえば PLL や DQ 変換) のために、三角関数と算術演算の実行を高速化するために使用されるアクセラレータ。制御ループの高速化を実現し、効率の向上と部品サイズの小型化に貢献します。 非線形 PID 制御アルゴリズムをサポートするための特別な命令 VCU: エンコード・アプリケーションで一般的に使用される複素数演算のレイテンシを短縮できます。 C2000™ 制御 MCU の最適化されたシグナル・チェーンを紹介するリアルタイム・ベンチマーク
センシング		
A/D コンバータ (ADC) (12 ビット)	最大 3 つの ADC モジュール 3.45MSPS 最大 21 チャネル	ADC は 3 相すべての電流と DC バスをジッタ 0 で高精度かつ同時にサンプリング。 ADC 後処理 - オンチップ・ハードウェアにより、ADC の ISR (割り込みサービス・ルーチン) の複雑さを緩和し、電流ループのサイクルを短縮。 マルチフェーズ・アプリケーションでは、多くの ADC が役に立ちます。より効果的な MSPS (オーバーサンプリング) と標準的な ENOB を提供し、制御ループの性能を向上します。

表 9-1. デバイスの主な特長 (continued)

モジュール	機能	システムの利点
コンパレータ・サブシステム (CMPSS)	<p>CMPSS 2 つのウィンドウ付きコンパレータ デュアル 12 ビット DAC DAC ランプ生成 外部ピンの低 DAC 出力 デジタル・フィルタ 検出からトリップまでの時間は 60ns スロープ補償</p>	<p>誤検出によるアラームを防止するシステム保護機能:</p> <p>コンパレータ・サブシステム (CMPSS) モジュールは、ピーク電流モード制御、スイッチング電源、力率改善、電圧トリップ監視などのアプリケーションに役立ちます。</p> <p>アナログ・コンパレータ・サブシステムに搭載されているブランキング・ウィンドウとフィルタリング機能により、PWM トリップのトリガと不要なノイズの除去が簡単になります。</p> <p>制御精度の向上を実現します。コンパレータと 12 ビット DAC (CMPSS) を使用して PWM を制御するために、CPU をさらに構成する必要はありません。</p> <p>同じピンを使用して保護と制御を実現します。</p>
拡張直交エンコーダ・パルス (eQEP)	2 つの eQEP モジュール	<p>リニアまたはロータリ・インクリメンタル・エンコーダとの直接インターフェイスに使用して、高性能動作および位置制御システムに使用される回転機械から位置、方向、速度などの情報を入手できます。また、外部デバイス (センサなど) からの入力パルスをカウントする、その他のアプリケーションでも使用できます。</p>
拡張キャプチャ (eCAP) / 高分解能拡張キャプチャ (HRCAP)	<p>7 つの eCAP モジュール (2 つは HRCAP 機能付き) イベント間の経過時間を測定します (最大 4 つのタイムスタンプ付きイベント)。 入力クロスバー経由で任意の GPIO に接続します。 キャプチャ・モードで使用しない場合、eCAP モジュールを単一チャネル PWM 出力 (APWM) として構成可能</p>	<p>eCAP の用途は以下のとおりです。</p> <p>回転機械の速度測定 (たとえば、歯付きスプロケットをホール・センサで検知)</p> <p>位置センサ・パルス間の経過時間測定</p> <p>パルス列信号の周期およびデューティ・サイクル測定</p> <p>デューティ・サイクル符号化電流 / 電圧センサから得られた電流または電圧振幅の復号</p>
	<p>2 つの HRCAP チャネル 300ps の標準分解能で外部パルスの幅を測定する機能を提供します。</p>	<p>HRCAP の用途は以下のとおりです。</p> <p>パルス・トレイン・サイクルの周期とデューティ・サイクルを高分解能で測定</p> <p>速度の瞬時値測定</p> <p>周波数の瞬時値測定</p> <p>絶縁境界にまたがる電圧測定</p> <p>距離 / ソナーの測定とスキャン</p> <p>流量測定</p> <p>静電容量式タッチ・アプリケーション</p>

表 9-1. デバイスの主な特長 (continued)

モジュール	機能	システムの利点
アクチュエータ駆動		
拡張パルス幅変調 (ePWM) / 高分解能パルス幅変調 (HRPWM)	最大 16 個の ePWM チャンネル デッドバンド付きのハイサイド/ローサイド PWM を生成する能力 バレー・スイッチング (バレー・ポイントで PWM 出力を切り替える機能) とブランキング・ウィンドウなどの機能をサポート	最高のパワー・トポロジに対応する、フレキシブルな PWM 波形生成。 シャドウ・デッドバンドおよびシャドウ・アクション検証機能により、適応型 PWM の生成と保護が可能になり、制御精度の向上と電力損失の低減を実現できます。 力率改善 (PFC) アプリケーションに特に関係の深い、力率 (PF) と全高調波歪 (THD) の改善を可能にします。軽負荷時の効率向上
	HRPWM 機能: 16 のチャンネルすべてが高分解能 (150ps) を実現 デューティ・サイクル、周期、デッドバンド、位相オフセットに対して 150ps のステップを備えており、99% の精度向上を実現します	高精度の制御に役立ち、高い周波数での電力変換の性能向上を実現します。 よりクリーンな波形を実現し、出力の発振/リミット・サイクルを回避します。
	ワンショット・リロードおよびグローバル・リロード機能	可変周波数およびマルチフェーズの DC-DC アプリケーションに不可欠であり、高い周波数の制御ループ (2MHz 超) の達成に役立ちます。 高い周波数でのインターリーブ LLC トポロジの制御を可能にします
	サイクルごと (CBC) のトリップ・イベントおよびワンショット・トリップ (OST) のトリップ・イベントに対して独立した PWM 動作	フォルト状態時に、サイクルごとの保護と完全な PWM シャットオフを実現します。マルチフェーズ PFC または DC-DC 制御の実装に役立ちます。
	SYNC でのロード (SYNC イベントでのシャドウからアクティブへのロードをサポート)	可変周波数アプリケーションを実現 (電力変換で LLC 制御が可能)。
	ソフトウェアの介入なし (ISR: 割り込みサービスルーチンの待ち時間なし) で PWM をシャットダウン可能	障害発生時の高速な保護
	遅延トリップ機能	ピーク電流モード制御 (PCMC) 位相シフト・フル・ブリッジ (PSFB) DC-DC によるデッドバンドの実装を容易にし、(コンパレータ、トリップ、または SYNC 入力によるトリガ・イベントでも) 多くの CPU リソースを占有しません。
	デッドバンド・ジェネレータ (DB) サブモジュール	プログラマブル遅延を立ち上がり (RED) および立ち下がり (FED) PWM 信号エッジに追加することで、ハイサイドおよびローサイド・ゲートの同時オン状態を防止します。
	フレキシブルな PWM 位相の関係とタイマの同期	各 ePWM モジュールは、他の ePWM モジュールや他のペリフェラルと同期させることができます。PWM エッジを互いに同期させたり、特定のイベントと同期させたりします。 パワー・デバイスのスイッチングと同期して、特定のサンプリング・ウィンドウを使用するフレキシブルな ADC スケジューリングをサポートします。
コネクティビティ		
シリアル・ペリフェラル・インターフェイス (SPI)	2 つの高速 SPI ポート	25MHz をサポート
シリアル通信インターフェイス (SCI)	2 つの SCI (UART) モジュール	コントローラとのインターフェイス
LIN (Local Interconnect Network)	1 つの LIN	コントローラ・エリア・ネットワーク (CAN) の帯域幅とフォルト・トレランスが不要な場合に、低コストのソリューションを提供します。 他のコントローラと通信するための SCI としても使用できます。
CAN (Controller Area Network) / DCAN	1 つの DCAN モジュール	Classic CAN モジュールとの互換性を提供
I2C (Inter-Integrated Circuit)	1 つの I2C モジュール	外部 EEPROM、センサ、またはコントローラとのインターフェイス

表 9-1. デバイスの主な特長 (continued)

モジュール	機能	システムの利点
PMBus (Power-Management Bus)	1 つの PMBus モジュール SMI フォーラム PMBus 仕様 (Part I v1.0 および Part II v1.1) 準拠	ハードウェアベースのシームレスなホスト通信
高速シリアル・インターフェイス (FSI) (トランスミッタおよびレシーバ付き)	1 つの FSI トランスミッタと 1 つの FSI レシーバ 信頼性の高い高速通信に対応できるシリアル通信ペリフェラル 絶縁デバイス間の通信 (最大 100MHz)	高速シリアル・インターフェイス (FSI) は、最大 100Mbps であり、絶縁境界をまたぐ場合であっても、ピン数の少ない高速通信に役立ちます。
他のシステムの特長		
セキュリティ・エンハンス	デュアル・ゾーン・コード・セキュリティ・モジュール (DCSM) ウォッチドッグ レジスタへの書き込み保護 クロック消失検出ロジック (MCD) 誤り訂正符号 (ECC) およびパリティ	DCSM: 社外秘コードの複製やリバース・エンジニアリングを防止します ウォッチドッグ: CPU が無限ループに陥った場合にリセットを生成 レジスタへの書き込み保護: システム構成レジスタのロック保護 不要な CPU 書き込みに対する保護 MCD: クロック故障の自動検出 ECC およびパリティ: シングル・ビットの誤り訂正とダブル・ビットの誤り検出
クロスバー (XBAR)	さまざまな構成でデバイスの入力、出力、内部リソースを接続できるフレキシビリティを実現します。 • 入力クロスバー • 出力クロスバー • ePWM クロスバー • CLB クロスバー	ハードウェア設計の汎用性を向上: 入力クロスバー: 任意の GPIO からチップ内の複数の IP ブロックに信号を接続 出力クロスバー: 内部信号を指定された GPIO ピンに接続 ePWM クロスバー: 内部信号をさまざまな IP ブロックから ePWM に接続 CLB クロスバー: ユーザーがさまざまな IP ブロックから CLB に信号を接続できるようにします

9.2 アプリケーション情報

9.2.1 代表的なアプリケーション

「代表的なアプリケーション」セクションでは、このデバイスのいくつかのアプリケーションについて詳しく説明します。アプリケーションの詳細なリストについては、このデータシートの「アプリケーション」セクションを参照してください。

9.2.1.1 サーバー・テレコム電源ユニット (PSU)

サーバー・テレコム電源ユニット (PSU) は、力率改善 (PFC) 段と DC-DC コンバータ段で構成されています。トータムポール PFC は、PFC 段として広く使用されています。DC-DC 段については、LLC と位相シフト・フルブリッジ (PSFB) が最も一般的な 2 つのトポロジです。通常、現在のサーバー PSU は、[図 9-1](#) に示すように 2 チップ・アーキテクチャをベースにしています。テレコム PSU は、[図 9-2](#) に示すようにシングルチップ・アーキテクチャを採用することが多いです。

PFC 段は、AC 電圧と同位相で AC 電源から正弦波電流を引き込み、出力範囲全体にわたって安定した DC バス電圧 (VDC、代表値 +400V) を維持します。この出力電圧は、DC-DC 段の入力として供給され、この段で、絶縁された低い出力電圧 V_{out} (サーバーでは 12V / 48V、テレコムでは 48V) に変換されます。

9.2.1.1.1 システム・ブロック図

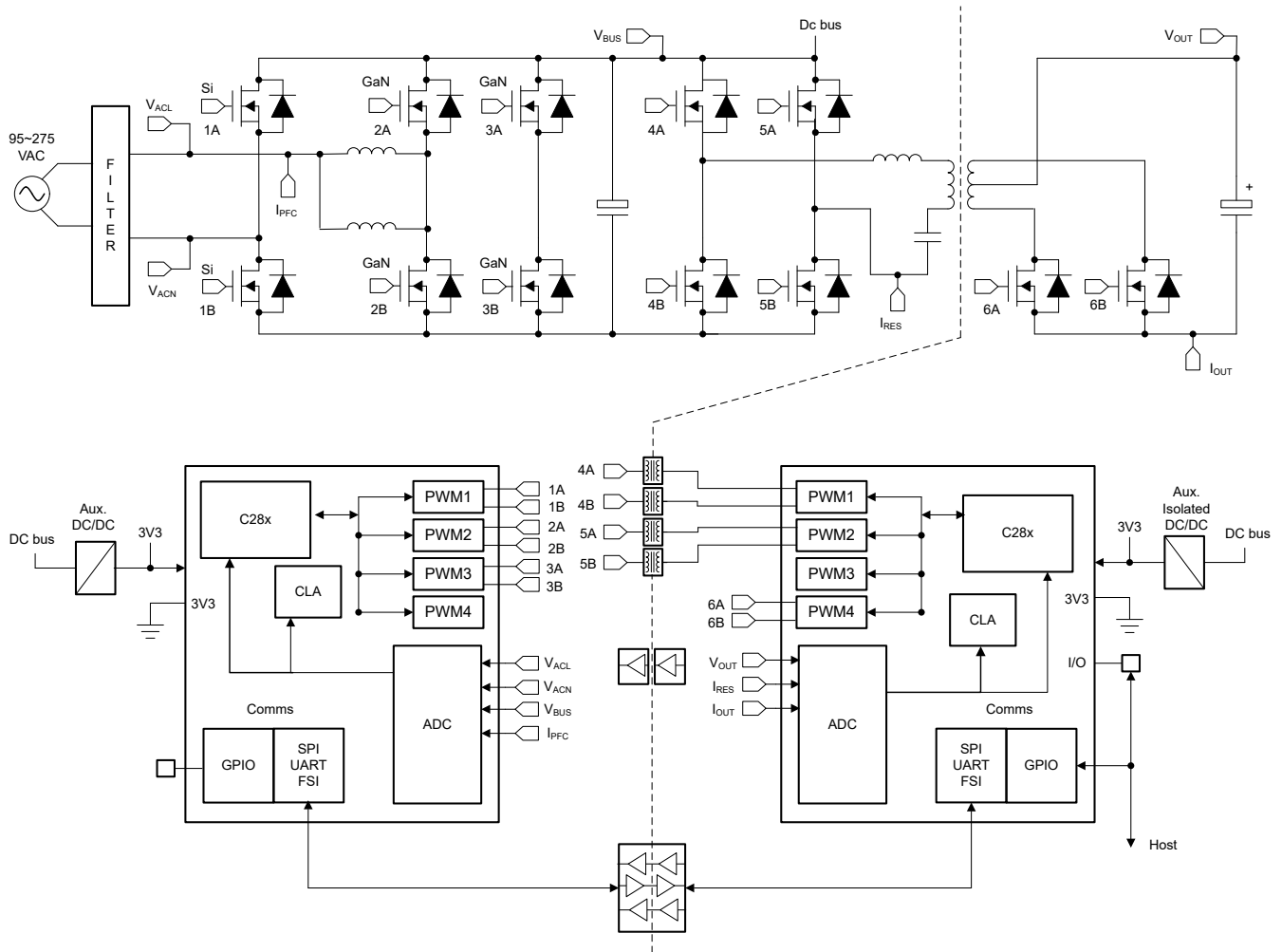


図 9-1. 代表的なサーバー PSU アーキテクチャ

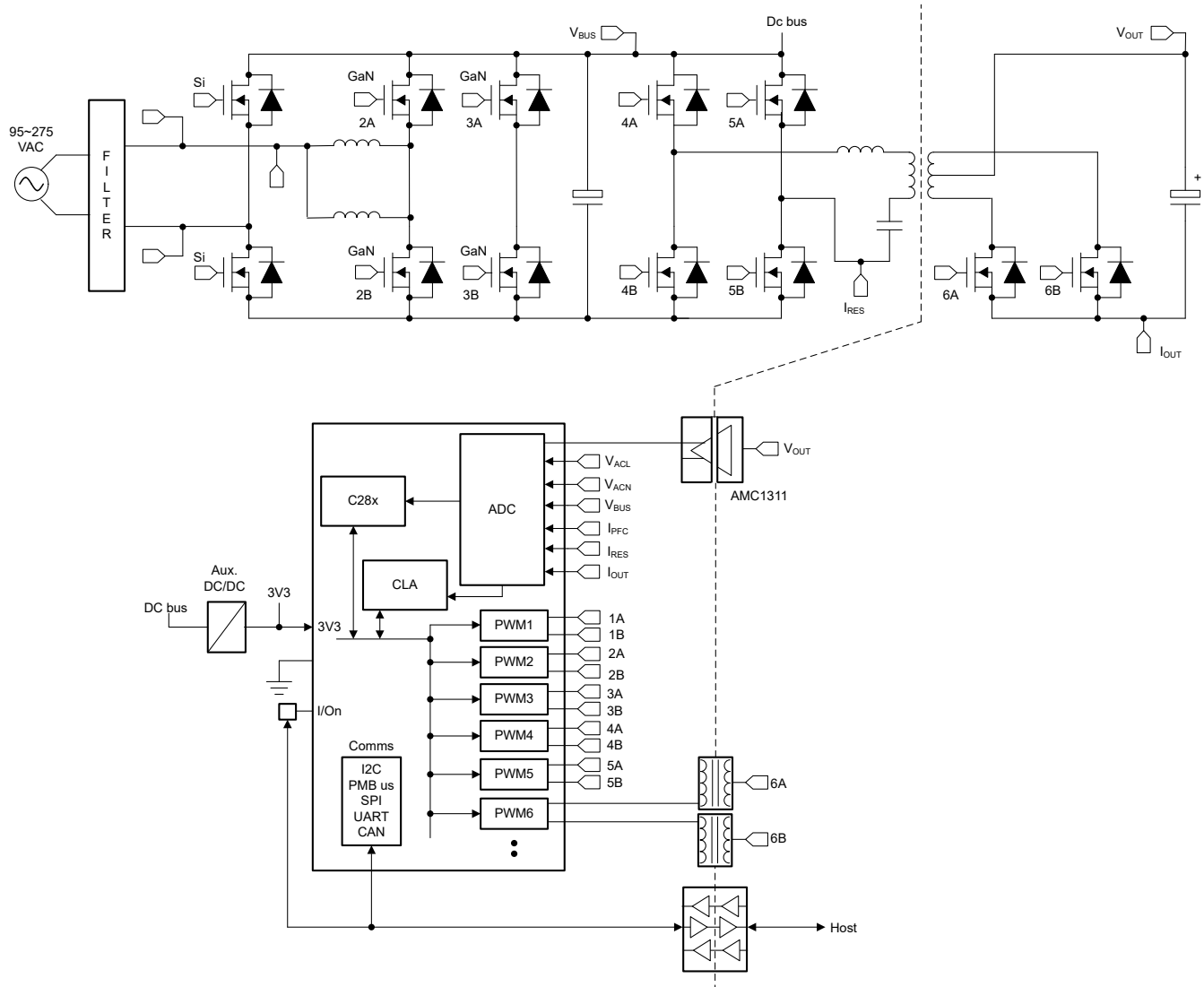


図 9-2. 代表的なテレコム PSU アーキテクチャ

9.2.1.1.2 サーバーおよびテレコム PSU (電源) のリソース

リファレンス・デザインと関連トレーニング・ビデオ

270W/in³ を超える電力密度、アクティブ・クランプ付き 3kW 位相シフト・フル・ブリッジのリファレンス・デザイン

このリファレンス・デザインは、GaN ベースの 3kW 位相シフト・フル・ブリッジ (PSFB) であり、最大電力密度を目標としています。このデザインは、アクティブ・クランプによって複数の 2 次側同期整流 MOSFET への電圧ストレスを最小化しているため、より良好な性能指数 (FoM) で電圧定格のより低い MOSFET を使用することができます。PMP23126 は、1 次側に TI の 30mΩ の GaN、2 次側にシリコン MOSFET を使用しています。LMG3522 は、ドライブと保護機能を内蔵した上面冷却 GaN であり、Si MOSFET と比較して、より広い範囲の動作で ZVS (ゼロ電圧スイッチング) を維持できるので、効率の向上に貢献します。この PSFB (位相シフト・フルブリッジ) は 100kHz で動作し、97.74% のピーク効率を達成します。

PMP23069 180W/in³ を超える電力密度、3.6kW 単相トータム・ポール・ブリッジレス PFC のリファレンス・デザイン

このリファレンス・デザインは、GaN ベースの 3.6kW 単相連続導通モード (CCM) トータムポール率補正 (PFC) コンバータであり、最大電力密度を目標としています。電力段の後段に小型の昇圧コンバータを配置しており、バルク・コンデンサの小型化に貢献します。ドライブと保護機能を内蔵した上面冷却 GaN である LMG3522 の採用により、効率の向上、電源の小型化と簡素化を実現しています。F28004x または F28002x の各 C2000™ コントローラは、多様な高度制

御用途に適しており、高速リレー制御、AC 電圧低下イベント発生時の小規模昇圧動作、逆電流保護、PFC とハウスキーピング (各種管理機能) コントローラ間の通信などが該当します。この PFC は 65kHz のスイッチング周波数で動作し、98.7% のピーク効率を達成します。

デジタル制御インターリーブ LLC 共振コンバータ: TIDM-1001 (ビデオ)

TIDA-010203 GaN および C2000™ リアルタイム制御 MCU を使った高効率 PFC 段 (ビデオ)

GaN パワー FET および C2000™ MCU により、トータムポール力率改善 (PFC) トポロジを実現し、ブリッジ整流器の電力損失をなくします。

TIDA-010062 1kW、80 Plus Titanium、GaN CCM トータム・ポール・ブリッジレス PFC およびハーフブリッジ LLC のリファレンス・デザイン

このリファレンス・デザインは、サーバー電源ユニット (PSU) およびテレコム整流器アプリケーション向けのデジタル制御されたコンパクトな 1kW AC/DC 電源の設計です。高効率設計により、フロントエンドの連続導通モード (CCM) トータム・ポール・ブリッジレス力率改善 (PFC) 段を含む、2 つの主電力段をサポートしています。広い負荷範囲にわたって高い効率を実現し、80 Plus Titanium 要件を満たすため、ドライバ内蔵 LMG341x GaN FET を PFC 段に採用しています。また、このデザインは、ハーフ・ブリッジ LLC 絶縁型 DC/DC 段もサポートしており、+12V DC 出力で 1kW を供給します。2 枚の制御カードは、C2000™ 基本的性能 MCU を使用して、両方の電力段を制御します。

TIDA-010203 C2000 および GaN を使った 4kW 単相トータムポール PFC のリファレンス・デザイン

このリファレンス・デザインは、F280049/F280025 制御カードと LMG342x EVM ボードを使った 4kW CCM トータムポール PFC です。この設計は、堅牢な PFC ソリューションの実例を示しています。コントローラのグランドを MOSFET レッグの中間に接続することで、絶縁型電流センスを回避することができます。非絶縁型であるため、高速アンプ OPA607 によって AC 電流センスを実装でき、信頼性の高い過電流保護を実現します。この設計では、効率、熱画像、AC ドロップ、雷サージ、EMI CE が十分に検証されています。包括的なテスト・データを備えた、このリファレンス・デザインは、C2000 および GaN を使用したトータムポール PFC の完成度を示しており、高効率製品の PFC 段設計に適した研究プラットフォームとなっています。

TIDM-02011 C2000™リアルタイム MCU を使ったライブ・ファームウェア・アップデートのリファレンス・デザイン

このリファレンス・デザインは、C28x CPU および制御補償器アクセラレータ (CLA) に対して、C2000™ リアルタイム MCU でのデバイス・リセットなしのライブ・ファームウェア・アップデート (LFU) の例を示しています。このデザインで利用できるソフトウェアは、開発期間短縮に貢献します。サーバー向け電源 (PSU) など、ダウンタイムを最小化する必要のある高可用性システムにとって、デバイスのリセットを必要としない LFU は重要な検討事項になります。このリファレンス・デザインと組み合わせて C2000WARE-DIGITALPOWER-SDK を使用する場合は、設計ガイドに記載のコンパイラ・バージョンごとのガイダンスをご確認ください。

TIDM-1001 C2000™ MCU を使った 2 相インターリーブ LLC 共振コンバータのリファレンス・デザイン

共振コンバータは、サーバー、テレコム、車載用、産業用、その他の電源アプリケーションでよく使用される一般的な DC-DC コンバータです。効率と電力密度が高く、さまざまな業界標準の要件および増大する電力密度の目標に対応しており、中電力から大電力アプリケーション向けのコンバータとして最適です。このリファレンス・デザインは、デジタル制御 500W 2 相インターリーブ LLC 共振コンバータを実装しています。このシステムは、単一の C2000™ マイクロコントローラ (MCU) である TMS320F280025C で制御しています。また、この MCU は、パワー・エレクトロニクスのスイッチング・デバイスがさまざまな動作モードで使用する PWM 波形も生成します。このリファレンス・デザインは、新しい電流共有技術を使用して、複数の相間における電流バランスを高精度で実現しています。

TIDM-1007 インターリーブ CCM トータムポール PFC のリファレンス・デザイン (ビデオ)

このビデオでは、C2000 マイクロコントローラを使ってトータムポール PFC を制御するために必要なハードウェアの特徴、制御の特徴、ソフトウェア設計について説明します。このリファレンス・デザインで得られたテスト結果も、このプレゼンテーションの一部として提示されています。

可変周波数、ZVS、5kW、GaN ベース、2 相トータムポール PFC のリファレンス・デザイン

このリファレンス・デザインは、高密度で高効率の 5kW トータムポール力率改善 (PFC) の設計を示しています。このデザインは、可変周波数と ZVS (ゼロ電圧スイッチング) の組み合わせで動作する 2 相トータムポール PFC を使用しています。この制御方式は、新しいトポロジと改良型の三角波電流モード (ITCM) を使用し、小型化と高効率化を実現します。このデザインは、TMS320F280049C マイコンの内部にある高性能プロセッシング・コアを使用し、広い動作範囲にわたっ

て効率を維持します。この PFC は 100kHz~800kHz の可変周波数範囲で動作します。電力密度が 120kW/立方インチ (7.32kW/立方 cm) のオープン・フレームにおいて、99% のピーク・システム効率を達成しています。

9.2.1.2 単相オンライン UPS

無停電電源 (UPS) は、コンピュータ、通信システム、医療/生命維持システム、工業用制御などの不可欠な負荷と電力網を結ぶ重要な役割を果たします。これは、電源の通常稼働時または異常発生時に、負荷に対してクリーンな電力を継続的に供給するために設計されています。UPS のさまざまなトポロジや構成の中で、オンライン UPS または常時インバータ給電方式と呼ばれる UPS は、最良のライン・コンディショニング性能と、電源の問題発生時の負荷に対する最大の保護を実現します。この方式は、入力ラインがいかなる条件にあっても、安定化された正弦波出力電圧を供給します。電源ラインから電力が供給されている場合、UPS は高い力率で正弦波入力電流を受け入れます。このような優れた入出力特性により、オンライン UPS は多くのアプリケーションで理想的なソリューションとなっています。

図 9-3 に、トリプル・コンバージョンのオンライン UPS システムを示します。力率改善 (PFC) 入力段は、AC-DC コンバータであり、入力 V_{ac} を整流して DC バス電圧を生成すると同時に、高い入力力率で正弦波入力電流を維持します。PFC 段は、入力 V_{ac} の変動に対して DC バス電圧を安定化します。DC バス電圧は、出力 DC-AC インバータ段を經由して交流に変換されて、適切な周波数の出力 V_{ac} を生成します。DC-DC 降圧コンバータ段は、バッテリー・チャージャを実装しています。バッテリー・チャージャ 段は、高い DC バス電圧 (最大 400V) を降圧して、小さいバッテリーを充電できるようにします。システムがバッテリー・バックアップ・モードで動作しているときには、DC-DC 昇圧コンバータは、バッテリー電圧をバス電圧まで上昇させます。

9.2.1.2.1 システム・ブロック図

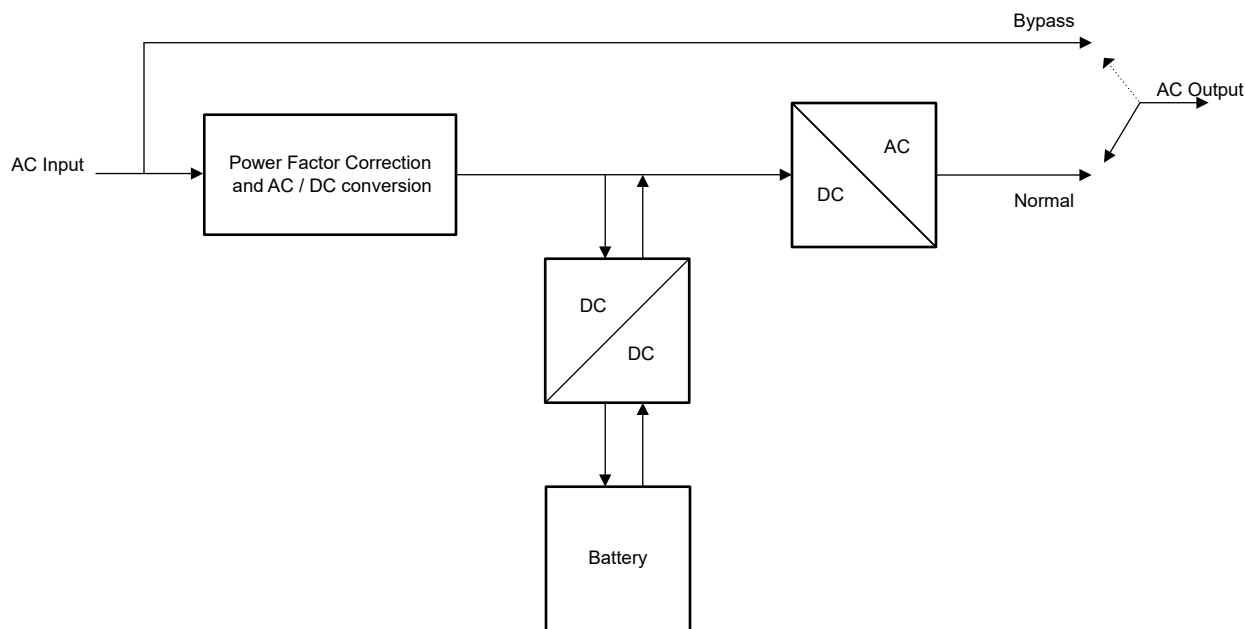


図 9-3. トリプル・コンバージョン・オンライン UPS システム

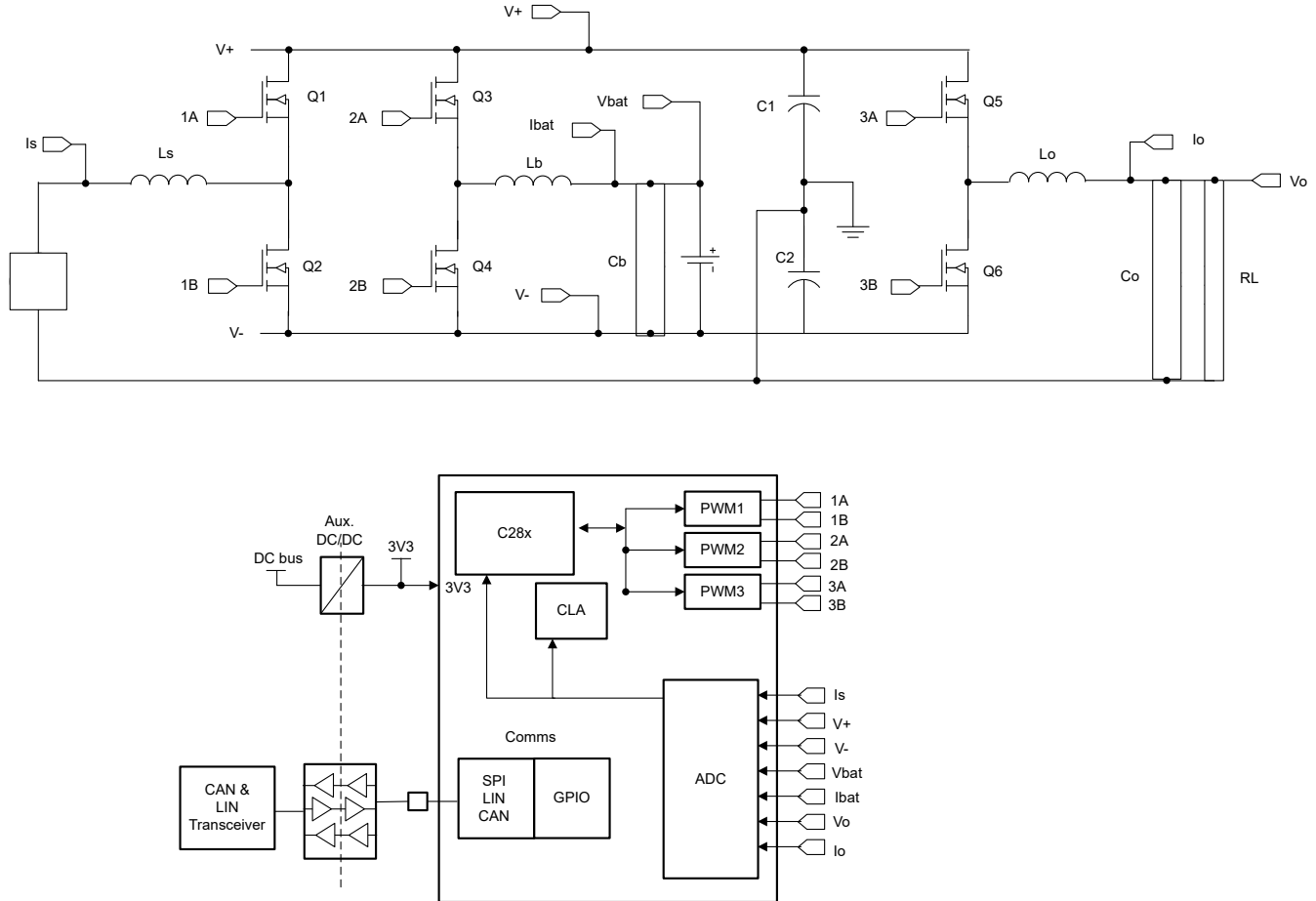


図 9-4. 単相オンライン UPS

9.2.1.2.2 単相オンライン UPS のリソース

リファレンス・デザインと関連トレーニング・ビデオ

TIDM-HV-1PH-DCAC 単相インバータのリファレンス・デザイン、電圧源およびグリッド接続モード付き

このリファレンス・デザインは、C2000™ F2837xD および F28004x マイクロコントローラを使って、単相インバータ (DC-AC) 制御を実装します。インバータの 2 つの動作モードをサポートしています。1 番目の動作モードは、出力 LC フィルタを使用する電圧源モードです。この制御モードは、通常、無停電電源 (UPS) で使用します。2 番目は、出力 LCL フィルタを使用するグリッド接続モードで、通常はソーラー・インバータで使用します。ファームウェアは、powerSUITE フレームワーク内でサポートされており、Solution Adapter (ソリューション・アダプタ) を使用した改造のほか、Compensation Designer (補償設計機能) と SFRA (ソフトウェア周波数応答アナライザ) を使用した制御ループのチューニングが可能です。このリファレンス・デザインは高効率、低 THD、直感的に使いやすいソフトウェアを採用しており、UPS 向けや、PV (太陽光発電) インバータ、グリッド・ストレージ、マイクロ・グリッドなどの代替エネルギー・アプリケーション向けインバータに最適です。

TIDM-02008 C2000™ MCU を使用した双方向高密度 GaN CCM トーテムポール PFC

このリファレンス・デザインは、C2000™ リアルタイム・コントローラおよび保護機能を内蔵した LMG3410R070 GaN (窒化ガリウム) を使った、3kW 双方向インターリーブ連続導通モード (CCM) トーテムポール (TTPL) ブリッジレス力率改善 (PFC) 電力段です。この電源トポロジは、双方向の電源フロー (PFC とグリッド接続型インバータ) に対応する能力があるほか、LMG341x GaN デバイスを使用して、電源の効率向上とサイズ縮小を実現しています。このデザインは、位相シェディングおよびアダプティブ・デッドタイムによる効率向上、入力静電容量の補償方式による軽負荷時の力率改善、非線形電圧ループによる PFC モードでの過渡時の電圧スパイク低減に対応しています。このデザインで利用できるハードウェアとソフトウェアは、開発期間短縮に貢献します。

TIDU638 TIDM-BUCKBOOST-BIDIR 双方向非絶縁型昇降圧コンバータ

このデザインは、双方向の非絶縁型昇降圧パワー・コンバータを実装しており、ソーラー・マイクロコンバータ、回生 (Regeneration または Recuperation) のあるハイブリッド電気自動車 (HEV)、バッテリー充電アプリケーションに最適です。

9.2.1.3 ソーラー・マイクロ・インバータ

ソーラー・マイクロ・インバータは、DC-AC インバータの電力段と、最大電力点追従 (MPPT) DC-DC 電力段で構成されています。インバータ (DC-AC) の一般的なスイッチング周波数は 20kHz~50kHz で、DC-DC 側のスイッチング周波数は 100kHz~200kHz の範囲です。これを実現するために、さまざまな出力段を使用できます。この図は、代表的な出力段と、制御および通信の要件のみを示しています。C2000 マイクロコントローラには、オンチップの EPWM、ADC、アナログ・コンパレータ・モジュールが搭載されており、このようなマイクロ・インバータ・システムの完全なデジタル制御を実装できます。

9.2.1.3.1 システム・ブロック図

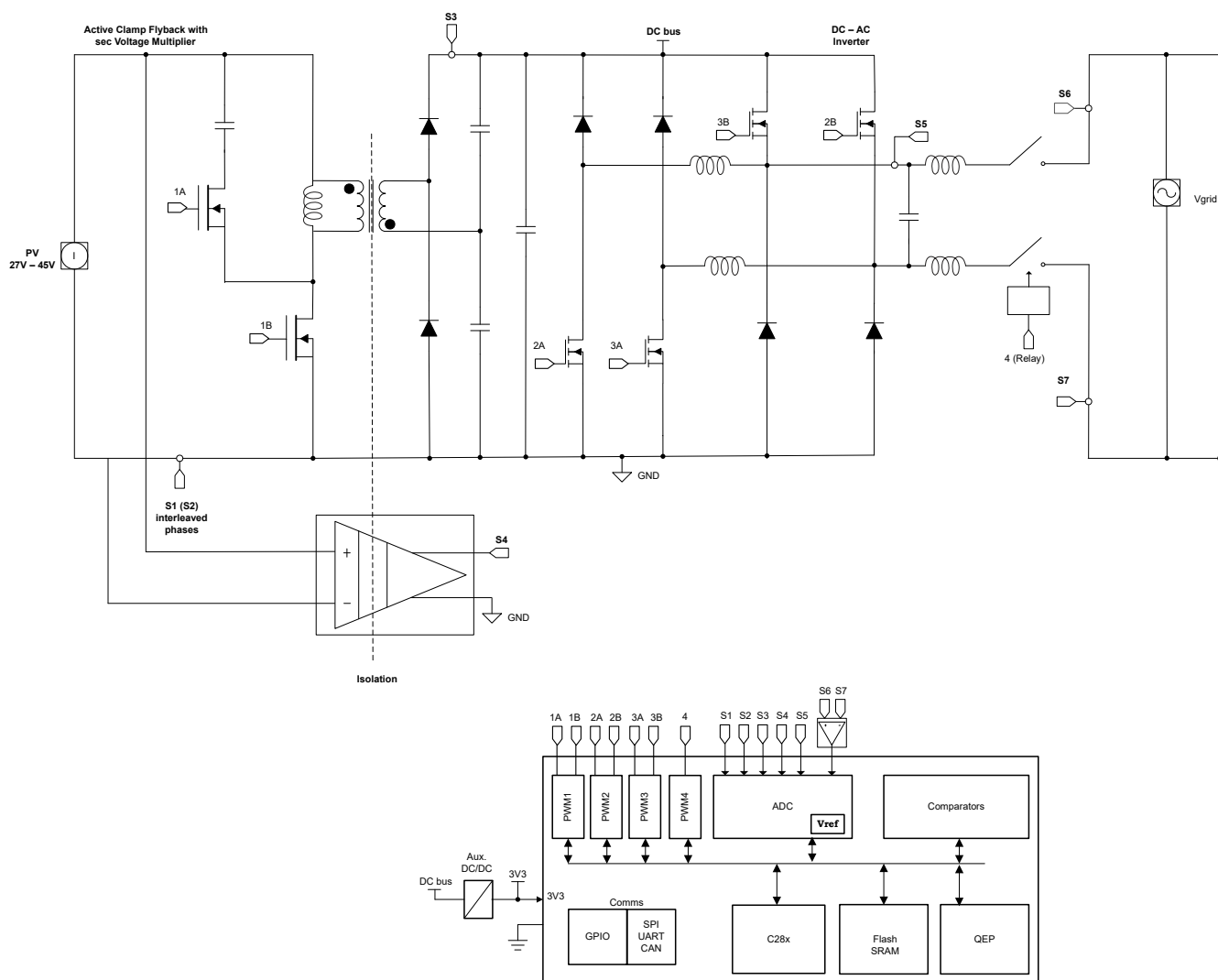


図 9-5. ソーラー・マイクロ・インバータ

9.2.1.3.2 ソーラー・マイクロ・インバータのリソース

リファレンス・デザインと関連トレーニング・ビデオ

C2000™ デジタル電源トレーニング・シリーズ (ビデオ)

このトレーニング・シリーズでは、デジタル電源制御の基礎と C2000 マイクロコントローラへの実装方法を説明します。

太陽光発電グリッドにエネルギー・ストレージを追加する場合の 4 つの主な設計上の考慮事項

このホワイト・ペーパーでは、グリッドに接続されたストレージ統合型太陽光発電システムの設計上の考慮事項について説明します

C2000WARE-DIGITALPOWER-SDK

C2000™ マイクロコントローラ (MCU) 向けの DigitalPower SDK は、ソフトウェア・インフラ、ツール、資料の包括的なセットであり、AC-DC、DC-DC、DC-AC 電源アプリケーション向け C2000 MCU ベースのデジタル電源システムの開発期間の大幅な短縮を可能にします。このソフトウェアには、C2000 デジタル電源評価モジュール (EVM) で動作するファームウェアと、太陽光発電、テレコム、サーバー、電気自動車 (EV) チャージャ、産業用電源供給アプリケーション向けの TI Designs (TID) が含まれています。DigitalPower SDK は、デジタル電源アプリケーションの開発と評価のすべての段階で必要とされるあらゆるリソースを提供します。

C2000™ Piccolo マイクロコントローラを使用したデジタル制御ソーラー・マイクロ・インバータの設計

このドキュメントは、C2000 マイクロコントローラを使用したデジタル制御ソーラー・マイクロ・インバータの実装の詳細を説明しています。250W の絶縁型マイクロ・インバータ設計では、Piccolo-B (F28035) 制御カードを使用して、必要なすべての PV インバータ機能を提供します。このドキュメントでは、マイクロ・インバータ・ボードの電力段について、さらには、開ループ動作と閉ループ動作を検証してソフトウェアを構築するインクリメンタル・ビルド・レベル・システムについて説明します。このガイドでは、電力フローの制御、PV パネルからの電力の最大化 (MPPT)、フェーズ・ロック・ループ (PLL) を使用したグリッドへのロック、テキサス・インスツルメンツのソーラー・マイクロインバータ・キット (TMSOLARUINVKIT) のハードウェア詳細について説明します。

TIDU405B グリッドに接続されたソーラー・マイクロ・インバータ、MPPT 付き

この C2000 ソーラー・マイクロ・インバータ EVM ハードウェアは、2 段で構成されています。それらを以下に示します。(1) 2 次側電圧マルチプライヤを搭載したアクティブ・クランプ・フライバック DC-DC コンバータと (2) DC-AC インバータ。図 1b に、このアプリケーションのブロック図を示します。DC-DC コンバータは、パネルが最大電力伝送ポイントで動作するように、PV パネルから DC 電流を引き込みます。そのためには、MPPT アルゴリズムで決定されたレベルでパネル出力 (すなわち DC-DC コンバータ入力) を維持する必要があります。MPPT アルゴリズムは、最大電力伝送のためのパネル出力電流 (基準電流) を決定します。次に、フライバック・コンバータの電流制御ループにより、コンバータの入力電流が確実に MPPT 基準電流に追従するようになります。また、フライバック・コンバータは、DC-DC 段の高周波絶縁も実現します。フライバック段の出力は、高電圧 DC バスであり、これが DC-AC インバータを駆動します。インバータ段は、DC バスを目的の設定点に維持し、制御された正弦波電流をグリッドに注入します。また、グリッド同期も実装しており、グリッド電圧の位相および周波数にロックされた電流波形を維持します。C2000 Piccolo マイクロコントローラは、オンチップ PWM、ADC、およびアナログ・コンパレータ・モジュールを搭載しており、このようなマイクロ・インバータ・システムの完全なデジタル制御を実装できます。

単相グリッド接続インバータ向け C2000™ マイクロコントローラを使用したソフトウェア・フェーズ・ロック・ループ設計アプリケーション・レポート

グリッド接続アプリケーションでは、グリッドに同期して電力を供給するために、グリッドの位相を正確に推定する必要があります。これは、ソフトウェア・フェーズ・ロック・ループ (PLL) を使用して実現します。このアプリケーション・レポートでは、ソフトウェア・フェーズ・ロック・ループの設計におけるさまざまな課題について説明し、単相グリッド接続アプリケーション向けに C2000 コントローラを使用してフェーズ・ロック・ループを設計する方法を示します。

9.2.1.4 EV 充電ステーション向けパワー・モジュール

DC 充電ステーションのパワー・モジュールは、AC/DC 電力段と DC/DC 電力段で構成されています。出力段に関連する各コンバータは、パワー・スイッチ、ゲート・ドライバ、電流および電圧センシング、リアルタイム・マイクロコントローラで構成されています。入力側では 3 相 AC 電源が AC/DC 電力段に接続されています。このブロックは、入力 AC 電圧を約 800V の固定 DC 電圧に変換します。この電圧は DC/DC 電力段への入力として機能します。DC/DC 電力段は、電力を

処理して電気自動車のバッテリーと直接接続します。各出力段には個別のリアルタイム・マイクロコントローラがあり、アナログ信号の処理と高速な制御動作を行います。

AC/DC 段 (PFC 段とも呼ばれます) は、EV 充電ステーションでの電力変換の第 1 段階です。ここでは、電力網からの入力 AC 電力 (380~415VAC) を 800V 程度の安定した DC リンク電圧に変換します。PFC 段は、THD < 5% (標準値) で正弦波入力電流を維持し、線間入力電圧の振幅よりも高い電圧の制御された DC 出力電圧を供給します。DC/DC 段は、EV 充電ステーションにおける第 2 段階の電力変換です。入力 DC リンク電圧 800V (3 相システムの場合) を、電気自動車のバッテリーを充電するためのより低い DC 電圧に変換します。DC/DC コンバータは、バッテリーの充電状態 (SOC) に応じて定電流または定電圧モードでバッテリーを充電する機能を備えて、広い範囲にわたって定格電力をバッテリーに供給できるようになっている必要があります。

9.2.1.4.1 システム・ブロック図

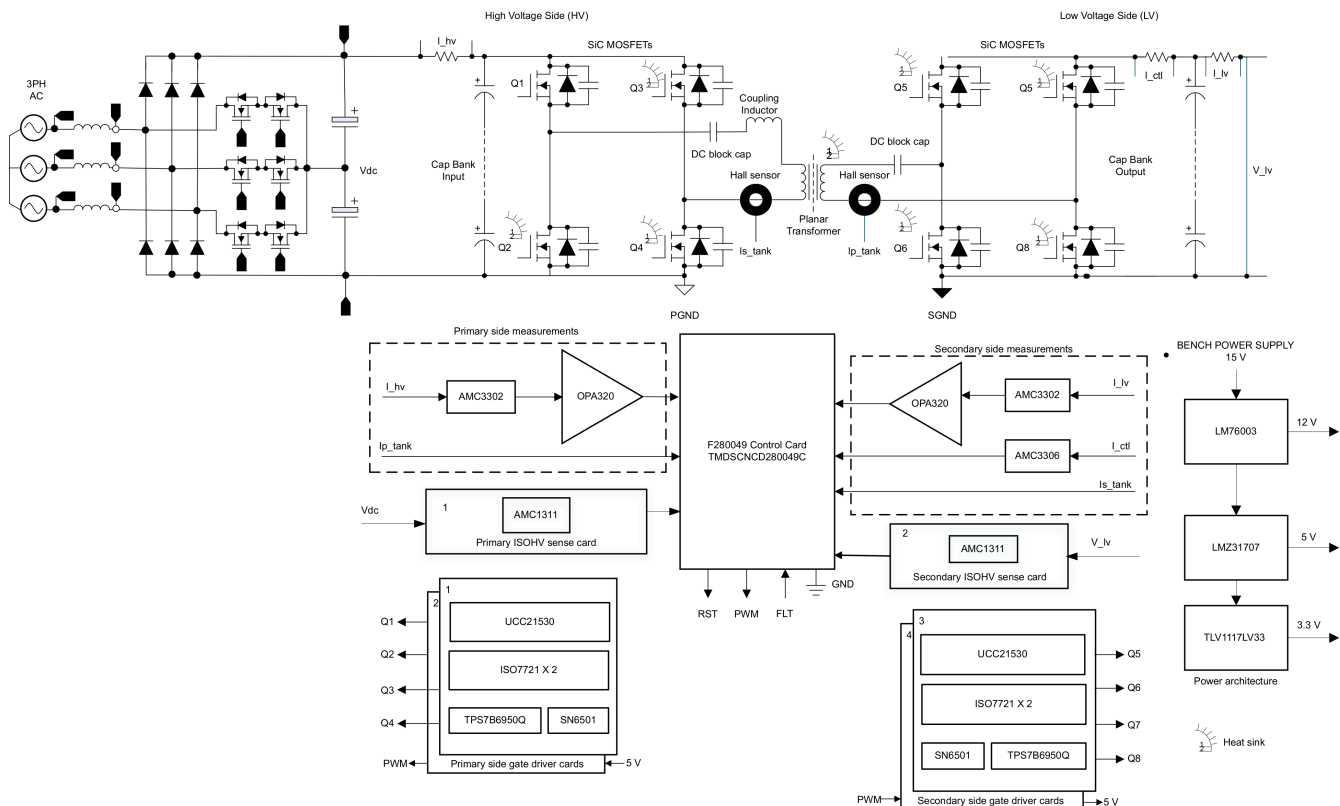


図 9-6. デュアル・アクティブ・ブリッジ DC-DC コンバータ

9.2.1.4.2 EV 充電ステーション向けパワー・モジュール資料

リファレンス・デザインと関連トレーニング・ビデオ

TIDM-02002 CLLLC 共振デュアル・アクティブ・ブリッジ、HEV/EV オンボード・チャージャ (ビデオ)

双方向の電源フロー能力とソフト・スイッチング特性を持つ CLLLC 共振 DAB は、ハイブリッド電気自動車 / 電気自動車 (HEV/EV) のオンボード・チャージャおよびエネルギー・ストレージ・アプリケーションに理想的な候補です。このデザインでは、閉電圧および閉電流ループ・モードで C2000™ MCU を使ってこの電源トポロジを制御する方法を示します。このリファレンス・デザインのハードウェアとソフトウェアは開発期間の短縮を可能にします。

TIDA-01606 10kW、双方向 3 相 3 レベル (T タイプ) インバータおよび PFC のリファレンス・デザイン

このリファレンス・デザインは、双方向 3 レベル、3 相、SiC ベースのアクティブ・フロント・エンド (AFE) インバータおよび PFC 段を実装する方法の概要を示します。このデザインでは、50kHz のスイッチング周波数と LCL 出力フィルタを使用して、磁気素子のサイズを縮小しています。99% のピーク効率を達成しています。このデザインは、DQ ドメインに完全な 3

相 AFE 制御を実装する方法を示しています。制御とソフトウェアは、実際のハードウェアと、ループ内ハードウェア (HIL) のセットアップ上で検証されます。

TIDA-010210 GaN をベースとする 11kW、双方向、3 相 ANPC のリファレンス・デザイン

このリファレンス・デザインは、3 レベル、3 相、GaN (窒化ガリウム) をベースとする ANPC インバータの電力段を実装するための設計テンプレートを提供します。高速スイッチング・パワー・デバイスを使用すると、100kHz という高い周波数でパワー・デバイスのスイッチングが可能になります。この場合、フィルタで使用する磁気素子のサイズを小型化して、電力段の電力密度を高めることができます。マルチレベル・トポロジー採用により、600V 定格のパワー・デバイスを、最大 1,000V というそれより高い DC バス電圧で使用できるようになります。スイッチング電圧ストレスが低いことでスイッチング損失の低減につながり、その結果、98.5% というピーク効率を達成しています。

TIDA-010054 レベル 3 電気自動車充電ステーション向け双方向デュアル・アクティブ・ブリッジのリファレンス・デザイン

このリファレンス・デザインは、単相デュアル・アクティブ・ブリッジ (DAB) DC-DC コンバータの実装の概要を示します。DAB トポロジーには、ソフト・スイッチング整流、デバイス数の削減、高効率といった利点があります。この設計は、電力密度、コスト、重量、ガルバニック絶縁、高い電圧変換比、信頼性が重要な要因になる場合に役立ち、EV (電気自動車) の充電ステーションやエネルギー・ストレージのアプリケーションに最適です。DAB にモジュール方式と対称構造を取り入れることで、コンバータを積層して高い電力スループットを達成でき、双方向モードの動作が容易になり、バッテリー充放電のアプリケーションをサポートできます。

C2000™ MCU - 電気自動車 (EV) トレーニング・ビデオ (ビデオ)

C2000™ MCU に関するこのビデオ・コレクションは、電気自動車 (EV) 特有のトレーニングを英語と中国語の両方で取り扱っています。

レベル 3 EV 充電ステーションの電力の最大化

この記事では、C2000 の豊富なポートフォリオを紹介し、エンジニアが設計上の課題を解決して高度な電源トポロジを実装するのに役立つ最適なソリューションを提供していることを説明します。

電気自動車充電ステーションの電源トポロジに関する考慮事項アプリケーション・レポート

このアプリケーション・レポートでは、高速 DC 充電ステーションを設計するためのビルディング・ブロックとして機能するパワー・モジュールを設計する際のトポロジに関する考慮事項について説明します。

TIDM-02000 C2000™ リアルタイム MCU を使用したピーク電流モード制御位相シフト・フルブリッジのリファレンス・デザイン

このデザインは、デジタル・ピーク電流モード制御 (PCMC) 位相シフト・フルブリッジ (PSFB) DC-DC コンバータを実装し、400V DC 入力を安定化 12V DC 出力に変換します。この設計の主眼は、タイプ 4 PWM をベースとして内部スロープ補償機能を搭載した斬新な PCMC 波形生成と、シンプルな PCMC の実装です。C2000 リアルタイム・マイクロコントローラ・ファミリに属する TMS320F280049C MCU を使用します。

TIDUEG2C TIDM-02002 HEV/EV オンボード・チャージャ向け双方向 CLLLC 共振デュアル・アクティブ・ブリッジ (DAB) のリファレンス・デザイン

双方向の電源フロー能力とソフト・スイッチング特性を持つ CLLLC 共振 DAB は、ハイブリッド電気自動車 / 電気自動車 (HEV/EV) のオンボード・チャージャおよびエネルギー・ストレージ・アプリケーションに理想的な候補です。このデザインでは、閉電圧および閉電流ループ・モードで C2000™ MCU を使ってこの電源トポロジを制御する方法を示します。このリファレンス・デザインのハードウェアとソフトウェアは開発期間の短縮を可能にします。

TIDM-1000 C2000 MCU を使ったウィーン整流器をベースとする 3 相力率改善のリファレンス・デザイン

ウィーン整流器の電源トポロジは、オフボード電気自動車充電やテレコム用整流器など、大電力の 3 相力率改善アプリケーションで使用されます。このデザインは、C2000 MCU を使用してウィーン整流器を制御する方法を示します。

9.2.1.5 サーボ・ドライブ制御モジュール

サーボ・ドライブは、高精度のトルク制御を実現するために高精度の電流および電圧センシングを必要とし、多くの場合、通信インターフェイスとともに複数のエンコーダ・タイプのインターフェイスをサポートします。F28004x は、スタンドアロン・サーボ・ドライブ用のシングルチップ・ソリューション (図 9-7 参照) として、または、非集中型システム (図 9-8 参照) で使用することができます。後者の場合、F2838x はコントローラとして機能し、すべての電圧入力および電流入力をサンプリングして、インバータのための正確な PWM 信号を生成します。各 F28004x デバイスが、対象となる 1 軸のリアルタイム・コントローラとして機能し、モーターの電流制御ループを実行します。高速シリアル・インターフェイス (FSI) ペリフェラルを

使用すると、1つの F2838x で最大 16 軸を制御できます。F2838x 外部ループ・コントローラは、メイン軸のモーター制御を実行し、FSI 経由で他のすべての軸とのデータ交換を制御するとともに、EtherCAT 経由でホストまたは PLC と通信します。

9.2.1.5.1 システム・ブロック図

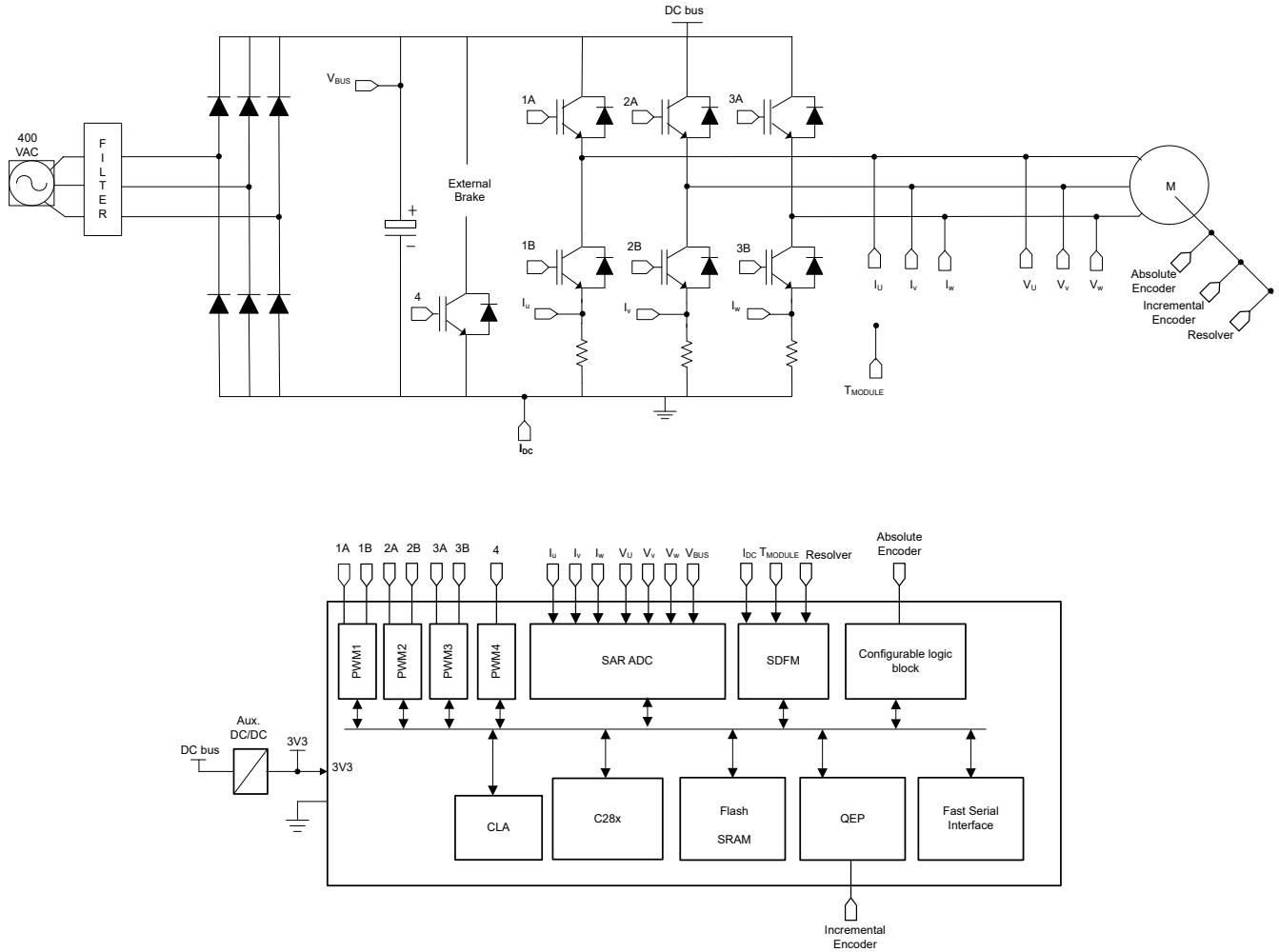


図 9-7. サーボ・ドライブ制御モジュール

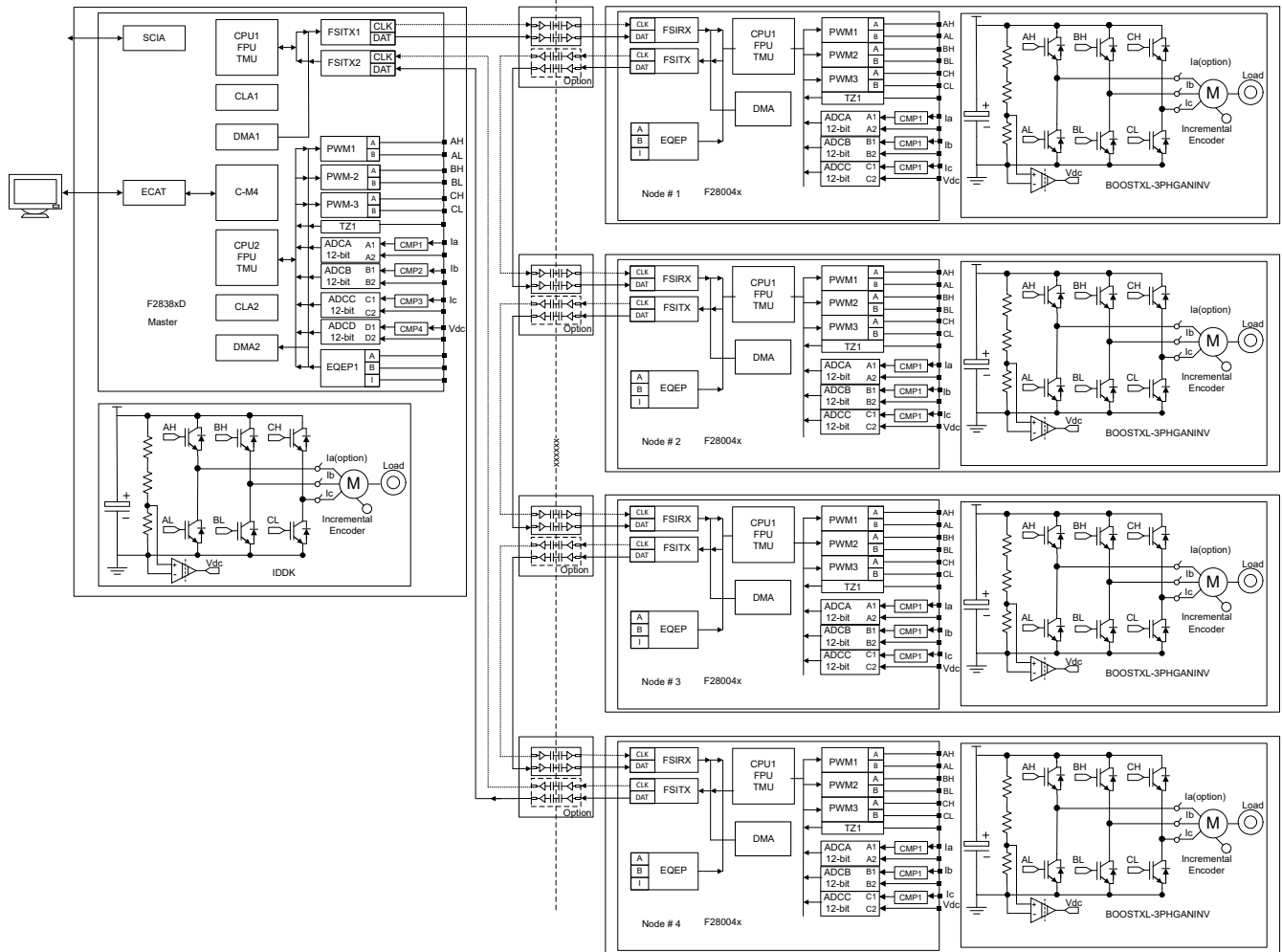


図 9-8. 分散型多軸サーボ・ドライブ

9.2.1.5.2 サーボ・ドライブ制御モジュールのリソース

リファレンス・デザインと関連トレーニング・ビデオ

[シャント・ベースのインライン・モーター位相電流センシング機能を搭載した 48V 3 相インバータ評価モジュール](#)

BOOSTXL-3PHGANINV 評価モジュールは、高精度インライン・シャント・ベース位相電流センシング機能を搭載した 48V/10A 3 相 GaN インバータを採用し、サーボ・ドライブなどの高精度ドライブを正確に制御します。

産業用モーター制御向け C2000 DesignDRIVE 開発キット

この DesignDRIVE 開発キット (IDDK) ハードウェアによって、高電圧 3 相モーターを駆動する電力段全体を搭載した統合型サーボ・ドライブ設計を実現し、また、さまざまな位置フィードバック、電流センシング、制御トポロジーに関する評価を容易に実施することができます。

C2000 DesignDRIVE position manager BoosterPack™ プラグイン モジュール

この PositionManager BoosterPack は、アブソリュート・エンコーダ、リゾルバや SinCos トランスデューサなどのアナログ・センサへのインターフェイスを評価するためのフレキシブルな低電圧プラットフォームです。低コストのこの評価基板は、DesignDRIVE Position Manager ソフトウェア・ソリューションとの組み合わせにより、一般的に使用されている EnDat、BiSS、T-format などのさまざまなタイプのポジション・エンコーダを C2000 リアルタイム制御デバイスとインターフェイスするための強力なツールになります。C2000 Position Manager 技術は、最もよく使われているデジタルおよびアナログ・ポジション・センサとのインターフェイスを C2000 リアルタイム・コントローラに統合して、このような機能のための外部 FPGA を不要にします。

C2000Ware モーター制御 SDK

C2000™ マイクロコントローラ (MCU) 用のモーター制御 SDK は、さまざまな 3 相モーター制御アプリケーション向けの C2000 リアルタイム・コントローラ・ベースのモーター制御システムの開発時間を最小限に抑える目的で設計された、ソフトウェア・インフラ、ツール、資料の包括的なセットです。このソフトウェアには、C2000 モーター制御評価モジュール (EVM) で動作するファームウェアと、産業用ドライブ、ロボット、家電製品、車載アプリケーションを対象とした TI Designs (TID) が含まれています。MotorControl SDK は、高性能モーター制御アプリケーションの開発と評価のすべての段階で必要とされるあらゆるリソースを提供します。

TIDM-02006 高速シリアル・インターフェイス (FSI) 経由の分散型多軸サーボ・ドライブのリファレンス・デザイン

このリファレンス・デザインは、C2000™ リアルタイム・コントローラを使用した高速シリアル・インターフェイス (FSI) 経由の分散型または非集中型多軸サーボ・ドライブの例を示します。多軸サーボ・ドライブは、ファクトリ・オートメーションやロボットなど多くのアプリケーションで使用されています。この種のシステムで、1 軸当たりのコスト、性能、使いやすさは常に重要な考慮事項になっています。FSI は、低ジッタで、コスト最適化された信頼性の高い高速通信インターフェイスであり、複数の C2000 マイクロコントローラをデジチェーン接続することもできます。このデザインでは、TMS320F280049 または TMS320F280025 の各リアルタイム・コントローラが、それぞれ 1 つの軸に対応する分散型のリアルタイム・コントローラであり、モーターの電流制御ループを実行します。TMS320F28388D という単一製品が、すべての軸に対応する位置および速度の制御ループを実行します。同じ F2838x が、マルチコアを活用して、集中型のモーター制御軸に加えて EtherCAT 通信も実施します。このデザインは、TI の既存の EVM キットを複数使用しており、該当ソフトウェアは C2000WARE モーター制御 SDK の一部としてリリース済みです。

TIDM-02007 シングル MCU で高速電流ループ (FCL) および SFRA を使った 2 軸モーター・ドライブのリファレンス・デザイン

このリファレンス・デザインは、単一の C2000 コントローラ上で高速電流ループ (FCL) およびソフトウェア周波数応答アナライザ (SFRA) 技術を使った 2 軸モーター・ドライブの例を示します。FCL は、デュアル・コア (CPU、CLA) 並列処理技術を使って、制御帯域幅と位相マージンの大幅な拡大、フィードバック・サンプリングから PWM 更新までのレイテンシの短縮、制御帯域幅の拡大と変調指数の最大化、ドライブの DC バス使用率の向上とモーターの速度範囲の拡大を実現します。SFRA ツールが統合されているため、開発者は、アプリケーションの周波数応答を迅速に測定して、速度および電流コントローラを調整できます。システムレベルの統合と C2000 シリーズ MCU の性能により、非常に堅牢な位置制御と高い性能を同時に実現する 2 軸モーター・ドライブの要件をサポートできます。本ソフトウェアは C2000WARE MotorControl SDK でリリースされています。

10 デバイスおよびドキュメントのサポート

10.1 デバイスおよび開発ツールの命名規則

製品開発サイクルの段階を示すために、TI では TMS320 MCU デバイスとサポート・ツールのすべての型番に接頭辞が割り当てられています。TMS320™ MCU 商用ファミリの製品には、次の 3 つの接頭辞のいずれかが付いています。TMX、TMP、TMS (たとえば、TMS320F280049)。テキサス・インスツルメンツでは、サポート・ツールについては、使用可能な 3 つの接頭辞のうち TMDX および TMDS の 2 つを推奨しています。これらの接頭辞は、エンジニアリング・プロトタイプ (デバイスでは TMX、ツールでは TMDX) から、完全に認定済みの量産版デバイスとツール (デバイスでは TMS、ツールでは TMDS) まで、製品開発の段階を表しています。

Device development evolutionary flow:

TMX Experimental device that is not necessarily representative of the final device's electrical specifications and may not use production assembly flow.

TMP Prototype device that is not necessarily the final silicon die and may not necessarily meet final electrical specifications.

TMS Production version of the silicon die that is fully qualified.

Support tool development evolutionary flow:

TMDX Development-support product that has not yet completed Texas Instruments internal qualification testing.

TMDS Fully-qualified development-support product.

TMX and TMP devices and TMDX development-support tools are shipped against the following disclaimer:

"Developmental product is intended for internal evaluation purposes."

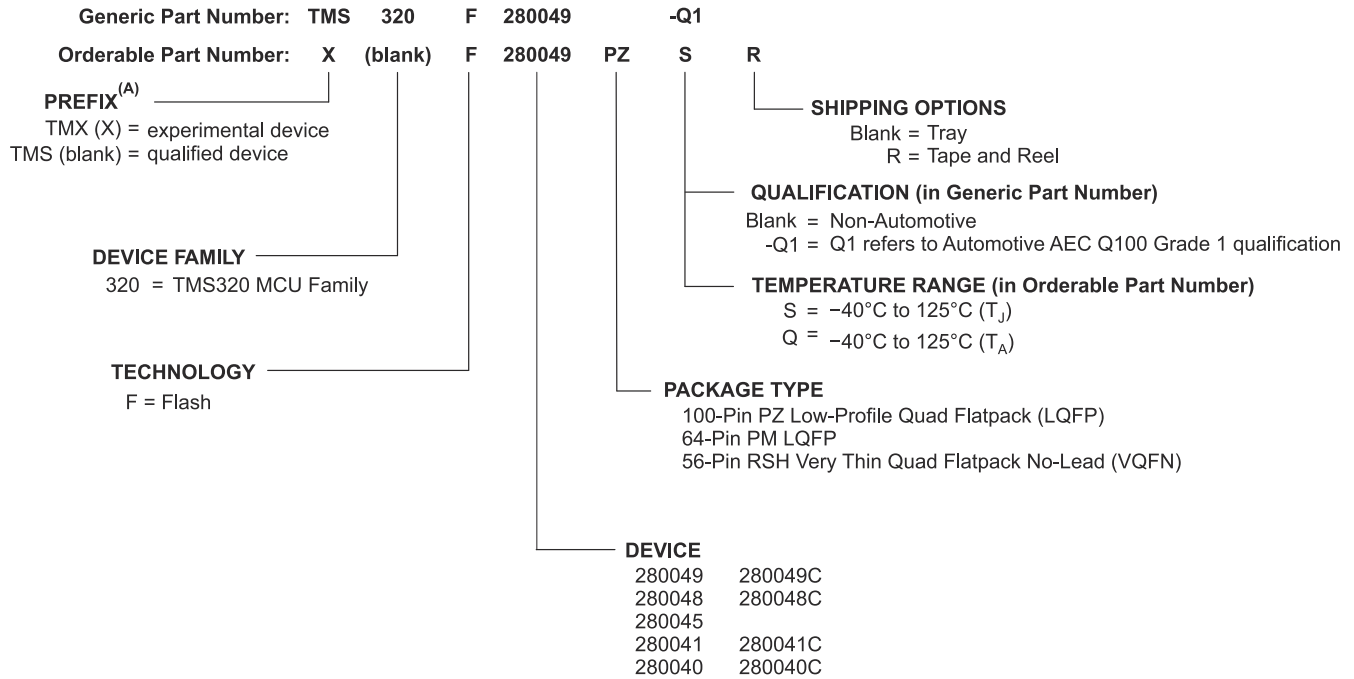
Production devices and TMDS development-support tools have been characterized fully, and the quality and reliability of the device have been demonstrated fully. TI's standard warranty applies.

Predictions show that prototype devices (X or P) have a greater failure rate than the standard production devices. Texas Instruments recommends that these devices not be used in any production system because their expected end-use failure rate still is undefined. Only qualified production devices are to be used.

TI デバイスの命名規則には、デバイス・ファミリ名の接尾辞も含まれます。この接尾辞は、パッケージの種類 (例: PZ) と温度範囲 (例: S) を示しています。

デバイスの部品番号、および注文情報の詳細については、TI の Web サイト (www.ti.com) を参照するか、TI の販売代理店にお問い合わせください。

ダイに対するデバイス命名規則マーキングの詳細説明については、『[TMS320F28004x リアルタイム MCU シリコン・エラッタ](#)』を参照してください。



A. 注文用型番には接頭辞 X を使用。

図 10-1. デバイス命名規則

10.2 マーキング

図 10-2 と図 10-3 に、F28004x デバイスのマーキング例と、各マーキングの定義を示します。デバイスのリビジョンは、図 10-2 に示すように、パッケージの上面にマークされているシンボルによって確認できます。一部のプロトタイプ・デバイスは、ここに示されているものとマーキングが異なる可能性があります。

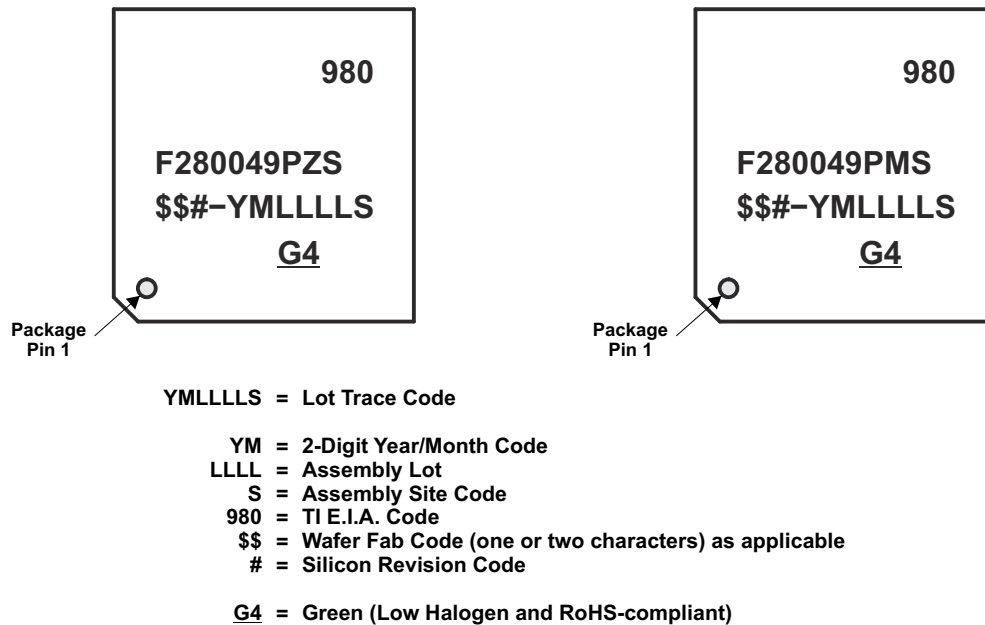
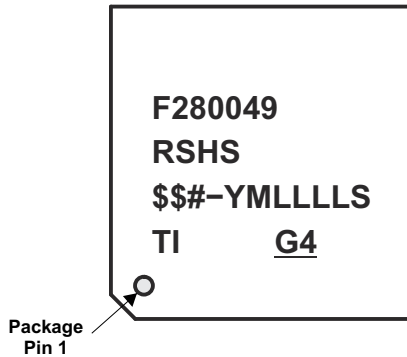


図 10-2. PM および PZ パッケージのデバイス・マーキングの例



YMLLLLS = Lot Trace Code

YM = 2-Digit Year/Month Code

LLLL = Assembly Lot

S = Assembly Site Code

\$\$ = Wafer Fab Code (one or two characters) as applicable

= Silicon Revision Code

G4 = Green (Low Halogen and RoHS-compliant)

図 10-3. RSH パッケージのデバイス・マーキングの例

表 10-1. ロット・トレース・コードからのシリコン・リビジョンの判定

シリコンのリビジョン・コード	シリコンのリビジョン	REVID ⁽¹⁾ アドレス: 0x5D00C	備考
空白	0	0x0000 0000	このシリコン・リビジョンは TMX として供給されま す。
A	A	0x0000 0001	このシリコン・リビジョンは TMX として供給されま す。
B	B	0x0000 0002	このシリコン・リビジョンは TMX および TMS とし て供給されます。

(1) シリコンのリビジョン ID

10.3 ツールとソフトウェア

TI では、幅広い開発ツールを提供しています。ツールおよびソフトウェアの一部は、デバイスの性能評価や、コードの生成に使用され、それによってソリューションの開発が行われます。C2000™ リアルタイム制御 MCU 用に提供しているすべてのツールおよびソフトウェアを参照するには、「TI の C2000™ リアルタイム・マイコンを使用した開発の開始」ページをご覧ください。

開発ツール

F280049C controlCARD 評価モジュール

F280049C controlCARD 評価モジュールは、C2000 F28004x シリーズのマイクロコントローラ製品向けの HSEC180 controlCARD ベースの評価および開発ツールです。controlCARD は、初期評価とシステム・プロトタイプに最適です。controlCARD は、包括的なボードレベル・モジュールで、2 つの標準フォーム・ファクタ (100 ピン DIMM または 180 ピン HSEC) のいずれかを使用して、低プロファイルのシングルボード・コントローラ・ソリューションを実現します。初めて評価を行う場合、controlCARD は、通常、ベースボードとセットで購入するか、アプリケーション・キットに付属しているものをご購入します。

ソフトウェア・ツール

C2000 MCU 用 C2000Ware

C2000™ マイクロコントローラ用の C2000Ware は、開発ソフトウェアおよびドキュメントの総合的なセットで、ソフトウェア開発時間を最小化できるように設計されています。C2000Ware には、デバイス固有のドライバやライブラリから、デバイス・ペリフェラルのサンプルまでが含まれており、製品の開発と評価を開始するための堅牢な土台となります。

C2000 マイクロコントローラ用の Code Composer Studio (CCS) 統合開発環境 (IDE)

Code Composer Studio は、テキサス・インスツルメンツのマイクロコントローラおよび組み込みプロセッサ・ポートフォリオをサポートする統合開発環境 (IDE) です。Code Composer Studio は、組み込みアプリケーションの開発およびデバッグに必要な一連のツールで構成されています。これには、最適化 C/C++ コンパイラ、ソース・コード・エディタ、プロジェクト・ビルド環境、デバッグ、プロファイラなど、多数の機能が含まれています。この IDE は直感的で、アプリケーションの開発フローの各段階を、すべて同一のユーザー・インターフェイスで実行できます。使い慣れたツールとインターフェイスにより、ユーザーは従来より迅速に作業を開始できます。Code Composer Studio は、Eclipse ソフトウェア・フレームワーク

の利点と、TI の先進的な組み込みデバッグ機能の利点を組み合わせて、組み込み製品開発者向けの魅力的で機能豊富な開発環境を実現します。

Pin Mux ツール

Pin Mux ユーティリティは、TI MPU のピン多重化設定を構成し、競合を解決し、I/O セルの特性を指定するためのグラフィカル・ユーザー・インターフェイスを提供する、ソフトウェア・ツールです。

F021 フラッシュ・アプリケーション・プログラミング・インターフェイス (API)

F021 フラッシュ・アプリケーション・プログラミング・インターフェイス (API) は、F021 オンチップ・フラッシュ・メモリをプログラム、消去、および確認するための機能を含むソフトウェア・ライブラリを提供します。

C2000 サード・パーティー検索ツール

テキサス・インスツルメンツは複数の企業と協力し、テキサス・インスツルメンツの C2000 デバイスに対応する多様なソリューションとサービスを提供しています。これらの企業は、各種 C2000 デバイスを使用した量産へと至るお客様の開発工程の迅速化に役立ちます。この検索ツールをダウンロードすると、サード・パーティー各社の概要を手早く参照し、お客様のニーズに適したサード・パーティーを見つけることができます。

UniFlash スタンドアロン・フラッシュ・ツール

UniFlash は、GUI、コマンドライン、またはスクリプト・インターフェイスからオンチップ・フラッシュ・メモリをプログラムするために使用される、スタンドアロンのツールです。

モデル

製品の「ツールとソフトウェア」ページでは、各種のモデルをダウンロードできます。これらのモデルには、I/O バッファ情報仕様 (IBIS) モデルや、バウンダリ・スキーマ記述言語 (BSDL) モデルが含まれます。利用可能なモデルすべてを参照するには、各デバイスの「ツールとソフトウェア」ページの「モデル」セクションをご覧ください。

トレーニング

設計エンジニアが C2000 マイクロコントローラの機能および性能を十分に活用できるように、TI は各種のトレーニング・リソースを開発しました。オンライン・トレーニング資料や、ダウンロード可能な実践的ワークショップを活用することで、C2000 マイクロコントローラ・ファミリの完全な動作の知識を簡単に習得できます。これらのトレーニング資料は、習得を容易にし、開発期間を短縮し、製品を短時間で開発できるよう設計されています。各種トレーニング資料の詳細については、[C2000™ リアルタイム制御 MCU – サポートおよびトレーニングのサイト](#)を参照してください。

TMS320F28004x 固有の実践的トレーニング資料は、[C2000™ MCU デバイス・ワークショップ](#)にあります。

新しい C2000 TMS320F28004x デバイス・ファミリの技術的概要

C2000 MCU ファミリの最新のメンバについて、詳しく学ぶことができます。このプレゼンテーションは、TMS320F28004x アーキテクチャの技術的詳細を網羅しており、バックグラウンドでタスクを実行できる拡張された Type 2 CLA や、高速なプログラム可能ゲイン・アンプのセットが含まれていることなど、主要なペリフェラルに加えられた各種の改良点が紹介されています。また、まったく新しいブート・モードのフローにより、拡張ブート・オプションが可能になります。該当する部分では、TMS320F2807x MCU デバイス・シリーズとの比較も示されており、従来のデバイス・アーキテクチャに関する多少の知識があると、このプレゼンテーションで示されるトピックを理解するために役立ちます。

10.4 ドキュメントのサポート

To receive notification of documentation updates, navigate to the device product folder on ti.com. Click on *Subscribe to updates* to register and receive a weekly digest of any product information that has changed. For change details, review the revision history included in any revised document.

プロセッサおよび関連ペリフェラルに関する最新ドキュメント、その他の技術資料を以下に示します。

エラーッタ

『[TMS320F28004x リアルタイム MCU シリコン・エラーッタ](#)』には、シリコンについて既知の問題と回避策が記載されています。

テクニカル・リファレンス・マニュアル

『[TMS320F28004x リアルタイム・マイクロコントローラ・テクニカル・リファレンス・マニュアル](#)』には、F28004x マイクロコントローラの各ペリフェラルおよびサブシステムについて、統合、環境、機能説明、プログラミング・モデルの詳細が記載されています。

InstaSPIN テクニカル・リファレンス・マニュアル

『[InstaSPIN-FOC™ および InstaSPIN-MOTION™ ユーザー・ガイド](#)』には、InstaSPIN-FOC および InstaSPIN-MOTION™ デバイスについて記載されています。

CPU ユーザー・ガイド

『[TMS320C28x CPU および命令セット・リファレンス・ガイド](#)』では、TMS320C28x 固定小数点デジタル信号プロセッサ (DSP) の CPU (Central Processing Unit) およびアセンブリ言語命令について記述しています。このリファレンス・ガイドでは、これらの DSP で利用可能なエミュレーション機能についても解説しています。

『[TMS320C28x 拡張命令セット・テクニカル・リファレンス・マニュアル](#)』では、TMU、VCU-II、および FPU アクセラレータのアーキテクチャ、パイプライン、命令セットについて記述しています。

ペリフェラル・ガイド

『[C2000 リアルタイム制御ペリフェラル・リファレンス・ガイド](#)』には、28x DSP のペリフェラル・リファレンス・ガイドが記載されています。

ツール・ガイド

『[TMS320C28x アセンブリ言語ツール v22.6.0.LTS ユーザー・ガイド](#)』では、TMS320C28x デバイス用のアセンブリ言語ツール (アセンブリ言語コードを開発するためのアセンブラや他のツール)、アセンブラのディレクティブ、マクロ、共通オブジェクト・ファイル・フォーマット、シンボリック・デバッグ・ディレクティブについて記述しています。

『[TMS320C28x 最適化 C/C++ コンパイラ v22.6.0.LTS ユーザー・ガイド](#)』では、TMS320C28x C/C++ コンパイラについて記述しています。このコンパイラは、ANSI 標準の C/C++ ソースコードから、TMS320C28x デバイス用の TMS320 DSP アセンブリ言語ソースコードを生成します。

移行ガイド

『[TMS320F28004x と TMS320F28002x の間での移行](#)』では、F28004x と F28002x C2000™ MCU の間で移行するときに注意すべきハードウェアとソフトウェアの違いについて説明しています。

『[TMS320F28004x と TMS320F28003x の間での移行](#)』では、F28004x と F28003x C2000™ MCU の間で移行するときに注意すべきハードウェアとソフトウェアの違いについて説明しています。

アプリケーション・レポート

『[SMT & パッケージ・アプリケーション・ノート](#)』 Web サイトには、TI の表面実装テクノロジー (SMT) のドキュメントと、パッケージに関連する各種トピックについてのアプリケーション・ノートの一覧があります。

『[半導体パッキング方法](#)』では、半導体デバイスをエンド・ユーザーへの配送用に準備するためのパッキング手法について記述しています。

『組み込みプロセッサの有効寿命計算』では、TI の組み込みプロセッサ (EP) を電子機器システムにおいて通電状態で使用したときの有効寿命を計算するための手法を解説しています。これは、TI EP の信頼性が最終システムの信頼性要件を満たすかどうかを判定したい一般的なエンジニアを対象としています。

『IBIS (I/O バッファ情報仕様) モデル作成の概要』では、IBIS の歴史、利点、互換性、モデルの生成フロー、入力 / 出力構造のモデル作成におけるデータの要件、将来の動向など、各種の側面から解説しています。

『C2000™ マイクロコントローラのシリアル・フラッシュ・プログラミング』では、フラッシュ・カーネルおよび ROM ロダーを使用したデバイスのシリアル・プログラミングについて記載しています。

『C2000™ リアルタイム・マイクロコントローラを使った開発のための基本ガイド』では、リアルタイム制御システムに関連する C2000 マイクロコントローラ・ユニット (MCU) を差別化するためのコンポーネントについて詳細に説明しています。

10.5 サポート・リソース

TI E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、該当する貢献者により、現状のまま提供されるものです。これらは TI の仕様を構成するものではなく、必ずしも TI の見解を反映したものではありません。TI の [使用条件](#) を参照してください。

10.6 商標

InstaSPIN-FOC™, FAST™, TMS320C2000™, C2000™, Code Composer Studio™, InstaSPIN-MOTION™, and TI E2E™ are trademarks of Texas Instruments.

TMS320™ is a trademark of Texas Instruments.

Bosch® is a registered trademark of Robert Bosch GmbH Corporation.

すべての商標は、それぞれの所有者に帰属します。

10.7 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.8 用語集

テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

11 メカニカル、パッケージ、および注文に関する情報

11.1 パッケージ情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに対して提供されている最新のデータです。このデータは、予告なしに、また、ドキュメントの改訂なしに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

サーマル・パッド付きのパッケージについては、「メカニカル・データ」の図に一般的なサーマル・パッドが寸法なしで示されています。このデバイスに該当する実際のサーマル・パッドの寸法については、「サーマル・パッドのメカニカル・データ」図を参照してください。

TI のパッケージの詳細については、「[パッケージ情報](#)」Web サイトをご覧ください。

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
F280040CPMQR	ACTIVE	LQFP	PM	64	1000	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280040CPMQ	Samples
F280040PMQR	ACTIVE	LQFP	PM	64	1000	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280040PMQ	Samples
F280041CPMS	ACTIVE	LQFP	PM	64	160	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280041CPMS	Samples
F280041CPZQR	ACTIVE	LQFP	PZ	100	1000	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280041CPZQ	Samples
F280041CPZS	ACTIVE	LQFP	PZ	100	90	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280041CPZS	Samples
F280041CRSHSR	ACTIVE	VQFN	RSH	56	2500	RoHS & Green	Call TI NIPDAU	Level-3-260C-168 HR	-40 to 125	F280041C RSHS	Samples
F280041PMS	ACTIVE	LQFP	PM	64	160	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280041PMS	Samples
F280041PMSR	ACTIVE	LQFP	PM	64	1000	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280041PMS	Samples
F280041PZQR	ACTIVE	LQFP	PZ	100	1000	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280041PZQ	Samples
F280041PZS	ACTIVE	LQFP	PZ	100	90	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280041PZS	Samples
F280041PZSR	ACTIVE	LQFP	PZ	100	1000	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280041PZS	Samples
F280041RSHSR	ACTIVE	VQFN	RSH	56	2500	RoHS & Green	Call TI NIPDAU	Level-3-260C-168 HR	-40 to 125	F280041 RSHS	Samples
F280045PMS	ACTIVE	LQFP	PM	64	160	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280045PMS	Samples
F280045PMSR	ACTIVE	LQFP	PM	64	1000	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280045PMS	Samples
F280045PZS	ACTIVE	LQFP	PZ	100	90	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280045PZS	Samples
F280045PZSR	ACTIVE	LQFP	PZ	100	1000	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280045PZS	Samples
F280045RSHSR	ACTIVE	VQFN	RSH	56	2500	RoHS & Green	Call TI NIPDAU	Level-3-260C-168 HR	-40 to 125	F280045 RSHS	Samples
F280048CPMQR	ACTIVE	LQFP	PM	64	1000	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280048CPMQ	Samples
F280048PMQR	ACTIVE	LQFP	PM	64	1000	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280048PMQ	Samples

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
F280049CPMS	ACTIVE	LQFP	PM	64	160	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280049CPMS	Samples
F280049CPMSR	ACTIVE	LQFP	PM	64	1000	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280049CPMS	Samples
F280049CPZQR	ACTIVE	LQFP	PZ	100	1000	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280049CPZQ	Samples
F280049CPZS	ACTIVE	LQFP	PZ	100	90	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280049CPZS	Samples
F280049CRSHSR	ACTIVE	VQFN	RSH	56	2500	RoHS & Green	Call TI NIPDAU	Level-3-260C-168 HR	-40 to 125	F280049C RSHS	Samples
F280049PMS	ACTIVE	LQFP	PM	64	160	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280049PMS	Samples
F280049PMSR	ACTIVE	LQFP	PM	64	1000	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280049PMS	Samples
F280049PZQ	ACTIVE	LQFP	PZ	100	90	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280049PZQ	Samples
F280049PZQR	ACTIVE	LQFP	PZ	100	1000	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280049PZQ	Samples
F280049PZS	ACTIVE	LQFP	PZ	100	90	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280049PZS	Samples
F280049PZSR	ACTIVE	LQFP	PZ	100	1000	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280049PZS	Samples
F280049RSHSR	ACTIVE	VQFN	RSH	56	2500	RoHS & Green	Call TI NIPDAU	Level-3-260C-168 HR	-40 to 125	F280049 RSHS	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TMS320F280041, TMS320F280041-Q1, TMS320F280041C, TMS320F280041C-Q1, TMS320F280049, TMS320F280049-Q1, TMS320F280049C, TMS320F280049C-Q1 :

● Catalog : [TMS320F280041](#), [TMS320F280041C](#), [TMS320F280049](#), [TMS320F280049C](#)

● Automotive : [TMS320F280041-Q1](#), [TMS320F280041C-Q1](#), [TMS320F280049-Q1](#), [TMS320F280049C-Q1](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
F280040CPMQR	LQFP	PM	64	1000	330.0	24.4	13.0	13.0	2.1	16.0	24.0	Q2
F280040PMQR	LQFP	PM	64	1000	330.0	24.4	13.0	13.0	2.1	16.0	24.0	Q2
F280041CPZQR	LQFP	PZ	100	1000	330.0	32.4	16.9	16.9	2.0	24.0	32.0	Q2
F280041PMSR	LQFP	PM	64	1000	330.0	24.4	13.0	13.0	2.1	16.0	24.0	Q2
F280041PZQR	LQFP	PZ	100	1000	330.0	32.4	16.9	16.9	2.0	24.0	32.0	Q2
F280041PZSR	LQFP	PZ	100	1000	330.0	32.4	16.9	16.9	2.0	24.0	32.0	Q2
F280045PMSR	LQFP	PM	64	1000	330.0	24.4	13.0	13.0	2.1	16.0	24.0	Q2
F280045PZSR	LQFP	PZ	100	1000	330.0	32.4	16.9	16.9	2.0	24.0	32.0	Q2
F280048CPMQR	LQFP	PM	64	1000	330.0	24.4	13.0	13.0	2.1	16.0	24.0	Q2
F280048PMQR	LQFP	PM	64	1000	330.0	24.4	13.0	13.0	2.1	16.0	24.0	Q2
F280049CPMSR	LQFP	PM	64	1000	330.0	24.4	13.0	13.0	2.1	16.0	24.0	Q2
F280049CPZQR	LQFP	PZ	100	1000	330.0	32.4	16.9	16.9	2.0	24.0	32.0	Q2
F280049PMSR	LQFP	PM	64	1000	330.0	24.4	13.0	13.0	2.1	16.0	24.0	Q2
F280049PZQR	LQFP	PZ	100	1000	330.0	32.4	16.9	16.9	2.0	24.0	32.0	Q2
F280049PZSR	LQFP	PZ	100	1000	330.0	32.4	16.9	16.9	2.0	24.0	32.0	Q2

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
F280040CPMQR	LQFP	PM	64	1000	336.6	336.6	41.3
F280040PMQR	LQFP	PM	64	1000	336.6	336.6	41.3
F280041CPZQR	LQFP	PZ	100	1000	367.0	367.0	55.0
F280041PMSR	LQFP	PM	64	1000	336.6	336.6	41.3
F280041PZQR	LQFP	PZ	100	1000	367.0	367.0	55.0
F280041PZSR	LQFP	PZ	100	1000	367.0	367.0	55.0
F280045PMSR	LQFP	PM	64	1000	336.6	336.6	41.3
F280045PZSR	LQFP	PZ	100	1000	367.0	367.0	55.0
F280048CPMQR	LQFP	PM	64	1000	336.6	336.6	41.3
F280048PMQR	LQFP	PM	64	1000	336.6	336.6	41.3
F280049CPMSR	LQFP	PM	64	1000	336.6	336.6	41.3
F280049CPZQR	LQFP	PZ	100	1000	367.0	367.0	55.0
F280049PMSR	LQFP	PM	64	1000	336.6	336.6	41.3
F280049PZQR	LQFP	PZ	100	1000	367.0	367.0	55.0
F280049PZSR	LQFP	PZ	100	1000	367.0	367.0	55.0

TRAY


Chamfer on Tray corner indicates Pin 1 orientation of packed units.

*All dimensions are nominal

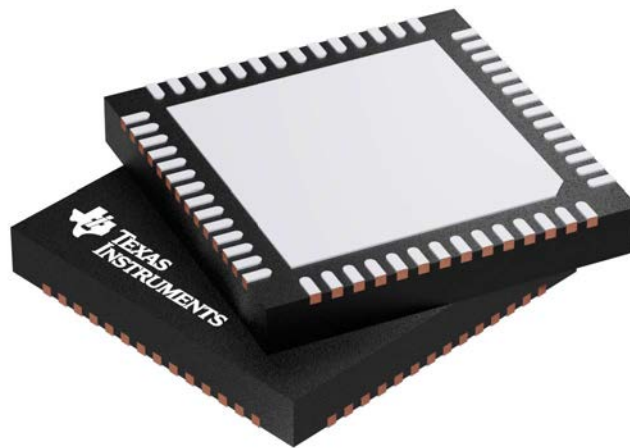
Device	Package Name	Package Type	Pins	SPQ	Unit array matrix	Max temperature (°C)	L (mm)	W (mm)	K0 (µm)	P1 (mm)	CL (mm)	CW (mm)
F280041CPMS	PM	LQFP	64	160	8 X 20	150	315	135.9	7620	15.2	13.1	13
F280041CPZS	PZ	LQFP	100	90	6 x 15	150	315	135.9	7620	20.3	15.4	15.4
F280041PMS	PM	LQFP	64	160	8 X 20	150	315	135.9	7620	15.2	13.1	13
F280041PZS	PZ	LQFP	100	90	6 x 15	150	315	135.9	7620	20.3	15.4	15.4
F280045PMS	PM	LQFP	64	160	8 X 20	150	315	135.9	7620	15.2	13.1	13
F280045PZS	PZ	LQFP	100	90	6 x 15	150	315	135.9	7620	20.3	15.4	15.4
F280049CPMS	PM	LQFP	64	160	8 X 20	150	315	135.9	7620	15.2	13.1	13
F280049CPZS	PZ	LQFP	100	90	6 x 15	150	315	135.9	7620	20.3	15.4	15.4
F280049PMS	PM	LQFP	64	160	8 X 20	150	315	135.9	7620	15.2	13.1	13
F280049PZQ	PZ	LQFP	100	90	6 x 15	150	315	135.9	7620	20.3	15.4	15.4
F280049PZS	PZ	LQFP	100	90	6 x 15	150	315	135.9	7620	20.3	15.4	15.4

RSH 56

GENERIC PACKAGE VIEW

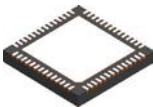
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

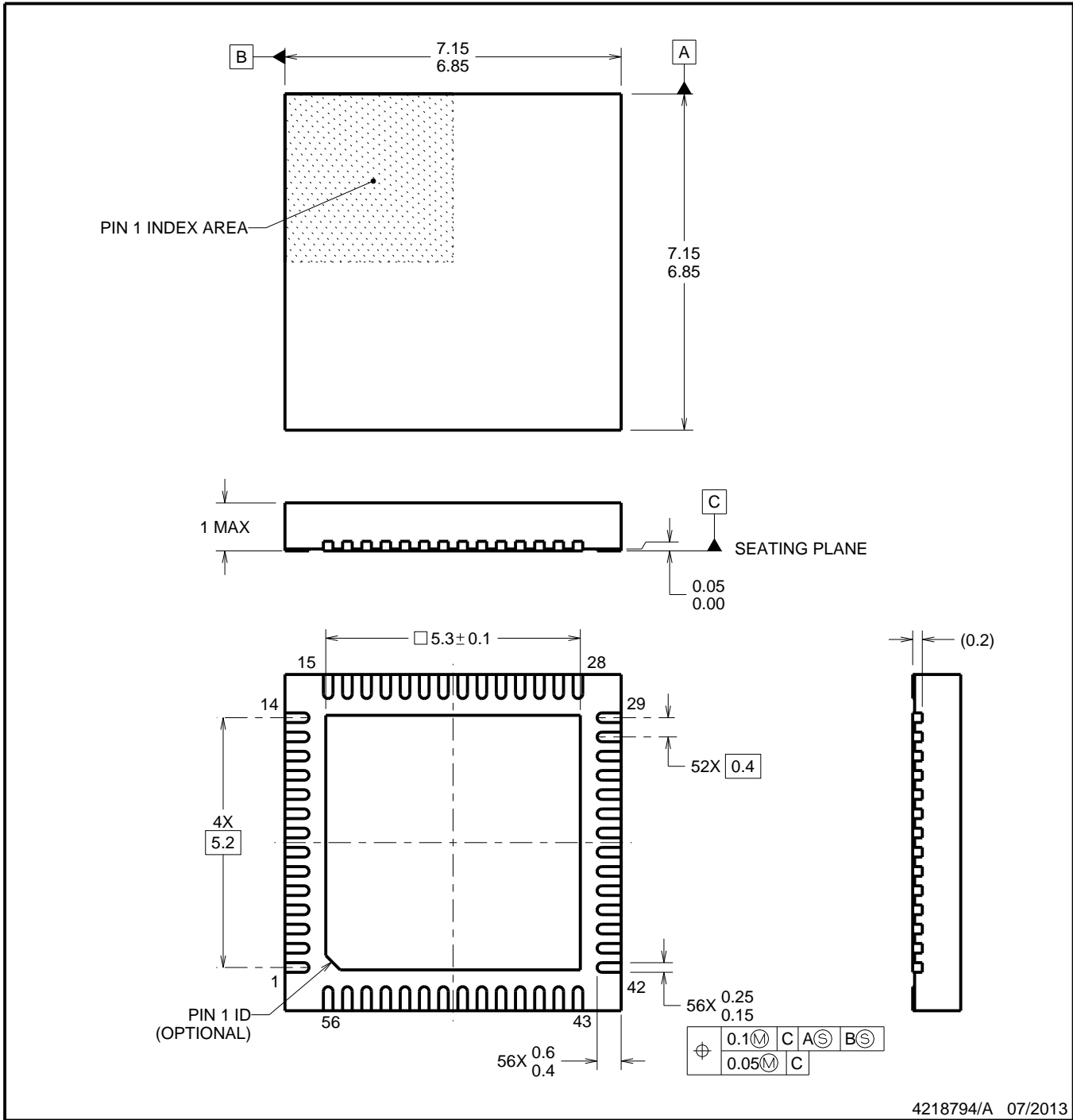
4207513/D



RSH0056D

VQFN - 1 mm max height

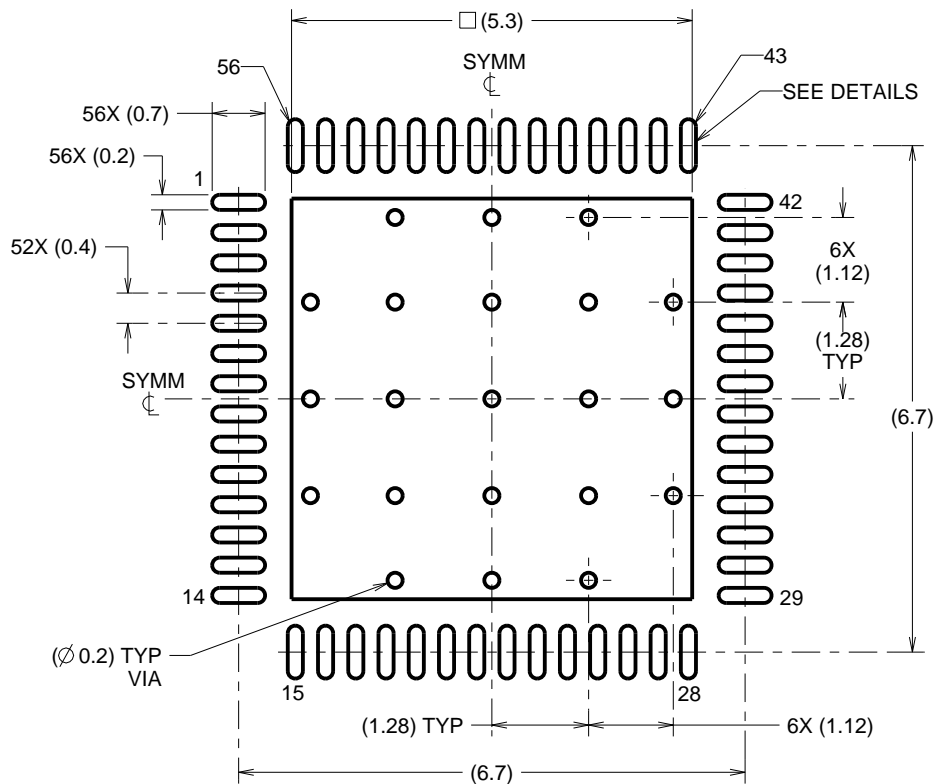
VQFN



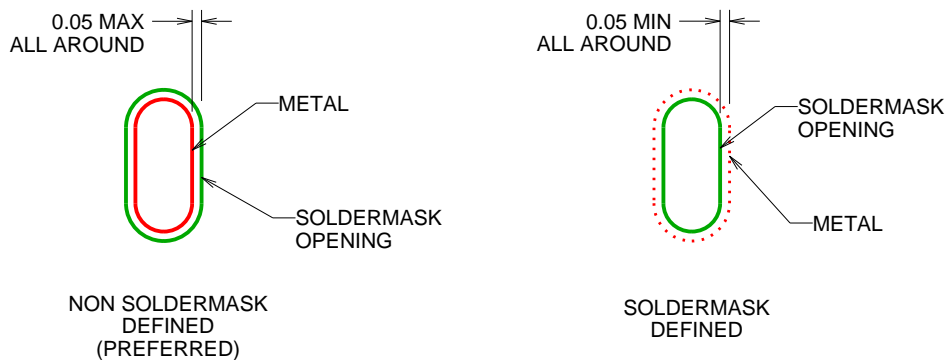
4218794/A 07/2013

NOTES:

- 1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
- 2. This drawing is subject to change without notice.
- 3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
SCALE:10X

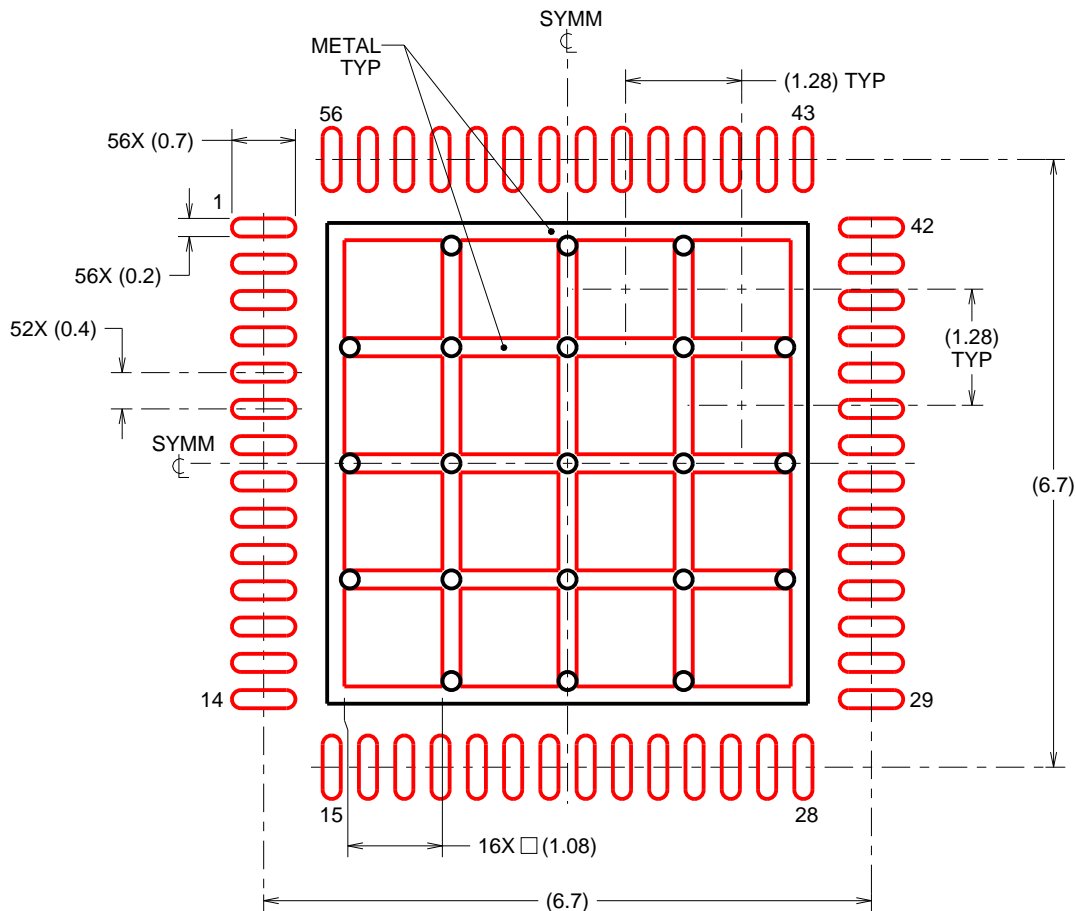


SOLDERMASK DETAILS

4218794/A 07/2013

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, refer to QFN/SON PCB application note in literature No. SLUA271 (www.ti.com/lit/slua271).



SOLDERPASTE EXAMPLE
 BASED ON 0.1mm THICK STENCIL

EXPOSED PAD
 67% PRINTED SOLDER COVERAGE BY AREA
 SCALE:12X

4218794/A 07/2013

NOTES: (continued)

5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PM0064A



PACKAGE OUTLINE

LQFP - 1.6 mm max height

PLASTIC QUAD FLATPACK



4215162/A 03/2017

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MS-026.

EXAMPLE BOARD LAYOUT

PM0064A

LQFP - 1.6 mm max height

PLASTIC QUAD FLATPACK



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4215162/A 03/2017

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
7. For more information, see Texas Instruments literature number SLMA004 (www.ti.com/lit/slma004).

EXAMPLE STENCIL DESIGN

PM0064A

LQFP - 1.6 mm max height

PLASTIC QUAD FLATPACK

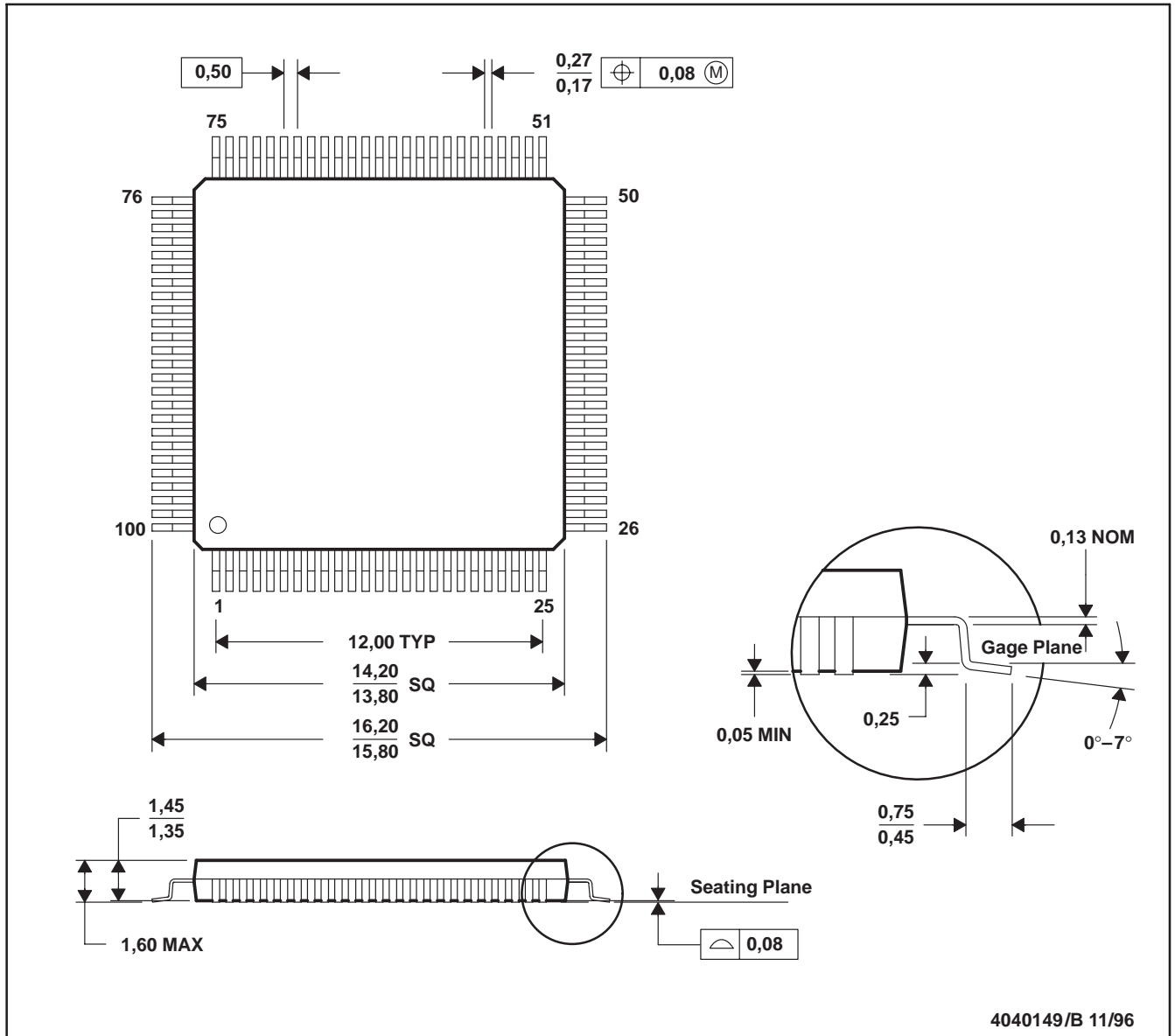


NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PZ (S-PQFP-G100)

PLASTIC QUAD FLATPACK



- NOTES: A. All linear dimensions are in millimeters.
 B. This drawing is subject to change without notice.
 C. Falls within JEDEC MS-026

PZ (S-PQFP-G100)

PLASTIC QUAD FLAT PACK



NOTES:

- All linear dimensions are in millimeters.
- This drawing is subject to change without notice.
- Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Example stencil design based on a 50% volumetric metal load solder paste. Refer to IPC-7525 for other stencil recommendations.
- Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

重要なお知らせと免責事項

TI は、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](#) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated