

TMS320F2838x コネクティビティ・マネージャ搭載リアルタイム・マイクロコントローラ

1 特長

- デュアル・コアの C28x アーキテクチャ
 - 2 つの TMS320C28x 32 ビット CPU
 - 200MHz
 - IEEE 754 倍精度 (64 ビット) 浮動小数点ユニット (FPU)
 - 三角関数演算ユニット (TMU)
 - CRC エンジンおよび命令 (VCRC)
 - 高速整数除算 (FINTDIV)
 - 各 CPU に 512KB (256KW) のフラッシュ (ECC 保護)
 - 各 CPU に 44KB (22KW) のローカル RAM
 - 2 つの CPU 間で 128KB (64KW) のグローバル RAM を共有 (パリティ保護)
- 2 つの制御補償器アクセラレータ (CLA)
 - 200MHz
 - IEEE 754 単精度浮動小数点
 - C28x CPU と独立にコードを実行
- システム・ペリフェラル
 - ASRAM および SDRAM をサポートする 2 つの外部メモリ・インターフェイス (EMIF)
 - 2 つの 6 チャンネル DMA (Direct Memory Access) コントローラ
 - 最大 169 の入力フィルタリング付き汎用入出力 (GPIO) ピン
 - 拡張ペリフェラル割り込みコントローラ (ePIE)
 - 低消費電力モード (LPM) のサポート
 - デュアル・ゾーンセキュリティでサード・パーティーの開発をサポート
 - 固有の識別 (UID) 番号
 - 組み込みのリアルタイム解析および診断 (ERAD)
 - バックグラウンド CRC (BGCR)C
- コネクティビティ・マネージャ (CM)
 - ARM® Cortex®-M4 プロセッサ
 - 125MHz
 - 512KB のフラッシュ (ECC 保護)
 - 96KB の RAM (ECC 保護またはパリティ保護)
 - AES (Advanced Encryption Standard) アクセラレータ
 - 汎用 CRC (GCRC)
 - 32 チャンネルの μ DMA (Micro Direct Memory Access) コントローラ
 - CM-UART (Universal Asynchronous Receiver/Transmitter)
 - CM-I2C (Inter-integrated Circuit)
 - 同期式シリアル・インターフェイス (SSI)
 - 10/100 イーサネット 1588 MII/RMII
- C28x 通信ペリフェラル
 - 2 つのトランスミッタと 8 つのレシーバを持つ高速シリアル・インターフェイス (FSI)
 - 4 つの高速 (最高 50MHz) SPI ポート (ピンでブート可能)
 - 4 つのシリアル通信インターフェイス (SCI/UART) (ピンでブート可能)
 - 2 つの I2C インターフェイス (ピンでブート可能)
 - PMBus (Power-Management Bus) インターフェイス
 - 2 つのマルチチャンネル・バッファ付きシリアル・ポート (McBSP)
- CM-C28x 共有通信ペリフェラル
 - EtherCAT® スレーブ・コントローラ (ESC)
 - USB 2.0 (MAC + PHY)
 - 2 つの CAN (Controller Area Network) モジュール (ピンでブート可能)
 - MCAN (CAN FD)
- アナログ・サブシステム
 - 4 つのアナログ / デジタル・コンバータ (ADC)
 - 16 ビット・モード
 - それぞれ 1.1MSPS
 - 12 の差動および 24 のシングルエンド入力
 - 12 ビット・モード
 - それぞれ 3.5MSPS
 - 24 のシングル・エンド入力
 - 各 ADC に単一のサンプルおよびホールド (S/H)
 - ハードウェアによる変換の後処理
 - 8 つのウィンドウ付きコンパレータ、12 ビットのデジタル / アナログ・コンバータ (DAC) リファレンス付き
 - 3 つのバッファ付き 12 ビット DAC 出力
- コントロール・ペリフェラル
 - 32 のパルス幅変調器 (PWM) チャンネル
 - 8 つの PWM モジュールの A および B チャンネルの両方が高分解能 (16 チャンネル)
 - デッドバンドのサポート (標準と高分解能の両方)
 - 7 つの拡張キャプチャ (eCAP) モジュール
 - 7 つの eCAP モジュールのうち 2 つで高分解能キャプチャ (HRCAP) を使用可能
 - 3 つの拡張直交エンコーダ・パルス (eQEP) モジュール



- 8つのシグマ-デルタ・フィルタ・モジュール (SDFM) 入力チャネル、チャネルごとに2つの独立したフィルタ
- 構成可能ロジック・ブロック (CLB)
 - 既存のペリフェラル機能を強化
 - ポジション・マネージャ・ソリューションをサポート
- クロックおよびシステム制御
 - 2つの内部ゼロ・ピン 10MHz 発振器
 - オンチップの水晶発振器
 - ウィンドウ付きウォッチドッグ・タイマ・モジュール
 - クロック消失検出回路
 - デュアル・クロック・コンパレータ (DCC)
- ハードウェア組み込み自己テスト (HWBIST)
- コア 1.2V、I/O 3.3V の設計
- 機能安全準拠
 - 機能安全アプリケーション向けに開発
 - ISO 26262 および IEC 61508 システムの設計を支援するドキュメントを使用可能
 - ASIL D および SIL 3 までの決定論的能力
 - ASIL B および SIL 2 までのハードウェア能力
- 安全関連認証
 - TÜV SÜD により ISO 26262 認証済み (ASIL B まで)
 - TÜV SÜD により IEC 61508 認証済み (SIL 2 まで)
- パッケージ・オプション:
 - 鉛フリー、グリーン・パッケージ
 - 337 ボールの新ファイン・ピッチ・ボール・グリッド・アレイ (nFBGA) [接尾辞 ZWT]
 - 176 ピン PowerPAD™ の熱的に強化された薄型クワッド・フラットパック (HLQFP) [接尾辞 PTP]
- 温度オプション:
 - S: -40°C ~ 125°C の接合部温度
 - Q: 周囲温度 -40°C ~ 125°C (車載アプリケーション用の AEC Q100 認定)

2 アプリケーション

- 中距離 / 短距離レーダー
- HVAC 大型商用モーター制御
- 自動仕分け機器
- CNC 制御
- セントラル・インバータ
- スtring・インバータ
- インバータとモーター制御
- オンボード・チャージャ (OBC) / ワイヤレス・チャージャ
- リニア・モーター・セグメント・コントローラ
- サーボ・ドライブ制御モジュール
- 産業用 AC-DC
- 3相 UPS

3 概要

TMS320F2838x (F2838x) は、電力密度の向上、スイッチング周波数の向上、**GaN** および **SiC** 技術の使用のサポートを含め、パワー・エレクトロニクスの効率を向上させるように設計されたスケーラブルで超低レイテンシなデバイスである C2000™ リアルタイム・マイクロコントローラ・ファミリの製品です。

主なアプリケーションには以下が含まれます。

- 産業用モーター駆動
- モーター制御
- 太陽光インバータ
- デジタル電源
- 電気自動車および輸送
- センシングと信号処理

リアルタイム制御サブシステムは、テキサス・インスツルメンツの 32 ビット C28x DSP コアをベースにしており、オンチップ・フラッシュまたは SRAM から実行される浮動小数点または固定小数点コードに対してコアごとに 200MHz の信号処理性能を発揮します。C28x CPU は、**三角関数演算ユニット (TMU)** と **VCRC (巡回冗長検査) 拡張命令セット** によってさらに強化され、リアルタイム制御システムでよく使われる重要なアルゴリズムを高速化します。拡張命令セットにより、**IEEE 倍精度 64 ビット浮動小数点演算**が可能になります。最後に、**制御補償器アクセラレータ (CLA)** を使用すると、独立した処理能力のコアごとに 200MHz を追加できます。

このデバイスには、125MHz で動作する **ARM Cortex-M4** プロセッサをベースとする独立したコネクティビティ・マネージャ (CM) も含まれています。専用のフラッシュと SRAM を搭載した CM は、F2838x の入出力インターフェイスを完全に独立して制御できるため、C28x DSP の最大帯域幅をリアルタイム制御に集中させることができます。

高性能アナログ・ブロックは、処理および制御ユニットと緊密に統合されており、最適なリアルタイム・シグナル・チェーン性能を実現します。周波数に依存しない 32 の PWM により、3 相インバータから高度なマルチレベル電力トポロジまで、複数の電力段を制御できます。

構成可能ロジック・ブロック (CLB) を内蔵しているため、ユーザーはカスタム・ロジックを追加し、FPGA に類似した機能を C2000 リアルタイム・マイコンに統合できます。

C2000 リアルタイム・マイコンで初めて EtherCAT スレーブ・コントローラと、CAN FD や USB 2.0 などの業界標準プロトコルが搭載されています。高速シリアル・インターフェイス (FSI) を使用すると、絶縁境界越しに最大 200Mbps の堅牢な通信が可能です。

C2000 MCU をお客様のリアルタイム制御システムに適した選択肢にしている機能について詳しく知るには、『C2000™ リアルタイム・マイクロコントローラを使った開発のための基本ガイド』をご覧くださいとともに、C2000™ リアルタイム制御 MCU のページにアクセスしてください。

『C2000™ リアルタイム制御マイクロコントローラ (MCU) を使用した設計の開始』入門ガイドは、C2000 デバイスを使用する開発について、ハードウェアからサポート・リソースまで、あらゆる側面をカバーしています。主要な参考資料に加えて、各セクションには関連するリンクとリソースが掲載されており、さらに詳細な情報を知ることができます。

導入前の評価には TMDSCNCD28388D 評価ボードをご覧ください、C2000Ware をダウンロードしてください。

パッケージ情報

部品番号	パッケージ (1)	本体サイズ (公称)
TMS320F28388D	ZWT (nFBGA, 337)	16mm × 16mm
	PTP (HLQFP, 176)	24mm × 24mm
TMS320F28388S	ZWT (nFBGA, 337)	16mm × 16mm
	PTP (HLQFP, 176)	24mm × 24mm
TMS320F28386D	ZWT (nFBGA, 337)	16mm × 16mm
	PTP (HLQFP, 176)	24mm × 24mm
TMS320F28386S	ZWT (nFBGA, 337)	16mm × 16mm
	PTP (HLQFP, 176)	24mm × 24mm
TMS320F28384D	ZWT (nFBGA, 337)	16mm × 16mm
	PTP (HLQFP, 176)	24mm × 24mm
TMS320F28384S	ZWT (nFBGA, 337)	16mm × 16mm
	PTP (HLQFP, 176)	24mm × 24mm

(1) これらのデバイスの詳細については、メカニカル、パッケージ、および注文情報を参照してください。

3.1 機能ブロック図

「機能ブロック図」に、CPU システムおよび関連ペリフェラルを示します。

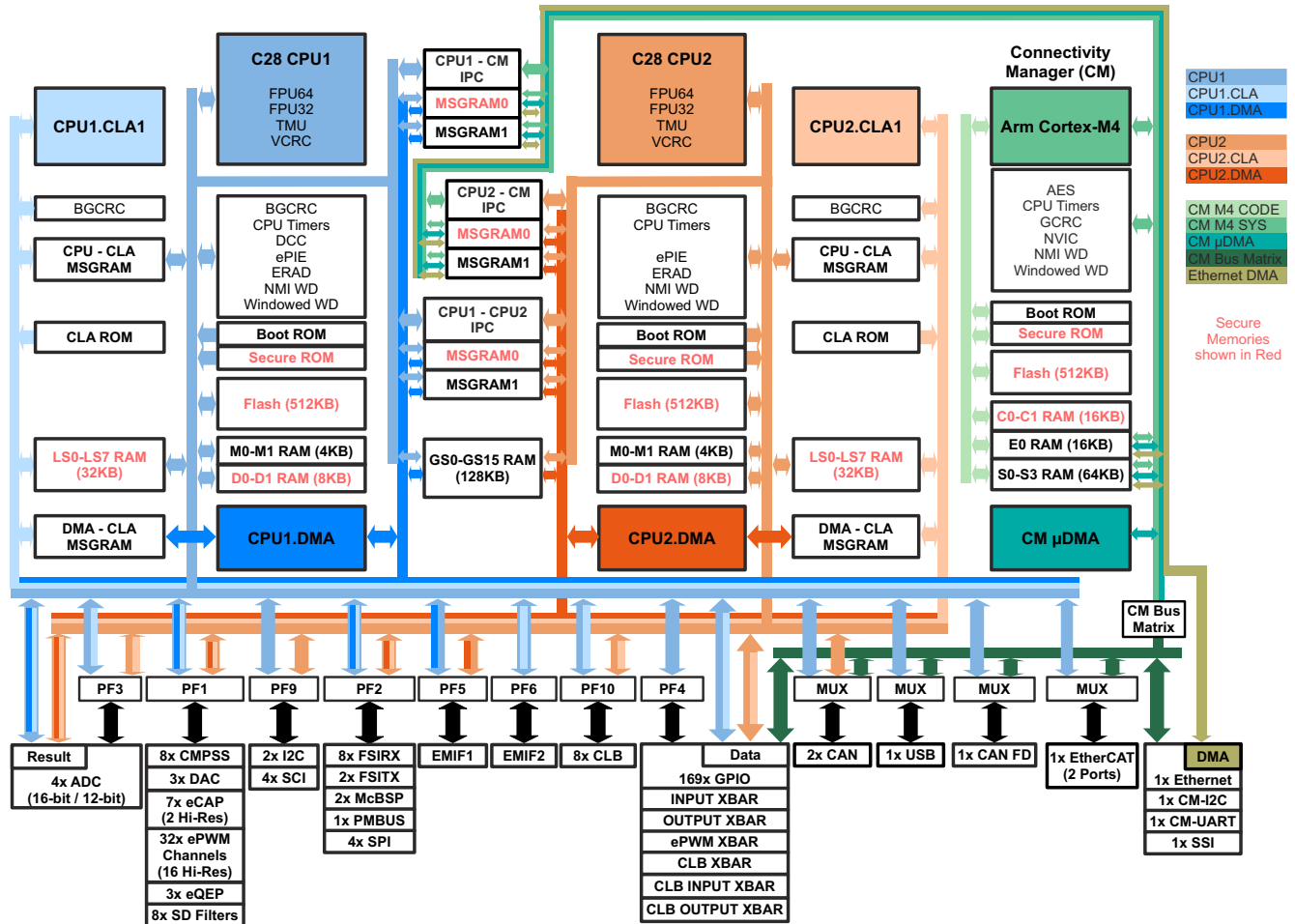


図 3-1. 機能ブロック図

目次

1 特長.....	1	7.14 コネクティビティ・マネージャ (CM) のペリフェラル.....	248
2 アプリケーション.....	2	8 詳細説明.....	269
3 概要.....	2	8.1 概要.....	269
3.1 機能ブロック図.....	4	8.2 機能ブロック図.....	270
4 改訂履歴.....	5	8.3 メモリ.....	271
5 デバイスの比較.....	8	8.4 識別.....	287
5.1 関連製品.....	11	8.5 バス・アーキテクチャ - ペリフェラル・コネクティビティ.....	288
6 端子構成および機能.....	12	8.6 ブート ROM およびペリフェラル・ブート.....	291
6.1 ピン配置図.....	12	8.7 デュアル・コード・セキュリティ・モジュール (DCSM).....	297
6.2 ピン属性.....	18	8.8 C28x (CPU1/CPU2) サブシステム.....	298
6.3 信号の説明.....	55	8.9 コネクティビティ・マネージャ (CM) サブシステム.....	314
6.4 内部プルアップおよびプルダウン付きのピン.....	79	8.10 機能安全.....	324
6.5 ピン多重化.....	79	9 アプリケーション、実装、およびレイアウト.....	325
6.6 未使用ピンの接続.....	95	9.1 アプリケーションと実装.....	325
7 仕様.....	96	9.2 デバイスの主な特長.....	325
7.1 絶対最大定格.....	96	9.3 アプリケーション情報.....	330
7.2 ESD 定格 - 民生用.....	96	10 デバイスおよびドキュメントのサポート.....	340
7.3 ESD 定格 - 車載用.....	97	10.1 入門と次のステップ.....	340
7.4 推奨動作条件.....	97	10.2 デバイスおよび開発ツールの命名規則.....	340
7.5 消費電力の概略.....	98	10.3 マーキング.....	341
7.6 電気的特性.....	102	10.4 ツールとソフトウェア.....	342
7.7 ZWT パッケージの熱抵抗特性.....	104	10.5 ドキュメントのサポート.....	343
7.8 PTP パッケージの熱抵抗特性.....	104	10.6 サポート・リソース.....	344
7.9 熱設計の検討事項.....	105	10.7 商標.....	344
7.10 システム.....	106	10.8 静電気放電に関する注意事項.....	344
7.11 C28x アナログ・ペリフェラル.....	152	10.9 用語集.....	344
7.12 C28x コントロール・ペリフェラル.....	186	11 メカニカル、パッケージ、および注文情報.....	345
7.13 C28x 通信ペリフェラル.....	205	11.1 パッケージ情報.....	345

4 改訂履歴

Changes from FEBRUARY 2, 2021 to JUNE 28, 2023	Page
• この改訂履歴には、SPRSP14D から SPRSP14E への変更点が記載されています。.....	1
• グローバル:「CAN-FD」を「CAN FD」に変更。.....	1
• グローバル:ESC_TX0_ENA および ESC_TX1_ENA のピンの種類を「I/O」から「O」に変更。.....	1
• 「特長」セクション:「機能安全準拠」機能と「安全関連認証」機能を追加。「ハードウェア組み込み自己テスト (HWBIST)」機能を追加。「コネクティビティ・マネージャ (CM)」グループから「MCAN (CAN FD)」機能を削除。「CM-C28x 共有通信ペリフェラル」グループに「MCAN (CAN FD)」を追加。.....	1
• 「概要」セクション:『「C2000™ リアルタイム制御マイクロコントローラ (MCU) を使用した設計の開始』入門ガイド』に参照段落を追加。.....	2
• 「パッケージ情報」表:表のタイトルを「製品情報」から「パッケージ情報」に変更。表を更新。.....	2
• 「機能ブロック図」:「1x CAN FD」の青い MUX の矢印を変更。.....	4
• 「デバイスの比較」の表: 値を「1 (CPU1 または CM に割り当て可能)」に変更して、CAN フレキシブル・データ・レート (CAN FD) を更新。.....	8
• 「ピン属性」の表: 表を更新。337 ボール ZWT パッケージのボール H4 を「NC」から「NC1」に変更し、176 ピン PTP パッケージからピン割り当て 119 を削除。「NC2」(337 ボール ZWT パッケージのボール J18、176 ピン PTP パッケージのピン 119) を追加。TRSTn の説明を変更。XRSn の説明から重複する文を削除。176 ピン・パッケージの VSS の説明とピン番号を変更。.....	18
• 「アナログ信号」表: 表を更新。.....	55
• 「デジタル信号」表: 表を更新。.....	55

• 「電源およびグランド」表: 表を更新。176 ピン・パッケージの VSS の説明とピン番号を変更。.....	55
• 「テスト、JTAG、リセット」表: 表を更新。「NC」を「NC1」に変更。「337 BGA」のボール番号を「H4、J18」から「H4」に変更。「176 ピン」のピン番号 119 を削除。「NC2」(337 BGA のボール番号 J18、176 ピンの番号 119) を追加。TRSTn の説明を変更。XRSn の説明から重複する文を削除。.....	55
• 「仕様」セクション: 「絶対最大定格に記載されているものをを超える応力...」の段落のテキストを脚注として「絶対最大定格」の表に移動。.....	96
• 「絶対最大定格」の表: 「絶対最大定格に記載されているものをを超える応力...」の脚注および「すべての電圧値は、特に記述のない限り、VSS 端子を基準とします」の脚注を追加。.....	96
• 「推奨動作条件」の表: t _{VDDIO-RAMP} を削除。.....	96
• 「ESD 定格 - 民生用」の表: デバイス帯電モデル (CDM) の説明から JEDEC 仕様 JESD22-C101 を削除。コーナー・ピンの CDM 値を追加。.....	96
• 「パワー・マネージメント・モジュール (PMM)」セクション: セクションを追加。.....	106
• 「電源シーケンス」セクション: セクションを変更。.....	106
• 「リセット回路」の図: 4 方向を接続するドットを置き換え。.....	112
• 「リセット・ソース」セクション: 導入段落を更新。「リセット信号」表を追加。.....	112
• 「クロック供給システム」図: CLB を追加。.....	116
• 「内部クロック周波数」の表: f _(INTCLK) の最小値と f _(AUXINTCLK) の最小値を 10MHz から 2MHz に変更。f _(CLBTILECLK) および f _(CLBREGCLK) を追加。.....	120
• 「XTAL 発振器」セクション: セクションのタイトルを「水晶発振器」から「XTAL 発振器」に変更。セクションを更新。... ..	121
• 「フラッシュ・パラメータ」の表: 「N _{wec} の書き込み / 消去サイクル」を「セクタあたり N _{wec} の書き込み / 消去サイクル」に変更。「フラッシュ全体で N _{wec} の書き込み / 消去サイクル (すべてのセクタを結合)」およびそれに関連する脚注を追加。「t _{retention} データ保持期間 (T _J = 125°C)」およびそれに関連する脚注を追加。.....	129
• 「RAM の仕様」セクション: セクションを追加。.....	130
• 「ROM の仕様」セクション: セクションを追加。.....	131
• 「14 ピン JTAG ヘッダーへの接続」の図: TMS に 2.2kΩ のプルアップ抵抗を追加。.....	132
• 「20 ピン JTAG ヘッダーへの接続」の図: TMS に 2.2kΩ のプルアップ抵抗を追加。.....	132
• 「EMIF 非同期メモリのスイッチング特性」表: EW = 1 のパラメータ 3、10、15、24 の MIN 値と MAX 値を更新。「最大待機タイムアウト条件」の脚注を追加。.....	145
• 「シングルエンド入力モデル」セクション: 「ユーザーは C _h のワーストケース初期条件を想定して、ADC 入力設定を分析する必要があります...」の paragraph を追加。.....	166
• 「差動入力モデル」セクション: 『C2000 ADC 用の電荷共有駆動回路 (TINA-TI シミュレーション・ツールを使用)』アプリケーション・ノートと『C2000 MCU 用の ADC 入力回路の評価 (TINA-TI シミュレーション・ツールを使用)』アプリケーション・ノートへの参照を追加。.....	167
• 「差動入力モデル」セクション: 「ユーザーは、C _h のワーストケース初期条件を想定して、ADC 入力設定を分析する必要があります...」の段落を削除。.....	167
• 「12 ビット・モードでの ADC タイミング (SYSCLK サイクル)」の表: t _{INT} についての脚注を追加。.....	169
• 「16 ビット・モードでの ADC タイミング」の表: t _{INT} についての脚注を追加。.....	171
• 「コンパレータの電気的特性」の表: ヒステリシスの最小値と最大値を追加。.....	176
• 「CMPSS DAC の動的誤差」セクション: セクションを追加。.....	179
• 「PMBus の電気的データおよびタイミング」セクション: 導入段落を削除。.....	230
• 「PMBus ファスト・モードのスイッチング特性」の表: F _{mod} 、PMBus モジュールのクロック周波数を追加。.....	230
• 「PMBus 標準モードのスイッチング特性」の表: F _{mod} 、PMBus モジュールのクロック周波数を追加。.....	230
• 「ユニバーサル・シリアル・バス (USB) コントローラ」セクション: オンチップのゼロ・ピン発振器の精度に関する注記を変更。.....	246
• 「モジュラー・コントローラ・エリア・ネットワーク (MCAN) [CAN FD]」セクション: 最初の 2 つの段落を変更。.....	248
• 「MCAN モジュールの概要」の図: 図を変更。.....	248
• 「機能ブロック図」: 「1x CAN FD」の青い MUX の矢印を変更。.....	270
• 「C28x メモリ・マップ」表: MCAN メッセージ RAM を追加。.....	271
• 「ペリフェラル・レジスタのメモリ・マップ」セクション: セクションを追加。.....	274

- 「CM メモリ・マップ」表: 「EtherCAT RAM (ダイレクト・アクセス)」の START ADDRESS と END ADDRESS を変更。.....281
- 「ペリフェラル・レジスタのメモリ・マップ (CM)」セクション: セクションを追加。.....283
- 「CM バス・マスタ・ペリフェラル・アクセス」の表: 「MCAN (CAN FD)」の行の「CPU1 サブシステム」の列に「Y」を追加。.....288
- 「利用可能なすべてのブート・モード」の表: USB ブートローダについての脚注を追加。.....293
- 「構成可能ロジック・ブロック (CLB)」セクション: 「通常動作の場合、CLB ペリフェラルのクロック周波数はデバイスの SYSCLK から取得され...」の段落を追加。.....312
- 「CM クロック供給システム」図: 図のタイトルを「クロック供給システム」から「CM クロック供給システム」に変更。MCAN を削除。.....321
- 「機能安全」セクション: セクションを追加。.....324
- 「アプリケーション、実装、およびレイアウト」セクション: セクションを更新。.....325
- 「入門と次のステップ」セクション: セクションを追加。.....340
- 「ツールとソフトウェア」セクション: C2000 サードパーティ製検索ツールを追加。.....342

5 デバイスの比較

「デバイス比較」の表に、各 2838x デバイスの機能を示します。

表 5-1. デバイスの比較

機能 ⁽¹⁾		28388D	28386D 28386D-Q1	28384D 28384D-Q1	28388S	28386S 28386S-Q1	28384S 28384S-Q1
C28x サブシステム							
C28x	個数	2			1		
	周波数 (MHz)	200					
	32 ビットおよび 64 ビット浮動小数点ユニット (FPU)	あり					
	VCRC	あり					
	TMU – タイプ 0	あり					
CLA – タイプ 2	個数	2 (CPU ごとに 1 個)			1		
	周波数 (MHz)	200					
C28x フラッシュ		1MB (512KW) [CPU ごとに 512KB (256KW)]			512KB (256KW)		
C28x RAM	専用 RAM	24KB (12KW) [CPU ごとに 12KB (6KW)]			12KB (6KW)		
	ローカル共有 RAM	64KB (32KW) [CPU ごとに 32KB (16KW)]			32KB (16KW)		
	グローバル共有 RAM	128KB (64KW) (CPU 間で共有)			128KB (64KW)		
	RAM 合計	216KB (108KW)			172KB (86KW)		
バックグラウンド・サイクリック冗長性チェック (BGCR) モジュール		1					
構成可能ロジック・ブロック (CLB)		8 タイル	なし	8 タイル	なし		
32 ビット CPU タイマ		6 (CPU ごとに 3 個)			3		
6 チャンネル DMA – タイプ 0		2 (CPU ごとに 1 個)			1		
オンチップ・フラッシュと RAM 用のデュアル・ゾーン・コード・セキュリティ・モジュール (DCSM)		あり					
リアルタイム解析および診断 (ERAD) を内蔵		あり					
EMIF	EMIF1 (16 または 32 ビット)	337 ボール ZWT	1				
		176 ピン PTP	1				
	EMIF2 (16 ビット)	337 ボール ZWT	1				
		176 ピン PTP	–				
外部割り込み		5					
GPIO	I/O ピン (CPU1、 CPU2、CM で共有)	337 ボール ZWT	169				
		176 ピン PTP	97				
	入力クロスバー	あり					
	出力クロスバー	あり					

表 5-1. デバイスの比較 (continued)

機能 ⁽¹⁾		28388D	28386D 28386D-Q1	28384D 28384D-Q1	28388S	28386S 28386S-Q1	28384S 28384S-Q1
メッセージ RAM	C28x CPU1、C28x CPU2、および Cortex-M4	24KB (3つのペアそれぞれの間で各方向に 4KB)			8KB (CPU1と Cortex-M4の間で各方向に 4KB)		
	C28x CPU および CLA	1KB (CPUと CLAのペアそれぞれの間で各方向に 256 バイト)			512 バイト (CPUと CLAの間で各方向に 256 バイト)		
	DMA と CLA	1KB (DMAと CLAのペアそれぞれの間で各方向に 256 バイト)			512 バイト (DMAと CLAの間で各方向に 256 バイト)		
ノンマスカブル割り込みウォッチドッグ (NMIWD) タイマ		2 (CPU ごとに 1 個)			1		
ウォッチドッグ (WD) タイマ		2 (CPU ごとに 1 個)			1		
コネクティビティ・マネージャ (CM) サブシステム							
Arm Cortex-M4					125MHz		
Cortex-M4 のフラッシュ					512KB		
Cortex-M4 の RAM					96KB		
AES (Advanced Encryption Standard) アクセラレータ					1		
CPU タイマ					3		
汎用サイクリック冗長性チェック (GCRC) モジュール					1		
Cortex-M4、μDMA、イーサネット DMA 用のメモリ保護ユニット (MPU)					3		
CM ノンマスカブル割り込み (CMNMI) モジュール					1		
トレース・ポート・インターフェイス・ユニット (TPIU)					1		
μDMA					1		
ウォッチドッグ (WD) タイマ					1		
C28x アナログ・ペリフェラル							
A/D コンバータ (ADC) (12 ビットまたは 16 ビットに構成可能)					4		
ADC 16 ビット・モード	MSPS					1.1	
	変換時間 (ns) ⁽²⁾					915	
	入力チャネル (シングルエンド・モード)	337 ボール ZWT				24	
		176 ピン PTP				20	
	入力チャネル (差動モード)	337 ボール ZWT				12	
176 ピン PTP					9		
ADC 12 ビット・モード	MSPS					3.5	
	変換時間 (ns) ⁽²⁾					280	
	入力チャネル (シングルエンド)	337 ボール ZWT				24	
		176 ピン PTP				20	
温度センサ					1		

表 5-1. デバイスの比較 (continued)

機能 ⁽¹⁾		28388D	28386D 28386D-Q1	28384D 28384D-Q1	28388S	28386S 28386S-Q1	28384S 28384S-Q1
コンパレータ・サブシステム (CMPSS) (各 CMPSS に 2 つのコンパレータと 2 つの内部 DAC を含む)		8					
バッファ付き D/A コンバータ (DAC)		3					
C28x 制御ペリフェラル							
eCAP / HRCAP – タイプ 2	合計入力数	7					
	高分解能チャネル	2 (eCAP6 および eCAP7)					
ePWM / HRPWM – タイプ 4	合計チャネル数	32					
	高分解能チャネル	16 (ePWM1~ePWM8)					
ePWM クロスバー		あり					
eQEP モジュール – タイプ 2		3					
SDFM チャネル – タイプ 2		8					
C28x 通信ペリフェラル							
高速シリアル・インターフェイス (FSI) RX – タイプ 1		8					
高速シリアル・インターフェイス (FSI) TX – タイプ 1		2					
I2C (Inter-Integrated Circuit) – タイプ 0		2					
マルチチャネル・バッファ付きシリアル・ポート (McBSP) – タイプ 1		2					
パワー・マネージメント・バス (PMBus) – タイプ 0		1					
シリアル通信インターフェイス (SCI) – タイプ 0 (UART 互換)		4					
シリアル・ペリフェラル・インターフェイス (SPI) – タイプ 2		4					
コネクティビティ・マネージャ (CM) 通信ペリフェラル							
コントローラ・エリア・ネットワーク(CAN) 2.0B – タイプ 0 ⁽³⁾		2 (CPU1、CPU2、または CM に 割り当て可能)			2 (CPU1 または CM に割り当て可能)		
CAN FD (CAN with Flexible Data-Rate)		1 (CPU1 または CM に割り当て可能)					
EtherCAT (Ethernet for Control Automation Technology)		1 (CPU1 また は CM に割り 当て可能)	-		1 (CPU1 また は CM に割り 当て可能)	-	
イーサネット・メディア・アクセス・コントローラ (EMAC)		1					
CM-I2C (CM Inter-integrated Circuit)		1					
同期式シリアル・インターフェイス (SSI)		1					
CM-UART (CM Universal Asynchronous Receiver-Transmitter)		1					
ユニバーサル・シリアル・バス (USB) – タイプ 0		1 (CPU1 と CM で共有)					

表 5-1. デバイスの比較 (continued)

機能 ⁽¹⁾		28388D	28386D 28386D-Q1	28384D 28384D-Q1	28388S	28386S 28386S-Q1	28384S 28384S-Q1	
温度および認定								
温度オプション	S: -40°C~125°Cの 接合部温度範囲 (T _J)	337 ボール ZWT	28388D, 28386D, 28384D					
		176 ピン PTP	28388S, 28386S, 28384S					
	Q: -40°C~125°Cの ⁽⁴⁾ 周囲温度範囲 (T _A)	337 ボール ZWT	–	28386D-Q1	28384D-Q1	–	–	–
		176 ピン PTP	–	28386D-Q1	28384D-Q1	–	28386S-Q1	28384S-Q1

- (1) タイプの違いは、ペリフェラル・モジュールの機能上の主要な相違を表します。同じペリフェラルのタイプの中でも、モジュールの基本的な機能に影響を与えない、わずかな相違がデバイス間に存在することがあります。詳細については、『[C2000 リアルタイム制御ペリフェラル・リファレンス・ガイド](#)』を参照してください。
- (2) サンプル・アンド・ホールド・ウィンドウの開始から、次の変換のサンプル・アンド・ホールド・ウィンドウの開始までの時間。
- (3) CAN モジュールは、DCAN と呼ばれる IP を使用します。このドキュメントでは、このペリフェラルに言及するとき、CAN および DCAN という呼称を同じように使っています。
- (4) Q という文字は、車載アプリケーション向けの AEC Q100 認定を表します。

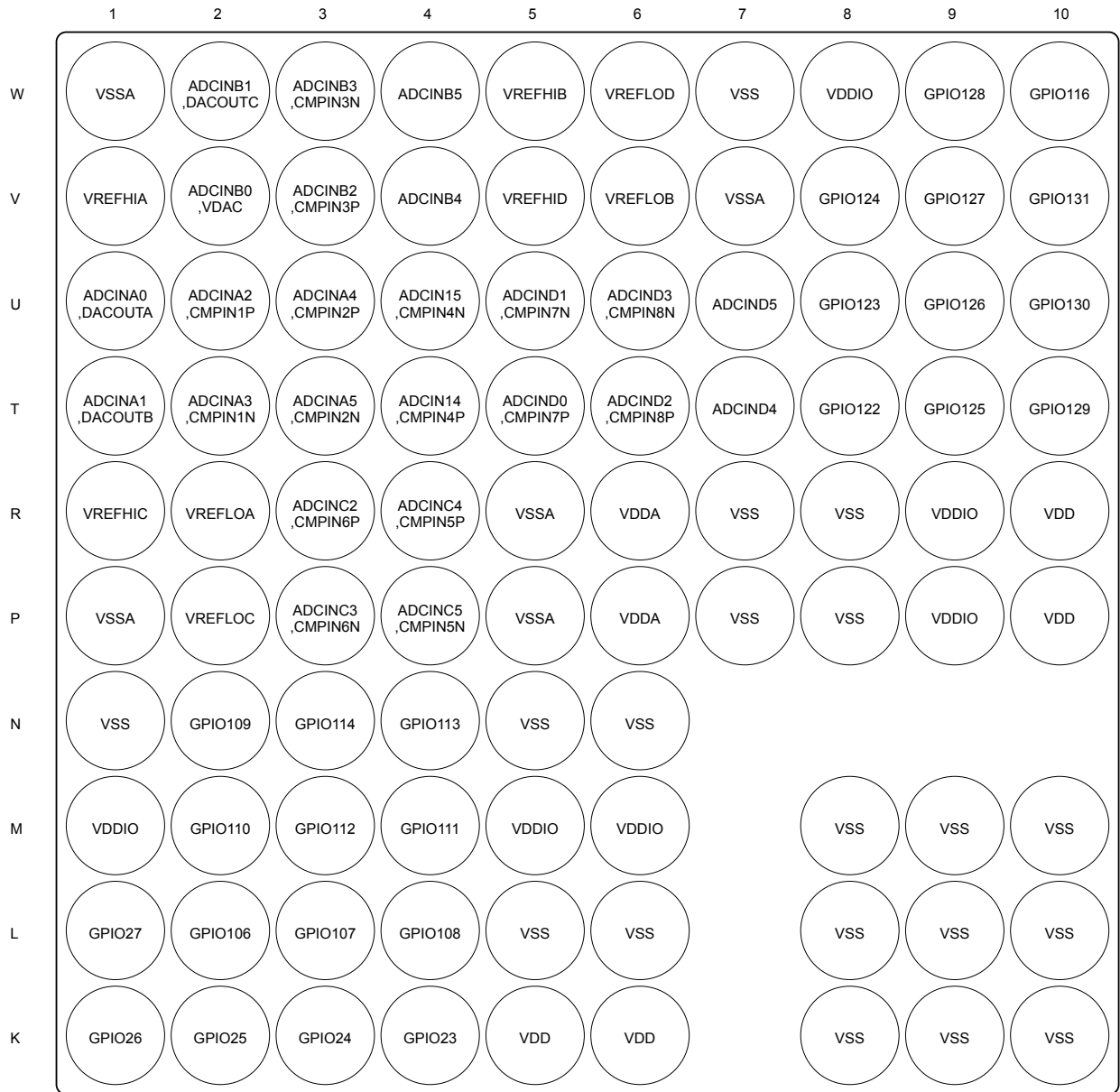
5.1 関連製品

TMS320F2837xD リアルタイム・デュアルコア・マイクロコントローラ

F2837xD シリーズは、デュアル・サブシステムの性能に関する新しい標準を確立します。各サブシステムは、C28x CPU および並列制御補償器アクセラレータ (CLA) で構成され、それぞれが 200MHz で動作します。性能を強化するものとして、TMU および VCU アクセラレータがあります。新しい機能としては、複数の 16 ビット / 12 ビット・モード ADC、DAC、デルタ・シグマ・フィルタ、USB、コンフィギュラブル・ロジック・ブロック (CLB)、オンチップ発振器、すべてのペリフェラルの拡張バージョンがあります。F2837xD は、最大 1MB のフラッシュを搭載しています。176 ピン QFP または 337 ピン BGA パッケージで供給されます。

TMS320F2837xS リアルタイム・マイクロコントローラ

F2837xS シリーズは、F2837xD のピン互換バージョンですが、C28x-CPU-CLA サブシステムが 1 つのみ有効です。また、TMS320F2807x シリーズとの互換性を確保するために、100 ピン QFP も用意されています。

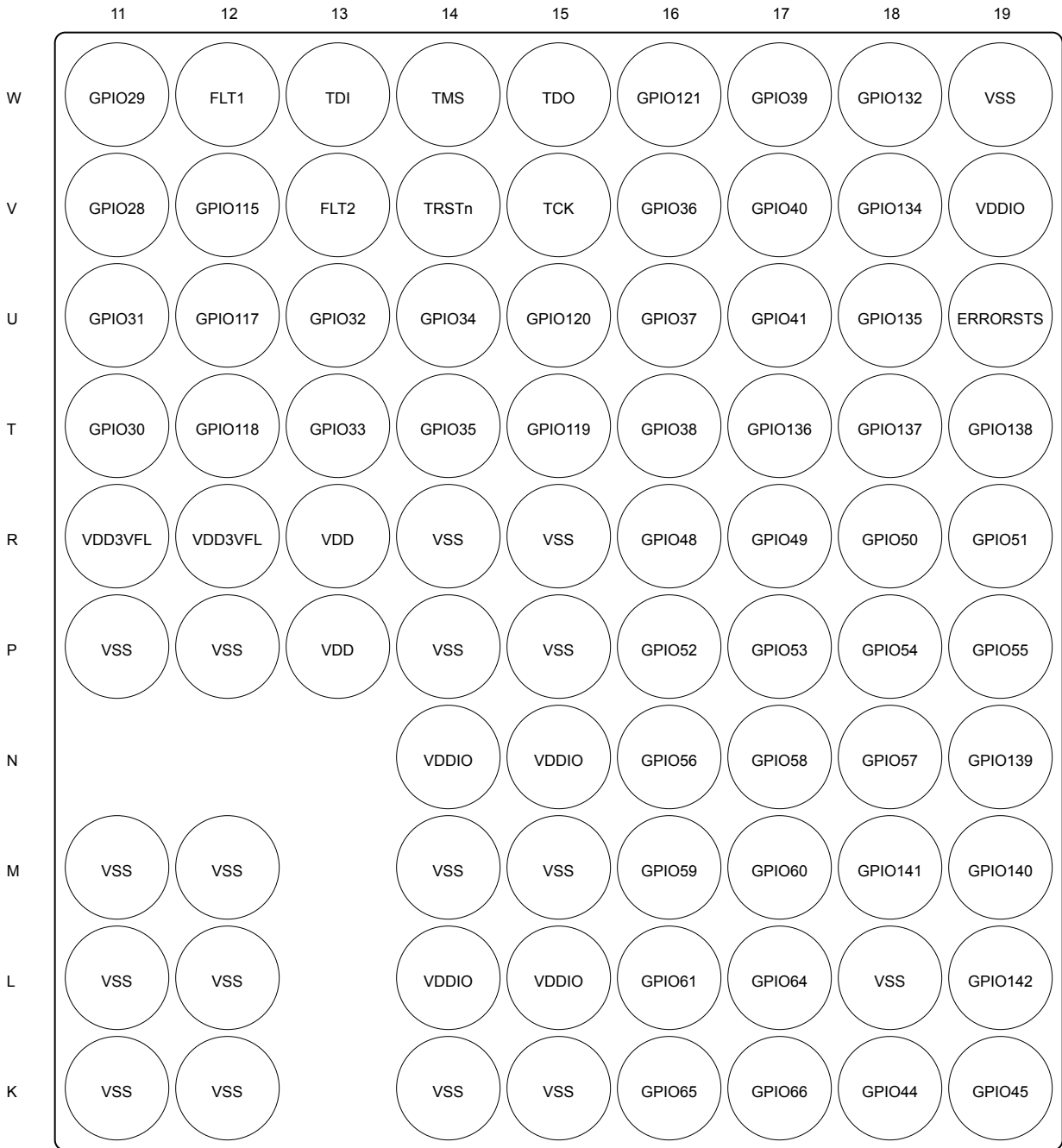


Not to scale



A. GPIO 端子には GPIO 機能のみを表示しています。完全な多重化された信号名については、「ピン属性」表を参照してください。

図 6-2. 337 ボール ZWT 新ファイン・ピッチ・ボール・グリッド・アレイ (底面図) - [象限 1]

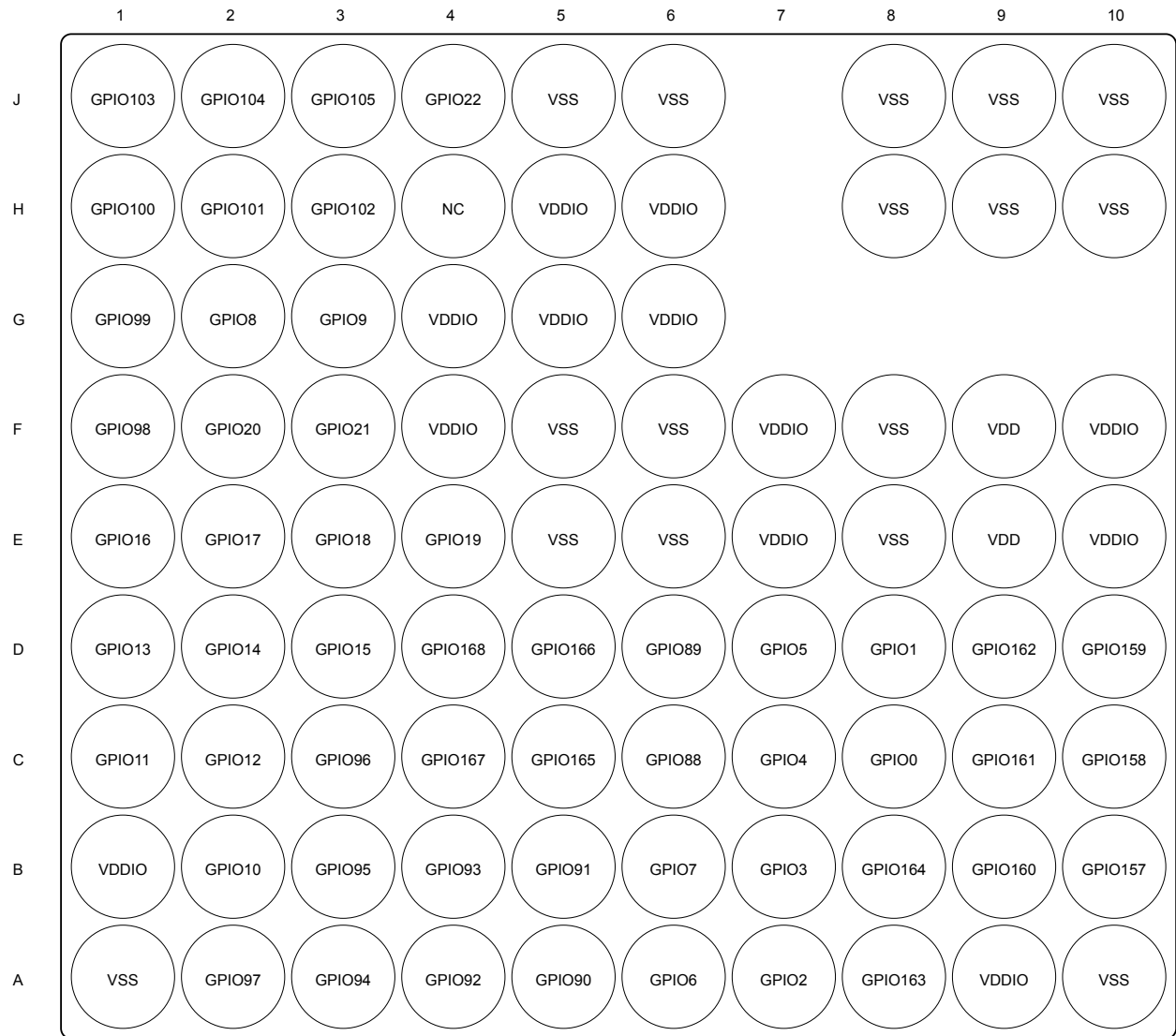


Not to scale



A. GPIO 端子には GPIO 機能のみを表示しています。完全な多重化された信号名については、「ピン属性」表を参照してください。

図 6-3. 337 ボール ZWT 新ファイン・ピッチ・ボール・グリッド・アレイ (底面図) - [象限 2]

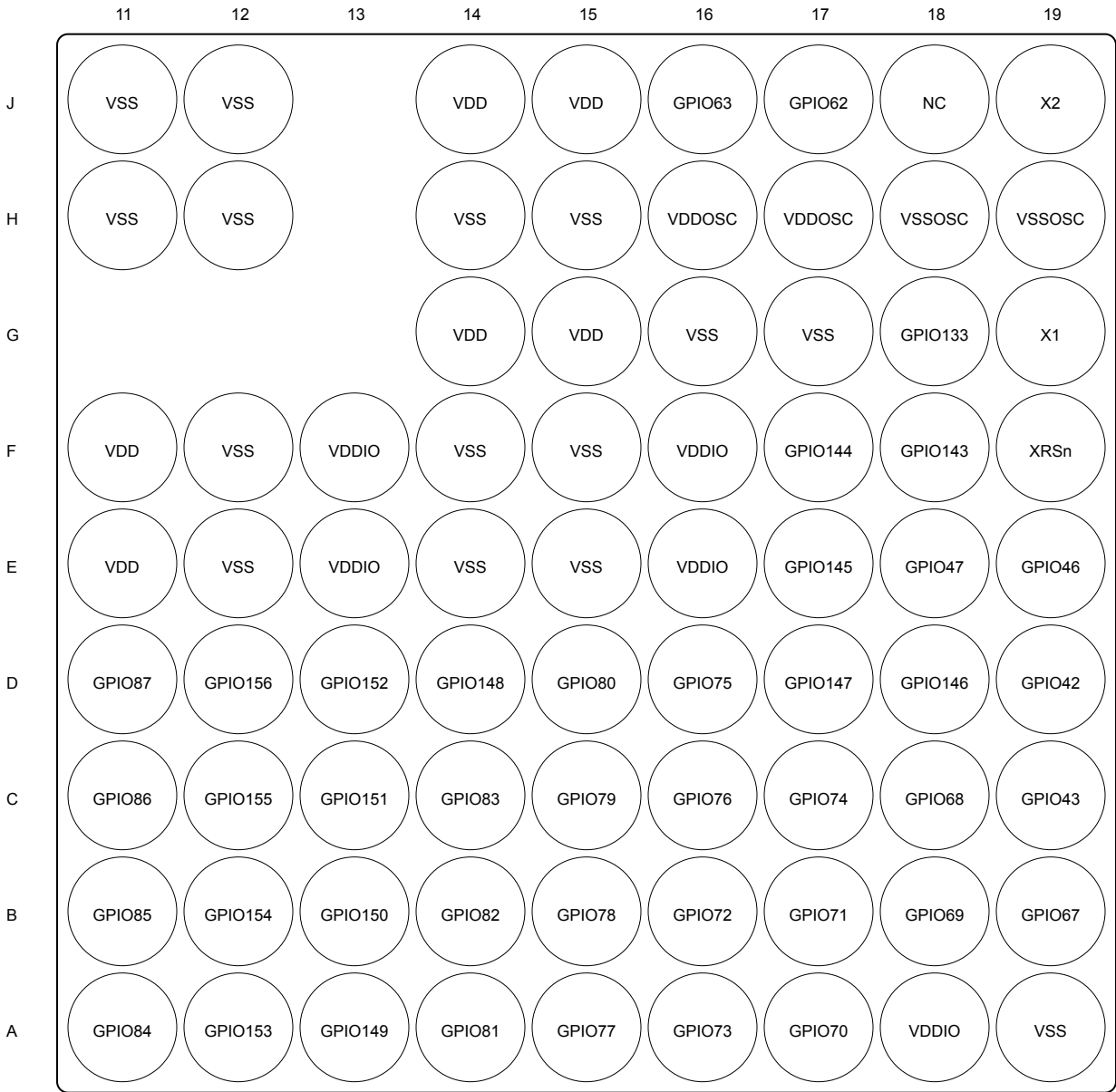


Not to scale

1	2
3	4

A. GPIO 端子には GPIO 機能のみを表示しています。完全な多重化された信号名については、「ピン属性」表を参照してください。

図 6-4. 337 ボール ZWT 新ファイン・ピッチ・ボール・グリッド・アレイ (底面図) - [象限 3]

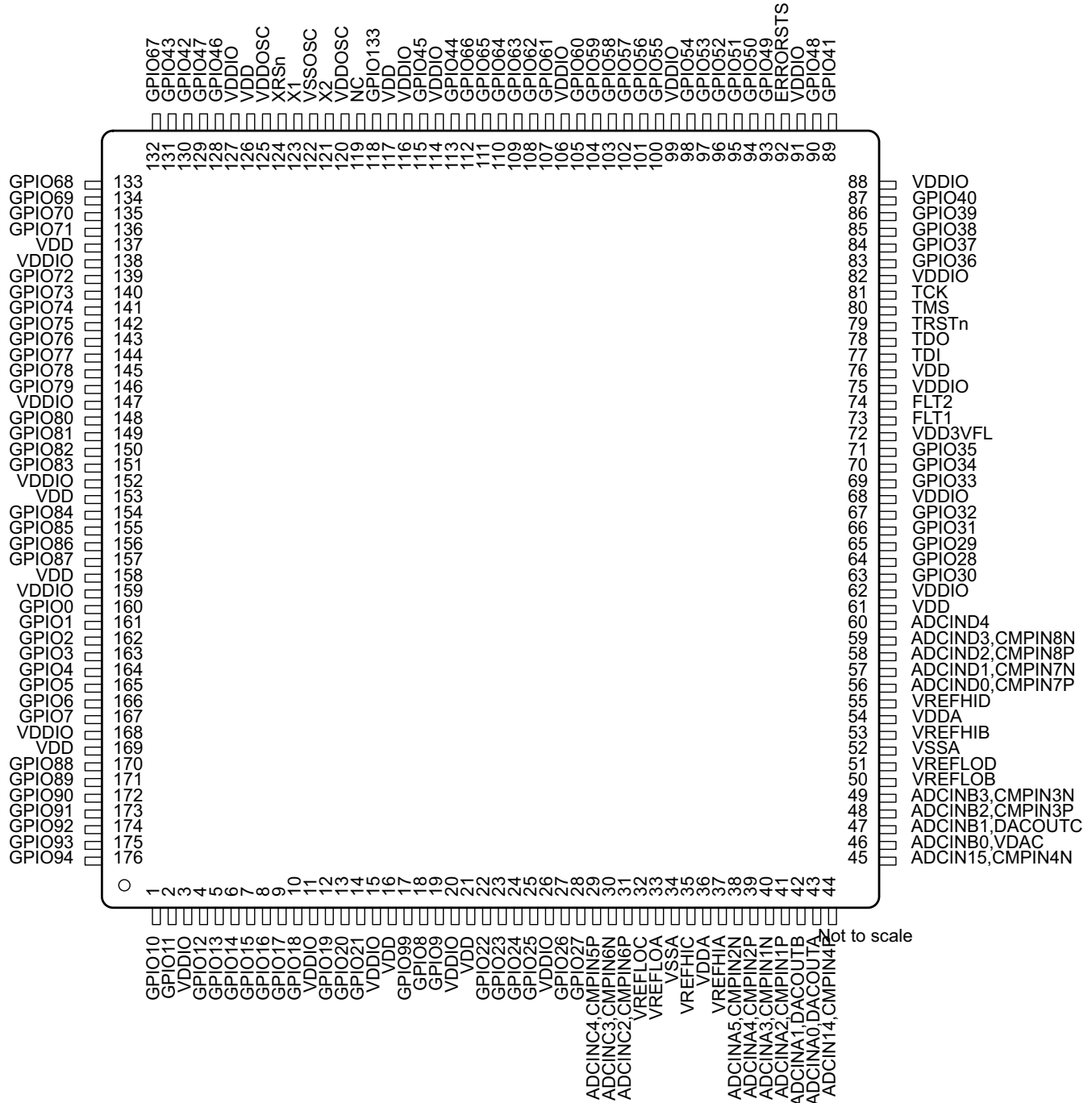


Not to scale

1	2
3	4

A. GPIO 端子には GPIO 機能のみを表示しています。完全な多重化された信号名については、「ピン属性」表を参照してください。

図 6-5. 337 ボール ZWT 新ファイン・ピッチ・ボール・グリッド・アレイ (底面図) - [象限 4]



A. GPIO 端子には GPIO 機能のみを表示しています。完全な多重化された信号名については、「ピン属性」表を参照してください。

図 6-6. 176 ピン PTP PowerPAD 熱的に強化された薄型クワッド・フラットバック (上面図)

6.2 ピン属性

表 6-1. ピン属性

信号名	多重化位置	337	176	ピンの種類	説明
アナログ					
ADCIN14 CMPIN4P		T4	44	I I	すべての ADC への入力 14。このピンは、汎用 ADCIN ピンとして使用できます。また、外部基準電圧からすべての ADC を (シングルエンドまたは差動) 一緒に較正するために使用することもできます。 コンパレータ 4 正入力
ADCIN15 CMPIN4N		U4	45	I I	すべての ADC への入力 15。このピンは、汎用 ADCIN ピンとして使用できます。また、外部基準電圧からすべての ADC を (シングルエンドまたは差動) 一緒に較正するために使用することもできます。 コンパレータ 4 負入力
ADCINA0 DACOUTA		U1	43	I O	ADC-A 入力 0。このピンには、ADC 入力または DAC 出力モードの両方で 50kΩ の内部プルダウンが付いており、ディセーブルできません。 バッファ付き DAC-A 出力。
ADCINA1 DACOUTB		T1	42	I O	ADC-A 入力 1。このピンには、ADC 入力または DAC 出力モードの両方で 50kΩ の内部プルダウンが付いており、ディセーブルできません。 バッファ付き DAC-B 出力。
ADCINA2 CMPIN1P		U2	41	I I	ADC-A 入力 2 コンパレータ 1 正入力
ADCINA3 CMPIN1N		T2	40	I I	ADC-A 入力 3 コンパレータ 1 負入力
ADCINA4 CMPIN2P		U3	39	I I	ADC-A 入力 4 コンパレータ 2 正入力
ADCINA5 CMPIN2N		T3	38	I I	ADC-A 入力 5 コンパレータ 2 負入力
ADCINB0 VDAC		V2	46	I I	ADC-B 入力 0。このピンは、ADC 入力または DAC リファレンスのいずれかに使われますが、VSSA に対して 100pF のコンデンサが付いており、ディセーブルすることはできません。このピンをオンチップ DAC のリファレンス電圧として使用する場合は、このピンに少なくとも 1μF のコンデンサを配置します。 オンチップ DAC の外部リファレンス電圧 (オプション)。
ADCINB1 DACOUTC		W2	47	I O	ADC-B 入力 1。このピンには、ADC 入力または DAC 出力モードの両方で 50kΩ の内部プルダウンが付いており、ディセーブルできません。 バッファ付き DAC-C 出力。
ADCINB2 CMPIN3P		V3	48	I I	ADC-B 入力 2 コンパレータ 3 正入力
ADCINB3 CMPIN3N		W3	49	I I	ADC-B 入力 3 コンパレータ 3 負入力
ADCINB4		V4		I	ADC-B 入力 4
ADCINB5		W4		I	ADC-B 入力 5
ADCINC2 CMPIN6P		R3	31	I I	ADC-C 入力 2 コンパレータ 6 正入力

表 6-1. ピン属性 (continued)

信号名	多重化位置	337	176	ピンの種類	説明
ADCINC3 CMPIN6N		P3	30	I I	ADC-C 入力 3 コンパレータ 6 負入力
ADCINC4 CMPIN5P		R4	29	I I	ADC-C 入力 4 コンパレータ 5 正入力
ADCINC5 CMPIN5N		P4		I I	ADC-C 入力 5 コンパレータ 5 負入力
ADCIND0 CMPIN7P		T5	56	I I	ADC-D 入力 0 コンパレータ 7 正入力
ADCIND1 CMPIN7N		U5	57	I I	ADC-D 入力 1 コンパレータ 7 負入力
ADCIND2 CMPIN8P		T6	58	I I	ADC-D 入力 2 コンパレータ 8 正入力
ADCIND3 CMPIN8N		U6	59	I I	ADC-D 入力 3 コンパレータ 8 負入力
ADCIND4		T7	60	I	ADC-D 入力 4
ADCIND5		U7		I	ADC-D 入力 5
VREFHIA		V1	37	I	ADC-A の高い基準電圧。この電圧は、ピンに対して外部回路から駆動する必要があります。このピンには、12 ビット・モードの場合 2.2 μ F 以上、16 ビット・モードの場合 22 μ F 以上のコンデンサを配置します。このコンデンサは、VREFHIA ピンと VREFLOA ピンの間で、できるだけデバイスに近い場所に配置する必要があります。注:このピンには、外部に負荷を接続しないでください
VREFHIB		W5	53	I	ADC-B の高い基準電圧。この電圧は、ピンに対して外部回路から駆動する必要があります。このピンには、12 ビット・モードの場合 2.2 μ F 以上、16 ビット・モードの場合 22 μ F 以上のコンデンサを配置します。このコンデンサは、VREFHIB ピンと VREFLOB ピンの間で、できるだけデバイスに近い場所に配置する必要があります。注:このピンには、外部に負荷を接続しないでください
VREFHIC		R1	35	I	ADC-C の高い基準電圧。この電圧は、ピンに対して外部回路から駆動する必要があります。このピンには、12 ビット・モードの場合 2.2 μ F 以上、16 ビット・モードの場合 22 μ F 以上のコンデンサを配置します。このコンデンサは、VREFHIC ピンと VREFLOC ピンの間で、できるだけデバイスに近い場所に配置する必要があります。注:このピンには、外部に負荷を接続しないでください
VREFHID		V5	55	I	ADC-D の高い基準電圧。この電圧は、ピンに対して外部回路から駆動する必要があります。このピンには、12 ビット・モードの場合 2.2 μ F 以上、16 ビット・モードの場合 22 μ F 以上のコンデンサを配置します。このコンデンサは、VREFHID ピンと VREFLOD ピンの間で、できるだけデバイスに近い場所に配置する必要があります。注:このピンには、外部に負荷を接続しないでください
VREFLOA		R2	33	I	ADC-A の低い基準電圧
VREFLOB		V6	50	I	ADC-B の低い基準電圧
VREFLOC		P2	32	I	ADC-C の低い基準電圧
VREFLOD		W6	51	I	ADC-D の低い基準電圧

表 6-1. ピン属性 (continued)

信号名	多重化位置	337	176	ピンの種類	説明
GPIO					
GPIO0	0, 4, 8, 12	C8	160	I/O	汎用入出力 0
EPWM1A	1			O	ePWM-1 出力 A (ePWM1-8 で高分解能を利用可能)
I2CA_SDA	6			I/OD	I2C-A オープン・ドレイン双方向データ
CM-I2CA_SDA	9			I/OD	CM-I2C-A オープン・ドレイン双方向データ
ESC_GPIO	10			I	EtherCAT 汎用入力 0
FSITXA_D0	13			O	FSITX-A データ出力 0
GPIO1	0, 4, 8, 12	D8	161	I/O	汎用入出力 1
EPWM1B	1			O	ePWM-1 出力 B (ePWM1-8 で高分解能を利用可能)
MFSRB	3			I	McBSP-B 受信フレーム同期
I2CA_SCL	6			I/OD	I2C-A オープン・ドレイン双方向クロック
CM-I2CA_SCL	9			I/OD	CM-I2C-A オープン・ドレイン双方向クロック
ESC_GPI1	10			I	EtherCAT 汎用入力 1
FSITXA_D1	13	O	FSITX-A データ出力 1		
GPIO2	0, 4, 8, 12	A7	162	I/O	汎用入出力 2
EPWM2A	1			O	ePWM-2 出力 A (ePWM1-8 で高分解能を利用可能)
OUTPUTXBAR1	5			O	出力クロスバー出力 1
I2CB_SDA	6			I/OD	I2C-B オープン・ドレイン双方向データ
ESC_GPI2	10			I	EtherCAT 汎用入力 2
FSITXA_CLK	13			O	FSITX-A 出力クロック
GPIO3	0, 4, 8, 12	B7	163	I/O	汎用入出力 3
EPWM2B	1			O	ePWM-2 出力 B (ePWM1-8 で高分解能を利用可能)
OUTPUTXBAR2	2, 5			O	出力クロスバー出力 2
MCLKRB	3			I	McBSP-B 受信クロック
I2CB_SCL	6			I/OD	I2C-B オープン・ドレイン双方向クロック
ESC_GPI3	10			I	EtherCAT 汎用入力 3
FSIRXA_D0	13	I	FSIRX-A データ入力 0		
GPIO4	0, 4, 8, 12	C7	164	I/O	汎用入出力 4
EPWM3A	1			O	ePWM-3 出力 A (ePWM1-8 で高分解能を利用可能)
OUTPUTXBAR3	5			O	出力クロスバー出力 3
CANA_TX	6			O	CAN-A 送信
MCAN_TX	9			O	CAN/CAN FD 送信
ESC_GPI4	10			I	EtherCAT 汎用入力 4
FSIRXA_D1	13	I	FSIRX-A データ入力 1		
GPIO5	0, 4, 8, 12	D7	165	I/O	汎用入出力 5
EPWM3B	1			O	ePWM-3 出力 B (ePWM1-8 で高分解能を利用可能)
MFSRA	2			I	McBSP-A 受信フレーム同期
OUTPUTXBAR3	3			O	出力クロスバー出力 3
CANA_RX	6			I	CAN-A 受信
MCAN_RX	9			I	CAN/CAN FD 受信
ESC_GPI5	10	I	EtherCAT 汎用入力 5		
FSIRXA_CLK	13	I	FSIRX-A 入力クロック		

表 6-1. ピン属性 (continued)

信号名	多重化位置	337	176	ピンの種類	説明
GPIO6	0、4、8、12	A6	166	I/O	汎用入出力 6
EPWM4A	1			O	ePWM-4 出力 A (ePWM1-8 で高分解能を利用可能)
OUTPUTXBAR4	2			O	出力クロスバー出力 4
EXTSYNCOUT	3			O	外部 ePWM 同期パルス
EQEP3_A	5			I	eQEP-3 入力 A
CANB_TX	6			O	CAN-B 送信
ESC_GPI6	10			I	EtherCAT 汎用入力 6
FSITXB_D0	13			O	FSITX-B データ出力 0
GPIO7	0、4、8、12	B6	167	I/O	汎用入出力 7
EPWM4B	1			O	ePWM-4 出力 B (ePWM1-8 で高分解能を利用可能)
MCLKRA	2			I	McBSP-A 受信クロック
OUTPUTXBAR5	3			O	出力クロスバー出力 5
EQEP3_B	5			I	eQEP-3 入力 B
CANB_RX	6			I	CAN-B 受信
ESC_GPI7	10			I	EtherCAT 汎用入力 7
FSITXB_D1	13			O	FSITX-B データ出力 1
GPIO8	0、4、8、12	G2	18	I/O	汎用入出力 8
EPWM5A	1			O	ePWM-5 出力 A (ePWM1-8 で高分解能を利用可能)
CANB_TX	2			O	CAN-B 送信
ADCSOCAO	3			O	外部 ADC への ADC 変換開始 A 出力 (ePWM モジュールから)
EQEP3_STROBE	5			I/O	eQEP-3 ストロブ
SCIA_TX	6			O	SCI-A 送信データ
MCAN_TX	9			O	CAN/CAN FD 送信
ESC_GPO0	10			O	EtherCAT 汎用出力 0
FSITXB_CLK	13			O	FSITX-B 出力クロック
FSITXA_D1	14			O	FSITX-A データ出力 1
FSIRXA_D0	15			I	FSIRX-A データ入力 0
GPIO9	0、4、8、12	G3	19	I/O	汎用入出力 9
EPWM5B	1			O	ePWM-5 出力 B (ePWM1-8 で高分解能を利用可能)
SCIB_TX	2			O	SCI-B 送信データ
OUTPUTXBAR6	3			O	出力クロスバー出力 6
EQEP3_INDEX	5			I/O	eQEP-3 インデックス
SCIA_RX	6			I	SCI-A 受信データ
ESC_GPO1	10			O	EtherCAT 汎用出力 1
FSIRXB_D0	13			I	FSIRX-B データ入力 0
FSITXA_D0	14			O	FSITX-A データ出力 0
FSIRXA_CLK	15			I	FSIRX-A 入力クロック

表 6-1. ピン属性 (continued)

信号名	多重化位置	337	176	ピンの種類	説明
GPIO10	0、4、8、12			I/O	汎用入出力 10
EPWM6A	1			O	ePWM-6 出力 A (ePWM1-8 で高分解能を利用可能)
CANB_RX	2			I	CAN-B 受信
ADCSOCBO	3			O	外部 ADC への ADC 変換開始 B 出力 (ePWM モジュールから)
EQEP1_A	5	B2	1	I	eQEP-1 入力 A
SCIB_TX	6			O	SCI-B 送信データ
MCAN_RX	9			I	CAN/CAN FD 受信
ESC_GPO2	10			O	EtherCAT 汎用出力 2
FSIRXB_D1	13			I	FSIRX-B データ入力 1
FSITXA_CLK	14			O	FSITX-A 出力クロック
FSIRXA_D1	15			I	FSIRX-A データ入力 1
GPIO11	0、4、8、12			I/O	汎用入出力 11
EPWM6B	1			O	ePWM-6 出力 B (ePWM1-8 で高分解能を利用可能)
SCIB_RX	2、6			I	SCI-B 受信データ
OUTPUTXBAR7	3	C1	2	O	出力クロスバー出力 7
EQEP1_B	5			I	eQEP-1 入力 B
ESC_GPO3	10			O	EtherCAT 汎用出力 3
FSIRXB_CLK	13			I	FSIRX-B 入力クロック
FSIRXA_D1	14			I	FSIRX-A データ入力 1
GPIO12	0、4、8、12			I/O	汎用入出力 12
EPWM7A	1			O	ePWM-7 出力 A (ePWM1-8 で高分解能を利用可能)
CANB_TX	2			O	CAN-B 送信
MDXB	3			O	McBSP-B 送信シリアル・データ
EQEP1_STROBE	5	C2	4	I/O	eQEP-1 ストロブ
SCIC_TX	6			O	SCI-C 送信データ
ESC_GPO4	10			O	EtherCAT 汎用出力 4
FSIRXC_D0	13			I	FSIRX-C データ入力 0
FSIRXA_D0	14			I	FSIRX-A データ入力 0
GPIO13	0、4、8、12			I/O	汎用入出力 13
EPWM7B	1			O	ePWM-7 出力 B (ePWM1-8 で高分解能を利用可能)
CANB_RX	2			I	CAN-B 受信
MDRB	3			I	McBSP-B 受信シリアル・データ
EQEP1_INDEX	5	D1	5	I/O	eQEP-1 インデックス
SCIC_RX	6			I	SCI-C 受信データ
ESC_GPO5	10			O	EtherCAT 汎用出力 5
FSIRXC_D1	13			I	FSIRX-C データ入力 1
FSIRXA_CLK	14			I	FSIRX-A 入力クロック

表 6-1. ピン属性 (continued)

信号名	多重化位置	337	176	ピンの種類	説明
GPIO14	0、4、8、12	D2	6	I/O	汎用入出力 14
EPWM8A	1			O	ePWM-8 出力 A (ePWM1-8 で高分解能を利用可能)
SCIB_TX	2			O	SCI-B 送信データ
MCLKXB	3			O	McBSP-B 送信クロック
OUTPUTXBAR3	6			O	出力クロスバー出力 3
ESC_GPO6	10			O	EtherCAT 汎用出力 6
FSIRXC_CLK	13			I	FSIRX-C 入力クロック
GPIO15	0、4、8、12	D3	7	I/O	汎用入出力 15
EPWM8B	1			O	ePWM-8 出力 B (ePWM1-8 で高分解能を利用可能)
SCIB_RX	2			I	SCI-B 受信データ
MFSXB	3			O	McBSP-B 送信フレーム同期
OUTPUTXBAR4	6			O	出力クロスバー出力 4
ESC_GPO7	10			O	EtherCAT 汎用出力 7
FSIRXD_D0	13			I	FSIRX-D データ入力 0
GPIO16	0、4、8、12	E1	8	I/O	汎用入出力 16
SPIA_SIMO	1			I/O	SPI-A スレーブ入力、マスタ出力 (SIMO)
CANB_TX	2			O	CAN-B 送信
OUTPUTXBAR7	3			O	出力クロスバー出力 7
EPWM9A	5			O	ePWM-9 出力 A (ePWM1-8 で高分解能を利用可能)
SD1_D1	7			I	SDFM-1 チャンネル 1 データ入力
SSIA_TX	11			I/O	SSI-A シリアル・データ送信
FSIRXD_D1	13			I	FSIRX-D データ入力 1
GPIO17	0、4、8、12	E2	9	I/O	汎用入出力 17
SPIA_SOMI	1			I/O	SPI-A スレーブ出力、マスタ入力 (SOMI)
CANB_RX	2			I	CAN-B 受信
OUTPUTXBAR8	3			O	出力クロスバー出力 8
EPWM9B	5			O	ePWM-9 出力 B (ePWM1-8 で高分解能を利用可能)
SD1_C1	7			I	SDFM-1 チャンネル 1 クロック入力
SSIA_RX	11			I/O	SSI-A シリアル・データ受信
FSIRXD_CLK	13			I	FSIRX-D 入力クロック
GPIO18	0、4、8、12	E3	10	I/O	汎用入出力 18
SPIA_CLK	1			I/O	SPI-A クロック
SCIB_TX	2			O	SCI-B 送信データ
CANA_RX	3			I	CAN-A 受信
EPWM10A	5			O	ePWM-10 出力 A (ePWM1-8 で高分解能を利用可能)
SD1_D2	7			I	SDFM-1 チャンネル 2 データ入力
MCAN_RX	9			I	CAN/CAN FD 受信
EMIF1_CS2n	10			O	外部メモリ・インターフェイス 1 チップ・セレクト 2
SSIA_CLK	11			I/O	SSI-A クロック
FSIRXE_D0	13			I	FSIRX-E データ入力 0

表 6-1. ピン属性 (continued)

信号名	多重化位置	337	176	ピンの種類	説明
GPIO19	0、4、8、12	E4	12	I/O	汎用入出力 19
SPIA_STEn	1			I/O	SPI-A スレーブ送信イネーブル (STE)
SCIB_RX	2			I	SCI-B 受信データ
CANA_TX	3			O	CAN-A 送信
EPWM10B	5			O	ePWM-10 出力 B (ePWM1-8 で高分解能を利用可能)
SD1_C2	7			I	SDFM-1 チャンネル 2 クロック入力
MCAN_TX	9			O	CAN/CAN FD 送信
EMIF1_CS3n	10			O	外部メモリ・インターフェイス 1 チップ・セレクト 3
SSIA_FSS	11			I/O	SSI-A フレーム同期
FSIRXE_D1	13			I	FSIRX-E データ入力 1
GPIO20	0、4、8、12	F2	13	I/O	汎用入出力 20
EQEP1_A	1			I	eQEP-1 入力 A
MDXA	2			O	McBSP-A 送信シリアル・データ
CANB_TX	3			O	CAN-B 送信
EPWM11A	5			O	ePWM-11 出力 A (ePWM1-8 で高分解能を利用可能)
SD1_D3	7			I	SDFM-1 チャンネル 3 データ入力
EMIF1_BA0	10			O	外部メモリ・インターフェイス 1 バンク・アドレス 0
TRACE_DATA0	11			O	トレース・データ 0
FSIRXE_CLK	13			I	FSIRX-E 入力クロック
SPIC_SIMO	14			I/O	SPI-C スレーブ入力、マスタ出力 (SIMO)
GPIO21	0、4、8、12	F3	14	I/O	汎用入出力 21
EQEP1_B	1			I	eQEP-1 入力 B
MDRA	2			I	McBSP-A 受信シリアル・データ
CANB_RX	3			I	CAN-B 受信
EPWM11B	5			O	ePWM-11 出力 B (ePWM1-8 で高分解能を利用可能)
SD1_C3	7			I	SDFM-1 チャンネル 3 クロック入力
EMIF1_BA1	10			O	外部メモリ・インターフェイス 1 バンク・アドレス 1
TRACE_DATA1	11			O	トレース・データ 1
FSIRXF_D0	13			I	FSIRX-F データ入力 0
SPIC_SOMI	14			I/O	SPI-C スレーブ出力、マスタ入力 (SOMI)
GPIO22	0、4、8、12	J4	22	I/O	汎用入出力 22
EQEP1_STROBE	1			I/O	eQEP-1 ストロブ
MCLKXA	2			O	McBSP-A 送信クロック
SCIB_TX	3			O	SCI-B 送信データ
EPWM12A	5			O	ePWM-12 出力 A (ePWM1-8 で高分解能を利用可能)
SPIB_CLK	6			I/O	SPI-B クロック
SD1_D4	7			I	SDFM-1 チャンネル 4 データ入力
MCAN_TX	9			O	CAN/CAN FD 送信
EMIF1_RAS	10			O	外部メモリ・インターフェイス、1 行のアドレス・ストロブ
TRACE_DATA2	11			O	トレース・データ 2
FSIRXF_D1	13			I	FSIRX-F データ入力 1
SPIC_CLK	14			I/O	SPI-C クロック

表 6-1. ピン属性 (continued)

信号名	多重化位置	337	176	ピンの種類	説明		
GPIO23	0、4、8、12	K4	23	I/O	汎用入出力 23		
EQEP1_INDEX	1			I/O	eQEP-1 インデックス		
MFSXA	2			O	McBSP-A 送信フレーム同期		
SCIB_RX	3			I	SCI-B 受信データ		
EPWM12B	5			O	ePWM-12 出力 B (ePWM1-8 で高分解能を利用可能)		
SPIB_STEn	6			I/O	SPI-B スレーブ送信イネーブル (STE)		
SD1_C4	7			I	SDFM-1 チャンネル 4 クロック入力		
MCAN_RX	9			I	CAN/CAN FD 受信		
EMIF1_CAS	10			O	外部メモリ・インターフェイス 1 列アドレス・ストロープ		
TRACE_DATA3	11			O	トレース・データ 3		
FSIRXF_CLK	13			I	FSIRX-F 入力クロック		
SPIC_STEn	14			I/O	SPI-C スレーブ送信イネーブル (STE)		
GPIO24	0、4、8、12			K3	24	I/O	汎用入出力 24
OUTPUTXBAR1	1					O	出力クロスバー出力 1
EQEP2_A	2	I	eQEP-2 入力 A				
MDXB	3	O	McBSP-B 送信シリアル・データ				
SPIB_SIMO	6	I/O	SPI-B スレーブ入力、マスタ出力 (SIMO)				
SD2_D1	7	I	SDFM-2 チャンネル 1 データ入力				
PMBUSA_SCL	9	I/OD	PMBus-A オープン・ドレイン双方向クロック				
EMIF1_DQM0	10	O	外部メモリ・インターフェイス 1 のバイト 0 入力 / 出力マスク				
TRACE_CLK	11	O	トレース・クロック				
EPWM13A	13	O	ePWM-13 出力 A (ePWM1-8 で高分解能を利用可能)				
FSIRXG_D0	15	I	FSIRX-G データ入力 0				
GPIO25	0、4、8、12	K2	25	I/O	汎用入出力 25		
OUTPUTXBAR2	1			O	出力クロスバー出力 2		
EQEP2_B	2			I	eQEP-2 入力 B		
MDRB	3			I	McBSP-B 受信シリアル・データ		
SPIB_SOMI	6			I/O	SPI-B スレーブ出力、マスタ入力 (SOMI)		
SD2_C1	7			I	SDFM-2 チャンネル 1 クロック入力		
PMBUSA_SDA	9			I/OD	PMBus-A オープン・ドレイン双方向データ		
EMIF1_DQM1	10			O	外部メモリ・インターフェイス 1 のバイト 1 入力 / 出力マスク		
TRACE_SWO	11			O	トレース・シングル・ワイヤ出力		
EPWM13B	13			O	ePWM-13 出力 B (ePWM1-8 で高分解能を利用可能)		
FSITXA_D1	14			O	FSITX-A データ出力 1		
FSIRXG_D1	15			I	FSIRX-G データ入力 1		

表 6-1. ピン属性 (continued)

信号名	多重化位置	337	176	ピンの種類	説明
GPIO26	0、4、8、12	K1	27	I/O	汎用入出力 26
OUTPUTXBAR3	1、5			O	出力クロスバー出力 3
EQEP2_INDEX	2			I/O	eQEP-2 インデックス
MCLKXB	3			O	McBSP-B 送信クロック
SPIB_CLK	6			I/O	SPI-B クロック
SD2_D2	7			I	SDFM-2 チャンネル 2 データ入力
PMBUSA_ALERT	9			I/OD	PMBus-A オープン・ドレイン双方向アラート信号
EMIF1_DQM2	10			O	外部メモリ・インターフェイス 1 のバイト 2 入力 / 出力マスク
ESC_MDIO_CLK	11			O	EtherCAT MDIO クロック
EPWM14A	13			O	ePWM-14 出力 A (ePWM1-8 で高分解能を利用可能)
FSITXA_D0	14			O	FSITX-A データ出力 0
FSIRXG_CLK	15			I	FSIRX-G 入力クロック
GPIO27	0、4、8、12			L1	28
OUTPUTXBAR4	1、5	O	出力クロスバー出力 4		
EQEP2_STROBE	2	I/O	eQEP-2 ストロブ		
MFSXB	3	O	McBSP-B 送信フレーム同期		
SPIB_STEn	6	I/O	SPI-B スレーブ送信イネーブル (STE)		
SD2_C2	7	I	SDFM-2 チャンネル 2 クロック入力		
PMBUSA_CTL	9	I	PMBus-A 制御信号		
EMIF1_DQM3	10	O	外部メモリ・インターフェイス 1 のバイト 3 入力 / 出力マスク		
ESC_MDIO_DATA	11	I/O	EtherCAT MDIO データ		
EPWM14B	13	O	ePWM-14 出力 B (ePWM1-8 で高分解能を利用可能)		
FSITXA_CLK	14	O	FSITX-A 出力クロック		
FSIRXH_D0	15	I	FSIRX-H データ入力 0		
GPIO28	0、4、8、12	V11	64	I/O	汎用入出力 28
SCIA_RX	1			I	SCI-A 受信データ
EMIF1_CS4n	2			O	外部メモリ・インターフェイス 1 チップ・セレクト 4
OUTPUTXBAR5	5			O	出力クロスバー出力 5
EQEP3_A	6			I	eQEP-3 入力 A
SD2_D3	7			I	SDFM-2 チャンネル 3 データ入力
EMIF1_CS2n	9			O	外部メモリ・インターフェイス 1 チップ・セレクト 2
EPWM15A	13			O	ePWM-15 出力 A (ePWM1-8 で高分解能を利用可能)
FSIRXH_D1	15			I	FSIRX-H データ入力 1

表 6-1. ピン属性 (continued)

信号名	多重化位置	337	176	ピンの種類	説明
GPIO29	0、4、8、12	W11	65	I/O	汎用入出力 29
SCIA_TX	1			O	SCI-A 送信データ
EMIF1_SDCKE	2			O	外部メモリ・インターフェイス 1 SDRAM クロック・イネーブル
OUTPUTXBAR6	5			O	出力クロスバー出力 6
EQEP3_B	6			I	eQEP-3 入力 B
SD2_C3	7			I	SDFM-2 チャンネル 3 クロック入力
EMIF1_CS3n	9			O	外部メモリ・インターフェイス 1 チップ・セレクト 3
ESC_LATCH0	10			I	EtherCAT ラッチ信号入力 0
ESC_I2C_SDA	11			I/OC	EtherCAT I2C データ
EPWM15B	13			O	ePWM-15 出力 B (ePWM1-8 で高分解能を利用可能)
ESC_SYNC0	14			O	EtherCAT 同期信号出力 0
FSIRXH_CLK	15			I	FSIRX-H 入力クロック
GPIO30	0、4、8、12			T11	63
CANA_RX	1	I	CAN-A 受信		
EMIF1_CLK	2	O	外部メモリ・インターフェイス 1 クロック		
MCAN_RX	3	I	CAN/CAN FD 受信		
OUTPUTXBAR7	5	O	出力クロスバー出力 7		
EQEP3_STROBE	6	I/O	eQEP-3 ストロブ		
SD2_D4	7	I	SDFM-2 チャンネル 4 データ入力		
EMIF1_CS4n	9	O	外部メモリ・インターフェイス 1 チップ・セレクト 4		
ESC_LATCH1	10	I	EtherCAT ラッチ信号入力 1		
ESC_I2C_SCL	11	I/OC	EtherCAT I2C クロック		
EPWM16A	13	O	ePWM-16 出力 A (ePWM1-8 で高分解能を利用可能)		
ESC_SYNC1	14	O	EtherCAT 同期信号出力 1		
SPID_SIMO	15	I/O	SPI-D スレーブ入力、マスタ出力 (SIMO)		
GPIO31	0、4、8、12	U11	66	I/O	汎用入出力 31
CANA_TX	1			O	CAN-A 送信
EMIF1_WEn	2			O	外部メモリ・インターフェイス 1 書き込みイネーブル
MCAN_TX	3			O	CAN/CAN FD 送信
OUTPUTXBAR8	5			O	出力クロスバー出力 8
EQEP3_INDEX	6			I/O	eQEP-3 インデックス
SD2_C4	7			I	SDFM-2 チャンネル 4 クロック入力
EMIF1_RNW	9			O	外部メモリ・インターフェイス 1 読み取り、非書き込み
I2CA_SDA	10			I/OD	I2C-A オープン・ドレイン双方向データ
CM-I2CA_SDA	11			I/OD	CM-I2C-A オープン・ドレイン双方向データ
EPWM16B	13			O	ePWM-16 出力 B (ePWM1-8 で高分解能を利用可能)
SPID_SOMI	15			I/O	SPI-D スレーブ出力、マスタ入力 (SOMI)

表 6-1. ピン属性 (continued)

信号名	多重化位置	337	176	ピンの種類	説明
GPIO32	0, 4, 8, 12			I/O	汎用入出力 32
I2CA_SDA	1			I/OD	I2C-A オープン・ドレイン双方向データ
EMIF1_CS0n	2			O	外部メモリ・インターフェイス 1 チップ・セレクト 0
SPIA_SIMO	3			I/O	SPI-A スレーブ入力、マスタ出力 (SIMO)
CLB_OUTPUTXBAR1	7	U13	67	O	CLB 出力クロスバー出力 1
EMIF1_OEn	9			O	外部メモリ・インターフェイス 1 出力イネーブル
I2CA_SCL	10			I/OD	I2C-A オープン・ドレイン双方向クロック
CM-I2CA_SCL	11			I/OD	CM-I2C-A オープン・ドレイン双方向クロック
SPID_CLK	15			I/O	SPI-D クロック
GPIO33	0, 4, 8, 12			I/O	汎用入出力 33
I2CA_SCL	1			I/OD	I2C-A オープン・ドレイン双方向クロック
EMIF1_RNW	2			O	外部メモリ・インターフェイス 1 読み取り、非書き込み
SPIA_SOMI	3	T13	69	I/O	SPI-A スレーブ出力、マスタ入力 (SOMI)
CLB_OUTPUTXBAR2	7			O	CLB 出力クロスバー出力 2
EMIF1_BA0	9			O	外部メモリ・インターフェイス 1 バンク・アドレス 0
SPID_STEn	15			I/O	SPI-D スレーブ送信イネーブル (STE)
GPIO34	0, 4, 8, 12			I/O	汎用入出力 34
OUTPUTXBAR1	1			O	出力クロスバー出力 1
EMIF1_CS2n	2			O	外部メモリ・インターフェイス 1 チップ・セレクト 2
SPIA_CLK	3			I/O	SPI-A クロック
I2CB_SDA	6			I/OD	I2C-B オープン・ドレイン双方向データ
CLB_OUTPUTXBAR3	7	U14	70	O	CLB 出力クロスバー出力 3
EMIF1_BA1	9			O	外部メモリ・インターフェイス 1 バンク・アドレス 1
ESC_LATCH0	10			I	EtherCAT ラッチ信号入力 0
ENET_MII_CRS	11			I	EMAC MII キャリア・センス
SCIA_TX	13			O	SCI-A 送信データ
ESC_SYNC0	14			O	EtherCAT 同期信号出力 0
GPIO35	0, 4, 8, 12			I/O	汎用入出力 35
SCIA_RX	1			I	SCI-A 受信データ
EMIF1_CS3n	2			O	外部メモリ・インターフェイス 1 チップ・セレクト 3
SPIA_STEn	3			I/O	SPI-A スレーブ送信イネーブル (STE)
I2CB_SCL	6			I/OD	I2C-B オープン・ドレイン双方向クロック
CLB_OUTPUTXBAR4	7			O	CLB 出力クロスバー出力 4
EMIF1_A0	9			O	外部メモリ・インターフェイス 1 アドレス・ライン 0
ESC_LATCH1	10			I	EtherCAT ラッチ信号入力 1
ENET_MII_COL	11			I	EMAC MII 衝突検出
ESC_SYNC1	14			O	EtherCAT 同期信号出力 1

表 6-1. ピン属性 (continued)

信号名	多重化位置	337	176	ピンの種類	説明
GPIO36	0、4、8、12	V16	83	I/O	汎用入出力 36
SCIA_TX	1			O	SCI-A 送信データ
EMIF1_WAIT	2			I	外部メモリ・インターフェイス 1 非同期 SRAM ウェイト
CANA_RX	6			I	CAN-A 受信
CLB_OUTPUTXBAR5	7			O	CLB 出力クロスバー出力 5
EMIF1_A1	9			O	外部メモリ・インターフェイス 1 アドレス・ライン 1
MCAN_RX	10			I	CAN/CAN FD 受信
SD1_D1	13			I	SDFM-1 チャンネル 1 データ入力
GPIO37	0、4、8、12	U16	84	I/O	汎用入出力 37
OUTPUTXBAR2	1			O	出力クロスバー出力 2
EMIF1_OEn	2			O	外部メモリ・インターフェイス 1 出力イネーブル
CANA_TX	6			O	CAN-A 送信
CLB_OUTPUTXBAR6	7			O	CLB 出力クロスバー出力 6
EMIF1_A2	9			O	外部メモリ・インターフェイス 1 アドレス・ライン 2
MCAN_TX	10			O	CAN/CAN FD 送信
SD1_D2	13			I	SDFM-1 チャンネル 2 データ入力
GPIO38	0、4、8、12	T16	85	I/O	汎用入出力 38
EMIF1_A0	2			O	外部メモリ・インターフェイス 1 アドレス・ライン 0
SCIC_TX	5			O	SCI-C 送信データ
CANB_TX	6			O	CAN-B 送信
CLB_OUTPUTXBAR7	7			O	CLB 出力クロスバー出力 7
EMIF1_A3	9			O	外部メモリ・インターフェイス 1 アドレス・ライン 3
ENET_MII_RX_DV	10			I	EMAC MII 受信データ有効 (または) RMII キャリア・センス / 受信データ有効
ENET_MII_CRIS	11			I	EMAC MII キャリア・センス
SD1_D3	13	I	SDFM-1 チャンネル 3 データ入力		
GPIO39	0、4、8、12	W17	86	I/O	汎用入出力 39
EMIF1_A1	2			O	外部メモリ・インターフェイス 1 アドレス・ライン 1
SCIC_RX	5			I	SCI-C 受信データ
CANB_RX	6			I	CAN-B 受信
CLB_OUTPUTXBAR8	7			O	CLB 出力クロスバー出力 8
EMIF1_A4	9			O	外部メモリ・インターフェイス 1 アドレス・ライン 4
ENET_MII_RX_ERR	10			I	EMAC MII / RMII 受信エラー
ENET_MII_COL	11			I	EMAC MII 衝突検出
SD1_D4	13	I	SDFM-1 チャンネル 4 データ入力		
GPIO40	0、4、8、12	V17	87	I/O	汎用入出力 40
EMIF1_A2	2			O	外部メモリ・インターフェイス 1 アドレス・ライン 2
I2CB_SDA	6			I/OD	I2C-B オープン・ドレイン 双方向データ
ENET_MII_CRIS	11			I	EMAC MII キャリア・センス
ESC_I2C_SDA	14			I/OC	EtherCAT I2C データ

表 6-1. ピン属性 (continued)

信号名	多重化位置	337	176	ピンの種類	説明
GPIO41	0、4、8、12	U17	89	I/O	汎用入出力 41
EMIF1_A3	2			O	外部メモリ・インターフェイス 1 アドレス・ライン 3
I2CB_SCL	6			I/OD	I2C-B オープン・ドレイン双方向クロック
ENET_REVMII_MDIO_RST	10			I	EMAC REVMII MDIO リセット
ENET_MII_COL	11			I	EMAC MII 衝突検出
ESC_I2C_SCL	14			I/OC	EtherCAT I2C クロック
GPIO42	0、4、8、12	D19	130	I/O	汎用入出力 42
I2CA_SDA	6			I/OD	I2C-A オープン・ドレイン双方向データ
ENET_MDIO_CLK	10			I/O	EMAC 管理データ・クロック、MII/RMII モードでの出力、RevMII モードでの入力
UARTA_TX	11			I/O	UART-A シリアル・データ送信
SCIA_TX	15			O	SCI-A 送信データ
USB0DM	ALT			O	USB-0 PHY 差動データ
GPIO43	0、4、8、12	C19	131	I/O	汎用入出力 43
I2CA_SCL	6			I/OD	I2C-A オープン・ドレイン双方向クロック
ENET_MDIO_DATA	10			I/O	EMAC 管理データ
UARTA_RX	11			I/O	UART-A シリアル・データ受信
SCIA_RX	15			I	SCI-A 受信データ
USB0DP	ALT			O	USB-0 PHY 差動データ
GPIO44	0、4、8、12	K18	113	I/O	汎用入出力 44
EMIF1_A4	2			O	外部メモリ・インターフェイス 1 アドレス・ライン 4
ENET_MII_TX_CLK	11			I	EMAC MII 送信クロック
ESC_TX1_CLK	14			I	EtherCAT MII 送信 1 クロック
GPIO45	0、4、8、12	K19	115	I/O	汎用入出力 45
EMIF1_A5	2			O	外部メモリ・インターフェイス 1 アドレス・ライン 5
ENET_MII_TX_EN	11			O	EMAC MII / RMII 送信イネーブル
ESC_TX1_ENA	14			O	EtherCAT MII 送信 1 イネーブル
GPIO46	0、4、8、12	E19	128	I/O	汎用入出力 46
EMIF1_A6	2			O	外部メモリ・インターフェイス 1 アドレス・ライン 6
SCID_RX	6			I	SCI-D 受信データ
ENET_MII_TX_ERR	11			O	EMAC MII 送信エラー
ESC_MDIO_CLK	14			O	EtherCAT MDIO クロック
GPIO47	0、4、8、12	E18	129	I/O	汎用入出力 47
EMIF1_A7	2			O	外部メモリ・インターフェイス 1 アドレス・ライン 7
SCID_TX	6			O	SCI-D 送信データ
ENET_PPS0	11			O	eMAC パルス/秒出力 0
ESC_MDIO_DATA	14			I/O	EtherCAT MDIO データ

表 6-1. ピン属性 (continued)

信号名	多重化位置	337	176	ピンの種類	説明
GPIO48	0、4、8、12	R16	90	I/O	汎用入出力 48
OUTPUTXBAR3	1			O	出力クロスバー出力 3
EMIF1_A8	2			O	外部メモリ・インターフェイス 1 アドレス・ライン 8
SCIA_TX	6			O	SCI-A 送信データ
SD1_D1	7			I	SDFM-1 チャンネル 1 データ入力
ENET_PPS1	11			O	EMAC パルス/秒出力 1
ESC_PHY_CLK	14			O	EtherCAT PHY クロック
GPIO49	0、4、8、12	R17	93	I/O	汎用入出力 49
OUTPUTXBAR4	1			O	出力クロスバー出力 4
EMIF1_A9	2			O	外部メモリ・インターフェイス 1 アドレス・ライン 9
SCIA_RX	6			I	SCI-A 受信データ
SD1_C1	7			I	SDFM-1 チャンネル 1 クロック入力
EMIF1_A5	9			O	外部メモリ・インターフェイス 1 アドレス・ライン 5
ENET_MII_RX_CLK	11			I	EMAC MII 受信クロック
SD2_D1	13	I	SDFM-2 チャンネル 1 データ入力		
FSITXA_D0	14	O	FSITX-A データ出力 0		
GPIO50	0、4、8、12	R18	94	I/O	汎用入出力 50
EQEP1_A	1			I	eQEP-1 入力 A
EMIF1_A10	2			O	外部メモリ・インターフェイス 1 アドレス・ライン 10
SPIC_SIMO	6			I/O	SPI-C スレーブ入力、マスタ出力 (SIMO)
SD1_D2	7			I	SDFM-1 チャンネル 2 データ入力
EMIF1_A6	9			O	外部メモリ・インターフェイス 1 アドレス・ライン 6
ENET_MII_RX_DV	11			I	EMAC MII 受信データ有効 (または) RMII キャリア・センス / 受信データ有効
SD2_D2	13	I	SDFM-2 チャンネル 2 データ入力		
FSITXA_D1	14	O	FSITX-A データ出力 1		
GPIO51	0、4、8、12	R19	95	I/O	汎用入出力 51
EQEP1_B	1			I	eQEP-1 入力 B
EMIF1_A11	2			O	外部メモリ・インターフェイス 1 アドレス・ライン 11
SPIC_SOMI	6			I/O	SPI-C スレーブ出力、マスタ入力 (SOMI)
SD1_C2	7			I	SDFM-1 チャンネル 2 クロック入力
EMIF1_A7	9			O	外部メモリ・インターフェイス 1 アドレス・ライン 7
ENET_MII_RX_ERR	11			I	EMAC MII / RMII 受信エラー
SD2_D3	13	I	SDFM-2 チャンネル 3 データ入力		
FSITXA_CLK	14	O	FSITX-A 出力クロック		

表 6-1. ピン属性 (continued)

信号名	多重化位置	337	176	ピンの種類	説明
GPIO52	0, 4, 8, 12	P16	96	I/O	汎用入出力 52
EQEP1_STROBE	1			I/O	eQEP-1 ストローブ
EMIF1_A12	2			O	外部メモリ・インターフェイス 1 アドレス・ライン 12
SPIC_CLK	6			I/O	SPI-C クロック
SD1_D3	7			I	SDFM-1 チャンネル 3 データ入力
EMIF1_A8	9			O	外部メモリ・インターフェイス 1 アドレス・ライン 8
ENET_MII_RX_DATA0	11			I	EMAC MII / RMII 受信データ 0
SD2_D4	13			I	SDFM-2 チャンネル 4 データ入力
FSIRXA_D0	14			I	FSIRX-A データ入力 0
GPIO53	0, 4, 8, 12	P17	97	I/O	汎用入出力 53
EQEP1_INDEX	1			I/O	eQEP-1 インデックス
EMIF1_D31	2			I/O	外部メモリ・インターフェイス 1 データ・ライン 31
EMIF2_D15	3			I/O	外部メモリ・インターフェイス 2 データ・ライン 15
SPIC_STEn	6			I/O	SPI-C スレーブ送信イネーブル (STE)
SD1_C3	7			I	SDFM-1 チャンネル 3 クロック入力
EMIF1_A9	9			O	外部メモリ・インターフェイス 1 アドレス・ライン 9
ENET_MII_RX_DATA1	11			I	EMAC MII / RMII 受信データ 1
SD1_C1	13			I	SDFM-1 チャンネル 1 クロック入力
FSIRXA_D1	14	I	FSIRX-A データ入力 1		
GPIO54	0, 4, 8, 12	P18	98	I/O	汎用入出力 54
SPIA_SIMO	1			I/O	SPI-A スレーブ入力、マスタ出力 (SIMO)
EMIF1_D30	2			I/O	外部メモリ・インターフェイス 1 データ・ライン 30
EMIF2_D14	3			I/O	外部メモリ・インターフェイス 2 データ・ライン 14
EQEP2_A	5			I	eQEP-2 入力 A
SCIB_TX	6			O	SCI-B 送信データ
SD1_D4	7			I	SDFM-1 チャンネル 4 データ入力
EMIF1_A10	9			O	外部メモリ・インターフェイス 1 アドレス・ライン 10
ENET_MII_RX_DATA2	11			I	EMAC MII 受信データ 2
SD1_C2	13			I	SDFM-1 チャンネル 2 クロック入力
FSIRXA_CLK	14			I	FSIRX-A 入力クロック
SSIA_TX	15			I/O	SSI-A シリアル・データ送信
GPIO55	0, 4, 8, 12	P19	100	I/O	汎用入出力 55
SPIA_SOMI	1			I/O	SPI-A スレーブ出力、マスタ入力 (SOMI)
EMIF1_D29	2			I/O	外部メモリ・インターフェイス 1 データ・ライン 29
EMIF2_D13	3			I/O	外部メモリ・インターフェイス 2 データ・ライン 13
EQEP2_B	5			I	eQEP-2 入力 B
SCIB_RX	6			I	SCI-B 受信データ
SD1_C4	7			I	SDFM-1 チャンネル 4 クロック入力
EMIF1_D0	9			I/O	外部メモリ・インターフェイス 1 データ・ライン 0
ENET_MII_RX_DATA3	11			I	EMAC MII 受信データ 3
SD1_C3	13			I	SDFM-1 チャンネル 3 クロック入力
FSITXB_D0	14			O	FSITX-B データ出力 0
SSIA_RX	15			I/O	SSI-A シリアル・データ受信

表 6-1. ピン属性 (continued)

信号名	多重化位置	337	176	ピンの種類	説明
GPIO56	0、4、8、12			I/O	汎用入出力 56
SPIA_CLK	1			I/O	SPI-A クロック
EMIF1_D28	2			I/O	外部メモリ・インターフェイス 1 データ・ライン 28
EMIF2_D12	3			I/O	外部メモリ・インターフェイス 2 データ・ライン 12
EQEP2_STROBE	5			I/O	eQEP-2 ストロブ
SCIC_TX	6			O	SCI-C 送信データ
SD2_D1	7	N16	101	I	SDFM-2 チャンネル 1 データ入力
EMIF1_D1	9			I/O	外部メモリ・インターフェイス 1 データ・ライン 1
I2CA_SDA	10			I/OD	I2C-A オープン・ドレイン双方向データ
ENET_MII_TX_EN	11			O	EMAC MII / RMII 送信イネーブル
SD1_C4	13			I	SDFM-1 チャンネル 4 クロック入力
FSITXB_CLK	14			O	FSITX-B 出力クロック
SSIA_CLK	15			I/O	SSI-A クロック
GPIO57	0、4、8、12			I/O	汎用入出力 57
SPIA_STEn	1			I/O	SPI-A スレーブ送信イネーブル (STE)
EMIF1_D27	2			I/O	外部メモリ・インターフェイス 1 データ・ライン 27
EMIF2_D11	3			I/O	外部メモリ・インターフェイス 2 データ・ライン 11
EQEP2_INDEX	5			I/O	eQEP-2 インデックス
SCIC_RX	6			I	SCI-C 受信データ
SD2_C1	7	N18	102	I	SDFM-2 チャンネル 1 クロック入力
EMIF1_D2	9			I/O	外部メモリ・インターフェイス 1 データ・ライン 2
I2CA_SCL	10			I/OD	I2C-A オープン・ドレイン双方向クロック
ENET_MII_TX_ERR	11			O	EMAC MII 送信エラー
FSITXB_D1	14			O	FSITX-B データ出力 1
SSIA_FSS	15			I/O	SSI-A フレーム同期
GPIO58	0、4、8、12			I/O	汎用入出力 58
MCLKRA	1			I	McBSP-A 受信クロック
EMIF1_D26	2			I/O	外部メモリ・インターフェイス 1 データ・ライン 26
EMIF2_D10	3			I/O	外部メモリ・インターフェイス 2 データ・ライン 10
OUTPUTXBAR1	5			O	出力クロスバー出力 1
SPIB_CLK	6			I/O	SPI-B クロック
SD2_D2	7	N17	103	I	SDFM-2 チャンネル 2 データ入力
EMIF1_D3	9			I/O	外部メモリ・インターフェイス 1 データ・ライン 3
ESC_LED_LINK0_ACTIVE	10			O	EtherCAT リンク 0 アクティブ
ENET_MII_TX_CLK	11			I	EMAC MII 送信クロック
SD2_C2	13			I	SDFM-2 チャンネル 2 クロック入力
FSIRXB_D0	14			I	FSIRX-B データ入力 0
SPIA_SIMO	15			I/O	SPI-A スレーブ入力、マスタ出力 (SIMO)

表 6-1. ピン属性 (continued)

信号名	多重化位置	337	176	ピンの種類	説明
GPIO59	0、4、8、12			I/O	汎用入出力 59
MFSRA	1			I	McBSP-A 受信フレーム同期
EMIF1_D25	2			I/O	外部メモリ・インターフェイス 1 データ・ライン 25
EMIF2_D9	3			I/O	外部メモリ・インターフェイス 2 データ・ライン 9
OUTPUTXBAR2	5			O	出力クロスバー出力 2
SPIB_STEn	6			I/O	SPI-B スレーブ送信イネーブル (STE)
SD2_C2	7	M16	104	I	SDFM-2 チャンネル 2 クロック入力
EMIF1_D4	9			I/O	外部メモリ・インターフェイス 1 データ・ライン 4
ESC_LED_LINK1_ACTIVE	10			O	EtherCAT リンク 1 アクティブ
ENET_MII_TX_DATA0	11			O	EMAC MII / RMII 送信データ 0
SD2_C3	13			I	SDFM-2 チャンネル 3 クロック入力
FSIRXB_D1	14			I	FSIRX-B データ入力 1
SPIA_SOMI	15			I/O	SPI-A スレーブ出力、マスタ入力 (SOMI)
GPIO60	0、4、8、12			I/O	汎用入出力 60
MCLKRB	1			I	McBSP-B 受信クロック
EMIF1_D24	2			I/O	外部メモリ・インターフェイス 1 データ・ライン 24
EMIF2_D8	3			I/O	外部メモリ・インターフェイス 2 データ・ライン 8
OUTPUTXBAR3	5			O	出力クロスバー出力 3
SPIB_SIMO	6			I/O	SPI-B スレーブ入力、マスタ出力 (SIMO)
SD2_D3	7	M17	105	I	SDFM-2 チャンネル 3 データ入力
EMIF1_D5	9			I/O	外部メモリ・インターフェイス 1 データ・ライン 5
ESC_LED_ERR	10			O	EtherCAT エラー LED
ENET_MII_TX_DATA1	11			O	EMAC MII / RMII 送信データ 1
SD2_C4	13			I	SDFM-2 チャンネル 4 クロック入力
FSIRXB_CLK	14			I	FSIRX-B 入力クロック
SPIA_CLK	15			I/O	SPI-A クロック
GPIO61	0、4、8、12			I/O	汎用入出力 61
MFSRB	1			I	McBSP-B 受信フレーム同期
EMIF1_D23	2			I/O	外部メモリ・インターフェイス 1 データ・ライン 23
EMIF2_D7	3			I/O	外部メモリ・インターフェイス 2 データ・ライン 7
OUTPUTXBAR4	5			O	出力クロスバー出力 4
SPIB_SOMI	6			I/O	SPI-B スレーブ出力、マスタ入力 (SOMI)
SD2_C3	7	L16	107	I	SDFM-2 チャンネル 3 クロック入力
EMIF1_D6	9			I/O	外部メモリ・インターフェイス 1 データ・ライン 6
ESC_LED_RUN	10			O	EtherCAT 実行 LED
ENET_MII_TX_DATA2	11			O	EMAC MII 送信データ 2
CANA_RX	14			I	CAN-A 受信
SPIA_STEn	15			I/O	SPI-A スレーブ送信イネーブル (STE)

表 6-1. ピン属性 (continued)

信号名	多重化位置	337	176	ピンの種類	説明
GPIO62	0、4、8、12			I/O	汎用入出力 62
SCIC_RX	1			I	SCI-C 受信データ
EMIF1_D22	2			I/O	外部メモリ・インターフェイス 1 データ・ライン 22
EMIF2_D6	3			I/O	外部メモリ・インターフェイス 2 データ・ライン 6
EQEP3_A	5			I	eQEP-3 入力 A
CANA_RX	6	J17	108	I	CAN-A 受信
SD2_D4	7			I	SDFM-2 チャンネル 4 データ入力
EMIF1_D7	9			I/O	外部メモリ・インターフェイス 1 データ・ライン 7
ESC_LED_STATE_RUN	10			O	EtherCAT 状態実行
ENET_MII_TX_DATA3	11			O	EMAC MII 送信データ 3
CANA_TX	14			O	CAN-A 送信
GPIO63	0、4、8、12			I/O	汎用入出力 63
SCIC_TX	1			O	SCI-C 送信データ
EMIF1_D21	2			I/O	外部メモリ・インターフェイス 1 データ・ライン 21
EMIF2_D5	3			I/O	外部メモリ・インターフェイス 2 データ・ライン 5
EQEP3_B	5			I	eQEP-3 入力 B
CANA_TX	6	J16	109	O	CAN-A 送信
SD2_C4	7			I	SDFM-2 チャンネル 4 クロック入力
SSIA_TX	9			I/O	SSI-A シリアル・データ送信
ENET_MII_RX_DATA0	11			I	EMAC MII / RMII 受信データ 0
SD1_D1	13			I	SDFM-1 チャンネル 1 データ入力
ESC_RX1_DATA0	14			I	EtherCAT MII 受信 1 データ 0
SPIB_SIMO	15			I/O	SPI-B スレーブ入力、マスタ出力 (SIMO)
GPIO64	0、4、8、12			I/O	汎用入出力 64
EMIF1_D20	2			I/O	外部メモリ・インターフェイス 1 データ・ライン 20
EMIF2_D4	3			I/O	外部メモリ・インターフェイス 2 データ・ライン 4
EQEP3_STROBE	5			I/O	eQEP-3 ストロブ
SCIA_RX	6			I	SCI-A 受信データ
SSIA_RX	9	L17	110	I/O	SSI-A シリアル・データ受信
ENET_MII_RX_DV	10			I	EMAC MII 受信データ有効 (または) RMII キャリア・センス / 受信データ有効
ENET_MII_RX_DATA1	11			I	EMAC MII / RMII 受信データ 1
SD1_C1	13			I	SDFM-1 チャンネル 1 クロック入力
ESC_RX1_DATA1	14			I	EtherCAT MII 受信 1 データ 1
SPIB_SOMI	15			I/O	SPI-B スレーブ出力、マスタ入力 (SOMI)

表 6-1. ピン属性 (continued)

信号名	多重化位置	337	176	ピンの種類	説明
GPIO65	0、4、8、12			I/O	汎用入出力 65
EMIF1_D19	2			I/O	外部メモリ・インターフェイス 1 データ・ライン 19
EMIF2_D3	3			I/O	外部メモリ・インターフェイス 2 データ・ライン 3
EQEP3_INDEX	5			I/O	eQEP-3 インデックス
SCIA_TX	6			O	SCI-A 送信データ
SSIA_CLK	9	K16	111	I/O	SSI-A クロック
ENET_MII_RX_ERR	10			I	EMAC MII / RMII 受信エラー
ENET_MII_RX_DATA2	11			I	EMAC MII 受信データ 2
SD1_D2	13			I	SDFM-1 チャンネル 2 データ入力
ESC_RX1_DATA2	14			I	EtherCAT MII 受信 1 データ 2
SPIB_CLK	15			I/O	SPI-B クロック
GPIO66	0、4、8、12			I/O	汎用入出力 66
EMIF1_D18	2			I/O	外部メモリ・インターフェイス 1 データ・ライン 18
EMIF2_D2	3			I/O	外部メモリ・インターフェイス 2 データ・ライン 2
I2CB_SDA	6			I/OD	I2C-B オープン・ドレイン双方向データ
SSIA_FSS	9	K17	112	I/O	SSI-A フレーム同期
ENET_MII_RX_DATA0	10			I	EMAC MII / RMII 受信データ 0
ENET_MII_RX_DATA3	11			I	EMAC MII 受信データ 3
SD1_C2	13			I	SDFM-1 チャンネル 2 クロック入力
ESC_RX1_DATA3	14			I	EtherCAT MII 受信 1 データ 3
SPIB_STEn	15			I/O	SPI-B スレーブ送信イネーブル (STE)
GPIO67	0、4、8、12			I/O	汎用入出力 67
EMIF1_D17	2			I/O	外部メモリ・インターフェイス 1 データ・ライン 17
EMIF2_D1	3			I/O	外部メモリ・インターフェイス 2 データ・ライン 1
ENET_MII_RX_CLK	10	B19	132	I	EMAC MII 受信クロック
ENET_REVMII_MDIO_RST	11			I	EMAC REVMII MDIO リセット
SD1_D3	13			I	SDFM-1 チャンネル 3 データ入力
GPIO68	0、4、8、12			I/O	汎用入出力 68
EMIF1_D16	2			I/O	外部メモリ・インターフェイス 1 データ・ライン 16
EMIF2_D0	3			I/O	外部メモリ・インターフェイス 2 データ・ライン 0
ENET_MII_INTR	11	C18	133	I/O	EMAC PHY 割り込み、MII/RMII モードでの入力、RevMII モードでの出力
SD1_C3	13			I	SDFM-1 チャンネル 3 クロック入力
ESC_PHY1_LINKSTATUS	14			I	EtherCAT PHY-1 リンク・ステータス
GPIO69	0、4、8、12			I/O	汎用入出力 69
EMIF1_D15	2			I/O	外部メモリ・インターフェイス 1 データ・ライン 15
I2CB_SCL	6			I/OD	I2C-B オープン・ドレイン双方向クロック
ENET_MII_TX_EN	10			O	EMAC MII / RMII 送信イネーブル
ENET_MII_RX_CLK	11	B18	134	I	EMAC MII 受信クロック
SD1_D4	13			I	SDFM-1 チャンネル 4 データ入力
ESC_RX1_CLK	14			I	EtherCAT MII 受信 1 クロック
SPIC_SIMO	15			I/O	SPI-C スレーブ入力、マスタ出力 (SIMO)

表 6-1. ピン属性 (continued)

信号名	多重化位置	337	176	ピンの種類	説明
GPIO70	0、4、8、12	A17	135	I/O	汎用入出力 70
EMIF1_D14	2			I/O	外部メモリ・インターフェイス 1 データ・ライン 14
CANA_RX	5			I	CAN-A 受信
SCIB_TX	6			O	SCI-B 送信データ
MCAN_RX	9			I	CAN/CAN FD 受信
ENET_MII_RX_DV	11			I	EMAC MII 受信データ有効 (または) RMII キャリア・センス / 受信データ有効
SD1_C4	13			I	SDFM-1 チャンネル 4 クロック入力
ESC_RX1_DV	14			I	EtherCAT MII 受信 1 データ有効
SPIC_SOMI	15			I/O	SPI-C スレーブ出力、マスタ入力 (SOMI)
GPIO71	0、4、8、12	B17	136	I/O	汎用入出力 71
EMIF1_D13	2			I/O	外部メモリ・インターフェイス 1 データ・ライン 13
CANA_TX	5			O	CAN-A 送信
SCIB_RX	6			I	SCI-B 受信データ
MCAN_TX	9			O	CAN/CAN FD 送信
ENET_MII_RX_DATA0	10			I	EMAC MII / RMII 受信データ 0
ENET_MII_RX_ERR	11			I	EMAC MII / RMII 受信エラー
ESC_RX1_ERR	14			I	EtherCAT MII 受信 1 エラー
SPIC_CLK	15			I/O	SPI-C クロック
GPIO72	0、4、8、12	B16	139	I/O	汎用入出力 72
EMIF1_D12	2			I/O	外部メモリ・インターフェイス 1 データ・ライン 12
CANB_TX	5			O	CAN-B 送信
SCIC_TX	6			O	SCI-C 送信データ
ENET_MII_RX_DATA1	10			I	EMAC MII / RMII 受信データ 1
ENET_MII_TX_DATA3	11			O	EMAC MII 送信データ 3
ESC_TX1_DATA3	14			O	EtherCAT MII 送信 1 データ 3
SPIC_STEn	15			I/O	SPI-C スレーブ送信イネーブル (STE)
GPIO73	0、4、8、12	A16	140	I/O	汎用入出力 73
EMIF1_D11	2			I/O	外部メモリ・インターフェイス 1 データ・ライン 11
XCLKOUT	3			O	外部クロック出力。このピンは、デバイス内のクロック信号の中から選択されたものを分周した信号を出力します。
CANB_RX	5			I	CAN-B 受信
SCIC_RX	6			I	SCI-C 受信データ
ENET_RMII_CLK	10			I/O	EMAC RMII クロック
ENET_MII_TX_DATA2	11			O	EMAC MII 送信データ 2
SD2_D2	13			I	SDFM-2 チャンネル 2 データ入力
ESC_TX1_DATA2	14			O	EtherCAT MII 送信 1 データ 2
GPIO74	0、4、8、12	C17	141	I/O	汎用入出力 74
EMIF1_D10	2			I/O	外部メモリ・インターフェイス 1 データ・ライン 10
MCAN_TX	9			O	CAN/CAN FD 送信
ENET_MII_TX_DATA1	11			O	EMAC MII / RMII 送信データ 1
SD2_C2	13			I	SDFM-2 チャンネル 2 クロック入力
ESC_TX1_DATA1	14			O	EtherCAT MII 送信 1 データ 1

表 6-1. ピン属性 (continued)

信号名	多重化位置	337	176	ピンの種類	説明
GPIO75	0、4、8、12	D16	142	I/O	汎用入出力 75
EMIF1_D9	2			I/O	外部メモリ・インターフェイス 1 データ・ライン 9
MCAN_RX	9			I	CAN/CAN FD 受信
ENET_MII_TX_DATA0	11			O	EMAC MII / RMII 送信データ 0
SD2_D3	13			I	SDFM-2 チャンネル 3 データ入力
ESC_TX1_DATA0	14			O	EtherCAT MII 送信 1 データ 0
GPIO76	0、4、8、12	C16	143	I/O	汎用入出力 76
EMIF1_D8	2			I/O	外部メモリ・インターフェイス 1 データ・ライン 8
SCID_TX	6			O	SCI-D 送信データ
ENET_MII_RX_ERR	10			I	EMAC MII / RMII 受信エラー
SD2_C3	13			I	SDFM-2 チャンネル 3 クロック入力
ESC_PHY_RESETE _n	14			O	EtherCAT PHY アクティブ Low リセット
GPIO77	0、4、8、12	A15	144	I/O	汎用入出力 77
EMIF1_D7	2			I/O	外部メモリ・インターフェイス 1 データ・ライン 7
SCID_RX	6			I	SCI-D 受信データ
SD2_D4	13			I	SDFM-2 チャンネル 4 データ入力
ESC_RX0_CLK	14			I	EtherCAT MII 受信 0 クロック
GPIO78	0、4、8、12	B15	145	I/O	汎用入出力 78
EMIF1_D6	2			I/O	外部メモリ・インターフェイス 1 データ・ライン 6
EQEP2_A	6			I	eQEP-2 入力 A
SD2_C4	13			I	SDFM-2 チャンネル 4 クロック入力
ESC_RX0_DV	14			I	EtherCAT MII 受信 0 データ有効
GPIO79	0、4、8、12	C15	146	I/O	汎用入出力 79
EMIF1_D5	2			I/O	外部メモリ・インターフェイス 1 データ・ライン 5
EQEP2_B	6			I	eQEP-2 入力 B
SD2_D1	13			I	SDFM-2 チャンネル 1 データ入力
ESC_RX0_ERR	14			I	EtherCAT MII 受信 0 エラー
GPIO80	0、4、8、12	D15	148	I/O	汎用入出力 80
EMIF1_D4	2			I/O	外部メモリ・インターフェイス 1 データ・ライン 4
EQEP2_STROBE	6			I/O	eQEP-2 ストローブ
SD2_C1	13			I	SDFM-2 チャンネル 1 クロック入力
ESC_RX0_DATA0	14			I	EtherCAT MII 受信 0 データ 0
GPIO81	0、4、8、12	A14	149	I/O	汎用入出力 81
EMIF1_D3	2			I/O	外部メモリ・インターフェイス 1 データ・ライン 3
EQEP2_INDEX	6			I/O	eQEP-2 インデックス
ESC_RX0_DATA1	14			I	EtherCAT MII 受信 0 データ 1
GPIO82	0、4、8、12	B14	150	I/O	汎用入出力 82
EMIF1_D2	2			I/O	外部メモリ・インターフェイス 1 データ・ライン 2
ESC_RX0_DATA2	14			I	EtherCAT MII 受信 0 データ 2
GPIO83	0、4、8、12	C14	151	I/O	汎用入出力 83
EMIF1_D1	2			I/O	外部メモリ・インターフェイス 1 データ・ライン 1
ESC_RX0_DATA3	14			I	EtherCAT MII 受信 0 データ 3

表 6-1. ピン属性 (continued)

信号名	多重化位置	337	176	ピンの種類	説明
GPIO84	0、4、8、12	A11	154	I/O	汎用入出力 84
SCIA_TX	5			O	SCI-A 送信データ
MDXB	6			O	McBSP-B 送信シリアル・データ
UARTA_TX	11			I/O	UART-A シリアル・データ送信
ESC_TX0_ENA	14			O	EtherCAT MII 送信 0 イネーブル
MDXA	15			O	McBSP-A 送信シリアル・データ
GPIO85	0、4、8、12	B11	155	I/O	汎用入出力 85
EMIF1_D0	2			I/O	外部メモリ・インターフェイス 1 データ・ライン 0
SCIA_RX	5			I	SCI-A 受信データ
MDRB	6			I	McBSP-B 受信シリアル・データ
UARTA_RX	11			I/O	UART-A シリアル・データ受信
ESC_TX0_CLK	14			I	EtherCAT MII 送信 0 クロック
MDRA	15	I	McBSP-A 受信シリアル・データ		
GPIO86	0、4、8、12	C11	156	I/O	汎用入出力 86
EMIF1_A13	2			O	外部メモリ・インターフェイス 1 アドレス・ライン 13
EMIF1_CAS	3			O	外部メモリ・インターフェイス 1 列アドレス・ストロープ
SCIB_TX	5			O	SCI-B 送信データ
MCLKXB	6			O	McBSP-B 送信クロック
ESC_PHY0_LINKSTATUS	14			I	EtherCAT PHY-0 リンク・ステータス
MCLKXA	15	O	McBSP-A 送信クロック		
GPIO87	0、4、8、12	D11	157	I/O	汎用入出力 87
EMIF1_A14	2			O	外部メモリ・インターフェイス 1 アドレス・ライン 14
EMIF1_RAS	3			O	外部メモリ・インターフェイス、1 行のアドレス・ストロープ
SCIB_RX	5			I	SCI-B 受信データ
MFSXB	6			O	McBSP-B 送信フレーム同期
EMIF1_DQM3	9			O	外部メモリ・インターフェイス 1 のバイト 3 入力 / 出力マスク
ESC_TX0_DATA0	14	O	EtherCAT MII 送信 0 データ 0		
MFSXA	15	O	McBSP-A 送信フレーム同期		
GPIO88	0、4、8、12	C6	170	I/O	汎用入出力 88
EMIF1_A15	2			O	外部メモリ・インターフェイス 1 アドレス・ライン 15
EMIF1_DQM0	3			O	外部メモリ・インターフェイス 1 のバイト 0 入力 / 出力マスク
EMIF1_DQM1	9			O	外部メモリ・インターフェイス 1 のバイト 1 入力 / 出力マスク
ESC_TX0_DATA1	14	O	EtherCAT MII 送信 0 データ 1		
GPIO89	0、4、8、12	D6	171	I/O	汎用入出力 89
EMIF1_A16	2			O	外部メモリ・インターフェイス 1 アドレス・ライン 16
EMIF1_DQM1	3			O	外部メモリ・インターフェイス 1 のバイト 1 入力 / 出力マスク
SCIC_TX	6			O	SCI-C 送信データ
EMIF1_CAS	9			O	外部メモリ・インターフェイス 1 列アドレス・ストロープ
ESC_TX0_DATA2	14			O	EtherCAT MII 送信 0 データ 2

表 6-1. ピン属性 (continued)

信号名	多重化位置	337	176	ピンの種類	説明
GPIO90	0、4、8、12	A5	172	I/O	汎用入出力 90
EMIF1_A17	2			O	外部メモリ・インターフェイス 1 アドレス・ライン 17
EMIF1_DQM2	3			O	外部メモリ・インターフェイス 1 のバイト 2 入力 / 出力マスク
SCIC_RX	6			I	SCI-C 受信データ
EMIF1_RAS	9			O	外部メモリ・インターフェイス、1 行のアドレス・ストロープ
ESC_TX0_DATA3	14			O	EtherCAT MII 送信 0 データ 3
GPIO91	0、4、8、12	B5	173	I/O	汎用入出力 91
EMIF1_A18	2			O	外部メモリ・インターフェイス 1 アドレス・ライン 18
EMIF1_DQM3	3			O	外部メモリ・インターフェイス 1 のバイト 3 入力 / 出力マスク
I2CA_SDA	6			I/OD	I2C-A オープン・ドレイン双方向データ
EMIF1_DQM2	9			O	外部メモリ・インターフェイス 1 のバイト 2 入力 / 出力マスク
PMBUSA_SCL	10			I/OD	PMBus-A オープン・ドレイン双方向クロック
SSIA_TX	11			I/O	SSI-A シリアル・データ送信
FSIRXF_D0	13			I	FSIRX-F データ入力 0
CLB_OUTPUTXBAR1	14			O	CLB 出力クロスバー出力 1
SPID_SIMO	15	I/O	SPI-D スレーブ入力、マスタ出力 (SIMO)		
GPIO92	0、4、8、12	A4	174	I/O	汎用入出力 92
EMIF1_A19	2			O	外部メモリ・インターフェイス 1 アドレス・ライン 19
EMIF1_BA1	3			O	外部メモリ・インターフェイス 1 バンク・アドレス 1
I2CA_SCL	6			I/OD	I2C-A オープン・ドレイン双方向クロック
EMIF1_DQM0	9			O	外部メモリ・インターフェイス 1 のバイト 0 入力 / 出力マスク
PMBUSA_SDA	10			I/OD	PMBus-A オープン・ドレイン双方向データ
SSIA_RX	11			I/O	SSI-A シリアル・データ受信
FSIRXF_D1	13			I	FSIRX-F データ入力 1
CLB_OUTPUTXBAR2	14			O	CLB 出力クロスバー出力 2
SPID_SOMI	15	I/O	SPI-D スレーブ出力、マスタ入力 (SOMI)		
GPIO93	0、4、8、12	B4	175	I/O	汎用入出力 93
EMIF1_BA0	3			O	外部メモリ・インターフェイス 1 バンク・アドレス 0
SCID_TX	6			O	SCI-D 送信データ
PMBUSA_ALERT	10			I/OD	PMBus-A オープン・ドレイン双方向アラート信号
SSIA_CLK	11			I/O	SSI-A クロック
FSIRXF_CLK	13			I	FSIRX-F 入力クロック
CLB_OUTPUTXBAR3	14			O	CLB 出力クロスバー出力 3
SPID_CLK	15			I/O	SPI-D クロック
GPIO94	0、4、8、12	A3	176	I/O	汎用入出力 94
SCID_RX	6			I	SCI-D 受信データ
EMIF1_BA1	9			O	外部メモリ・インターフェイス 1 バンク・アドレス 1
PMBUSA_CTL	10			I	PMBus-A 制御信号
SSIA_FSS	11			I/O	SSI-A フレーム同期
FSIRXG_D0	13			I	FSIRX-G データ入力 0
CLB_OUTPUTXBAR4	14			O	CLB 出力クロスバー出力 4
SPID_STEn	15	I/O	SPI-D スレーブ送信イネーブル (STE)		

表 6-1. ピン属性 (continued)

信号名	多重化位置	337	176	ピンの種類	説明
GPIO95	0, 4, 8, 12	B3		I/O	汎用入出力 95
EMIF2_A12	3			O	外部メモリ・インターフェイス 2 アドレス・ライン 12
FSIRXG_D1	13			I	FSIRX-G データ入力 1
CLB_OUTPUTXBAR5	14			O	CLB 出力クロスバー出力 5
GPIO96	0, 4, 8, 12	C3		I/O	汎用入出力 96
EMIF2_DQM1	3			O	外部メモリ・インターフェイス 2 のバイト 1 入力 / 出力マスク
EQEP1_A	5			I	eQEP-1 入力 A
FSIRXG_CLK	13			I	FSIRX-G 入力クロック
CLB_OUTPUTXBAR6	14	O	CLB 出力クロスバー出力 6		
GPIO97	0, 4, 8, 12	A2		I/O	汎用入出力 97
EMIF2_DQM0	3			O	外部メモリ・インターフェイス 2 のバイト 0 入力 / 出力マスク
EQEP1_B	5			I	eQEP-1 入力 B
FSIRXH_D0	13			I	FSIRX-H データ入力 0
CLB_OUTPUTXBAR7	14	O	CLB 出力クロスバー出力 7		
GPIO98	0, 4, 8, 12	F1		I/O	汎用入出力 98
EMIF2_A0	3			O	外部メモリ・インターフェイス 2 アドレス・ライン 0
EQEP1_STROBE	5			I/O	eQEP-1 ストローブ
FSIRXH_D1	13			I	FSIRX-H データ入力 1
CLB_OUTPUTXBAR8	14	O	CLB 出力クロスバー出力 8		
GPIO99	0, 4, 8, 12	G1	17	I/O	汎用入出力 99
EMIF2_A1	3			O	外部メモリ・インターフェイス 2 アドレス・ライン 1
EQEP1_INDEX	5			I/O	eQEP-1 インデックス
FSIRXH_CLK	13	I	FSIRX-H 入力クロック		
GPIO100	0, 4, 8, 12	H1		I/O	汎用入出力 100
EMIF2_A2	3			O	外部メモリ・インターフェイス 2 アドレス・ライン 2
EQEP2_A	5			I	eQEP-2 入力 A
SPIC_SIMO	6			I/O	SPI-C スレーブ入力、マスタ出力 (SIMO)
ESC_GPI0	10			I	EtherCAT 汎用入力 0
FSITXA_D0	13	O	FSITX-A データ出力 0		
GPIO101	0, 4, 8, 12	H2		I/O	汎用入出力 101
EMIF2_A3	3			O	外部メモリ・インターフェイス 2 アドレス・ライン 3
EQEP2_B	5			I	eQEP-2 入力 B
SPIC_SOMI	6			I/O	SPI-C スレーブ出力、マスタ入力 (SOMI)
ESC_GPI1	10			I	EtherCAT 汎用入力 1
FSITXA_D1	13	O	FSITX-A データ出力 1		
GPIO102	0, 4, 8, 12	H3		I/O	汎用入出力 102
EMIF2_A4	3			O	外部メモリ・インターフェイス 2 アドレス・ライン 4
EQEP2_STROBE	5			I/O	eQEP-2 ストローブ
SPIC_CLK	6			I/O	SPI-C クロック
ESC_GPI2	10			I	EtherCAT 汎用入力 2
FSITXA_CLK	13	O	FSITX-A 出力クロック		

表 6-1. ピン属性 (continued)

信号名	多重化位置	337	176	ピンの種類	説明
GPIO103	0、4、8、12	J1		I/O	汎用入出力 103
EMIF2_A5	3			O	外部メモリ・インターフェイス 2 アドレス・ライン 5
EQEP2_INDEX	5			I/O	eQEP-2 インデックス
SPIC_STEn	6			I/O	SPI-C スレーブ送信イネーブル (STE)
ESC_GPI3	10			I	EtherCAT 汎用入力 3
FSIRXA_D0	13			I	FSIRX-A データ入力 0
GPIO104	0、4、8、12	J2		I/O	汎用入出力 104
I2CA_SDA	1			I/OD	I2C-A オープン・ドレイン双方向データ
EMIF2_A6	3			O	外部メモリ・インターフェイス 2 アドレス・ライン 6
EQEP3_A	5			I	eQEP-3 入力 A
SCID_TX	6			O	SCI-D 送信データ
ESC_GPI4	10			I	EtherCAT 汎用入力 4
CM-I2CA_SDA	11	I/OD	CM-I2C-A オープン・ドレイン双方向データ		
FSIRXA_D1	13	I	FSIRX-A データ入力 1		
GPIO105	0、4、8、12	J3		I/O	汎用入出力 105
I2CA_SCL	1			I/OD	I2C-A オープン・ドレイン双方向クロック
EMIF2_A7	3			O	外部メモリ・インターフェイス 2 アドレス・ライン 7
EQEP3_B	5			I	eQEP-3 入力 B
SCID_RX	6			I	SCI-D 受信データ
ESC_GPI5	10			I	EtherCAT 汎用入力 5
CM-I2CA_SCL	11	I/OD	CM-I2C-A オープン・ドレイン双方向クロック		
FSIRXA_CLK	13	I	FSIRX-A 入力クロック		
ENET_MDIO_CLK	14	I/O	EMAC 管理データ・クロック、MII/RMII モードでの出力、RevMII モードでの入力		
GPIO106	0、4、8、12	L2		I/O	汎用入出力 106
EMIF2_A8	3			O	外部メモリ・インターフェイス 2 アドレス・ライン 8
EQEP3_STROBE	5			I/O	eQEP-3 ストローブ
SCIC_TX	6			O	SCI-C 送信データ
ESC_GPI6	10			I	EtherCAT 汎用入力 6
FSITXB_D0	13			O	FSITX-B データ出力 0
ENET_MDIO_DATA	14	I/O	EMAC 管理データ		
GPIO107	0、4、8、12	L3		I/O	汎用入出力 107
EMIF2_A9	3			O	外部メモリ・インターフェイス 2 アドレス・ライン 9
EQEP3_INDEX	5			I/O	eQEP-3 インデックス
SCIC_RX	6			I	SCI-C 受信データ
ESC_GPI7	10			I	EtherCAT 汎用入力 7
FSITXB_D1	13			O	FSITX-B データ出力 1
ENET_REVMII_MDIO_RST	14	I	EMAC REVMII MDIO リセット		

表 6-1. ピン属性 (continued)

信号名	多重化位置	337	176	ピンの種類	説明
GPIO108	0、4、8、12	L4		I/O	汎用入出力 108
EMIF2_A10	3			O	外部メモリ・インターフェイス 2 アドレス・ライン 10
ESC_GPI8	10			I	EtherCAT 汎用入力 8
FSITXB_CLK	13			O	FSITX-B 出力クロック
ENET_MII_INTR	14			I/O	EMAC PHY 割り込み、MII/RMII モードでの入力、RevMII モードでの出力
GPIO109	0、4、8、12	N2		I/O	汎用入出力 109
EMIF2_A11	3			O	外部メモリ・インターフェイス 2 アドレス・ライン 11
ESC_GPI9	10			I	EtherCAT 汎用入力 9
ENET_MII_CRIS	14			I	EMAC MII キャリア・センス
GPIO110	0、4、8、12	M2		I/O	汎用入出力 110
EMIF2_WAIT	3			I	外部メモリ・インターフェイス 2 非同期 SRAM ウェイト
ESC_GPI10	10			I	EtherCAT 汎用入力 10
FSIRXB_D0	13			I	FSIRX-B データ入力 0
ENET_MII_COL	14			I	EMAC MII 衝突検出
GPIO111	0、4、8、12	M4		I/O	汎用入出力 111
EMIF2_BA0	3			O	外部メモリ・インターフェイス 2 バンク・アドレス 0
ESC_GPI11	10			I	EtherCAT 汎用入力 11
FSIRXB_D1	13			I	FSIRX-B データ入力 1
ENET_MII_RX_CLK	14			I	EMAC MII 受信クロック
GPIO112	0、4、8、12	M3		I/O	汎用入出力 112
EMIF2_BA1	3			O	外部メモリ・インターフェイス 2 バンク・アドレス 1
ESC_GPI12	10			I	EtherCAT 汎用入力 12
FSIRXB_CLK	13			I	FSIRX-B 入力クロック
ENET_MII_RX_DV	14			I	EMAC MII 受信データ有効 (または) RMII キャリア・センス / 受信データ有効
GPIO113	0、4、8、12	N4		I/O	汎用入出力 113
EMIF2_CAS	3			O	外部メモリ・インターフェイス 2 列アドレス・ストロープ
ESC_GPI13	10			I	EtherCAT 汎用入力 13
ENET_MII_RX_ERR	14			I	EMAC MII / RMII 受信エラー
GPIO114	0、4、8、12	N3		I/O	汎用入出力 114
EMIF2_RAS	3			O	外部メモリ・インターフェイス 2 行アドレス・ストロープ
ESC_GPI14	10			I	EtherCAT 汎用入力 14
ENET_MII_RX_DATA0	14			I	EMAC MII / RMII 受信データ 0
GPIO115	0、4、8、12	V12		I/O	汎用入出力 115
EMIF2_CS0n	3			O	外部メモリ・インターフェイス 2 チップ・セレクト 0
OUTPUTXBAR5	5			O	出力クロスバー出力 5
ESC_GPI15	10			I	EtherCAT 汎用入力 15
FSIRXC_D0	13			I	FSIRX-C データ入力 0
ENET_MII_RX_DATA1	14			I	EMAC MII / RMII 受信データ 1

表 6-1. ピン属性 (continued)

信号名	多重化位置	337	176	ピンの種類	説明
GPIO116	0, 4, 8, 12	W10		I/O	汎用入出力 116
EMIF2_CS2n	3			O	外部メモリ・インターフェイス 2 チップ・セレクト 2
OUTPUTXBAR6	5			O	出力クロスバー出力 6
ESC_GPI16	10			I	EtherCAT 汎用入力 16
FSIRXC_D1	13			I	FSIRX-C データ入力 1
ENET_MII_RX_DATA2	14			I	EMAC MII 受信データ 2
GPIO117	0, 4, 8, 12	U12		I/O	汎用入出力 117
EMIF2_SDCKE	3			O	外部メモリ・インターフェイス 2 SDRAM クロック・イネーブル
ESC_GPI17	10			I	EtherCAT 汎用入力 17
FSIRXC_CLK	13			I	FSIRX-C 入力クロック
ENET_MII_RX_DATA3	14			I	EMAC MII 受信データ 3
GPIO118	0, 4, 8, 12	T12		I/O	汎用入出力 118
EMIF2_CLK	3			O	外部メモリ・インターフェイス 2 クロック
ESC_GPI18	10			I	EtherCAT 汎用入力 18
FSIRXD_D0	13			I	FSIRX-D データ入力 0
ENET_MII_TX_EN	14			O	EMAC MII / RMII 送信イネーブル
GPIO119	0, 4, 8, 12	T15		I/O	汎用入出力 119
EMIF2_RNW	3			O	外部メモリ・インターフェイス 2 読み取り、非書き込み
ESC_GPI19	10			I	EtherCAT 汎用入力 19
FSIRXD_D1	13			I	FSIRX-D データ入力 1
ENET_MII_TX_ERR	14			O	EMAC MII 送信エラー
GPIO120	0, 4, 8, 12	U15		I/O	汎用入出力 120
EMIF2_WEn	3			O	外部メモリ・インターフェイス 2 書き込みイネーブル
ESC_GPI20	10			I	EtherCAT 汎用入力 20
FSIRXD_CLK	13			I	FSIRX-D 入力クロック
ENET_MII_TX_CLK	14			I	EMAC MII 送信クロック
GPIO121	0, 4, 8, 12	W16		I/O	汎用入出力 121
EMIF2_OEn	3			O	外部メモリ・インターフェイス 2 出力イネーブル
ESC_GPI21	10			I	EtherCAT 汎用入力 21
FSIRXE_D0	13			I	FSIRX-E データ入力 0
ENET_MII_TX_DATA0	14			O	EMAC MII / RMII 送信データ 0
GPIO122	0, 4, 8, 12	T8		I/O	汎用入出力 122
EMIF2_D15	3			I/O	外部メモリ・インターフェイス 2 データ・ライン 15
SPIC_SIMO	6			I/O	SPI-C スレーブ入力、マスタ出力 (SIMO)
SD1_D1	7			I	SDFM-1 チャンネル 1 データ入力
ESC_GPI22	10			I	EtherCAT 汎用入力 22
ENET_MII_TX_DATA1	14			O	EMAC MII / RMII 送信データ 1
GPIO123	0, 4, 8, 12	U8		I/O	汎用入出力 123
EMIF2_D14	3			I/O	外部メモリ・インターフェイス 2 データ・ライン 14
SPIC_SOMI	6			I/O	SPI-C スレーブ出力、マスタ入力 (SOMI)
SD1_C1	7			I	SDFM-1 チャンネル 1 クロック入力
ESC_GPI23	10			I	EtherCAT 汎用入力 23
ENET_MII_TX_DATA2	14			O	EMAC MII 送信データ 2

表 6-1. ピン属性 (continued)

信号名	多重化位置	337	176	ピンの種類	説明
GPIO124	0、4、8、12	V8		I/O	汎用入出力 124
EMIF2_D13	3			I/O	外部メモリ・インターフェイス 2 データ・ライン 13
SPIC_CLK	6			I/O	SPI-C クロック
SD1_D2	7			I	SDFM-1 チャンネル 2 データ入力
ESC_GPI24	10			I	EtherCAT 汎用入力 24
ENET_MII_TX_DATA3	14			O	EMAC MII 送信データ 3
GPIO125	0、4、8、12	T9		I/O	汎用入出力 125
EMIF2_D12	3			I/O	外部メモリ・インターフェイス 2 データ・ライン 12
SPIC_STEn	6			I/O	SPI-C スレーブ送信イネーブル (STE)
SD1_C2	7			I	SDFM-1 チャンネル 2 クロック入力
ESC_GPI25	10			I	EtherCAT 汎用入力 25
FSIRXE_D1	13			I	FSIRX-E データ入力 1
ESC_LATCH0	14	I	EtherCAT ラッチ信号入力 0		
GPIO126	0、4、8、12	U9		I/O	汎用入出力 126
EMIF2_D11	3			I/O	外部メモリ・インターフェイス 2 データ・ライン 11
SD1_D3	7			I	SDFM-1 チャンネル 3 データ入力
ESC_GPI26	10			I	EtherCAT 汎用入力 26
FSIRXE_CLK	13			I	FSIRX-E 入力クロック
ESC_LATCH1	14			I	EtherCAT ラッチ信号入力 1
GPIO127	0、4、8、12	V9		I/O	汎用入出力 127
EMIF2_D10	3			I/O	外部メモリ・インターフェイス 2 データ・ライン 10
SD1_C3	7			I	SDFM-1 チャンネル 3 クロック入力
ESC_GPI27	10			I	EtherCAT 汎用入力 27
ESC_SYNC0	14			O	EtherCAT 同期信号出力 0
GPIO128	0、4、8、12	W9		I/O	汎用入出力 128
EMIF2_D9	3			I/O	外部メモリ・インターフェイス 2 データ・ライン 9
SD1_D4	7			I	SDFM-1 チャンネル 4 データ入力
ESC_GPI28	10			I	EtherCAT 汎用入力 28
ESC_SYNC1	14			O	EtherCAT 同期信号出力 1
GPIO129	0、4、8、12	T10		I/O	汎用入出力 129
EMIF2_D8	3			I/O	外部メモリ・インターフェイス 2 データ・ライン 8
SD1_C4	7			I	SDFM-1 チャンネル 4 クロック入力
ESC_GPI29	10			I	EtherCAT 汎用入力 29
ESC_TX1_ENA	14			O	EtherCAT MII 送信 1 イネーブル
GPIO130	0、4、8、12	U10		I/O	汎用入出力 130
EMIF2_D7	3			I/O	外部メモリ・インターフェイス 2 データ・ライン 7
SD2_D1	7			I	SDFM-2 チャンネル 1 データ入力
ESC_GPI30	10			I	EtherCAT 汎用入力 30
ESC_TX1_CLK	14			I	EtherCAT MII 送信 1 クロック

表 6-1. ピン属性 (continued)

信号名	多重化位置	337	176	ピンの種類	説明
GPIO131	0、4、8、12			I/O	汎用入出力 131
EMIF2_D6	3			I/O	外部メモリ・インターフェイス 2 データ・ライン 6
SD2_C1	7	V10		I	SDFM-2 チャンネル 1 クロック入力
ESC_GPI31	10			I	EtherCAT 汎用入力 31
ESC_TX1_DATA0	14			O	EtherCAT MII 送信 1 データ 0
GPIO132	0、4、8、12			I/O	汎用入出力 132
EMIF2_D5	3			I/O	外部メモリ・インターフェイス 2 データ・ライン 5
SD2_D2	7	W18		I	SDFM-2 チャンネル 2 データ入力
ESC_GPO0	10			O	EtherCAT 汎用出力 0
ESC_TX1_DATA1	14			O	EtherCAT MII 送信 1 データ 1
GPIO133	0、4、8、12			I/O	汎用入出力 133
SD2_C2	7	G18	118	I	SDFM-2 チャンネル 2 クロック入力
AUXCLKIN	ALT			I	補助クロック入力
GPIO134	0、4、8、12			I/O	汎用入出力 134
EMIF2_D4	3			I/O	外部メモリ・インターフェイス 2 データ・ライン 4
SD2_D3	7	V18		I	SDFM-2 チャンネル 3 データ入力
ESC_GPO1	10			O	EtherCAT 汎用出力 1
ESC_TX1_DATA2	14			O	EtherCAT MII 送信 1 データ 2
GPIO135	0、4、8、12			I/O	汎用入出力 135
EMIF2_D3	3			I/O	外部メモリ・インターフェイス 2 データ・ライン 3
SCIA_TX	6			O	SCI-A 送信データ
SD2_C3	7	U18		I	SDFM-2 チャンネル 3 クロック入力
ESC_GPO2	10			O	EtherCAT 汎用出力 2
ESC_TX1_DATA3	14			O	EtherCAT MII 送信 1 データ 3
GPIO136	0、4、8、12			I/O	汎用入出力 136
EMIF2_D2	3			I/O	外部メモリ・インターフェイス 2 データ・ライン 2
SCIA_RX	6			I	SCI-A 受信データ
SD2_D4	7	T17		I	SDFM-2 チャンネル 4 データ入力
ESC_GPO3	10			O	EtherCAT 汎用出力 3
ESC_RX1_DV	14			I	EtherCAT MII 受信 1 データ有効
GPIO137	0、4、8、12			I/O	汎用入出力 137
EPWM13A	1			O	ePWM-13 出力 A (ePWM1-8 で高分解能を利用可能)
EMIF2_D1	3			I/O	外部メモリ・インターフェイス 2 データ・ライン 1
SCIB_TX	6	T18		O	SCI-B 送信データ
SD2_C4	7			I	SDFM-2 チャンネル 4 クロック入力
ESC_GPO4	10			O	EtherCAT 汎用出力 4
ESC_RX1_CLK	14			I	EtherCAT MII 受信 1 クロック
GPIO138	0、4、8、12			I/O	汎用入出力 138
EPWM13B	1			O	ePWM-13 出力 B (ePWM1-8 で高分解能を利用可能)
EMIF2_D0	3			I/O	外部メモリ・インターフェイス 2 データ・ライン 0
SCIB_RX	6	T19		I	SCI-B 受信データ
ESC_GPO5	10			O	EtherCAT 汎用出力 5
ESC_RX1_ERR	14			I	EtherCAT MII 受信 1 エラー

表 6-1. ピン属性 (continued)

信号名	多重化位置	337	176	ピンの種類	説明
GPIO139	0、4、8、12			I/O	汎用入出力 139
EPWM14A	1	N19		O	ePWM-14 出力 A (ePWM1-8 で高分解能を利用可能)
SCIC_RX	6		I	SCI-C 受信データ	
ESC_GPO6	10		O	EtherCAT 汎用出力 6	
ESC_RX1_DATA0	14		I	EtherCAT MII 受信 1 データ 0	
GPIO140	0、4、8、12				I/O
EPWM14B	1	M19		O	ePWM-14 出力 B (ePWM1-8 で高分解能を利用可能)
SCIC_TX	6		O	SCI-C 送信データ	
ESC_GPO7	10		O	EtherCAT 汎用出力 7	
ESC_RX1_DATA1	14		I	EtherCAT MII 受信 1 データ 1	
GPIO141	0、4、8、12				I/O
EPWM15A	1	M18		O	ePWM-15 出力 A (ePWM1-8 で高分解能を利用可能)
SCID_RX	6		I	SCI-D 受信データ	
ESC_GPO8	10		O	EtherCAT 汎用出力 8	
ESC_RX1_DATA2	14		I	EtherCAT MII 受信 1 データ 2	
GPIO142	0、4、8、12				I/O
EPWM15B	1	L19		O	ePWM-15 出力 B (ePWM1-8 で高分解能を利用可能)
SCID_TX	6		O	SCI-D 送信データ	
ESC_GPO9	10		O	EtherCAT 汎用出力 9	
ESC_RX1_DATA3	14		I	EtherCAT MII 受信 1 データ 3	
GPIO143	0、4、8、12				I/O
EPWM16A	1	F18		O	ePWM-16 出力 A (ePWM1-8 で高分解能を利用可能)
ESC_GPO10	10		O	EtherCAT 汎用出力 10	
ESC_LED_LINK0_ACTIVE	14		O	EtherCAT リンク 0 アクティブ	
GPIO144	0、4、8、12				I/O
EPWM16B	1	F17		O	ePWM-16 出力 B (ePWM1-8 で高分解能を利用可能)
ESC_GPO11	10		O	EtherCAT 汎用出力 11	
ESC_LED_LINK1_ACTIVE	14		O	EtherCAT リンク 1 アクティブ	
GPIO145	0、4、8、12				I/O
EPWM1A	1	E17		O	ePWM-1 出力 A (ePWM1-8 で高分解能を利用可能)
ESC_GPO12	10		O	EtherCAT 汎用出力 12	
ESC_LED_ERR	14		O	EtherCAT エラー LED	
GPIO146	0、4、8、12			I/O	汎用入出力 146
EPWM1B	1	D18		O	ePWM-1 出力 B (ePWM1-8 で高分解能を利用可能)
ESC_GPO13	10		O	EtherCAT 汎用出力 13	
ESC_LED_RUN	14		O	EtherCAT 実行 LED	
GPIO147	0、4、8、12			I/O	汎用入出力 147
EPWM2A	1	D17		O	ePWM-2 出力 A (ePWM1-8 で高分解能を利用可能)
ESC_GPO14	10		O	EtherCAT 汎用出力 14	
ESC_LED_STATE_RUN	14		O	EtherCAT 状態実行	

表 6-1. ピン属性 (continued)

信号名	多重化位置	337	176	ピンの種類	説明
GPIO148	0、4、8、12	D14		I/O	汎用入出力 148
EPWM2B	1			O	ePWM-2 出力 B (ePWM1-8 で高分解能を利用可能)
ESC_GPO15	10			O	EtherCAT 汎用出力 15
ESC_PHY0_LINKSTATUS	14			I	EtherCAT PHY-0 リンク・ステータス
GPIO149	0、4、8、12	A13		I/O	汎用入出力 149
EPWM3A	1			O	ePWM-3 出力 A (ePWM1-8 で高分解能を利用可能)
ESC_GPO16	10			O	EtherCAT 汎用出力 16
ESC_PHY1_LINKSTATUS	14			I	EtherCAT PHY-1 リンク・ステータス
GPIO150	0、4、8、12	B13		I/O	汎用入出力 150
EPWM3B	1			O	ePWM-3 出力 B (ePWM1-8 で高分解能を利用可能)
ESC_GPO17	10			O	EtherCAT 汎用出力 17
ESC_I2C_SDA	14			I/OC	EtherCAT I2C データ
GPIO151	0、4、8、12	C13		I/O	汎用入出力 151
EPWM4A	1			O	ePWM-4 出力 A (ePWM1-8 で高分解能を利用可能)
ESC_GPO18	10			O	EtherCAT 汎用出力 18
ESC_I2C_SCL	14			I/OC	EtherCAT I2C クロック
GPIO152	0、4、8、12	D13		I/O	汎用入出力 152
EPWM4B	1			O	ePWM-4 出力 B (ePWM1-8 で高分解能を利用可能)
ESC_GPO19	10			O	EtherCAT 汎用出力 19
ESC_MDIO_CLK	14			O	EtherCAT MDIO クロック
GPIO153	0、4、8、12	A12		I/O	汎用入出力 153
EPWM5A	1			O	ePWM-5 出力 A (ePWM1-8 で高分解能を利用可能)
ESC_GPO20	10			O	EtherCAT 汎用出力 20
ESC_MDIO_DATA	14			I/O	EtherCAT MDIO データ
GPIO154	0、4、8、12	B12		I/O	汎用入出力 154
EPWM5B	1			O	ePWM-5 出力 B (ePWM1-8 で高分解能を利用可能)
ESC_GPO21	10			O	EtherCAT 汎用出力 21
ESC_PHY_CLK	14			O	EtherCAT PHY クロック
GPIO155	0、4、8、12	C12		I/O	汎用入出力 155
EPWM6A	1			O	ePWM-6 出力 A (ePWM1-8 で高分解能を利用可能)
ESC_GPO22	10			O	EtherCAT 汎用出力 22
ESC_PHY_RESETh	14			O	EtherCAT PHY アクティブ Low リセット
GPIO156	0、4、8、12	D12		I/O	汎用入出力 156
EPWM6B	1			O	ePWM-6 出力 B (ePWM1-8 で高分解能を利用可能)
ESC_GPO23	10			O	EtherCAT 汎用出力 23
ESC_TX0_ENA	14			O	EtherCAT MII 送信 0 イネーブル
GPIO157	0、4、8、12	B10		I/O	汎用入出力 157
EPWM7A	1			O	ePWM-7 出力 A (ePWM1-8 で高分解能を利用可能)
ESC_GPO24	10			O	EtherCAT 汎用出力 24
ESC_TX0_CLK	14			I	EtherCAT MII 送信 0 クロック

表 6-1. ピン属性 (continued)

信号名	多重化位置	337	176	ピンの種類	説明
GPIO158	0、4、8、12	C10		I/O	汎用入出力 158
EPWM7B	1			O	ePWM-7 出力 B (ePWM1-8 で高分解能を利用可能)
ESC_GPO25	10			O	EtherCAT 汎用出力 25
ESC_TX0_DATA0	14			O	EtherCAT MII 送信 0 データ 0
GPIO159	0、4、8、12	D10		I/O	汎用入出力 159
EPWM8A	1			O	ePWM-8 出力 A (ePWM1-8 で高分解能を利用可能)
ESC_GPO26	10			O	EtherCAT 汎用出力 26
ESC_TX0_DATA1	14			O	EtherCAT MII 送信 0 データ 1
GPIO160	0、4、8、12	B9		I/O	汎用入出力 160
EPWM8B	1			O	ePWM-8 出力 B (ePWM1-8 で高分解能を利用可能)
ESC_GPO27	10			O	EtherCAT 汎用出力 27
ESC_TX0_DATA2	14			O	EtherCAT MII 送信 0 データ 2
GPIO161	0、4、8、12	C9		I/O	汎用入出力 161
EPWM9A	1			O	ePWM-9 出力 A (ePWM1-8 で高分解能を利用可能)
ESC_GPO28	10			O	EtherCAT 汎用出力 28
ESC_TX0_DATA3	14			O	EtherCAT MII 送信 0 データ 3
GPIO162	0、4、8、12	D9		I/O	汎用入出力 162
EPWM9B	1			O	ePWM-9 出力 B (ePWM1-8 で高分解能を利用可能)
ESC_GPO29	10			O	EtherCAT 汎用出力 29
ESC_RX0_DV	14			I	EtherCAT MII 受信 0 データ有効
GPIO163	0、4、8、12	A8		I/O	汎用入出力 163
EPWM10A	1			O	ePWM-10 出力 A (ePWM1-8 で高分解能を利用可能)
ESC_GPO30	10			O	EtherCAT 汎用出力 30
ESC_RX0_CLK	14			I	EtherCAT MII 受信 0 クロック
GPIO164	0、4、8、12	B8		I/O	汎用入出力 164
EPWM10B	1			O	ePWM-10 出力 B (ePWM1-8 で高分解能を利用可能)
ESC_GPO31	10			O	EtherCAT 汎用出力 31
ESC_RX0_ERR	14			I	EtherCAT MII 受信 0 エラー
GPIO165	0、4、8、12	C5		I/O	汎用入出力 165
EPWM11A	1			O	ePWM-11 出力 A (ePWM1-8 で高分解能を利用可能)
MDXA	10			O	McBSP-A 送信シリアル・データ
ESC_RX0_DATA0	14			I	EtherCAT MII 受信 0 データ 0
GPIO166	0、4、8、12	D5		I/O	汎用入出力 166
EPWM11B	1			O	ePWM-11 出力 B (ePWM1-8 で高分解能を利用可能)
MDRA	10			I	McBSP-A 受信シリアル・データ
ESC_RX0_DATA1	14			I	EtherCAT MII 受信 0 データ 1
GPIO167	0、4、8、12	C4		I/O	汎用入出力 167
EPWM12A	1			O	ePWM-12 出力 A (ePWM1-8 で高分解能を利用可能)
MCLKXA	10			O	McBSP-A 送信クロック
ESC_RX0_DATA2	14			I	EtherCAT MII 受信 0 データ 2

表 6-1. ピン属性 (continued)

信号名	多重化位置	337	176	ピンの種類	説明
GPIO168	0、4、8、12	D4		I/O	汎用入出力 168
EPWM12B	1			O	ePWM-12 出力 B (ePWM1-8 で高分解能を利用可能)
MFSXA	10			O	McBSP-A 送信フレーム同期
ESC_RX0_DATA3	14			I	EtherCAT MII 受信 0 データ 3
テスト、JTAG、リセット					
ERRORSTS		U19	92	O	エラー・ステータス出力。この信号を使用する場合は、外部プルダウンが必要です。
FLT1		W12	73	I/O	フラッシュ・テスト・ピン 1。テキサス・インスツルメンツ用に予約済みです。未接続のままにする必要があります。
FLT2		V13	74	I/O	フラッシュ・テスト・ピン 2。テキサス・インスツルメンツ用に予約済みです。未接続のままにする必要があります。
NC1		H4			非接続。このピンは内部でデバイスに接続されていません。このピンは、オープンのままにすることも、最大動作条件内の任意の電圧に接続することもできます。
NC2		J18	119		非接続。このピンはデバイス内部では接続されておらず、オープンのままにすることも、VSS または VDDIO に接続することもできます。注: 内部電圧レギュレータ (VREG) を備えた他の C2000 デバイスでは、このピンは VREGENZ (内部電圧レギュレータがイネーブル) になります。C2000 デバイス間で PCB 互換性を有効にするには、このピンを VDDIO (3.3V) に接続する必要があります。これにより、他のデバイスに VREG が存在する場合、内部 VREG がディセーブルされ、このデバイスで使用する必要がある外部 VREG と競合しないことが保証されます。
TCK		V15	81	I	内部プルアップ付き JTAG テスト・クロック。
TDI		W13	77	I	内部プルアップ付き JTAG テスト・データ入力 (TDI)。TDI は、TCK の立ち上がりエッジで、選択したレジスタ (命令またはデータ) にシフトインされます。
TDO		W15	78	O	JTAG スキャンアウト、テスト・データ出力 (TDO)。選択したレジスタ (命令またはデータ) の内容は、TCK の立ち下がりエッジで、TDO からシフトアウトされます。
TMS		W14	80	I	内部プルアップ付き JTAG テスト・モード選択 (TMS)。このシリアル制御入力は、TCK の立ち上がりエッジで、TAP コントローラにシフトインされる。通常動作時に JTAG をリセット状態に維持するために、基板上で TMS ピンと VDDIO の間に外部プルアップ抵抗 (推奨 2.2kΩ) を配置する必要があります。
TRSTn		V14	79	I	内部プルダウン付き JTAG テスト・リセット。TRST を HIGH に駆動すると、スキャン・システムがデバイスの動作を制御するようになります。この信号が LOW に駆動されると、デバイスは機能モードで動作し、テスト・リセット信号は無視されます。注: 通常のデバイス動作中は常に TRST を LOW に維持する必要があります。そのため、ノイズ・スパイクから保護するために、このピンには外部プルダウン抵抗が必要です。この抵抗の値は、JTAG デバッグ・プローブが TRST ピンを HIGH に駆動できる限り、できるだけ小さくする必要があります。通常、2.2kΩ～10kΩ の抵抗で十分な保護が得られます。抵抗の値はアプリケーションに依存するため、テキサス・インスツルメンツでは、デバッグ・プローブとアプリケーションの適切な動作について、各ターゲット・ボードで検証することをお勧めします。このピンには、50ns (公称) のグリッチ・フィルタが内蔵されています。

表 6-1. ピン属性 (continued)

信号名	多重化位置	337	176	ピンの種類	説明
X1		G19	123	I	水晶発振器入力またはシングルエンド・クロック入力。水晶発振器をイネーブルにする前に、デバイス初期化ソフトウェアでこのピンを設定する必要がある。この発振器を使用するには、X1とX2の間に水晶振動子を接続する必要がある。このピンを使って、シングルエンドの 3.3V レベル・クロックを供給することもできる。
X2		J19	121	O	水晶発振器出力。
XRSn		F19	124	I/OD	デバイス・リセット (IN) およびウォッチドッグ・リセット (OUT)。電源投入時、このピンはデバイスによって LOW に駆動される。また、外部回路がこのピンを駆動して、デバイス・リセットをアサートすることもできる。ウォッチドッグ・リセットが発生した場合、MCU もこのピンを LOW に駆動する。ウォッチドッグ・リセット時には、512 OSCCLK サイクルのウォッチドッグ・リセット期間にわたって、XRSn ピンが LOW に駆動されます。XRSn と VDDIO の間に 2.2kΩ~10kΩ の抵抗を配置する必要があります。ノイズ・フィルタリングのために XRS と VSS の間にコンデンサを配置する場合、容量は 100nF 以下にする必要があります。これらの値は、ウォッチドッグ・リセットがアサートされたときに、ウォッチドッグが 512 OSCCLK サイクル以内に XRSn ピンを VOL に正しく駆動できるように決められています。このピンの出力バッファは、内部プルアップ付きのオープン・ドレイン素子です。このピンが外部デバイスによって駆動される場合は、オープン・ドレイン・デバイスを使用して駆動する必要があります。
電源およびグランド					
VDD		E9、 E11、F9、 F11、 G14、 G15、 J14、 J15、K5、 K6、 P10、 P13、 R10、 R13	61、76、 117、 126、 137、 153、 158、 169、16、 21		1.2V デジタル・ロジック電源ピン。各 VDD ピンの近くにデカップリング・コンデンサを配置することを推奨します。この合計容量は、少なくとも約 20μF になるようにします。デカップリング容量の正確な値は、システムの電圧レギュレーション・ソリューションによって決定する必要があります。VDD と VSS の間に単一の 56Ω 抵抗 (許容誤差 10%) を配置する必要があります。この抵抗は、内部 VDD3VFL から VDD への電流源を消費し、低消費電力デバイス状態での VDD 電圧の上昇を回避するための負荷を提供します。
VDD3VFL		R11、 R12	72		3.3V フラッシュ電源ピン。各ピンに、最小 0.1μF のデカップリング・コンデンサを配置します。
VDDA		P6、R6	54、36		3.3V アナログ電源ピン。各ピンと VSSA の間に、最小 2.2μF のデカップリング・コンデンサを配置します。

表 6-1. ピン属性 (continued)

信号名	多重化位置	337	176	ピンの種類	説明
VDDIO		A9、 A18、 B1、E7、 E10、 E13、 F7、F10、 F13、 G5、G6、 H5、H6、 L14、 L15、 M1、M5、 M6、 N14、 N15、 P9、R9、 V19、 W8、F4、 G4、 E16、F16	62、68、 75、82、 88、91、 99、106、 114、 116、 127、 138、 147、 152、 159、 168、3、 11、15、 20、26		3.3V デジタル I/O 電源ピン。各ピンに、最小 0.1μF のデカップリング・コンデンサを配置します。
VDDOSC		H16、 H17	120、125		3.3V オンチップ水晶発振器 (X1 および X2) と 2 つのゼロピン内部発振器 (INTOSC) の電源ピン。各ピンに、最小 0.1μF のデカップリング・コンデンサを配置します。

表 6-1. ピン属性 (continued)

信号名	多重化位置	337	176	ピンの種類	説明
VSS		A1、 A10、 A19、 E5、E6、 E8、 E12、 E14、 E15、 F5、F6、 F8、F12、 F14、 F15、 G16、 G17、 H8、H9、 H10、 H11、 H12、 H14、 H15、J5、 J6、J8、 J9、J10、 J11、 J12、K8、 K9、 K10、 K11、 K12、 K14、 K15、L5、 L6、L8、 L9、L10、 L11、 L12、 L18、 M8、M9、 M10、 M11、 M12、 M14、 M15、 N1、N5、 N6、P7、 P8、 P11、 P12、 P14、 P15、 R7、R8、 R14、 R15、 W7、W19	PAD		デバイスのグラウンド。クワッド・フラットパック (QFP) の場合、パッケージの底面にある PowerPAD を PCB のグラウンド・プレーンに半田付けする必要があります。
VSSA		P1、P5、 R5、V7、 W1	52、34		アナログ GND

表 6-1. ピン属性 (continued)

信号名	多重化位置	337	176	ピンの種類	説明
VSSOSC		H18、 H19	122		水晶発振器 (X1 および X2) のグランド・ピン。外部水晶振動子を使用する場合、このピンを基板のグランドに接続しないでください。代わりに、外部水晶発振器回路のグランド基準電圧に接続します。外部水晶振動子を使用しない場合は、このピンを基板のグランドに接続できます。

6.3 信号の説明

6.3.1 アナログ信号

表 6-2. アナログ信号

信号名	説明	ピンの種類	GPIO ピン	337 BGA ピン	176 ピンの PIN
ADCIN14	すべての ADC への入力 14。このピンは、汎用 ADCIN ピンとして使用できます。また、外部基準電圧からすべての ADC を (シングルエンドまたは差動) 一緒に較正するために使用することもできます。	I		T4	44
ADCIN15	すべての ADC への入力 15。このピンは、汎用 ADCIN ピンとして使用できます。また、外部基準電圧からすべての ADC を (シングルエンドまたは差動) 一緒に較正するために使用することもできます。	I		U4	45
ADCINA0	ADC-A 入力 0。このピンには、ADC 入力または DAC 出力モードの両方で 50kΩ の内部プルダウンが付いており、ディセーブルできません。	I		U1	43
ADCINA1	ADC-A 入力 1。このピンには、ADC 入力または DAC 出力モードの両方で 50kΩ の内部プルダウンが付いており、ディセーブルできません。	I		T1	42
ADCINA2	ADC-A 入力 2	I		U2	41
ADCINA3	ADC-A 入力 3	I		T2	40
ADCINA4	ADC-A 入力 4	I		U3	39
ADCINA5	ADC-A 入力 5	I		T3	38
ADCINB0	ADC-B 入力 0。このピンは、ADC 入力または DAC リファレンスのいずれかに使われますが、VSSA に対して 100pF のコンデンサが付いており、ディセーブルすることはできません。このピンをオンチップ DAC のリファレンス電圧として使用する場合は、このピンに少なくとも 1μF のコンデンサを配置します。	I		V2	46
ADCINB1	ADC-B 入力 1。このピンには、ADC 入力または DAC 出力モードの両方で 50kΩ の内部プルダウンが付いており、ディセーブルできません。	I		W2	47
ADCINB2	ADC-B 入力 2	I		V3	48
ADCINB3	ADC-B 入力 3	I		W3	49
ADCINB4	ADC-B 入力 4	I		V4	
ADCINB5	ADC-B 入力 5	I		W4	
ADCINC2	ADC-C 入力 2	I		R3	31
ADCINC3	ADC-C 入力 3	I		P3	30
ADCINC4	ADC-C 入力 4	I		R4	29
ADCINC5	ADC-C 入力 5	I		P4	
ADCIND0	ADC-D 入力 0	I		T5	56
ADCIND1	ADC-D 入力 1	I		U5	57
ADCIND2	ADC-D 入力 2	I		T6	58
ADCIND3	ADC-D 入力 3	I		U6	59
ADCIND4	ADC-D 入力 4	I		T7	60
ADCIND5	ADC-D 入力 5	I		U7	
CMPIN1N	コンパレータ 1 負入力	I		T2	40
CMPIN1P	コンパレータ 1 正入力	I		U2	41
CMPIN2N	コンパレータ 2 負入力	I		T3	38

表 6-2. アナログ信号 (continued)

信号名	説明	ピンの種類	GPIO ピン	337 BGA ピン	176 ピンの PIN
CMPIN2P	コンパレータ 2 正入力	I		U3	39
CMPIN3N	コンパレータ 3 負入力	I		W3	49
CMPIN3P	コンパレータ 3 正入力	I		V3	48
CMPIN4N	コンパレータ 4 負入力	I		U4	45
CMPIN4P	コンパレータ 4 正入力	I		T4	44
CMPIN5N	コンパレータ 5 負入力	I		P4	
CMPIN5P	コンパレータ 5 正入力	I		R4	29
CMPIN6N	コンパレータ 6 負入力	I		P3	30
CMPIN6P	コンパレータ 6 正入力	I		R3	31
CMPIN7N	コンパレータ 7 負入力	I		U5	57
CMPIN7P	コンパレータ 7 正入力	I		T5	56
CMPIN8N	コンパレータ 8 負入力	I		U6	59
CMPIN8P	コンパレータ 8 正入力	I		T6	58
DACOUTA	バッファ付き DAC-A 出力。	O		U1	43
DACOUTB	バッファ付き DAC-B 出力。	O		T1	42
DACOUTC	バッファ付き DAC-C 出力。	O		W2	47
VDAC	オンチップ DAC の外部リファレンス電圧 (オプション)。	I		V2	46
VREFHIA	ADC-A の高い基準電圧。この電圧は、ピンに対して外部回路から駆動する必要があります。このピンには、12 ビット・モードの場合 2.2 μ F 以上、16 ビット・モードの場合 22 μ F 以上のコンデンサを配置します。このコンデンサは、VREFHIA ピンと VREFFLOA ピンの間で、できるだけデバイスに近い場所に配置する必要があります。注:このピンには、外部に負荷を接続しないでください	I		V1	37
VREFHIB	ADC-B の高い基準電圧。この電圧は、ピンに対して外部回路から駆動する必要があります。このピンには、12 ビット・モードの場合 2.2 μ F 以上、16 ビット・モードの場合 22 μ F 以上のコンデンサを配置します。このコンデンサは、VREFHIB ピンと VREFLOB ピンの間で、できるだけデバイスに近い場所に配置する必要があります。注:このピンには、外部に負荷を接続しないでください	I		W5	53
VREFHIC	ADC-C の高い基準電圧。この電圧は、ピンに対して外部回路から駆動する必要があります。このピンには、12 ビット・モードの場合 2.2 μ F 以上、16 ビット・モードの場合 22 μ F 以上のコンデンサを配置します。このコンデンサは、VREFHIC ピンと VREFLOC ピンの間で、できるだけデバイスに近い場所に配置する必要があります。注:このピンには、外部に負荷を接続しないでください	I		R1	35
VREFHID	ADC-D の高い基準電圧。この電圧は、ピンに対して外部回路から駆動する必要があります。このピンには、12 ビット・モードの場合 2.2 μ F 以上、16 ビット・モードの場合 22 μ F 以上のコンデンサを配置します。このコンデンサは、VREFHID ピンと VREFLOD ピンの間で、できるだけデバイスに近い場所に配置する必要があります。注:このピンには、外部に負荷を接続しないでください	I		V5	55
VREFLOA	ADC-A の低い基準電圧	I		R2	33
VREFLOB	ADC-B の低い基準電圧	I		V6	50
VREFLOC	ADC-C の低い基準電圧	I		P2	32
VREFLOD	ADC-D の低い基準電圧	I		W6	51

6.3.2 デジタル信号

表 6-3. デジタル信号

信号名	説明	ピンの種類	GPIO ピン	337 BGA ピン	176 ピンの PIN
ADCSOCAO	外部 ADC への ADC 変換開始 A 出力 (ePWM モジュールから)	O	8	G2	18
ADCSOCBO	外部 ADC への ADC 変換開始 B 出力 (ePWM モジュールから)	O	10	B2	1
AUXCLKIN	補助クロック入力	I	133	G18	118
CANA_RX	CAN-A 受信	I	18, 30, 36, 5, 61, 62, 70	A17, D7, E3, J17, L16, T11, V16	10, 107, 108, 135, 165, 63, 83
CANA_TX	CAN-A 送信	O	19, 31, 37, 4, 62, 63, 71	B17, C7, E4, J16, J17, U11, U16	108, 109, 12, 136, 164, 66, 84
CANB_RX	CAN-B 受信	I	10, 13, 17, 21, 39, 7, 73	A16, B2, B6, D1, E2, F3, W17	1, 14, 140, 167, 5, 86, 9
CANB_TX	CAN-B 送信	O	12, 16, 20, 38, 6, 72, 8	A6, B16, C2, E1, F2, G2, T16	13, 139, 166, 18, 4, 8, 85
CLB_OUTPUTXBAR1	CLB 出力クロスバー出力 1	O	32, 91	B5, U13	173, 67
CLB_OUTPUTXBAR2	CLB 出力クロスバー出力 2	O	33, 92	A4, T13	174, 69
CLB_OUTPUTXBAR3	CLB 出力クロスバー出力 3	O	34, 93	B4, U14	175, 70
CLB_OUTPUTXBAR4	CLB 出力クロスバー出力 4	O	35, 94	A3, T14	176, 71
CLB_OUTPUTXBAR5	CLB 出力クロスバー出力 5	O	36, 95	B3, V16	83
CLB_OUTPUTXBAR6	CLB 出力クロスバー出力 6	O	37, 96	C3, U16	84
CLB_OUTPUTXBAR7	CLB 出力クロスバー出力 7	O	38, 97	A2, T16	85
CLB_OUTPUTXBAR8	CLB 出力クロスバー出力 8	O	39/98	F1, W17	86
CM-I2CA_SCL	CM-I2C-A オープン・ドレイン双方向クロック	I/OD	1, 105, 32	D8, J3, U13	161, 67
CM-I2CA_SDA	CM-I2C-A オープン・ドレイン双方向データ	I/OD	104, 31	C8, J2, U11	160, 66
EMIF1_CAS	外部メモリ・インターフェイス 1 列アドレス・ストロープ	O	23, 86, 89	C11, D6, K4	156, 171, 23
EMIF1_CLK	外部メモリ・インターフェイス 1 クロック	O	30	T11	63
EMIF1_OEn	外部メモリ・インターフェイス 1 出力イネーブル	O	32, 37	U13, U16	67, 84
EMIF1_RAS	外部メモリ・インターフェイス、1 行のアドレス・ストロープ	O	22, 87, 90	A5, D11, J4	157, 172, 22
EMIF1_RNW	外部メモリ・インターフェイス 1 読み取り、非書き込み	O	31, 33	T13, U11	66, 69
EMIF1_SDCKE	外部メモリ・インターフェイス 1 SDRAM クロック・イネーブル	O	29	W11	65
EMIF1_WAIT	外部メモリ・インターフェイス 1 非同期 SRAM ウェイト	I	36	V16	83
EMIF1_WEn	外部メモリ・インターフェイス 1 書き込みイネーブル	O	31	U11	66
EMIF2_CAS	外部メモリ・インターフェイス 2 列アドレス・ストロープ	O	113	N4	

表 6-3. デジタル信号 (continued)

信号名	説明	ピンの種類	GPIO ピン	337 BGA ピン	176 ピンの PIN
EMIF2_CLK	外部メモリ・インターフェイス 2 クロック	O	118	T12	
EMIF2_OEn	外部メモリ・インターフェイス 2 出力イネーブル	O	121	W16	
EMIF2_RAS	外部メモリ・インターフェイス 2 行アドレス・ストロープ	O	114	N3	
EMIF2_RNW	外部メモリ・インターフェイス 2 読み取り、非書き込み	O	119	T15	
EMIF2_SDCKE	外部メモリ・インターフェイス 2 SDRAM クロック・イネーブル	O	117	U12	
EMIF2_WAIT	外部メモリ・インターフェイス 2 非同期 SRAM ウェイト	I	110	M2	
EMIF2_WEn	外部メモリ・インターフェイス 2 書き込みイネーブル	O	120	U15	
EMIF1_A0	外部メモリ・インターフェイス 1 アドレス・ライン 0	O	35, 38	T14, T16	71, 85
EMIF1_A1	外部メモリ・インターフェイス 1 アドレス・ライン 1	O	36, 39	V16, W17	83, 86
EMIF1_A2	外部メモリ・インターフェイス 1 アドレス・ライン 2	O	37, 40	U16, V17	84, 87
EMIF1_A3	外部メモリ・インターフェイス 1 アドレス・ライン 3	O	38, 41	T16, U17	85, 89
EMIF1_A4	外部メモリ・インターフェイス 1 アドレス・ライン 4	O	39, 44	K18, W17	113, 86
EMIF1_A5	外部メモリ・インターフェイス 1 アドレス・ライン 5	O	45, 49	K19, R17	115, 93
EMIF1_A6	外部メモリ・インターフェイス 1 アドレス・ライン 6	O	46, 50	E19, R18	128, 94
EMIF1_A7	外部メモリ・インターフェイス 1 アドレス・ライン 7	O	47, 51	E18, R19	129, 95
EMIF1_A8	外部メモリ・インターフェイス 1 アドレス・ライン 8	O	48, 52	P16, R16	90, 96
EMIF1_A9	外部メモリ・インターフェイス 1 アドレス・ライン 9	O	49, 53	P17, R17	93, 97
EMIF1_A10	外部メモリ・インターフェイス 1 アドレス・ライン 10	O	50, 54	P18, R18	94, 98
EMIF1_A11	外部メモリ・インターフェイス 1 アドレス・ライン 11	O	51	R19	95
EMIF1_A12	外部メモリ・インターフェイス 1 アドレス・ライン 12	O	52	P16	96
EMIF1_A13	外部メモリ・インターフェイス 1 アドレス・ライン 13	O	86	C11	156
EMIF1_A14	外部メモリ・インターフェイス 1 アドレス・ライン 14	O	87	D11	157
EMIF1_A15	外部メモリ・インターフェイス 1 アドレス・ライン 15	O	88	C6	170
EMIF1_A16	外部メモリ・インターフェイス 1 アドレス・ライン 16	O	89	D6	171
EMIF1_A17	外部メモリ・インターフェイス 1 アドレス・ライン 17	O	90	A5	172
EMIF1_A18	外部メモリ・インターフェイス 1 アドレス・ライン 18	O	91	B5	173
EMIF1_A19	外部メモリ・インターフェイス 1 アドレス・ライン 19	O	92	A4	174
EMIF1_BA0	外部メモリ・インターフェイス 1 バンク・アドレス 0	O	20, 33, 93	B4, F2, T13	13, 175, 69
EMIF1_BA1	外部メモリ・インターフェイス 1 バンク・アドレス 1	O	21, 34, 92, 94	A3, A4, F3, U14	14, 174, 176, 70
EMIF1_CS0n	外部メモリ・インターフェイス 1 チップ・セレクト 0	O	32	U13	67
EMIF1_CS2n	外部メモリ・インターフェイス 1 チップ・セレクト 2	O	18, 28, 34	E3, U14, V11	10, 64, 70
EMIF1_CS3n	外部メモリ・インターフェイス 1 チップ・セレクト 3	O	19, 29, 35	E4, T14, W11	12, 65, 71
EMIF1_CS4n	外部メモリ・インターフェイス 1 チップ・セレクト 4	O	28, 30	T11, V11	63, 64
EMIF1_D0	外部メモリ・インターフェイス 1 データ・ライン 0	I/O	55, 85	B11, P19	100, 155
EMIF1_D1	外部メモリ・インターフェイス 1 データ・ライン 1	I/O	56, 83	C14, N16	101, 151
EMIF1_D2	外部メモリ・インターフェイス 1 データ・ライン 2	I/O	57, 82	B14, N18	102, 150
EMIF1_D3	外部メモリ・インターフェイス 1 データ・ライン 3	I/O	58, 81	A14, N17	103, 149

表 6-3. デジタル信号 (continued)

信号名	説明	ピンの種類	GPIO ピン	337 BGA ピン	176 ピンの PIN
EMIF1_D4	外部メモリ・インターフェイス 1 データ・ライン 4	I/O	59, 80	D15、M16	104, 148
EMIF1_D5	外部メモリ・インターフェイス 1 データ・ライン 5	I/O	60, 79	C15、M17	105, 146
EMIF1_D6	外部メモリ・インターフェイス 1 データ・ライン 6	I/O	61, 78	B15、L16	107, 145
EMIF1_D7	外部メモリ・インターフェイス 1 データ・ライン 7	I/O	62, 77	A15、J17	108, 144
EMIF1_D8	外部メモリ・インターフェイス 1 データ・ライン 8	I/O	76	C16	143
EMIF1_D9	外部メモリ・インターフェイス 1 データ・ライン 9	I/O	75	D16	142
EMIF1_D10	外部メモリ・インターフェイス 1 データ・ライン 10	I/O	74	C17	141
EMIF1_D11	外部メモリ・インターフェイス 1 データ・ライン 11	I/O	73	A16	140
EMIF1_D12	外部メモリ・インターフェイス 1 データ・ライン 12	I/O	72	B16	139
EMIF1_D13	外部メモリ・インターフェイス 1 データ・ライン 13	I/O	71	B17	136
EMIF1_D14	外部メモリ・インターフェイス 1 データ・ライン 14	I/O	70	A17	135
EMIF1_D15	外部メモリ・インターフェイス 1 データ・ライン 15	I/O	69	B18	134
EMIF1_D16	外部メモリ・インターフェイス 1 データ・ライン 16	I/O	68	C18	133
EMIF1_D17	外部メモリ・インターフェイス 1 データ・ライン 17	I/O	67	B19	132
EMIF1_D18	外部メモリ・インターフェイス 1 データ・ライン 18	I/O	66	K17	112
EMIF1_D19	外部メモリ・インターフェイス 1 データ・ライン 19	I/O	65	K16	111
EMIF1_D20	外部メモリ・インターフェイス 1 データ・ライン 20	I/O	64	L17	110
EMIF1_D21	外部メモリ・インターフェイス 1 データ・ライン 21	I/O	63	J16	109
EMIF1_D22	外部メモリ・インターフェイス 1 データ・ライン 22	I/O	62	J17	108
EMIF1_D23	外部メモリ・インターフェイス 1 データ・ライン 23	I/O	61	L16	107
EMIF1_D24	外部メモリ・インターフェイス 1 データ・ライン 24	I/O	60	M17	105
EMIF1_D25	外部メモリ・インターフェイス 1 データ・ライン 25	I/O	59	M16	104
EMIF1_D26	外部メモリ・インターフェイス 1 データ・ライン 26	I/O	58	N17	103
EMIF1_D27	外部メモリ・インターフェイス 1 データ・ライン 27	I/O	57	N18	102
EMIF1_D28	外部メモリ・インターフェイス 1 データ・ライン 28	I/O	56	N16	101
EMIF1_D29	外部メモリ・インターフェイス 1 データ・ライン 29	I/O	55	P19	100
EMIF1_D30	外部メモリ・インターフェイス 1 データ・ライン 30	I/O	54	P18	98
EMIF1_D31	外部メモリ・インターフェイス 1 データ・ライン 31	I/O	53	P17	97
EMIF1_DQM0	外部メモリ・インターフェイス 1 のバイト 0 入力 / 出力マスク	O	24, 88, 92	A4, C6, K3	170, 174, 24
EMIF1_DQM1	外部メモリ・インターフェイス 1 のバイト 1 入力 / 出力マスク	O	25, 88, 89	C6, D6, K2	170, 171, 25
EMIF1_DQM2	外部メモリ・インターフェイス 1 のバイト 2 入力 / 出力マスク	O	26, 90, 91	A5, B5, K1	172, 173, 27
EMIF1_DQM3	外部メモリ・インターフェイス 1 のバイト 3 入力 / 出力マスク	O	27, 87, 91	B5, D11, L1	157, 173, 28
EMIF2_A0	外部メモリ・インターフェイス 2 アドレス・ライン 0	O	98	F1	
EMIF2_A1	外部メモリ・インターフェイス 2 アドレス・ライン 1	O	99	G1	17
EMIF2_A2	外部メモリ・インターフェイス 2 アドレス・ライン 2	O	100	H1	
EMIF2_A3	外部メモリ・インターフェイス 2 アドレス・ライン 3	O	101	H2	
EMIF2_A4	外部メモリ・インターフェイス 2 アドレス・ライン 4	O	102	H3	
EMIF2_A5	外部メモリ・インターフェイス 2 アドレス・ライン 5	O	103	J1	

表 6-3. デジタル信号 (continued)

信号名	説明	ピンの種類	GPIO ピン	337 BGA ピン	176 ピン の PIN
EMIF2_A6	外部メモリ・インターフェイス 2 アドレス・ライン 6	O	104	J2	
EMIF2_A7	外部メモリ・インターフェイス 2 アドレス・ライン 7	O	105	J3	
EMIF2_A8	外部メモリ・インターフェイス 2 アドレス・ライン 8	O	106	L2	
EMIF2_A9	外部メモリ・インターフェイス 2 アドレス・ライン 9	O	107	L3	
EMIF2_A10	外部メモリ・インターフェイス 2 アドレス・ライン 10	O	108	L4	
EMIF2_A11	外部メモリ・インターフェイス 2 アドレス・ライン 11	O	109	N2	
EMIF2_A12	外部メモリ・インターフェイス 2 アドレス・ライン 12	O	95	B3	
EMIF2_BA0	外部メモリ・インターフェイス 2 バンク・アドレス 0	O	111	M4	
EMIF2_BA1	外部メモリ・インターフェイス 2 バンク・アドレス 1	O	112	M3	
EMIF2_CS0n	外部メモリ・インターフェイス 2 チップ・セレクト 0	O	115	V12	
EMIF2_CS2n	外部メモリ・インターフェイス 2 チップ・セレクト 2	O	116	W10	
EMIF2_D0	外部メモリ・インターフェイス 2 データ・ライン 0	I/O	138, 68	C18, T19	133
EMIF2_D1	外部メモリ・インターフェイス 2 データ・ライン 1	I/O	137, 67	B19, T18	132
EMIF2_D2	外部メモリ・インターフェイス 2 データ・ライン 2	I/O	136, 66	K17, T17	112
EMIF2_D3	外部メモリ・インターフェイス 2 データ・ライン 3	I/O	135, 65	K16, U18	111
EMIF2_D4	外部メモリ・インターフェイス 2 データ・ライン 4	I/O	134, 64	L17, V18	110
EMIF2_D5	外部メモリ・インターフェイス 2 データ・ライン 5	I/O	132, 63	J16, W18	109
EMIF2_D6	外部メモリ・インターフェイス 2 データ・ライン 6	I/O	131, 62	J17, V10	108
EMIF2_D7	外部メモリ・インターフェイス 2 データ・ライン 7	I/O	130, 61	L16, U10	107
EMIF2_D8	外部メモリ・インターフェイス 2 データ・ライン 8	I/O	129, 60	M17, T10	105
EMIF2_D9	外部メモリ・インターフェイス 2 データ・ライン 9	I/O	128, 59	M16, W9	104
EMIF2_D10	外部メモリ・インターフェイス 2 データ・ライン 10	I/O	127, 58	N17, V9	103
EMIF2_D11	外部メモリ・インターフェイス 2 データ・ライン 11	I/O	126, 57	N18, U9	102
EMIF2_D12	外部メモリ・インターフェイス 2 データ・ライン 12	I/O	125, 56	N16, T9	101
EMIF2_D13	外部メモリ・インターフェイス 2 データ・ライン 13	I/O	124, 55	P19, V8	100
EMIF2_D14	外部メモリ・インターフェイス 2 データ・ライン 14	I/O	123, 54	P18, U8	98
EMIF2_D15	外部メモリ・インターフェイス 2 データ・ライン 15	I/O	122, 53	P17, T8	97
EMIF2_DQM0	外部メモリ・インターフェイス 2 のバイト 0 入力 / 出力マスク	O	97	A2	
EMIF2_DQM1	外部メモリ・インターフェイス 2 のバイト 1 入力 / 出力マスク	O	96	C3	
ENET_MDIO_CLK	EMAC 管理データ・クロック、MII/RMII モードでの出力、RevMII モードでの入力	I/O	105, 42	D19, J3	130
ENET_MDIO_DATA	EMAC 管理データ	I/O	106, 43	C19, L2	131
ENET_MII_COL	EMAC MII 衝突検出	I	110, 35, 39, 41	M2, T14, U17, W17	71, 86, 89
ENET_MII CRS	EMAC MII キャリア・センス	I	109, 34, 38, 40	N2, T16, U14, V17	70, 85, 87
ENET_MII_INTR	EMAC PHY 割り込み、MII/RMII モードでの入力、RevMII モードでの出力	I/O	108, 68	C18, L4	133
ENET_MII_RX_CLK	EMAC MII 受信クロック	I	111, 49, 67, 69	B18, B19, M4, R17	132, 134, 93

表 6-3. デジタル信号 (continued)

信号名	説明	ピンの種類	GPIO ピン	337 BGA ピン	176 ピンの PIN
ENET_MII_RX_DATA0	EMAC MII / RMII 受信データ 0	I	114, 52, 63, 66, 71	B17, J16, K17, N3, P16	109, 112, 136, 96
ENET_MII_RX_DATA1	EMAC MII / RMII 受信データ 1	I	115, 53, 64, 72	B16, L17, P17, V12	110, 139, 97
ENET_MII_RX_DATA2	EMAC MII 受信データ 2	I	116, 54, 65	K16, P18, W10	111, 98
ENET_MII_RX_DATA3	EMAC MII 受信データ 3	I	117, 55, 66	K17, P19, U12	100, 112
ENET_MII_RX_DV	EMAC MII 受信データ有効 (または) RMII キャリア・センス / 受信データ有効	I	112, 38, 50, 64, 70	A17, L17, M3, R18, T16	110, 135, 85, 94
ENET_MII_RX_ERR	EMAC MII / RMII 受信エラー	I	113, 39, 51, 65, 71, 76	B17, C16, K16, N4, R19, W17	111, 136, 143, 86, 95
ENET_MII_TX_CLK	EMAC MII 送信クロック	I	120, 44, 58	K18, N17, U15	103, 113
ENET_MII_TX_DATA0	EMAC MII / RMII 送信データ 0	O	121, 59, 75	D16, M16, W16	104, 142
ENET_MII_TX_DATA1	EMAC MII / RMII 送信データ 1	O	122, 60, 74	C17, M17, T8	105, 141
ENET_MII_TX_DATA2	EMAC MII 送信データ 2	O	123, 61, 73	A16, L16, U8	107, 140
ENET_MII_TX_DATA3	EMAC MII 送信データ 3	O	124, 62, 72	B16, J17, V8	108, 139
ENET_MII_TX_EN	EMAC MII / RMII 送信イネーブル	O	118, 45, 56, 69	B18, K19, N16, T12	101, 115, 134
ENET_MII_TX_ERR	EMAC MII 送信エラー	O	119, 46, 57	E19, N18, T15	102, 128
ENET_PPS0	EMAC パルス/秒出力 0	O	47	E18	129
ENET_PPS1	EMAC パルス/秒出力 1	O	48	R16	90
ENET_REVMII_MDIO_RST	EMAC REVMII MDIO リセット	I	107, 41, 67	B19, L3, U17	132, 89
ENET_RMII_CLK	EMAC RMII クロック	I/O	73	A16	140
EPWM10A	ePWM-10 出力 A (ePWM1-8 で高分解能を利用可能)	O	163, 18	A8, E3	10
EPWM10B	ePWM-10 出力 B (ePWM1-8 で高分解能を利用可能)	O	164, 19	B8, E4	12
EPWM11A	ePWM-11 出力 A (ePWM1-8 で高分解能を利用可能)	O	165, 20	C5, F2	13
EPWM11B	ePWM-11 出力 B (ePWM1-8 で高分解能を利用可能)	O	166, 21	D5, F3	14
EPWM12A	ePWM-12 出力 A (ePWM1-8 で高分解能を利用可能)	O	167, 22	C4, J4	22
EPWM12B	ePWM-12 出力 B (ePWM1-8 で高分解能を利用可能)	O	168, 23	D4, K4	23
EPWM13A	ePWM-13 出力 A (ePWM1-8 で高分解能を利用可能)	O	137, 24	K3, T18	24
EPWM13B	ePWM-13 出力 B (ePWM1-8 で高分解能を利用可能)	O	138, 25	K2, T19	25

表 6-3. デジタル信号 (continued)

信号名	説明	ピンの種類	GPIO ピン	337 BGA ピン	176 ピンの PIN
EPWM14A	ePWM-14 出力 A (ePWM1-8 で高分解能を利用可能)	O	139, 26	K1, N19	27
EPWM14B	ePWM-14 出力 B (ePWM1-8 で高分解能を利用可能)	O	140, 27	L1, M19	28
EPWM15A	ePWM-15 出力 A (ePWM1-8 で高分解能を利用可能)	O	141, 28	M18, V11	64
EPWM15B	ePWM-15 出力 B (ePWM1-8 で高分解能を利用可能)	O	142, 29	L19, W11	65
EPWM16A	ePWM-16 出力 A (ePWM1-8 で高分解能を利用可能)	O	143, 30	F18, T11	63
EPWM16B	ePWM-16 出力 B (ePWM1-8 で高分解能を利用可能)	O	144, 31	F17, U11	66
EPWM1A	ePWM-1 出力 A (ePWM1-8 で高分解能を利用可能)	O	145	C8, E17	160
EPWM1B	ePWM-1 出力 B (ePWM1-8 で高分解能を利用可能)	O	1, 146	D18, D8	161
EPWM2A	ePWM-2 出力 A (ePWM1-8 で高分解能を利用可能)	O	147, 2	A7, D17	162
EPWM2B	ePWM-2 出力 B (ePWM1-8 で高分解能を利用可能)	O	148, 3	B7, D14	163
EPWM3A	ePWM-3 出力 A (ePWM1-8 で高分解能を利用可能)	O	149, 4	A13, C7	164
EPWM3B	ePWM-3 出力 B (ePWM1-8 で高分解能を利用可能)	O	150, 5	B13, D7	165
EPWM4A	ePWM-4 出力 A (ePWM1-8 で高分解能を利用可能)	O	151, 6	A6, C13	166
EPWM4B	ePWM-4 出力 B (ePWM1-8 で高分解能を利用可能)	O	152, 7	B6, D13	167
EPWM5A	ePWM-5 出力 A (ePWM1-8 で高分解能を利用可能)	O	153, 8	A12, G2	18
EPWM5B	ePWM-5 出力 B (ePWM1-8 で高分解能を利用可能)	O	154, 9	B12, G3	19
EPWM6A	ePWM-6 出力 A (ePWM1-8 で高分解能を利用可能)	O	10, 155	B2, C12	1
EPWM6B	ePWM-6 出力 B (ePWM1-8 で高分解能を利用可能)	O	11, 156	C1, D12	2
EPWM7A	ePWM-7 出力 A (ePWM1-8 で高分解能を利用可能)	O	12, 157	B10, C2	4
EPWM7B	ePWM-7 出力 B (ePWM1-8 で高分解能を利用可能)	O	13, 158	C10, D1	5
EPWM8A	ePWM-8 出力 A (ePWM1-8 で高分解能を利用可能)	O	14, 159	D10, D2	6
EPWM8B	ePWM-8 出力 B (ePWM1-8 で高分解能を利用可能)	O	15, 160	B9, D3	7
EPWM9A	ePWM-9 出力 A (ePWM1-8 で高分解能を利用可能)	O	16, 161	C9, E1	8
EPWM9B	ePWM-9 出力 B (ePWM1-8 で高分解能を利用可能)	O	162, 17	D9, E2	9
EQEP1_A	eQEP-1 入力 A	I	10, 20, 50, 96	B2, C3, F2, R18	1, 13, 94
EQEP1_B	eQEP-1 入力 B	I	11, 21, 51, 97	A2, C1, F3, R19	14, 2, 95
EQEP1_INDEX	eQEP-1 インデックス	I/O	13, 23, 53, 99	D1, G1, K4, P17	17, 23, 5, 97
EQEP1_STROBE	eQEP-1 ストローブ	I/O	12, 22, 52, 98	C2, F1, J4, P16	22, 4, 96
EQEP2_A	eQEP-2 入力 A	I	100, 24, 54, 78	B15, H1, K3, P18	145, 24, 98
EQEP2_B	eQEP-2 入力 B	I	101, 25, 55, 79	C15, H2, K2, P19	100, 146, 25
EQEP2_INDEX	eQEP-2 インデックス	I/O	103, 26, 57, 81	A14, J1, K1, N18	102, 149, 27
EQEP2_STROBE	eQEP-2 ストローブ	I/O	102, 27, 56, 80	D15, H3, L1, N16	101, 148, 28
EQEP3_A	eQEP-3 入力 A	I	104, 28, 6, 62	A6, J17, J2, V11	108, 166, 64
EQEP3_B	eQEP-3 入力 B	I	105, 29, 63, 7	B6, J16, J3, W11	109, 167, 65

表 6-3. デジタル信号 (continued)

信号名	説明	ピンの種類	GPIO ピン	337 BGA ピン	176 ピンの PIN
EQEP3_INDEX	eQEP-3 インデックス	I/O	107、31、65、9	G3、K16、L3、U11	111、19、66
EQEP3_STROBE	eQEP-3 ストローブ	I/O	106、30、64、8	G2、L17、L2、T11	110、18、63
ESC_GPI0	EtherCAT 汎用入力 0	I	100	C8、H1	160
ESC_GPI1	EtherCAT 汎用入力 1	I	1、101	D8、H2	161
ESC_GPI2	EtherCAT 汎用入力 2	I	102、2	A7、H3	162
ESC_GPI3	EtherCAT 汎用入力 3	I	103、3	B7、J1	163
ESC_GPI4	EtherCAT 汎用入力 4	I	104、4	C7、J2	164
ESC_GPI5	EtherCAT 汎用入力 5	I	105、5	D7、J3	165
ESC_GPI6	EtherCAT 汎用入力 6	I	106、6	A6、L2	166
ESC_GPI7	EtherCAT 汎用入力 7	I	107、7	B6、L3	167
ESC_GPI8	EtherCAT 汎用入力 8	I	108	L4	
ESC_GPI9	EtherCAT 汎用入力 9	I	109	N2	
ESC_GPI10	EtherCAT 汎用入力 10	I	110	M2	
ESC_GPI11	EtherCAT 汎用入力 11	I	111	M4	
ESC_GPI12	EtherCAT 汎用入力 12	I	112	M3	
ESC_GPI13	EtherCAT 汎用入力 13	I	113	N4	
ESC_GPI14	EtherCAT 汎用入力 14	I	114	N3	
ESC_GPI15	EtherCAT 汎用入力 15	I	115	V12	
ESC_GPI16	EtherCAT 汎用入力 16	I	116	W10	
ESC_GPI17	EtherCAT 汎用入力 17	I	117	U12	
ESC_GPI18	EtherCAT 汎用入力 18	I	118	T12	
ESC_GPI19	EtherCAT 汎用入力 19	I	119	T15	
ESC_GPI20	EtherCAT 汎用入力 20	I	120	U15	
ESC_GPI21	EtherCAT 汎用入力 21	I	121	W16	
ESC_GPI22	EtherCAT 汎用入力 22	I	122	T8	
ESC_GPI23	EtherCAT 汎用入力 23	I	123	U8	
ESC_GPI24	EtherCAT 汎用入力 24	I	124	V8	
ESC_GPI25	EtherCAT 汎用入力 25	I	125	T9	
ESC_GPI26	EtherCAT 汎用入力 26	I	126	U9	
ESC_GPI27	EtherCAT 汎用入力 27	I	127	V9	
ESC_GPI28	EtherCAT 汎用入力 28	I	128	W9	
ESC_GPI29	EtherCAT 汎用入力 29	I	129	T10	
ESC_GPI30	EtherCAT 汎用入力 30	I	130	U10	
ESC_GPI31	EtherCAT 汎用入力 31	I	131	V10	
ESC_GPO0	EtherCAT 汎用出力 0	O	132、8	G2、W18	18
ESC_GPO1	EtherCAT 汎用出力 1	O	134、9	G3、V18	19
ESC_GPO2	EtherCAT 汎用出力 2	O	10、135	B2、U18	1
ESC_GPO3	EtherCAT 汎用出力 3	O	11、136	C1、T17	2
ESC_GPO4	EtherCAT 汎用出力 4	O	12、137	C2、T18	4
ESC_GPO5	EtherCAT 汎用出力 5	O	13、138	D1、T19	5

表 6-3. デジタル信号 (continued)

信号名	説明	ピンの種類	GPIO ピン	337 BGA ピン	176 ピンの PIN
ESC_GPO6	EtherCAT 汎用出力 6	O	139、14	D2、N19	6
ESC_GPO7	EtherCAT 汎用出力 7	O	140、15	D3、M19	7
ESC_GPO8	EtherCAT 汎用出力 8	O	141	M18	
ESC_GPO9	EtherCAT 汎用出力 9	O	142	L19	
ESC_GPO10	EtherCAT 汎用出力 10	O	143	F18	
ESC_GPO11	EtherCAT 汎用出力 11	O	144	F17	
ESC_GPO12	EtherCAT 汎用出力 12	O	145	E17	
ESC_GPO13	EtherCAT 汎用出力 13	O	146	D18	
ESC_GPO14	EtherCAT 汎用出力 14	O	147	D17	
ESC_GPO15	EtherCAT 汎用出力 15	O	148	D14	
ESC_GPO16	EtherCAT 汎用出力 16	O	149	A13	
ESC_GPO17	EtherCAT 汎用出力 17	O	150	B13	
ESC_GPO18	EtherCAT 汎用出力 18	O	151	C13	
ESC_GPO19	EtherCAT 汎用出力 19	O	152	D13	
ESC_GPO20	EtherCAT 汎用出力 20	O	153	A12	
ESC_GPO21	EtherCAT 汎用出力 21	O	154	B12	
ESC_GPO22	EtherCAT 汎用出力 22	O	155	C12	
ESC_GPO23	EtherCAT 汎用出力 23	O	156	D12	
ESC_GPO24	EtherCAT 汎用出力 24	O	157	B10	
ESC_GPO25	EtherCAT 汎用出力 25	O	158	C10	
ESC_GPO26	EtherCAT 汎用出力 26	O	159	D10	
ESC_GPO27	EtherCAT 汎用出力 27	O	160	B9	
ESC_GPO28	EtherCAT 汎用出力 28	O	161	C9	
ESC_GPO29	EtherCAT 汎用出力 29	O	162	D9	
ESC_GPO30	EtherCAT 汎用出力 30	O	163	A8	
ESC_GPO31	EtherCAT 汎用出力 31	O	164	B8	
ESC_I2C_SCL	EtherCAT I2C クロック	I/OC	151、30、41	C13、T11、U17	63、89
ESC_I2C_SDA	EtherCAT I2C データ	I/OC	150、29、40	B13、V17、W11	65、87
ESC_LATCH0	EtherCAT ラッチ信号入力 0	I	125、29、34	T9、U14、W11	65、70
ESC_LATCH1	EtherCAT ラッチ信号入力 1	I	126、30、35	T11、T14、U9	63、71
ESC_LED_ERR	EtherCAT エラー LED	O	145、60	E17、M17	105
ESC_LED_LINK0_ACTIVE	EtherCAT Link-0 アクティブ	O	143、58	F18、N17	103
ESC_LED_LINK1_ACTIVE	EtherCAT Link-1 アクティブ	O	144、59	F17、M16	104
ESC_LED_RUN	EtherCAT 実行 LED	O	146、61	D18、L16	107
ESC_LED_STATE_RUN	EtherCAT 状態実行	O	147、62	D17、J17	108
ESC_MDIO_CLK	EtherCAT MDIO クロック	O	152、26、46	D13、E19、K1	128、27
ESC_MDIO_DATA	EtherCAT MDIO データ	I/O	153、27、47	A12、E18、L1	129、28

表 6-3. デジタル信号 (continued)

信号名	説明	ピンの種類	GPIO ピン	337 BGA ピン	176 ピンの PIN
ESC_PHY0_LINKSTATUS	EtherCAT PHY-0 リンク・ステータス	I	148, 86	C11, D14	156
ESC_PHY1_LINKSTATUS	EtherCAT PHY-1 リンク・ステータス	I	149, 68	A13, C18	133
ESC_PHY_CLK	EtherCAT PHY クロック	O	154, 48	B12, R16	90
ESC_PHY_RESETE _n	EtherCAT PHY アクティブ Low リセット	O	155, 76	C12, C16	143
ESC_RX0_CLK	EtherCAT MII 受信 0 クロック	I	163, 77	A15, A8	144
ESC_RX0_DV	EtherCAT MII 受信 0 データ有効	I	162, 78	B15, D9	145
ESC_RX0_ERR	EtherCAT MII 受信 0 エラー	I	164, 79	B8, C15	146
ESC_RX1_CLK	EtherCAT MII 受信 1 クロック	I	137, 69	B18, T18	134
ESC_RX1_DV	EtherCAT MII 受信 1 データ有効	I	136, 70	A17, T17	135
ESC_RX1_ERR	EtherCAT MII 受信 1 エラー	I	138, 71	B17, T19	136
ESC_RX0_DATA0	EtherCAT MII 受信 0 データ 0	I	165, 80	C5, D15	148
ESC_RX0_DATA1	EtherCAT MII 受信 0 データ 1	I	166, 81	A14, D5	149
ESC_RX0_DATA2	EtherCAT MII 受信 0 データ 2	I	167, 82	B14, C4	150
ESC_RX0_DATA3	EtherCAT MII 受信 0 データ 3	I	168, 83	C14, D4	151
ESC_RX1_DATA0	EtherCAT MII 受信 1 データ 0	I	139, 63	J16, N19	109
ESC_RX1_DATA1	EtherCAT MII 受信 1 データ 1	I	140, 64	L17, M19	110
ESC_RX1_DATA2	EtherCAT MII 受信 1 データ 2	I	141, 65	K16, M18	111
ESC_RX1_DATA3	EtherCAT MII 受信 1 データ 3	I	142, 66	K17, L19	112
ESC_SYNC0	EtherCAT 同期信号出力 0	O	127, 29, 34	U14, V9, W11	65, 70
ESC_SYNC1	EtherCAT 同期信号出力 1	O	128, 30, 35	T11, T14, W9	63, 71
ESC_TX0_CLK	EtherCAT MII 送信 0 クロック	I	157, 85	B10, B11	155
ESC_TX0_ENA	EtherCAT MII 送信 0 イネーブル	O	156, 84	A11, D12	154
ESC_TX1_CLK	EtherCAT MII 送信 1 クロック	I	130, 44	K18, U10	113
ESC_TX1_ENA	EtherCAT MII 送信 1 イネーブル	O	129, 45	K19, T10	115
ESC_TX0_DATA0	EtherCAT MII 送信 0 データ 0	O	158, 87	C10, D11	157
ESC_TX0_DATA1	EtherCAT MII 送信 0 データ 1	O	159, 88	C6, D10	170
ESC_TX0_DATA2	EtherCAT MII 送信 0 データ 2	O	160, 89	B9, D6	171
ESC_TX0_DATA3	EtherCAT MII 送信 0 データ 3	O	161, 90	A5, C9	172
ESC_TX1_DATA0	EtherCAT MII 送信 1 データ 0	O	131, 75	D16, V10	142
ESC_TX1_DATA1	EtherCAT MII 送信 1 データ 1	O	132, 74	C17, W18	141
ESC_TX1_DATA2	EtherCAT MII 送信 1 データ 2	O	134, 73	A16, V18	140
ESC_TX1_DATA3	EtherCAT MII 送信 1 データ 3	O	135, 72	B16, U18	139
EXTSYNCO _{UT}	外部 ePWM 同期パルス	O	6	A6	166
FSIRXA_CLK	FSIRX-A 入力クロック	I	105, 13, 5, 54, 9	D1, D7, G3, J3, P18	165, 19, 5, 98
FSIRXA_D0	FSIRX-A データ入力 0	I	103, 12, 3, 52, 8	B7, C2, G2, J1, P16	163, 18, 4, 96
FSIRXA_D1	FSIRX-A データ入力 1	I	10, 104, 11, 4, 53	B2, C1, C7, J2, P17	1, 164, 2, 97

表 6-3. デジタル信号 (continued)

信号名	説明	ピンの種類	GPIO ピン	337 BGA ピン	176 ピンの PIN
FSIRXB_CLK	FSIRX-B 入力クロック	I	11、112、60	C1、M17、M3	105、2
FSIRXB_D0	FSIRX-B データ入力 0	I	110、58、9	G3、M2、N17	103、19
FSIRXB_D1	FSIRX-B データ入力 1	I	10、111、59	B2、M16、M4	1、104
FSIRXC_CLK	FSIRX-C 入力クロック	I	117、14	D2、U12	6
FSIRXC_D0	FSIRX-C データ入力 0	I	115、12	C2、V12	4
FSIRXC_D1	FSIRX-C データ入力 1	I	116、13	D1、W10	5
FSIRXD_CLK	FSIRX-D 入力クロック	I	120、17	E2、U15	9
FSIRXD_D0	FSIRX-D データ入力 0	I	118、15	D3、T12	7
FSIRXD_D1	FSIRX-D データ入力 1	I	119、16	E1、T15	8
FSIRXE_CLK	FSIRX-E 入力クロック	I	126、20	F2、U9	13
FSIRXE_D0	FSIRX-E データ入力 0	I	121、18	E3、W16	10
FSIRXE_D1	FSIRX-E データ入力 1	I	125、19	E4、T9	12
FSIRXF_CLK	FSIRX-F 入力クロック	I	23、93	B4、K4	175、23
FSIRXF_D0	FSIRX-F データ入力 0	I	21、91	B5、F3	14、173
FSIRXF_D1	FSIRX-F データ入力 1	I	22、92	A4、J4	174、22
FSIRXG_CLK	FSIRX-G 入力クロック	I	26、96	C3、K1	27
FSIRXG_D0	FSIRX-G データ入力 0	I	24、94	A3、K3	176、24
FSIRXG_D1	FSIRX-G データ入力 1	I	25、95	B3、K2	25
FSIRXH_CLK	FSIRX-H 入力クロック	I	29、99	G1、W11	17、65
FSIRXH_D0	FSIRX-H データ入力 0	I	27、97	A2、L1	28
FSIRXH_D1	FSIRX-H データ入力 1	I	28、98	F1、V11	64
FSITXA_CLK	FSITX-A 出力クロック	O	10、102、2、27、51	A7、B2、H3、L1、R19	1、162、28、95
FSITXA_D0	FSITX-A データ出力 0	O	100、26、49、9	C8、G3、H1、K1、R17	160、19、27、93
FSITXA_D1	FSITX-A データ出力 1	O	1、101、25、50、8	D8、G2、H2、K2、R18	161、18、25、94
FSITXB_CLK	FSITX-B 出力クロック	O	108、56、8	G2、L4、N16	101、18
FSITXB_D0	FSITX-B データ出力 0	O	106、55、6	A6、L2、P19	100、166
FSITXB_D1	FSITX-B データ出力 1	O	107、57、7	B6、L3、N18	102、167
GPIO0	汎用入出力 0	I/O		C8	160
GPIO1	汎用入出力 1	I/O	1	D8	161
GPIO2	汎用入出力 2	I/O	2	A7	162
GPIO3	汎用入出力 3	I/O	3	B7	163
GPIO4	汎用入出力 4	I/O	4	C7	164
GPIO5	汎用入出力 5	I/O	5	D7	165
GPIO6	汎用入出力 6	I/O	6	A6	166

表 6-3. デジタル信号 (continued)

信号名	説明	ピンの種類	GPIO ピン	337 BGA ピン	176 ピンの PIN
GPIO7	汎用入出力 7	I/O	7	B6	167
GPIO8	汎用入出力 8	I/O	8	G2	18
GPIO9	汎用入出力 9	I/O	9	G3	19
GPIO10	汎用入出力 10	I/O	10	B2	1
GPIO11	汎用入出力 11	I/O	11	C1	2
GPIO12	汎用入出力 12	I/O	12	C2	4
GPIO13	汎用入出力 13	I/O	13	D1	5
GPIO14	汎用入出力 14	I/O	14	D2	6
GPIO15	汎用入出力 15	I/O	15	D3	7
GPIO16	汎用入出力 16	I/O	16	E1	8
GPIO17	汎用入出力 17	I/O	17	E2	9
GPIO18	汎用入出力 18	I/O	18	E3	10
GPIO19	汎用入出力 19	I/O	19	E4	12
GPIO100	汎用入出力 100	I/O	100	H1	
GPIO101	汎用入出力 101	I/O	101	H2	
GPIO102	汎用入出力 102	I/O	102	H3	
GPIO103	汎用入出力 103	I/O	103	J1	
GPIO104	汎用入出力 104	I/O	104	J2	
GPIO105	汎用入出力 105	I/O	105	J3	
GPIO106	汎用入出力 106	I/O	106	L2	
GPIO107	汎用入出力 107	I/O	107	L3	
GPIO108	汎用入出力 108	I/O	108	L4	
GPIO109	汎用入出力 109	I/O	109	N2	
GPIO110	汎用入出力 110	I/O	110	M2	
GPIO111	汎用入出力 111	I/O	111	M4	
GPIO112	汎用入出力 112	I/O	112	M3	
GPIO113	汎用入出力 113	I/O	113	N4	
GPIO114	汎用入出力 114	I/O	114	N3	
GPIO115	汎用入出力 115	I/O	115	V12	
GPIO116	汎用入出力 116	I/O	116	W10	
GPIO117	汎用入出力 117	I/O	117	U12	
GPIO118	汎用入出力 118	I/O	118	T12	
GPIO119	汎用入出力 119	I/O	119	T15	
GPIO120	汎用入出力 120	I/O	120	U15	
GPIO121	汎用入出力 121	I/O	121	W16	
GPIO122	汎用入出力 122	I/O	122	T8	
GPIO123	汎用入出力 123	I/O	123	U8	
GPIO124	汎用入出力 124	I/O	124	V8	
GPIO125	汎用入出力 125	I/O	125	T9	
GPIO126	汎用入出力 126	I/O	126	U9	
GPIO127	汎用入出力 127	I/O	127	V9	
GPIO128	汎用入出力 128	I/O	128	W9	

表 6-3. デジタル信号 (continued)

信号名	説明	ピンの種類	GPIO ピン	337 BGA ピン	176 ピンの PIN
GPIO129	汎用入出力 129	I/O	129	T10	
GPIO130	汎用入出力 130	I/O	130	U10	
GPIO131	汎用入出力 131	I/O	131	V10	
GPIO132	汎用入出力 132	I/O	132	W18	
GPIO133	汎用入出力 133	I/O	133	G18	118
GPIO134	汎用入出力 134	I/O	134	V18	
GPIO135	汎用入出力 135	I/O	135	U18	
GPIO136	汎用入出力 136	I/O	136	T17	
GPIO137	汎用入出力 137	I/O	137	T18	
GPIO138	汎用入出力 138	I/O	138	T19	
GPIO139	汎用入出力 139	I/O	139	N19	
GPIO140	汎用入出力 140	I/O	140	M19	
GPIO141	汎用入出力 141	I/O	141	M18	
GPIO142	汎用入出力 142	I/O	142	L19	
GPIO143	汎用入出力 143	I/O	143	F18	
GPIO144	汎用入出力 144	I/O	144	F17	
GPIO145	汎用入出力 145	I/O	145	E17	
GPIO146	汎用入出力 146	I/O	146	D18	
GPIO147	汎用入出力 147	I/O	147	D17	
GPIO148	汎用入出力 148	I/O	148	D14	
GPIO149	汎用入出力 149	I/O	149	A13	
GPIO150	汎用入出力 150	I/O	150	B13	
GPIO151	汎用入出力 151	I/O	151	C13	
GPIO152	汎用入出力 152	I/O	152	D13	
GPIO153	汎用入出力 153	I/O	153	A12	
GPIO154	汎用入出力 154	I/O	154	B12	
GPIO155	汎用入出力 155	I/O	155	C12	
GPIO156	汎用入出力 156	I/O	156	D12	
GPIO157	汎用入出力 157	I/O	157	B10	
GPIO158	汎用入出力 158	I/O	158	C10	
GPIO159	汎用入出力 159	I/O	159	D10	
GPIO160	汎用入出力 160	I/O	160	B9	
GPIO161	汎用入出力 161	I/O	161	C9	
GPIO162	汎用入出力 162	I/O	162	D9	
GPIO163	汎用入出力 163	I/O	163	A8	
GPIO164	汎用入出力 164	I/O	164	B8	
GPIO165	汎用入出力 165	I/O	165	C5	
GPIO166	汎用入出力 166	I/O	166	D5	
GPIO167	汎用入出力 167	I/O	167	C4	
GPIO168	汎用入出力 168	I/O	168	D4	
GPIO20	汎用入出力 20	I/O	20	F2	13
GPIO21	汎用入出力 21	I/O	21	F3	14

表 6-3. デジタル信号 (continued)

信号名	説明	ピンの種類	GPIO ピン	337 BGA ピン	176 ピンの PIN
GPIO22	汎用入出力 22	I/O	22	J4	22
GPIO23	汎用入出力 23	I/O	23	K4	23
GPIO24	汎用入出力 24	I/O	24	K3	24
GPIO25	汎用入出力 25	I/O	25	K2	25
GPIO26	汎用入出力 26	I/O	26	K1	27
GPIO27	汎用入出力 27	I/O	27	L1	28
GPIO28	汎用入出力 28	I/O	28	V11	64
GPIO29	汎用入出力 29	I/O	29	W11	65
GPIO30	汎用入出力 30	I/O	30	T11	63
GPIO31	汎用入出力 31	I/O	31	U11	66
GPIO32	汎用入出力 32	I/O	32	U13	67
GPIO33	汎用入出力 33	I/O	33	T13	69
GPIO34	汎用入出力 34	I/O	34	U14	70
GPIO35	汎用入出力 35	I/O	35	T14	71
GPIO36	汎用入出力 36	I/O	36	V16	83
GPIO37	汎用入出力 37	I/O	37	U16	84
GPIO38	汎用入出力 38	I/O	38	T16	85
GPIO39	汎用入出力 39	I/O	39	W17	86
GPIO40	汎用入出力 40	I/O	40	V17	87
GPIO41	汎用入出力 41	I/O	41	U17	89
GPIO42	汎用入出力 42	I/O	42	D19	130
GPIO43	汎用入出力 43	I/O	43	C19	131
GPIO44	汎用入出力 44	I/O	44	K18	113
GPIO45	汎用入出力 45	I/O	45	K19	115
GPIO46	汎用入出力 46	I/O	46	E19	128
GPIO47	汎用入出力 47	I/O	47	E18	129
GPIO48	汎用入出力 48	I/O	48	R16	90
GPIO49	汎用入出力 49	I/O	49	R17	93
GPIO50	汎用入出力 50	I/O	50	R18	94
GPIO51	汎用入出力 51	I/O	51	R19	95
GPIO52	汎用入出力 52	I/O	52	P16	96
GPIO53	汎用入出力 53	I/O	53	P17	97
GPIO54	汎用入出力 54	I/O	54	P18	98
GPIO55	汎用入出力 55	I/O	55	P19	100
GPIO56	汎用入出力 56	I/O	56	N16	101
GPIO57	汎用入出力 57	I/O	57	N18	102
GPIO58	汎用入出力 58	I/O	58	N17	103
GPIO59	汎用入出力 59	I/O	59	M16	104
GPIO60	汎用入出力 60	I/O	60	M17	105
GPIO61	汎用入出力 61	I/O	61	L16	107
GPIO62	汎用入出力 62	I/O	62	J17	108
GPIO63	汎用入出力 63	I/O	63	J16	109

表 6-3. デジタル信号 (continued)

信号名	説明	ピンの種類	GPIO ピン	337 BGA ピン	176 ピンの PIN
GPIO64	汎用入出力 64	I/O	64	L17	110
GPIO65	汎用入出力 65	I/O	65	K16	111
GPIO66	汎用入出力 66	I/O	66	K17	112
GPIO67	汎用入出力 67	I/O	67	B19	132
GPIO68	汎用入出力 68	I/O	68	C18	133
GPIO69	汎用入出力 69	I/O	69	B18	134
GPIO70	汎用入出力 70	I/O	70	A17	135
GPIO71	汎用入出力 71	I/O	71	B17	136
GPIO72	汎用入出力 72	I/O	72	B16	139
GPIO73	汎用入出力 73	I/O	73	A16	140
GPIO74	汎用入出力 74	I/O	74	C17	141
GPIO75	汎用入出力 75	I/O	75	D16	142
GPIO76	汎用入出力 76	I/O	76	C16	143
GPIO77	汎用入出力 77	I/O	77	A15	144
GPIO78	汎用入出力 78	I/O	78	B15	145
GPIO79	汎用入出力 79	I/O	79	C15	146
GPIO80	汎用入出力 80	I/O	80	D15	148
GPIO81	汎用入出力 81	I/O	81	A14	149
GPIO82	汎用入出力 82	I/O	82	B14	150
GPIO83	汎用入出力 83	I/O	83	C14	151
GPIO84	汎用入出力 84	I/O	84	A11	154
GPIO85	汎用入出力 85	I/O	85	B11	155
GPIO86	汎用入出力 86	I/O	86	C11	156
GPIO87	汎用入出力 87	I/O	87	D11	157
GPIO88	汎用入出力 88	I/O	88	C6	170
GPIO89	汎用入出力 89	I/O	89	D6	171
GPIO90	汎用入出力 90	I/O	90	A5	172
GPIO91	汎用入出力 91	I/O	91	B5	173
GPIO92	汎用入出力 92	I/O	92	A4	174
GPIO93	汎用入出力 93	I/O	93	B4	175
GPIO94	汎用入出力 94	I/O	94	A3	176
GPIO95	汎用入出力 95	I/O	95	B3	
GPIO96	汎用入出力 96	I/O	96	C3	
GPIO97	汎用入出力 97	I/O	97	A2	
GPIO98	汎用入出力 98	I/O	98	F1	
GPIO99	汎用入出力 99	I/O	99	G1	17
I2CA_SCL	I2C-A オープン・ドレイン双方向クロック	I/OD	1、105、 32、33、 43、57、 92	A4、C19、 D8、J3、 N18、 T13、U13	102、 131、 161、 174、67、 69

表 6-3. デジタル信号 (continued)

信号名	説明	ピンの種類	GPIO ピン	337 BGA ピン	176 ピンの PIN
I2CA_SDA	I2C-A オープン・ドレイン双方向データ	I/OD	104、31、32、42、56、91	B5、C8、D19、J2、N16、U11、U13	101、130、160、173、66、67
I2CB_SCL	I2C-B オープン・ドレイン双方向クロック	I/OD	3、35、41、69	B18、B7、T14、U17	134、163、71、89
I2CB_SDA	I2C-B オープン・ドレイン双方向データ	I/OD	2、34、40、66	A7、K17、U14、V17	112、162、70、87
MCAN_RX	CAN/CAN FD 受信	I	10、18、23、30、36、5、70、75	A17、B2、D16、D7、E3、K4、T11、V16	1、10、135、142、165、23、63、83
MCAN_TX	CAN/CAN FD 送信	O	19、22、31、37、4、71、74、8	B17、C17、C7、E4、G2、J4、U11、U16	12、136、141、164、18、22、66、84
MCLKRA	McBSP-A 受信クロック	I	58、7	B6、N17	103、167
MCLKRB	McBSP-B 受信クロック	I	3、60	B7、M17	105、163
MCLKXA	McBSP-A 送信クロック	O	167、22、86	C11、C4、J4	156、22
MCLKXB	McBSP-B 送信クロック	O	14、26、86	C11、D2、K1	156、27、6
MDRA	McBSP-A 受信シリアル・データ	I	166、21、85	B11、D5、F3	14、155
MDRB	McBSP-B 受信シリアル・データ	I	13、25、85	B11、D1、K2	155、25、5
MDXA	McBSP-A 送信シリアル・データ	O	165、20、84	A11、C5、F2	13、154
MDXB	McBSP-B 送信シリアル・データ	O	12、24、84	A11、C2、K3	154、24、4
MFSRA	McBSP-A 受信フレーム同期	I	5、59	D7、M16	104、165
MFSRB	McBSP-B 受信フレーム同期	I	1、61	D8、L16	107、161
MFSXA	McBSP-A 送信フレーム同期	O	168、23、87	D11、D4、K4	157、23
MFSXB	McBSP-B 送信フレーム同期	O	15、27、87	D11、D3、L1	157、28、7
OUTPUTXBAR1	出力クロスバー出力 1	O	2、24、34、58	A7、K3、N17、U14	103、162、24、70
OUTPUTXBAR2	出力クロスバー出力 2	O	25、3、37、59	B7、K2、M16、U16	104、163、25、84
OUTPUTXBAR3	出力クロスバー出力 3	O	14、26、4、48、5、60	C7、D2、D7、K1、M17、R16	105、164、165、27、6、90

表 6-3. デジタル信号 (continued)

信号名	説明	ピンの種類	GPIO ピン	337 BGA ピン	176 ピンの PIN
OUTPUTXBAR4	出力クロスバー出力 4	O	15、27、49、6、61	A6、D3、L1、L16、R17	107、166、28、7、93
OUTPUTXBAR5	出力クロスバー出力 5	O	115、28、7	B6、V11、V12	167、64
OUTPUTXBAR6	出力クロスバー出力 6	O	116、29、9	G3、W10、W11	19、65
OUTPUTXBAR7	出力クロスバー出力 7	O	11、16、30	C1、E1、T11	2、63、8
OUTPUTXBAR8	出力クロスバー出力 8	O	17、31	E2、U11	66、9
PMBUSA_ALERT	PMBus-A オープン・ドレイン双方向アラート信号	I/OD	26、93	B4、K1	175、27
PMBUSA_CTL	PMBus-A 制御信号	I	27、94	A3、L1	176、28
PMBUSA_SCL	PMBus-A オープン・ドレイン双方向クロック	I/OD	24、91	B5、K3	173、24
PMBUSA_SDA	PMBus-A オープン・ドレイン双方向データ	I/OD	25、92	A4、K2	174、25
SCIA_RX	SCI-A 受信データ	I	136、28、35、43、49、64、85、9	B11、C19、G3、L17、R17、T14、T17、V11	110、131、155、19、64、71、93
SCIA_TX	SCI-A 送信データ	O	135、29、34、36、42、48、65、8、84	A11、D19、G2、K16、R16、U14、U18、V16、W11	111、130、154、18、65、70、83、90
SCIB_RX	SCI-B 受信データ	I	11、138、15、19、23、55、71、87	B17、C1、D11、D3、E4、K4、P19、T19	100、12、136、157、2、23、7
SCIB_TX	SCI-B 送信データ	O	10、137、14、18、22、54、70、86、9	A17、B2、C11、D2、E3、G3、J4、P18、T18	1、10、135、156、19、22、6、98
SCIC_RX	SCI-C 受信データ	I	107、13、139、39、57、62、73、90	A16、A5、D1、J17、L3、N18、N19、W17	102、108、140、172、5、86
SCIC_TX	SCI-C 送信データ	O	106、12、140、38、56、63、72、89	B16、C2、D6、J16、L2、M19、N16、T16	101、109、139、171、4、85
SCID_RX	SCI-D 受信データ	I	105、141、46、77、94	A15、A3、E19、J3、M18	128、144、176
SCID_TX	SCI-D 送信データ	O	104、142、47、76、93	B4、C16、E18、J2、L19	129、143、175

表 6-3. デジタル信号 (continued)

信号名	説明	ピンの種類	GPIO ピン	337 BGA ピン	176 ピンの PIN
SD1_C1	SDFM-1 チャンネル 1 クロック入力	I	123, 17, 49, 53, 64	E2, L17, P17, R17, U8	110, 9, 93, 97
SD1_C2	SDFM-1 チャンネル 2 クロック入力	I	125, 19, 51, 54, 66	E4, K17, P18, R19, T9	112, 12, 95, 98
SD1_C3	SDFM-1 チャンネル 3 クロック入力	I	127, 21, 53, 55, 68	C18, F3, P17, P19, V9	100, 133, 14, 97
SD1_C4	SDFM-1 チャンネル 4 クロック入力	I	129, 23, 55, 56, 70	A17, K4, N16, P19, T10	100, 101, 135, 23
SD1_D1	SDFM-1 チャンネル 1 データ入力	I	122, 16, 36, 48, 63	E1, J16, R16, T8, V16	109, 8, 83, 90
SD1_D2	SDFM-1 チャンネル 2 データ入力	I	124, 18, 37, 50, 65	E3, K16, R18, U16, V8	10, 111, 84, 94
SD1_D3	SDFM-1 チャンネル 3 データ入力	I	126, 20, 38, 52, 67	B19, F2, P16, T16, U9	13, 132, 85, 96
SD1_D4	SDFM-1 チャンネル 4 データ入力	I	128, 22, 39, 54, 69	B18, J4, P18, W17, W9	134, 22, 86, 98
SD2_C1	SDFM-2 チャンネル 1 クロック入力	I	131, 25, 57, 80	D15, K2, N18, V10	102, 148, 25
SD2_C2	SDFM-2 チャンネル 2 クロック入力	I	133, 27, 58, 59, 74	C17, G18, L1, M16, N17	103, 104, 118, 141, 28
SD2_C3	SDFM-2 チャンネル 3 クロック入力	I	135, 29, 59, 61, 76	C16, L16, M16, U18, W11	104, 107, 143, 65
SD2_C4	SDFM-2 チャンネル 4 クロック入力	I	137, 31, 60, 63, 78	B15, J16, M17, T18, U11	105, 109, 145, 66
SD2_D1	SDFM-2 チャンネル 1 データ入力	I	130, 24, 49, 56, 79	C15, K3, N16, R17, U10	101, 146, 24, 93
SD2_D2	SDFM-2 チャンネル 2 データ入力	I	132, 26, 50, 58, 73	A16, K1, N17, R18, W18	103, 140, 27, 94
SD2_D3	SDFM-2 チャンネル 3 データ入力	I	134, 28, 51, 60, 75	D16, M17, R19, V11, V18	105, 142, 64, 95

表 6-3. デジタル信号 (continued)

信号名	説明	ピンの種類	GPIO ピン	337 BGA ピン	176 ピンの PIN
SD2_D4	SDFM-2 チャンネル 4 データ入力	I	136、30、52、62、77	A15、J17、P16、T11、T17	108、144、63、96
SPIA_CLK	SPI-A クロック	I/O	18、34、56、60	E3、M17、N16、U14	10、101、105、70
SPIA_SIMO	SPI-A スレーブ入力、マスタ出力 (SIMO)	I/O	16、32、54、58	E1、N17、P18、U13	103、67、8、98
SPIA_SOMI	SPI-A スレーブ出力、マスタ入力 (SOMI)	I/O	17、33、55、59	E2、M16、P19、T13	100、104、69、9
SPIA_STEn	SPI-A スレーブ送信イネーブル (STE)	I/O	19、35、57、61	E4、L16、N18、T14	102、107、12、71
SPIB_CLK	SPI-B クロック	I/O	22、26、58、65	J4、K1、K16、N17	103、111、22、27
SPIB_SIMO	SPI-B スレーブ入力、マスタ出力 (SIMO)	I/O	24、60、63	J16、K3、M17	105、109、24
SPIB_SOMI	SPI-B スレーブ出力、マスタ入力 (SOMI)	I/O	25、61、64	K2、L16、L17	107、110、25
SPIB_STEn	SPI-B スレーブ送信イネーブル (STE)	I/O	23、27、59、66	K17、K4、L1、M16	104、112、23、28
SPIC_CLK	SPI-C クロック	I/O	102、124、22、52、71	B17、H3、J4、P16、V8	136、22、96
SPIC_SIMO	SPI-C スレーブ入力、マスタ出力 (SIMO)	I/O	100、122、20、50、69	B18、F2、H1、R18、T8	13、134、94
SPIC_SOMI	SPI-C スレーブ出力、マスタ入力 (SOMI)	I/O	101、123、21、51、70	A17、F3、H2、R19、U8	135、14、95
SPIC_STEn	SPI-C スレーブ送信イネーブル (STE)	I/O	103、125、23、53、72	B16、J1、K4、P17、T9	139、23、97
SPID_CLK	SPI-D クロック	I/O	32、93	B4、U13	175、67
SPID_SIMO	SPI-D スレーブ入力、マスタ出力 (SIMO)	I/O	30、91	B5、T11	173、63
SPID_SOMI	SPI-D スレーブ出力、マスタ入力 (SOMI)	I/O	31、92	A4、U11	174、66
SPID_STEn	SPI-D スレーブ送信イネーブル (STE)	I/O	33、94	A3、T13	176、69
SSIA_CLK	SSI-A クロック	I/O	18、56、65、93	B4、E3、K16、N16	10、101、111、175
SSIA_FSS	SSI-A フレーム同期	I/O	19、57、66、94	A3、E4、K17、N18	102、112、12、176
SSIA_RX	SSI-A シリアル・データ受信	I/O	17、55、64、92	A4、E2、L17、P19	100、110、174、9

表 6-3. デジタル信号 (continued)

信号名	説明	ピンの種類	GPIO ピン	337 BGA ピン	176 ピンの PIN
SSIA_TX	SSI-A シリアル・データ送信	I/O	16, 54, 63, 91	B5, E1, J16, P18	109, 173, 8, 98
TRACE_CLK	トレース・クロック	O	24	K3	24
TRACE_DATA0	トレース・データ 0	O	20	F2	13
TRACE_DATA1	トレース・データ 1	O	21	F3	14
TRACE_DATA2	トレース・データ 2	O	22	J4	22
TRACE_DATA3	トレース・データ 3	O	23	K4	23
TRACE_SWO	トレース・シングル・ワイヤ出力	O	25	K2	25
UARTA_RX	UART-A シリアル・データ受信	I/O	43, 85	B11, C19	131, 155
UARTA_TX	UART-A シリアル・データ送信	I/O	42, 84	A11, D19	130, 154
USB0DM	USB-0 PHY 差動データ	O	42	D19	130
USB0DP	USB-0 PHY 差動データ	O	43	C19	131
XCLKOUT	外部クロック出力。このピンは、デバイス内のクロック信号の中から選択されたものを分周した信号を出力します。	O	73	A16	140

6.3.3 電源およびグランド

表 6-4. 電源およびグランド

信号名	説明	ピンの種類	GPIO PIN	337 BGA PIN	176 ピンの PIN
VDD	1.2V デジタル・ロジック電源ピン。各 VDD ピンの近くにデカップリング・コンデンサを配置することを推奨します。この合計容量は、少なくとも約 20 μ F になるようにします。デカップリング容量の正確な値は、システムの電圧レギュレーション・ソリューションによって決定する必要があります。単一の 56 Ω 抵抗 (許容誤差 10%) を VDD と VSS の間に配置する必要があります。この抵抗は、内部 VDD3VFL から VDD への電流源を消費し、低消費電力デバイスの状態での VDD 電圧の上昇を回避する負荷を提供します。			E11, E9, F11, F9, G14, G15, J14, J15, K5, K6, P10, P13, R10, R13	117, 126, 137, 153, 158, 16, 169, 21, 61, 76
VDD3VFL	3.3V フラッシュ電源ピン。各ピンに、最小 0.1 μ F のデカップリング・コンデンサを配置します。			R11, R12	72
VDDA	3.3V アナログ電源ピン。各ピンと VSSA の間に、最小 2.2 μ F のデカップリング・コンデンサを配置します。			P6, R6	36, 54
VDDIO	3.3V デジタル I/O 電源ピン。各ピンに、最小 0.1 μ F のデカップリング・コンデンサを配置します。			A18, A9, B1, E10, E13, E16, E7, F10, F13, F16, F4, F7, G4, G5, G6, H5, H6, L14, L15, M1, M5, M6, N14, N15, P9, R9, V19, W8	106, 11, 114, 116, 127, 138, 147, 15, 152, 159, 168, 20, 26, 3, 62, 68, 75, 82, 88, 91, 99

表 6-4. 電源およびグランド (continued)

信号名	説明	ピンの種類	GPIO PIN	337 BGA PIN	176 ピンの PIN
VDDOSC	3.3V オンチップ水晶発振器 (X1 および X2) と 2 つのゼロピン内部発振器 (INTOSC) の電源ピン。各ピンに、最小 0.1µF のデカップリング・コンデンサを配置します。			H16、H17	120、125
VSS	デバイスのグランド。クワッド・フラットバック (QFP) の場合、パッケージの底面にある PowerPAD を PCB のグランド・プレーンに半田付けする必要があります。			A1、A10、 A19、 E12、 E14、 E15、E5、 E6、E8、 F12、 F14、 F15、F5、 F6、F8、 G16、 G17、 H10、 H11、 H12、 H14、 H15、H8、 H9、J10、 J11、 J12、J5、 J6、J8、 J9、K10、 K11、 K12、 K14、 K15、K8、 K9、L10、 L11、 L12、 L18、L5、 L6、L8、 L9、M10、 M11、 M12、 M14、 M15、 M8、M9、 N1、N5、 N6、P11、 P12、 P14、 P15、P7、 P8、R14、 R15、R7、 R8、 W19、W7	PAD
VSSA	アナログ GND			P1、P5、 R5、V7、 W1	34、52
VSSOSC	水晶発振器 (X1 および X2) のグランド・ピン。外部水晶振動子を使用する場合、このピンを基板のグランドに接続しないでください。代わりに、外部水晶発振器回路のグランド基準電圧に接続します。外部水晶振動子を使用しない場合は、このピンを基板のグランドに接続できます。			H18、H19	122

6.3.4 テスト、JTAG、リセット

表 6-5. テスト、JTAG、リセット

信号名	説明	ピンの種類	GPIO PIN	337 BGA PIN	176 ピンの PIN
ERRORSTS	エラー・ステータス出力。この信号を使用する場合は、外部プルダウンが必要です。	O		U19	92
FLT1	フラッシュ・テスト・ピン 1。テキサス・インスツルメンツ用に予約済みです。未接続のままにする必要があります。	I/O		W12	73
FLT2	フラッシュ・テスト・ピン 2。テキサス・インスツルメンツ用に予約済みです。未接続のままにする必要があります。	I/O		V13	74
NC1	ノー・コネクション (オープン)。このピンは内部でデバイスに接続されていません。このピンはオープンのままにすることも、最大動作条件内の任意の電圧に接続することもできます。			H4	
NC2	ノー・コネクション (オープン)。このピンは内部でデバイスに接続されておらず、オープンのままにすることも、VSS または VDDIO に接続することもできます。注: 内部電圧レギュレータ (VREG) を備えた他の C2000 デバイスでは、このピンは VREGENZ (内部電圧レギュレータがイネーブル) になります。C2000 デバイス間で PCB 互換性をイネーブルにするには、このピンを VDDIO (3.3V) に接続する必要があります。これにより、他のデバイスに VREG が存在する場合でも、内部 VREG がディセーブルされ、このデバイスで使用する必要のある外部 VREG と競合しないことが保証されます。			J18	119
TCK	内部プルアップ付き JTAG テスト・クロック。	I		V15	81
TDI	内部プルアップ付き JTAG テスト・データ入力 (TDI)。TDI は、TCK の立ち上がりエッジで、選択したレジスタ (命令またはデータ) にシフトインされます。	I		W13	77
TDO	JTAG スキャンアウト、テスト・データ出力 (TDO)。選択したレジスタ (命令またはデータ) の内容は、TCK の立ち下がりエッジで、TDO からシフトアウトされます。	O		W15	78
TMS	内部プルアップ付き JTAG テスト・モード選択 (TMS)。このシリアル制御入力、TCK の立ち上がりエッジで、TAP コントローラにシフトインされる。通常動作時に JTAG をリセット状態に維持するために、基板上で TMS ピンと VDDIO の間に外部プルアップ抵抗 (推奨 2.2kΩ) を配置する必要があります。	I		W14	80
TRSTn	内部プルダウン付きの JTAG テスト・リセット。TRST を HIGH に駆動すると、スキャン・システムがデバイスの動作を制御するようになります。この信号が LOW に駆動されると、デバイスは機能モードで動作し、テスト・リセット信号は無視されます。注: TRST は、通常のデバイス動作中は常に LOW に維持する必要があるため、ノイズ・スパイクから保護するために、このピンには外部プルダウン抵抗が必要です。この抵抗の値は、JTAG デバッグ・プローブが TRST ピンを HIGH に駆動できる限り、できるだけ小さくする必要があります。一般に、2.2kΩ~10kΩ の抵抗で十分な保護が得られます。抵抗の値はアプリケーションに依存するため、テキサス・インスツルメンツでは、デバッグ・プローブとアプリケーションの適切な動作について、各ターゲット・ボードで検証することをお勧めします。このピンには、50ns (公称) のグリッチ・フィルタが内蔵されています。	I		V14	79

表 6-5. テスト、JTAG、リセット (continued)

信号名	説明	ピンの種類	GPIO PIN	337 BGA PIN	176 ピンの PIN
X1	水晶発振器入力またはシングルエンド・クロック入力。水晶発振器をイネーブルにする前に、デバイス初期化ソフトウェアでこのピンを設定する必要がある。この発振器を使用するには、X1 と X2 の間に水晶振動子を接続する必要がある。このピンを使って、シングルエンドの 3.3V レベル・クロックを供給することもできる。	I		G19	123
X2	水晶発振器出力。	O		J19	121
XRSn	デバイス・リセット (IN) およびウォッチドッグ・リセット (OUT)。電源投入時、このピンはデバイスによって LOW に駆動される。また、外部回路がこのピンを駆動して、デバイス・リセットをアサートすることもできる。ウォッチドッグ・リセットが発生した場合、MCU もこのピンを LOW に駆動する。ウォッチドッグ・リセット時には、512 OSCCLK サイクルのウォッチドッグ・リセット期間にわたって、XRSn ピンが Low に駆動されます。XRSn と VDDIO の間に 2.2kΩ~10kΩ の抵抗を配置する必要がある。ノイズ・フィルタリングのために XRS と VSS の間にコンデンサを配置する場合、容量は 100nF 以下にする必要があります。これらの値は、ウォッチドッグ・リセットがアサートされたときに、ウォッチドッグが 512 OSCCLK サイクル以内に XRSn ピンを VOL に正しく駆動できるように決められています。このピンの出力バッファは、内部プルアップ付きのオープン・ドレイン素子です。このピンが外部デバイスによって駆動される場合は、オープン・ドレイン・デバイスを使用して駆動する必要があります。	I/OD		F19	124

6.4 内部プルアップおよびプルダウン付きのピン

デバイスの一部のピンには、内部プルアップまたはプルダウンが付いています。表 6-6 に、プル方向および動作するときを示します。GPIO ピンのプルアップは、デフォルトでディセーブルになっており、ソフトウェアによってイネーブルにできます。未接続入力がフローティングになるのを回避するため、ブート ROM は、特定のパッケージで未接続の GPIO ピンについて、内部プルアップをイネーブルにします。表 6-6 に記載されているプルアップおよびプルダウン付きの他のピンは、常にオンであり、ディセーブルできません。

表 6-6. 内部プルアップおよびプルダウン付きのピン

ピン	リセット (XRSn = 0)	デバイス・ブート	アプリケーション・ソフトウェア
GPIOx	プルアップ・ディセーブル	プルアップ・ディセーブル ⁽¹⁾	プルアップ・イネーブルは、アプリケーションにより定義
TRSTn		プルダウン・イネーブル	
TCK		プルアップ・イネーブル	
TMS		プルアップ・イネーブル	
TDI		プルアップ・イネーブル	
XRSn		プルアップ・イネーブル	
ERRORSTS		プルダウン・イネーブル	
DACOUTx		プルダウン・イネーブル	
その他のピン		プルアップまたはプルダウンなし	

(1) 特定のパッケージで未接続の GPIO ピンについては、ブート ROM が内部プルアップをイネーブルにします。

6.5 ピン多重化

GPIO 多重化ピンは、セクション 6.5.1 の「GPIO 多重化ピン」表に示されています。

6.5.1 GPIO 多重化ピンの表

表 6-7. GPIO 多重化ピン

0、4、8、12	1	2	3	5	6	7	9	10	11	13	14	15	ALT
GPIO0	EPWM1A				I2CA_SDA		CM-I2CA_SDA	ESC_GPIO0		FSITXA_D0			
GPIO1	EPWM1B		MFSRB		I2CA_SCL		CM-I2CA_SCL	ESC_GPIO1		FSITXA_D1			
GPIO2	EPWM2A			OUTPUTXBAR1	I2CB_SDA			ESC_GPIO2		FSITXA_CLK			
GPIO3	EPWM2B	OUTPUTXBAR2	MCLKRB	OUTPUTXBAR2	I2CB_SCL			ESC_GPIO3		FSIRXA_D0			
GPIO4	EPWM3A			OUTPUTXBAR3	CANA_TX		MCAN_TX	ESC_GPIO4		FSIRXA_D1			
GPIO5	EPWM3B	MFSRA	OUTPUTXBAR3		CANA_RX		MCAN_RX	ESC_GPIO5		FSIRXA_CLK			
GPIO6	EPWM4A	OUTPUTXBAR4	EXTSYNCOUT	EQEP3_A	CANB_TX			ESC_GPIO6		FSITXB_D0			
GPIO7	EPWM4B	MCLKRA	OUTPUTXBAR5	EQEP3_B	CANB_RX			ESC_GPIO7		FSITXB_D1			
GPIO8	EPWM5A	CANB_TX	ADCSOAO	EQEP3_STROBE	SCIA_TX		MCAN_TX	ESC_GPO0		FSITXB_CLK	FSITXA_D1	FSIRXA_D0	
GPIO9	EPWM5B	SCIB_TX	OUTPUTXBAR6	EQEP3_INDEX	SCIA_RX			ESC_GPO1		FSIRXB_D0	FSITXA_D0	FSIRXA_CLK	
GPIO10	EPWM6A	CANB_RX	ADCSOAO	EQEP1_A	SCIB_TX		MCAN_RX	ESC_GPO2		FSIRXB_D1	FSITXA_CLK	FSIRXA_D1	
GPIO11	EPWM6B	SCIB_RX	OUTPUTXBAR7	EQEP1_B	SCIB_RX			ESC_GPO3		FSIRXB_CLK	FSIRXA_D1		
GPIO12	EPWM7A	CANB_TX	MDXB	EQEP1_STROBE	SCIC_TX			ESC_GPO4		FSIRXC_D0	FSIRXA_D0		
GPIO13	EPWM7B	CANB_RX	MDRB	EQEP1_INDEX	SCIC_RX			ESC_GPO5		FSIRXC_D1	FSIRXA_CLK		
GPIO14	EPWM8A	SCIB_TX	MCLKXB		OUTPUTXBAR3			ESC_GPO6		FSIRXC_CLK			
GPIO15	EPWM8B	SCIB_RX	MFSXB		OUTPUTXBAR4			ESC_GPO7		FSIRXD_D0			
GPIO16	SPIA_SIMO	CANB_TX	OUTPUTXBAR7	EPWM9A		SD1_D1			SSIA_TX	FSIRXD_D1			
GPIO17	SPIA_SOMI	CANB_RX	OUTPUTXBAR8	EPWM9B		SD1_C1			SSIA_RX	FSIRXD_CLK			
GPIO18	SPIA_CLK	SCIB_TX	CANA_RX	EPWM10A		SD1_D2	MCAN_RX	EMIF1_CS2n	SSIA_CLK	FSIRXE_D0			
GPIO19	SPIA_STEn	SCIB_RX	CANA_TX	EPWM10B		SD1_C2	MCAN_TX	EMIF1_CS3n	SSIA_FSS	FSIRXE_D1			
GPIO20	EQEP1_A	MDXA	CANB_TX	EPWM11A		SD1_D3		EMIF1_BA0	TRACE_DATA0	FSIRXE_CLK	SPIC_SIMO		
GPIO21	EQEP1_B	MDRA	CANB_RX	EPWM11B		SD1_C3		EMIF1_BA1	TRACE_DATA1	FSIRXF_D0	SPIC_SOMI		
GPIO22	EQEP1_STROBE	MCLKXA	SCIB_TX	EPWM12A	SPIB_CLK	SD1_D4	MCAN_TX	EMIF1_RAS	TRACE_DATA2	FSIRXF_D1	SPIC_CLK		

表 6-7. GPIO 多重化ピン (continued)

0、4、8、12	1	2	3	5	6	7	9	10	11	13	14	15	ALT
GPIO23	EQEP1_INDEX	MFSXA	SCIB_RX	EPWM12B	SPIB_STEn	SD1_C4	MCAN_RX	EMIF1_CAS	TRACE_DATA3	FSIRXF_CLK	SPIC_STEn		
GPIO24	OUTPUTXBAR1	EQEP2_A	MDXB		SPIB_SIMO	SD2_D1	PMBUSA_SCL	EMIF1_DQM0	TRACE_CLK	EPWM13A		FSIRXG_D0	
GPIO25	OUTPUTXBAR2	EQEP2_B	MDRB		SPIB_SOMI	SD2_C1	PMBUSA_SDA	EMIF1_DQM1	TRACE_SWO	EPWM13B	FSITXA_D1	FSIRXG_D1	
GPIO26	OUTPUTXBAR3	EQEP2_INDEX	MCLKXB	OUTPUTXBAR3	SPIB_CLK	SD2_D2	PMBUSA_ALER T	EMIF1_DQM2	ESC_MDIO_CL K	EPWM14A	FSITXA_D0	FSIRXG_CLK	
GPIO27	OUTPUTXBAR4	EQEP2_STROB E	MFSXB	OUTPUTXBAR4	SPIB_STEn	SD2_C2	PMBUSA_CTL	EMIF1_DQM3	ESC_MDIO_DA TA	EPWM14B	FSITXA_CLK	FSIRXH_D0	
GPIO28	SCIA_RX	EMIF1_CS4n		OUTPUTXBAR5	EQEP3_A	SD2_D3	EMIF1_CS2n			EPWM15A		FSIRXH_D1	
GPIO29	SCIA_TX	EMIF1_SDCKE		OUTPUTXBAR6	EQEP3_B	SD2_C3	EMIF1_CS3n	ESC_LATCH0	ESC_I2C_SDA	EPWM15B	ESC_SYNC0	FSIRXH_CLK	
GPIO30	CANA_RX	EMIF1_CLK	MCAN_RX	OUTPUTXBAR7	EQEP3_STROB E	SD2_D4	EMIF1_CS4n	ESC_LATCH1	ESC_I2C_SCL	EPWM16A	ESC_SYNC1	SPID_SIMO	
GPIO31	CANA_TX	EMIF1_WEn	MCAN_TX	OUTPUTXBAR8	EQEP3_INDEX	SD2_C4	EMIF1_RNW	I2CA_SDA	CM-I2CA_SDA	EPWM16B		SPID_SOMI	
GPIO32	I2CA_SDA	EMIF1_CS0n	SPIA_SIMO			CLB_OUTPUTX BAR1	EMIF1_OEn	I2CA_SCL	CM-I2CA_SCL			SPID_CLK	
GPIO33	I2CA_SCL	EMIF1_RNW	SPIA_SOMI			CLB_OUTPUTX BAR2	EMIF1_BA0					SPID_STEn	
GPIO34	OUTPUTXBAR1	EMIF1_CS2n	SPIA_CLK		I2CB_SDA	CLB_OUTPUTX BAR3	EMIF1_BA1	ESC_LATCH0	ENET_MII_CRS	SCIA_TX	ESC_SYNC0		
GPIO35	SCIA_RX	EMIF1_CS3n	SPIA_STEn		I2CB_SCL	CLB_OUTPUTX BAR4	EMIF1_A0	ESC_LATCH1	ENET_MII_COL		ESC_SYNC1		
GPIO36	SCIA_TX	EMIF1_WAIT			CANA_RX	CLB_OUTPUTX BAR5	EMIF1_A1	MCAN_RX		SD1_D1			
GPIO37	OUTPUTXBAR2	EMIF1_OEn			CANA_TX	CLB_OUTPUTX BAR6	EMIF1_A2	MCAN_TX		SD1_D2			
GPIO38		EMIF1_A0		SCIC_TX	CANB_TX	CLB_OUTPUTX BAR7	EMIF1_A3	ENET_MII_RX_ DV	ENET_MII_CRS	SD1_D3			
GPIO39		EMIF1_A1		SCIC_RX	CANB_RX	CLB_OUTPUTX BAR8	EMIF1_A4	ENET_MII_RX_ ERR	ENET_MII_COL	SD1_D4			
GPIO40		EMIF1_A2			I2CB_SDA				ENET_MII_CRS		ESC_I2C_SDA		

表 6-7. GPIO 多重化ピン (continued)

0、4、8、12	1	2	3	5	6	7	9	10	11	13	14	15	ALT
GPIO41		EMIF1_A3			I2CB_SCL			ENET_REVMII_MGIO_RST	ENET_MII_COL		ESC_I2C_SCL		
GPIO42					I2CA_SDA			ENET_MDIO_CLK	UARTA_TX			SCIA_TX	USB0DM
GPIO43					I2CA_SCL			ENET_MDIO_DATA	UARTA_RX			SCIA_RX	USB0DP
GPIO44		EMIF1_A4							ENET_MII_TX_CLK		ESC_TX1_CLK		
GPIO45		EMIF1_A5							ENET_MII_TX_EN		ESC_TX1_ENA		
GPIO46		EMIF1_A6			SCID_RX				ENET_MII_TX_ERR		ESC_MDIO_CLK		
GPIO47		EMIF1_A7			SCID_TX				ENET_PPS0		ESC_MDIO_DATA		
GPIO48	OUTPUTXBAR3	EMIF1_A8			SCIA_TX	SD1_D1			ENET_PPS1		ESC_PHY_CLK		
GPIO49	OUTPUTXBAR4	EMIF1_A9			SCIA_RX	SD1_C1	EMIF1_A5		ENET_MII_RX_CLK	SD2_D1	FSITXA_D0		
GPIO50	EQEP1_A	EMIF1_A10			SPIC_SIMO	SD1_D2	EMIF1_A6		ENET_MII_RX_DV	SD2_D2	FSITXA_D1		
GPIO51	EQEP1_B	EMIF1_A11			SPIC_SOMI	SD1_C2	EMIF1_A7		ENET_MII_RX_ERR	SD2_D3	FSITXA_CLK		
GPIO52	EQEP1_STROBE	EMIF1_A12			SPIC_CLK	SD1_D3	EMIF1_A8		ENET_MII_RX_DATA0	SD2_D4	FSIRXA_D0		
GPIO53	EQEP1_INDEX	EMIF1_D31	EMIF2_D15		SPIC_STEn	SD1_C3	EMIF1_A9		ENET_MII_RX_DATA1	SD1_C1	FSIRXA_D1		
GPIO54	SPIA_SIMO	EMIF1_D30	EMIF2_D14	EQEP2_A	SCIB_TX	SD1_D4	EMIF1_A10		ENET_MII_RX_DATA2	SD1_C2	FSIRXA_CLK	SSIA_TX	
GPIO55	SPIA_SOMI	EMIF1_D29	EMIF2_D13	EQEP2_B	SCIB_RX	SD1_C4	EMIF1_D0		ENET_MII_RX_DATA3	SD1_C3	FSITXB_D0	SSIA_RX	
GPIO56	SPIA_CLK	EMIF1_D28	EMIF2_D12	EQEP2_STROBE	SCIC_TX	SD2_D1	EMIF1_D1	I2CA_SDA	ENET_MII_TX_EN	SD1_C4	FSITXB_CLK	SSIA_CLK	

表 6-7. GPIO 多重化ピン (continued)

0, 4, 8, 12	1	2	3	5	6	7	9	10	11	13	14	15	ALT
GPIO57	SPIA_STEn	EMIF1_D27	EMIF2_D11	EQEP2_INDEX	SCIC_RX	SD2_C1	EMIF1_D2	I2CA_SCL	ENET_MII_TX_ERR		FSITXB_D1	SSIA_FSS	
GPIO58	MCLKRA	EMIF1_D26	EMIF2_D10	OUTPUTXBAR1	SPIB_CLK	SD2_D2	EMIF1_D3	ESC_LED_LINK_0_ACTIVE	ENET_MII_TX_CLK	SD2_C2	FSIRXB_D0	SPIA_SIMO	
GPIO59	MFSRA	EMIF1_D25	EMIF2_D9	OUTPUTXBAR2	SPIB_STEn	SD2_C2	EMIF1_D4	ESC_LED_LINK_1_ACTIVE	ENET_MII_TX_DATA0	SD2_C3	FSIRXB_D1	SPIA_SOMI	
GPIO60	MCLKRB	EMIF1_D24	EMIF2_D8	OUTPUTXBAR3	SPIB_SIMO	SD2_D3	EMIF1_D5	ESC_LED_ERR	ENET_MII_TX_DATA1	SD2_C4	FSIRXB_CLK	SPIA_CLK	
GPIO61	MFSRB	EMIF1_D23	EMIF2_D7	OUTPUTXBAR4	SPIB_SOMI	SD2_C3	EMIF1_D6	ESC_LED_RUN	ENET_MII_TX_DATA2		CANA_RX	SPIA_STEn	
GPIO62	SCIC_RX	EMIF1_D22	EMIF2_D6	EQEP3_A	CANA_RX	SD2_D4	EMIF1_D7	ESC_LED_STAT_E_RUN	ENET_MII_TX_DATA3		CANA_TX		
GPIO63	SCIC_TX	EMIF1_D21	EMIF2_D5	EQEP3_B	CANA_TX	SD2_C4	SSIA_TX		ENET_MII_RX_DATA0	SD1_D1	ESC_RX1_DAT_A0	SPIB_SIMO	
GPIO64		EMIF1_D20	EMIF2_D4	EQEP3_STROBE	SCIA_RX		SSIA_RX	ENET_MII_RX_DV	ENET_MII_RX_DATA1	SD1_C1	ESC_RX1_DAT_A1	SPIB_SOMI	
GPIO65		EMIF1_D19	EMIF2_D3	EQEP3_INDEX	SCIA_TX		SSIA_CLK	ENET_MII_RX_ERR	ENET_MII_RX_DATA2	SD1_D2	ESC_RX1_DAT_A2	SPIB_CLK	
GPIO66		EMIF1_D18	EMIF2_D2		I2CB_SDA		SSIA_FSS	ENET_MII_RX_DATA0	ENET_MII_RX_DATA3	SD1_C2	ESC_RX1_DAT_A3	SPIB_STEn	
GPIO67		EMIF1_D17	EMIF2_D1					ENET_MII_RX_CLK	ENET_REVMII_MDIO_RST	SD1_D3			
GPIO68		EMIF1_D16	EMIF2_D0						ENET_MII_INTR	SD1_C3	ESC_PHY1_LIN_KSTATUS		
GPIO69		EMIF1_D15			I2CB_SCL			ENET_MII_TX_EN	ENET_MII_RX_CLK	SD1_D4	ESC_RX1_CLK	SPIC_SIMO	
GPIO70		EMIF1_D14		CANA_RX	SCIB_TX		MCAN_RX		ENET_MII_RX_DV	SD1_C4	ESC_RX1_DV	SPIC_SOMI	
GPIO71		EMIF1_D13		CANA_TX	SCIB_RX		MCAN_TX	ENET_MII_RX_DATA0	ENET_MII_RX_ERR		ESC_RX1_ERR	SPIC_CLK	

表 6-7. GPIO 多重化ピン (continued)

0、4、8、12	1	2	3	5	6	7	9	10	11	13	14	15	ALT
GPIO72		EMIF1_D12		CANB_TX	SCIC_TX			ENET_MII_RX_DATA1	ENET_MII_TX_DATA3		ESC_TX1_DATA3	SPIC_STEn	
GPIO73		EMIF1_D11	XCLKOUT	CANB_RX	SCIC_RX			ENET_RMII_CLK	ENET_MII_TX_DATA2	SD2_D2	ESC_TX1_DATA2		
GPIO74		EMIF1_D10					MCAN_TX		ENET_MII_TX_DATA1	SD2_C2	ESC_TX1_DATA1		
GPIO75		EMIF1_D9					MCAN_RX		ENET_MII_TX_DATA0	SD2_D3	ESC_TX1_DATA0		
GPIO76		EMIF1_D8			SCID_TX			ENET_MII_RX_ERR		SD2_C3	ESC_PHY_RES ETn		
GPIO77		EMIF1_D7			SCID_RX					SD2_D4	ESC_RX0_CLK		
GPIO78		EMIF1_D6			EQEP2_A					SD2_C4	ESC_RX0_DV		
GPIO79		EMIF1_D5			EQEP2_B					SD2_D1	ESC_RX0_ERR		
GPIO80		EMIF1_D4			EQEP2_STROBE					SD2_C1	ESC_RX0_DATA0		
GPIO81		EMIF1_D3			EQEP2_INDEX						ESC_RX0_DATA1		
GPIO82		EMIF1_D2									ESC_RX0_DATA2		
GPIO83		EMIF1_D1									ESC_RX0_DATA3		
GPIO84				SCIA_TX	MDXB				UARTA_TX		ESC_TX0_ENA	MDXA	
GPIO85		EMIF1_D0		SCIA_RX	MDRB				UARTA_RX		ESC_TX0_CLK	MDRA	
GPIO86		EMIF1_A13	EMIF1_CAS	SCIB_TX	MCLKXB						ESC_PHY0_LINKSTATUS	MCLKXA	
GPIO87		EMIF1_A14	EMIF1_RAS	SCIB_RX	MFSXB		EMIF1_DQM3				ESC_TX0_DATA0	MFSXA	
GPIO88		EMIF1_A15	EMIF1_DQM0				EMIF1_DQM1				ESC_TX0_DATA1		

表 6-7. GPIO 多重化ピン (continued)

0、4、8、12	1	2	3	5	6	7	9	10	11	13	14	15	ALT
GPIO89		EMIF1_A16	EMIF1_DQM1		SCIC_TX		EMIF1_CAS				ESC_TX0_DATA 2		
GPIO90		EMIF1_A17	EMIF1_DQM2		SCIC_RX		EMIF1_RAS				ESC_TX0_DATA 3		
GPIO91		EMIF1_A18	EMIF1_DQM3		I2CA_SDA		EMIF1_DQM2	PMBUSA_SCL	SSIA_TX	FSIRXF_D0	CLB_OUTPUTX BAR1	SPID_SIMO	
GPIO92		EMIF1_A19	EMIF1_BA1		I2CA_SCL		EMIF1_DQM0	PMBUSA_SDA	SSIA_RX	FSIRXF_D1	CLB_OUTPUTX BAR2	SPID_SOMI	
GPIO93			EMIF1_BA0		SCID_TX			PMBUSA_ALER T	SSIA_CLK	FSIRXF_CLK	CLB_OUTPUTX BAR3	SPID_CLK	
GPIO94					SCID_RX		EMIF1_BA1	PMBUSA_CTL	SSIA_FSS	FSIRXG_D0	CLB_OUTPUTX BAR4	SPID_STEn	
GPIO95			EMIF2_A12							FSIRXG_D1	CLB_OUTPUTX BAR5		
GPIO96			EMIF2_DQM1	EQEP1_A						FSIRXG_CLK	CLB_OUTPUTX BAR6		
GPIO97			EMIF2_DQM0	EQEP1_B						FSIRXH_D0	CLB_OUTPUTX BAR7		
GPIO98			EMIF2_A0	EQEP1_STROB E						FSIRXH_D1	CLB_OUTPUTX BAR8		
GPIO99			EMIF2_A1	EQEP1_INDEX						FSIRXH_CLK			
GPIO100			EMIF2_A2	EQEP2_A	SPIC_SIMO			ESC_GPI0		FSITXA_D0			
GPIO101			EMIF2_A3	EQEP2_B	SPIC_SOMI			ESC_GPI1		FSITXA_D1			
GPIO102			EMIF2_A4	EQEP2_STROB E	SPIC_CLK			ESC_GPI2		FSITXA_CLK			
GPIO103			EMIF2_A5	EQEP2_INDEX	SPIC_STEn			ESC_GPI3		FSIRXA_D0			
GPIO104	I2CA_SDA		EMIF2_A6	EQEP3_A	SCID_TX			ESC_GPI4	CM-I2CA_SDA	FSIRXA_D1			
GPIO105	I2CA_SCL		EMIF2_A7	EQEP3_B	SCID_RX			ESC_GPI5	CM-I2CA_SCL	FSIRXA_CLK	ENET_MDIO_C LK		

表 6-7. GPIO 多重化ピン (continued)

0、4、8、12	1	2	3	5	6	7	9	10	11	13	14	15	ALT
GPIO106			EMIF2_A8	EQEP3_STROBE	SCIC_TX			ESC_GPI6		FSITXB_D0	ENET_MDIO_DATA		
GPIO107			EMIF2_A9	EQEP3_INDEX	SCIC_RX			ESC_GPI7		FSITXB_D1	ENET_REVMII_MDIO_RST		
GPIO108			EMIF2_A10					ESC_GPI8		FSITXB_CLK	ENET_MII_INTR		
GPIO109			EMIF2_A11					ESC_GPI9			ENET_MII_CRCS		
GPIO110			EMIF2_WAIT					ESC_GPI10		FSIRXB_D0	ENET_MII_COL		
GPIO111			EMIF2_BA0					ESC_GPI11		FSIRXB_D1	ENET_MII_RX_CLK		
GPIO112			EMIF2_BA1					ESC_GPI12		FSIRXB_CLK	ENET_MII_RX_DV		
GPIO113			EMIF2_CAS					ESC_GPI13			ENET_MII_RX_ERR		
GPIO114			EMIF2_RAS					ESC_GPI14			ENET_MII_RX_DATA0		
GPIO115			EMIF2_CS0n	OUTPUTXBAR5				ESC_GPI15		FSIRXC_D0	ENET_MII_RX_DATA1		
GPIO116			EMIF2_CS2n	OUTPUTXBAR6				ESC_GPI16		FSIRXC_D1	ENET_MII_RX_DATA2		
GPIO117			EMIF2_SDCKE					ESC_GPI17		FSIRXC_CLK	ENET_MII_RX_DATA3		
GPIO118			EMIF2_CLK					ESC_GPI18		FSIRXD_D0	ENET_MII_TX_EN		
GPIO119			EMIF2_RNW					ESC_GPI19		FSIRXD_D1	ENET_MII_TX_ERR		
GPIO120			EMIF2_WEn					ESC_GPI20		FSIRXD_CLK	ENET_MII_TX_CLK		
GPIO121			EMIF2_OEn					ESC_GPI21		FSIRXE_D0	ENET_MII_TX_DATA0		
GPIO122			EMIF2_D15		SPIC_SIMO	SD1_D1		ESC_GPI22			ENET_MII_TX_DATA1		

表 6-7. GPIO 多重化ピン (continued)

0、4、8、12	1	2	3	5	6	7	9	10	11	13	14	15	ALT
GPIO123			EMIF2_D14		SPIC_SOMI	SD1_C1		ESC_GPI23			ENET_MII_TX_DATA2		
GPIO124			EMIF2_D13		SPIC_CLK	SD1_D2		ESC_GPI24			ENET_MII_TX_DATA3		
GPIO125			EMIF2_D12		SPIC_STEn	SD1_C2		ESC_GPI25		FSIRXE_D1	ESC_LATCH0		
GPIO126			EMIF2_D11			SD1_D3		ESC_GPI26		FSIRXE_CLK	ESC_LATCH1		
GPIO127			EMIF2_D10			SD1_C3		ESC_GPI27			ESC_SYNC0		
GPIO128			EMIF2_D9			SD1_D4		ESC_GPI28			ESC_SYNC1		
GPIO129			EMIF2_D8			SD1_C4		ESC_GPI29			ESC_TX1_ENA		
GPIO130			EMIF2_D7			SD2_D1		ESC_GPI30			ESC_TX1_CLK		
GPIO131			EMIF2_D6			SD2_C1		ESC_GPI31			ESC_TX1_DATA0		
GPIO132			EMIF2_D5			SD2_D2		ESC_GPO0			ESC_TX1_DATA1		
GPIO133						SD2_C2							AUXCLKIN
GPIO134			EMIF2_D4			SD2_D3		ESC_GPO1			ESC_TX1_DATA2		
GPIO135			EMIF2_D3		SCIA_TX	SD2_C3		ESC_GPO2			ESC_TX1_DATA3		
GPIO136			EMIF2_D2		SCIA_RX	SD2_D4		ESC_GPO3			ESC_RX1_DV		
GPIO137	EPWM13A		EMIF2_D1		SCIB_TX	SD2_C4		ESC_GPO4			ESC_RX1_CLK		
GPIO138	EPWM13B		EMIF2_D0		SCIB_RX			ESC_GPO5			ESC_RX1_ERR		
GPIO139	EPWM14A				SCIC_RX			ESC_GPO6			ESC_RX1_DAT A0		
GPIO140	EPWM14B				SCIC_TX			ESC_GPO7			ESC_RX1_DAT A1		
GPIO141	EPWM15A				SCID_RX			ESC_GPO8			ESC_RX1_DAT A2		
GPIO142	EPWM15B				SCID_TX			ESC_GPO9			ESC_RX1_DAT A3		

表 6-7. GPIO 多重化ピン (continued)

0、4、8、12	1	2	3	5	6	7	9	10	11	13	14	15	ALT
GPIO143	EPWM16A							ESC_GPO10			ESC_LED_LINK 0_ACTIVE		
GPIO144	EPWM16B							ESC_GPO11			ESC_LED_LINK 1_ACTIVE		
GPIO145	EPWM1A							ESC_GPO12			ESC_LED_ERR		
GPIO146	EPWM1B							ESC_GPO13			ESC_LED_RUN		
GPIO147	EPWM2A							ESC_GPO14			ESC_LED_STAT E_RUN		
GPIO148	EPWM2B							ESC_GPO15			ESC_PHY0_LIN KSTATUS		
GPIO149	EPWM3A							ESC_GPO16			ESC_PHY1_LIN KSTATUS		
GPIO150	EPWM3B							ESC_GPO17			ESC_I2C_SDA		
GPIO151	EPWM4A							ESC_GPO18			ESC_I2C_SCL		
GPIO152	EPWM4B							ESC_GPO19			ESC_MDIO_CL K		
GPIO153	EPWM5A							ESC_GPO20			ESC_MDIO_DA TA		
GPIO154	EPWM5B							ESC_GPO21			ESC_PHY_CLK		
GPIO155	EPWM6A							ESC_GPO22			ESC_PHY_RES ETn		
GPIO156	EPWM6B							ESC_GPO23			ESC_TX0_ENA		
GPIO157	EPWM7A							ESC_GPO24			ESC_TX0_CLK		
GPIO158	EPWM7B							ESC_GPO25			ESC_TX0_DATA 0		
GPIO159	EPWM8A							ESC_GPO26			ESC_TX0_DATA 1		
GPIO160	EPWM8B							ESC_GPO27			ESC_TX0_DATA 2		

表 6-7. GPIO 多重化ピン (continued)

0、4、8、12	1	2	3	5	6	7	9	10	11	13	14	15	ALT
GPIO161	EPWM9A							ESC_GPO28			ESC_TX0_DATA 3		
GPIO162	EPWM9B							ESC_GPO29			ESC_RX0_DV		
GPIO163	EPWM10A							ESC_GPO30			ESC_RX0_CLK		
GPIO164	EPWM10B							ESC_GPO31			ESC_RX0_ERR		
GPIO165	EPWM11A							MDXA			ESC_RX0_DAT A0		
GPIO166	EPWM11B							MDRA			ESC_RX0_DAT A1		
GPIO167	EPWM12A							MCLKXA			ESC_RX0_DAT A2		
GPIO168	EPWM12B							MFSXA			ESC_RX0_DAT A3		

6.5.2 入力クロスバー

入力クロスバーは、いずれかの GPIO 入力を ADC、eCAP、ePWM ペリフェラル、および外部割り込み (XINT) にルーティングするために使用されます (図 6-7 を参照)。表 6-8 に、入力クロスバーの接続先を示します。入力クロスバーの構成の詳細については、『TMS320F2838x リアルタイム・マイクロコントローラ・テクニカル・リファレンス・マニュアル』のクロスバー (X-BAR) の章を参照してください。

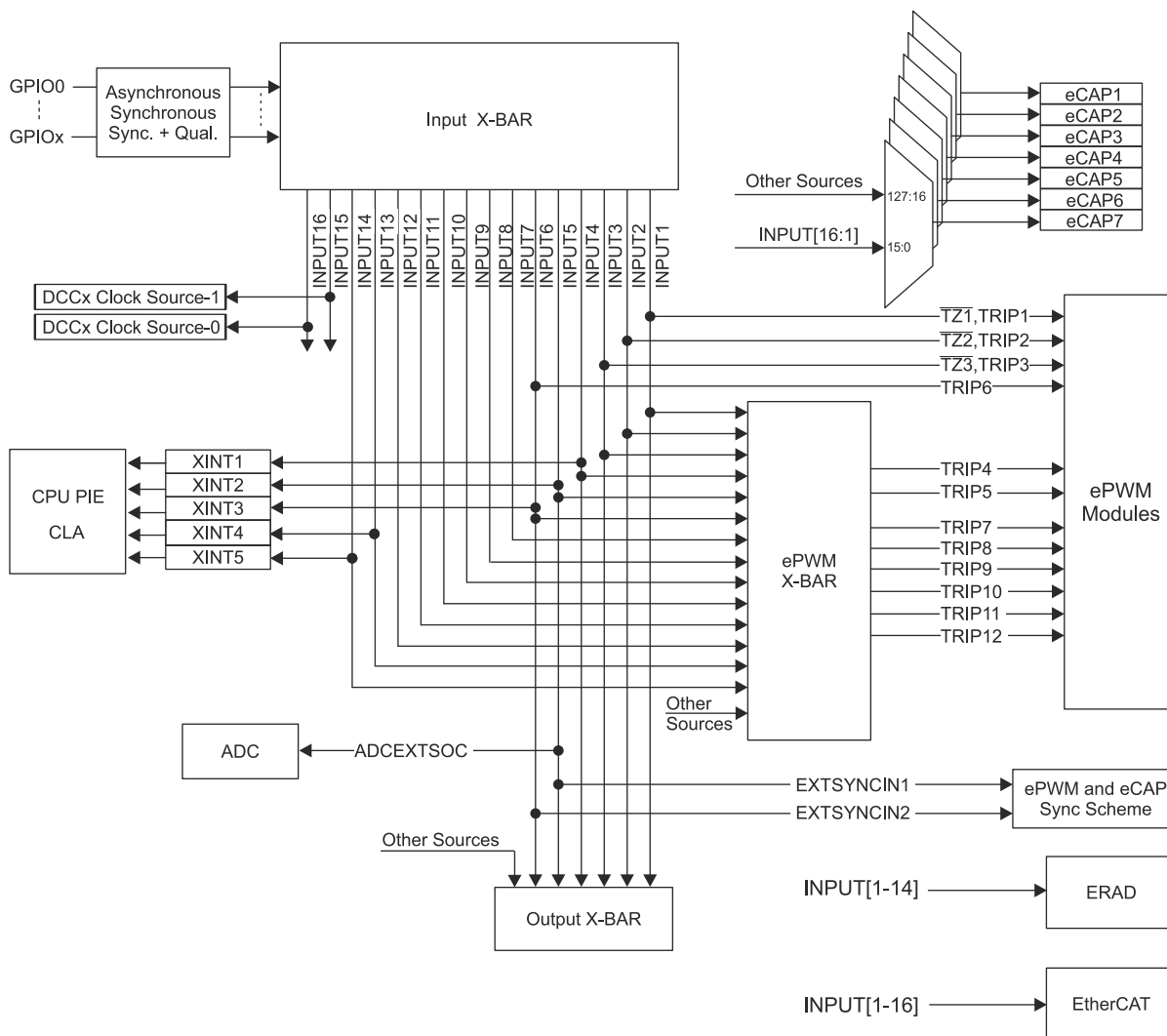


図 6-7. 入力クロスバー

表 6-8. クロスバーの接続先

入力	接続先
INPUT1	eCAPx, ePWM クロスバー、ePWM[TZ1,TRIP1]、出力クロスバー、EtherCAT、ERAD
INPUT2	eCAPx, ePWM クロスバー、ePWM[TZ2,TRIP2]、出力クロスバー、EtherCAT、ERAD
INPUT3	eCAPx, ePWM クロスバー、ePWM[TZ3,TRIP3]、出力クロスバー、EtherCAT、ERAD
INPUT4	eCAPx, ePWM クロスバー、XINT1、出力クロスバー、EtherCAT、ERAD
INPUT5	eCAPx, ePWM クロスバー、XINT2、ADCEXTSOC、EXTSYNCIN1、ePWM 同期、eCAP 同期、出力クロスバー、EtherCAT、ERAD
INPUT6	eCAPx, ePWM クロスバー、XINT3、ePWM[TRIP6]、EXTSYNCIN2、出力クロスバー、ePWM 同期、eCAP 同期、出力クロスバー、EtherCAT、ERAD
INPUT7	eCAPx, ePWM クロスバー、EtherCAT、ERAD、eCAP1 キャプチャ入力
INPUT8	eCAPx, ePWM クロスバー、EtherCAT、ERAD、eCAP2 キャプチャ入力
INPUT9	eCAPx, ePWM クロスバー、EtherCAT、ERAD、eCAP3 キャプチャ入力
INPUT10	eCAPx, ePWM クロスバー、EtherCAT、ERAD、eCAP4 キャプチャ入力
INPUT11	eCAPx, ePWM クロスバー、EtherCAT、ERAD、eCAP5 キャプチャ入力
INPUT12	eCAPx, ePWM クロスバー、EtherCAT、ERAD、eCAP6 キャプチャ入力
INPUT13	eCAPx, ePWM クロスバー、XINT4、EtherCAT
INPUT14	eCAPx, ePWM クロスバー、XINT5、EtherCAT、ERAD
INPUT15	eCAPx, EtherCAT
INPUT16	eCAPx, EtherCAT、DCCx

6.5.3 出力クロスバー、CLB クロスバー、CLB 出力クロスバー、および ePWM クロスバー

出力クロスバーには 8 つの出力があり、GPIO 多重化で OUTPUTXBARx として選択できます。CLB クロスバーには 8 つの出力があり、CLB グローバル・マルチプレクサで AUXSIGx として接続されています。CLB 出力クロスバーには 8 つの出力があり、GPIO マルチプレクサで CLB_OUTPUTXBARx として選択できます。ePWM クロスバーには 8 つの出力があり、ePWM の TRIPx 入力に接続されています。出力クロスバー、CLB クロスバー、CLB 出力クロスバー、および ePWM クロスバーのソースを [図 6-8](#) に示します。出力クロスバー、CLB クロスバー、CLB 出力クロスバー、および ePWM クロスバーの詳細については、『[TMS320F2838x リアルタイム・マイクロコントローラ・テクニカル・リファレンス・マニュアル](#)』のクロスバー (X-BAR) の章を参照してください。

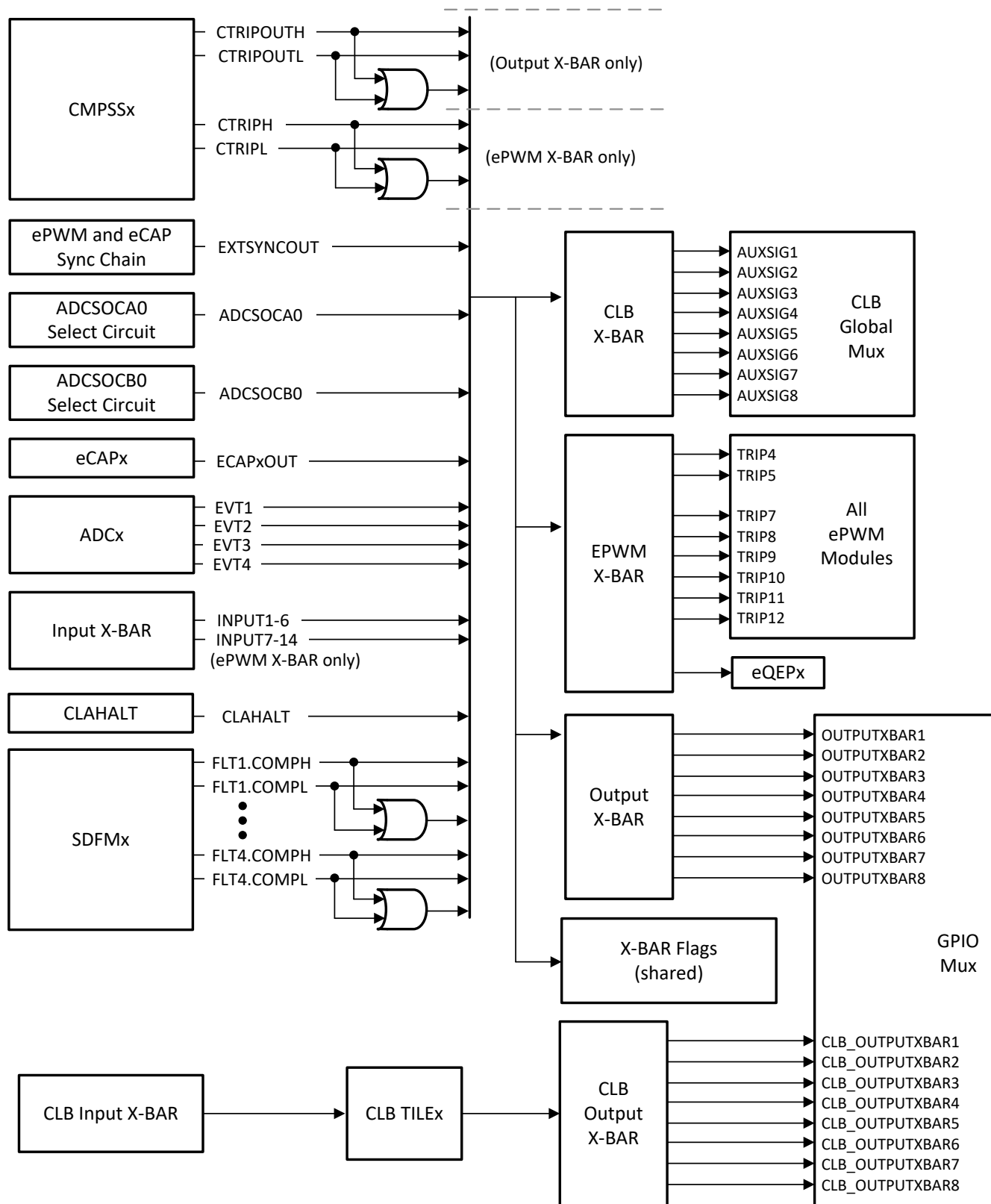


図 6-8. 出力クロスバー、CLB クロスバー、CLB 出力クロスバー、および ePWM クロスバーのソース

6.5.4 USB ピン多重化

表 6-9 に、代替 USB 機能の割り当てを示します。これらは GPBAMSEL レジスタで構成できます。

表 6-9. 代替 USB 機能

GPIO	GPBAMSEL 設定	USB 機能
GPIO42	GPBAMSEL[10] = 1b	USB0DM
GPIO43	GPBAMSEL[11] = 1b	USB0DP

6.5.5 高速 SPI ピン多重化

このデバイスの SPI モジュールには高速モードがあります。最高の速度を実現するために、それぞれの SPI に 1 つの GPIO 多重化オプションで特別な GPIO 構成を使用します。これらの GPIO は、高速モードではない場合 (HS_MODE = 0) の SPI でも使用できます。

SPI 高速モードを有効にする多重化オプションを選択するには、表 6-10 に示すように GPyGMUX および GPyMUX レジスタを構成します。

表 6-10. 高速 SPI 用の GPIO 構成

GPIO	SPI 信号	多重化構成	
SPIA			
GPIO58	SPISIMOA	GPBGMUX2[21:20]=11b	GPBMUX2[21:20]=11b
GPIO59	SPISOMIA	GPBGMUX2[23:22]=11b	GPBMUX2[23:22]=11b
GPIO60	SPICLKA	GPBGMUX2[25:24]=11b	GPBMUX2[25:24]=11b
GPIO61	SPISTEA	GPBGMUX2[27:26]=11b	GPBMUX2[27:26]=11b
SPIB			
GPIO63	SPISIMOB	GPBGMUX2[31:30]=11b	GPBMUX2[31:30]=11b
GPIO64	SPISOMIB	GPCGMUX1[1:0]=11b	GPCMUX1[1:0]=11b
GPIO65	SPICLKB	GPCGMUX1[3:2]=11b	GPCMUX1[3:2]=11b
GPIO66	SPISTEB	GPCGMUX1[5:4]=11b	GPCMUX1[5:4]=11b
SPIC			
GPIO69	SPISIMOC	GPCGMUX1[11:10]=11b	GPCMUX1[11:10]=11b
GPIO70	SPISOMIC	GPCGMUX1[13:12]=11b	GPCMUX1[13:12]=11b
GPIO71	SPICLKC	GPCGMUX1[15:14]=11b	GPCMUX1[15:14]=11b
GPIO72	SPISTEC	GPCGMUX1[17:16]=11b	GPCMUX1[17:16]=11b
SPID			
GPIO91	SPISIMOD	GPCGMUX2[23:22]=11b	GPCMUX2[23:22]=11b
GPIO92	SPISOMID	GPCGMUX2[25:24]=11b	GPCMUX2[25:24]=11b
GPIO93	SPICLKD	GPCGMUX2[27:26]=11b	GPCMUX2[27:26]=11b
GPIO94	SPISTED	GPCGMUX2[29:28]=11b	GPCMUX2[29:28]=11b

6.5.6 高速 SSI ピン多重化

このデバイスの SSI モジュールには高速モードがあります。SSI モジュールの高速モードをイネーブルにするには、SSI モジュールの高速クロックと高速機能 (SSICR1[HSCLKEN] および SSIPP[HSCLK]) をイネーブルにします。高速 SSI 用の GPIO 構成の表には、SSI 高速対応の pinmux オプションが示されています。

表 6-11. 高速 SSI 用の GPIO 構成

GPIO	SSI SIGNAL	GPIO MUX SELECTION INDEX
GPIO16	SSIA_TX	11
GPIO17	SSIA_RX	11
GPIO18	SSIA_CLK	11
GPIO19	SSIA_FSS	11

6.6 未使用ピンの接続

デバイスのすべての機能を使用する必要のないアプリケーションについては、表 6-12 に、未使用のピンに対する許容可能な処置方法を示します。表 6-12 に複数の選択肢が示されている場合は、どれを採用してもかまいません。表 6-12 に記載されていないピンは、「ピン属性」の表に従って接続する必要があります。

表 6-12. 未使用ピンの接続

信号名	許容可能な方法
アナログ	
VREFHix	VDDA に接続
VREFLOx	VSSA に接続
ADCINx (DAC ピンを除く)	<ul style="list-style-type: none"> 接続なし VSSA に接続
ADCINx (DAC ピン)	<ul style="list-style-type: none"> 接続なし 5kΩ 抵抗を介して VSSA にプルダウン
デジタル	
GPIOx	<ul style="list-style-type: none"> 接続なし (入力モードで内部プルアップをイネーブル) 接続なし (出力モードで内部プルアップをディセーブル) プルアップまたはプルダウン抵抗 (任意の値の抵抗、入力モードで内部プルアップをディセーブル)
X1	VSS に接続
X2	接続なし
TCK	<ul style="list-style-type: none"> 接続なし プルアップ抵抗
TDI	<ul style="list-style-type: none"> 接続なし プルアップ抵抗
TDO	接続なし
TMS	接続なし
TRSTn	プルダウン抵抗 (2.2kΩ 以下)
ERRORSTS	接続なし
FLT1	接続なし
FLT2	接続なし
電源およびグランド	
VDD	すべての VDD ピンは、「ピン属性」の表に従って接続する必要があります。
VDDA	専用のアナログ電源を使用しない場合は、VDDIO に接続します。
VDDIO	すべての VDDIO ピンは、「ピン属性」の表に従って接続する必要があります。
VDD3VFL	VDDIO に接続する必要があります
VDDOSC	VDDIO に接続する必要があります
VSS	すべての VSS ピンは、基板のグランドに接続する必要があります。
VSSA	専用のアナログ・グランドを使用しない場合は、VSS に接続します。
VSSOSC	外部水晶振動子を使用しない場合は、このピンを基板のグランドに接続できます。

7 仕様

7.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)^{(1) (2)}

		最小値	最大値	単位
電源電圧	VSS を基準とした VDDIO	-0.3	4.6	V
	VSSA を基準とした VDDA	-0.3	4.6	
	VSS を基準とした VDD3VFL	-0.3	4.6	
	VSS を基準とした VDDOSC	-0.3	4.6	
	VSS を基準とした VDD	-0.3	1.5	
入力電圧	V _{IN} (3.3V)	-0.3	4.6	V
出力電圧	V _O	-0.3	4.6	V
入力クランプ電流	デジタル / アナログ入力 (ピンごと)、I _{IK} (V _{IN} < VSS/VSSA、または V _{IN} > VDDIO/VDDA) ⁽⁴⁾	-20	20	mA
	すべての入力の合計値、I _{IKTOTAL} (V _{IN} < VSS/VSSA、または V _{IN} > VDDIO/VDDA)	-20	20	
出力電流	デジタル出力 (ピンごと)、I _{OUT}	-20	20	mA
周囲温度	T _A	-40	125	°C
動作時接合部温度	T _J	-40	150	°C
保存温度 ⁽³⁾	T _{stg}	-65	150	°C

- (1) 「絶対最大定格」を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについて示しており、このデータシートの「推奨動作条件」に示された値を越える状態で本製品が正常に動作することを暗黙的に示すものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
- (2) すべての電圧値は、特に記述のない限り、VSS 端子を基準とします。
- (3) 長期にわたる高温保存または最高温度条件での長時間使用は、デバイスの寿命を縮める可能性があります。詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション・レポートを参照してください。
- (4) ピンごとの連続クランプ電流は ±2mA です。この条件で連続的に動作すると、V_{DDIO}/V_{DDA} 電圧が内部で上昇し、他の電氣的仕様に影響を及ぼす可能性があるため、連続動作は避けてください。

7.2 ESD 定格 - 民生用

		値	単位	
TMS320F28388D, TMS320F28386D, TMS320F28384D, TMS320F28388S, TMS320F28386S, および TMS320F28384S, 337 ボール ZWT パッケージ				
V _(ESD) 静電気放電 (ESD)	人体モデル (HBM)、ANSI / ESDA / JEDEC JS-001 準拠 ⁽¹⁾	±2000	V	
	デバイス帯電モデル (CDM)、ANSI / ESDA / JEDEC JS-002 準拠 ⁽²⁾	すべてのピン		±500
		337 ボール ZWT のコーナー・ボール: A1, A19, W1, W19		±750
TMS320F28388D, TMS320F28386D, TMS320F28384D, TMS320F28388S, TMS320F28386S, および TMS320F28384S, 176 ピン PTP パッケージ				
V _(ESD) 静電気放電 (ESD)	人体モデル (HBM)、ANSI / ESDA / JEDEC JS-001 準拠 ⁽¹⁾	±2000	V	
	デバイス帯電モデル (CDM)、ANSI / ESDA / JEDEC JS-002 準拠 ⁽²⁾	すべてのピン		±500
		176 ピン PTP のコーナー・ピン: 1, 44, 45, 88, 89, 132, 133, 176		±750

- (1) JEDEC のドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスで安全な製造が可能であると記載されています。
- (2) JEDEC のドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスで安全な製造が可能であると記載されています。

7.3 ESD 定格 - 車載用

			値	単位
TMS320F28386D-Q1 および TMS320F28384D-Q1, 337 ボール ZWT パッケージ				
V _(ESD) 静電放電	人体モデル (HBM)、AEC Q100-002 準拠 ⁽¹⁾	すべてのピン	±2000	V
	デバイス帯電モデル (CDM)、AEC Q100-011 準拠	すべてのピン	±500	
		337 ボール ZWT のコーナー・ボール: A1, A19, W1, W19	±750	
TMS320F28386D-Q1, TMS320F28384D-Q1, TMS320F28386S-Q1, TMS320F28384S-Q1 は、176 ピン PTP パッケージ				
V _(ESD) 静電放電	人体モデル (HBM)、AEC Q100-002 準拠 ⁽¹⁾	すべてのピン	±2000	V
	デバイス帯電モデル (CDM)、AEC Q100-011 準拠	すべてのピン	±500	
		176 ピン PTP のコーナー・ピン: 1, 44, 45, 88, 89, 132, 133, 176	±750	

(1) AEC Q100-002 は、ANSI/ESDA/JEDEC JS-001 仕様に従って HBM ストレス試験を実施することを示しています。

7.4 推奨動作条件

		最小値	公称値	最大値	単位
デバイス電源電圧、VDDIO ⁽¹⁾		3.14	3.3	3.47	V
アナログ電源電圧、VDDA		3.14	3.3	3.47	V
デバイス電源電圧、VDD		1.14	1.2	1.26	V
デバイス・グランド、VSS			0		V
アナログ・グランド、VSSA			0		V
SR _{SUPPLY}	VSS に対する VDDIO、VDD、VDDA の電源ランブ・レート ⁽²⁾			10 ⁵	V/s
V _{IN}	デジタル入力電圧	VSS – 0.3		VDDIO + 0.3	V
V _{IN}	アナログ入力電圧	VSSA – 0.3		VDDA + 0.3	V
接合部温度、T _J	S バージョン ⁽³⁾	-40		125	°C
自由気流での周囲温度、T _A	Q バージョン ⁽³⁾ (AEC Q100 認定)	-40		125	°C

(1) VDDIO、VDD3VFL、VDDOSC は互いに 0.3V 以内に維持する必要があります。

(2) 電源ランブ・レートがこの値よりも速いと、オンチップ ESD 保護がトリガされる可能性があります。

(3) T_J = 105°C を超えて長時間動作すると、デバイスの寿命が短くなります。詳細については、『組み込みプロセッサの有効寿命の計算』を参照してください。

7.5 消費電力の概略

このセクションに記載されている電流値は、絶対最大値ではなく、与えられたテスト条件での代表値を表しています。アプリケーションでの実際のデバイス電流は、アプリケーション・コードおよびピン構成によって異なります。セクション 7.5.1 に、外部電源のシステム消費電流値を示します。

7.5.1 システム消費電流 (外部電源)

自由気流での動作温度範囲内 (特に記述のない限り)。
代表値: V_{nom} 、30°C

パラメータ		テスト条件	最小値	代表値	最大値	単位
動作モード						
I_{DD}	動作時の VDD 消費電流 ⁽³⁾	セクション 7.5.2 を参照。		288	475	mA
I_{DDIO}	動作時の VDDIO 消費電流 ⁽²⁾			45		mA
I_{DDA}	動作時の VDDA 消費電流			8	15	mA
IDLE モード						
I_{DD}	デバイスが IDLE モードのときの VDD 消費電流 ⁽³⁾	CPU は IDLE モード <ul style="list-style-type: none"> フラッシュは電源オフ XCLKOUT はオフ 		90	265	mA
I_{DDIO}	デバイスが IDLE モードのときの VDDIO 消費電流 ⁽²⁾			4	7	mA
I_{DDA}	デバイスが IDLE モードのときの VDDA 消費電流			0.002	0.010	mA
STANDBY モード						
I_{DD}	デバイスが STANDBY モードのときの VDD 消費電流 ⁽³⁾	CPU は STANDBY モード <ul style="list-style-type: none"> フラッシュは電源オフ XCLKOUT はオフ 		30	200	mA
I_{DDIO}	デバイスが STANDBY モードのときの VDDIO 消費電流 ⁽²⁾			4	7	mA
I_{DDA}	デバイスが STANDBY モードのときの VDDA 消費電流			0.002	0.010	mA
フラッシュ消去 / プログラム						
I_{DD}	消去 / プログラム・サイクル中の VDD 消費電流 ^{(1) (3)}	CPU はフラッシュから実行され、使用されていないセクタで消去とプログラムを実行します。 <ul style="list-style-type: none"> SYSCLK は 200MHz で動作。 I/O はプルアップがイネーブルされた入力。 パリアフェラル・クロックはオフ。 		242	360	mA
I_{DDIO}	消去 / プログラム・サイクル中の VDDIO 消費電流 ^{(1) (2)}			56	75	mA
I_{DDA}	消去 / プログラム・サイクル中の VDDA 消費電流			0.01	0.15	mA
リセット・モード						
I_{DD}	XRSn によってリセット状態に保持されているときの VDD 消費電流 ⁽³⁾	XRSn に駆動される外部 Low 信号により、CPU はリセット状態に保持 <ul style="list-style-type: none"> パワーアップ時に XRSn を Low に保持 		55		mA
I_{DDIO}	XRSn によってリセット状態に保持されているときの VDDIO 消費電流 ⁽²⁾	XRSn に駆動される外部 Low 信号により、CPU はリセット状態に保持 <ul style="list-style-type: none"> パワーアップ時に XRSn を Low に保持 		15		mA
I_{DDA}	XRSn によってリセット状態に保持されているときの VDDA 消費電流	XRSn に駆動される外部 Low 信号により、CPU はリセット状態に保持 <ul style="list-style-type: none"> パワーアップ時に XRSn を Low に保持 		0.05		mA

- フラッシュ・プログラミング中に発生したブラウンアウト・イベントは、フラッシュ・データを破壊し、デバイスを永続的にロックする可能性があります。代替電源 (USB プログラマなど) を使用するプログラミング環境では、電源のブラウンアウト状態を回避するために、十分なマージンを確保して、デバイスおよび他のシステム・コンポーネントに定格電流を供給できるようにする必要があります。
- VDD3VFL 電源の消費電流を含みます (VDDIO + VDD3VFL)。
- この表の VDD 電流値には、「信号の説明」セクションに記載されている 56Ω の抵抗を経由した VDD から VSS への 21mA の電流は含まれていません。

7.5.2 動作モード・テストの説明

セクション 7.5.1 および「ディセーブルされたペリフェラルごとの代表的な電流低減」の表に、デバイスの動作モードの消費電流値を示します。動作モードでは、アプリケーションで何が発生する可能性があるかを推定できます。これらの測定のテスト条件には、以下の特徴があります。

- コードは RAM から実行。
- フラッシュは読み取りで、アクティブ状態を保持。
- 外部コンポーネントは I/O ピンによって駆動されない。
- すべてのペリフェラルでクロックがイネーブルになっている。
- すべての CPU がコードをアクティブに実行。
- CPU1 と CPU2 は 200MHz で動作し、CM は 125MHz で動作します。
- すべてのアナログ・ペリフェラルに電源が投入されている。ADC と DAC は定期的に変換を実行。

7.5.3 消費電流のグラフ

図 7-1、図 7-2、図 7-3 は、デバイスの周波数、温度、コア電源、消費電流の関係の代表例を示したものです。実際の結果は、システムの実装と条件によって異なります。

図 7-1 に、温度とコア電源電圧における標準的な動作電流プロファイルを示します。図 7-2 に、温度とコア電源電圧における標準的なスタンバイ電流プロファイルを示します。図 7-3 に、C28x CPU のクロック周波数の変化と CM モジュールのクロック周波数の変化に伴って、標準的な動作電流がどのように変化するかを示します。

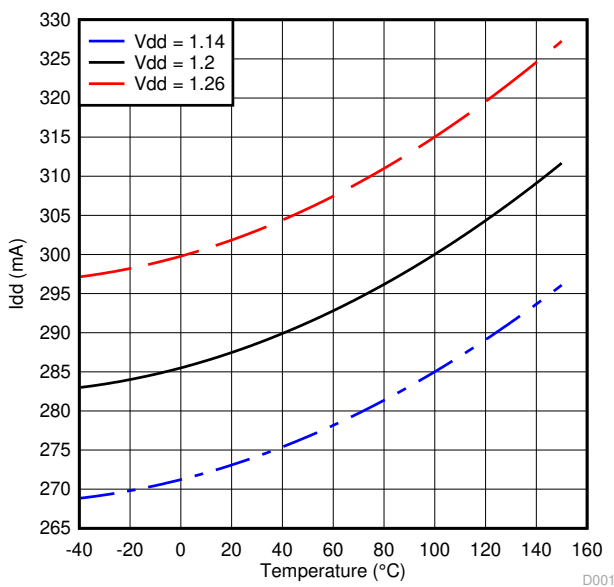


図 7-1. 標準的な動作電流と温度との関係

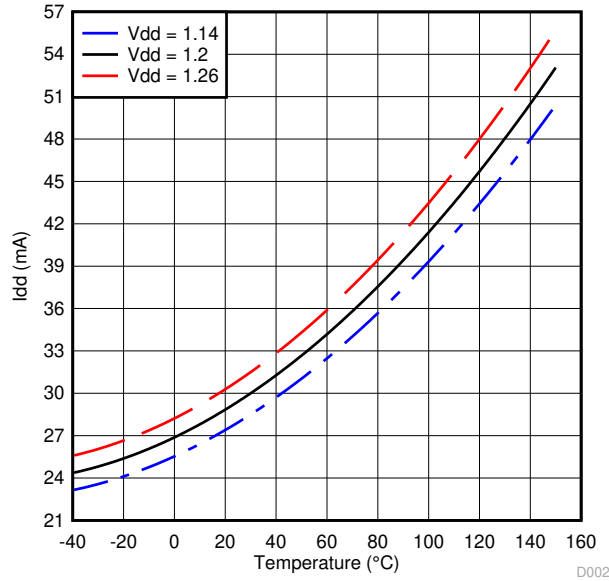


図 7-2. 標準的なスタンバイ電流と温度との関係

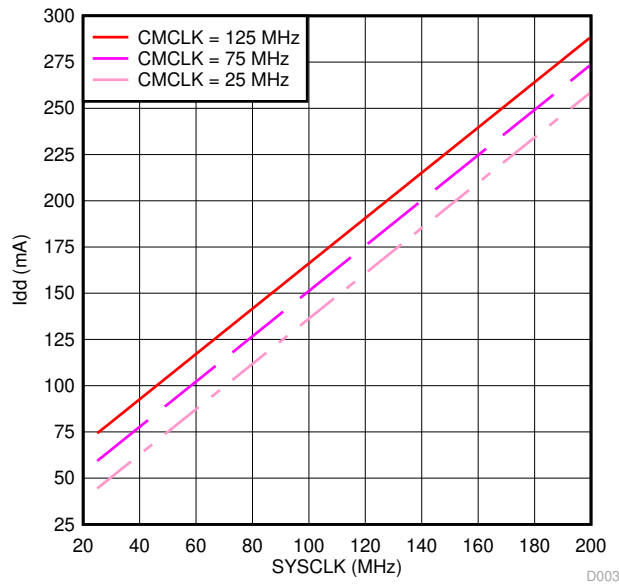


図 7-3. 標準的な動作電流と SYSCLK との関係

7.5.4 消費電流の低減

F2838x デバイスには、デバイスの消費電流を低減する方法がいくつかあります。

- アプリケーションが動作していないときに、IDLE または STANDBY の 2 つの低消費電力モードのいずれかに移行できます。
- RAM からコードを実行する場合には、フラッシュ・モジュールの電源をオフにすることができます。
- 出力機能として設定されているピンのプルアップをディセーブルにします。
- 各ペリフェラルには、個別のクロック・イネーブル・ビット (PCLKCRx) があります。特定のアプリケーションで使用されていないペリフェラルについて、クロックをオフにすることにより、消費電流を低減できます。「ディセーブルされたペリフェラルごとの代表的な電流低減」の表に、PCLKCRx レジスタを使用してクロックをディセーブルすることで実現できる、代表的な電流低減を示します。
- 低消費電力モードで最小の VDDA 消費電流を実現するには、『[TMS320F2838x リアルタイム・マイクロコントローラ・テクニカル・リファレンス・マニュアル](#)』の A/D コンバータ (ADC) の章を参照して、各モジュールの電源が確実にオフになるようにしてください。

7.5.4.1 ペリフェラル・ディセーブル時の標準的な電流低減

ペリフェラル ⁽¹⁾	I _{DD} 電流の低減 (mA)
ADC ⁽²⁾	2.6
CLA	1.5
CLA BGCRC	0.3
CLB	1.6
CM - AES	0.4
CM - GCRC	2.4
CM - I2C	1.4
CM - SSI	0.4
CM - uDMA	0.4
CM - UART	0.7
CMPSS ⁽²⁾	0.7
CPU BGCRC	0.5
CPU タイマ	0.1
DAC ⁽²⁾	0.4
DCAN	1.6
DCC	0.2
DMA	1.4
eCAP1~eCAP5	0.3
eCAP6~eCAP7 ⁽³⁾	0.7
EMIF	1.0
ERAD	4.0
ePWM1~ePWM8 ⁽⁴⁾	2.0
ePWM9~ePWM16	1.1
eQEP	0.5
EtherCAT	2.9
イーサネット	3.7
FSI RX	0.7
FSI TX	0.9
I2C	0.4
MCAN (CAN FD)	1.5
McBSP	2.4

7.5.4.1 ペリフェラル・ディセーブル時の標準的な電流低減 (continued)

ペリフェラル ⁽¹⁾	I _{DD} 電流の低減 (mA)
PMBUS	0.6
SCI	0.3
SDFM	2.7
SPI	0.7
USB	5.4

- すべてのペリフェラルは、リセット時にディセーブルになります。各ペリフェラルは、PCLKCRx レジスタを使用して個別にイネーブルにします。複数のインスタンスを持つペリフェラルの場合、ここに記載された電流は、単一のモジュールのものです。
- この数値は、各モジュールのデジタル部分で消費される電流を示しています。
- eCAP6 および eCAP7 は、HRCAP として構成することもできます。
- ePWM1～ePWM8 は、HRPWM として構成することもできます。

7.6 電気的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	代表値	最大値	単位
V _{OH}	High レベル出力電圧	I _{OH} = I _{OH} 最小値	VDDIO * 0.8			V
		I _{OH} = -100μA	VDDIO - 0.2			
V _{OL}	Low レベル出力電圧	I _{OL} = I _{OL} 最大値			0.4	V
		I _{OL} = 100μA			0.2	
I _{OH}	すべての出力ピンの High レベル出力ソース電流		-4			mA
I _{OL}	すべての出力ピンの Low レベル出力シンク電流				4	mA
R _{OH}	グループ 1 ⁽¹⁾	グループ 1 の出力ピンの High レベル出力インピーダンス			70	Ω
	グループ 2 ⁽²⁾	グループ 2 の出力ピンの High レベル出力インピーダンス			35	Ω
	グループ 3 ⁽³⁾	グループ 3 の出力ピンの High レベル出力インピーダンス			45	Ω
	グループ 4 ⁽⁴⁾	グループ 4 の出力ピンの High レベル出力インピーダンス			60	Ω
R _{OL}	グループ 1 ⁽¹⁾	グループ 1 の出力ピンの Low レベル出力インピーダンス			70	Ω
	グループ 2 ⁽²⁾	グループ 2 の出力ピンの Low レベル出力インピーダンス			35	Ω
	グループ 3 ⁽³⁾	グループ 3 の出力ピンの Low レベル出力インピーダンス			45	Ω
	グループ 4 ⁽⁴⁾	グループ 4 の出力ピンの Low レベル出力インピーダンス			60	Ω
V _{IH}	High レベル入力電圧 (3.3V)	GPIO42, GPIO43	VDDIO * 0.7			V
		その他のすべてのピン	2.0			V
V _{IL}	Low レベル入力電圧 (3.3V)				0.8	V
V _{HYSTERESIS}	入力ヒステリシス		150			mV

7.6 電気的特性 (continued)

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	代表値	最大値	単位	
$I_{PULLDOWN}$	入力電流	プルダウン付きのデジタル入力 ⁽⁵⁾	VDDIO = 3.3V $V_{IN} = VDDIO$	120		μA	
I_{PULLUP}	入力電流	プルアップがイネーブルされたデジタル入力 ⁽⁵⁾	VDDIO = 3.3V $V_{IN} = 0V$	150		μA	
I_{LEAK}	ピンのリーク電流	デジタル	プルアップおよび出力はディセーブル $0V \leq V_{IN} \leq VDDIO$	-2	2	μA	
		アナログ (ADCINB0 または DACOUTx を除く)	$0V \leq V_{IN} \leq VDDA$	-0.3	0.3	μA	
		ADCINB0 ⁽⁶⁾			2	11	μA
		DACOUTx			66		μA
C_I	入力キャパシタンス ⁽⁷⁾			2		pF	
$V_{DDIO-POR}$	VDDIO パワーオン・リセット電圧			2.5		V	

- (1) グループ 1: GPIO0-2, 6, 8-10, 16, 18-29, 31-41, 44-70, 72-117, 119-132, 134-138
- (2) グループ 2: GPIO3-5, 7, 11-15, 17, 133, 139-168
- (3) グループ 3: GPIO30, 71, 118
- (4) グループ 4: USB ピン (GPIO42, 43)
- (5) プルアップまたはプルダウン付きのピンのリストについては、表 6-6 を参照してください。
- (6) ADCINB0 で示されている最大入力リーク電流は、高温での値です。
- (7) アナログ・ピンは、個別に規定されています。表 7-12 を参照してください。

7.7 ZWT パッケージの熱抵抗特性

		°C/W ⁽¹⁾	エアフロー (lfm) ⁽²⁾
R θ_{JC}	接合部からケースへの熱抵抗	8.3	該当なし
R θ_{JB}	接合部から基板への熱抵抗	11.6	該当なし
R θ_{JA} (High k PCB)	接合部から周囲への熱抵抗	20.6	0
R θ_{JMA}	接合部から周囲空気流への熱抵抗	18.6	150
		17.4	250
		16.5	500
Psi $_{JT}$	接合部とパッケージ上面との間	0.3	0
		0.4	150
		0.5	250
		0.6	500
Psi $_{JB}$	接合部と基板との間	11.4	0
		11.2	150
		11.1	250
		11.1	500

(1) これらの値は、JEDEC により定義された 2S2P システム (JEDEC 定義の 1S0P システムによる θ_{JC} [R θ_{JC}] 値を除く) に基づいており、周囲環境とアプリケーションによって変化します。詳細については、以下の EIA/JEDEC 規格を参照してください。

- JESD51-2、『IC の熱テスト手法の環境条件 - 自然対流 (静止空気)』
- JESD51-3、『リード付き表面実装パッケージ用の有効熱伝導率の低いテスト基板』
- JESD51-7、『リード付き表面実装パッケージ用の有効熱伝導率の高いテスト基板』
- JESD51-9、『エリアアレイ表面実装パッケージの熱測定用テスト基板』

(2) lfm = linear feet per minute (リニア・フィート毎分)

7.8 PTP パッケージの熱抵抗特性

		°C/W ⁽¹⁾	空気流 (lfm) ⁽²⁾
R θ_{JC}	接合部からケースへの熱抵抗	6.97	該当なし
R θ_{JB}	接合部から基板への熱抵抗	6.05	該当なし
R θ_{JA} (High k PCB)	接合部から周囲への熱抵抗	17.8	0
R θ_{JMA}	接合部から周囲空気流への熱抵抗	12.8	150
		11.4	250
		10.1	500
Psi $_{JT}$	接合部とパッケージ上面との間	0.11	0
		0.24	150
		0.33	250
		0.42	500
Psi $_{JB}$	接合部と基板との間	6.1	0
		5.5	150
		5.4	250
		5.3	500

(1) これらの値は、JEDEC により定義された 2S2P システム (JEDEC 定義の 1S0P システムによる θ_{JC} [R θ_{JC}] 値を除く) に基づいており、周囲環境とアプリケーションによって変化します。詳細については、以下の EIA / JEDEC 規格を参照してください。

- JESD51-2、『IC の熱テスト手法の環境条件 - 自然対流 (静止空気)』
- JESD51-3、『リード付き表面実装パッケージ用の有効熱伝導率の低いテスト基板』
- JESD51-7、『リード付き表面実装パッケージ用の有効熱伝導率の高いテスト基板』
- JESD51-9、『エリア・アレイ表面実装パッケージの熱測定用テスト基板』

(2) lfm = linear feet per minute (リニア・フィート毎分)

7.9 熱設計の検討事項

最終アプリケーションの設計と動作プロファイルに応じて、 I_{DD} および I_{DDIO} の電流は変動する可能性があります。最終製品において推奨最大消費電力を超えるシステムでは、追加の熱強化が必要になる場合があります。周囲温度 (T_A) は、最終アプリケーションおよび製品の設計によって異なります。信頼性と機能に影響を与える重要な要因は、周囲温度ではなく、接合部温度 T_J です。したがって、規定された制限範囲内に T_J を維持するように注意する必要があります。動作接合部温度 T_J を推定するためには、 T_{case} を測定する必要があります。通常、 T_{case} は、パッケージ上面の中央で測定します。サーマル・アプリケーション・レポート『[半導体および IC パッケージの熱評価基準](#)』は、熱評価基準および定義の理解に役立ちます。

7.10 システム

7.10.1 パワー・マネージメント・モジュール (PMM)

7.10.1.1 はじめに

パワー・マネージメント・モジュール (PMM) は、デバイスの動作に必要なすべてのパワー・マネージメント機能进行处理します。

7.10.1.2 概要

「PMM のブロック図」に、PMM のブロック図を示します。ご覧のように PMM は、さまざまなサブコンポーネントで構成されており、これについて以降のセクションで説明します。立ち上がり遅延は、図に示すように、パワーアップ (立ち上がり電圧) 時のみ発生するリセットの解除の遅延を表します。これらの遅延は、パワーダウン状況では存在しません。

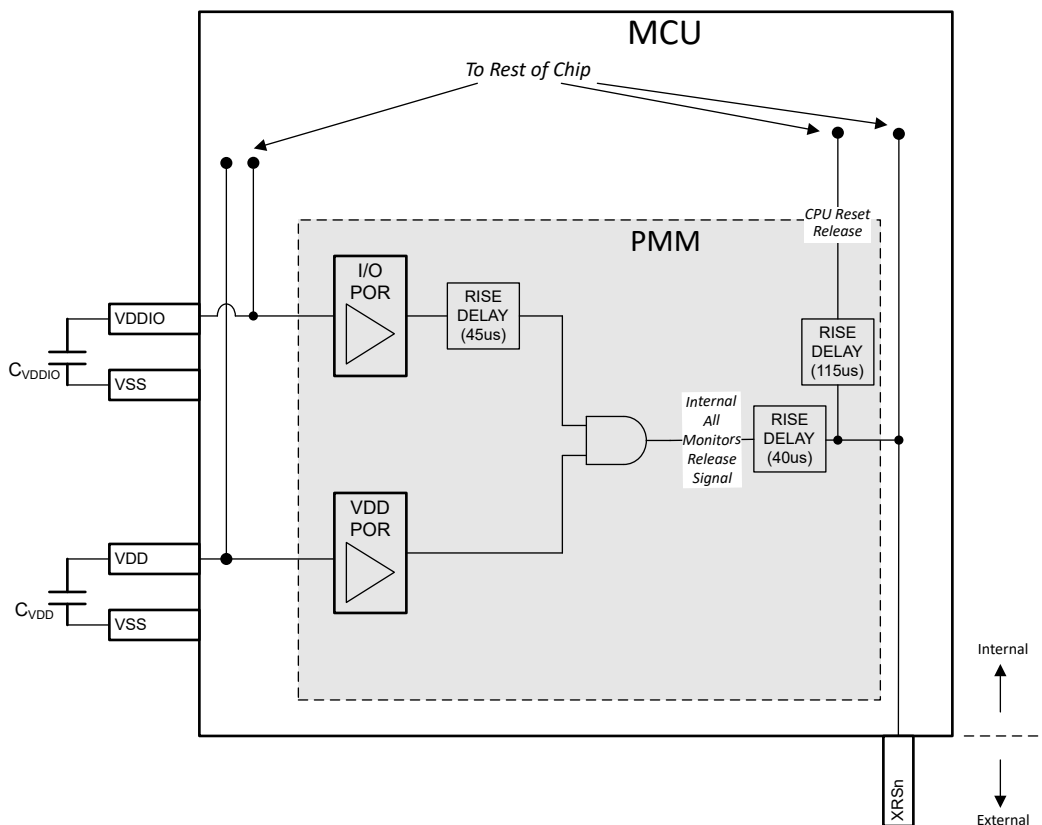


図 7-4. PMM のブロック図

7.10.1.2.1 電源レール監視

PMM には VDDIO と VDD の両方の電源レールの電圧監視があり、パワーアップ時に電源電圧が設定したスレッシュホールドを超えると、XRSn 信号が解除されて High になります。このデバイスの PMM の役割は、パワーアップ時に IO ピンがリッチ・フリーになり、この期間中に XRSn がアクティブ Low に保持されるようにすることです。最小の立ち上がりスルーレートが満たされている場合、デバイスの電氣的仕様を満たすために適切な電圧レベルに達するまで XRSn が保持されます。

ただし、PMM の検出制限は、デバイスの最小動作範囲を下回っています。立ち上がりスルーレートが満たされていない場合、XRSn は電源レールが仕様範囲内になる前に解除されます。同様に、いずれかの電圧ラインにドロープが存在する場合、電源電圧が安定する場所によっては、PMM は範囲外イベントを検出しない可能性があります。そのため、デバイスの電圧レールを監視し、このような状況でデバイスに対するリセットを解除する外部電圧監視回路が必要です。

2つの電圧監視 (I/O POR、VDD POR) はどちらも、PMM によって XRSn ピン (アクティブ Low、オープン・ドレイン入力) の駆動が解除される前に、入力電圧レベルがそれぞれの解除スレッシュホールドよりも高いことを検出する必要があります。いずれかの電源ピンの電圧が解除ポイントを下回ると、XRSn はデバイスによって Low に駆動されます。いずれかの電圧監視がトリップすると、I/O はハイ・インピーダンス状態に保持されます。

7.10.1.2.2 I/O POR (パワーオン・リセット) 監視

I/O POR 監視は、VDDIO レールを監視します。電源投入時に、電圧が VDDIO についてプログラムされたトリップ・レベルを超えると、この監視は解除されます (すなわち、トリップが解除されます)。

注

I/O POR は、VDDIO の最小推奨電圧よりも低いレベルにプログラムされているため、単独の VDDIO 監視ではこれに依存しないでください。VDDIO バス電圧を高精度で監視するには、外部監視回路を使用することを推奨します。

7.10.1.2.3 VDD POR (パワーオン・リセット) 監視

VDD POR 監視は、VDD レールを監視します。電源投入時に、電圧が VDD についてプログラムされたトリップ・レベルを超えると、この監視は解除されます (すなわち、トリップが解除されます)。

注

VDD POR は、VDD の最小推奨電圧よりも低いレベルにプログラムされているため、単独の VDD 監視ではこれに依存しないでください。VDD 電源レールを高精度で監視するには、外部監視回路を使用することを推奨します。

7.10.1.2.4 外部監視回路の使用

VDDIO 監視: VDDIO レールが仕様内で動作しているかを監視するには、外部監視回路が必要です。内部 I/O POR は、パワーアップ時に GPIO でグリッチが生じないようにすることを目的としており、この期間中は XRSn がアクティブ Low に保持されます。

VDD 監視: VDD レールが仕様内で動作しているかを監視するには、外部監視回路が必要です。内部 VDD POR は、パワーアップ時に GPIO でグリッチが生じないようにすることを目的としており、この期間中は XRSn がアクティブ Low に保持されます。

7.10.1.2.5 遅延ブロック

電圧モニタのパス内の遅延ブロックは連携して動作し、電圧モニタと XRSn の間の解放時間を遅延させます。この遅延により、VDDIO と VDD の両方のレールが上昇したとき、確実に電圧が安定するようになっています。遅延ブロックは、電源投入時 (すなわち、VDDIO および VDD が上昇しているとき) にのみアクティブになります。

遅延ブロックは、「[パワー・マネージメント・モジュールの電氣的データおよびタイミング](#)」で規定されている最小スルーレートに影響を与えます。

注

ブロック図に示されている遅延時間は、標準値です。

7.10.1.3 外付け部品

7.10.1.3.1 デカップリング・コンデンサ

正常に動作するためには、VDDIO および VDD にデカップリング・コンデンサが必要です。その要件については、以降のセクションで概要を説明します。

7.10.1.3.2 VDDIO デカップリング

VDDIO には、最小限のデカップリング容量を配置する必要があります。「[パワー・マネージメント・モジュールの電氣的データおよびタイミング](#)」の C_{VDDIO} パラメータを参照してください。使用するデカップリング容量の実際合計値が、VDDIO を駆動する電源の要件です。以下に示す構成のどちらでも許容可能です。

- **構成 1:** C_{VDDIO} パラメータに従って、各 VDDIO ピンにデカップリング・コンデンサを配置します。
- **構成 2:** $[C_{VDDIO} \times \text{VDDIO ピンの数}]$ に相当する値の単一のデカップリング・コンデンサを実装します。

注

デカップリング・コンデンサは、電源ピンの近くに配置する必要があります。

7.10.1.4 電源シーケンス

7.10.1.4.1 電源ピンの一括接続

すべての 3.3V レールを 1 つにまとめて接続し、単一の電源から電力を供給することを強く推奨します。その電源ピンを以下に示します。

- VDDIO
- VDDA
- VDD3VFL
- VDDOSC

また、いずれかの電源ピンを未接続のままにしないでください。

VDD ピンを 1 つにまとめて接続し、単一の電源から電力を供給する必要があります。

このデバイスのアナログ・モジュールは、PSRR がかなり高いため、ほとんどの場合、VDDA のノイズが電源レールの推奨動作条件を超えない限り、アナログ・モジュールの性能低下は起こりません。したがって、通常は、VDDA を別に供給してもあまり利点はありません。ただし、ノイズの改善のために、VDDIO と VDDA の間に π 型フィルタを配置することは許容されます。

注

レールごとのすべての電源ピンは、内部で互いに接続されています。たとえば、すべての VDDIO ピンが内部で互いに接続され、すべての VDD ピンが内部で互いに接続されます。

7.10.1.4.2 信号ピンの電源シーケンス

デバイスに電源を供給する前に、いずれかのデジタル・ピンに、VDDIO より 0.3V 上回る電圧または VSS より 0.3V 下回る電圧を印加してはいけません。また、いずれかのアナログ・ピン (VREFHI および VDAC を含む) に、VDDA より 0.3V 上回る電圧または VSSA より 0.3V 下回る電圧を印加してはいけません。要するに、すべての 3.3V レールが互いに接続されているとすれば、信号ピンを駆動するのは、XRSn が High になった後にしなければなりません。VDDIO と VDDA が互いに接続されていない場合であっても、このシーケンシングは、やはり必要です。

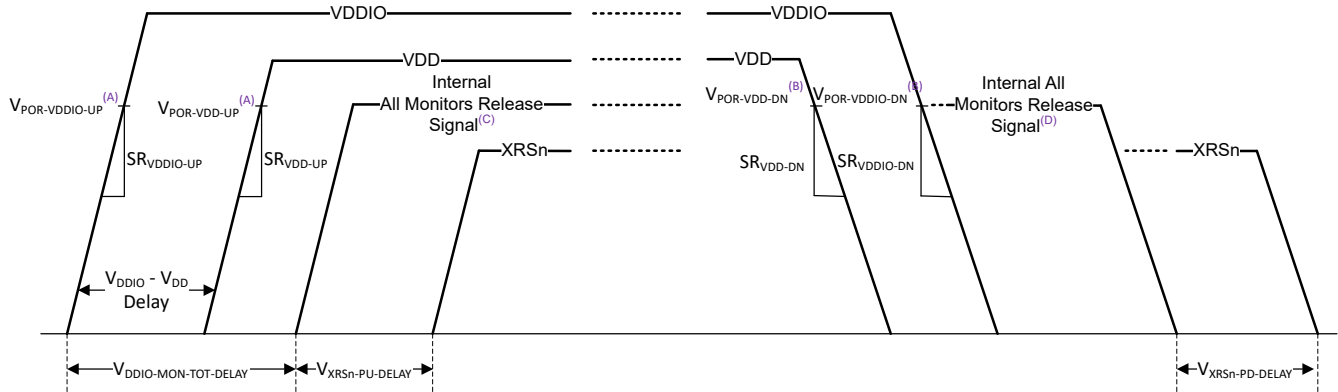
注意

上記のシーケンスに違反した場合、デバイスが誤動作したり、デバイス内の意図しない寄生パスを電流が流れるために損傷したりする可能性があります。

7.10.1.4.3 電源ピンの電源シーケンス

7.10.1.4.3.1 電源シーケンス

図 7-5 に、デバイスの電源シーケンス要件を示します。表示されているすべてのパラメータの値は、「パワー・マネージメント・モジュールの電氣的データおよびタイミング」に記載されています。



- このトリップ・ポイントは、XRSn が解除される前のトリップ・ポイントです。「パワー・マネージメント・モジュールの特性」表を参照してください。
- このトリップ・ポイントは、XRSn が解除された後のトリップ・ポイントです。「パワー・マネージメント・モジュールの特性」表を参照してください。
- パワーアップ中に、すべての POR 監視が解除されると、全監視解除信号が High になります。「PMM のブロック図」を参照してください。
- パワーダウン中に、POR 監視のいずれかがトリップされると、全監視解除信号が Low になります。「PMM のブロック図」を参照してください。
- 上の図は、XRSn の内部駆動を示しています。外部監視回路は、必要に応じていつでも XRSn をアクティブ Low にできます。

図 7-5. パワーアップ / パワーダウン・シーケンス

• パワーアップ:

- VDDIO (すなわち 3.3V レール) は、規定された最小スルーレートで最初に立ち上がる必要があります。
- VDD (すなわち 1.2V レール) は、規定された最小スルーレートで次に立ち上がる必要があります。
- VDDIO レールの立ち上がりから VDD レールの立ち上がりまでの時間差も規定されています。
- $V_{DDIO-MON-TOT-DELAY}$ および $V_{XRSn-PD-DELAY}$ で規定された時間が経過すると、XRSn が解放され、デバイスはブートアップ・シーケンスを開始します。

XRSn の解放 (すなわち High になる) とブートアップ・シーケンスの開始の間には、さらに遅延があります。「PMM のブロック図」を参照してください。

- パワーアップ時には、XRSn が解放される前に VDDIO と VDD の両方のレールが立ち上がっている必要があります。

• パワーダウン:

- VDDIO と VDD のどちらが先にパワーダウンするという要件はありませんが、 $VDD \leq VDDIO$ となることが推奨されます。
- パワーダウン中に POR 監視のいずれかがトリップすると、 $V_{XRSn-PD-DELAY}$ の後、XRSn が Low になります。

注

全監視解除信号は、内部信号です。

注

XRSn を駆動する外部回路 (たとえば、電源監視回路) が存在する場合、すべての内部および外部ソースによって XRSn ピンが解放されるまで、ブートアップ・シーケンスは開始されません。

7.10.1.4.3.2 電源シーケンスの概要と違反の影響

ルールで許容されるパワーアップ・シーケンスを以下にまとめます。ここで「パワーアップ」とは、対象のルールが推奨される最小動作電圧に達したことを意味します。

注意

許容されないシーケンスは、信頼性に関する問題を引き起こし、場合によっては損傷が発生する可能性があります。

単純化のため、すべての 3.3V レールを互いに接続して、「電源ピンの電源シーケンス」の説明に従うことを推奨します。

表 7-1. シーケンスの概要

事例	レールのパワーアップ順序			許容可否
	VDDIO	VDDA	VDD	
A	1	2	3	可能
B	1	3	2	可能
C	2	1	3	-
D	2	3	1	-
E	3	2	1	-
F	3	1	2	-
G	1	1	2	可能
H	2	2	1	-

注

デバイスのアナログ・モジュールは、VDDA が推奨される最小動作電圧に達した後でのみ電力供給できます。

7.10.1.4.3.3 電源スルーレート

VDDIO と VDD の両方に最小スルーレート要件があります。最小スルーレートが満たされていない場合、VDDIO または VDD が最小動作電圧に達する前に、デバイスがリセットから解放されて起動を開始する可能性があります。その結果、デバイスが正常に機能しなくなることがあります。

注

最小スルーレートを満たすことができない場合、VDDIO および VDD に電圧監視回路を使用して、VDD が最小動作電圧を超えるまで XRSn を Low に維持することにより、デバイスの正常な機能を確保する必要があります。

7.10.1.5 パワー・マネージメント・モジュールの電氣的データおよびタイミング

7.10.1.5.1 パワー・マネージメント・モジュールの動作条件

パラメータ		テスト条件	最小値	代表値	最大値	単位
全般						
C _{VDDIO}	各 VDDIO / VDD3FL / VDDOSC ピンの容量	外部電源 IC の要件によります ⁽¹⁾	0.1			μF
C _{VDDA}	各 VDDA ピンのコンデンサ ⁽⁵⁾		2.2			μF
C _{VDD TOTAL} ⁽²⁾	合計 VDD 容量 ⁽⁵⁾		20	22		μF
R _{VDD TOTAL} ⁽⁷⁾	VSS に対する合計 VDD 抵抗		56			Ω
SR _{VDDIO-UP} ^{(3) (6)}	3.3V レールの電源上昇速度 (VDDIO)		8		100	mV/μs
SR _{VDDIO-DN} ^{(3) (6)}	3.3V レールの電源下降速度 (VDDIO)		20		100	mV/μs
SR _{VDD-UP} ^{(3) (6)}	1.2V レールの電源上昇速度 (VDD)		3.5		100	mV/μs
SR _{VDD-DN} ^{(3) (6)}	1.2V レールの電源下降速度 (VDD)		10		100	mV/μs
V _{DDIO} - V _{DD} 遅延 ⁽⁴⁾	VDDIO と VDD の間の上昇下降遅延		0		制限なし	μs

- (1) この電源のバルク容量は、電源 IC の要件に基づいて決定する必要があります。
- (2) デカップリング容量の正確な値は、これらのピンに電力を供給するシステム電圧レギュレーション・ソリューションによって決まります。
- (3) 「電源スルーレート」セクションを参照してください。電源上昇下降速度が最大値よりも速いと、オンチップ ESD 保護がトリガされる可能性があります。
- (4) 3.3V レールが上昇してから、1.2V レールが上昇するまでの遅延。
- (5) コンデンサの最大許容誤差は 20% にする必要があります。
- (6) 外部監視回路を使用する場合、最小スルーレートを守る必要はありません。
- (7) VDD と VSS の間には、単一の 56Ω 抵抗 (許容誤差 10%) を配置する必要があります。この抵抗により、内部の VDD3VFL から VDD への電流を消費し、低消費電力デバイス状態で VDD 電圧が上昇することを防止するための負荷が供給されます。

7.10.1.5.2 パワー・マネージメント・モジュールの特性

パラメータ		テスト条件	最小値	代表値	最大値	単位
V _{POR-VDDIO-UP}	上昇時の VDDIO パワー・オン・リセット電圧	XRSn 解除前		2.5		V
V _{POR-VDDIO-DN}	下降時の VDDIO パワー・オン・リセット電圧	XRSn 解除後		2.7		V
V _{POR-VDD-UP}	上昇時の VDD パワー・オン・リセット電圧	XRSn 解除前		1		V
V _{POR-VDD-DN}	下降時の VDD パワー・オン・リセット電圧	XRSn 解除後		1.047		V
V _{XRSn-PU-DELAY} ⁽¹⁾	パワーアップ時の電源上昇から XRSn 解除までの遅延			40		μs
V _{XRSn-PD-DELAY} ⁽²⁾	パワーダウン時の電源下降から XRSn トリップまでの遅延			2		μs
V _{DDIO-MON-TOT-DELAY}	VDDIO 監視のパスにおける合計遅延 (POR)			45		μs
V _{XRSn-MON-RELEASE-DELAY}	VDD POR イベントから XRSn 解除までの遅延	電源は動作範囲内		40		μs
	VDDIO POR イベントから XRSn 解除までの遅延			85		μs

- (1) 電源は、それぞれのレールの推奨最小動作条件を超えた後、完全に上昇したと見なされます。この遅延が有効になる前に、すべての POR および BOR 監視が解除される必要があります。RC ネットワーク遅延がこの値に加算されます。
- (2) パワーダウン時にいずれかの POR 監視がトリップすると、XRSn が直ちにトリップされます。この遅延時間は、いずれかの POR 監視のトリップから XRSn が Low になるまでの時間です。これは変動する可能性があり、電源の下降レートに依存します。RC ネットワーク遅延がこの値に加算されます。

7.10.2 リセット・タイミング

XRSn は、デバイスのリセット・ピンです。入力およびオープン・ドレイン出力として機能します。このデバイスにはパワーオン・リセット (POR) が内蔵されています。電源投入時に、POR 回路が XRSn ピンを LOW に駆動します。ウォッチドッグ・リセットまたは NMI ウォッチドッグ・リセットも、ピンを LOW に駆動します。外部回路によってピンを駆動して、デバイス・リセットをアサートすることもできます。

XRSn と V_{DDIO} の間に 2.2kΩ～10kΩ の抵抗を配置する必要があります。ノイズ・フィルタリングのため、XRSn と V_{SS} の間にコンデンサを配置します。容量は 100nF 以下にする必要があります。これらの値は、ウォッチドッグ・リセットがアサートされたときに、ウォッチドッグが 512 OSCCLK サイクル以内に XRSn ピンを V_{OL} に正しく駆動できるように決められています。図 7-6 に、リセットの推奨回路を示します。

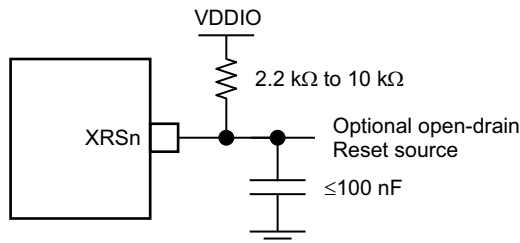


図 7-6. リセット回路

7.10.2.1 リセット・ソース

「リセット信号」表に、各種のリセット信号と、デバイスへの影響をまとめます。CM サブシステムのリセットについては、『TMS320F2838x リアルタイム・マイクロコントローラ・テクニカル・リファレンス・マニュアル』の「コネクティビティ・マネージャのシステム制御と割り込み」の「リセット」セクションを参照してください。

表 7-2. リセット信号

リセット・ソース	CPU1 コアのリセット (C28x、TMU、FPU、VCRC)	CPU1 ペリフェラルのリセット	CPU2 コアのリセット (C28x、TMU、FPU、VCRC)	CPU2 および CM ペリフェラルのリセット	CPU2 および CM をリセット状態に保持	JTAG / Debug ロジックのリセット	IOS	XRSn 出力
POR	あり	あり	あり	あり	あり	あり	ハイ・インピーダンス	あり
XRSn ピン	あり	あり	あり	あり	あり	-	ハイ・インピーダンス	-
CPU1.SIMRESET.XRSn	あり	あり	あり	あり	あり	-	ハイ・インピーダンス	あり
CPU1.WDRS	あり	あり	あり	あり	あり	-	ハイ・インピーダンス	あり
CPU1.NMIWDRS	あり	あり	あり	あり	あり	-	ハイ・インピーダンス	あり
CPU1.SYSRS (デバッグ・リセット)	あり	あり	あり	あり	あり	-	ハイ・インピーダンス	-
CPU1.SIMRESET.CPU1R Sn	あり	あり	あり	あり	あり	-	ハイ・インピーダンス	-
CPU1.SCCRESET	あり	あり	あり	あり	あり	-	ハイ・インピーダンス	-
CPU1.HWBISTRS	あり	-	-	-	-	-	-	-
CPU2.SYSRS (デバッグ・リセット)	-	-	あり	あり	-	-	-	-
CPU2.WDRS	-	-	あり	あり	-	-	-	-
CPU2.NMIWDRS	-	-	あり	あり	-	-	-	-

表 7-2. リセット信号 (continued)

リセット・ソース	CPU1 コアの リセット (C28x、 TMU、FPU、 VCRC)	CPU1 ペリフ エラルのリセ ット	CPU2 コアの リセット (C28x、 TMU、FPU、 VCRC)	CPU2 およ び CM ペリフ エラルのリセ ット	CPU2 およ び CM をリセ ット状態に保 持	JTAG / Debug ログ ックのリセット	IOS	XRSn 出力
CPU2.SCCRESET	-	-	あり	あり	-	-	-	-
CPU2.HWBISTR	-	-	あり	-	-	-	-	-
ECAT_RESET_OUT	あり	あり	あり	あり	あり	-	ハイ・インピ ーダンス	あり
TRSTn	-	-	-	-	-	あり	-	-

パラメータ $t_{h(\text{boot-mode})}$ は、これらのソースから開始されたいずれのリセットにも対応する必要があります。

注意

一部のリセット・ソースはデバイスによって内部で駆動されます。これらのソースの一部は、XRSn を Low に駆動します。これを使って、ブート・ピンを駆動する他のデバイスを無効にします。 $\overline{\text{SCCRESET}}$ およびデバッグのリセット・ソースは、XRSn を駆動しません。したがって、ブート・モードに使用されるピンが、システム内の他のデバイスによってアクティブに駆動されないようにする必要があります。ブート構成には、OTP のブート・ピンを変更する機能があります。詳細については、『[TMS320F2838x リアルタイム・マイクロコントローラ・テクニカル・リファレンス・マニュアル](#)』を参照してください。

7.10.2.2 リセットの電気的データおよびタイミング

セクション 7.10.2.2.1 に、リセット (XRSn) のタイミング要件を示します。セクション 7.10.2.2.2 に、リセット (XRSn) のスイッチング特性を示します。図 7-7 に、パワーオン・リセットを示します。図 7-8 に、ウォーム・リセットを示します。

7.10.2.2.1 リセット (XRSn) のタイミング要件

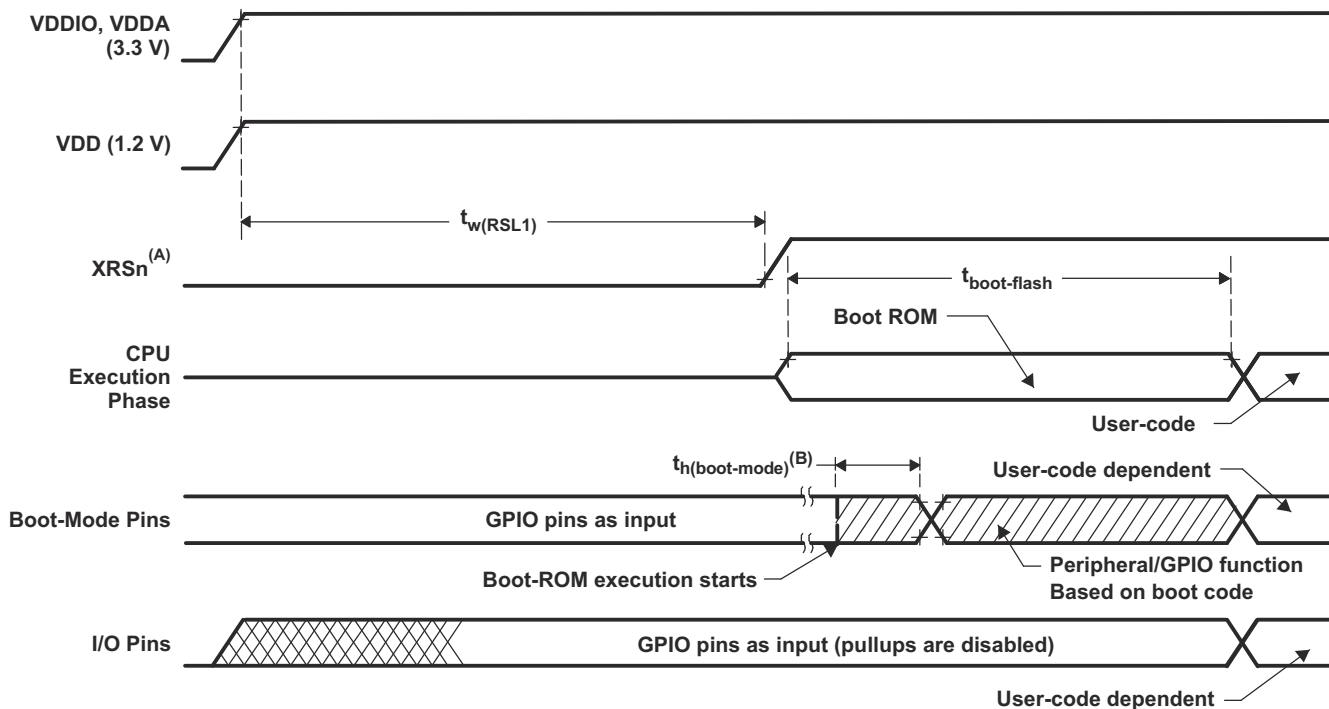
		最小値	最大値	単位
$t_{h(\text{boot-mode})}$	ブート・モード・ピンのホールド時間	1.5		ms
$t_{w(\text{RSL2})}$	パルス幅。ウォーム・リセット時の XRSn Low	3.2		μs

7.10.2.2.2 リセット (XRSn) のスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

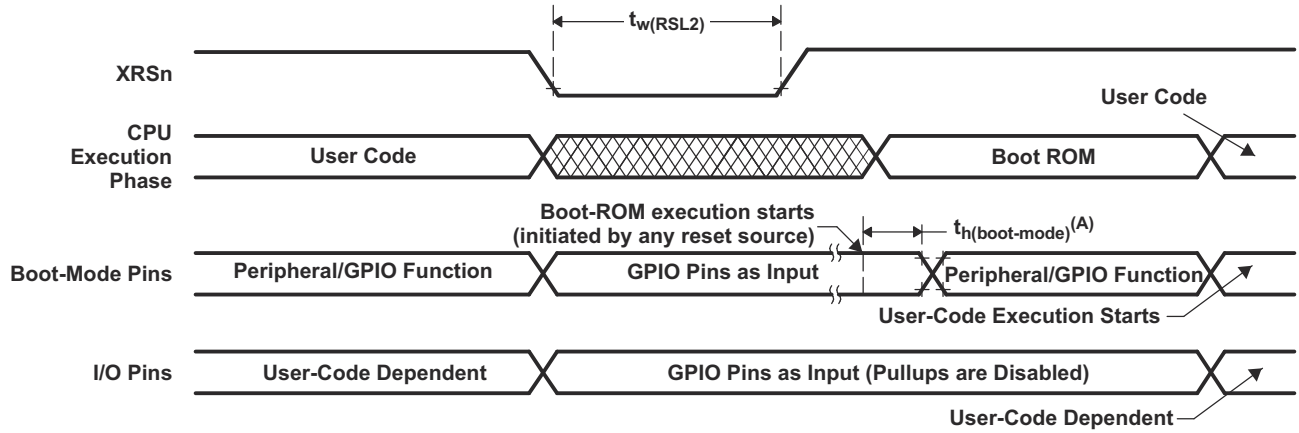
パラメータ		最小値	代表値	最大値	単位
$t_{w(\text{RSL1})}$	パルス幅。電源が安定した後、デバイスが XRSn を Low に駆動している期間		100		μs
$t_{w(\text{WDRS})}$	パルス幅。ウォッチドッグによって生成されるリセット・パルス		$512t_{c(\text{OSCCLK})}$		サイクル
$t_{\text{boot-flash}}$	フラッシュ内での最初の命令フェッチまでのブート ROM 実行時間			1.2	ms

7.10.2.2.3 リセットのタイミング図



- A. XRSn ピンは、外部のスーパーバイザまたはプルアップ抵抗によって駆動することができます。「ピン属性」の表を参照してください。
- B. 任意のソースからリセットした後 (セクション 7.10.2.1 を参照)、ブート ROM コードは、ブート・モード・ピンをサンプリングします。ブート・モード・ピンの状態に基づいて、ブート・コードは、宛先メモリまたはブート・コード機能に分岐します。(デバッグ環境で) パワーオン状態の後にブート ROM コードが実行される場合、ブート・コードの実行時間は現在の SYSCLK 速度に基づきます。SYSCLK はユーザー環境によって決まっており、PLL 有効の場合と無効の場合があります。

図 7-7. パワーオン・リセット



- A. 任意のソースからリセットした後 (セクション 7.10.2.1 を参照)、ブート ROM コードは、ブート・モード・ピンをサンプリングします。ブート・モード・ピンの状態に基づいて、ブート・コードは、宛先メモリまたはブート・コード機能に分岐します。(デバッグ環境で) パワーオン状態の後にブート ROM コードが実行される場合、ブート・コードの実行時間は現在の SYSCLK 速度に基づきます。SYSCLK はユーザー環境によって決まっており、PLL 有効の場合と無効の場合があります。

図 7-8. ウォーム・リセット

7.10.3 クロック仕様

7.10.3.1 クロック・ソース

表 7-3 に、4 つのクロック・ソースを示します。図 7-9 に、デバイスのクロック供給システムの概要を示します。

表 7-3. 使用可能な基準クロック・ソース

クロック・ソース	クロック対象モジュール	備考
INTOSC1	以下のものに対するクロック供給に使用できません。 <ul style="list-style-type: none"> ウォッチドッグ・ブロック メイン PLL CPU タイマ 2 	内部発振器 1。 ゼロ・ピン・オーバーヘッド 10MHz 内部発振器。
INTOSC2 ⁽¹⁾	以下のものに対するクロック供給に使用できません。 <ul style="list-style-type: none"> メイン PLL 補助 PLL CPU タイマ 2 	内部発振器 2。 ゼロ・ピン・オーバーヘッド 10MHz 内部発振器。
XTAL	以下のものに対するクロック供給に使用できません。 <ul style="list-style-type: none"> メイン PLL 補助 PLL CPU タイマ 2 	X1 ピンと X2 ピンの間に接続された外付け水晶振動子もしくは発振子、または X1 ピンに接続されたシングルエンド・クロック。
AUXCLKIN	以下のものに対するクロック供給に使用できません。 <ul style="list-style-type: none"> 補助 PLL CPU タイマ 2 	シングルエンド 3.3V レベル・クロック・ソース。入力クロックの供給には、GPIO133 / AUXCLKIN ピンを使用する必要があります。

- (1) リセット時、内部発振器 2 (INTOSC2) は、システム PLL (OSCCLK) および補助 PLL (AUXOSCCLK) のデフォルト・クロック・ソースになっています。

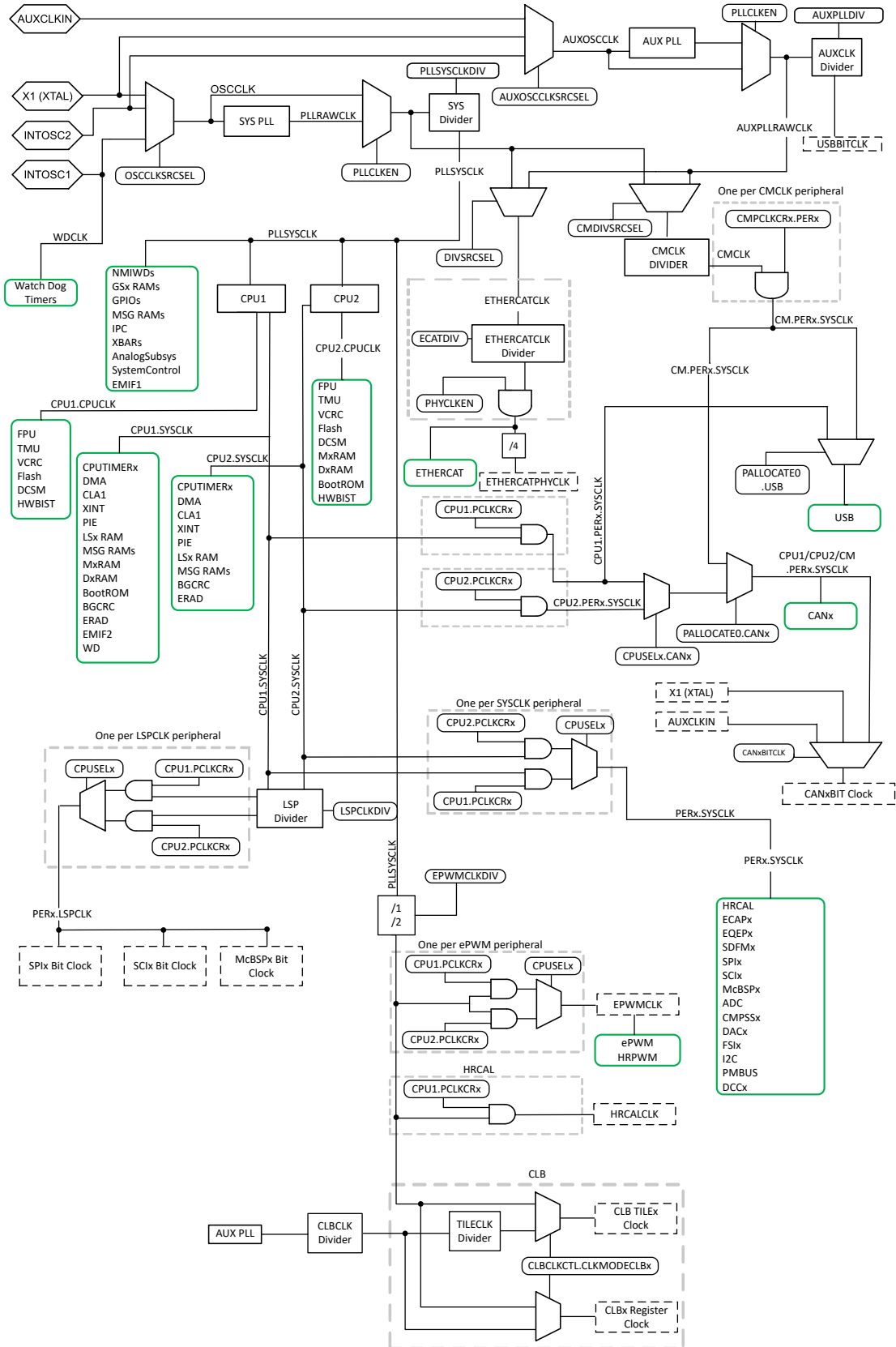


図 7-9. クロック供給システム

SYSPLL / AUXPLL

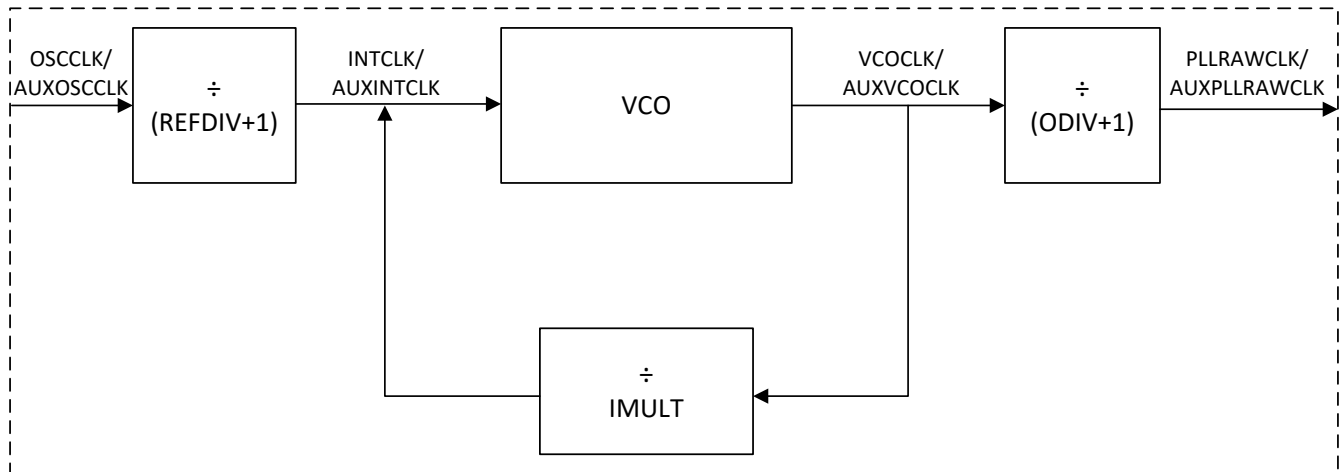


図 7-10. SYSPLL / AUXPLL

図 7-10 において、

$$f_{\text{PLLRAWCLK}} = \frac{f_{\text{OSCCLK}}}{(\text{REFDIV} + 1)} \times \frac{\text{IMULT}}{(\text{ODIV} + 1)}$$

$$f_{\text{AUXPLLRAWCLK}} = \frac{f_{\text{AUXOSCCLK}}}{(\text{REFDIV} + 1)} \times \frac{\text{IMULT}}{(\text{ODIV} + 1)}$$

7.10.3.2 クロック周波数、要件、および特性

このセクションでは、入力クロックの周波数およびタイミング要件、PLL ロック時間、内部クロックの周波数、出力クロックの周波数およびスイッチング特性について説明します。

7.10.3.2.1 入力クロック周波数およびタイミング要件、PLL ロック時間

セクション 7.10.3.2.1.1 に、入力クロックの周波数要件を示します。セクション 7.10.3.2.1.2 に、XTAL 発振器の特性を示します。セクション 7.10.3.2.1.3 および セクション 7.10.3.2.1.4 に、入力クロックのタイミング要件を示します。セクション 7.10.3.2.1.5 に、SYSPLL および AUXPLL の PLL ロック時間を示します。

7.10.3.2.1.1 入力クロック周波数

		最小値	最大値	単位
$f_{(XTAL)}$	外付け水晶振動子または発振子からの周波数、X1/X2	10	20	MHz
$f_{(X1)}$	外部発振器からの周波数、X1	10	25	MHz
$f_{(AUX1)}$	外部発振器からの周波数、AUXCLKIN	10	60	MHz

7.10.3.2.1.2 水晶発振器の特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		最小値	代表値	最大値	単位
X1 V_{IL}	有効 Low レベル入力電圧	-0.3		$0.3 * V_{DDIO}$	V
X1 V_{IH}	有効 High レベル入力電圧	$0.7 * V_{DDIO}$		$V_{DDIO} + 0.3$	V

7.10.3.2.1.3 X1 のタイミング要件

		最小値	最大値	単位
$t_{f(X1)}$	立ち下がり時間、X1		6	ns
$t_{r(X1)}$	立ち上がり時間、X1		6	ns
$t_{w(X1L)}$	パルス幅、 $t_{c(X1)}$ のうち X1 が Low の割合	45%	55%	
$t_{w(X1H)}$	パルス幅、 $t_{c(X1)}$ のうち X1 が High の割合	45%	55%	

7.10.3.2.1.4 AUXCLKIN のタイミング要件

		最小値	最大値	単位
$t_{f(AUX1)}$	立ち下がり時間、AUXCLKIN		6	ns
$t_{r(AUX1)}$	立ち上がり時間、AUXCLKIN		6	ns
$t_{w(AUXL)}$	パルス幅、 $t_{c(XC1)}$ のうち AUXCLKIN が Low の割合	45%	55%	
$t_{w(AUXH)}$	パルス幅、 $t_{c(XC1)}$ のうち AUXCLKIN が High の割合	45%	55%	

7.10.3.2.1.5 APLL の特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	最小値	代表値	最大値	単位
PLL ロック時間				
SYSPLL / AUXPLL ロック時間 ⁽¹⁾			$5\mu s + (1024 * (REFDIV + 1) * t_{c(OSCCLK)})$	μs

- (1) ここでの PLL ロック時間は、PLL がイネーブルになった後に PLL がロックするまでの、標準所要時間を定義しています (SYSPLLCTL1[PLLENA] = 1 または AUXPLLCTL1[PLLENA] = 1)。デュアル・クロック・コンパレータ (DCC) を使用した PLL クロックの確認に要する追加の時間は、ここでは考慮されていません。PLL の初期化には、C2000Ware の最新のサンプル・ソフトウェアを使用することを推奨します。システム PLL については、InitSysPll() または SysCtl_setClock() を参照してください。補助 PLL については、InitAuxPll() または SysCtl_setAuxClock() を参照してください。

7.10.3.2.2 内部クロック周波数

「内部クロック周波数」の表に、内部クロックのクロック周波数を示します。水晶や振動子などの外部クロック・ソースを使用する場合、以下の周波数には最大 1000ppm の変動が考慮されます。

7.10.3.2.2.1 内部クロック周波数

		最小値	代表値	最大値	単位
f_{SYSCLK}	周波数、デバイス (システム) クロック	2		200	MHz
$t_{\text{c(SYSCLK)}}$	周期、デバイス (システム) クロック	5		500	ns
f_{CMCLK}	周波数、コネクティビティ・マネージャ (CM) クロック	2		125	MHz
$t_{\text{c(CMCLK)}}$	周期、コネクティビティ・マネージャ (CM) クロック	8		500	ns
f_{INTCLK}	周波数、システム PLL が VCO に移行 (REFDIV 後) ⁽¹⁾	2		25	MHz
f_{VCOCLK}	周波数、システム PLL は VCO (ODIV 前)	220		600	MHz
$f_{\text{PLLRAWCLK}}$	周波数、システム PLL 出力 (SYSCLK 分周器より前)	6		400	MHz
$f_{\text{AUXINTCLK}}$	周波数、補助 PLL が VCO に移行 (REFDIV 後)	2		25	MHz
$f_{\text{AUXVCOCLK}}$	周波数、補助 PLL は VCO (ODIV 前)	220		600	MHz
$f_{\text{AUXPLLRAWCLK}}$	周波数、補助 PLL 出力 (AUXCLK 分周器より前)	6		400	MHz
f_{PLL}	周波数、PLLSYSCLK	2		200	MHz
$f_{\text{PLL_LIMP}}$	周波数、PLL のリンプ周波数 ⁽²⁾		45/(ODIV + 1)		MHz
f_{AUXPLL}	周波数、AUXPLLCLK	2		150	MHz
$f_{\text{AUXPLL_LIMP}}$	周波数、AUXPLL のリンプ周波数 ⁽³⁾		45/(ODIV + 1)		MHz
f_{LSP}	周波数、LSPCLK	2		200	MHz
$t_{\text{c(LSPCLK)}}$	周期、LSPCLK	5		500	ns
f_{OSCCLK}	周波数、OSCCLK (INTOSC1 または INTOSC2 または XTAL または X1)		それぞれのクロックを参照		MHz
$f_{\text{AUXOSCCLK}}$	周波数、補助 OSCCLK (INTOSC1 または INTOSC2 または XTAL または X1 または AUXCLKIN)		それぞれのクロックを参照		MHz
f_{EPWM}	周波数、EPWMCLK			200	MHz
f_{HRPWM}	周波数、HRPWMCLK	60		200	MHz
$f_{\text{CLBTILECLK}}$	周波数、CLB タイル・クロック	100		150	MHz
$f_{\text{CLBREGCLK}}$	周波数、CLK レジスタ・クロック	150		200	MHz

- (1) ±3% の分解能を持つ INTOSC1 および INTOSC2 は、PLL へのリファレンス・クロックとして使用できます。
(2) OSCCLK が停止状態のときの PLL 出力周波数 (OSCCLK が失われると PLL がリンプになります)。
(3) AUXOSCCLK が停止状態のときの PLL 出力周波数 (AUXOSCCLK が失われると AUXPLL がリンプになります)。

7.10.3.2.3 出力クロックの周波数およびスイッチング特性

セクション 7.10.3.2.3.1 に、出力クロック XCLKOUT の周波数およびスイッチング特性を示します。

7.10.3.2.3.1 XCLKOUT のスイッチング特性 (PLL バイパスまたはイネーブル)

推奨動作条件範囲内 (特に記述のない限り)

パラメータ ⁽¹⁾		最小値	最大値	単位
$t_{\text{f(XCO)}}$	立ち下がり時間、XCLKOUT		5	ns
$t_{\text{r(XCO)}}$	立ち上がり時間、XCLKOUT		5	ns
$t_{\text{w(XCOL)}}$	パルス幅、XCLKOUT Low	H - 2 ⁽²⁾	H + 2 ⁽²⁾	ns
$t_{\text{w(XCOH)}}$	パルス幅、XCLKOUT High	H - 2 ⁽²⁾	H + 2 ⁽²⁾	ns
$f_{\text{(XCO)}}$	周波数、XCLKOUT		50	MHz

- (1) これらのパラメータでは、40pF の負荷を想定しています。
(2) $H = 0.5t_{\text{c(XCO)}}$

7.10.3.3 入力クロック

内蔵の 0 ピン発振器に加えて、複数の外部クロック・ソース・オプションも利用できます。図 7-11 に、水晶振動子、発振子、発振器をピン X1/X2 (XTAL と呼ばれます) および AUXCLKIN に接続するための推奨方法を示します。

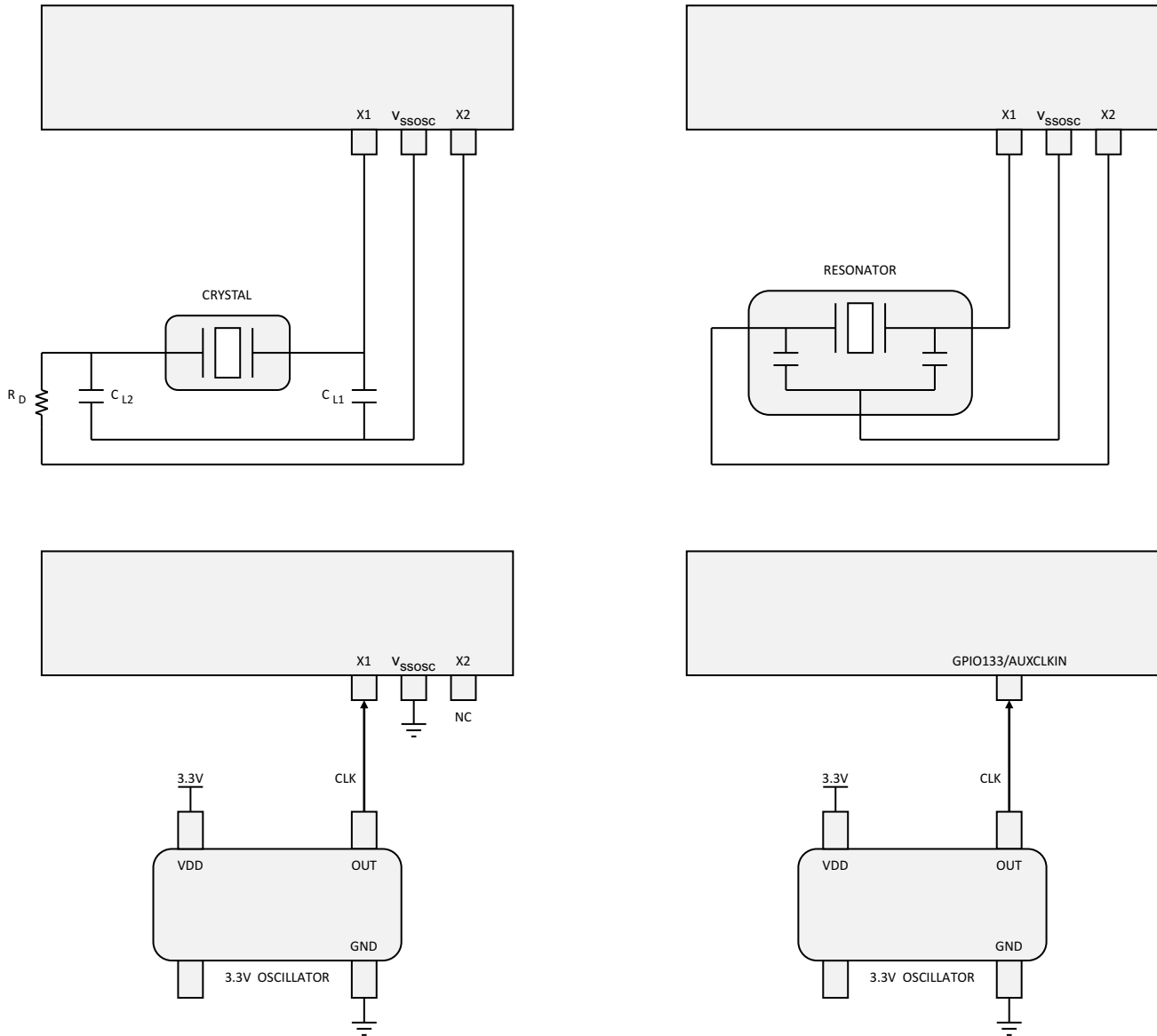


図 7-11. 入力クロックの 2838x デバイスへの接続

7.10.3.4 XTAL 発振器

7.10.3.4.1 概要

このデバイスの水晶発振器は、内蔵の電気発振回路であり、適合する水晶振動子 (またはセラミック共振器) と組み合わせると、デバイスが必要とするシステム・クロックを生成できます。

7.10.3.4.2 概要

以下のセクションでは、電気発振回路と水晶振動子の部品について説明します。

7.10.3.4.2.1 電気発振回路

このデバイスの電気発振回路は、ピアス発振器です。これは正帰還インバータ回路であり、発振するためにはチューニング回路が必要です。この発振器に適合する水晶振動子と組み合わせると、タンク回路が形成されます。このタンク回路は、水晶振動子の基本周波数で発振します。このデバイスでは、発振器は、並列容量 (C0) および必要な負荷容量 (CL) によって、並列共振モードで動作するように設計されています。図 7-12 に、電気発振回路とタンク回路の部品を示します。

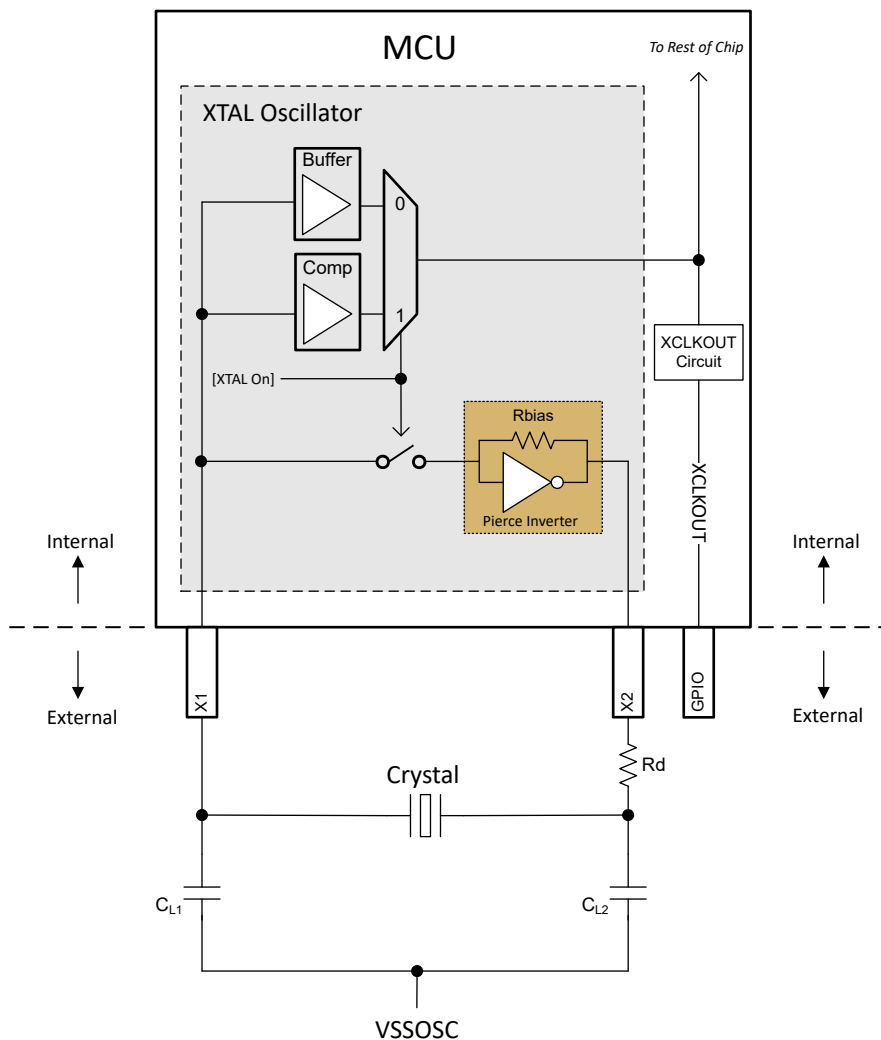


図 7-12. 電気発振回路のブロック図

7.10.3.4.2.1.1 動作モード

このデバイスの電気発振回路には、水晶振動子モードとシングルエンド・モードの 2 つの動作モードがあります。

7.10.3.4.2.1.1.1 水晶動作モード

水晶動作モードでは、負荷コンデンサ付きの水晶振動子を X1 および X2 に接続する必要があります。

この動作モードは、[XTAL On] = 1 のとき、すなわち XTALCR.OSCOFF = 0 および XTALCR.SE = 0 に設定することにより有効になります。帰還ループには内部バイアス抵抗があるため、外部バイアス抵抗は使用しないでください。外付けバイアス抵抗を追加すると、内部 Rbias と並列の抵抗ができて、バイアス動作点が移動し、クリップされた波形、仕様外のデューティ・サイクル、および実効負抵抗の減少につながる可能性があります。

この動作モードでは、結果として X1 に得られたクロックが、コンパレータ (Comp) を経由してチップの他の部分に渡されます。X1 のクロックは、コンパレータの VIH と VIL を満たす必要があります。コンパレータの VIH および VIL の要件については、「XTAL 発振器の特性」表を参照してください。

7.10.3.4.2.1.2 シングルエンド動作モード

シングルエンド動作モードでは、クロック信号は X1 に接続され、X2 は未接続のままです。このモードでは水晶振動子を使用しないでください。

このモードは、[XTAL On] = 0 のときにイネーブルになります。これは、XTALCR.OSCOFF = 1 および XTALCR.SE = 1 を設定することで実現できます。

この動作モードでは、X1 のクロックがバッファを経由してチップの他の部分に渡されます。バッファの入力要件については、「外部クロック・ソース (水晶振動子ではない) 使用時の X1 入力レベルの特性」表を参照してください。

7.10.3.4.2.1.2 XCLKOUT での XTAL 出力

チップの他の部分に供給される電気発振回路の出力は、CLKSRCCTL3.XCLKOUTSEL および XCLKOUTDIVSEL.XCLKOUTDIV レジスタを構成することにより、XCLKOUT で観察できます。XCLKOUT が出力される GPIO のリストについては、「GPIO 多重化ピン」表を参照してください。

7.10.3.4.2.2 水晶振動子

電氣的には、水晶振動子は LCR (インダクタ-コンデンサ-抵抗) 回路で表現できます。ただし、LCR 回路と違って、直列抵抗が低いため、水晶振動子の Q 値は非常に高く、また、非常に減衰が小さくなっています。水晶振動子の要素を [図 7-13](#) に示し、以下で説明します。

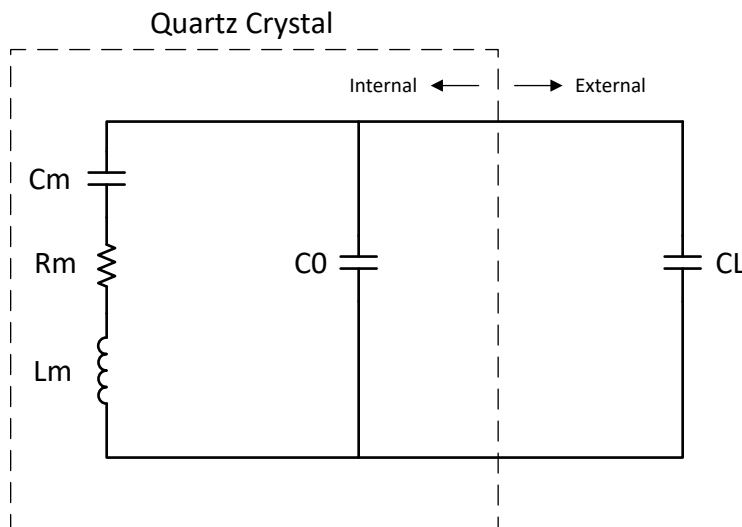


図 7-13. 水晶振動子の電氣的表現

Cm (直列容量): 水晶の弾性を表します。

Rm (直列抵抗): 水晶振動子内の抵抗性損失を表します。これは水晶の ESR ではありませんが、他の水晶振動子の要素の値によっては、近似できます。

Lm (直列インダクタンス): 水晶振動子の振動質量を表します。

C0 (並列容量): 水晶振動子の 2 つの電極と浮遊パッケージ容量から形成される静電容量。

CL (負荷容量): これは、水晶振動子の電極における実効的な容量であり、水晶の外部にあるものです。水晶振動子のデータシートで規定されている周波数 ppm は、通常、CL パラメータに関連付けられています。

ほとんどの水晶振動子メーカーでは、水晶振動子の 2 つのピンにおける実効容量として CL を指定していますが、一部の水晶振動子メーカーでは、水晶振動子ピンの 1 つだけの容量として CL を指定していることに注意してください。計算で正しい値を使用するために、CL の指定方法については、水晶振動子のメーカーにお問い合わせください。

図 7-12 によれば、CL1 と CL2 が直列になっているので、水晶振動子から見た等価合計容量を求めるには、静電容量の直列式を適用して、CL1 = CL2 の場合、単純に $[CL1]/2$ と計算する必要があります。

この値には、浮遊 PCB 容量を加算することを推奨します。3pF ~ 5pF が妥当な推定値ですが、実際の値は対象となる PCB によって異なります。

負荷容量は、電気発振回路と水晶振動子の両方に対する要件であることに注意してください。選択する値は、電気発振回路と水晶振動子の両方を満たす必要があります。

水晶振動子に対する CL の影響は周波数変動です。実効負荷容量が目標値よりも小さい場合、水晶周波数が高くなり、その逆も同様です。ただし、通常、周波数変動の影響は非常に小さく、一般的には公称周波数から 10ppm 未満の変動となります。

7.10.3.4.2.3 GPIO 動作モード

このデバイスでは、XTAL の動作モードに応じて、X1 および X2 をそれぞれ GPIO19 および GPIO18 として使用できます。『TMS320F2838x リアルタイム・マイクロコントローラ・テクニカル・リファレンス・マニュアル』の「外部発振器 (XTAL)」セクションを参照してください。

7.10.3.4.3 機能動作

7.10.3.4.3.1 ESR – 等価直列抵抗

等価直列抵抗は、共振時に水晶振動子が電気発振回路に与える抵抗性負荷です。ESR が大きくなるほど Q が低くなり、水晶振動子が起動または発振を維持する可能性が低くなります。ESR と水晶振動子の関係を以下に示します。

$$ESR = R_m * \left(1 + \frac{C_0}{CL}\right)^2 \quad (1)$$

ESR は、水晶振動子の直列抵抗と等しくはありませんが、実効負荷容量が並列容量よりもはるかに大きい場合は近似できます。

7.10.3.4.3.2 Rneg – 負性抵抗

負性抵抗は、電気発振回路から水晶振動子に示されるインピーダンスです。発振中に発生する損失を打ち消すために、電気発振回路が水晶に供給すべきエネルギーの量です。Rneg は、回路がエネルギーを消費するのではなく供給していることを表しており、回路全体のゲインとみなすこともできます。

一般的に受け入れられる方法としては、あらゆる条件下で水晶振動子が確実に起動するように、Rneg > 3x ESR から 5x ESR に設定することです。水晶振動子の起動に必要なエネルギーは、発振を維持するためのエネルギーよりもわずかに多いことに注意してください。したがって、起動時に負性抵抗要件が満たされていることが保証されている場合、発振の維持は問題になりません。

図 7-14 および 図 7-15 に、このデバイスの負性抵抗と水晶振動子の間の関係の変動を示します。グラフからわかるように、水晶振動子の並列容量 (C0) と実効負荷容量 (CL) は電気発振回路の負性抵抗に大きな影響を及ぼします。これらは代表的なグラフであるため、設計上考慮すべき最小値および最大値については、表 7-4 を参照してください。

7.10.3.4.3.3 起動時間

水晶発振回路の部品を選択する際には、起動時間が重要な考慮事項になります。「Rneg – 負性抵抗」セクションで説明したように、あらゆる条件下で信頼性の高い起動を実現するには、水晶振動子の ESR に対して、Rneg > 3x ESR から 5x ESR にすることを推奨します。

水晶の ESR およびダンピング抵抗 (Rd) は、起動時間に大きな影響を及ぼします。この 2 つの値が大きいほど、水晶振動子の起動にかかる時間は長くなります。起動時間が長い場合は、通常、水晶振動子と部品が正しく適合していないことを示す兆候です。

標準的な起動時間については、「[水晶発振回路の仕様](#)」を参照してください。ここに記載されている数値は、参考用に提供されている標準的な数値であることに注意してください。実際の起動時間は、対象の水晶振動子と外付け部品に大きく依存します。

7.10.3.4.3.3.1 X1 / X2 事前条件

このデバイスでは、X1 / X2 の GPIO19 および 18 としての代替機能を使用して、必要に応じて水晶振動子の起動時間を高速化できます。この機能は、XTAL がオンになる前に、負荷コンデンサ CL1 および CL2 を既知の状態に事前調整することで実現されます。詳細については、『[TMS320F2838x リアルタイム・マイクロコントローラ・テクニカル・リファレンス・マニュアル](#)』を参照してください。

7.10.3.4.3.4 DL – 励振レベル

励振レベルとは、電気発振回路によって供給され、水晶によって消費される電力を意味します。水晶メーカーのデータシートに記載されている最大励振レベルは、通常、損傷や動作寿命の大幅な短縮なしに水晶振動子が消費できる最大値です。一方、電気発振回路で規定されている励振レベルは、供給可能な最大電力です。実際に電気発振回路から供給される電力は、必ずしも最大電力ではなく、水晶振動子と基板の部品によって決まります。

電気発振回路からの実際の励振レベルが水晶振動子の最大励振レベル仕様を超える場合は、ダンピング抵抗 (Rd) を取り付けて電流を制限し、水晶振動子によって消費される電力を低減する必要があります。Rd は回路のゲインを低下させることに注意してください。したがって、実際に使用する値を評価して、スタートアップおよび持続的な発振に関する他のすべての条件が満たされていることを確認する必要があります。

7.10.3.4.4 水晶振動子の選択方法

「[水晶発振器の仕様](#)」を参照してください。

- 水晶周波数を選択します (たとえば 20MHz)。
- 20MHz に対する仕様として、水晶振動子の ESR が 50Ω 以下であることを確認します。
- 20MHz に対する仕様として、水晶メーカーの負荷容量要件が 6pF ~ 12pF の範囲内であることを確認します。
 - すでに説明したように、CL1 と CL2 は直列に配置されているので、CL1 = CL2 の場合、実効負荷容量 CL = [CL1]/2 となります。
 - この結果に基板の寄生成分を加算すると、CL = [CL1]/2 + 浮遊容量 となります。
- 水晶振動子の最大励振レベルが 1mW 以上であることを確認します。この要件が満たされていない場合は、ダンピング抵抗 Rd を使用できます。Rd を使用するときの他の注意点については「[DL – 励振レベル](#)」を参照してください。

7.10.3.4.5 テスト

水晶振動子が常に起動して発振を維持できるように、ユーザーが水晶振動子のメーカーに依頼して、その基板での水晶振動子の特性を完全に評価することを推奨します。

以下に、実行可能ないくつかの測定の概要を示します。

水晶発振回路は静電容量に影響を受けやすいので、スコープ・プローブを X1 および X2 に接続しないことを推奨します。スコープ・プローブを使用して X1 / X2 を監視する必要がある場合は、1pF 未満の容量を持つアクティブ・プローブを使用する必要があります。

周波数

- XCLKOUT の XTAL を引き出します。
- この周波数を水晶周波数として測定します。

負性抵抗

- XCLKOUT の XTAL を引き出します。
- 負荷コンデンサの間に、水晶振動子と直列にポテンショメータを配置します。
- XCLKOUT のクロックが停止するまで、ポテンショメータの抵抗を上げます。
- この抵抗と水晶振動子の実際の ESR の和が、電気発振回路の負性抵抗です。

起動時間

1. XTAL をオフにします。
2. XCLKOUT の XTAL を引き出します。
3. XTAL をオンにして、XCLKOUT のクロックが 45% および 55% のデューティ・サイクル内に維持されるまでに要する時間を測定します。

7.10.3.4.6 一般的な問題とデバッグのヒント

水晶振動子が起動しない

- 「水晶振動子の選択方法」セクションを読んで、記述に反する状況がないことを確認します。

水晶が起動に長い時間を要する

- ダンピング抵抗 R_d を取り付けている場合、抵抗 R_d が大きすぎます。
- ダンピング抵抗を取り付けていない場合、水晶振動子の ESR が高すぎるか、または、負荷容量が大きい回路全体のゲインが低すぎるかのどちらかです。

7.10.3.4.7 水晶発振回路の仕様

7.10.3.4.7.1 水晶発振器の電気的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
起動時間 ⁽¹⁾	f = 10MHz	ESR MAX = 110Ω CL1 = CL2 = 24pF C0 = 7pF		4		ms
	f = 20MHz	ESR MAX = 50Ω CL1 = CL2 = 24pF C0 = 7pF		2		ms
水晶振動子の励振レベル (DL)					1	mW

- (1) 起動時間は、水晶振動子とタンク回路の部品に依存します。テキサス・インスツルメンツでは、水晶振動子のベンダーに対して、選択した水晶振動子を使用してアプリケーションの特性を評価することを推奨しています。

7.10.3.4.7.2 水晶振動子の等価直列抵抗 (ESR) 要件

「水晶振動子の等価直列抵抗 (ESR) 要件」表について:

1. 水晶振動子の並列容量 (C0) は 7pF 以下である必要があります。
2. $ESR = \text{負性抵抗} / 3$

表 7-4. 水晶振動子の等価直列抵抗 (ESR) 要件

水晶振動子の周波数 (MHz)	最大 ESR (Ω) (CL1 = CL2 = 12pF)	最大 ESR (Ω) (CL1 = CL2 = 24pF)
10	55	110
12	50	95
14	50	90
16	45	75
18	45	65
20	45	50

Negative Resistance vs. 10MHz Crystal

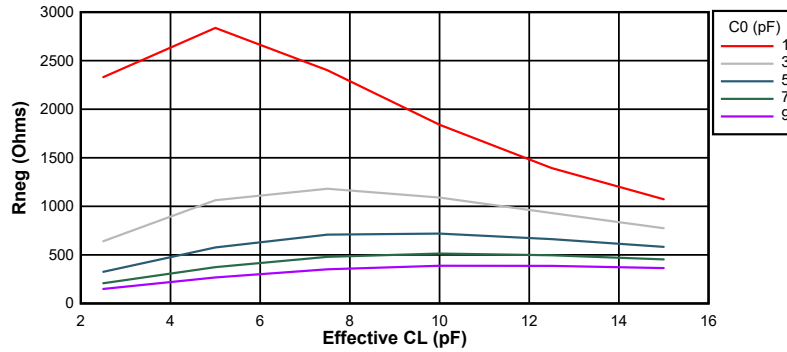


図 7-14. 10MHz 時の負性抵抗変動

Negative Resistance vs. 20MHz Crystal

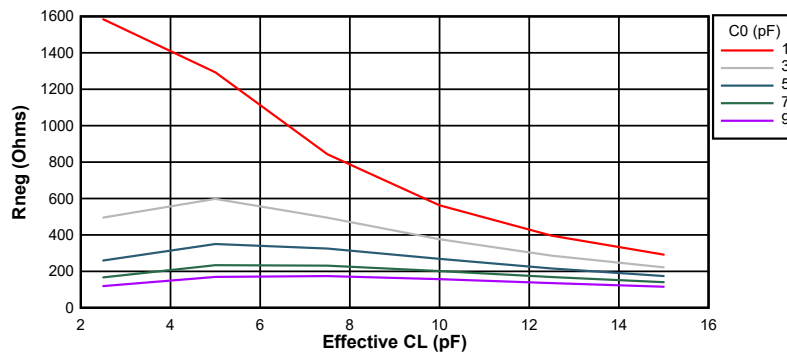


図 7-15. 20MHz 時の負性抵抗変動

7.10.3.4.7.3 水晶発振器のパラメータ

		最小値	最大値	単位
CL1, CL2	負荷容量	12	24	pF
C0	水晶振動子のシャント容量		7	pF

7.10.3.4.7.4 水晶発振器の電気的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
起動時間 ⁽¹⁾	f = 10MHz	ESR MAX = 110Ω CL1 = CL2 = 24pF C0 = 7pF		4		ms
	f = 20MHz	ESR MAX = 50Ω CL1 = CL2 = 24pF C0 = 7pF		2		ms
水晶振動子の励振レベル (DL)					1	mW

(1) 起動時間は、水晶振動子とタンク回路の部品に依存します。テキサス・インスツルメンツでは、水晶振動子のベンダーに対して、選択した水晶振動子を使用してアプリケーションの特性を評価することを推奨しています。

7.10.3.5 内部発振器

すべての F2838x デバイスには、INTOSC1 および INTOSC2 と呼ばれる 2 つの独立した内部発振器が内蔵されています。デフォルトでは、電源投入時に両方の発振器がイネーブルになります。INTOSC2 は、システム・リファレンス・クロック (OSCCLK) のソースとして設定され、INTOSC1 は、バックアップ・クロック・ソースとして設定されます。INTOSC1 は、手動でシステム・リファレンス・クロック (OSCCLK) として構成することもできます。

このモジュールがアプリケーションのクロック要件に適合するかどうかを判定するために、[セクション 7.10.3.5.1](#) に内部発振器の電気的特性を示します。

注

PLLSYSCLK が 194MHz を超える周波数に構成されている場合、この発振器を PLL ソースとして使用することはできません。

7.10.3.5.1 INTOSC の特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	代表値	最大値	単位
f_{INTOSC}	周波数、INTOSC1 および INTOSC2		9.7	10	10.3	MHz
$f_{\text{INTOSC-STABILITY}}$	室温での周波数安定性	30°C、公称 VDD		±0.1		%
	VDD に対する周波数安定性	30°C		±0.2		%
$t_{\text{INTOSC-ST}}$	スタートアップおよびセトリング時間				20	µs

7.10.4 フラッシュ・パラメータ

オンチップ・フラッシュ・メモリは CPU に密接に統合されており、フラッシュから 128 ビット幅のプリフェッチ読み取りおよびパイプライン・バッファを経由してコードを直接実行できます。シーケンシャル・コードのフラッシュ性能は、RAM からの実行と同じです。不連続性を考慮すると、ほとんどのアプリケーションは、RAM から実行されるコードに比べて約 80% の効率で動作します。

このデバイスには、デュアル・コード・セキュリティ・モジュール (DCSM) に使用されるワンタイム・プログラマブル (OTP) セクタもあります。これは、プログラム後に消去することはできません。

表 7-5 に、さまざまな周波数で必要とされるフラッシュの最小ウェイト状態を示します。「フラッシュ・パラメータ」の表に、フラッシュ・パラメータを示します。

表 7-5. フラッシュのウェイト状態

CPUCLK (MHz)		最小ウェイト状態 ⁽¹⁾
外部発振器または水晶振動子	INTOSC1 または INTOSC2	
150 < CPUCLK ≤ 200	145 < CPUCLK ≤ 194	3
100 < CPUCLK ≤ 150	97 < CPUCLK ≤ 145	2
50 < CPUCLK ≤ 100	48 < CPUCLK ≤ 97	1
CPULCK ≤ 50	CPULCK ≤ 48	0

(1) 必要な FRDCNTL[RWAIT] の最小値。

7.10.4.1 フラッシュ・パラメータ

パラメータ	最小値	代表値	最大値	単位
プログラム時間 ⁽¹⁾	128 データ・ビット + 16 ECC ビット	40	300	μs
	8KW セクタ	90	180	ms
プログラム時間 ⁽¹⁾	32KW セクタ	360	720	ms
消去時間 ⁽²⁾ (25 サイクル未満)	8KW または 32KW セクタ	30	55	ms
消去時間 ⁽²⁾ (1000 サイクル)	8KW または 32KW セクタ	40	350	ms
消去時間 ⁽²⁾ (2000 サイクル)	8KW または 32KW セクタ	50	600	ms
消去時間 ⁽²⁾ (20000 サイクル)	8KW または 32KW セクタ	110	4000	ms
N _{wec} 書き込み / 消去サイクル (1 セクタごと)			20000	サイクル
N _{wec} 書き込み / 消去サイクル (フラッシュ全体、すべてのセクタを結合) ⁽³⁾			100000	サイクル
t _{retention} データ保持期間 (T _J = 85°C)	20			年
t _{retention} データ保持期間 T _J = 125°C ⁽⁴⁾	10			年

- (1) プログラム時間は、デバイスの最大周波数におけるものです。プログラム時間には、フラッシュ・スタート・マシンのオーバーヘッドが含まれますが、以下に示すデータを RAM に転送する時間は含まれていません。
- フラッシュ API を使用してフラッシュをプログラムするコード
 - フラッシュ API そのもの
 - プログラムすべきフラッシュ・データ
- すなわち、この表に示す時間は、必要なすべてのコードおよびデータがデバイス RAM に収容され、プログラムの用意ができた後に適用されません。
- 転送時間は、使用するエミュレータの速度によって大きく異なります。
- プログラム時間の計算は、指定された動作周波数で一度に 144 ビットをプログラムするという条件に基づいています。プログラム時間には、CPU によるプログラム検証が含まれます。書き込み / 消去 (W/E) の繰り返しにより、プログラム時間が長くなることはありませんが、消去時間は長くなります。
- 消去時間には、CPU による消去検証が含まれ、データ転送時間は含まれません。
- (2) 消去時間には、CPU による消去検証が含まれます。
- (3) 各セクタを単独で消去 / プログラムできるのは、20,000 回までです。EEPROM のようにセクタ (または複数セクタ) を使用する場合は、フラッシュ・メモリ全体を消去 / プログラムすることなく、それらのセクタのみを消去 / プログラムできます (ただし、20,000 サイクルに制限されます)。したがって、デバイス全体の観点では、合計 W/E サイクル数は 20,000 サイクルを超える可能性があります。ただし、その場合でも、この値が 100,000 サイクルを超えないようにする必要があります。

(4) 105°Cを超える動作のディレーティングについては、『組み込みプロセッサの有効寿命の計算』を参照してください。

注

メイン・アレイのフラッシュ・プログラミングは、64 ビットのアドレス境界に合わせて整列させる必要があります、それぞれの 64 ビット・ワードは、書き込み / 消去サイクルごとに 1 回のみプログラムされます。詳細については、『TMS320F2838x リアルタイム MCU シリコン・エラーッタ』の「フラッシュ: 最小プログラミング・ワード・サイズ」のアドバイザリを参照してください。

7.10.5 RAM の仕様

表 7-6. CPU1 RAM パラメータ

RAM のタイプ	サイズ	フェッチ時間 (サイクル)	読み取り時間 (サイクル)	保存時間 (サイクル)	バス幅	使用可能なバスの数 ⁽¹⁾	ウェイト状態の数	パースト・アクセス
GS RAM	128KB	2	2	1	16/32	4	0	×
LS RAM	32KB	2	2	1	16/32	2	0	×
M0	2KB	2	2	1	16/32	1	0	×
M1	2KB	2	2	1	16/32	1	0	×
CLA から CPU へのメッセージ RAM	256B	2	2	1	16/32	2	0	×
CPU から CLA へのメッセージ RAM	256B	2	2	1	16/32	2	0	×
CLA から DMA へのメッセージ RAM	256B	2	2	1	16/32	2	0	×
DMA から CLA へのメッセージ RAM	256B	2	2	1	16/32	2	0	×
CM から CPU へのメッセージ RAM	4KB	2	2	1	16/32	4	0	×
CPU から CM へのメッセージ RAM	4KB	2	2	1	16/32	4	0	×
CPU1 から CPU2 へのメッセージ RAM	4KB	2	2	1	16/32	4	0	×
CPU2 から CPU1 へのメッセージ RAM	4KB	2	2	1	16/32	4	0	×
DX RAM	8KB	2	2	1	16/32	1	0	×

(1) 「使用可能なバスの数」は、このメモリにアクセスできるマスタ (CLA、DMA、CPU) の数を示します。

表 7-7. CPU2 RAM パラメータ

RAM のタイプ	サイズ	フェッチ時間 (サイクル)	読み取り時間 (サイクル)	保存時間 (サイ クル)	バス幅	使用可能なバスの 数 ⁽¹⁾	ウェイト状 態の数	バースト・ アクセス
GS RAM	128KB	2	2	1	16/32	4	0	×
LS RAM	32KB	2	2	1	16/32	2	0	×
M0	2KB	2	2	1	16/32	1	0	×
M1	2KB	2	2	1	16/32	1	0	×
CLA から CPU へのメッセ ージ RAM	256B	2	2	1	16/32	2	0	×
CPU から CLA へのメッセ ージ RAM	256B	2	2	1	16/32	2	0	×
CLA から DMA へのメッセ ージ RAM	256B	2	2	1	16/32	2	0	×
DMA から CLA へのメッセ ージ RAM	256B	2	2	1	16/32	2	0	×
CM から CPU へのメッセ ージ RAM	4KB	2	2	1	16/32	4	0	×
CPU から CM へのメッセ ージ RAM	4KB	2	2	1	16/32	4	0	×
CPU1 から CPU2 へのメッ セージ RAM	4KB	2	2	1	16/32	4	0	×
CPU2 から CPU1 へのメッ セージ RAM	4KB	2	2	1	16/32	4	0	×
DX RAM	8KB	2	2	1	16/32	1	0	×

(1) 「使用可能なバスの数」は、このメモリにアクセスできるマスタ (CLA, DMA, CPU) の数を示します。

7.10.6 ROM の仕様

表 7-8. CPU1 の ROM パラメータ

ROM のタイプ	サイズ	フェッチ時間 (サイクル)	読み取り時間 (サイクル)	保存時間 (サイ クル)	バス幅	利用可能なバスの 数 ⁽¹⁾	待機状態 の数	バースト・ アクセス
ブート ROM	192KB	2	2	1	16/32	1	1	なし
セキュア ROM	64KB	2	2	1	16/32	1	1	なし
CLA データ ROM	8KB	2	2	1	16/32	1	0	なし

(1) 「利用可能なバスの数」は、このメモリにアクセスできるマスタ (CLA, DMA, CPU) の数を示します。

表 7-9. CPU2 の ROM パラメータ

ROM のタイプ	サイズ	フェッチ時間 (サイクル)	読み取り時間 (サイクル)	保存時間 (サイ クル)	バス幅	利用可能なバスの 数 ⁽¹⁾	待機状態 の数	バースト・ アクセス
ブート ROM	64KB	2	2	1	16/32	1	1	なし
セキュア ROM	64KB	2	2	1	16/32	1	1	なし
CLA データ ROM	8KB	2	2	1	16/32	1	0	なし

(1) 「利用可能なバスの数」は、このメモリにアクセスできるマスタ (CLA, DMA, CPU) の数を示します。

7.10.7 エミュレーション/JTAG

JTAG ポートには、次の 5 つの専用ピンがあります。TRSTn、TMS、TDI、TDO、TCK。TRSTn 信号は、基板上の 2.2kΩ プルダウン抵抗を介して常にプルダウンする必要があります。この MCU は、14 ピンおよび 20 ピンのエミュレーション・ヘッダーに存在する EMU0 および EMU1 信号をサポートしていません。これらの信号は、常に、2.2kΩ~4.7kΩ の範囲 (デバッグ・ポートの駆動能力によって異なります) の基板上のプルアップ抵抗ペアを経由して、エミュレーション・ヘッダーでプルアップする必要があります。通常、2.2kΩ の値を使用します。

14 ピン JTAG ヘッダーを MCU の JTAG ポート信号に接続する方法については、[図 7-16](#) を参照してください。[図 7-17](#) に、20 ピン・ヘッダーへの接続方法を示します。20 ピン JTAG ヘッダー端子 EMU2、EMU3、EMU4 は使用しないで、グラウンドに接続する必要があります。

JTAG デバッグ・プローブ・ヘッダーの PD (電源検出) 端子は、基板の 3.3V 電源に接続する必要があります。ヘッダー GND 端子は、基板のグラウンドに接続する必要があります。TDIS (ケーブル切断検出) も基板のグラウンドに接続する必要があります。JTAG クロックは、ヘッダーの TCK 出力端子からヘッダーの RTCK 入力端子にループバックする必要があります (JTAG デバッグ・プローブによるクロックの連続性を検出するため)。ヘッダー端子 RESETn は、JTAG デバッグ・プローブ・ヘッダーからのオープン・ドレイン出力であり、JTAG デバッグ・プローブ・コマンドを使用して基板のコンポーネントをリセットできます (20 ピンのヘッダーでのみ利用可能)。

通常、MCU ターゲットと JTAG ヘッダーの間の距離が 6 インチ (15.24cm) 未満で、JTAG チェーンに他のデバイスが存在しない場合、JTAG 信号にバッファは必要ありません。それ以外の場合は、各信号をバッファする必要があります。さらに、10MHz で動作するほとんどの JTAG デバッグ・プローブでは、JTAG 信号に直列抵抗は必要ありません。ただし、高いエミュレーション速度が想定される場合は、各 JTAG 信号に対して 22Ω の抵抗を直列に配置する必要があります。

ハードウェア・ブレイクポイントとウォッチポイントの詳細については、『[CCS の C28x 用ハードウェア・ブレイクポイントとウォッチポイント](#)』を参照してください。

JTAG エミュレーションの詳細については、『[XDS ターゲット接続ガイド](#)』を参照してください。

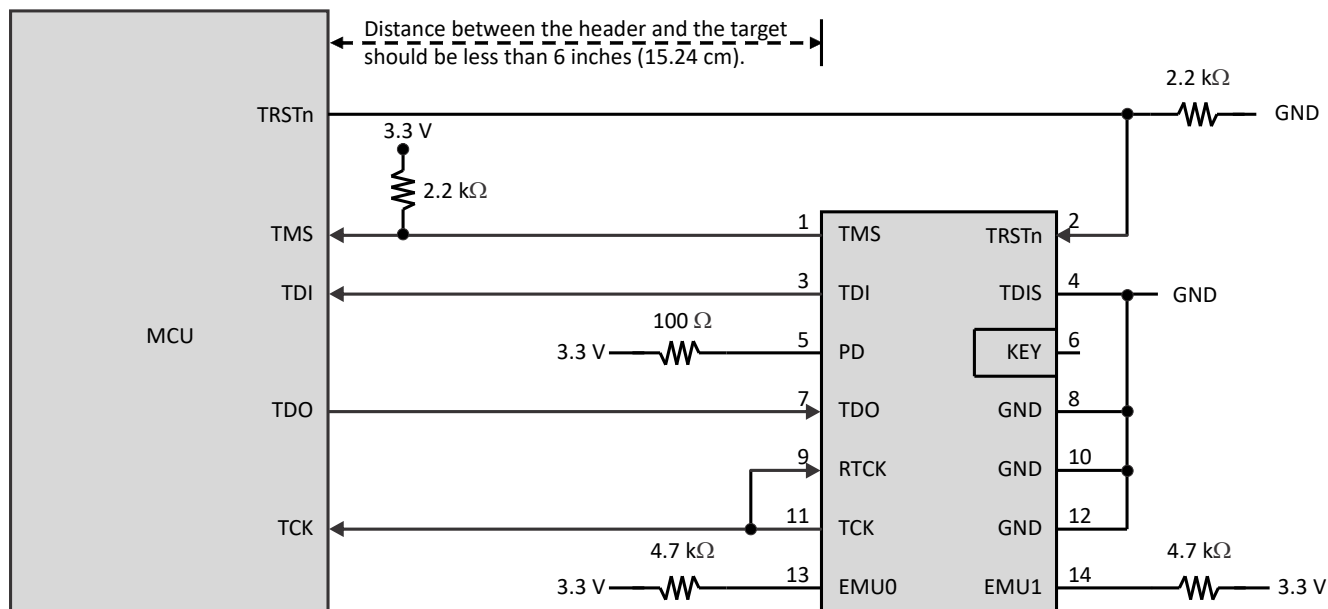


図 7-16. 14 ピン JTAG ヘッダーへの接続

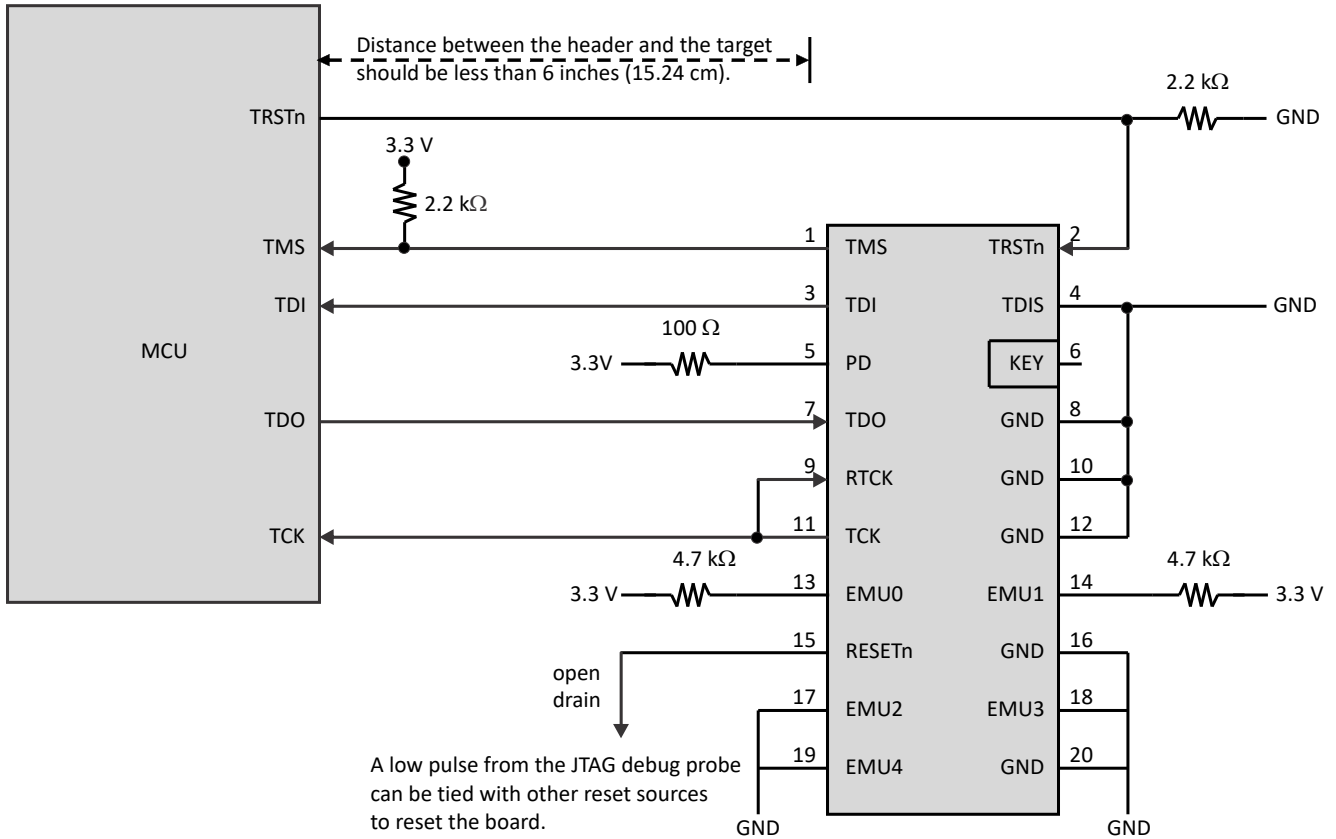


図 7-17. 20 ピン JTAG ヘッダーへの接続

7.10.7.1 JTAG の電氣的データおよびタイミング

セクション 7.10.7.1.1 に、JTAG のタイミング要件を示します。セクション 7.10.7.1.2 に、JTAG のスイッチング特性を示します。図 7-18 に、JTAG のタイミングを示します。

7.10.7.1.1 JTAG のタイミング要件

番号			最小値	最大値	単位
1	t_c (TCK)	サイクル時間、TCK	66.66		ns
1a	t_w (TCKH)	パルス幅、TCK High (t_c の 40%)	26.66		ns
1b	t_w (TCKL)	パルス幅、TCK Low (t_c の 40%)	26.66		ns
3	t_{su} (TDI-TCKH)	入力セットアップ時間、TDI 有効から TCK High まで	13		ns
	t_{su} (TMS-TCKH)	入力セットアップ時間、TMS 有効から TCK High まで	13		
4	t_h (TCKH-TDI)	入力ホールド時間、TCK High から TDI 有効の間	11		ns
	t_h (TCKH-TMS)	入力ホールド時間、TCK High から TMS 有効の間	11		

7.10.7.1.2 JTAG のスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

番号	パラメータ	最小値	最大値	単位	
2	t_d (TCKL-TDO)	遅延時間、TCK Low から TDO 有効まで	6	30	ns

7.10.7.1.3 JTAG のタイミング

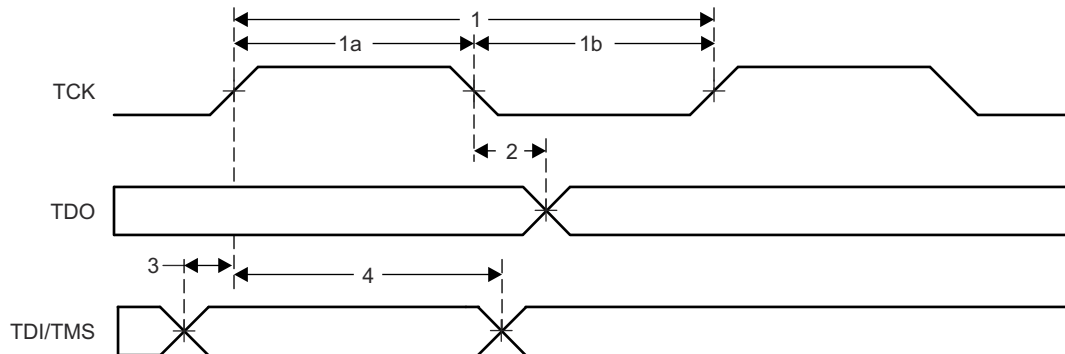


図 7-18. JTAG のタイミング

7.10.8 GPIO の電氣的データおよびタイミング

ペリフェラル信号は、汎用入出力 (GPIO) 信号と多重化されます。リセット時、GPIO ピンは入力として構成されます。特定の入力では、ユーザーが入力クオリファイアのサイクル数を選択することで、不要なノイズ・グリッチをフィルタリングすることもできます。

GPIO モジュールには出力クロスバーが含まれており、OUTPUTXBARx と呼ばれる GPIO マルチプレクサの領域で、さまざまな内部信号を GPIO にルーティングできます。また、GPIO モジュールには入力クロスバーが含まれており、任意の GPIO 入力から、ADC、eCAP、ePWM、外部割り込みなどさまざまな IP ブロックに信号をルーティングするために使用できます。詳細については、『[TMS320F2838x リアルタイム・マイクロコントローラ・テクニカル・リファレンス・マニュアル](#)』の「クロスバー」の章を参照してください。

7.10.8.1 GPIO - 出力タイミング

セクション 7.10.8.1.1 に、汎用出力のスイッチング特性を示します。図 7-19 に、汎用出力のタイミングを示します。

7.10.8.1.1 汎用出力のスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ			最小値	最大値	単位
$t_{r(GPO)}$	立ち上がり時間、GPIO が Low から High へ変化	すべての GPIO		8 ⁽¹⁾	ns
$t_{f(GPO)}$	立ち下がり時間、GPIO が High から Low へ変化	すべての GPIO		8 ⁽¹⁾	ns
t_{GPO}	切り替え周波数、GPIO ピン			50	MHz

(1) 立ち上がり時間と立ち下がり時間は負荷によって異なります。これらの値は、40pF の負荷を想定しています。

7.10.8.1.2 汎用出力のタイミング

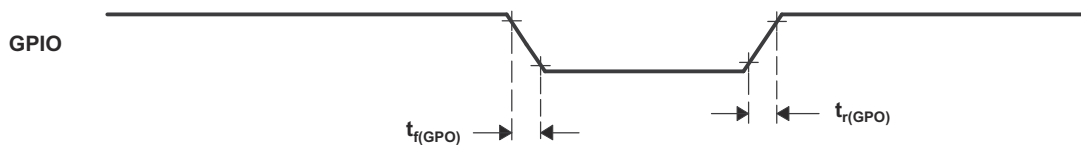


図 7-19. 汎用出力のタイミング

7.10.8.2 GPIO - 入カタイミング

セクション 7.10.8.2.1 に、汎用入力のタイミング要件を示します。図 7-20 に、サンプリング・モードを示します。

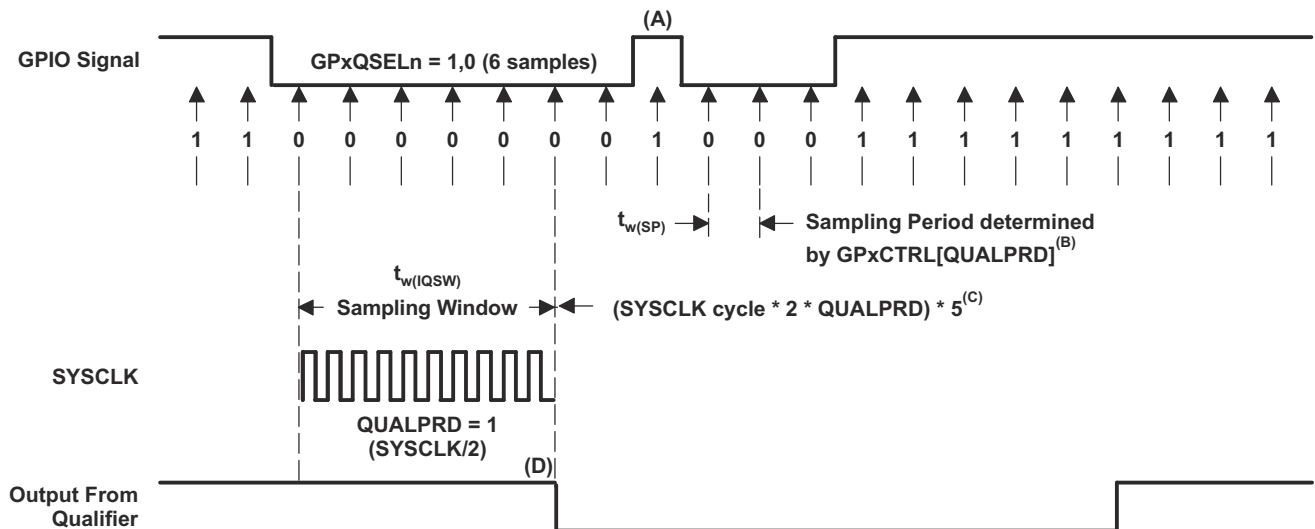
7.10.8.2.1 汎用入力のタイミング要件

			最小値	最大値	単位
$t_{w(SP)}$	サンプリング周期	QUALPRD = 0	$1t_{c(SYSCCLK)}$		サイクル
		QUALPRD \neq 0	$2t_{c(SYSCCLK)} * QUALPRD$		サイクル
$t_{w(IQSW)}$	入力フィルタ・サンプリング・ウィンドウ		$t_{w(SP)} * (n^{(1)} - 1)$		サイクル
$t_{w(GPI)}^{(2)}$	パルス幅、GPIO Low / High	同期モード	$2t_{c(SYSCCLK)}$		サイクル
		入力フィルタあり	$t_{w(IQSW)} + t_{w(SP)} + 1t_{c(SYSCCLK)}$		サイクル

(1) 「n」は、GPxQSELn レジスタで定義されているフィルタ・サンプルの数を表します。

(2) $t_{w(GPI)}$ のパルス幅は、アクティブ Low 信号については V_{IL} から V_{IL} まで、アクティブ High 信号については V_{IH} から V_{IH} までを測定します。

7.10.8.2.2 サンプリング・モード



- このグリッチは、入力クオリファイヤによって無視されます。クオリフィケーションのサンプリング期間は、QUALPRD ビット・フィールドで指定します。この値は、00~0xFF の範囲で設定できます。QUALPRD = 00 の場合、サンプリング期間は 1 SYSCCLK サイクルです。その他の値「n」である場合、フィルタ・サンプリング期間は、2n SYSCCLK サイクルになります (すなわち、2n SYSCCLK サイクルごとに GPIO ピンがサンプリングされます)。
- GPxCTRL レジスタで選択したフィルタ期間は、8 つの GPIO ピンのグループに適用されます。
- フィルタ・ブロックは、3 つまたは 6 つのサンプルを取得できます。使用するサンプル・モードは、GPxQSELn レジスタで選択します。
- ここに示す例では、フィルタで変化を検出するためには、入力が 10 SYSCCLK サイクル以上の期間安定している必要があります。すなわち、入力は $(5 * QUALPRD * 2) SYSCCLK$ サイクルにわたって安定している必要があります。これにより、5 サンプリング期間での検出実施が確保されます。外部信号は非同期で駆動されるため、13 SYSCCLK 幅のパルスであれば信頼性の高い認識が保証されます。

図 7-20. サンプリング・モード

7.10.8.3 入力信号のサンプリング・ウィンドウ幅

以下のセクションでは、各種の入力クオリファイヤ構成に対する入力信号のサンプリング・ウィンドウ幅の概要を説明します。

この式の **Sampling frequency** (サンプリング周波数) は、**SYSCLK** を基準にして、信号をサンプリングする頻度を表します。

$$\text{Sampling frequency} = \text{SYSCLK}/(2 \times \text{QUALPRD}), \text{ if } \text{QUALPRD} \neq 0 \quad (2)$$

$$\text{Sampling frequency} = \text{SYSCLK}, \text{ if } \text{QUALPRD} = 0 \quad (3)$$

$$\text{Sampling period} = \text{SYSCLK cycle} \times 2 \times \text{QUALPRD}, \text{ if } \text{QUALPRD} \neq 0 \quad (4)$$

式 2、式 3、および式 4 で、**SYSCLK cycle** (**SYSCLK** サイクル) は、**SYSCLK** の周期を示します。

サンプリング周期=**SYSCLK** サイクル、**QUALPRD** = 0 の場合

特定のサンプリング・ウィンドウでは、入力信号の 3 つまたは 6 つのサンプルを取得して、信号の有効性を判定します。これは、**GPxQSELn** レジスタに書き込まれた値によって決定されます。

ケース 1:

3 つのサンプルを使用したクオリフィケーション

QUALPRD ≠ 0 の場合、サンプリング・ウィンドウ幅=(**SYSCLK** サイクル × 2 × **QUALPRD**) × 2

QUALPRD = 0 の場合、サンプリング・ウィンドウ幅=(**SYSCLK** サイクル) × 2

ケース 2:

6 つのサンプルを使用したクオリフィケーション

QUALPRD ≠ 0 の場合、サンプリング・ウィンドウ幅=(**SYSCLK** サイクル × 2 × **QUALPRD**) × 5

QUALPRD = 0 の場合、サンプリング・ウィンドウ幅=(**SYSCLK** サイクル) × 5

図 7-21 に、汎用入力のタイミングを示します。

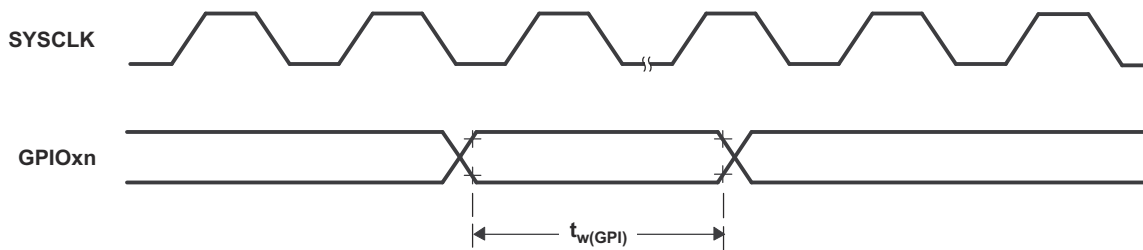


図 7-21. 汎用入力のタイミング

7.10.9 割り込み

図 7-22 に、割り込みアーキテクチャの概要を示します。

図 7-22 に示すように、デバイスは 5 つの外部割り込み (XINT1~XINT5) をサポートしており、いずれかの GPIO ピンにマッピングできます。

このデバイスでは、16 個の ePIE ブロック割り込みが 1 つの CPU 割り込みにグループ化されています。合計で 12 個の CPU 割り込みグループがあり、それぞれのグループに 16 個の割り込みがあります。

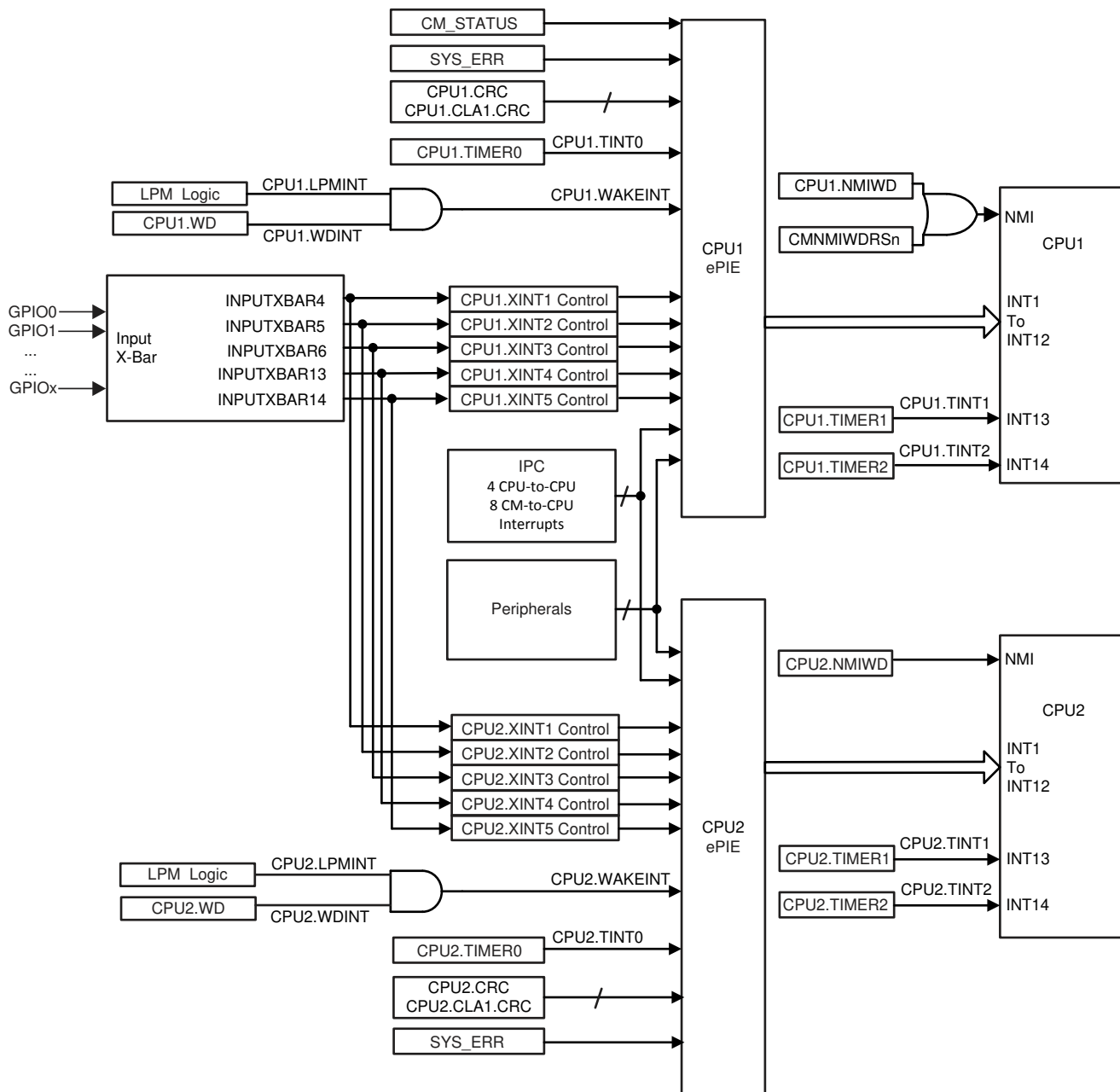


図 7-22. 外部および ePIE 割り込みソース

7.10.9.1 外部割り込み (XINT) の電氣的データおよびタイミング

セクション 7.10.9.1.1 に、外部割り込みのタイミング要件を示します。セクション 7.10.9.1.2 に、外部割り込みのスイッチング特性を示します。図 7-23 に、外部割り込みのタイミングを示します。入力クオリファイヤ・パラメータの説明については、セクション 7.10.8.2.1 を参照してください。

7.10.9.1.1 外部割り込みのタイミング要件

			最小値	最大値	単位
$t_{w(INT)}$	パルス幅、INT 入力 Low / High	同期	$2t_{c(SYSCLK)}$		サイクル
		クオリファイア付き	$t_{w(IQSW)} + t_{w(SP)} + 1t_{c(SYSCLK)}$		サイクル

7.10.9.1.2 外部割り込みのスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		最小値	最大値	単位
$t_{d(INT)}$	遅延時間、INT Low / High から割り込みベクタ・フェッチまで ⁽¹⁾	$t_{w(IQSW)} + 14t_{c(SYSCLK)}$	$t_{w(IQSW)} + t_{w(SP)} + 14t_{c(SYSCLK)}$	サイクル

(1) これは、ISR がシングルサイクル・メモリ内にあることを想定しています。

7.10.9.1.3 外部割り込みのタイミング

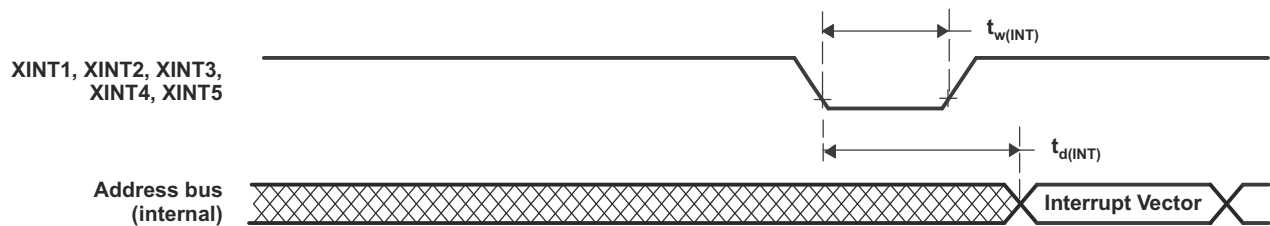


図 7-23. 外部割り込みのタイミング

7.10.10 低消費電力モード

このデバイスには、2つのクロック・ゲーティング低消費電力モードがあります。

さらに、すべての低消費電力モードの開始および終了手順の詳細については、『[TMS320F2838x リアルタイム・マイクロコントローラ・テクニカル・リファレンス・マニュアル](#)』の「低消費電力モード」セクションを参照してください。

7.10.10.1 クロック・ゲーティング低消費電力モード

このデバイスのアイドル・モードおよびスタンバイ・モードは、他の C28x デバイスのモードと同様です。表 7-10 に、いずれかのクロック・ゲート低消費電力モードに移行したときのシステムへの影響を示します。

表 7-10. クロック・ゲーティング低消費電力モードによるデバイスへの影響

モジュール / クロック・ドメイン	CPU1 アイドル	CPU1 スタンバイ	CPU2 アイドル	CPU2 スタンバイ
CPU1.CLKIN	アクティブ	ゲート	該当なし	該当なし
CPU1.SYSCLK	アクティブ	ゲート	該当なし	該当なし
CPU1.CPUCLK	ゲート	ゲート	該当なし	該当なし
CPU2.CLKIN	該当なし	該当なし	アクティブ	ゲート
CPU2.SYSCLK	該当なし	該当なし	アクティブ	ゲート
CPU2.CPUCLK	該当なし	該当なし	ゲート	ゲート
PERx.SYSCLK に接続されたモジュールへのクロック	アクティブ	CPUSEL.PERx = CPU1 の場合、ゲート	アクティブ	CPUSEL.PERx = CPU2 の場合、ゲート
CPU1.WDCLK	アクティブ	アクティブ	該当なし	該当なし
CPU2.WDCLK	該当なし	該当なし	アクティブ	アクティブ
AUXPLLCLK	アクティブ	アクティブ	アクティブ	アクティブ
PLL	電源供給	電源供給	電源供給	電源供給
INTOSC1	電源供給	電源供給	電源供給	電源供給
INTOSC2	電源供給	電源供給	電源供給	電源供給
フラッシュ ⁽¹⁾	電源供給	電源供給	電源供給	電源供給
X1 / X2 水晶発振器	電源供給	電源供給	電源供給	電源供給

(1) いずれかの低消費電力モードに移行しても、フラッシュは自動的にパワーダウンされません。アプリケーションは、低消費電力モードに移行する前に、必ずフラッシュ・メモリをパワーダウンする必要があります。

7.10.10.2 低消費電力モードのウェークアップ・タイミング

セクション 7.10.10.2.1 にアイドル・モードのタイミング要件を示し、セクション 7.10.10.2.2 にスイッチング特性を示します。また、図 7-24 にアイドル・モードのタイミング図を示します。入力クオリファイヤ・パラメータの説明については、セクション 7.10.8.2.1 を参照してください。

7.10.10.2.1 IDLE モードのタイミング要件

		最小値	最大値	単位
$t_{w(WAKE)}$	パルス幅、外部ウェークアップ信号	入力クオリファイヤなし	$2t_{c(SYSCCLK)}$	サイクル
		入力クオリファイヤあり	$2t_{c(SYSCCLK)} + t_{w(IQSW)}$	

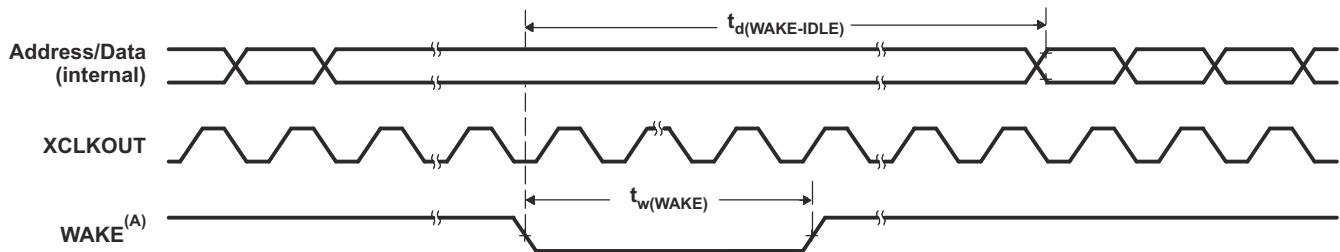
7.10.10.2.2 IDLE モードのスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	最大値	単位
$t_{d(WAKE-IDLE)}$	遅延時間、外部ウェーク信号からプログラム実行再開まで ⁽¹⁾	フラッシュからのウェークアップ (フラッシュ・モジュールはアクティブ状態)	入力クオリファイヤなし	$40t_{c(SYSCCLK)}$	サイクル
			入力クオリファイヤあり	$40t_{c(SYSCCLK)} + t_{w(WAKE)}$	サイクル
		フラッシュからのウェークアップ (フラッシュ・モジュールはスリープ状態)	入力クオリファイヤなし	$6700t_{c(SYSCCLK)}$ ⁽²⁾	サイクル
			入力クオリファイヤあり	$6700t_{c(SYSCCLK)}$ ⁽²⁾ + $t_{w(WAKE)}$	サイクル
		RAM からのウェークアップ	入力クオリファイヤなし	$25t_{c(SYSCCLK)}$	サイクル
			入力クオリファイヤあり	$25t_{c(SYSCCLK)} + t_{w(WAKE)}$	サイクル

- (1) これは、IDLE 命令の直後に続く命令の実行を開始するのに要する時間です。ISR の実行 (ウェークアップ信号によってトリガ) には、追加のレイテンシが伴います。
- (2) この値はフラッシュの起動時間に基づいています。これは、SYSCCLK 周波数、フラッシュのウェイト状態 (RWAIT)、および FPAC1[PSLEEP] の開数です。この値は、SYSCCLK が 200MHz、RWAIT が 3、FPAC1[PSLEEP] が 0x860 のときに実現できます。

7.10.10.2.3 IDLE 開始および終了タイミング図



- A. WAKE には、イネーブルになっている任意の割り込み、WDINT、XRSn を使用できます。IDLE 命令が実行された後、ウェークアップ信号がアサートされる前に、5 OSCCLK サイクル (最小値) の遅延が必要です。

図 7-24. IDLE 開始および終了タイミング図

セクション 7.10.10.2.4 にスタンバイ・モードのタイミング要件を示し、セクション 7.10.10.2.5 にスイッチング特性を示します。また、図 7-25 にスタンバイ・モードのタイミング図を示します。

7.10.10.2.4 STANDBY モードのタイミング要件

		最小値	最大値	単位
$t_{w(WAKE-INT)}$	パルス幅、外部ウェークアップ信号	QUALSTDBY = 0 $2t_{c(OSCCLK)}$	$3t_{c(OSCCLK)}$	サイクル
		QUALSTDBY > 0 $(2 + QUALSTDBY)t_{c(OSCCLK)}$ ⁽¹⁾	$(2 + QUALSTDBY) * t_{c(OSCCLK)}$	

(1) QUALSTDBY は、LPMCR レジスタの 6 ビット・フィールドです。

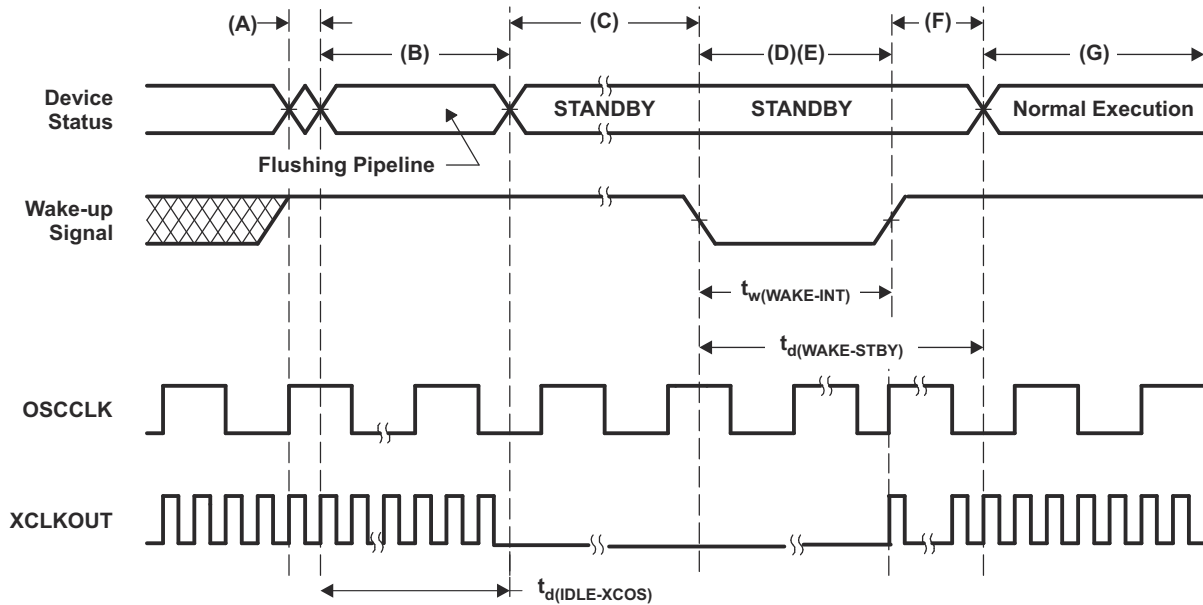
7.10.10.2.5 STANDBY モードのスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	最大値	単位
$t_{d(IDLE-XCOS)}$	遅延時間、IDLE 命令実行から XCLKOUT 停止まで		$16t_{c(INTOSC1)}$	サイクル
$t_{d(WAKE-STBY)}$	フラッシュからのウェークアップ (フラッシュ・モジュールはアクティブ状態)		$175t_{c(SYSCLK)} + t_{w(WAKE-INT)}$	サイクル
$t_{d(WAKE-STBY)}$	遅延時間、外部ウェーク信号からプログラム実行再開まで ⁽¹⁾	フラッシュからのウェークアップ (フラッシュ・モジュールはスリープ状態)	$6700t_{c(SYSCLK)}$ ⁽²⁾ + $t_{w(WAKE-INT)}$	サイクル
$t_{d(WAKE-STBY)}$	RAM からのウェークアップ		$3t_{c(OSC)} + 15t_{c(SYSCLK)} + t_{w(WAKE-INT)}$	サイクル

- (1) これは、IDLE 命令の直後に続く命令の実行を開始するのに要する時間です。ISR の実行 (ウェークアップ信号によってトリガ) には、追加のレイテンシが伴います。
- (2) この値はフラッシュの起動時間に基づいています。これは、SYSCLK 周波数、フラッシュのウェイト状態 (RWAIT)、および FPAC1[PSLEEP] の関数です。この値は、SYSCLK が 200MHz、RWAIT が 3、FPAC1[PSLEEP] が 0x860 のときに実現できます。

7.10.10.2.6 STANDBY の開始 / 終了タイミング図



- A. 本デバイスを STANDBY モードに移行させるために、IDLE 命令が実行されます。
- B. LPM ブロックが STANDBY 信号に応答し、SYSCLK は、最大 16 INTOSC1 クロック・サイクルにわたって保持された後、オフになります。この遅延により、CPU パイプラインおよびその他の保留中の動作が適切にフラッシュされます。
- C. ペリフェラルへのクロックがオフになります。ただし、PLL とウォッチドッグはシャットダウンされません。これで本デバイスは STANDBY モードに入りました。IDLE 命令が実行された後、ウェークアップ信号がアサートされる前に、5 OSCCLK サイクル (最小値) の遅延が必要です。
- D. 外部ウェークアップ信号がアクティブに駆動されます。
- E. デバイスをウェークアップするために GPIO ピンに供給されるウェークアップ信号は、最小パルス幅の要件を満たす必要があります。さらに、この信号にグリッチがあってははいけません。ノイズの多い信号が GPIO ピンに供給されると、デバイスのウェークアップ動作は確定的ではなくなり、デバイスは後続のウェークアップ・パルスで低消費電力モードを終了できない場合があります。
- F. 一定の待ち時間が経過すると、STANDBY モードが終了します。
- G. 通常動作を再開します。本デバイスは割り込み (有効化されている場合) に応答するようになります。

図 7-25. STANDBY の開始 / 終了タイミング図

7.10.11 外部メモリ・インターフェイス (EMIF)

EMIF は、非同期メモリ (SRAM、NOR フラッシュ) や同期メモリ (SDRAM) などの各種外部ストレージ・デバイスに CPU を接続する手段を提供します。

7.10.11.1 非同期メモリのサポート

EMIF は非同期メモリをサポートしています。

- SRAM
- NOR フラッシュ・メモリ

外部ウェイト入力があるため、低速の非同期メモリを使用してメモリ・アクセスを延長できます。EMIF モジュールは、最大 3 つのチップ・セレクト (EMIF_CS[4:2]) をサポートしています。各チップ・セレクトには、以下に示すように、個別にプログラム可能な属性があります。

- データ・バス幅
- 読み取りサイクルのタイミング: セットアップ、ホールド、ストローク
- 書き込みサイクルのタイミング: セットアップ、ホールド、ストローク
- バス・ターンアラウンド時間
- プログラム可能なタイムアウト付きのウェイト時間延長オプション
- ストローク選択オプション

7.10.11.2 同期 DRAM のサポート

EMIF メモリ・コントローラは、32 ビットまたは 16 ビットのデータ・バスを使用する JESD21-C SDR SDRAM に準拠しています。EMIF は、シングル SDRAM チップ・セレクト (EMIF_CS[0]) を備えています。

同期メモリ (SDRAM) に対する EMIF のアドレス空間は、プログラム・アドレス・バスの 22 ビットの範囲を超えており、データ・バス経由でのみアクセスできます。このため、C コンパイラがこの領域のデータに対して効果的に機能するためには制約があります。したがって、SDRAM を使用する場合は、(DMA を使って) 外部メモリから RAM にデータをコピーしてから作業することを推奨します。C2000 MCU 用 C2000Ware のサンプルと、『TMS320F2838x リアルタイム・マイクロコントローラ・テクニカル・リファレンス・マニュアル』を参照してください。

サポートされている SDRAM 構成:

- 1 バンク、2 バンク、4 バンクの SDRAM デバイス
- 8、9、10、11 列のアドレスを持つデバイス
- 2 または 3 クロック・サイクルの CAS レイテンシ
- 16 ビット / 32 ビットのデータ・バス幅
- 3.3V LVCMOS インターフェイス

さらに、EMIF は、セルフ・リフレッシュ・モードおよびパワーダウン・モードでの SDRAM 動作もサポートしています。セルフ・リフレッシュ・モードでは、SDRAM は、マイクロコントローラからのクロックがなくても継続してリフレッシュされるため、メモリの内容を保持しながら低消費電力状態にすることができます。パワーダウン・モードでは、データ保持が必要な場合、マイクロコントローラが定期的にウェークアップしてリフレッシュを発行する必要があることを除き、消費電力をさらに低減できます。EMIF モジュールは、モバイル SDRAM デバイスをサポートしていません。

このデバイスでは、EMIF は、SDRAM 構成に対するバースト・アクセスをサポートしていません。これは、外部 SDRAM デバイスへのすべてのアクセスに、CAS レイテンシが存在することを意味します。

7.10.11.3 EMIF の電氣的データおよびタイミング

7.10.11.3.1 非同期 RAM

7.10.11.3.1.1 EMIF 非同期メモリのタイミング要件

番号			最小値	最大値	単位
読み取りおよび書き込み					
	E	EMIF クロック周期	$t_{c(SYSCLK)}$		ns
2	$t_{w(EM_WAIT)}$	パルス幅、EMxWAIT のアサートおよびデアサート	$2E^{(1)}$		ns
読み取り					
12	$t_{su}(EMDV-EMOEH)$	セットアップ時間、EMxD[y:0] 有効から \overline{EMxOE} HIGH まで	15		ns
13	$t_{h}(EMOEH-EMDIV)$	ホールド時間、 \overline{EMxOE} HIGH から EMxD[y:0] 有効の間	0		ns
14	$t_{su}(EMOEL-EMWAIT)$	セットアップ時間、EMxWAIT アサートからストロブ・フェーズ終了まで ⁽²⁾	$4E+20^{(1)}$		ns
書き込み					
28	$t_{su}(EMWEL-EMWAIT)$	セットアップ時間、EMxWAIT アサートからストロブ・フェーズ終了まで ⁽²⁾	$4E+20^{(1)}$		ns

(1) E = EMxCLK 周期 (ns 単位)。

(2) ストロブ・フェーズの終了前のセットアップ (延長ウェイト状態が挿入されていない場合)。延長ウェイト状態を追加するためには、これにより EMxWAIT をアサートする必要があります。図 7-27 および図 7-29 に、ストロブ・フェーズ中に挿入される延長ウェイト状態を含む EMIF トランザクションを示します。ただし、この延長ウェイト時間の一部として挿入されたサイクルはカウントされません。4E という要件は、延長ウェイト・サイクルがない場合にホールド・フェーズが開始される時点に対するものです。

7.10.11.3.1.2 EMIF 非同期メモリのスイッチング特性

番号	パラメータ ^{(1) (2) (3)}		最小値	最大値	単位
1	$t_d(TURNAROUND)$	ターン・アラウンド時間	$(TA)*E-3$	$(TA)*E+2$	ns
読み取り					
3	$t_c(EMRCYCLE)$	EMIF 読み取りサイクル時間 (EW = 0)	$(RS+RST+RH)*E-3$	$(RS+RST+RH)*E+2$	ns
		EMIF 読み取りサイクル時間 (EW = 1) ⁽⁴⁾	$(RS+RST+RH+(MEWC*16))*E-3$	$(RS+RST+RH+(MEWC*16))*E+2$	ns
4	$t_{su}(EMCEL-EMOEL)$	出力セットアップ時間、 $\overline{EMxCS}[y:2]$ LOW から \overline{EMxOE} LOW まで (SS = 0)	$(RS)*E-3$	$(RS)*E+2$	ns
		出力セットアップ時間、 $\overline{EMxCS}[y:2]$ LOW から \overline{EMxOE} LOW まで (SS = 1)	-3	2	ns
5	$t_h(EMOEH-EMCEH)$	出力ホールド時間、 \overline{EMxOE} HIGH から $\overline{EMxCS}[y:2]$ HIGH まで (SS = 0)	$(RH)*E-3$	$(RH)*E$	ns
		出力ホールド時間、 \overline{EMxOE} HIGH から $\overline{EMxCS}[y:2]$ HIGH まで (SS = 1)	-3	0	ns
6	$t_{su}(EMBAV-EMOEL)$	出力セットアップ時間、EMxBA[y:0] 有効から \overline{EMxOE} LOW まで	$(RS)*E-3$	$(RS)*E+2$	ns
7	$t_h(EMOEH-EMBAIV)$	出力ホールド時間、 \overline{EMxOE} HIGH から EMxBA[y:0] 無効まで	$(RH)*E-3$	$(RH)*E$	ns
8	$t_{su}(EMAV-EMOEL)$	出力セットアップ時間、EMxA[y:0] 有効から \overline{EMxOE} LOW まで	$(RS)*E-3$	$(RS)*E+2$	ns
9	$t_h(EMOEH-EMAIV)$	出力ホールド時間、 \overline{EMxOE} HIGH から EMxA[y:0] 無効まで	$(RH)*E-3$	$(RH)*E$	ns
10	$t_w(EMOEL)$	\overline{EMxOE} アクティブ LOW 幅 (EW = 0)	$(RST)*E-1$	$(RST)*E+1$	ns
		\overline{EMxOE} アクティブ LOW 幅 (EW = 1) ⁽⁴⁾	$(RST+(MEWC*16))*E-1$	$(RST+(MEWC*16))*E+1$	ns
11	$t_d(EMWAITH-EMOEH)$	EMxWAIT デアサートから \overline{EMxOE} HIGH までの遅延時間	$4*E+10$	$5*E+15$	ns
29	$t_{su}(EMDQMV-EMOEL)$	出力セットアップ時間、EMxDQM[y:0] 有効から \overline{EMxOE} LOW まで	$(RS)*E-3$	$(RS)*E+2$	ns
30	$t_h(EMOEH-EMDQMIV)$	出力ホールド時間、 \overline{EMxOE} HIGH から EMxDQM[y:0] 無効まで	$(RH)*E-3$	$(RH)*E$	ns
書き込み					

7.10.11.3.1.2 EMIF 非同期メモリのスイッチング特性 (continued)

番号	パラメータ ^{(1) (2) (3)}	最小値	最大値	単位	
15	$t_{c(EMWCYCLE)}$	EMIF 書き込みサイクル時間 (EW = 0)	(WS+WST+WH)*E-3	(WS+WST+WH)*E+2	ns
		EMIF 書き込みサイクル時間 (EW = 1) ⁽⁴⁾	(WS+WST+WH+(MEWC*16))*E-3	(WS+WST+WH+(MEWC*16))*E+2	ns
16	$t_{su(EMCEL-EMWEL)}$	出力セットアップ時間、 $\overline{EMxCS[y:2]}$ LOW から \overline{EMxWE} LOW まで (SS = 0)	(WS)*E-3	(WS)*E+2	ns
		出力セットアップ時間、 $\overline{EMxCS[y:2]}$ LOW から \overline{EMxWE} LOW まで (SS = 1)	-3	2	ns
17	$t_{h(EMWEH-EMCEH)}$	出力ホールド時間、 \overline{EMxWE} HIGH から $\overline{EMxCS[y:2]}$ HIGH まで (SS = 0)	(WH)*E-3	(WH)*E	ns
		出力ホールド時間、 \overline{EMxWE} HIGH から $\overline{EMxCS[y:2]}$ HIGH まで (SS = 1)	-3	0	ns
18	$t_{su(EMDQMV-EMWEL)}$	出力セットアップ時間、 $\overline{EMxDQM[y:0]}$ 有効から \overline{EMxWE} LOW まで	(WS)*E-3	(WS)*E+2	ns
19	$t_{h(EMWEH-EMDQDIV)}$	出力ホールド時間、 \overline{EMxWE} HIGH から $\overline{EMxDQM[y:0]}$ 無効まで	(WH)*E-3	(WH)*E	ns
20	$t_{su(EMBAV-EMWEL)}$	出力セットアップ時間、 $\overline{EMxBA[y:0]}$ 有効から \overline{EMxWE} LOW まで	(WS)*E-3	(WS)*E+2	ns
21	$t_{h(EMWEH-EMBAIV)}$	出力ホールド時間、 \overline{EMxWE} HIGH から $\overline{EMxBA[y:0]}$ 無効まで	(WH)*E-3	(WH)*E	ns
22	$t_{su(EMAV-EMWEL)}$	出力セットアップ時間、 $\overline{EMxA[y:0]}$ 有効から \overline{EMxWE} LOW まで	(WS)*E-3	(WS)*E+2	ns
23	$t_{h(EMWEH-EMAIV)}$	出力ホールド時間、 \overline{EMxWE} HIGH から $\overline{EMxA[y:0]}$ 無効まで	(WH)*E-3	(WH)*E	ns
24	$t_w(EMWEL)$	\overline{EMxWE} アクティブ LOW 幅 (EW = 0)	(WST)*E-1	(WST)*E+1	ns
		\overline{EMxWE} アクティブ LOW 幅 (EW = 1) ⁽⁴⁾	(WST+(MEWC*16))*E-1	(WST+(MEWC*16))*E+1	ns
25	$t_d(EMWAITH-EMWEH)$	$\overline{EMxWAIT}$ デアサートから \overline{EMxWE} HIGH までの遅延時間	4*E+10	5*E+15	ns
26	$t_{su(EMDV-EMWEL)}$	出力セットアップ時間、 $\overline{EMxD[y:0]}$ 有効から \overline{EMxWE} LOW まで	(WS)*E-3	(WS)*E+2	ns
27	$t_{h(EMWEH-EMDIV)}$	出力ホールド時間、 \overline{EMxWE} HIGH から $\overline{EMxD[y:0]}$ 無効まで	(WH)*E-3	(WH)*E	ns

- (1) TA = ターン・アラウンド、RS = 読み取りセットアップ、RST = 読み取りストロブ、RH = 読み取りホールド、WS = 書き込みセットアップ、WST = 書き込みストロブ、WH = 書き込みホールド、MEWC = 最大外部ウェイト・サイクル。これらのパラメータは、非同期バンクおよび非同期ウェイト・サイクル構成レジスタを使ってプログラミングします。これらのパラメータは、以下の範囲の値をサポートしています。TA[4-1]、RS[16-1]、RST[64-4]、RH[8-1]、WS[16-1]、WST[64-1]、WH[8-1]、および MEWC[1-256]。詳細については、『[TMS320F2838x リアルタイム・マイクロコントローラ・テクニカル・リファレンス・マニュアル](#)』を参照してください。
- (2) E = EMxCLK 周期 (ns 単位)。
- (3) EWC = EMxWAIT 入力信号によって決定される外部ウェイト・サイクル。EWC は、以下の範囲の値をサポートしています。EWC[256-1]。タイムアウトまでの最大ウェイト時間は、非同期ウェイト・サイクル構成レジスタのビット・フィールド MEWC により指定されます。詳細については、『[TMS320F2838x リアルタイム・マイクロコントローラ・テクニカル・リファレンス・マニュアル](#)』を参照してください。
- (4) 最大ウェイト・タイムアウト条件。

7.10.11.3.1.3 EMIF 非同期メモリのタイミング図

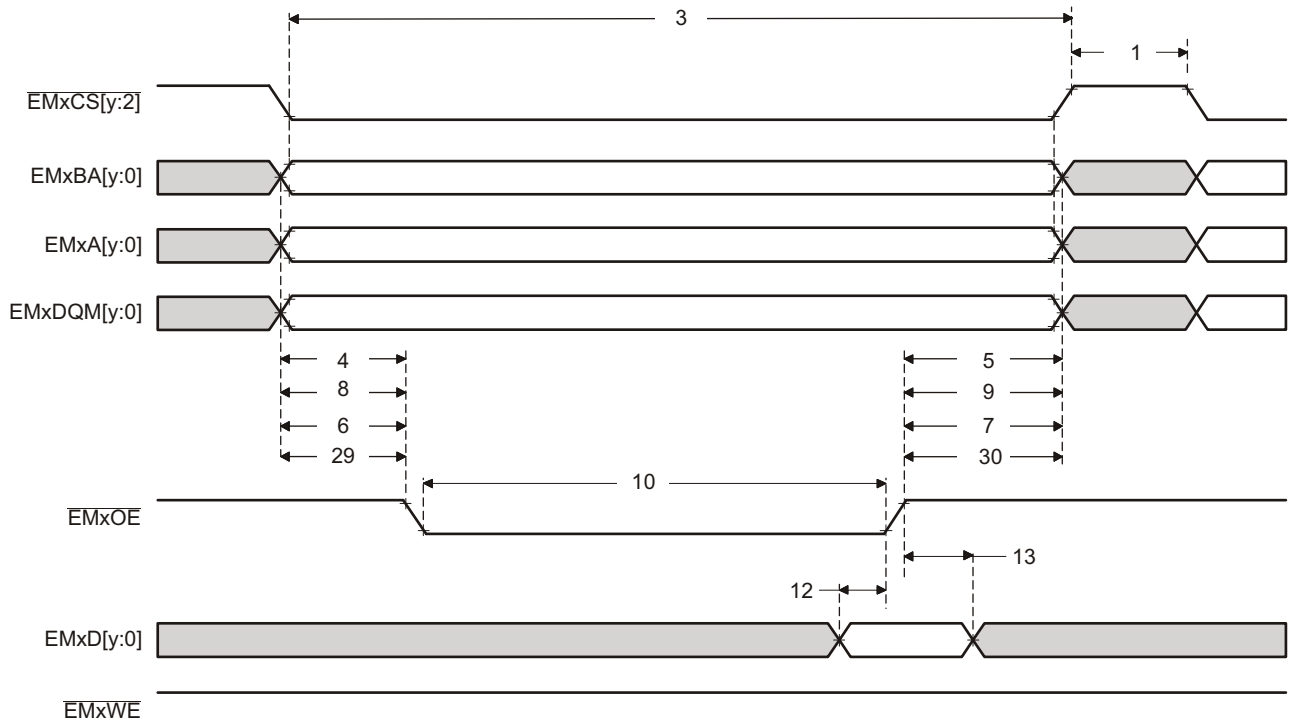


図 7-26. 非同期メモリ読み取りタイミング

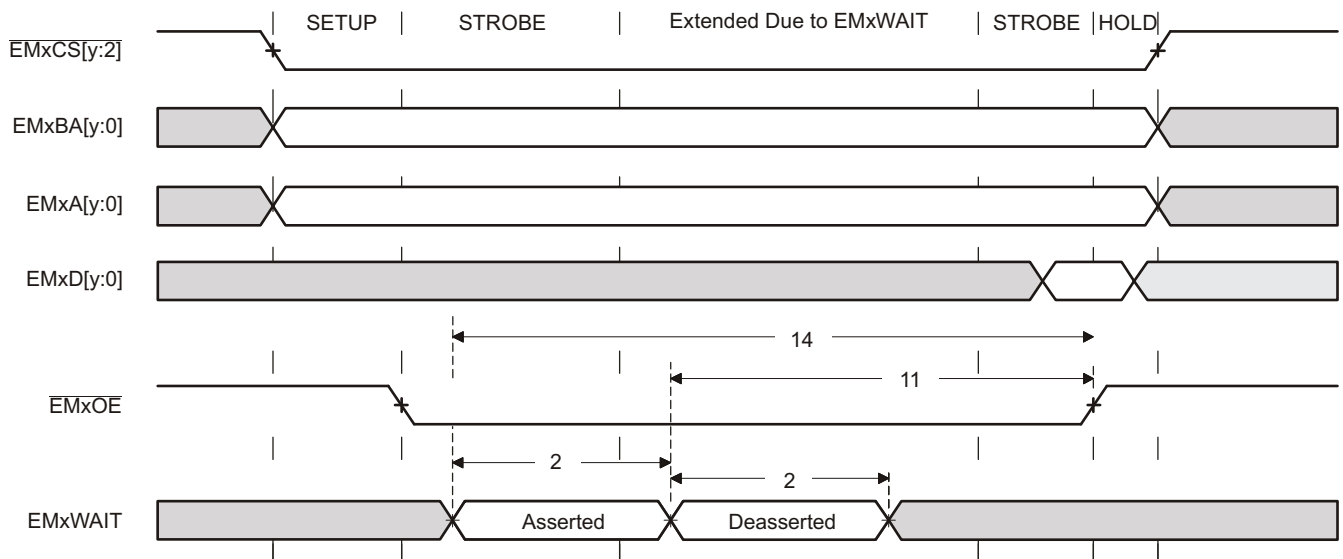


図 7-27. EMxWAIT 読み取りタイミング要件

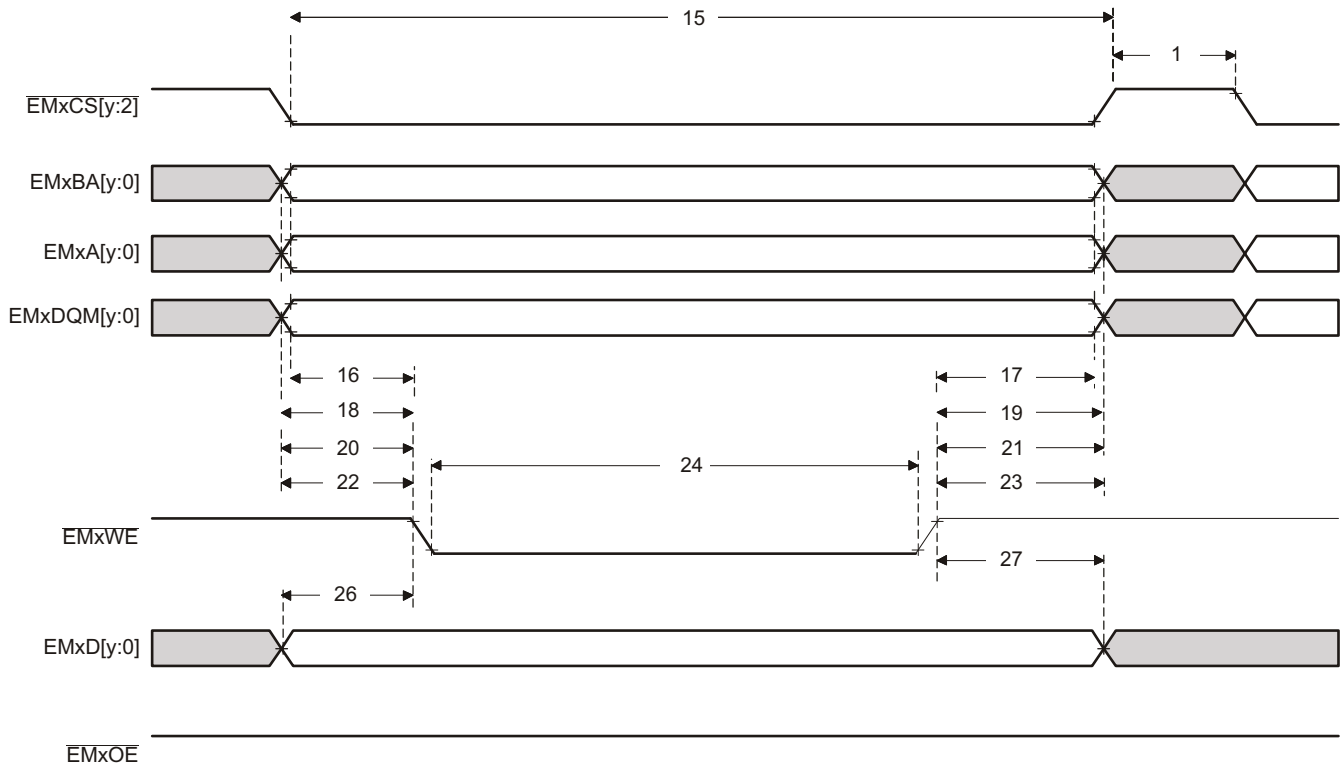


図 7-28. 非同期メモリ書き込みタイミング

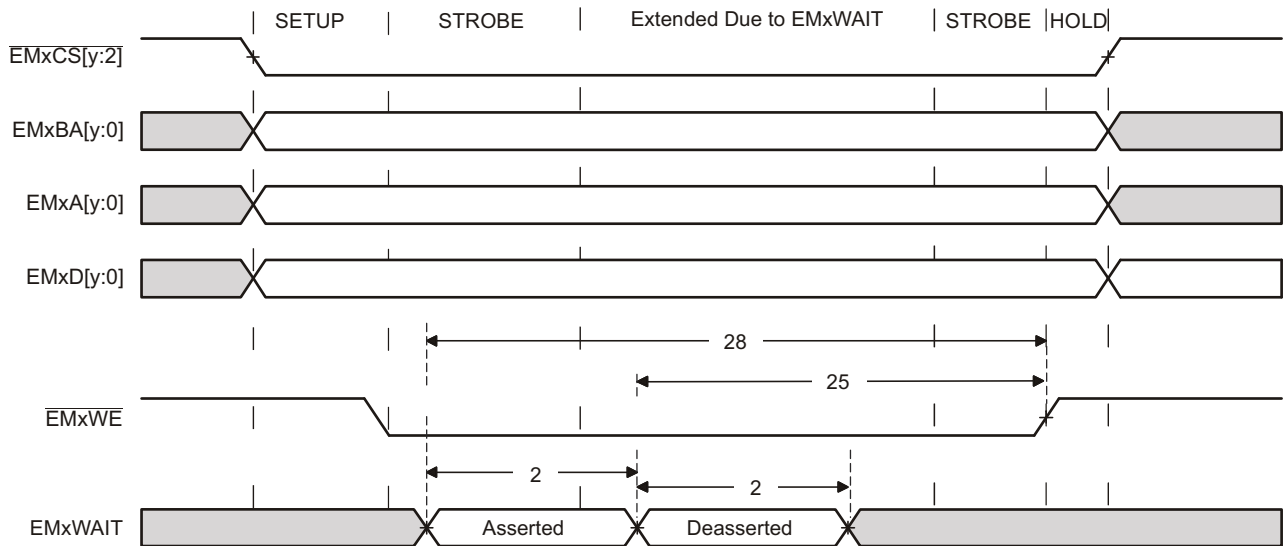


図 7-29. EMxWAIT 書き込みタイミング要件

7.10.11.3.2 同期 RAM

セクション 7.10.11.3.2.1 に、EMIF 同期メモリのタイミング要件を示します。セクション 7.10.11.3.2.2 に、EMIF 同期メモリのスイッチング特性を示します。図 7-30 および 図 7-31 に、同期メモリのタイミング図を示します。

7.10.11.3.2.1 EMIF 同期メモリのタイミング要件

番号			最小値	最大値	単位
19	$t_{su}(EMIFDV-EM_CLKH)$	入力セットアップ時間、EMxD[y:0] 読み取りデータ有効から EMxCLK 立ち上がりまで	2		ns
20	$t_h(CLKH-DIV)$	入力ホールド時間、EMxCLK 立ち上がりから EMxD[y:0] 読み取りデータ有効終了まで	1.5		ns

7.10.11.3.2.2 EMIF 同期メモリのスイッチング特性

番号	パラメータ		最小値	最大値	単位
1	$t_c(CLK)$	サイクル時間、EMIF クロック EMxCLK	10		ns
2	$t_w(CLK)$	パルス幅、EMIF クロック EMxCLK HIGH または LOW	3		ns
3	$t_d(CLKH-CSV)$	遅延時間、EMxCLK 立ち上がりから $\overline{EMxCS}[y:2]$ 有効まで		8	ns
4	$t_{oh}(CLKH-CSIV)$	出力ホールド時間、EMxCLK 立ち上がりから $\overline{EMxCS}[y:2]$ 無効まで	1		ns
5	$t_d(CLKH-DQMV)$	遅延時間、EMxCLK 立ち上がりから EMxDQM[y:0] 有効まで		8	ns
6	$t_{oh}(CLKH-DQMIV)$	出力ホールド時間、EMxCLK 立ち上がりから EMxDQM[y:0] 無効まで	1		ns
7	$t_d(CLKH-AV)$	遅延時間、EMxCLK 立ち上がりから EMxA[y:0] および EMxBA[y:0] 有効まで		8	ns
8	$t_{oh}(CLKH-AIV)$	出力ホールド時間、EMxCLK 立ち上がりから EMxA[y:0] および EMxBA[y:0] 無効まで	1		ns
9	$t_d(CLKH-DV)$	遅延時間、EMxCLK 立ち上がりから EMxD[y:0] 有効まで		8	ns
10	$t_{oh}(CLKH-DIV)$	出力ホールド時間、EMxCLK 立ち上がりから EMxD[y:0] 無効まで	1		ns
11	$t_d(CLKH-RASV)$	遅延時間、EMxCLK 立ち上がりから EMxRAS 有効まで		8	ns
12	$t_{oh}(CLKH-RASIV)$	出力ホールド時間、EMxCLK 立ち上がりから EMxRAS 無効まで	1		ns
13	$t_d(CLKH-CASV)$	遅延時間、EMxCLK 立ち上がりから EMxCAS 有効まで		8	ns
14	$t_{oh}(CLKH-CASIV)$	出力ホールド時間、EMxCLK 立ち上がりから EMxCAS 無効まで	1		ns
15	$t_d(CLKH-WEV)$	遅延時間、EMxCLK 立ち上がりから \overline{EMxWE} 有効まで		8	ns
16	$t_{oh}(CLKH-WEIV)$	出力ホールド時間、EMxCLK 立ち上がりから \overline{EMxWE} 無効まで	1		ns
17	$t_d(CLKH-DHZ)$	遅延時間、EMxCLK 立ち上がりから EMxD[y:0] トライステートまで		8	ns
18	$t_{oh}(CLKH-DLZ)$	出力ホールド時間、EMxCLK 立ち上がりから EMxD[y:0] 駆動まで	1		ns

7.10.11.3.2.3 EMIF 同期メモリのタイミング図

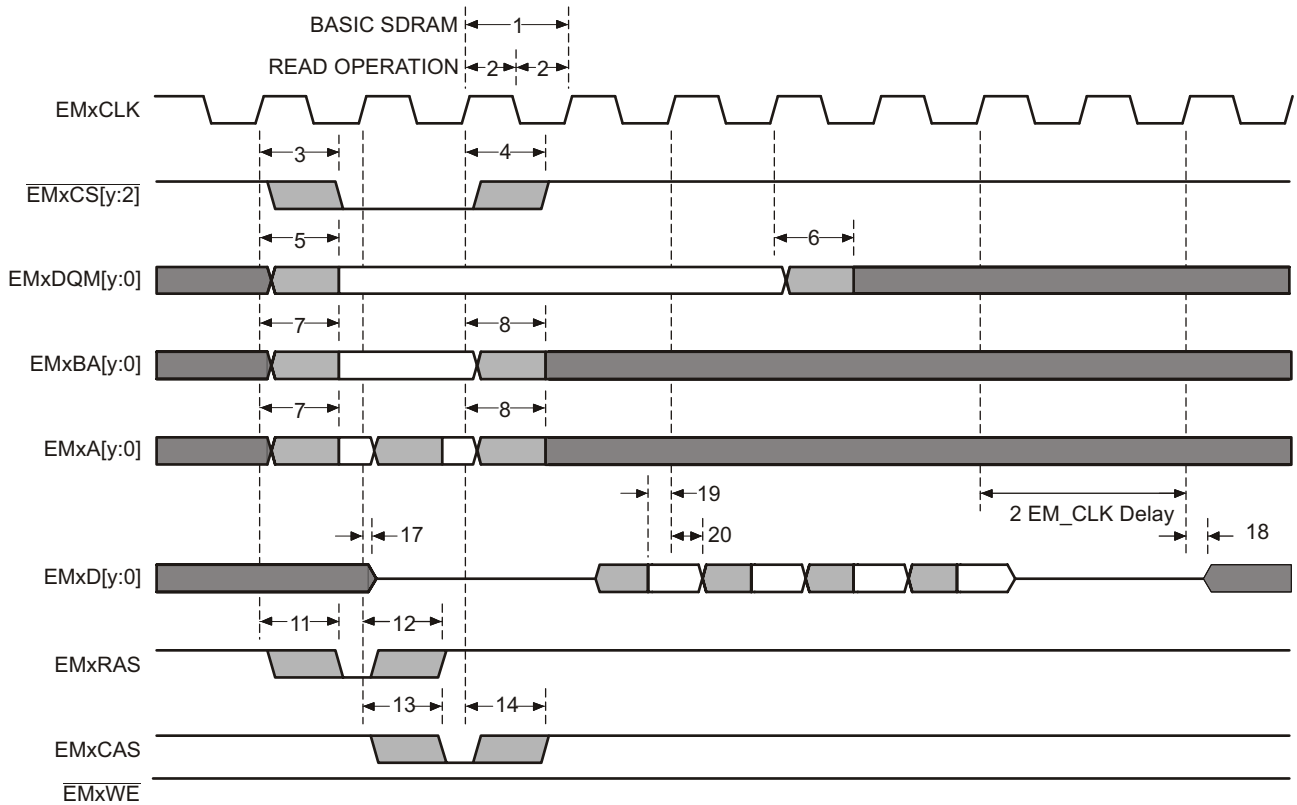


図 7-30. 基本的な SDRAM 読み取り動作

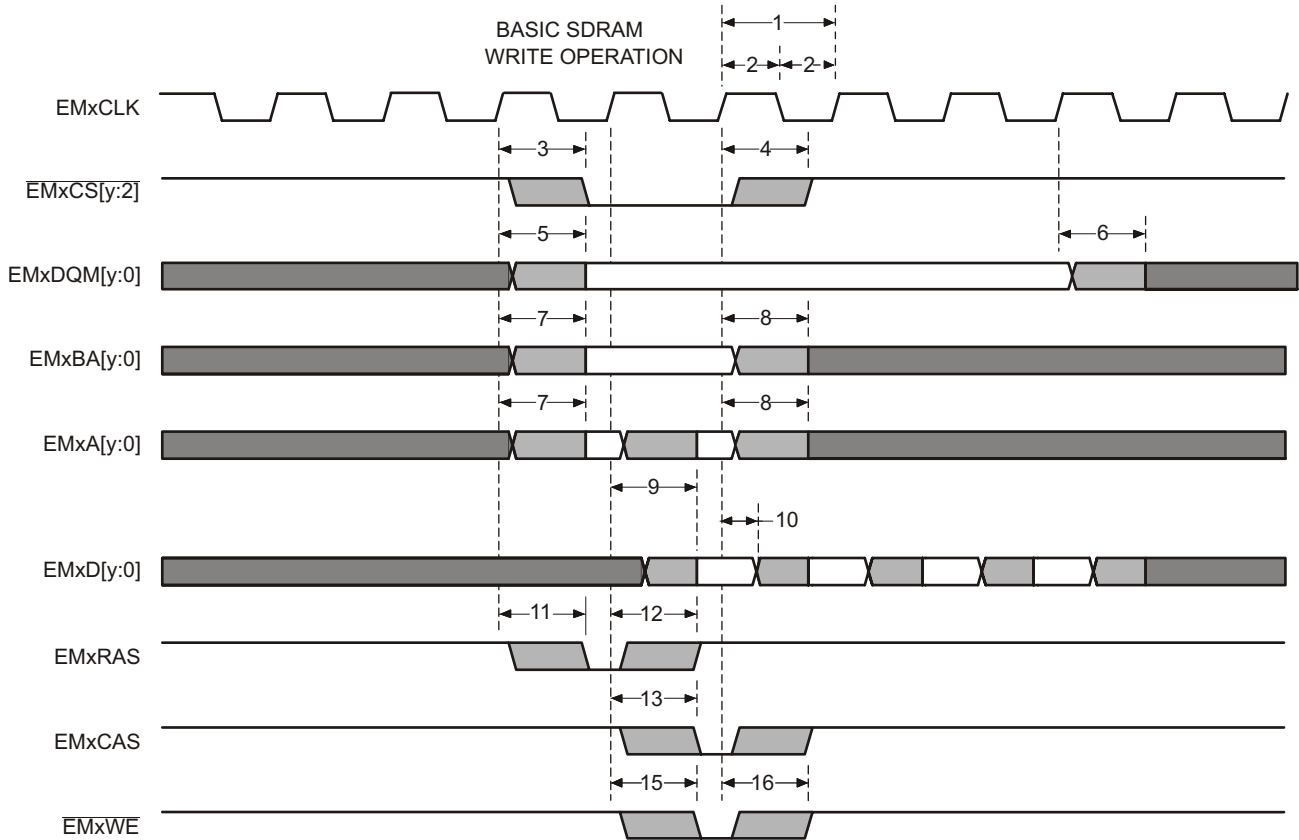


図 7-31. 基本的な SDRAM 書き込み動作

7.11 C28x アナログ・ペリフェラル

7.11.1 アナログ・サブシステム

このデバイスのアナログ・モジュールには、A/D コンバータ (ADC)、バッファ付き D/A コンバータ (DAC)、温度センサ、コンパレータ・サブシステム (CMPSS) が含まれます。

アナログ・サブシステムには次のような特長があります。

- フレキシブルな電圧リファレンス
 - これらの ADC は、VREFH_{ix} ピンおよび VREFLO_x ピンを基準としています。
 - VREFH_{ix} ピンの電圧は、外部で駆動する必要があります。
- バッファ付き DAC は、VREFH_{ix} および VSSA を基準としています。
 - または、VDAC ピンおよび VSSA を基準にすることもできます。
- コンパレータ DAC は、VDDA および VSSA を基準としています。
 - または、VDAC ピンおよび VSSA を基準にすることもできます。
- フレキシブルなピンの用途
 - ADC 入力で多重化された、バッファ付き DAC およびコンパレータ・サブシステム機能
- オフセット・セルフ・キャリブレーションのために、すべての ADC で VREFLO に内部接続

[図 7-32](#) に、337 ボール ZWT パッケージのアナログ・サブシステムのブロック図を示します。

[図 7-33](#) に、176 ピン PTP パッケージのアナログ・サブシステムのブロック図を示します。

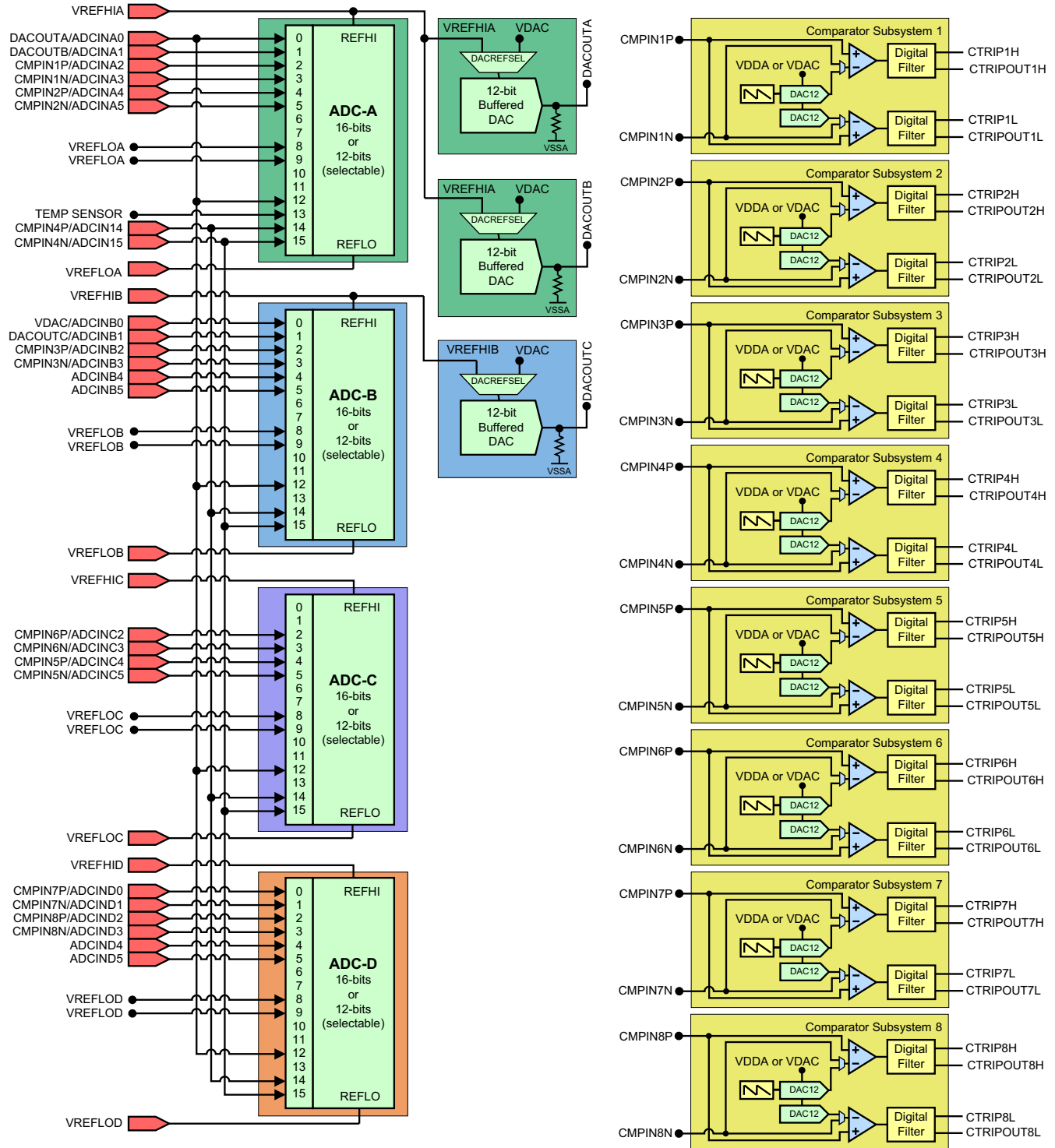


図 7-32. アナログ・サブシステムのブロック図 (337 ボール ZWT)

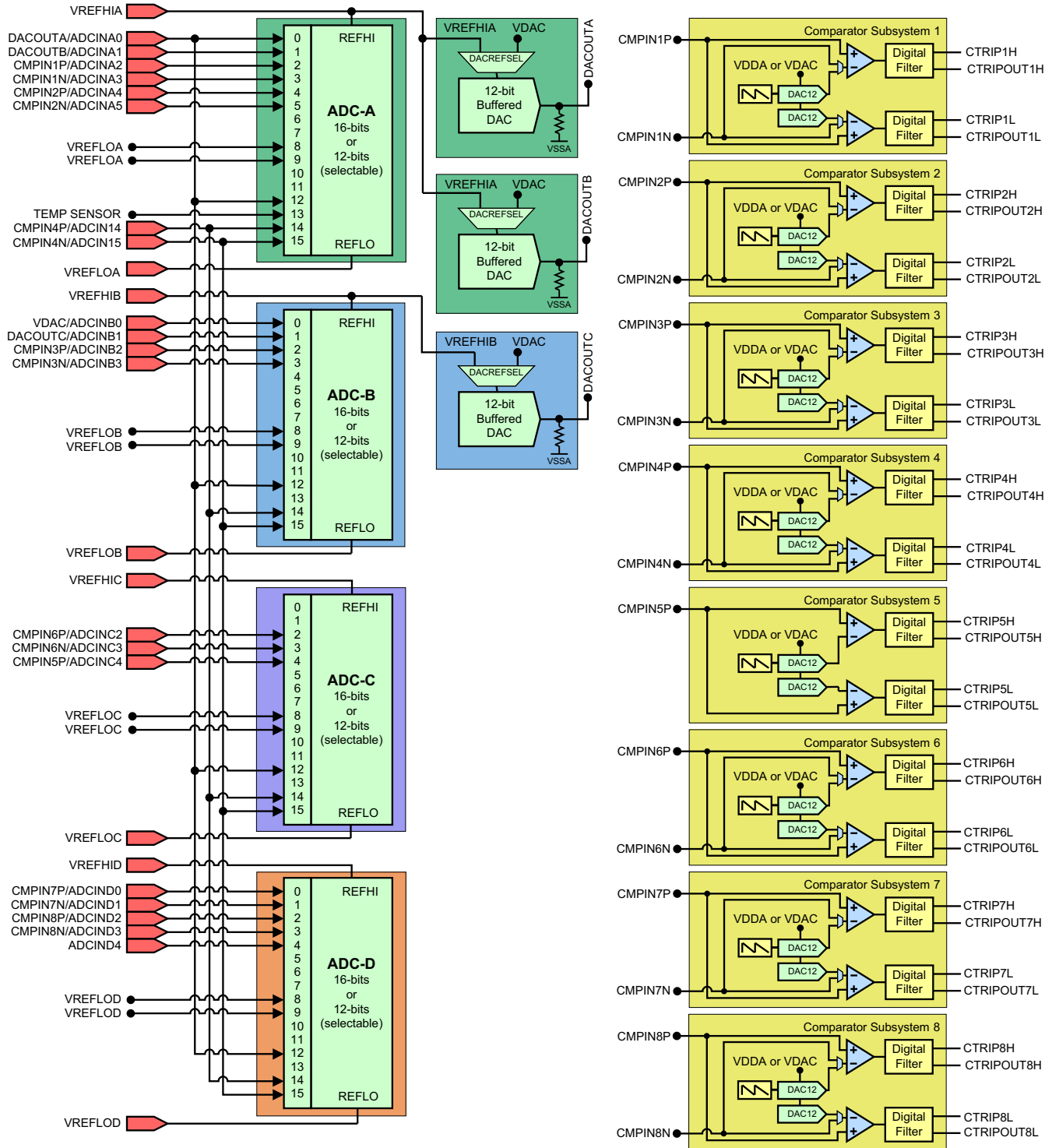


図 7-33. アナログ・サブシステムのブロック図 (176 ピン PTP)

7.11.2 A/D コンバータ (ADC)

この ADC モジュールは、逐次比較 (SAR) 型 ADC で、16 ビットまたは 12 ビットの分解能を選択できます。ADC は、コアとラッパーで構成されています。コアはアナログ回路で構成され、チャンネル選択マルチプレクサ、サンプル / ホールド (S/H) 回路、逐次比較回路、電圧リファレンス回路、およびその他のアナログ・サポート回路が含まれます。ラッパーは、ADC を構成および制御するデジタル回路で構成されています。これらの回路には、プログラマブルな変換用のロジック、結果レジスタ、アナログ回路へのインターフェイス、ペリフェラル・バスへのインターフェイス、後処理回路、およびその他のオンチップ・モジュールへのインターフェイスが含まれます。

各 ADC モジュールは、単一のサンプル / ホールド (S/H) 回路で構成されています。ADC モジュールは、同じチップ上で複数回複製された設計になっており、複数の ADC を同時にサンプリングすることも、独立して動作させることもできます。ADC ラッパーは、変換開始 (SOC) ベースで動作します (『[TMS320F2838x リアルタイム・マイクロコントローラ・テクニカル・リファレンス・マニュアル](#)』の「A/D コンバータ (ADC)」の章にある「SOC の動作原理」セクションを参照)。

各 ADC には次のような特長があります。

- 12 ビットまたは 16 ビットの分解能を選択可能
- VREFHI および VREFLO ピンによって設定されるレシオメトリック外部リファレンス
- 差動信号変換 (16 ビット・モードのみ)
- シングルエンド信号変換
- 最大 16 チャンネル (シングルエンド) または 8 チャンネル (差動) の入力マルチプレクサ
- 16 本の構成可能な SOC
- 16 個の個別にアドレス指定可能な結果レジスタ
- 複数のトリガ・ソース
 - S/W - ソフトウェア即時起動
 - すべての ePWM: ADCSOC A または B
 - GPIO 入力 X-BAR INPUT5
 - CPU タイマ 0、CPU タイマ 1、CPU タイマ 2 (存在する各 C28x コアから)
 - ADCINT1、ADCINT2
- 4 つのフレキシブルな PIE 割り込み
- 構成可能な割り込みの配置
- バースト・モード
- 4 つの後処理ブロック、それぞれに次の機能を搭載:
 - 飽和オフセット校正
 - 設定点からの誤差の計算
 - 高、低、ゼロクロス比較、割り込みおよび ePWM トリップ機能付き
 - トリガからサンプルまでの遅延キャプチャ

注

すべてのチャンネルがすべての ADC からピンへ接続されているわけではありません。使用可能なチャンネルを確認するには、[セクション 6](#) を参照してください。

図 7-34 に、ADC モジュールのブロック図を示します。

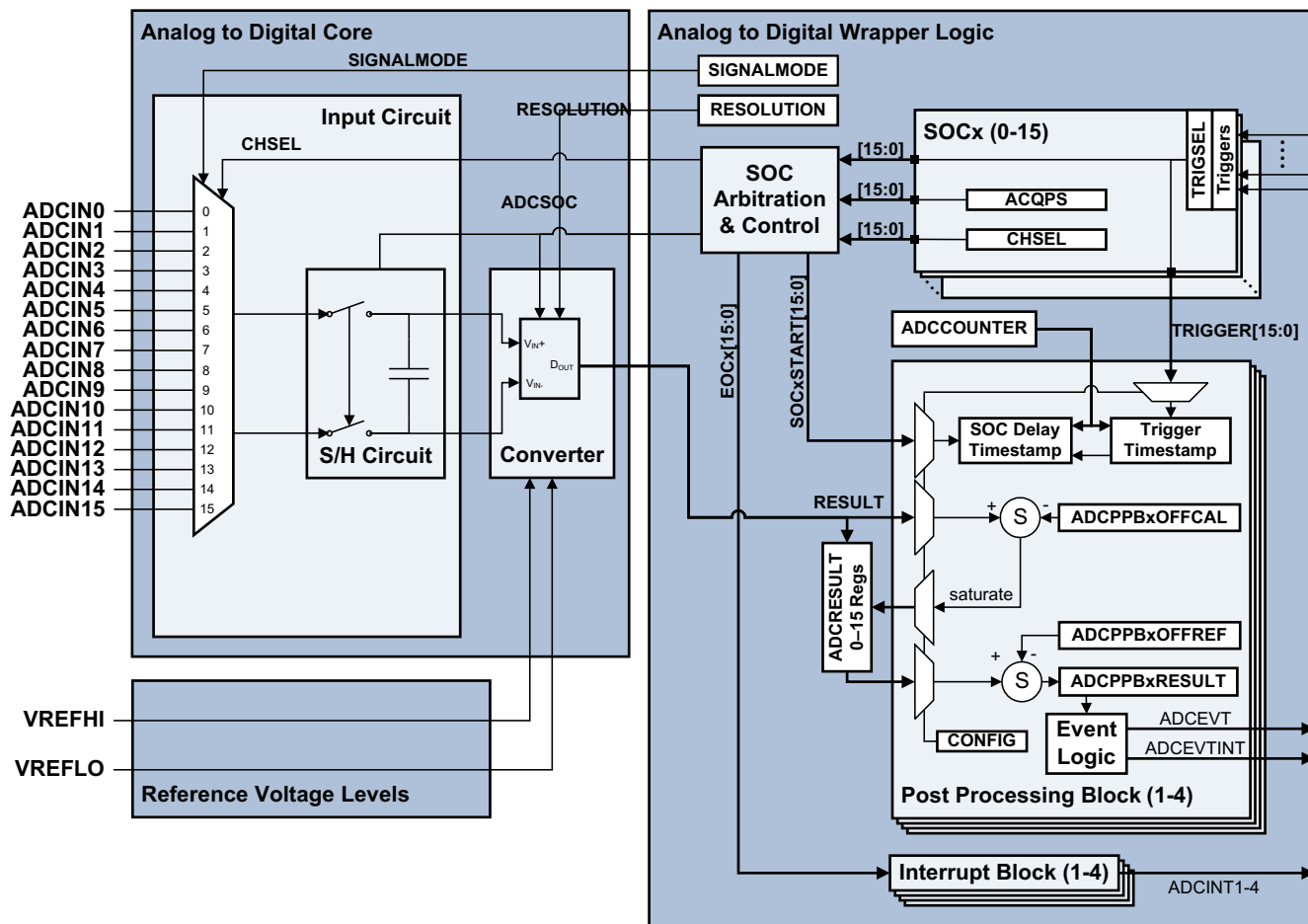


図 7-34. ADC モジュールのブロック図

7.11.2.1 結果レジスタのマッピング

ADC の結果および ADC PPB の結果は、システム内の各メモリ・バス・コントローラに複製されます。バス・コントローラには、特定の部品ファミリーおよび型番に存在するすべての C28x CPU、C28x DMA、CLA が含まれます。それぞれのバス・コントローラごとに、結果レジスタへの読み取りアクセスを許可するアクセス構成は必要ありません。また、複数のバス・コントローラが ADC 結果を同時に読み取ろうとする場合でも、競合は発生しません。

7.11.2.2 ADC の構成可能性

一部の ADC 構成は、SOC によって個別に管理されますが、他の構成は、ADC モジュールごとにまとめて管理されます。表 7-11 に、基本的な ADC オプションとその構成レベルを示します。

表 7-11. ADC オプションおよび構成レベル

オプション	構成方法
クロック	モジュールごと ⁽¹⁾
分解能	モジュールごと ⁽¹⁾
信号モード	モジュールごと
リファレンス電圧源	構成不可 (外部基準電圧のみ)
トリガ・ソース	SOC ごと ⁽¹⁾
変換対象チャネル	SOC ごと
アキュイジション・ウィンドウ幅	SOC ごと ⁽¹⁾
EOC の位置	モジュールごと
バースト・モード	モジュールごと ⁽¹⁾

- (1) これらの設定について、異なる ADC モジュールに異なる値を書き込むと、ADC が非同期に動作する可能性があります。ADC の動作が同期になるか非同期になるかについてのガイダンスは、『[TMS320F2838x リアルタイム・マイクロコントローラ・テクニカル・リファレンス・マニュアル](#)』の A/D コンバータ (ADC) の章で、「同期動作の確保」セクションを参照してください。

7.11.2.2.1 信号モード

ADC は、シングルエンドと差動の 2 つの信号モードをサポートしています。シングルエンド・モードでは、コンバータへの入力電圧は VREFLO を基準として、1 本のピン (ADCIN_x) でサンプリングされます。差動信号モードでは、コンバータへの入力電圧は 1 組の入力ピンでサンプリングされます。一方が正入力 (ADCIN_{xP}) で、他方が負入力 (ADCIN_{xN}) です。実際の入力電圧は、2 つの入力電圧の差 (ADCIN_{xP} - ADCIN_{xN}) です。図 7-35 に、差動信号モードを示します。図 7-36 に、シングルエンド信号モードを示します。

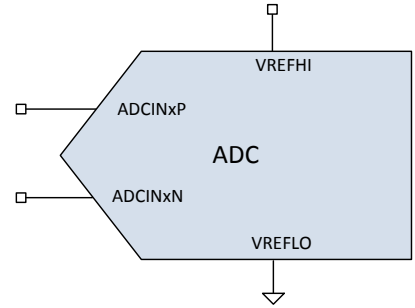
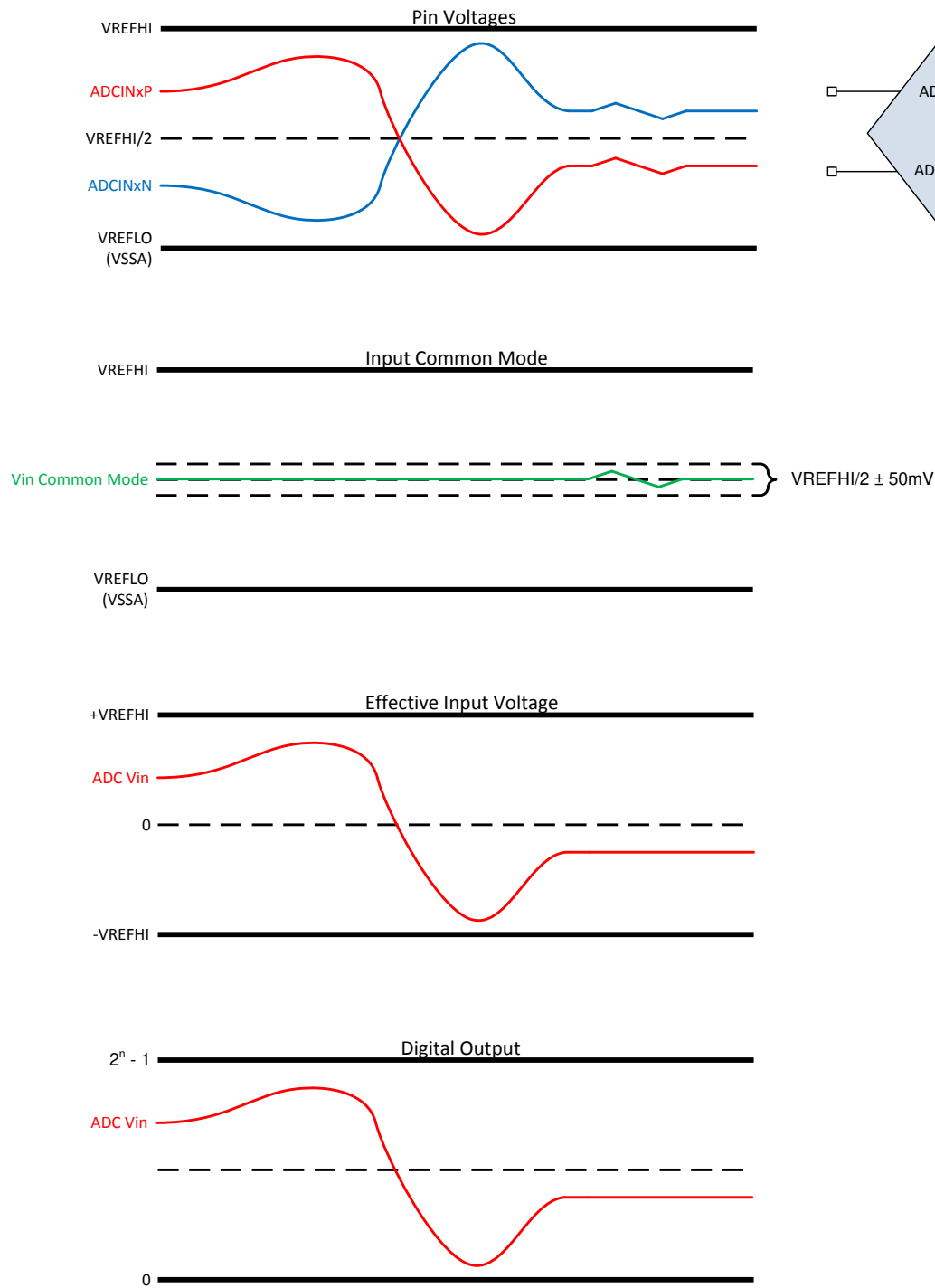


図 7-35. 差動信号モード

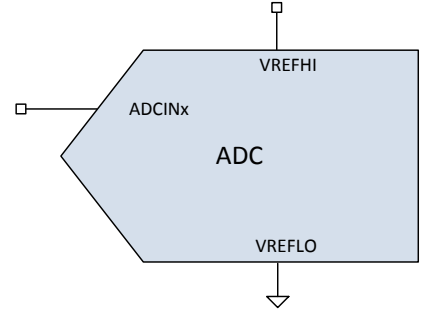
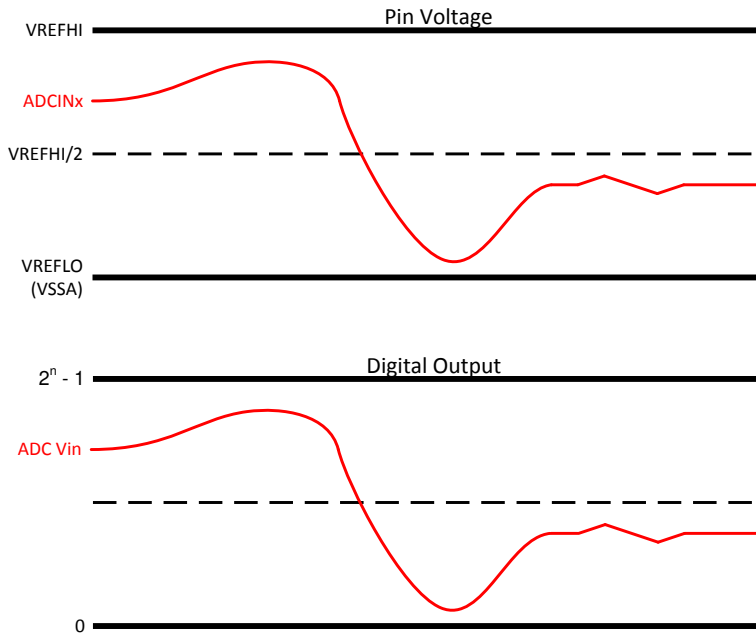


図 7-36. シングルエンド信号モード

7.11.2.3 ADC の電氣的データおよびタイミング

セクション 7.11.2.3.1 に、16 ビット差動モードの ADC 動作条件を示します。セクション 7.11.2.3.2 に、16 ビット差動モードの ADC 特性を示します。セクション 7.11.2.3.3 に、16 ビット・シングルエンド・モードの ADC 動作条件を示します。セクション 7.11.2.3.4 に、16 ビット・シングルエンド・モードの ADC 特性を示します。セクション 7.11.2.3.5 に、12 ビット・シングルエンド・モードの ADC 動作条件を示します。セクション 7.11.2.3.6 に、12 ビット・シングルエンド・モードの ADC 特性を示します。セクション 7.11.2.3.7 に、ADCEXTSOC のタイミング要件を示します。

7.11.2.3.1 ADC の動作条件 (16 ビット差動)

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	代表値	最大値	単位
ADCCLK (PERx.SYSCLK から生成)		5		50	MHz
サンプル・レート	200MHz SYSCLK			1.1	MSPS
サンプル・ウィンドウ幅 (ACQPS および PERx.SYSCLK により設定) (1)	50Ω 以下の R _s	320			ns
VREFHI		2.4	2.5 または 3.0	VDDA	V
VREFLO		VSSA	VSSA	VSSA	V
変換範囲		VREFLO		VREFHI	V
ADC 入力信号の同相電圧(2) (3)		VREFCM - 50	VREFCM	VREFCM + 50	mV

- (1) この他、ADC を正しく動作させるために、サンプル・ウィンドウは少なくとも、1 ADCCLK サイクルにわたって継続する必要があります。
(2) $VREFCM = (VREFHI + VREFLO)/2$
(3) ADC の負の入力ピンが VSSA または VREFLO に接続されている場合、VREFCM の要件は満たされません。

7.11.2.3.1.1 ADC の動作条件 (16 ビット差動) に関する注意事項

注

動作中は、ADC 入力を VDDA + 0.3V よりも低く維持する必要があります。ADC 入力がこのレベルを超えると、デバイス内部の VREF が混乱するおそれがあり、同じ VREF を使用する他の ADC または DAC 入力の結果に影響を及ぼす可能性があります。

注

ADC および DAC が規定性能のパラメータを満たすためには、VREFHI ピンを VDDA よりも低く維持する必要があります。機能動作のためには、VREFHI ピンを VDDA + 0.3V よりも低く維持する必要があります。VREFHI ピンが VDDA + 0.3V を超えると、ブロッキング回路が動作することがあり、内部で VREFHI の値が 0V になって、不正確な ADC 変換または DAC 出力が発生する可能性があります。

7.11.2.3.2 ADC の特性 (16 ビット差動)

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	代表値	最大値	単位
全般					
ADCCLK 変換サイクル		29.6		31	ADCCLK
パワーアップ時間				500	μs
VREFHI 入力電流 ⁽¹⁾			190		μA
外部リファレンス・コンデンサの値 ⁽²⁾		22			μF
DC 特性					
ゲイン誤差		-64	±9	64	LSB
オフセット誤差		-6	±4	6	LSB
チャンネル間ゲイン誤差			±6		LSB
チャンネル間オフセット誤差			±3		LSB
ADC 間ゲイン誤差	すべての ADC で同一の VREFHI および VREFLO		±6		LSB
ADC 間オフセット誤差	すべての ADC で同一の VREFHI および VREFLO		±3		LSB
DNL 誤差		>-1	±0.5	1	LSB
INL 誤差		-3.5	±1.0	3.5	LSB
ADC 間絶縁	VREFHI = 2.5V、同期 ADC	-2		2	LSB
	VREFHI = 2.5V、非同期 ADC		非対応		
AC 特性					
SNR ⁽³⁾	VREFHI = 2.5V、fin = 10kHz、X1 からの SYSCLK		90.2		dB
	VREFHI = 2.5V、fin = 10kHz、INTOSC からの SYSCLK		90.2		dB
THD ⁽³⁾	VREFHI = 2.5V、fin = 10kHz		-105		dB
SFDR ⁽³⁾	VREFHI = 2.5V、fin = 10kHz		106		dB
SINAD ⁽³⁾	VREFHI = 2.5V、fin = 10kHz、X1 からの SYSCLK		90.0		dB
	VREFHI = 2.5V、fin = 10kHz、INTOSC からの SYSCLK		90.0		
ENOB ⁽³⁾	VREFHI = 2.5V、fin = 10kHz、X1 からの SYSCLK、シングル ADC		14.65		ビット
	VREFHI = 2.5V、fin = 10kHz、X1 からの SYSCLK、同期 ADC		14.65		
	VREFHI = 2.5V、fin = 10kHz、X1 からの SYSCLK、非同期 ADC		非対応		
PSRR	VDD = 1.2V DC + 200mV DC から 1kHz の正弦波まで		77		dB
	VDD = 1.2V DC + 200mV 800kHz の正弦波		74		
	VDDA = 3.3V DC + 200mV DC から 800kHz の正弦波まで		77		
	VDDA = 3.3V DC + 200mV 800kHz の正弦波		74		

(1) ADC 入力が増えると、VREFHI の負荷電流が増加します。その結果、不正確な変換が発生します。

(2) 0805 以下のパッケージ・サイズのセラミック・コンデンサを推奨します。許容誤差は最大 ±20% です。

(3) 容量性結合とクロストークを低減するためのベスト・プラクティスの一部として、ADC 入力と VREFHI ピンに隣接するピンの I/O アクティビティを最小限に抑えます。

7.11.2.3.3 ADC の動作条件 (16 ビット・シングルエンド)

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	代表値	最大値	単位
ADCCLK (PERx.SYSCLK から生成)		5		50	MHz
サンプル・レート	200MHz SYSCLK			1.1	MSPS
サンプル・ウィンドウ幅 (ACQPS および PERx.SYSCLK により設定) ⁽¹⁾	50Ω 以下の R _s	320			ns
VREFHI		2.4	2.5 または 3.0	VDDA	V
VREFLO		VSSA	VSSA	VSSA	V
変換範囲	外部リファレンス	VREFLO		VREFHI	V

(1) この他、ADC を正しく動作させるために、サンプル・ウィンドウは少なくとも、1 ADCCLK サイクルにわたって継続する必要があります。

7.11.2.3.3.1 ADC の動作条件 (16 ビット・シングルエンド) に関する注意事項

注

動作中は、ADC 入力を VDDA + 0.3V よりも低く維持する必要があります。ADC 入力がこのレベルを超えると、デバイス内部の VREF が混乱するおそれがあり、同じ VREF を使用する他の ADC または DAC 入力の結果に影響を及ぼす可能性があります。

注

ADC および DAC が規定性能のパラメータを満たすためには、VREFHI ピンを VDDA よりも低く維持する必要があります。機能動作のためには、VREFHI ピンを VDDA + 0.3V よりも低く維持する必要があります。VREFHI ピンが VDDA + 0.3V を超えると、ブロッキング回路が動作することがあり、内部で VREFHI の値が 0V になって、不正確な ADC 変換または DAC 出力が発生する可能性があります。

7.11.2.3.4 ADC の特性 (16 ビット・シングルエンド)

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	代表値	最大値	単位
全般					
ADCCLK 変換サイクル		29.6		31	ADCCLK
パワーアップ時間				500	μs
VREFHI 入力電流 ⁽¹⁾			190		μA
外部リファレンス・コンデンサの値 ⁽²⁾		22			μF
DC 特性					
ゲイン誤差		-64	±20	64	LSB
オフセット誤差		-6	±4	6	LSB
チャンネル間ゲイン誤差			±6		LSB
チャンネル間オフセット誤差			±6		LSB
ADC 間ゲイン誤差	すべての ADC で同一の VREFHI および VREFLO		±6		LSB
ADC 間オフセット誤差	すべての ADC で同一の VREFHI および VREFLO		±6		LSB
DNL 誤差		>-1	±0.5	1	LSB
INL 誤差		-6	±1.5	6	LSB
ADC 間絶縁	VREFHI = 2.5V、同期 ADC	-2		2	LSB
	VREFHI = 2.5V、非同期 ADC		非対応		
AC 特性					
SNR ⁽³⁾	VREFHI = 2.5V、fin = 10kHz、PLL を介した X1 からの SYSCCLK		83.5		dB
	VREFHI = 2.5V、fin = 10kHz、PLL を介した INTOSC からの SYSCCLK		83.5		
THD ⁽³⁾	VREFHI = 2.5V、fin = 10kHz、PLL を介した X1 からの SYSCCLK		-94		dB
SFDR ⁽³⁾	VREFHI = 2.5V、fin = 10kHz、PLL を介した X1 からの SYSCCLK		93		dB
SINAD ⁽³⁾	VREFHI = 2.5V、fin = 10kHz、PLL を介した X1 からの SYSCCLK		83.4		dB
	VREFHI = 2.5V、fin = 10kHz、PLL を介した INTOSC からの SYSCCLK		83.4		
ENOB ⁽³⁾	VREFHI = 2.5V、fin = 10kHz、X1 からの SYSCCLK、シングル ADC		13.5		ビット
	VREFHI = 2.5V、fin = 10kHz、X1 からの SYSCCLK、同期 ADC		13.5		
	VREFHI = 2.5V、fin = 10kHz、X1 からの SYSCCLK、非同期 ADC		非対応		
PSRR	VDD = 1.2V DC + 200mV DC から 1kHz の正弦波まで		77		dB
	800kHz の正弦波		74		
	VDDA = 3.3V DC + 200mV DC から 1kHz の正弦波まで		77		
	800kHz の正弦波		74		

(1) ADC 入力が増えると、VREFHI の負荷電流が増加します。その結果、不正確な変換が発生します。

(2) 0805 以下のパッケージ・サイズのセラミック・コンデンサを推奨します。許容誤差は最大 ±20% です。

(3) 容量性結合とクロストークを低減するためのベスト・プラクティスの一部として、ADC 入力と VREFHI ピンに隣接するピンの I/O アクティビティを最小限に抑えます。

7.11.2.3.5 ADC の動作条件 (12 ビット・シングルエンド)

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	代表値	最大値	単位
ADCCLK (PERx.SYSCLK から生成)		5		50	MHz
サンプル・レート	200MHz SYSCLK			3.45	MSPS
サンプル・ウィンドウ幅 (ACQPS および PERx.SYSCLK により設定) ⁽¹⁾	50Ω 以下の R _s	75			ns
VREFHI		2.4	2.5 または 3.0	VDDA	V
VREFLO		VSSA	VSSA	VSSA	V
変換範囲	外部リファレンス	VREFLO		VREFHI	V

(1) この他、ADC を正しく動作させるために、サンプル・ウィンドウは少なくとも、1 ADCCLK サイクルにわたって継続する必要があります。

7.11.2.3.5.1 ADC の動作条件 (12 ビット・シングルエンド) に関する注意事項

注

動作中は、ADC 入力を VDDA + 0.3V よりも低く維持する必要があります。ADC 入力がこのレベルを超えると、デバイス内部の VREF が混乱するおそれがあり、同じ VREF を使用する他の ADC または DAC 入力の結果に影響を及ぼす可能性があります。

注

ADC および DAC が規定性能のパラメータを満たすためには、VREFHI ピンを VDDA よりも低く維持する必要があります。機能動作のためには、VREFHI ピンを VDDA + 0.3V よりも低く維持する必要があります。VREFHI ピンが VDDA + 0.3V を超えると、ブロッキング回路が動作することがあり、内部で VREFHI の値が 0V になって、不正確な ADC 変換または DAC 出力が発生する可能性があります。

7.11.2.3.6 ADC の特性 (12 ビット・シングルエンド)

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	代表値	最大値	単位
全般					
ADCCLK 変換サイクル		10.1		11	ADCCLK
パワーアップ時間				500	μs
VREFHI 入力電流 ⁽¹⁾			130		μA
外部リファレンス・コンデンサの値 ⁽²⁾		2.2			μF
DC 特性					
ゲイン誤差		-5	±3	5	LSB
オフセット誤差		-4	±2	4	LSB
チャンネル間ゲイン誤差			±4		LSB
チャンネル間オフセット誤差			±2		LSB
ADC 間ゲイン誤差	すべての ADC で同一の VREFHI および VREFLO		±4		LSB
ADC 間オフセット誤差	すべての ADC で同一の VREFHI および VREFLO		±2		LSB
DNL 誤差		>-1	±0.5	1	LSB
INL 誤差		-2	±1.0	2	LSB
ADC 間絶縁	VREFHI = 2.5V、同期 ADC	-1		1	LSB

7.11.2.3.6 ADC の特性 (12 ビット・シングルエンド) (continued)

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	代表値	最大値	単位
ADC 間絶縁	VREFHI = 2.5V、非同期 ADC、337 ボール ZWT パッケージ	-2		2	LSB
ADC 間絶縁	VREFHI = 2.5V、非同期 ADC、176 ピン PTP パッケージ	-9		9	LSB
AC 特性					
SNR ⁽³⁾	VREFHI = 2.5V、fin = 100kHz、PLL を介した X1 からの SYSCLK		69.1		dB
	VREFHI = 2.5V、fin = 100kHz、PLL を介した INTOSC からの SYSCLK		69.1		dB
THD ⁽³⁾	VREFHI = 2.5V、fin = 100kHz、PLL を介した X1 からの SYSCLK		-88		dB
SFDR ⁽³⁾	VREFHI = 2.5V、fin = 100kHz、PLL を介した X1 からの SYSCLK		89		dB
SINAD ⁽³⁾	VREFHI = 2.5V、fin = 100kHz、PLL を介した X1 からの SYSCLK		69.0		dB
	VREFHI = 2.5V、fin = 100kHz、PLL を介した INTOSC からの SYSCLK		69.0		
ENOB ⁽³⁾	VREFHI = 2.5V、fin = 100kHz、X1 からの SYSCLK、シングル ADC		11.2		ビット
	VREFHI = 2.5V、fin = 100kHz、X1 からの SYSCLK、同期 ADC		11.2		
ENOB ⁽³⁾	VREFHI = 2.5V、fin = 100kHz、X1 からの SYSCLK、非同期 ADC、337 ボール ZWT パッケージ		10.9		ビット
ENOB ⁽³⁾	VREFHI = 2.5V、fin = 100kHz、X1 からの SYSCLK、非同期 ADC、176 ピン PTP パッケージ		9.7		ビット
PSRR	VDD = 1.2V DC + 100mV DC から 1kHz の正弦波まで		60		dB
	VDD = 1.2V DC + 100mV 800kHz の正弦波		57		
	VDDA = 3.3V DC + 200mV DC から 1kHz の正弦波まで		60		
	VDDA = 3.3V DC + 200mV 800kHz の正弦波		57		

- ADC 入力が VDDA を超えると、VREFHI の負荷電流が増加します。その結果、不正確な変換が発生します。
- 0805 以下のパッケージ・サイズのセラミック・コンデンサを推奨します。許容誤差は最大 $\pm 20\%$ です。
- 容量性結合とクロストークを低減するためのベスト・プラクティスの一部として、ADC 入力と VREFHI ピンに隣接するピンの I/O アクティビティを最小限に抑えます。

7.11.2.3.7 ADCEXTSOC のタイミング要件

		最小値	最大値	単位
$t_{w(INT)}$	パルス幅、INT 入力 Low / High	同期	$2t_{c(SYSCLK)}$	サイクル
		フィルタあり ⁽¹⁾	$t_{w(IQSW)} + t_{w(SP)} + 1t_{c(SYSCLK)}$	サイクル

- 入力フィルタ・パラメータの説明については、[セクション 7.10.8.2.1](#) を参照してください。

7.11.2.3.8 ADC 入力モデル

注

ADC チャンネル ADCINA0、ADCINA1、ADCINB1 には、VSSA との間に 50kΩ のプルダウン抵抗があります。

シングルエンド動作の場合の ADC 入力特性は、[図 7-37](#)、[セクション 7.11.2.3.8.1](#) および [セクション 7.11.2.3.8.2](#) に示すとおりです。

7.11.2.3.8.1 シングルエンド入力モデルのパラメータ (12 ビット分解能)

	説明	値
C_p	寄生入力容量	表 7-12 を参照
R_{on}	サンプリング・スイッチ抵抗	425Ω
C_h	サンプリング・コンデンサ	14.5pF
R_s	公称ソース・インピーダンス	50Ω

7.11.2.3.8.2 シングルエンド入力モデルのパラメータ (16 ビット分解能)

	説明	値
C_p	寄生入力容量	表 7-12 を参照
R_{on}	サンプリング・スイッチ抵抗	425Ω
C_h	サンプリング・コンデンサ	32.5pF
R_s	公称ソース・インピーダンス	50Ω

7.11.2.3.8.3 シングルエンド入力モデル

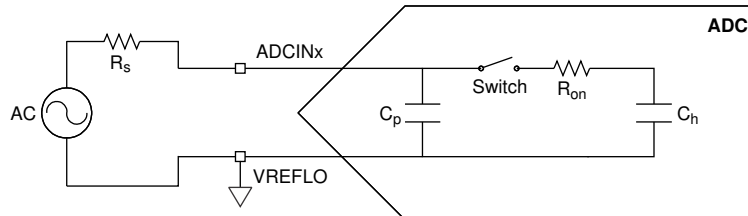


図 7-37. シングルエンド入力モデル

ユーザーは、 C_h のワーストケース初期条件を想定して、ADC 入力設定を分析する必要があります。そのためには、 C_h が VREFHI に完全に充電されるか、または VREFLO に完全に放電された状態で、S+H ウィンドウを開始すると仮定することになります。ADC が奇数番号のチャンネルから偶数番号のチャンネルに遷移する場合、またはその逆の場合、 C_h の実際の初期電圧は、VREFLO に完全に放電された状態に近くなります。偶数から偶数、または奇数から奇数へのチャンネル遷移では、 C_h の初期電圧は、以前に変換されたチャンネルの電圧に近くなります。

差動動作の場合の ADC 入力特性は、セクション 7.11.2.3.8.4 および 図 7-38 に示すとおりです。

7.11.2.3.8.4 差動入力モデルのパラメータ (16 ビット分解能)

	説明	値
C_p	寄生入力容量	表 7-12 を参照
R_{on}	サンプリング・スイッチの抵抗	700Ω
C_h	サンプリング・コンデンサ	16.5pF
R_s	公称ソース・インピーダンス	50Ω

7.11.2.3.8.5 差動入力モデル

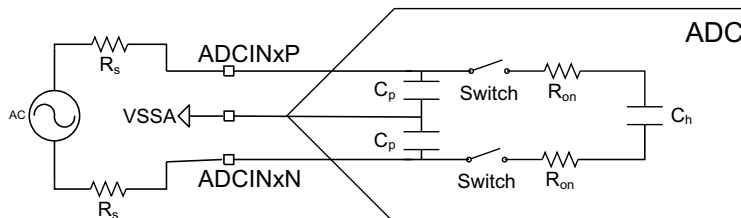


図 7-38. 差動入力モデル

表 7-12 に、各チャンネルの寄生容量を示します。また、コンパレータを有効にすると、正のコンパレータ入力に約 1.4pF の容量が、負のコンパレータ入力に 2.5pF の容量が追加されます。

表 7-12. チャンネルごとの寄生容量

ADC チャンネル	C_p (pF)	
	コンパレータ無効の場合	コンパレータ有効の場合
ADCINA0	12.9	該当なし
ADCINA1	10.3	該当なし
ADCINA2	5.9	7.3
ADCINA3	6.3	8.8
ADCINA4	5.9	7.3
ADCINA5	6.3	8.8
ADCINB0 ⁽¹⁾	117.0	該当なし
ADCINB1	10.6	該当なし
ADCINB2	5.9	7.3
ADCINB3	6.2	8.7
ADCINB4	5.2	該当なし
ADCINB5	5.1	該当なし
ADCINC2	5.5	6.9
ADCINC3	5.8	8.3
ADCINC4	5.0	6.4
ADCINC5	5.3	7.8
ADCIND0	5.3	6.7
ADCIND1	5.7	8.2
ADCIND2	5.3	6.7
ADCIND3	5.6	8.1
ADCIND4	4.3	該当なし
ADCIND5	4.3	該当なし
ADCIN14	8.6	10.0
ADCIN15	9.0	11.5

(1) 容量の増加は、VDAC 機能によるものです。

これらの入力モデルは、アクイジション・ウィンドウの幅を決定する際に、実際の信号源インピーダンスと合わせて使用する必要があります。詳細については、『TMS320F2838x リアルタイム・マイクロコントローラ・テクニカル・リファレンス・マニュアル』の「アクイジション・ウィンドウ期間の選択」セクションを参照してください。『C2000 ADC 用の電荷共有駆動回路 (TINA-TI シミュレーション・ツールを使用)』アプリケーション・ノートと『C2000 MCU 用の ADC 入力回路の評価 (TINA-TI シミュレーション・ツールを使用)』アプリケーション・ノートも参照してください。

7.11.2.3.9 ADC のタイミング図

セクション 7.11.2.3.9.1 に、12 ビット・モード (SYSCLK サイクル) での ADC タイミングを示します。セクション 7.11.2.3.9.2 に、16 ビット・モードでの ADC タイミングを示します。図 7-39 および 図 7-40 に、以下の前提による 2 つの SOC の ADC 変換タイミングを示します。

- SOC0 および SOC1 は、同じトリガを使用するように構成されています。
- トリガが発生したときに、他の SoC が変換中または保留中になっていることはありません。
- ラウンド・ロビン・ポインタは、最初に SOC0 で変換が発生する状態になっています。
- ADCINTSEL は、SOC0 の変換終了時に ADCINT フラグを設定するように構成されています (このフラグを CPU に通知して割り込みを発生させるかどうかは、PIE モジュールの構成によって決まります)。

図 7-39 および 図 7-40 に示した ADC タイミング・パラメータの説明を表 7-13 に記載します。

表 7-13. ADC タイミング・パラメータ

パラメータ	説明
t_{SH}	S+H ウィンドウの幅。 このウィンドウの終了時点における S+H コンデンサでの値が、デジタル値に変換される電圧になります。この時間は、 $(ACQPS + 1)$ SYSCLK サイクルで与えられます。ACQPS は、各 SOC に対して個別に構成できるため、異なる SOC の t_{SH} は、同じであるとは限りません。 注: デバイスのクロック設定に関係なく、S+H コンデンサでの値は、S+H ウィンドウ終了の約 5ns 前にキャプチャされます。
t_{LAT}	S+H ウィンドウ終了から、ADC 変換結果が ADCRESULTx レジスタにラッチされるまでの時間。 この時間より前に ADCRESULTx レジスタを読み取った場合、前回の変換結果が返されます。
t_{EOC}	S+H ウィンドウの終了から、次の ADC 変換 S+H ウィンドウを開始できるようになるまでの時間。その後は、変換結果がラッチされる前にサンプリングを開始できます。
t_{INT}	S+H ウィンドウの終了から ADCINT フラグが設定されるまでの時間 (そのように構成されている場合)。 ADCCTL1 レジスタの INTPULSEPOS ビットが設定されている場合、 t_{INT} は変換結果が結果レジスタにラッチされる時点と一致します。 INTPULSEPOS ビットが 0 の場合、 t_{INT} は、S+H ウィンドウの終了時点と一致します。 t_{INT} によって ADC 結果レジスタの読み取りがトリガされる場合 (DMA を使用して直接、または結果を読み取る ISR をトリガして間接的に)、結果がラッチされた後に読み取りが発生するように注意する必要があります (そうでなければ、前回の結果が読み取られます)。

7.11.2.3.9.1 12 ビット・モードでの ADC タイミング (SYSCLK サイクル)

ADCCLK プリスケール		SYSCLK サイクル				ADCCLK サイクル
ADCCTL2 [プリスケール]	比率 ADCCLK:SYSCLK	t _{EOC}	t _{LAT} ⁽¹⁾	t _{INT(EARLY)} ⁽²⁾	t _{INT(LATE)}	t _{EOC}
0	1	11	13	1	11	11.0
1	1.5	無効				
2	2	21	23	1	21	10.5
3	2.5	26	28	1	26	10.4
4	3	31	34	1	31	10.3
5	3.5	36	39	1	36	10.3
6	4	41	44	1	41	10.3
7	4.5	46	49	1	46	10.2
8	5	51	55	1	51	10.2
9	5.5	56	60	1	56	10.2
10	6	61	65	1	61	10.2
11	6.5	66	70	1	66	10.2
12	7	71	76	1	71	10.1
13	7.5	76	81	1	76	10.1
14	8	81	86	1	81	10.1
15	8.5	86	91	1	86	10.1

- (1) 『TMS320F2838x リアルタイム MCU シリコン・エラッタ』に掲載されている「ADC: 古い結果の DMA 読み取り」アドバイザリを参照してください。
- (2) デフォルトでは、INTPULSEPOS が 0 の場合、S+H ウィンドウの後 1 SYSCLK サイクル経過してから t_{INT} が発生します。これは、ADCINTCYCLE レジスタの OFFSET フィールドに書き込むことで変更できます。

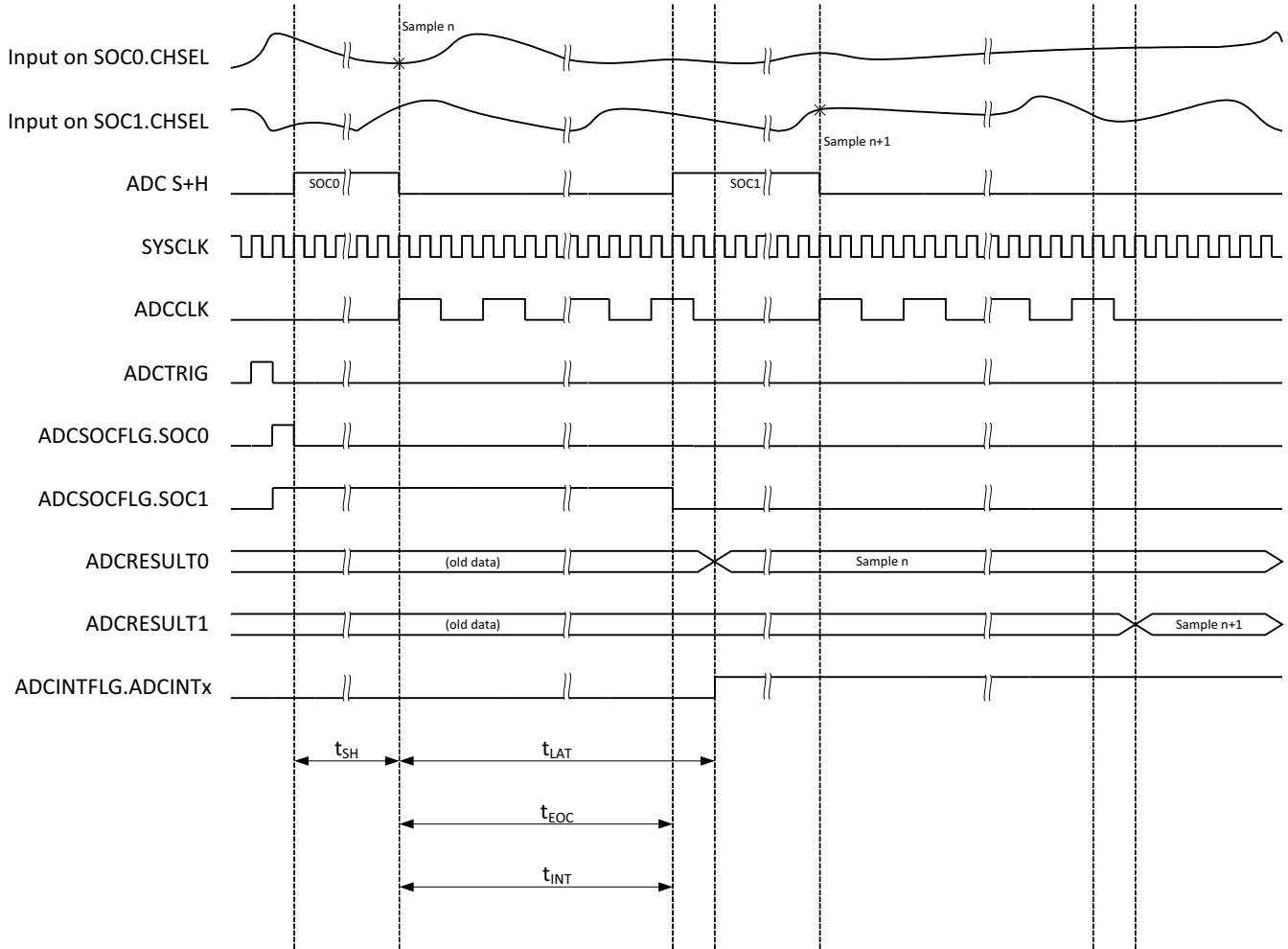


図 7-39. 12 ビット・モードでの ADC タイミング

7.11.2.3.9.2 16 ビット・モードでの ADC タイミング

ADCCLK プリスケール		SYSCLK サイクル				ADCCLK サイクル
ADCCTL2 [プリスケール]	比率 ADCCLK:SYSCLK	t_{EOC}	$t_{LAT}^{(1)}$	$t_{INT(EARLY)}^{(2)}$	$t_{INT(LATE)}$	t_{EOC}
0	1	31	32	1	31	31.0
1	1.5	無効				
2	2	60	61	1	60	30.0
3	2.5	75	75	1	75	30.0
4	3	90	91	1	90	30.0
5	3.5	104	106	1	104	29.7
6	4	119	120	1	119	29.8
7	4.5	134	134	1	134	29.8
8	5	149	150	1	149	29.8
9	5.5	163	165	1	163	29.6
10	6	178	179	1	178	29.7
11	6.5	193	193	1	193	29.7
12	7	208	209	1	208	29.7
13	7.5	222	224	1	222	29.6
14	8	237	238	1	237	29.6
15	8.5	252	252	1	252	29.6

- (1) 『TMS320F2838x リアルタイム MCU シリコン・エラッタ』に掲載されている「ADC: 古い結果の DMA 読み取り」アドバイザリを参照してください。
- (2) デフォルトでは、INTPULSEPOS が 0 の場合、S+H ウィンドウの後 1 SYSCLK サイクル経過してから t_{INT} が発生します。これは、ADCINTCYCLE レジスタの OFFSET フィールドに書き込むことで変更できます。

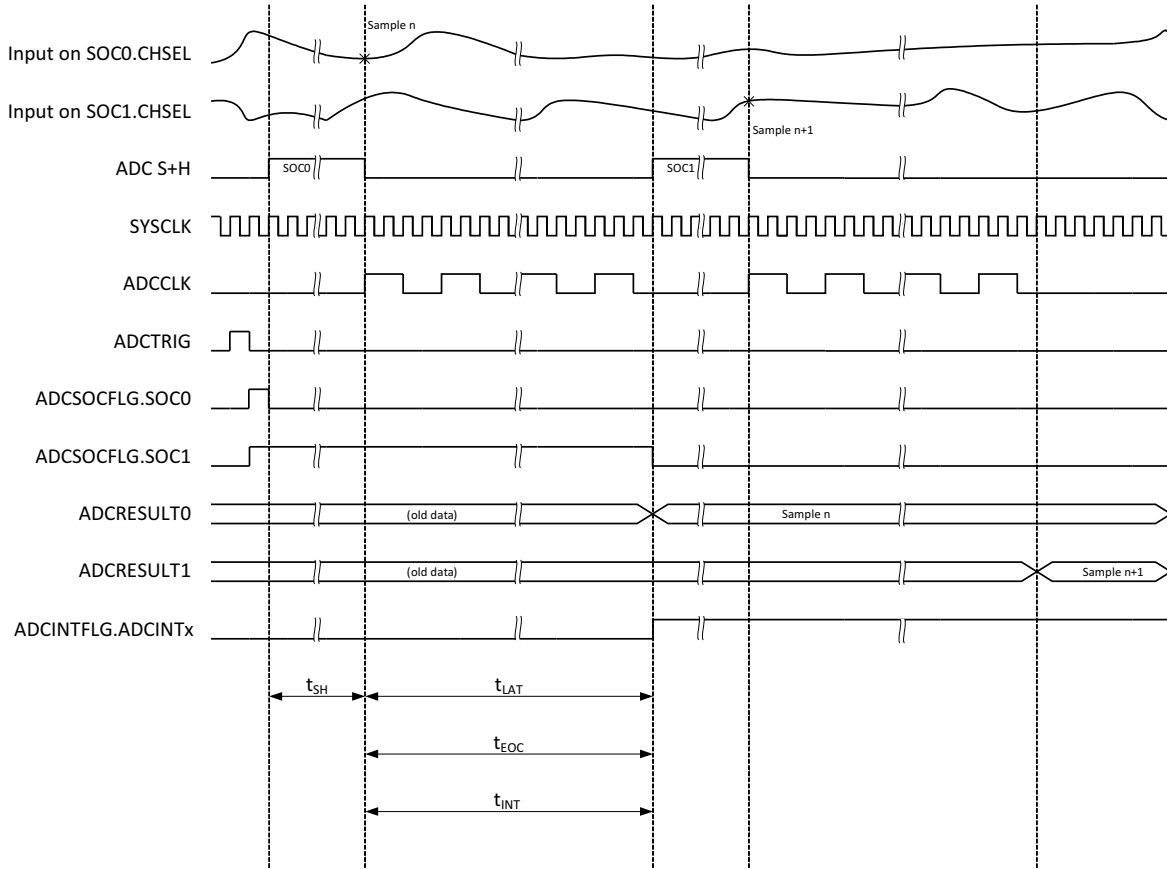


図 7-40. 16 ビット・モードでの ADC タイミング

7.11.2.4 温度センサの電氣的データおよびタイミング

温度センサを使用して、デバイスの接合部温度を測定できます。温度センサは、ADC への内部接続を介してサンプリングされ、テキサス・インスツルメンツが提供するソフトウェアを使用して温度に変換されます。温度センサをサンプリングする場合、ADC は [セクション 7.11.2.4.1](#) に示すアキュイジション時間を満たす必要があります。

7.11.2.4.1 温度センサの特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	代表値	最大値	単位
T _{acc}	温度精度	外部リファレンス		±15		°C
t _{startup}	スタートアップ時間 (TSNSCTL[ENABLE] から温度センサのサンプリングまで)			500		μs
t _{acq}	ADC アキュイジション時間		700			ns

7.11.3 コンパレータ・サブシステム (CMPSS)

コンパレータ・サブシステムは、多数のモジュールで構築されています。各サブシステムには、2つのコンパレータ、2つのリファレンス 12ビット DAC、2つのデジタル・フィルタ、1つのランプ・ジェネレータが搭載されています。コンパレータは、各モジュールで「H」または「L」と表記されています。ここで、「H」と「L」はそれぞれ「HIGH」(ハイ)と「LOW」(ロー)を表します。各コンパレータは、正入力 of 電圧が負入力 of 電圧よりも高いかどうかを示すデジタル出力を生成します。コンパレータの正入力は、外部ピンから駆動されます。負入力は、外部ピンまたはプログラマブル・リファレンス 12ビット DAC によって駆動できます。各コンパレータ出力は、プログラム可能なデジタル・フィルタを通過させることで、不要なトリップ信号を除去できます。フィルタリングが不要な場合は、フィルタなしの出力も使用できます。ランプ・ジェネレータ回路はオプションで、サブシステム内でハイ・コンパレータのリファレンス 12ビット DAC 値を制御できます。

各 CMPSS には、次のものが含まれます。

- 2つのアナログ・コンパレータ
- 2つのプログラマブル・リファレンス 12ビット DAC
- 1つのランプ生成器
- 2つのデジタル・フィルタ
- サブモジュールを EPWMSYNCPER と同期可能
- EPWMBLANK によりクリア信号を拡張可能
- 出力を SYSCLK と同期可能
- 出力をラッチ可能
- 出力を反転可能
- 入力にヒステリシスを使用するオプション
- コンパレータの負入力を外部信号またはリファレンス DAC で駆動するオプション
- DAC リファレンス電圧として VDDA または VDAC を選択するオプション

図 7-41 に、CMPSS のブロック図を示します。

- ePWM トリップ応答のために、CTRIPx (x = H または L) 信号は、ePWM クロスバーに接続されています。ePWM クロスバー多重化構成の詳細については、『TMS320F2838x リアルタイム・マイクロコントローラ・テクニカル・リファレンス・マニュアル』の「拡張パルス幅変調器 (ePWM)」の章を参照してください。
- CTRIPxOUTx (x = H または L) 信号は、外部信号用に出力クロスバーに接続されています。出力クロスバー多重化構成の詳細については、『TMS320F2838x リアルタイム・マイクロコントローラ・テクニカル・リファレンス・マニュアル』の「汎用入出力 (GPIO)」の章を参照してください。

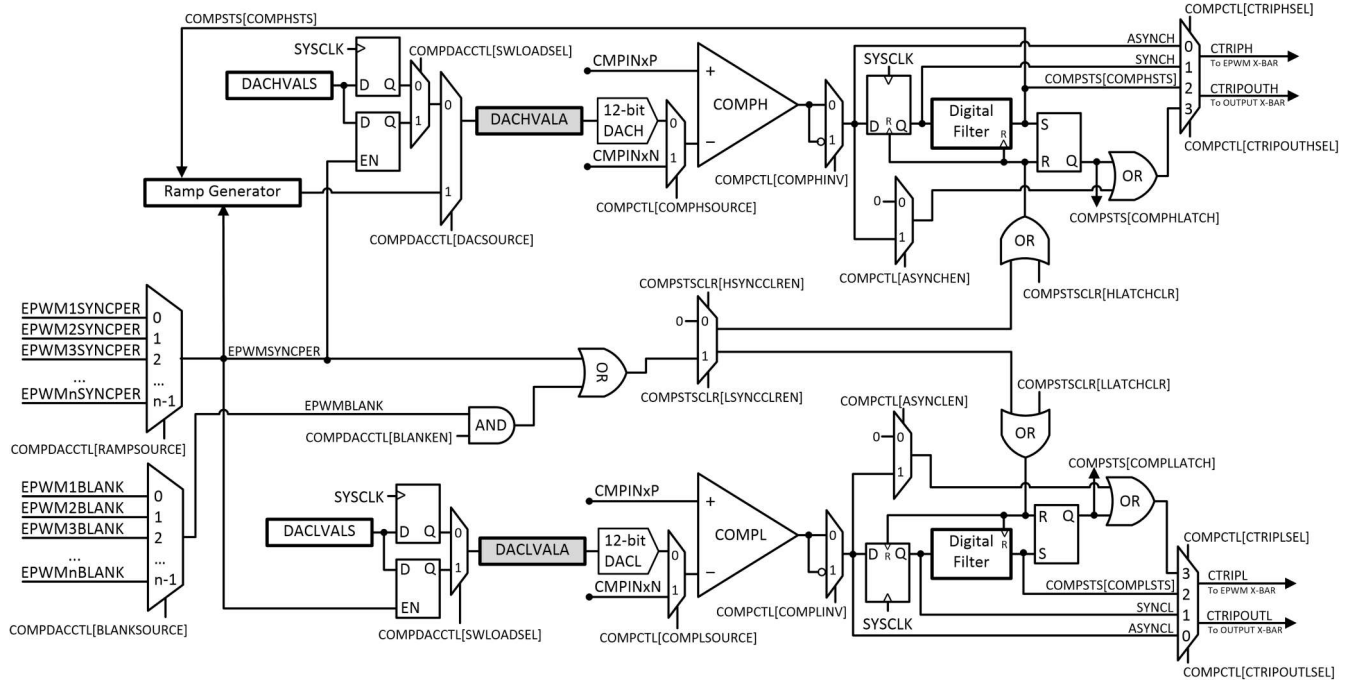


図 7-41. CMPSS モジュールのブロック図

図 7-42 に、337 ボール ZWT および 176 ピン PTP パッケージでの CMPSS 接続を示します。

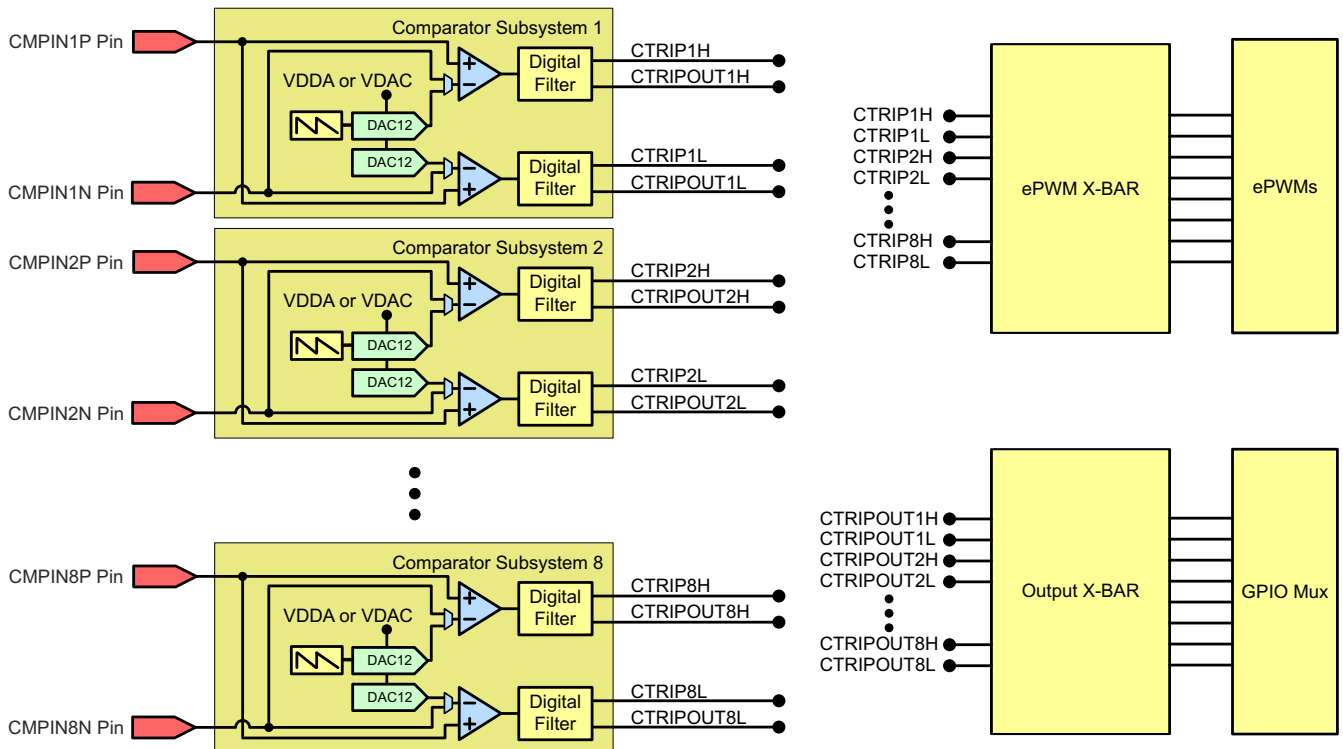


図 7-42. CMPSS 接続 (337 ボール ZWT および 176 ピン PTP)

7.11.3.1 CMPSS の電氣的データおよびタイミング

7.11.3.1.1 コンパレータの電氣的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	代表値	最大値	単位	
T _{PU}	パワーアップ時間			500	μs	
	コンパレータ入力 (CMPINxx) 範囲	0		VDDA	V	
	入力換算オフセット誤差	低同相モード、反転入力は 50mV に設定	-20	20	mV	
	ヒステリシス ⁽¹⁾	1x	4	12	20	LSB
		2x	17	24	33	
		3x	25	36	50	
		4x	30	48	67	
応答時間 (CMPINx 入力から ePWM クロスバーまたは出力クロスバーの出力までの遅延)	ステップ応答		21	60	ns	
	ランプ応答 (1.65V/μs)		26			
	ランプ応答 (8.25mV/μs)		30		ns	
PSRR	電源電圧除去比	最高 250kHz	46		dB	
CMRR	同相信号除去比		40		dB	

(1) 適用するヒステリシスの大きさを決定するための基準として、CMPSS DAC を使用します。したがって、ヒステリシスは CMPSS DAC リファレンス電圧に応じてスケールされます。ヒステリシスは、すべてのコンパレータ入力ソース構成で使用できます。

7.11.3.1.2 CMPSS コンパレータの入力換算オフセットとヒステリシス

注

正常な機能動作を確保するためには、CMPSS 入力を VDDA + 0.3V よりも低く維持する必要があります。CMPSS 入力がこのレベルを超えると、内部ブロッキング回路によって内部コンパレータが外部ピンから絶縁され、外部ピンの電圧が VDDA + 0.3V を下回るまでその状態が続きます。この期間中、内部コンパレータの入力はフローティング状態になり、約 0.5μs 以内に VDDA を下回るまで減衰します。この時間が経過した後、コンパレータは、他のコンパレータ入力の値に応じて、不正確な結果を出力する可能性があります。

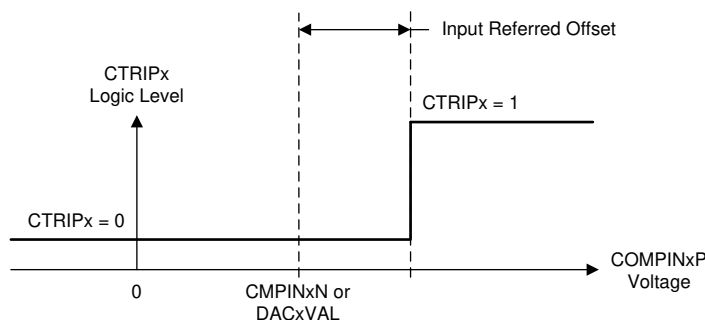


図 7-43. CMPSS コンパレータの入力換算オフセット

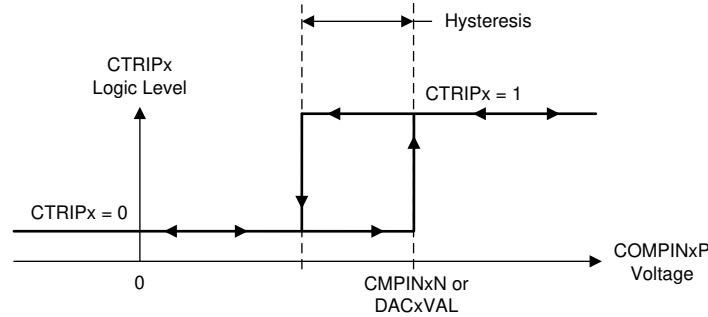


図 7-44. CMSS コンパレータのヒステリシス

セクション 7.11.3.1.3 に、CMPSS DAC の静的電気特性を示します。

7.11.3.1.3 CMPSS DAC の静的電気特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	代表値	最大値	単位
CMPSS DAC 出力範囲	内部リファレンス	0		VDDA	V
	外部リファレンス	0		VDAC ⁽⁴⁾	
静的オフセット誤差 ⁽¹⁾		-25		25	mV
静的ゲイン誤差 ⁽¹⁾		-2		2	% (対 FSR)
静的 DNL	エンドポイント補正	>-1		4	LSB
静的 INL	エンドポイント補正	-16		16	LSB
セトリング時間	フルスケール出力変化後 1LSB にセトリング			1	μs
分解能			12		ビット
CMPSS DAC 出力の外乱 ⁽²⁾	コンパレータのトリップまたは CMPSS DAC コードの変化によって、同じ CMPSS モジュール内で発生する誤差	-100		100	LSB
CMPSS DAC の外乱時間 ⁽²⁾			200		ns
VDAC リファレンス電圧	VDAC が基準電圧の場合	2.4	2.5 または 3.0	VDDA	V
VDAC 負荷 ⁽³⁾	VDAC が基準電圧の場合		6		kΩ

- (1) コンパレータの入力換算エラーを含みます。
(2) コンパレータのトリップ後、一定時間にわたって CMPSS DAC 出力に外乱誤差が生じることがあります。
(3) アクティブな CMPSS モジュール 1 個あたり。
(4) VDAC > VDDA の場合、最大出力電圧は VDDA です。

7.11.3.1.4 CMPSS の説明用グラフ

注

DAC および CMPSS が規定性能パラメータを満たすためには、VDAC ピンを VDDA 未満に維持する必要があります。機能動作のためには、VDAC ピンを VDDA + 0.3V よりも低く維持する必要があります。VDAC ピンが VDDA + 0.3V を超えると、ブロッキング回路が動作することがあり、内部で VDAC の値が 0V になって、不正確な DAC 出力または CMPSS トリップが発生する可能性があります。

図 7-45 に、CMPSS DAC の静的オフセットを示します。図 7-46 に、CMPSS DAC の静的ゲインを示します。図 7-47 に、CMPSS DAC の静的直線性を示します。

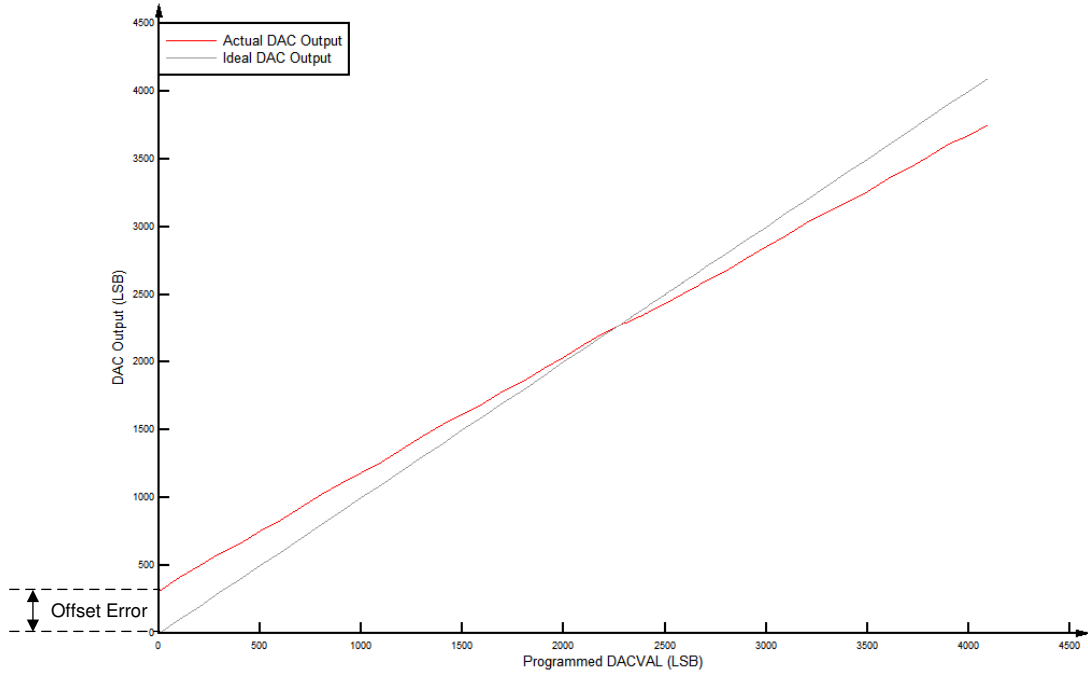


図 7-45. CMPSS DAC の静的オフセット

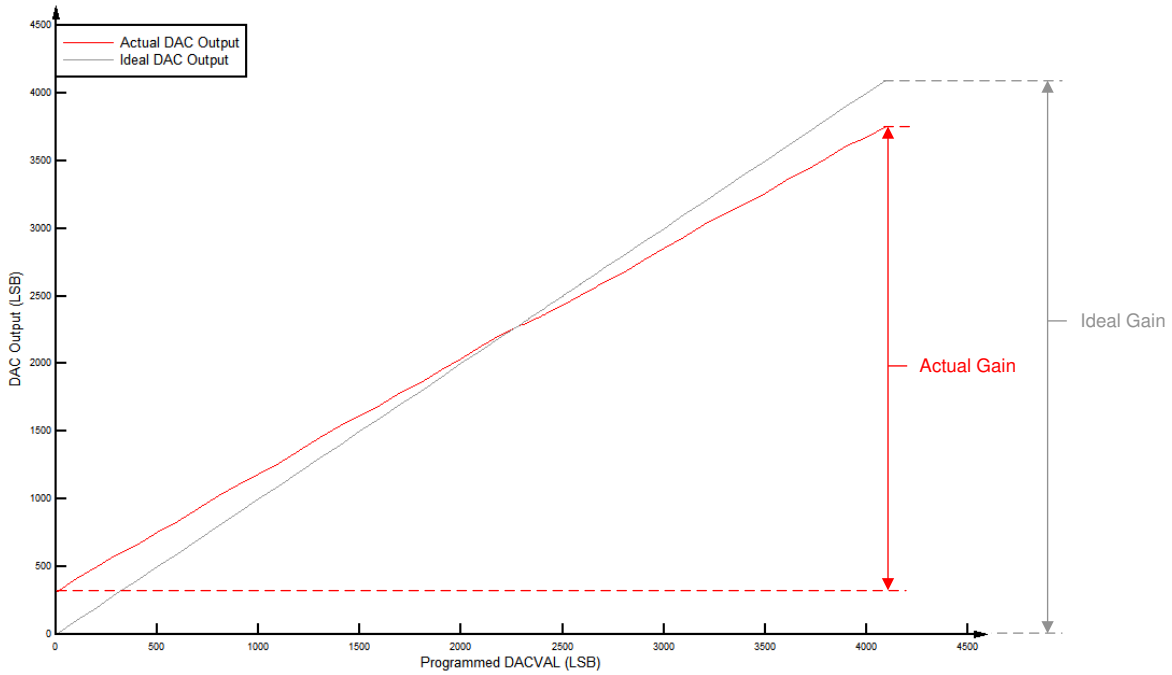


図 7-46. CMPSS DAC の静的ゲイン

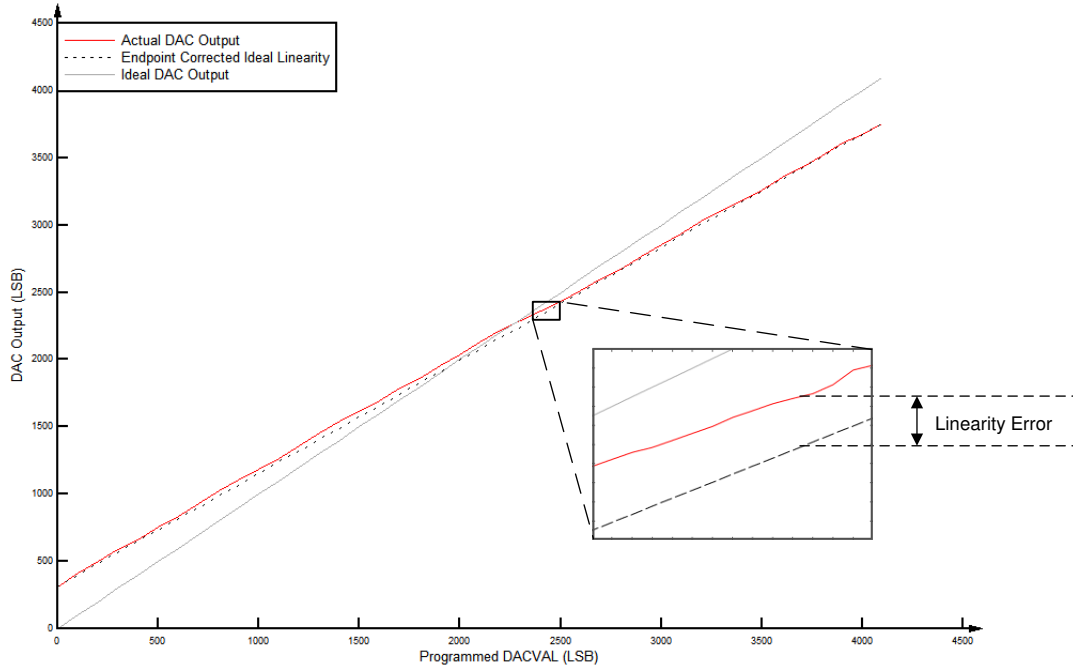


図 7-47. CMPSS DAC の静的直線性

7.11.3.1.5 CMPSS DAC の動的誤差

ランプ生成器を使用して内部 DAC を制御する場合、ステップ・サイズはアプリケーションのニーズに応じて変わることがあります。DAC のステップ・サイズはフルスケールの遷移より小さいため、セトリング時間は「CMPSS DAC の静的電気特性」の表に記載されている電気的仕様よりも改善されます。次の式と 図 7-48 は、RAMPxDECVALA の値に基づいて、想定される理想との電圧の誤差に関する指針を示しています。

$$DYNAMICERROR = (m \times RAMPxDECVALA) + b \quad (5)$$

表 7-14. DAC の最大動的誤差項

式のパラメータ	最小値 (LSB)	最大値 (LSB)
m	0.167	0.30
b	3.7	5.6

注

上記の誤差項は、ターゲット・デバイスの最大 SYSCLK に基づいています。最大 SYSCLK を下回る場合は、それに応じて「m」の誤差項をスケーリングする必要があります。

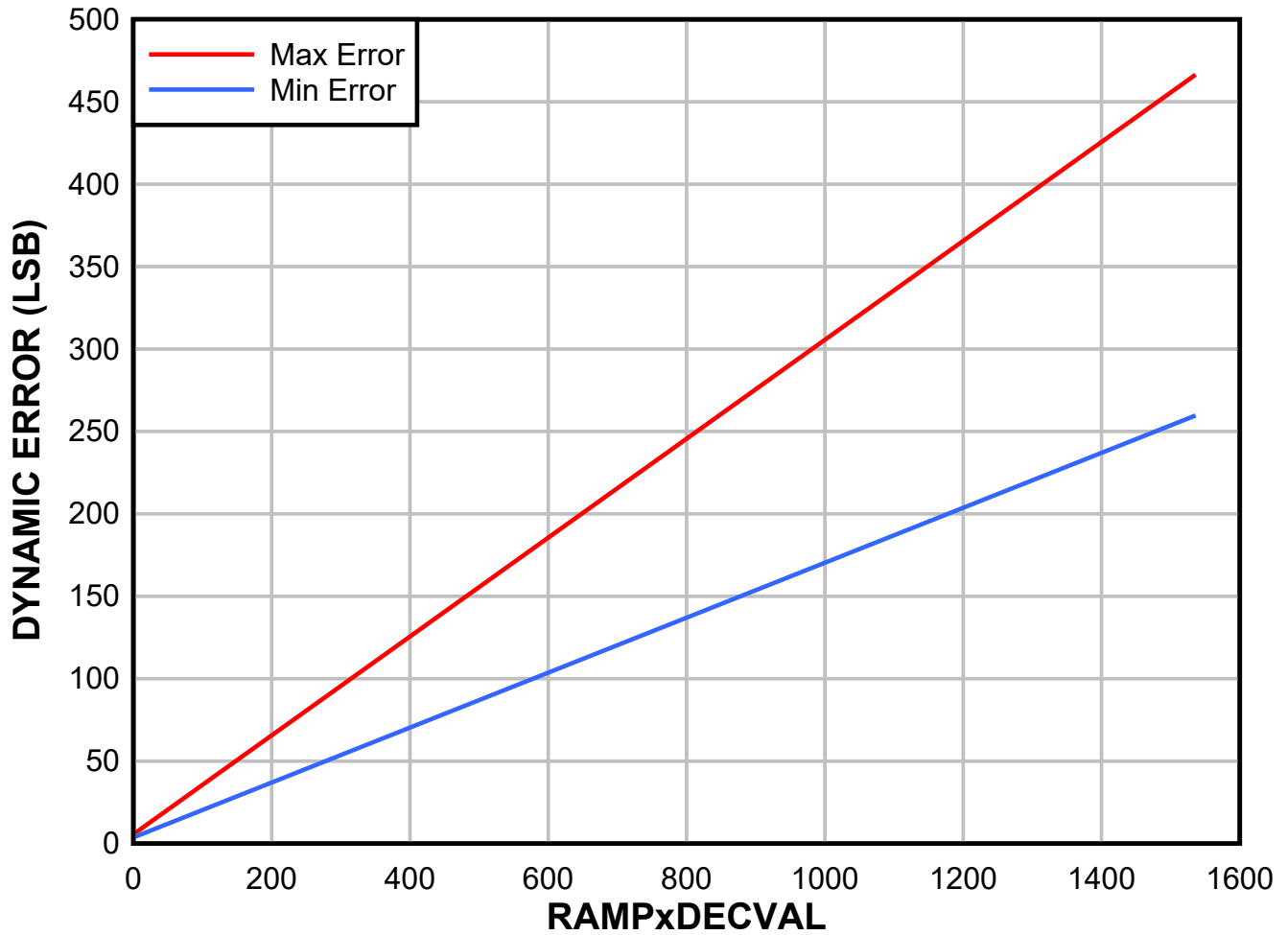


図 7-48. CMPSS DAC の動的誤差

7.11.4 バッファ付き D/A コンバータ (DAC)

バッファ付き DAC モジュールは、内部 12 ビット DAC と、外部負荷を駆動できるアナログ出力バッファで構成されています。DAC 出力にプルダウン抵抗が内蔵されているため、出力バッファがディセーブルされたときに既知のピン電圧を供給できます。このプルダウン抵抗はディセーブルできず、他の共有ピン多重化機能を使う場合でも、ピン上の受動部品として残っています。バッファ付き DAC は汎用 DAC であり、正弦波、方形波、三角波などの AC 波形に加えて DC 電圧を生成するために使用できます。DAC 値レジスタへのソフトウェア書き込みは、直ちに有効にすることもでき、また、EPWMSYNCPER イベントと同期させることもできます。

各バッファ付き DAC には次のような機能があります。

- 12 ビットのプログラマブル内部 DAC
- リファレンス電圧源を選択可能
- 出力にプルダウン抵抗
- EPWMSYNCPER と同期可能

バッファ付き DAC のブロック図を図 7-49 に示します。

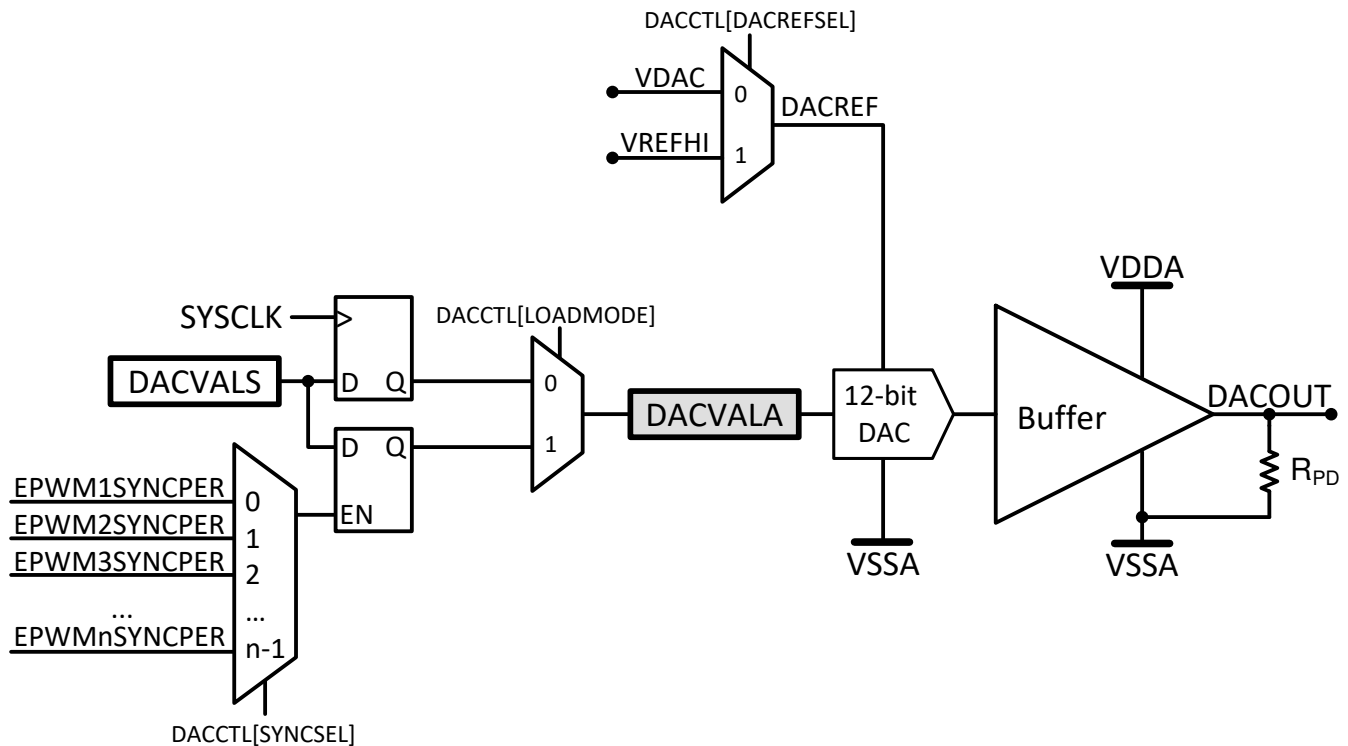


図 7-49. DAC モジュールのブロック図

7.11.4.1 バッファ付き DAC の電氣的データおよびタイミング

セクション 7.11.4.1.1 に、バッファ付き DAC の動作条件を示します。セクション 7.11.4.1.2 に、バッファ付き DAC の電氣的特性を示します。図 7-50 に、バッファ付き DAC のオフセットを示します。図 7-51 に、バッファ付き DAC のゲインを示します。図 7-52 に、バッファ付き DAC の直線性を示します。

7.11.4.1.1 バッファ付き DAC の動作条件

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値 ⁽¹⁾	代表値 ⁽¹⁾	最大値 ⁽¹⁾	単位
R _L	抵抗性負荷	5			kΩ
C _L	容量性負荷	100			pF
V _{OUT}	有効出力電圧範囲 ⁽²⁾	R _L = 5kΩ	0.3	VDDA - 0.3	V
	リファレンス電圧 ⁽³⁾	VDAC または VREFHI	2.4 2.5 または 3.0	VDDA	V

- (1) 特に記述のない限り、代表値は VREFHI = 3.3V で測定されます。最小値と最大値は、VREFHI = 2.5V でテストまたは特性評価しています。
(2) これは DAC の線形出力範囲です。DAC はこの範囲外の電圧を生成できますが、バッファがあるので出力電圧は線形ではありません。
(3) 最高の PSRR 性能を得るには、VDAC または VREFHI は、VDDA よりも低くする必要があります。

7.11.4.1.2 バッファ付き DAC の電気的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値 ⁽¹⁾	代表値 ⁽¹⁾	最大値 ⁽¹⁾	単位	
全般						
分解能			12		ビット	
R _{PD}	ブルダウン抵抗		50		kΩ	
	ロードレギュレーション	-1		1	mV/V	
	グリッチエネルギー		1.5		V-ns	
	電圧出力セトリング時間、フルスケール	0.3V から 3V への遷移後 2LSB にセトリング	2		μs	
	電圧出力セトリング時間、1/4 フルスケール	0.3V から 0.75V への遷移後 2LSB にセトリング	1.6		μs	
	電圧出力スルーレート	0.3V から 3V へ遷移時のスルーレート	2.8	4.5	V/μs	
	負荷過渡セトリング時間 ⁽⁶⁾	5kΩ 負荷		328	ns	
	リファレンス電圧入力抵抗 ⁽²⁾	VDAC または VREFHI	170		kΩ	
TPU	パワーアップ時間	外部リファレンス・モード		500	μs	
DC 特性						
オフセット	システム・オフセット誤差	中点	-10	10	mV	
ゲイン	ゲイン誤差 ⁽³⁾		-2.5	2.5	% (対 FSR)	
DNL	微分非直線性 ⁽⁴⁾	エンドポイント補正	> -1	±0.4	1	LSB
INL	積分非直線性	エンドポイント補正	-5	±2	5	LSB
AC 特性						
出力ノイズ	100Hz~100kHz の積分ノイズ		500		μVrms	
	10kHz でのノイズ密度		711		nVrms/√Hz	
SNR	信号対雑音比	1020Hz、1MSPS	67		dB	
THD	全高調波歪	1020Hz、1MSPS	-63		dB	
SFDR	スプリアス・フリー・ダイナミックレンジ	1020Hz、1MSPS (高調波とスプリアスを含む)	66		dBc	
		1020Hz、1MSPS (スプリアスのみを含む)	104			
PSRR	電源電圧除去比 ⁽⁵⁾	DC	70		dB	
		100kHz	30			

- (1) 特に記述のない限り、標準値は VREFHI = 3.3V で測定されます。最小値と最大値は、VREFHI = 2.5V でテストまたは特性評価しています。
- (2) アクティブなバッファ付き DAC モジュール 1 個あたり。
- (3) ゲイン誤差は、線形出力範囲について計算しています。
- (4) DAC 出力は単調です。
- (5) VREFHI = 3.2V、VDDA = 3.3V DC + 100mV 正弦波。
- (6) 3LSB 以内にセトリング。

7.11.4.1.3 バッファ付き DAC の注記と説明用グラフ

注

DAC および CMPSS が規定性能パラメータを満たすためには、VDAC ピンを VDDA 未満に維持する必要があります。機能動作のためには、VDAC ピンを VDDA + 0.3V よりも低く維持する必要があります。VDAC ピンが VDDA + 0.3V を超えると、ブロッキング回路が動作することがあり、内部で VDAC の値が 0V になって、不正確な DAC 出力または CMPSS トリップが発生する可能性があります。

注

ADC および DAC が規定性能のパラメータを満たすためには、VREFHI ピンを VDDA よりも低く維持する必要があります。機能動作のためには、VREFHI ピンを VDDA + 0.3V よりも低く維持する必要があります。VREFHI ピンが VDDA + 0.3V を超えると、ブロッキング回路が動作することがあり、内部で VREFHI の値が 0V になって、不正確な ADC 変換または DAC 出力が発生する可能性があります。

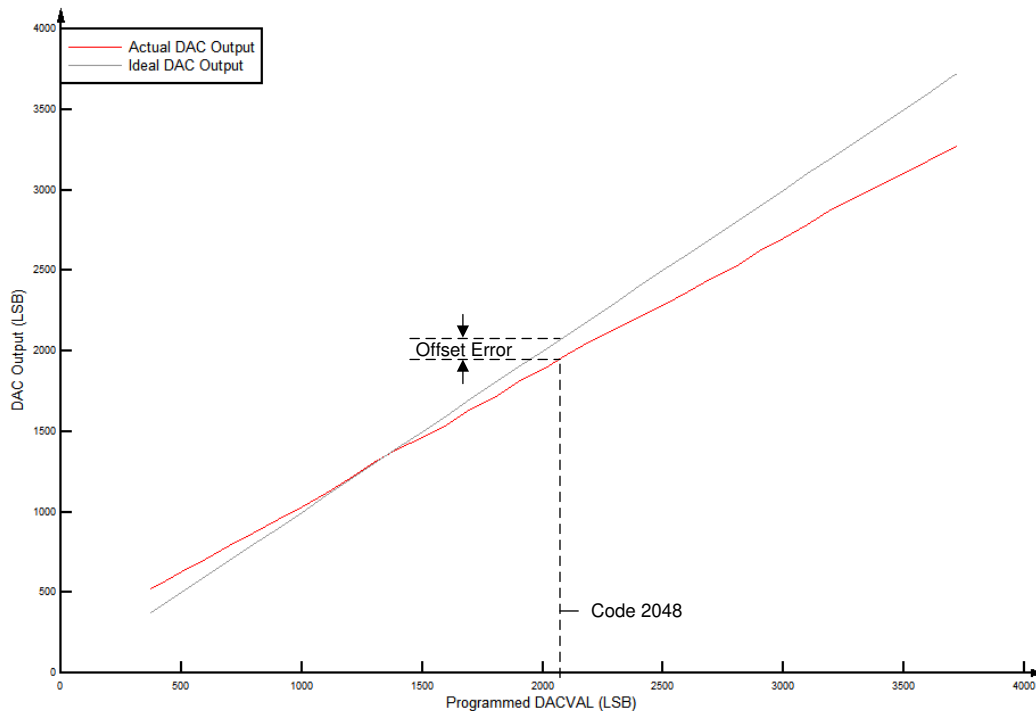


図 7-50. バッファ付き DAC のオフセット

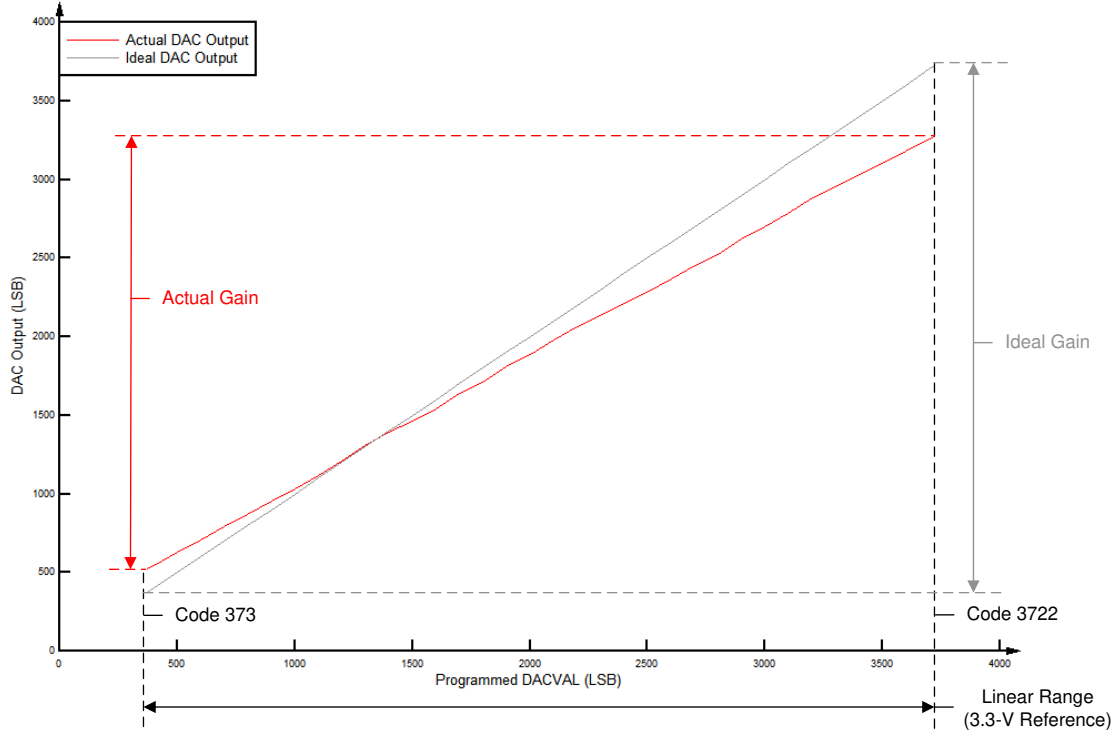


図 7-51. バッファ付き DAC のゲイン

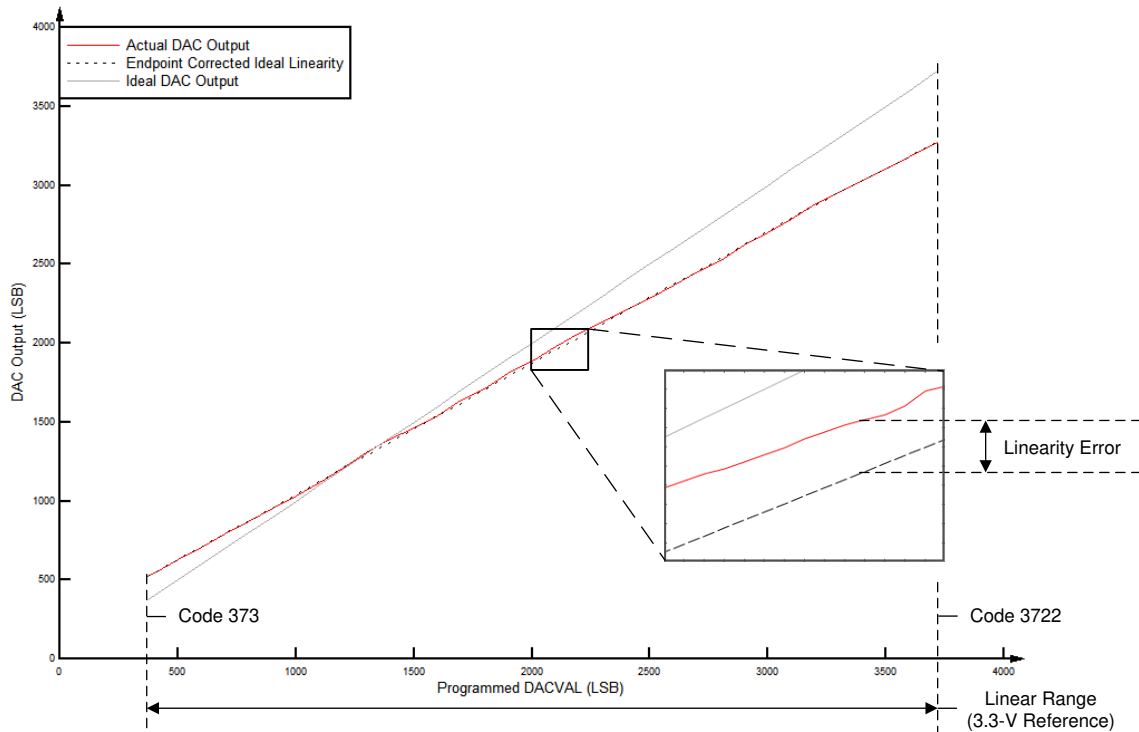


図 7-52. バッファ付き DAC の直線性

7.12 C28x コントロール・ペリフェラル

注

特定のデバイスにおける各ペリフェラルの実際の数については、デバイス比較表を参照してください。

7.12.1 拡張キャプチャおよび高分解能キャプチャ (eCAP、HRCAP)

eCAP モジュールは、外部イベントの正確なタイミングが重要であるシステムで使用できます。

eCAP の用途は以下のとおりです。

- 回転機械の速度測定 (たとえば、歯付きスプロケットをホール・センサで検知)
- 位置センサ・パルス間の経過時間測定
- パルス列信号の周期およびデューティ・サイクル測定
- デューティ・サイクル符号化電流 / 電圧センサから得られた電流または電圧振幅の復号

eCAP モジュールの主な機能は次のとおりです。

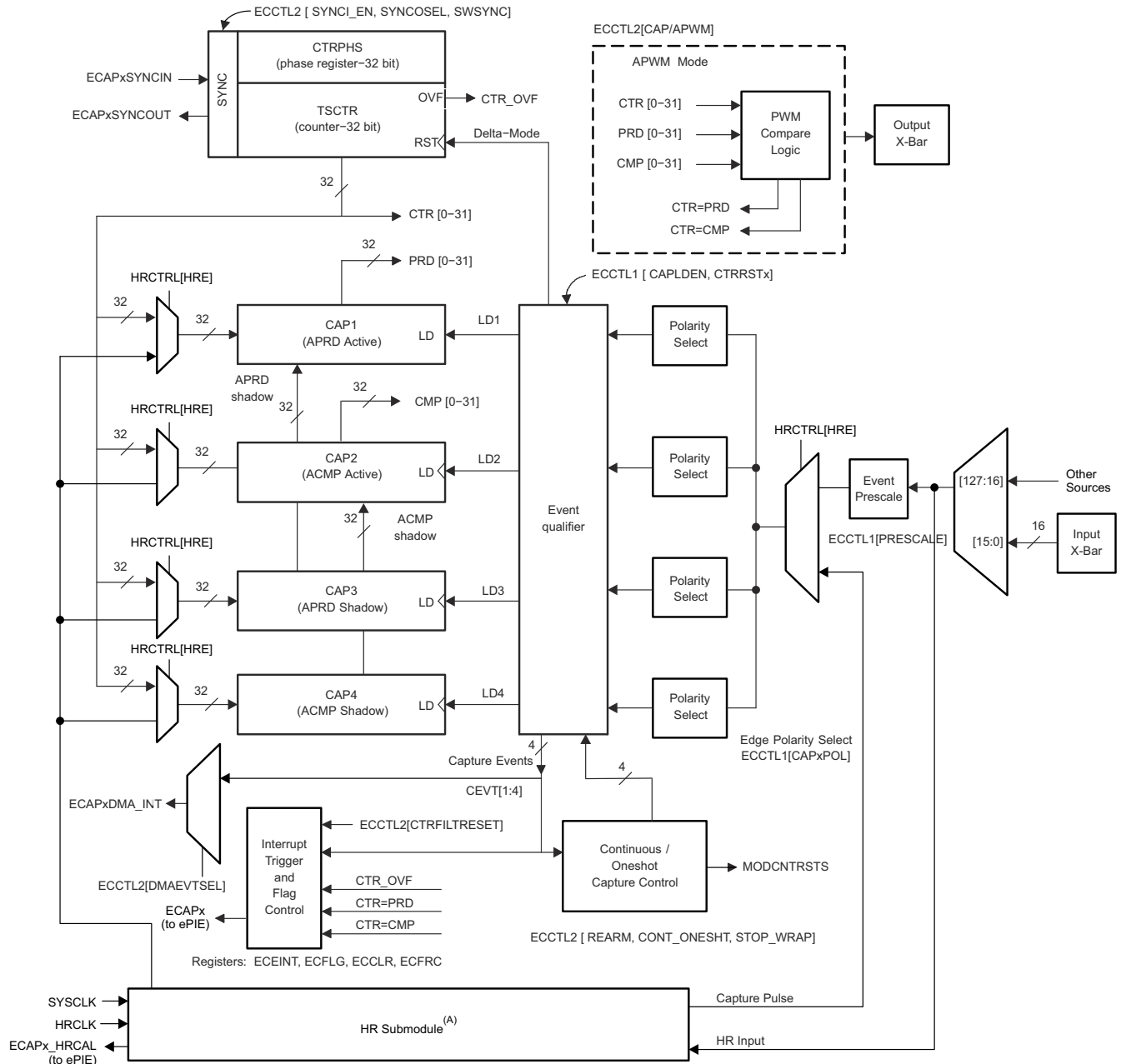
- 4 つのイベント・タイムスタンプ・レジスタ (各 32 ビット)
- 最大 4 つの順序付きタイムスタンプ・キャプチャ・イベントのエッジ極性選択
- 4 つのイベントのいずれかが発生したときの割り込み
- 最大 4 つのイベント・タイムスタンプのシングル・ショット・キャプチャ
- 深さ 4 の循環バッファでのタイムスタンプの連続モード・キャプチャ
- 絶対タイムスタンプ・キャプチャ
- 差分 (デルタ) モード・タイムスタンプ・キャプチャ
- 上記のそれぞれのリソースに専用の単一入力ピン
- キャプチャ・モードで使用しない場合、eCAP モジュールを単一チャンネルの PWM 出力 (APWM) として構成可能です。

Type 2 の eCAP におけるキャプチャ機能は、Type 0 の eCAP を拡張したものであり、以下の機能が追加されています。

- イベント・フィルタ・リセット・ビット
 - ECCTL2[CTRFILTRESET] に 1 を書き込むと、イベント・フィルタ、モジュロ・カウンタ、および保留中の割り込みフラグがクリアされます。初期化とデバッグの際は、このビットのリセットが役立ちます。
- モジュロ・カウンタのステータス・ビット
 - モジュロ・カウンタ (ECCTL2[MODCTRSTS]) は、次にロードするキャプチャ・レジスタがどれなのかを示します。Type 0 の eCAP では、モジュロ・カウンタの現在の状態を知ることができませんでした。
- DMA トリガ・ソース
 - eCAPxDMA が DMA トリガとして追加されました。CEVT[1–4] は、eCAPxDMA のソースとして構成できます。
- 入力マルチプレクサ
 - ECCTL0[INPUTSEL] は、128 の入力信号のいずれかを選択します。
- EALLOW 保護
 - 重要なレジスタに EALLOW 保護が追加されています。Type 0 の eCAP とのソフトウェア互換性を維持するには、DEV_CFG_REGS.ECAPTYPE で、これらのレジスタを保護しないように構成します。
- ECAPxSYNCINSEL レジスタ
 - 外部 SYNCIN を選択するために、各 eCAP に ECAPxSYNCINSEL レジスタが追加されています。すべての eCAP は、個別の SYNCIN 信号を使用できます。

eCAP 入力は、入力クロスバーを介して任意の GPIO 入力に接続されます。APWM 出力は、出力クロスバーから GPIO 多重化の OUTPUTx 領域を経由して GPIO ピンに接続されます。セクション 6.5.2 および セクション 6.5.3 を参照してください。

図 7-53 に、eCAP と HRCAP のブロック図を示します。



Copyright © 2018, Texas Instruments Incorporated

- A. HRCAP サブモジュールは、すべての eCAP モジュールで利用できるわけではありません。この場合、高分解能マルチプレクサとハードウェアは実装されていません。

図 7-53. eCAP と HRCAP のブロック図

eCAP モジュールは、PERx.SYSCLK によってクロック供給されます。

PCLKCR3 レジスタのクロック・イネーブル・ビット (ECAPx) は、eCAP モジュールを個別にオフにします (低消費電力動作の場合)。リセット時には、ECAP1ENCLK が Low に設定され、ペリフェラル・クロックがオフであることを示します。

eCAP6 および eCAP7 モジュールは、高分解能キャプチャ (HRCAP) サブモジュールとして構成できます。HRCAP サブモジュールは、システム・クロックと非同期にパルス間の時間差を測定します。このサブモジュールは、eCAP Type 2 モジュールの新機能であり、Type 0 HRCAP モジュールに対して多くの拡張が行われています。

HRCAP の主な用途:

- 静電容量式タッチ・アプリケーション
- パルス・トレイン・サイクルの周期とデューティ・サイクルを高分解能で測定
- 速度の瞬時値測定
- 周波数の瞬時値測定
- 絶縁境界にまたがる電圧測定
- 距離 / ソナーの測定とスキャン
- 流量測定

HRCAP サブモジュールの主な特長を以下に示します。

- 非高分解能モードまたは高分解能モードでのパルス幅キャプチャ
- 絶対モードのパルス幅キャプチャ
- 連続キャプチャまたはワンショット・キャプチャ
- 立ち下がりエッジと立ち上がりエッジのどちらかでのキャプチャ
- 深さ 4 のバッファによるパルス幅の連続モード・キャプチャ
- 高精度高分解能キャプチャのためのハードウェア・キャリブレーション・ロジック
- このリストに掲載されているすべてのリソースは、入力クロスバーを使って任意のピンで利用できます。

HRCAP サブモジュールは、キャリブレーション・ブロックに加えて、1 つの高分解能キャプチャ・チャンネルを備えています。このキャリブレーション・ブロックを使用すると、HRCAP サブモジュールを一定の間隔で継続的に再キャリブレーションでき、「ダウン・タイム」は発生しません。HRCAP サブモジュールは現在、それぞれの eCAP と同じハードウェアを使用しているため、HRCAP を使用すると、対応する eCAP は使用できません。

それぞれの高分解能対応チャンネルは、以下の独立した主要リソースを備えています。

- 対応する eCAP のすべてのハードウェア
- 高分解能のキャリブレーション・ロジック
- 専用のキャリブレーション割り込み

7.12.1.1 eCAP の同期

eCAP の各モジュールは、共通の SYNCIN ソースを選択することで、互いに同期させることができます。eCAP 用の SYNCIN ソースには、ソフトウェア同期入力と外部同期入力のどちらかを使用できます。外部同期入力信号は、EPWM、eCAP、クロスバー、または EtherCAT のいずれかから供給されます。SYNC 信号は、[図 7-54](#) に示すように、ECAPx の ECAPxSYNCINSEL[SEL] ビットでの選択によって定義されます。

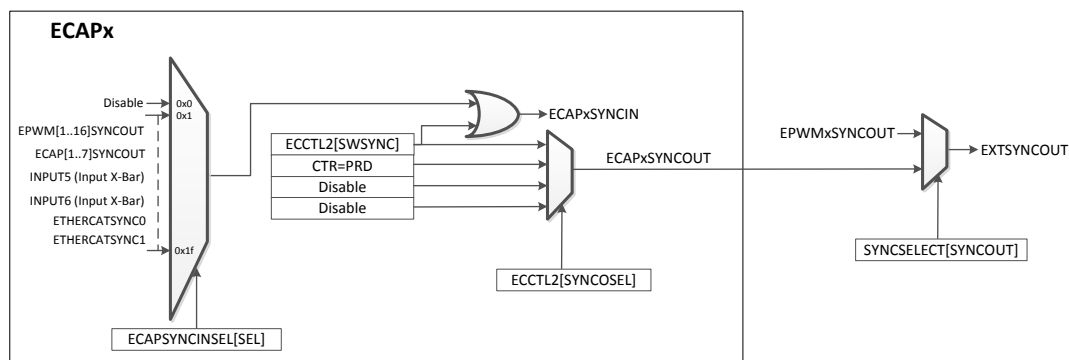


図 7-54. eCAPsynchronization 方式

7.12.1.2 eCAP の電氣的データおよびタイミング

セクション 7.12.1.2.1 に、eCAP のタイミング要件、セクション 7.12.1.2.2 に、eCAP のスイッチング特性を示します。

7.12.1.2.1 eCAP のタイミング要件

			最小値	公称値	最大値	単位
$t_{w(CAP)}$	キャプチャ入力パルス幅	非同期	$2t_{c(SYSCLK)}$			ns
		同期	$2t_{c(SYSCLK)}$			
		入力フィルタあり	$1t_{c(SYSCLK)} + t_{w_IQSW}$			

7.12.1.2.2 eCAP のスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		最小値	代表値	最大値	単位
$t_{w(APWM)}$	パルス幅、APWMx 出力 High / Low	20			ns

7.12.1.3 HRCAP の電氣的データおよびタイミング

セクション 7.12.1.3.1 に、HRCAP のスイッチング特性を示します。図 7-55 に、HRCAP の精度と分解能を示します。図 7-56 に、HRCAP の標準偏差特性を示します。

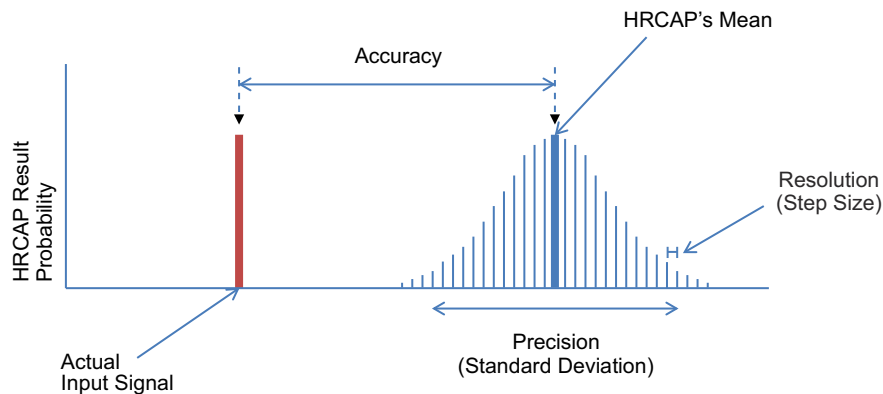
7.12.1.3.1 HRCAP のスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	代表値	最大値	単位
入力パルス幅		110			ns
精度(1) (2) (3) (4)	測定長 ≤ 5μs		±390	540	ps
	測定長 > 5μs		±450	1450	ps
標準偏差		図 7-56 を参照			
分解能			300		ps

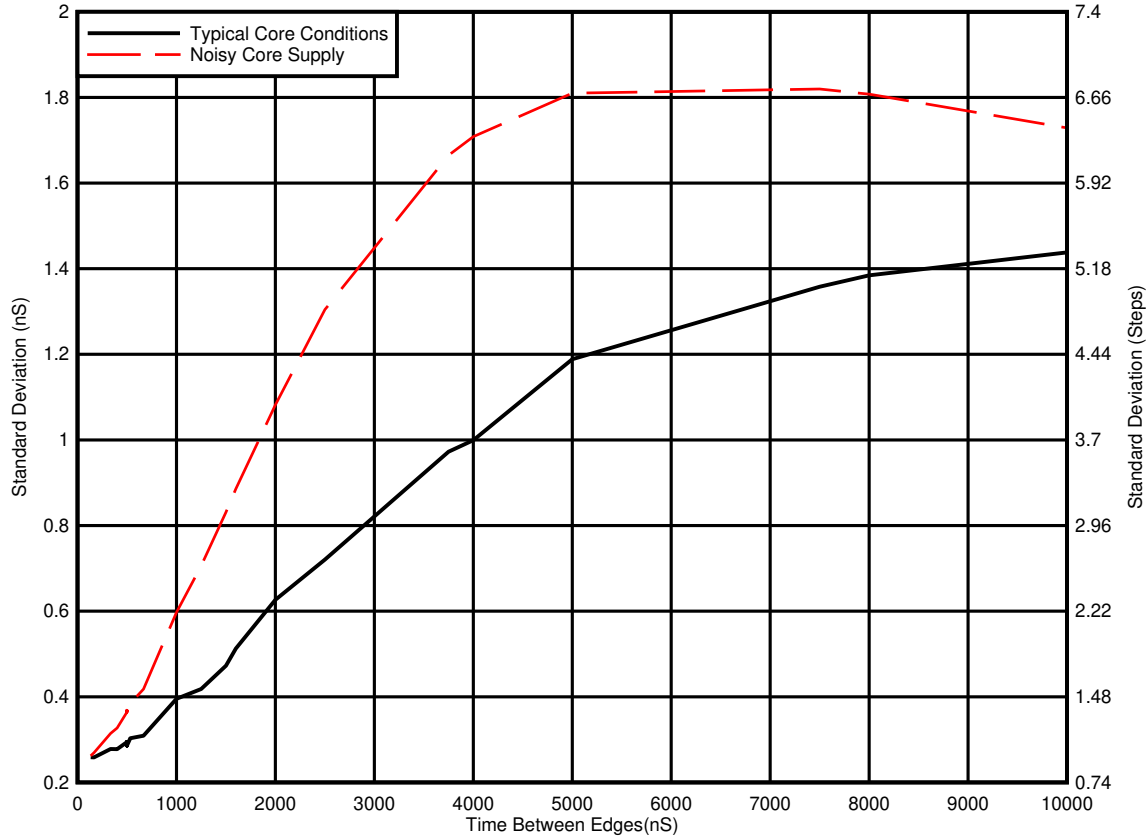
- (1) 100PPM の発振回路を使用して値を取得すると、発振回路の精度が HRCAP の精度に直接影響を及ぼします。
- (2) 立ち上がりまたは立ち下がりエッジを使用して測定を完了します
- (3) 逆極性のエッジは、 V_{IH} と V_{IL} の差により、精度が低下します。この影響は、信号のスルーレートに依存します。
- (4) 精度は、時間に変換された測定にのみ適用されます。

7.12.1.3.2 HRCAP のグラフ



- A. HRCAP の性能にはいくらかの変動があるので、確率分布を以下に示す用語で記述します。
- 正確度: 入力信号と HRCAP の分布の平均との時間差。
 - 精度: HRCAP の分布の幅であり、これは標準偏差として表されます。
 - 分解能: 測定可能な最小増分。

図 7-55. HRCAP の正確度、精度、分解能



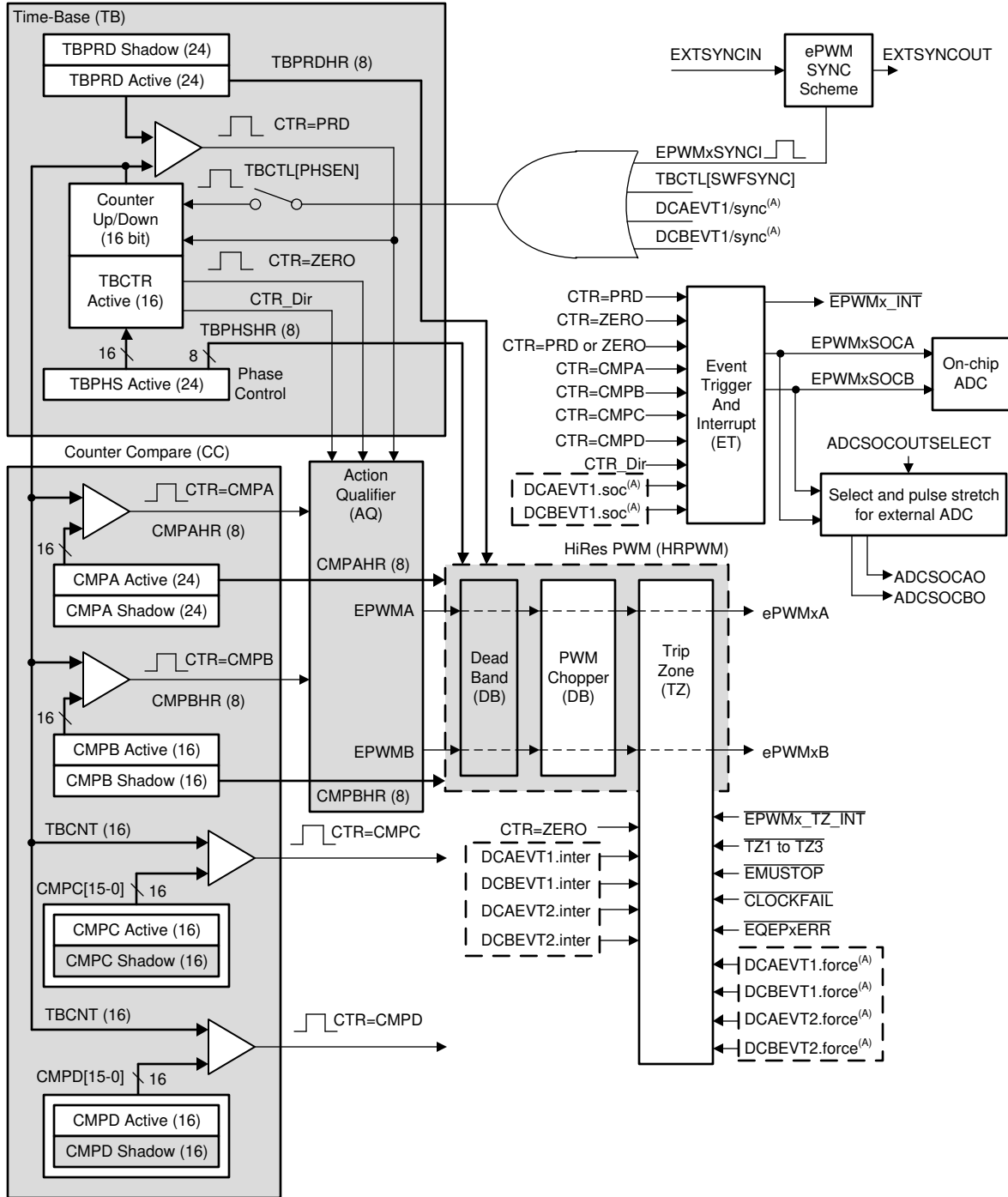
- A. 代表的な動作条件: すべてのペリフェラル・クロックはディセーブル。
- B. ノイズの多いコア電源: すべてのコア・クロックは、測定中に一定の周期でイネーブルおよびディセーブルになります。その結果、測定中に 1.2V レールで 18.5mA のスイングが発生しました。
- C. 1.2V レールの電流と電圧の変動により、HRCAP の標準偏差が上昇します。HRCAP を使用する際には、1.2V 電源がクリーンであること、また、クロック・ツリーのイネーブルおよびディセーブルなどのノイズの多い内部イベントを最小限に抑えることについて注意する必要があります。

図 7-56. HRCAP 標準偏差特性

7.12.2 拡張パルス幅変調器 (ePWM)

ePWM ペリフェラルは、民生用および産業用機器で採用されている多くのパワー・エレクトロニクス・システムを制御するための重要な要素です。ePWM タイプ 4 モジュールは、個別のリソースが連携してシステムを形成するしくみによって、小さいモジュールからペリフェラルを構築して、最小限の CPU オーバーヘッドで複合パルス幅波形を生成できます。ePWM タイプ 4 モジュールの主な特長として、複合波形生成、デッドバンド生成、柔軟な同期方式、高度なトリップ・ゾーン機能、グローバル・レジスタ・リロード機能が挙げられます。

図 7-57 に、ePWM との信号相互接続を示します。図 7-58 に、ePWM トリップ入力の接続を示します。



A. これらのイベントは、TRIPIN 入力のレベルに基づいて、ePWM デジタル比較 (DC) サブモジュールによって生成されます。

図 7-57. ePWM サブモジュールおよび重要な内部信号の相互接続

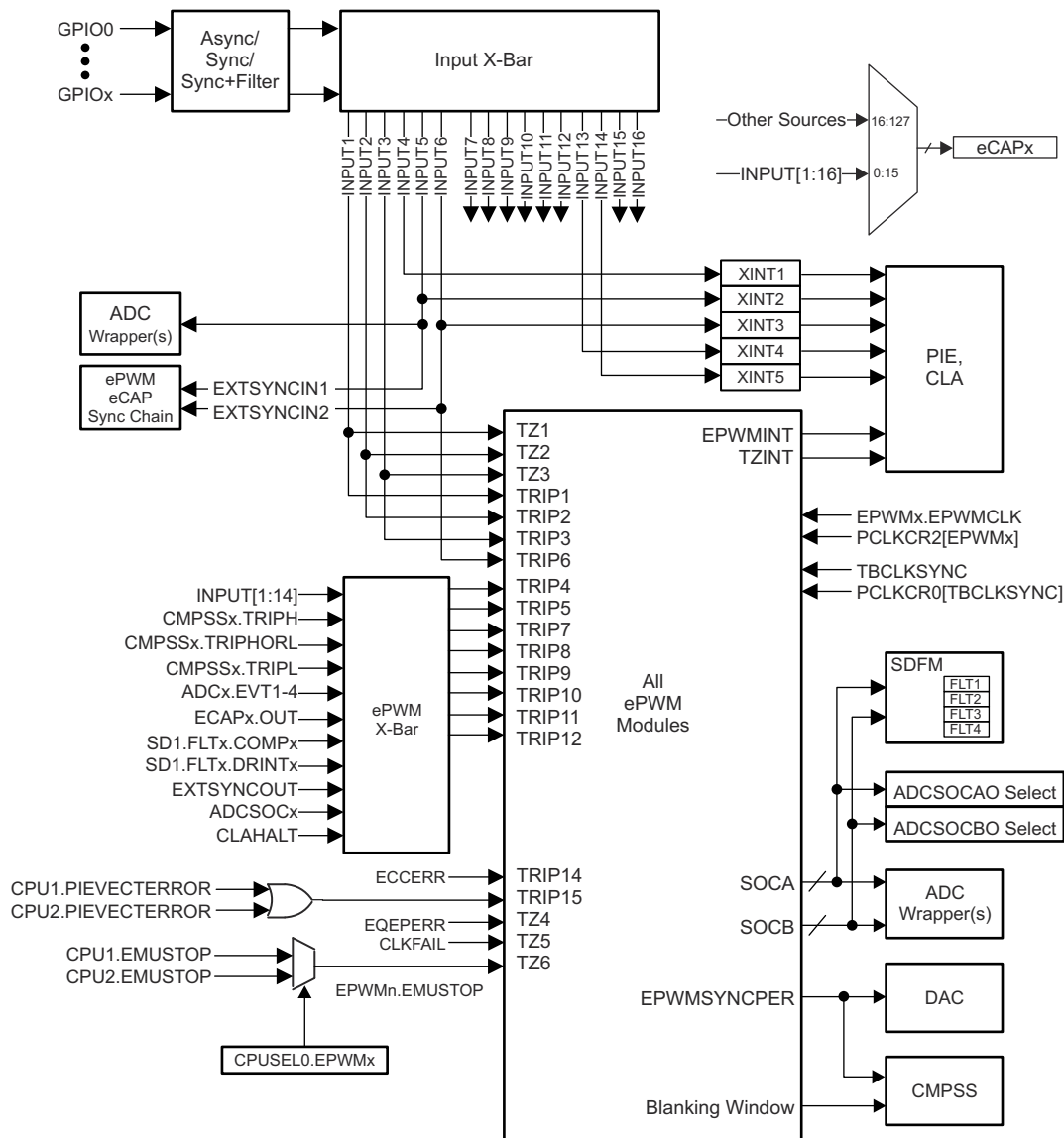


図 7-58. ePWM トリップ入力の接続

7.12.2.1 制御ペリフェラルの同期

デバイスの ePWM および eCAP 同期スキームにより、CPU1 と CPU2 の間で ePWM および eCAP モジュールを柔軟に分割でき、同じ CPU に属するモジュール内でのローカル同期が可能になります。他のペリフェラルと同様に、ePWM および eCAP モジュールのパーティション分割は、CPUSELx レジスタを使用して行う必要があります。図 7-59 に、この同期スキームを示します。

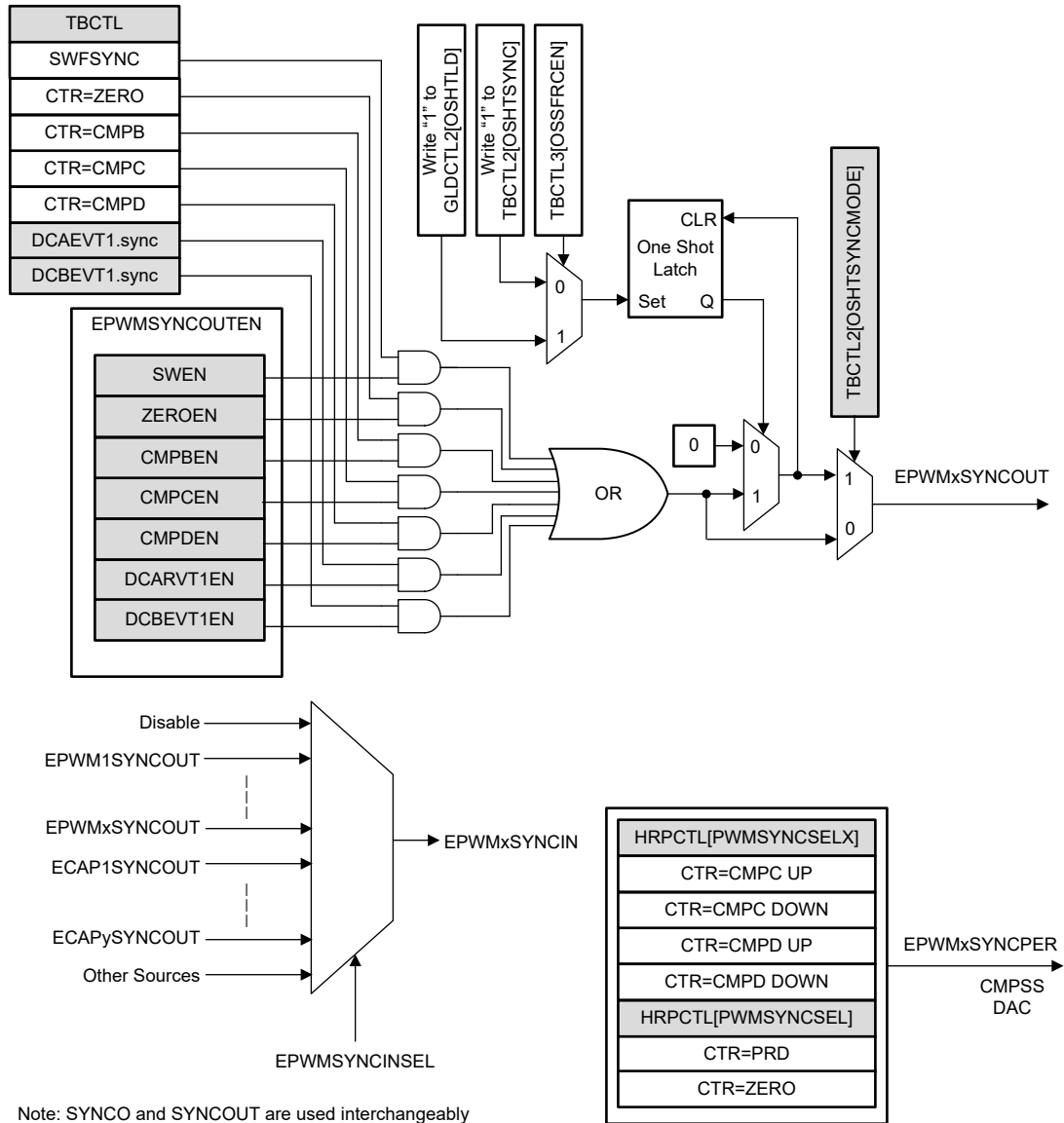


図 7-59. 同期チェーンのアーキテクチャ

7.12.2.2 ePWM の電氣的データおよびタイミング

セクション 7.12.2.2.1 に、PWM のタイミング要件を示し、セクション 7.12.2.2.2 に、PWM のスイッチング特性を示します。入力クオリファイヤ・パラメータの説明については、セクション 7.10.8.2.1 を参照してください。

7.12.2.2.1 ePWM のタイミング要件

		最小値	最大値	単位
$f_{(EPWM)}$	周波数、EPWMCLK		200	MHz
$t_{w(SYNCIN)}$	同期入力パルス幅	非同期	$2t_{c(EPWMCLK)}$	サイクル
		同期	$2t_{c(EPWMCLK)}$	
		入力クオリファイヤあり	$1t_{c(EPWMCLK)} + t_{w(IQSW)}$	

7.12.2.2.2 ePWM のスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		最小値	最大値	単位
$t_{w(PWM)}$	パルス幅、PWMx 出力 High / Low	20		ns
$t_{w(SYNCOUT)}$	同期出力パルス幅	$8t_{c(SYSCLK)}$		サイクル
$t_{d(TZ-PWM)}^{(1)}$	遅延時間、トリップ入力アクティブから PWM 強制 High まで 遅延時間、トリップ入力アクティブから PWM 強制 Low まで 遅延時間、トリップ入力アクティブから PWM ハイ・インピーダンスまで		30	ns
$t_{skew(PWM)}$	任意の 2 つの PWM 出力間のスキュー		2.5	ns

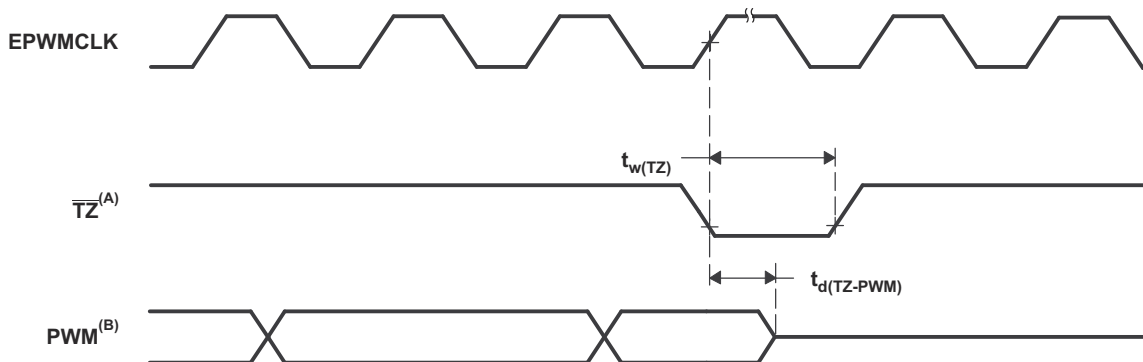
(1) 遅延時間は GPIO ソースのみに適用され、CMPSS は含まれません。

7.12.2.2.3 トリップ・ゾーン入力のタイミング

セクション 7.12.2.2.3.1 に、トリップ・ゾーン入力のタイミング要件を示します。図 7-60 に、PWM ハイ・インピーダンス特性を示します。入力フィルタ・パラメータの説明については、セクション 7.10.8.2.1 を参照してください。

7.12.2.2.3.1 トリップ・ゾーン入力のタイミング要件

		最小値	最大値	単位
$t_{w(TZ)}$	パルス幅、 \overline{TZx} 入力 Low	非同期	$1t_{c(EPWMCLK)}$	サイクル
		同期	$2t_{c(EPWMCLK)}$	サイクル
		入力クオリファイヤあり	$1t_{c(EPWMCLK)} + t_{w(IQSW)}$	サイクル



A. \overline{TZ} : TZ1, TZ2, TZ3, TRIP1~TRIP12

- B. PWM は、デバイスのすべての PWM ピンのことです。 \overline{TZ} が High になった後の PWM ピンの状態は、PWM 回復ソフトウェアによって異なります。

図 7-60. PWM ハイ・インピーダンス特性

7.12.2.3 外部 ADC 変換開始の電気的データおよびタイミング

セクション 7.12.2.3.1 に、外部 ADC 変換開始のスイッチング特性を示します。図 7-61 に、ADCSOCAO または ADCSOCBO のタイミングを示します。

7.12.2.3.1 外部 ADC 変換開始のスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

	パラメータ	最小値	最大値	単位
$t_{w(ADCSOCL)}$	パルス幅、ADCSOCxO Low	$32t_{c(SYSCLK)}$		サイクル

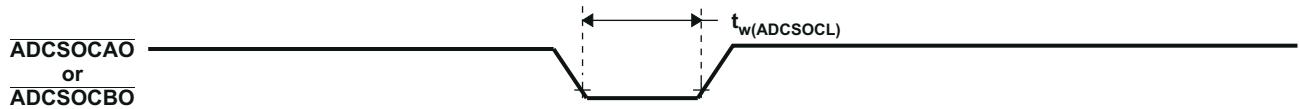


図 7-61. ADCSOCAO または ADCSOCBO のタイミング

7.12.3 高分解能パルス幅変調器 (HRPWM)

HRPWM は、複数のディレイ・ラインを 1 つのモジュールに統合し、専用のキャリブレーション・ディレイ・ラインを使用して、簡素化されたキャリブレーション・システムを実現しています。それぞれの ePWM モジュールに、2 つの HR 出力があります。

- チャンネル A の HR デューティおよびデッドバンド制御
- チャンネル B の HR デューティおよびデッドバンド制御

HRPWM モジュールは、従来のデジタル PWM 方式を使用した場合よりもはるかに優れた PWM 分解能 (時間の粒度) を提供します。HRPWM モジュールの主な特長は次のとおりです。

- 従来のデジタル PWM の時間分解能性能を大幅に拡張します
- この機能は、シングル・エッジ (デューティ・サイクルおよび位相シフト制御) およびデュアル・エッジ (周波数 / 周期変調制御) の両方で使用できます。
- ePWM モジュールの比較 A、比較 B、位相、周期、デッドバンド・レジスタを拡張することにより、より細かい時間粒度制御またはエッジの位置設定を制御します。

注

HRPWM に許容される最小 HRPWMCLK 周波数は 60MHz です。

7.12.3.1 HRPWM の電氣的データおよびタイミング

セクション 7.12.3.1.1 に、高分解能 PWM スイッチング特性を示します。

7.12.3.1.1 高分解能 PWM の特性

パラメータ	最小値	代表値	最大値	単位
マイクロ・エッジ・ポジショニング (MEP) ステップ・サイズ ⁽¹⁾		150	310	ps

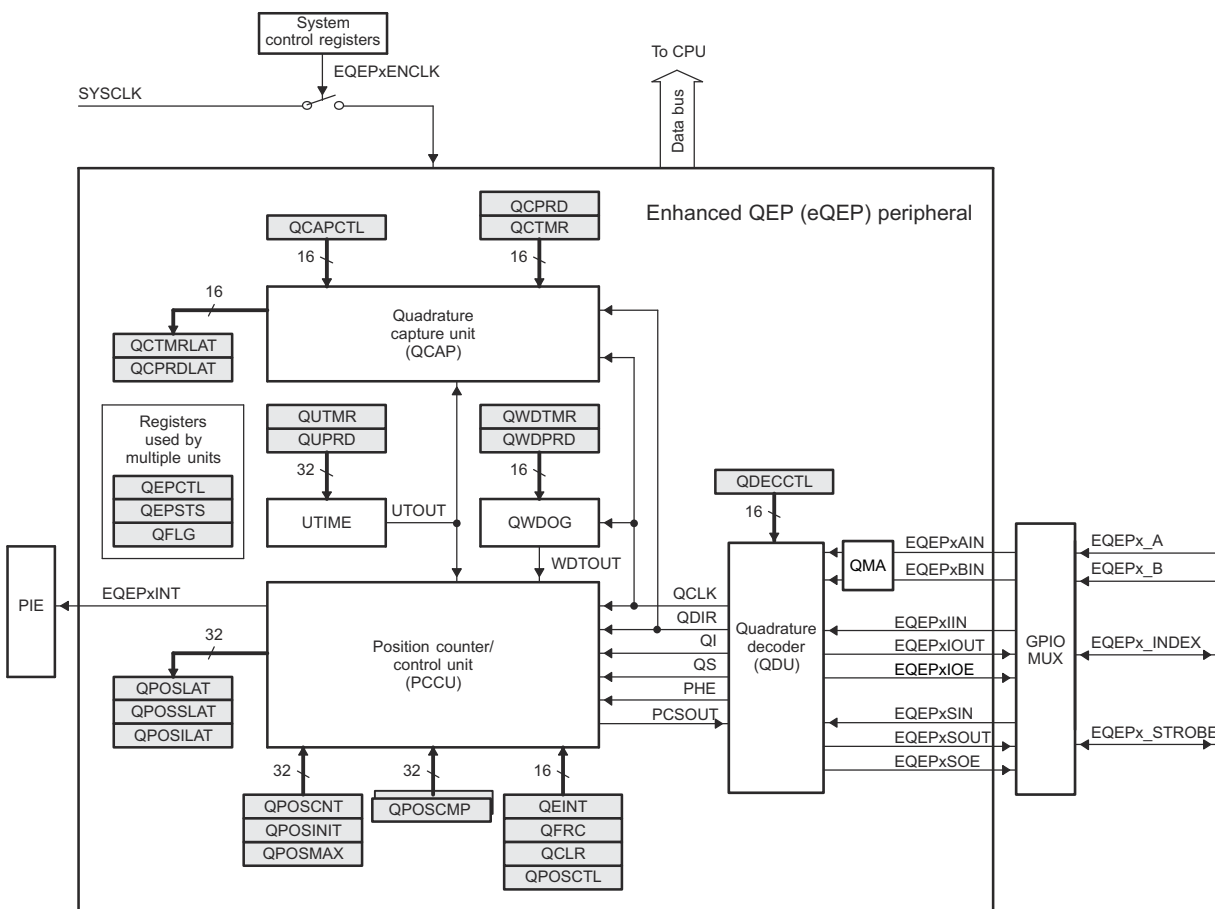
- (1) MEP ステップ・サイズは、高温かつ V_{DD} の最小電圧で、最大になります。温度の上昇および電圧の低下に伴って、MEP ステップ・サイズが増加し、温度の低下および電圧の上昇に伴って減少します。HRPWM 機能を使用するアプリケーションでは、MEP 係数最適化 (SFO) 推定ソフトウェア機能を使用する必要があります。最終アプリケーションで SFO 機能を使用する方法の詳細については、テキサス・インスツルメンツのソフトウェア・ライブラリを参照してください。SFO 機能は、HRPWM の動作中に、SYSCLK 周期あたりの MEP ステップ数を動的に推定するのに役立ちます。

7.12.4 拡張直交エンコーダ・パルス (eQEP)

このデバイスの eQEP モジュールは Type 2 です。eQEP インターフェイスは、高性能な動作位置制御システムで使用される回転機械から位置、方向、速度などの情報を取得するために、リニアまたはロータリ・インクリメンタル・エンコーダとの直接のインターフェイスになります。

eQEP ペリフェラルには、以下の主要な機能ユニットが含まれています (図 7-62 を参照)。

- 各ピンの入力クオリファイヤをプログラム可能 (GPIO MUX の一部)
- 直交デコーダ・ユニット (QDU)
- 位置測定用の位置カウンタおよび制御ユニット (PCCU)
- 低速度測定用の直交エッジ・キャプチャ・ユニット (QCAP)
- 速度および周波数測定用のユニット・タイム・ベース (UTIME)
- ストール検出用ウォッチドッグ・タイマ (QWDOG)
- 直交モード・アダプタ (QMA)



Copyright © 2017, Texas Instruments Incorporated

図 7-62. eQEP のブロック図

7.12.4.1 eQEP の電氣的データおよびタイミング

セクション 7.12.4.1.1 に、eQEP のタイミング要件を示します。eQEP の入力ピンでは、GPIO の非同期モードは使用できません。入力クオリファイヤ・パラメータの説明については、セクション 7.10.8.2.1 を参照してください。

セクション 7.12.4.1.2 に、eQEP のスイッチング特性を示します。

7.12.4.1.1 eQEP のタイミング要件

			最小値	最大値	単位
$t_{w(QEPP)}$	QEP 入力周期	同期 ⁽¹⁾	$2t_{c(SYSCLK)}$		サイクル
		入力クオリファイヤあり	$2[1t_{c(SYSCLK)} + t_{w(IQSW)}]$		
$t_{w(INDEXH)}$	QEP インデックス入力 High 時間	同期 ⁽¹⁾	$2t_{c(SYSCLK)}$		サイクル
		入力クオリファイヤあり	$2t_{c(SYSCLK)} + t_{w(IQSW)}$		
$t_{w(INDEXL)}$	QEP インデックス入力 Low 時間	同期 ⁽¹⁾	$2t_{c(SYSCLK)}$		サイクル
		入力クオリファイヤあり	$2t_{c(SYSCLK)} + t_{w(IQSW)}$		
$t_{w(STROBH)}$	QEP ストローブ High 時間	同期 ⁽¹⁾	$2t_{c(SYSCLK)}$		サイクル
		入力クオリファイヤあり	$2t_{c(SYSCLK)} + t_{w(IQSW)}$		
$t_{w(STROBL)}$	QEP ストローブ入力 Low 時間	同期 ⁽¹⁾	$2t_{c(SYSCLK)}$		サイクル
		入力クオリファイヤあり	$2t_{c(SYSCLK)} + t_{w(IQSW)}$		

(1) eQEP モジュールの入力ピンでは、GPIO の GPxQSELn 非同期モードは使用できません。

7.12.4.1.2 eQEP のスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		最小値	最大値	単位
$t_{d(CNTR)xin}$	遅延時間、外部クロックからカウンタ・インクリメントまで		$4t_{c(SYSCLK)}$	サイクル
$t_{d(PCS-OUT)QEP}$	遅延時間、QEP 入力エッジから位置比較同期出力まで		$6t_{c(SYSCLK)}$	サイクル

7.12.5 シグマ-デルタ・フィルタ・モジュール (SDFM)

SDFM は、4 チャンネルのデジタル・フィルタであり、モーター制御アプリケーションでの電流測定およびレゾルバ位置デコードに特化して設計されています。各入力チャンネルは、独立したシグマ-デルタ ($\Sigma\Delta$) 変調ビット・ストリームを受信できます。ビット・ストリームは、個別にプログラム可能な 4 つのデジタル・デシメーション・フィルタによって処理されます。このフィルタ・セットには高速コンパレータ (2 次フィルタ) が含まれており、過電流および低電流監視とゼロ・クロッシング検出のためのデジタル・スレッショルドを迅速に比較できます。図 7-63 に、SDFM のブロック図を示します。

SDFM の主な特長は次のとおりです。

- SDFM モジュールごとに 8 本の外部ピン
 - SDFM モジュールごとに 4 本のシグマ-デルタ・データ入力ピン (SD-Dx、ここで x = 1~4)
 - SDFM モジュールごとに 4 本のシグマ-デルタ・クロック入力ピン (SD-Cx、ここで x = 1~4)
- 構成可能な変調器クロック・モードをサポート:
 - モード 0: 変調器クロック・レートが変調器データ・レートに等しい。
- SDFM モジュールごとに 4 つの独立した構成可能な 2 次フィルタ (コンパレータ) ユニット:
 - 4 種類のフィルタ・タイプ選択 (Sinc1/Sinc2/SincFast/Sinc3) が利用可能
 - 値超過状態、値不足状態、スレッショルド・クロッシング状態を検出可能
 1. 2 つの独立した高スレッショルド・コンパレータ (値超過状態の検出に使用)
 2. 2 つの独立した低スレッショルド・コンパレータ (値不足状態の検出に使用)
 3. 1 つの独立したスレッショルド・クロッシング・コンパレータ (eCAP でデューティ・サイクル / 周波数を測定するために使用)
 - 1~32 の範囲でプログラム可能なコンパレータ・フィルタ・ユニットの OSR 値 (COSR)
- SDFM モジュールごとに 4 つの独立した構成可能な 1 次フィルタ (データ・フィルタ) ユニット:
 - 4 種類のフィルタ・タイプ選択 (Sinc1/Sinc2/SincFast/Sinc3) が利用可能
 - 1~256 の範囲でプログラム可能なデータ・フィルタ・ユニットの OSR 値 (DOSR)
 - 個別のフィルタ・モジュールを有効または無効 (あるいはその両方) に設定可能
 - マスタ・フィルタ・イネーブル (MFE) ビットまたは PWM 信号を使用して、SDFM モジュールの 4 つの独立したフィルタすべてを同期可能
- データ・フィルタ出力は、16 ビットまたは 32 ビットで表現可能。
- データ・フィルタ・ユニットにはプログラマブル・モード FIFO があり、割り込みオーバーヘッドを低減。FIFO の特長は次のとおりです。
 - 1 次フィルタ (データ・フィルタ) に深さ 16 x 32 ビット FIFO。
 - FIFO は、プログラムした数のデータ・レディ・イベントが発生した後 CPU に割り込みを発生させることが可能。
 - FIFO の同期待ち機能: PWM 同期信号 (SDSYNC) を受信するまで、データ・レディ・イベントを無視する機能。SDSYNC イベントを受信すると、データ・レディ・イベントごとに FIFO に書き込み。
 - データ・フィルタ出力は、16 ビットまたは 32 ビットで表現可能。
- PWMx.SOCA/SOCB は、データ・フィルタ・チャンネルごとに SDSYNC ソースとして機能するように構成可能。
- PWM を使用して、シグマ-デルタ・モジュレータ用の変調器クロックを生成可能。
- SD-Cx と SD-Dx の両方に構成可能な入力認定を利用可能。
- 1 つのフィルタ・チャンネル・クロック (SD-C1) を使用して、他のフィルタ・クロック・チャンネルにクロックを供給する機能。
- コンパレータ・フィルタ・イベントでスプリアス・ノイズに起因するコンパレータ・イベントを除外する構成可能なデジタル・フィルタ。

注

SDx_Cy 入力へのノイズを避けるよう注意してください。最小パルス幅の要件が満たされていない場合 (たとえば、ノイズ・グリッチ)、SDFM の結果が未定義になる可能性があります。

SDFM ブロック図を図 7-63 に示します。

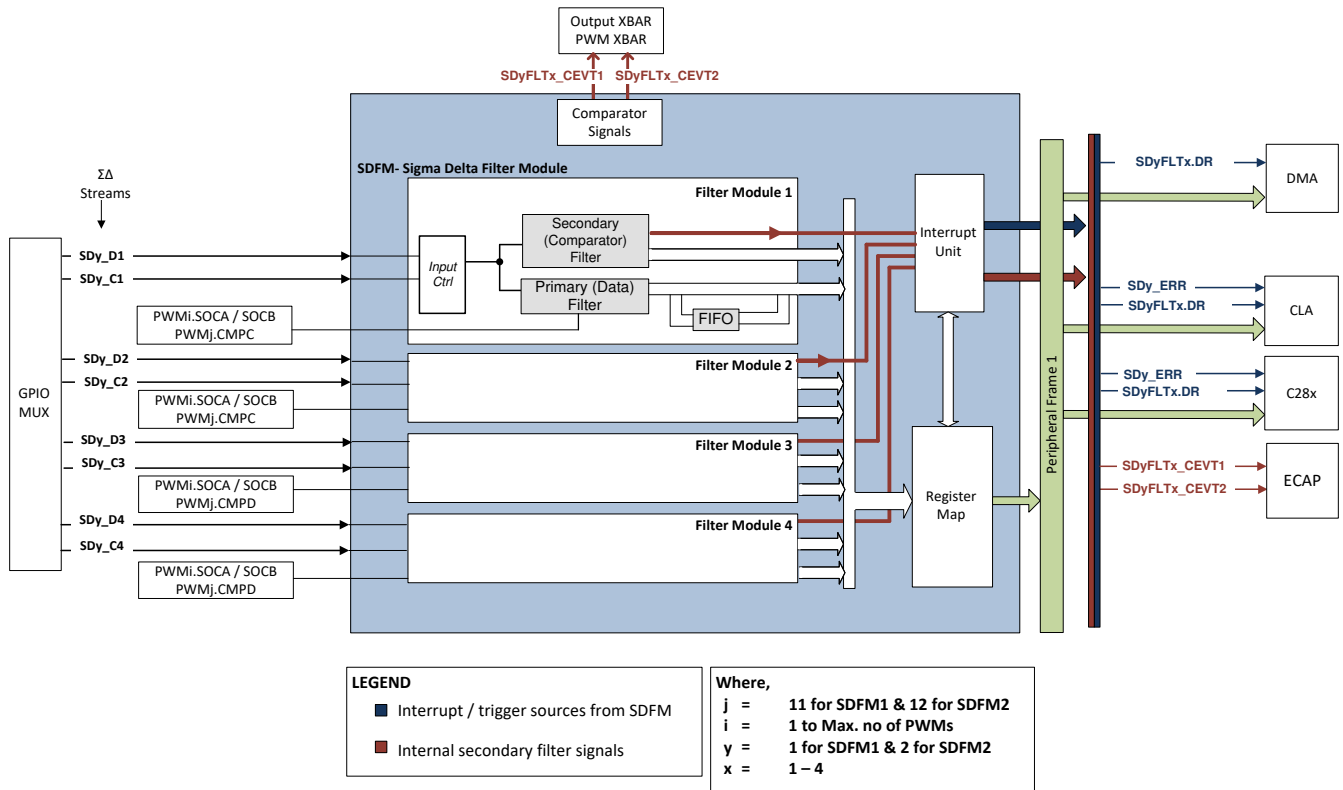


図 7-63. SDFM ブロック図

7.12.5.1 SDFM の電氣的データおよびタイミング (ASYNC を使用)

セクション 7.12.5.1.1 に、SDFM のタイミング要件を示します。次のような構成を行う必要があります。

- SDFM GPIO ピンは、ASYNC モードでのみ構成する必要があります (GPYQSELn = 0b11 を使用)。
- SDx-Cy 信号と SDx-Dy 信号の両方を PLLRAWCLK に同期させる必要があります (SDCTLPARMx レジスタを使用)。

図 7-64 に、SDFM のタイミング図を示します。

7.12.5.1.1 非同期 GPIO (ASYNC) オプション使用時の SDFM のタイミング要件

		最小値	最大値	単位
モード 0				
$t_{c(SDC)M0}$	サイクル時間、SDx_Cy	$4 * t_c(PLLRAWCLK)$	$256 * SYSCLK$ 周期	ns
$t_w(SDDHL)M0$	パルス幅、SDx_Dy (HIGH/LOW)	$2 * t_c(PLLRAWCLK)$		ns
$t_{su}(SDDV-SDCH)M0$	セットアップ時間、SDx_Dy 有効から SDx_Cy が HIGH になるまで	$1 * t_c(PLLRAWCLK) + 5$		ns
$t_h(SDCH-SDD)M0$	ホールド時間、SDx_Cy が HIGH になった後 SDx_Dy の保持期間	$1 * t_c(PLLRAWCLK) + 5$		ns

7.12.5.1.2 SDFM のタイミング図

警告

SDFM タイミング要件を満たすクリーンでノイズのない信号を確保するため、SD-Cx および SD-Dx 信号の両方に特別な措置を取る必要があります。クロック・ドライバのインピーダンス・ミスマッチによるリンギング・ノイズに備える直列終端抵抗や、他のノイズの多い信号からの配線間隔などに注意することを推奨します。

注

SDFM SD-Cx および SD-Dx 信号を PLLRAWCLK と同期させると、偶発的なランダム・ノイズ・グリッチによりコンパレータのトリップおよびフィルタ出力が誤って発生したために SDFM モジュールが破損することから保護できます。ただし、上記のタイミング要件の永続的な違反に対する保護を提供するものではありません。タイミング違反があると、要件に違反するビット数に比例してデータが破損する結果になります。

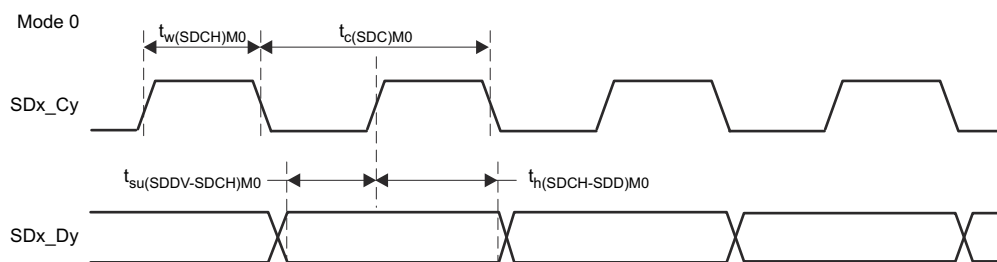


図 7-64. SDFM タイミング図 - モード 0

7.13 C28x 通信ペリフェラル

注

特定のデバイスにおける各ペリフェラルの実際の数については、「デバイスの比較」表を参照してください。

7.13.1 CAN (Controller Area Network)

このデバイスは、DCAN として知られる CAN IP を使用します。

CAN モジュールは、ISO 11898-1 (Bosch® CAN プロトコル仕様 2.0 A、B と同じ) に従って CAN プロトコル通信を実行します。ビット・レートは、最大 1Mbps の値にプログラムできます。物理層 (CAN バス) への接続には、CAN トランシーバ・チップが必要です。

CAN ネットワークでの通信のために、個別のメッセージ・オブジェクトを構成できます。メッセージ・オブジェクトと識別子マスクは、メッセージ RAM に格納されます。

メッセージの処理に関するすべての機能は、メッセージ・ハンドラに実装されています。これらの機能には、受け入れフィルタリング、CAN コアとメッセージ RAM の間でのメッセージの転送、送信要求の処理、割り込みまたは DMA 要求の生成があります。

CAN のレジスタ・セットには、モジュール・インターフェイス経由で CPU から直接アクセスできます。これらのレジスタは、CAN コアとメッセージ・ハンドラの制御と構成、およびメッセージ RAM へのアクセスに使用されます。

CAN モジュールの主な機能は次のとおりです。

- ISO11898-1 に準拠 (Bosch® CAN プロトコル仕様 2.0 A および B)
- 最大 1Mbps のビット・レート
- 複数のクロック・ソースに対応
- 32 個のメッセージ・オブジェクト (メールボックス)。それぞれに次の特長があります。
 - 受信または送信として構成可能
 - 標準 (11 ビット) または拡張 (29 ビット) の識別子で構成可能
 - プログラム可能な識別子受信マスクをサポート
 - データ・フレームおよびリモート・フレームをサポート
 - 0~8 バイトのデータを保持
 - 構成およびデータ RAM のパリティチェック
- 各メッセージ・オブジェクトに個別の識別子マスク
- メッセージ・オブジェクト用のプログラム可能な FIFO モード
- プログラム可能なループバック・モードによる自己テスト動作
- デバッグをサポートするためのサスペンド・モード
- ソフトウェアによるモジュール・リセット
- バス・オフ状態の後、プログラマブル 32 ビット・タイマにより自動的にバス・オン
- メッセージ RAM パリティチェック・メカニズム
- 2 つの割り込みライン
- DMA サポート

注

200MHz の CAN ビット・クロックの場合、可能な最小のビット・レートは 7.8125kbps です。

注

オンチップのゼロ・ピン発振器の精度を [セクション 7.10.3.5.1](#) に示します。CAN ビットのタイミング設定、ビット・レート、バス長、伝搬遅延などのパラメータによっては、この発振器の精度が CAN プロトコルの要件を満たしていない場合があります。この状況では、外部クロック・ソースを使用する必要があります。

CAN のブロック図を 図 7-65 に示します。

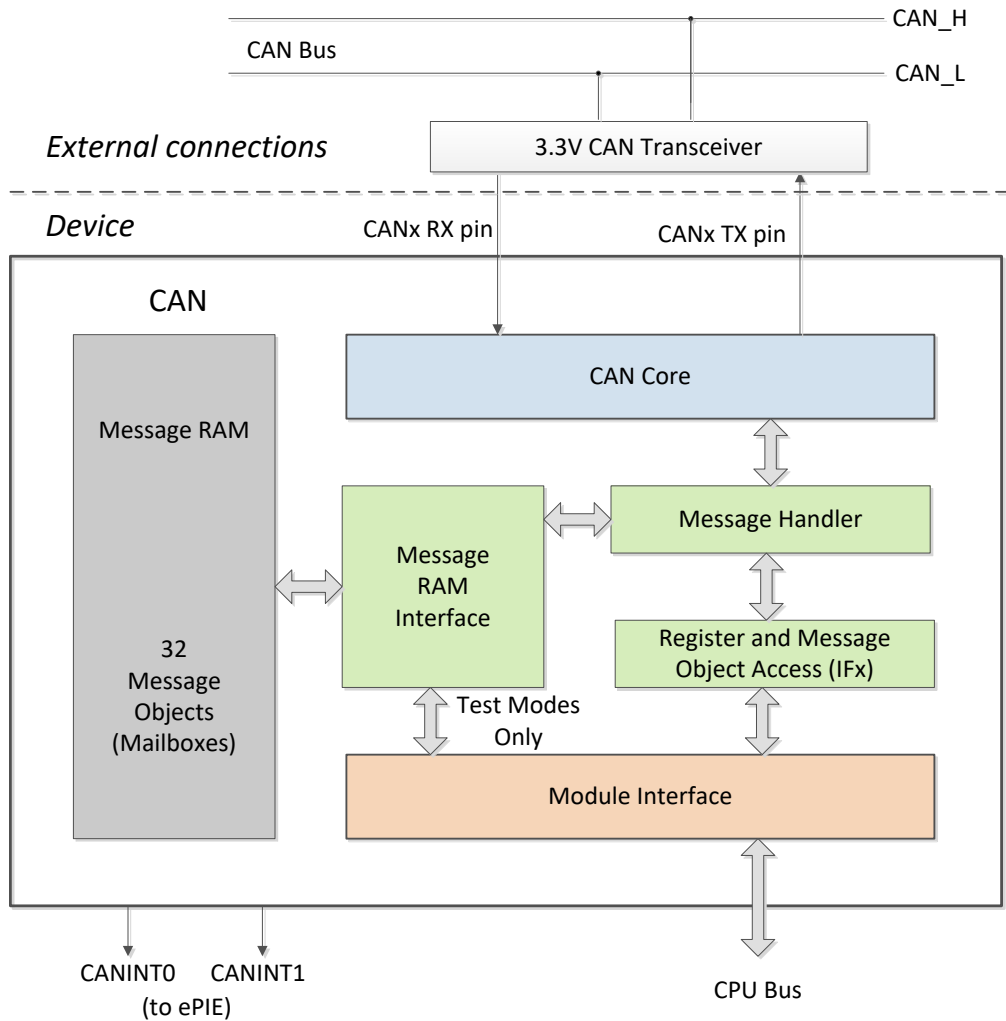


図 7-65. CAN ブロック図

7.13.2 高速シリアル・インターフェイス (FSI)

高速シリアル・インターフェイス (FSI) モジュールは、信頼性が高く堅牢な高速通信を実行できるシリアル通信ペリフェラルです。FSI は、チップ間や絶縁バリアをまたぐボード間など、多くのシステム条件にわたってデータの堅牢性を保証するように設計されています。CRC、フレーム開始およびフレーム終了パターン、ユーザー定義タグなどのペイロード整合性チェックは、送信前にエンコードされ、受信後に検証されます。このとき、CPU との追加のやり取りはありません。断線は、定期的な送信を使って検出でき、ハードウェアによってすべての管理と監視が行われます。FSI は、デバイス上の他の制御ペリフェラルとも密接に統合されています。最新のセンサ・データまたは制御パラメータを確実に利用できるように、制御ループ周期ごとにフレームを送信できます。レシーバにはスキュー補償ブロックが内蔵されており、クロック信号とデータ信号の間で発生する可能性のあるスキューを処理します。これには、トレース長のミスマッチや絶縁チップによって生じるスキューなど、さまざまな要因があります。FSI は、データの堅牢性チェック、データ・リンクの整合性チェック、スキュー補償を内蔵し、さらに制御ペリフェラルと統合されているため、あらゆるシステムで高速かつ堅牢な通信を実現できます。FSI のこれらの機能と他の多くの機能は以下のとおりです。

FSI モジュールの主な機能は次のとおりです。

- 独立したトランスミッタ・コアとレシーバ・コア
- ソース同期送信
- デュアル・データ・レート (DDR)
- 1 つまたは 2 つのデータ・ライン
- データ長をプログラム可能
- スキュー調整ブロックにより、基板とシステムの遅延のミスマッチを補償
- フレーム・エラー検出
- プログラム可能なフレーム・タグ機能によるメッセージ・フィルタリング
- 通信中の断線を検出するためのハードウェア ping (ping ウォッチドッグ)
- FSI コアごとに 2 つの割り込み
- 外部トリガによるフレーム生成
- ハードウェアまたはソフトウェアで計算された CRC
- ECC 計算モジュール内蔵
- レジスタ書き込み保護
- DMA サポート
- CLA タスクのトリガ
- SPI 信号モード (限定された機能が利用可能)

デュアル・データ・レート (100Mbps) において FSI を最大速度 (50MHz) で動作させるには、ケースごとに特定の動作条件に応じて、内蔵のスキュー補償ブロックを構成する必要があります。高速シリアル・インターフェイス (FSI) スキュー補償アプリケーション・レポートには、高速シリアル・インターフェイスでの内蔵スキュー補償ブロックの構成および設定方法に関するサンプル・ソフトウェアが含まれています。

FSI は、独立したトランスミッタ (FSITX) コアとレシーバ (FSIRX) コアで構成されています。FSITX コアおよび FSIRX コアは、個別に構成されて動作します。FSITX および FSIRX で利用可能な機能については、それぞれ [セクション 7.13.2.1](#) および [セクション 7.13.2.2](#) で説明します。

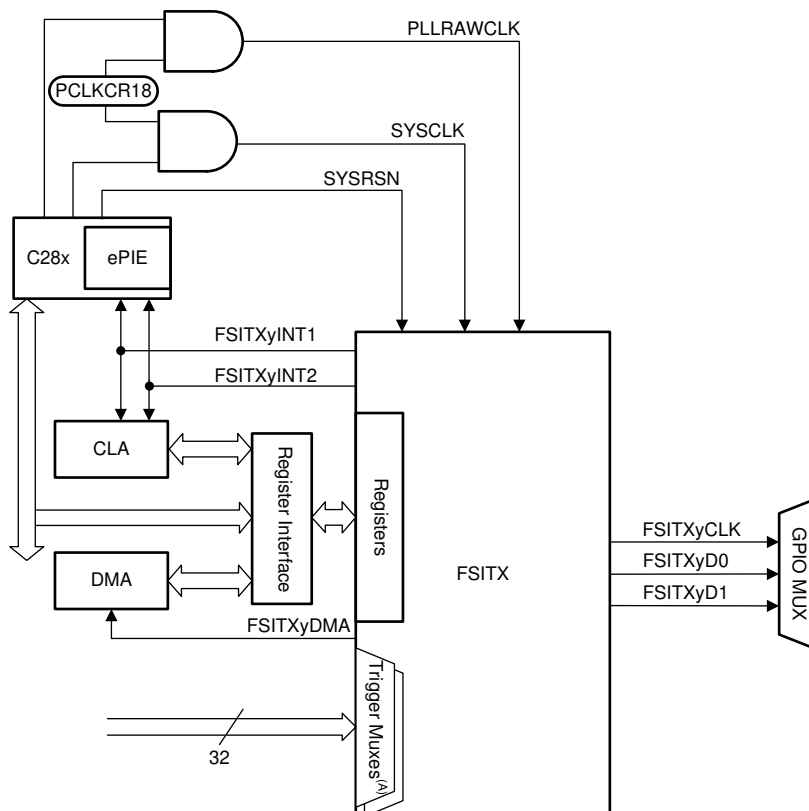
7.13.2.1 FSI トランスミッタ

FSI トランスミッタ・モジュールは、データのフレーミング、CRC 生成、TXCLK、TXD0、TXD1 の信号生成、割り込み生成を処理します。トランスミッタ・コアの動作は、プログラム可能な制御レジスタによって制御および構成されます。このトランスミッタ制御レジスタを使って、CPU (または CLA) は、FSI トランスミッタの動作をプログラム、制御、および監視できます。送信データ・バッファは、CPU、CLA、および DMA からアクセスできます。

トランスミッタの特長は次のとおりです。

- 自動化された ping フレーム生成
- 外部からトリガされる ping フレーム
- 外部からトリガされるデータ・フレーム
- ソフトウェアで構成可能なフレーム長
- 16 ワードのデータ・バッファ
- データ・バッファのアンダーランおよびオーバーラン検出
- ハードウェアで生成されるデータ・ビットの CRC
- 選択したデータに対するソフトウェア ECC の計算
- DMA サポート
- CLA タスクのトリガ

図 7-66 に、FSITX CPU インターフェイスを示します。図 7-67 に、FSITX の概略ブロック図を示します。すべてのデータ・パスと内部接続が表示されているわけではありません。この図は、FSITX に搭載されている内部モジュールの概要を示しています。



- A. トリガ・マルチプレクサに接続されている信号については、『TMS320F2838x リアルタイム・マイクロコントローラ・テクニカル・リファレンス・マニュアル』の「高速シリアル・インターフェイス (FSI)」の章にある「外部フレーム・トリガ・マルチプレクサ」セクションを参照してください。

図 7-66. FSITX CPU インターフェイス

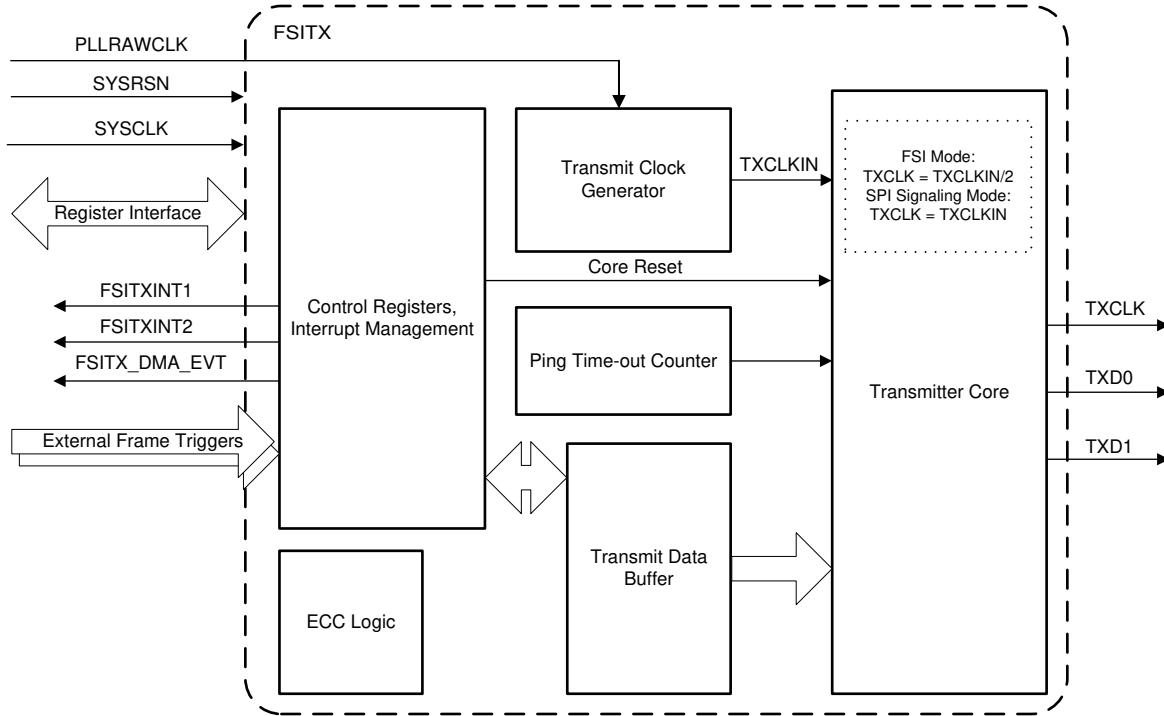


図 7-67. FSITX のブロック図

7.13.2.1.1 FSITX の電氣的データおよびタイミング

セクション 7.13.2.1.1.1 に、FSITX のスイッチング特性を示します。図 7-68 に、FSITX のタイミングを示します。

7.13.2.1.1.1 FSITX のスイッチング特性

自由気流での動作温度範囲内 (特に記述のない限り)

番号	パラメータ	最小値	最大値	単位
1	$t_c(\text{TXCLK})$	20		ns
2	$t_w(\text{TXCLK})$	$(0.5t_c(\text{TXCLK})) - 1$	$(0.5t_c(\text{TXCLK})) + 1$	ns
3	$t_d(\text{TXCLKL-TXD})$	$(0.25t_c(\text{TXCLK})) - 2$	$(0.25t_c(\text{TXCLK})) + 2.5$	ns

7.13.2.1.1.2 FSITX タイミング

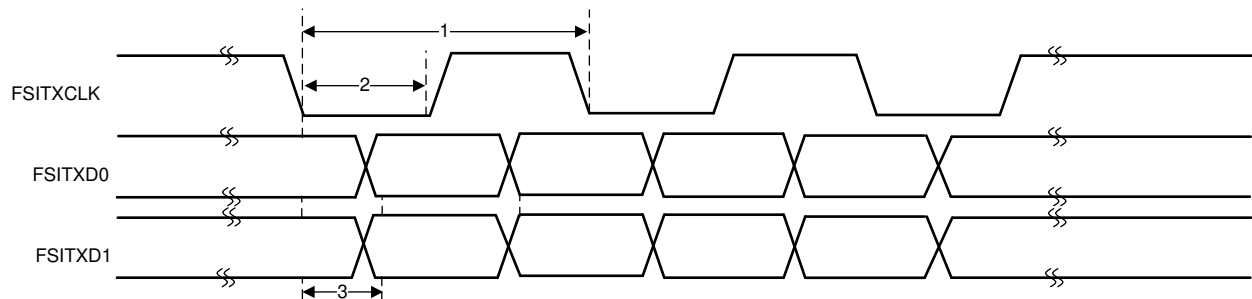


図 7-68. FSITX タイミング

7.13.2.2 FSI レシーバ

レシーバ・モジュールは、プログラマブルなディレイ・ラインを通過した後の FSI クロック (RXCLK) およびデータ・ライン (RXD0 および RXD1) に接続します。レシーバ・コアは、データ・フレーミング、CRC 計算、フレーム関連のエラー・チェックを処理します。レシーバ・ビット・クロックおよびステート・マシンは、デバイスのシステム・クロックとは同期しない RXCLK 入力によって実行されます。

レシーバ制御レジスタにより、CPU (または CLA) は FSIRX の動作をプログラム、制御、および監視できます。受信データ・バッファには、CPU、CLA、および DMA からアクセスできます。

レシーバ・コアは以下に示す機能を備えています。

- 16 ワードのデータ・バッファ
- 複数のフレーム・タイプをサポート
- Ping フレーム・ウォッチドッグ
- フレーム・ウォッチドッグ
- ハードウェアでの CRC 計算および比較
- ECC 検出
- 受信信号に対するプログラマブルなディレイ・ライン制御
- DMA サポート
- CLA タスクのトリガ

図 7-69 に、FSIRX CPU インターフェイスを示します。図 7-70 に、FSIRX に搭載されている内部モジュールの概要を示します。すべてのデータ・パスと内部接続が表示されているわけではありません。

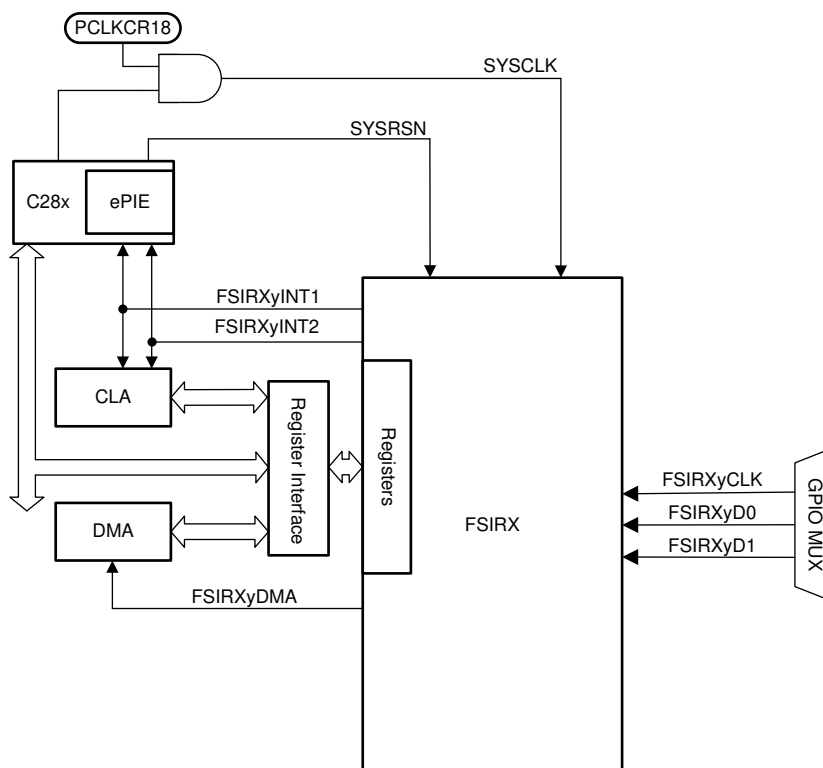


図 7-69. FSIRX CPU インターフェイス

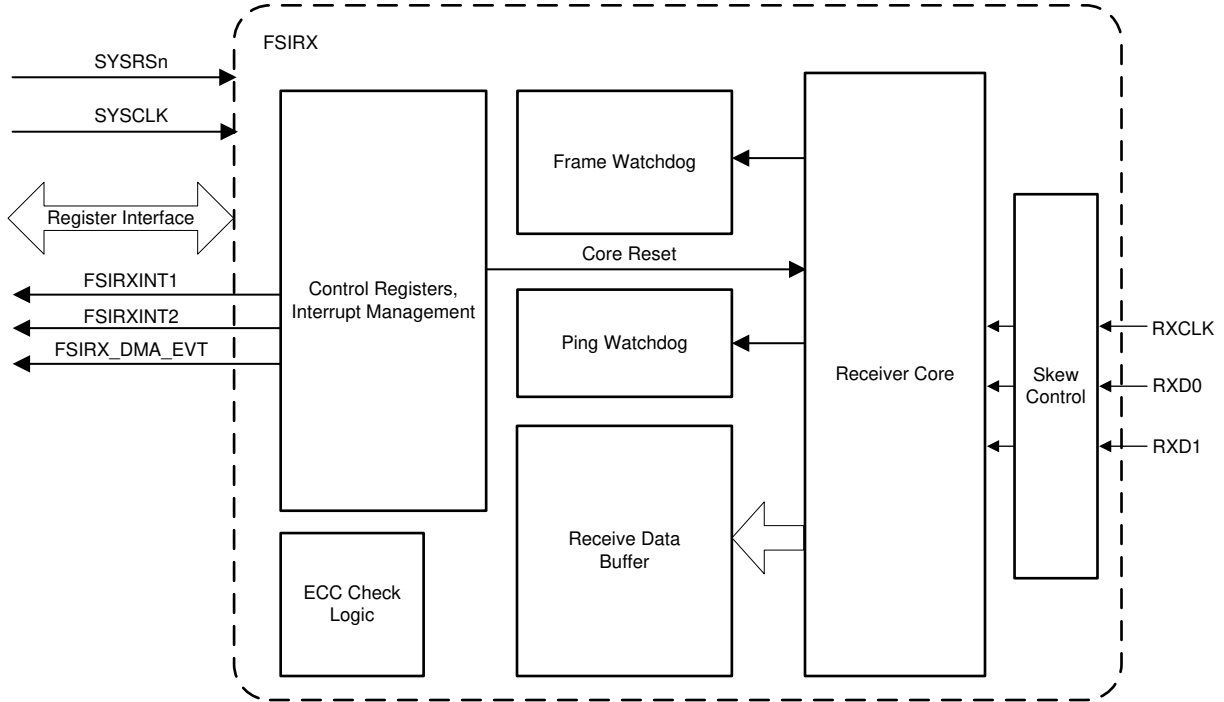


図 7-70. FSIRX のブロック図

7.13.2.2.1 FSIRX の電気的データおよびタイミング

セクション 7.13.2.2.1.1 に、FSIRX のタイミング要件を示します。セクション 7.13.2.2.1.2 に、FSIRX の電気的特性を示します。図 7-71 に、FSIRX のタイミングを示します。

7.13.2.2.1.1 FSIRX のタイミング要件

番号			最小値	最大値	単位
1	$t_c(\text{RXCLK})$	サイクル時間、RXCLK	20		ns
2	$t_w(\text{RXCLK})$	パルス幅、RXCLK LOW または RXCLK HIGH	$(0.5t_c(\text{RXCLK}) - 1)$	$(0.5t_c(\text{RXCLK}) + 1)$	ns
3	$t_{su}(\text{RXCLK-RXD})$	RXCLK を基準とするセットアップ時間 (クロックの両方のエッジに適用)	3		ns
4	$t_h(\text{RXCLK-RXD})$	RXCLK を基準とするホールド時間 (クロックの両方のエッジに適用)	2.5		ns

7.13.2.2.1.2 FSIRX のスイッチング特性

番号	パラメータ		最小値	最大値	単位
1	$t_d(\text{RXCLK})$	RX_DLYLINE_CTRL[RXCLK_DLY] = 31 での RXCLK 遅延補償	10	30	ns
2	$t_d(\text{RXD0})$	RX_DLYLINE_CTRL[RXD0_DLY] = 31 での RXD0 遅延補償	10	30	ns
3	$t_d(\text{RXD1})$	RX_DLYLINE_CTRL[RXD1_DLY] = 31 での RXD1 遅延補償	10	30	ns
4	$t_d(\text{DELAY_ELEMENT})$	RXCLK、RXD0、RXD1 の各デレイ・ライン素子の増分遅延	0.3	1	ns

7.13.2.2.1.3 FSIRX のタイミング図

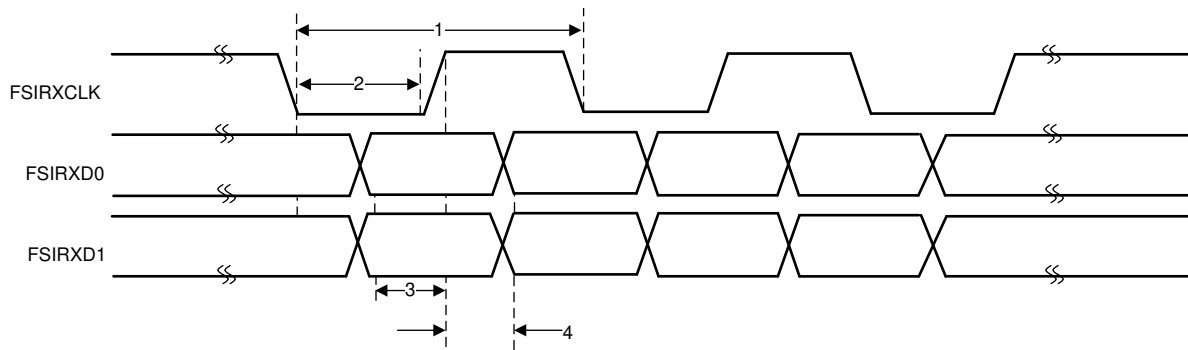


図 7-71. FSIRX タイミング

7.13.2.3 SPI 信号モード

FSI は SPI 信号モードをサポートしており、プログラマブル SPI デバイスとの通信が可能です。このモードでは、FSI は単一クロック構成モードで、SPI と同じ方法でデータを送信します。FSI はこのモードで SPI と物理的にインターフェイスできますが、正常に通信を行うには、外部デバイスが FSI フレームをエンコードおよびデコードする必要があります。これは、FSI がプリアンブルとポストアンブルを除くすべての SPI フレーム・フェーズを送信するためです。FSI は、標準 FSI モードと同じようにデータ検証とフレーム・チェックを実行できるため、CPU サイクルを消費せずに、より堅牢な通信を実現できます。外部 SPI は、すべての関連情報を送信する必要があります。また、FSIRX の ping フレーム・ウォッチドッグ、フレーム・タグ、カスタム CRC 値などの標準 FSI 機能にアクセスできます。SPI 信号モードの機能のリストを以下に示します。

- データは、クロックの立ち上がりエッジで送信され、立ち下がりエッジで受信されます。
- 16 ビットのワード・サイズのみがサポートされています。
- TXD1 は、アクティブ LOW のチップセレクト信号のように駆動されます。この信号は、フレーム全体の送信中は LOW になります。
- レシーバ・チップセレクト入力は不要です。RXD1 は使用しません。データは、すべてのアクティブ・クロック・エッジでレシーバにシフト・インされます。
- プリアンブルまたはポストアンブル・クロックは送信されません。すべての信号は、フレーム・フェーズが完了した後、アイドル状態に戻ります。
- FSI TXCLK には外部クロック・ソースを使用できないため、SPI スレーブ構成で送信することはできません。

7.13.2.3.1 FSITX SPI 信号モードの電気的データおよびタイミング

セクション 7.13.2.3.1.1 に、FSITX SPI 信号モードのスイッチング特性を示します。図 7-72 に、FSITX SPI 信号モードのタイミングを示します。SPI 信号モードの FSIRX では、特別なタイミングは必要ありません。セクション 7.13.2.2.1.1 に示す FSIRX タイミングは、SPI 信号モードに適用できます。立ち下がりエッジが SPI 信号モードのアクティブ・エッジなので、セットアップ時間とホールド時間は、FSIRXCLK の立ち下がりエッジでのみ有効です。

7.13.2.3.1.1 FSITX SPI 信号モードのスイッチング特性

自由気流での動作温度範囲内 (特に記述のない限り)

番号	パラメータ	最小値	最大値	単位
1	$t_c(\text{TXCLK})$	20		ns
2	$t_w(\text{TXCLK})$	$(0.5t_c(\text{TXCLK})) - 1$	$(0.5t_c(\text{TXCLK})) + 1$	ns
3	$t_d(\text{TXCLKH-TXD0})$		3	ns
4	$t_d(\text{TXD1-TXCLK})$	$t_w(\text{TXCLK}) - 3$		ns
5	$t_d(\text{TXCLK-TXD1})$	$t_w(\text{TXCLK}) - 2$		ns

7.13.2.3.1.2 FSITX SPI 信号モードのタイミング

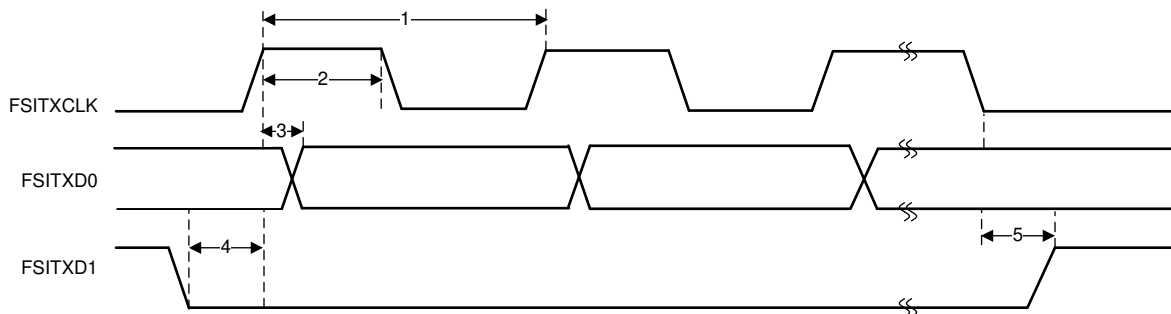


図 7-72. FSITX SPI 信号モードのタイミング

7.13.3 I2C (Inter-Integrated Circuit)

I2C モジュールの主な機能は次のとおりです。

- NXP™ Semiconductors の I2C バス規格 (バージョン 2.1) に準拠:
 - 8 ビット形式の転送をサポート
 - 7 ビットおよび 10 ビットのアドレッシング・モード
 - ゼネラル・コール
 - START バイト・モード
 - 複数のマスタ・トランスミッタとスレーブ・レシーバをサポート
 - 複数のスレーブ・トランスミッタとマスタ・レシーバをサポート
 - マスタ送信 / 受信、受信 / 送信の組み合わせモード
 - 10kbps～最大 400kbps (ファスト・モード) のデータ転送レートをサポート
- 受信 FIFO およびトランスミッタ FIFO (深さ 16 x 8 ビット FIFO)
- 2 つの ePIE 割り込みをサポート:
 - I2Cx 割り込み – 以下のいずれかのイベントで、I2Cx 割り込みを生成するように構成できます。
 - 送信データ・レディ
 - 受信データ・レディ
 - レジスタ・アクセス・レディ
 - アクノリッジ受信なし
 - アービトレーション・ロスト
 - ストップ条件検出
 - スレーブとしてアドレス指定
 - I2Cx_FIFO 割り込み:
 - 送信 FIFO 割り込み
 - 受信 FIFO 割り込み
- モジュールのイネーブル / ディセーブル機能
- フリー・データ・フォーマット・モード

I2C ブロック図を [図 7-73](#) に示します。

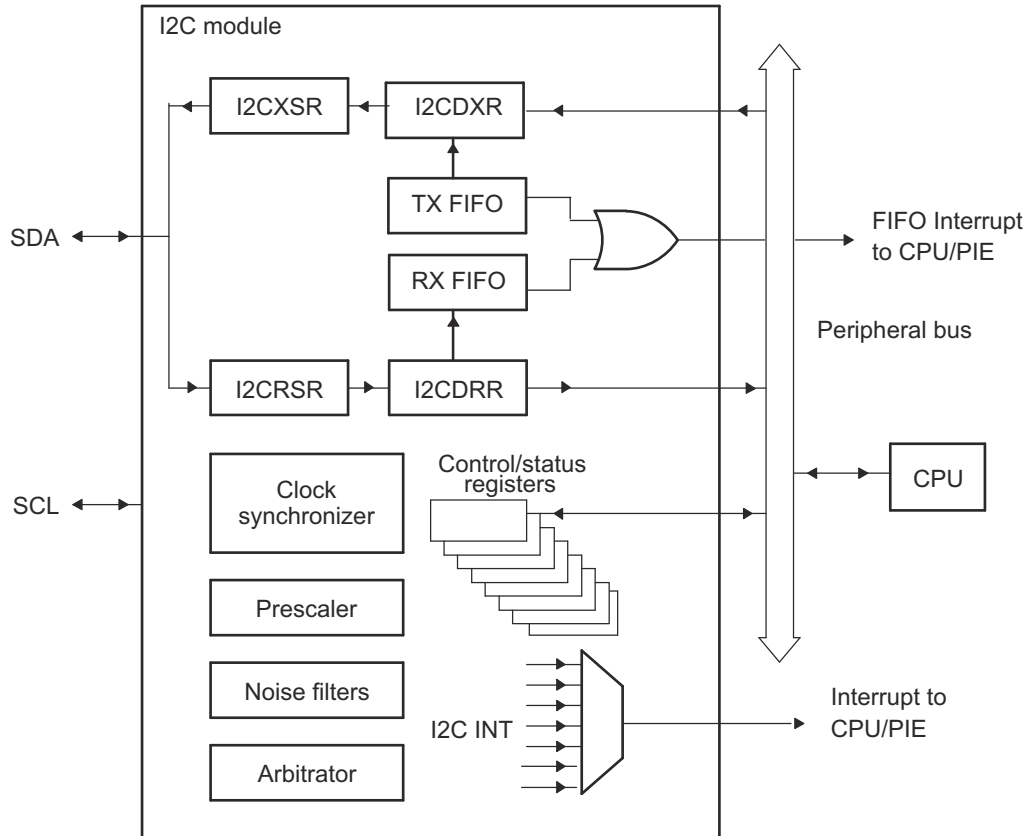


図 7-73. I2C モジュールの概念ブロック図

7.13.3.1 I2C の電氣的データおよびタイミング

セクション 7.13.3.1.1 に、I2C のタイミング要件を示します。セクション 7.13.3.1.2 に、I2C のスイッチング特性を示します。図 7-74 に、I2C のタイミング図を示します。

注

すべての I2C プロトコルのタイミング仕様を満たすには、I2C モジュールのクロック (FMod) を 7MHz～12MHz の範囲で構成する必要があります。

7.13.3.1.1 I2C のタイミング要件

番号			最小値	最大値	単位
標準モード					
T0	f_{mod}	I2C モジュールの周波数	7	12	MHz
T1	$t_{h(SDA-SCL)START}$	ホールド時間、スタート条件、SDA 立ち下がりから SCL 立ち下がりまでの遅延	4.0		μs
T2	$t_{su(SCL-SDA)START}$	セットアップ時間、再スタート、SCL 立ち上がりから SDA 立ち下がりまでの遅延	4.7		μs
T3	$t_{h(SCL-DAT)}$	ホールド時間、SCL 立ち下がりからデータ有効の間	0		μs
T4	$t_{su(DAT-SCL)}$	セットアップ時間、データから SCL 立ち上がりまで	250		ns
T5	$t_r(SDA)$	立ち上がり時間、SDA		1000	ns
T6	$t_r(SCL)$	立ち上がり時間、SCL		1000	ns
T7	$t_f(SDA)$	立ち下がり時間、SDA		300	ns
T8	$t_f(SCL)$	立ち下がり時間、SCL		300	ns
T9	$t_{su(SCL-SDA)STOP}$	セットアップ時間、ストップ条件、SCL 立ち上がりから SDA 立ち上がりまでの遅延	4.0		μs
T10	$t_w(SP)$	フィルタによって抑制されるスパイクのパルス幅	0	50	ns
T11	C_b	各バス・ラインの容量性負荷		400	pF
高速モード					
T0	f_{mod}	I2C モジュールの周波数	7	12	MHz
T1	$t_{h(SDA-SCL)START}$	ホールド時間、スタート条件、SDA 立ち下がりから SCL 立ち下がりまでの遅延	0.6		μs
T2	$t_{su(SCL-SDA)START}$	セットアップ時間、再スタート、SCL 立ち上がりから SDA 立ち下がりまでの遅延	0.6		μs
T3	$t_{h(SCL-DAT)}$	ホールド時間、SCL 立ち下がりからデータ有効の間	0		μs
T4	$t_{su(DAT-SCL)}$	セットアップ時間、データから SCL 立ち上がりまで	100		ns
T5	$t_r(SDA)$	立ち上がり時間、SDA	20	300	ns
T6	$t_r(SCL)$	立ち上がり時間、SCL	20	300	ns
T7	$t_f(SDA)$	立ち下がり時間、SDA	11.4	300	ns
T8	$t_f(SCL)$	立ち下がり時間、SCL	11.4	300	ns
T9	$t_{su(SCL-SDA)STOP}$	セットアップ時間、ストップ条件、SCL 立ち上がりから SDA 立ち上がりまでの遅延	0.6		μs
T10	$t_w(SP)$	フィルタによって抑制されるスパイクのパルス幅	0	50	ns
T11	C_b	各バス・ラインの容量性負荷		400	pF

7.13.3.1.2 I2C のスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

番号	パラメータ		テスト条件	最小値	最大値	単位
標準モード						
S1	f_{SCL}	SCL クロック周波数		0	100	kHz
S2	T_{SCL}	SCL クロック周期		10		μs
S3	$t_{w(SCLL)}$	パルス幅、SCL クロック Low		4.7		μs
S4	$t_{w(SCLH)}$	パルス幅、SCL クロック High		4.0		μs
S5	t_{BUF}	STOP 条件と START 条件間のバス開放時間		4.7		μs
S6	$t_{v(SCL-DAT)}$	有効時間、SCL 立ち下がり後のデータ			3.45	μs
S7	$t_{v(SCL-ACK)}$	有効時間、SCL 立ち下がりからアクリッジまで			3.45	μs
S8	I_I	ピンの入力電流	$0.1V_{bus} < V_i < 0.9V_{bus}$	-10	10	μA
高速モード						
S1	f_{SCL}	SCL クロック周波数		0	400	kHz
S2	T_{SCL}	SCL クロック周期		2.5		μs
S3	$t_{w(SCLL)}$	パルス幅、SCL クロック Low		1.3		μs
S4	$t_{w(SCLH)}$	パルス幅、SCL クロック High		0.6		μs
S5	t_{BUF}	STOP 条件と START 条件間のバス開放時間		1.3		μs
S6	$t_{v(SCL-DAT)}$	有効時間、SCL 立ち下がり後のデータ			0.9	μs
S7	$t_{v(SCL-ACK)}$	有効時間、SCL 立ち下がりからアクリッジまで			0.9	μs
S8	I_I	ピンの入力電流	$0.1V_{bus} < V_i < 0.9V_{bus}$	-10	10	μA

7.13.3.1.3 I2C のタイミング図

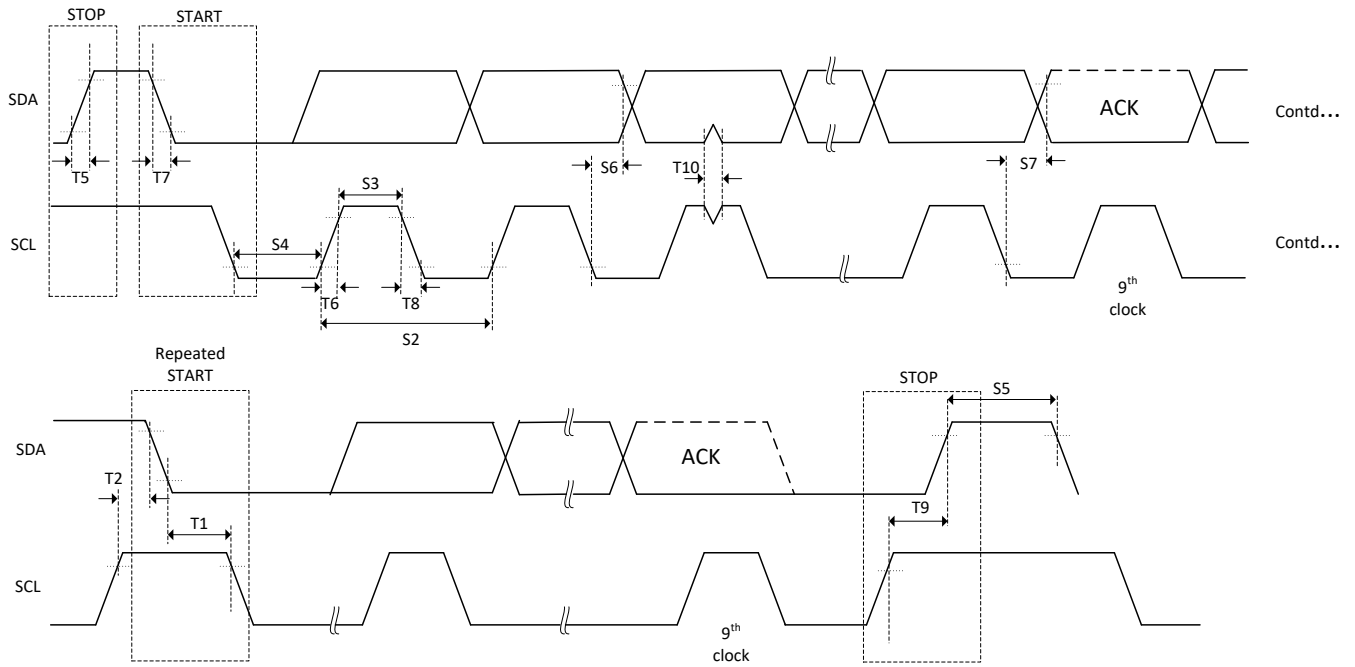


図 7-74. I2C のタイミング図

7.13.4 マルチチャネル・バッファ付きシリアル・ポート (McBSP)

McBSP の主な特長は次のとおりです。

- 全二重通信
- 連続的なデータ・ストリームを可能にする送信ダブル・バッファと受信トリプル・バッファ
- 受信および送信用に独立したクロックとフレーム
- CPU に割り込みを送信し、DMA コントローラに DMA イベントを送信する機能
- 送信および受信用の 128 チャンネル
- 各チャンネルでブロック転送をイネーブルまたはディセーブルにするマルチチャネル選択モード
- 業界標準のコーデック、アナログ・インターフェイス・チップ (AIC)、シリアル接続された A/D および D/A デバイスへの直接インターフェイス
- クロック信号とフレーム同期信号の外部生成をサポート
- クロック信号とフレーム同期信号の内部生成と制御のためのプログラム可能なサンプル・レート・ジェネレータ
- フレーム同期パルスとクロック信号の極性をプログラム可能
- 以下の項目へのインターフェイス:
 - T1/E1 フレーム
 - IOM-2 準拠デバイス
 - AC97 準拠デバイス (必要なマルチフェーズ・フレーム機能が提供される)
 - I2S 準拠デバイス
 - SPI デバイス
- 幅広いデータ・サイズの実装: 8、12、16、20、24、32 ビット

注

選択されたデータ・サイズの値は、McBSP ドキュメント全体を通して「シリアル・ワード」または「ワード」と呼ばれます。他の場所では、「ワード」は 16 ビットの値を表すために使用されます。

-
- μ -law および A-law のコンパanding
 - LSB ファーストで 8 ビット・データを送受信するオプション
 - 例外 / エラー状態にフラグを立てるためのステータス・ビット
 - ABIS モードはサポートされない

図 7-75 に、McBSP モジュールのブロック図を示します。

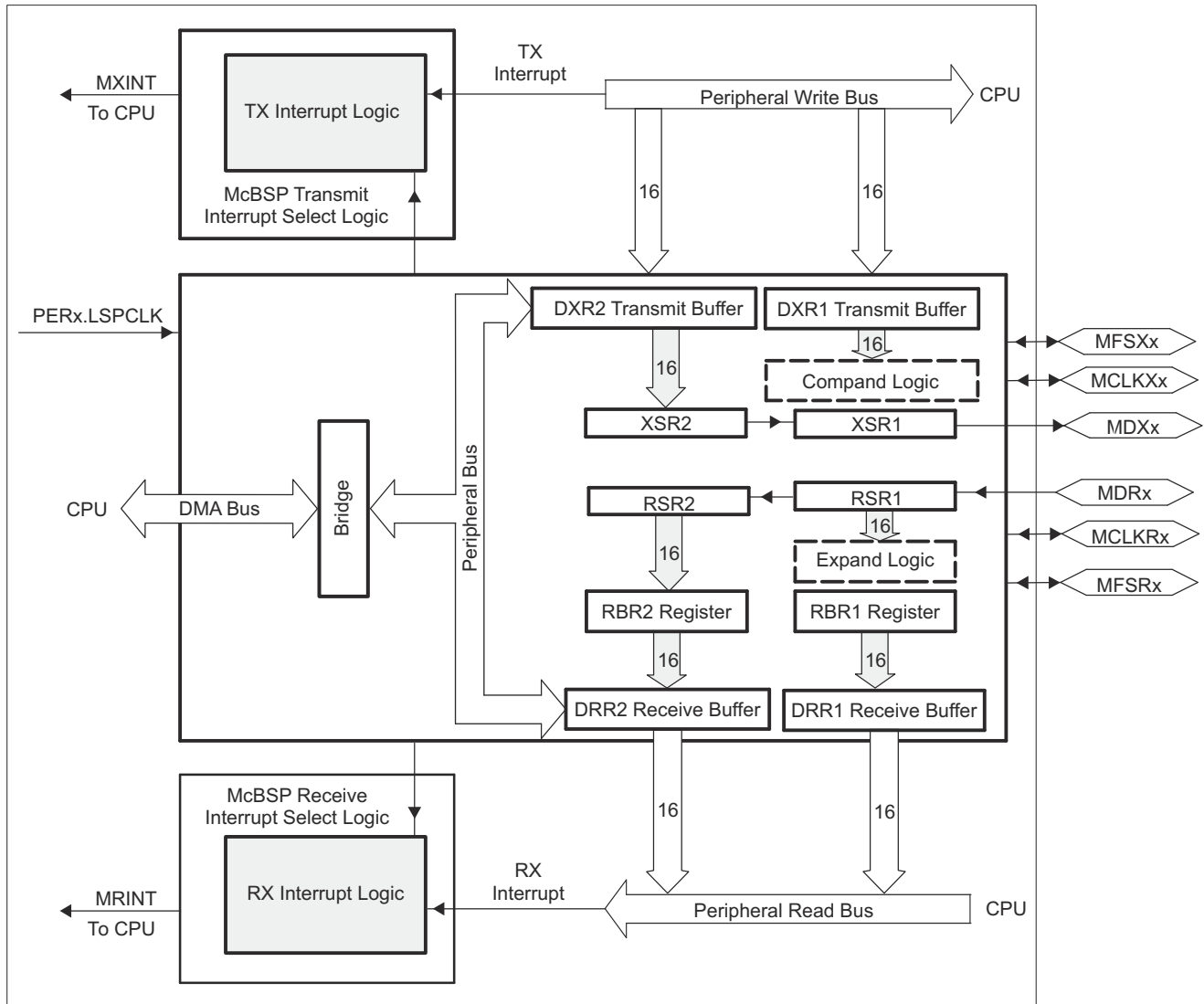


図 7-75. McBSP のブロック図

7.13.4.1 McBSP の電氣的データおよびタイミング

7.13.4.1.1 McBSP の送信および受信タイミング

セクション 7.13.4.1.1.1 に、McBSP のタイミング要件を示します。

- 極性ビット CLKRP = CLKXP = FSRP = FSXP = 0。いずれかの信号の極性が反転した場合、その信号のタイミング基準も反転します。
- $2P = 1/CLKG$ (ns 単位)。CLKG は、サンプル・レート・ジェネレータ MUX の出力です。CLKG = CLKSrg / (1 + CLKGDV)。CLKSRG は、LSPCLK、CLKX、CLKR をソースにすることができます。CLKSRG ≤ (SYSCLK/2)。

セクション 7.13.4.1.1.2 に、McBSP のスイッチング特性を示します。

- 極性ビット CLKRP = CLKXP = FSRP = FSXP = 0。いずれかの信号の極性が反転した場合、その信号のタイミング基準も反転します。
- $2P = 1/CLKG$ (ns 単位)。

図 7-76 と 図 7-77 に、McBSP のタイミング図を示します。

7.13.4.1.1.1 McBSP のタイミング要件

番号				最小値	最大値	単位
		McBSP モジュールのクロック (CLKG、CLKX、CLKR) 範囲		1		kHz
					25	MHz
		McBSP モジュールのサイクル時間 (CLKG、CLKX、CLKR) の範囲		40		ns
					1	ms
M11	$t_{c(CKRX)}$	サイクル時間、CLKR/X	CLKR/X 外部	2P		ns
M12	$t_{w(CKRX)}$	パルス幅、CLKR/X HIGH または CLKR/X LOW	CLKR/X 外部	P - 7		ns
M13	$t_{r(CKRX)}$	立ち上がり時間、CLKR/X	CLKR/X 外部		7	ns
M14	$t_{f(CKRX)}$	立ち下がり時間、CLKR/X	CLKR/X 外部		7	ns
M15	$t_{su(FRH-CKRL)}$	セットアップ時間、外部 FSR HIGH から CLKR LOW まで	CLKR 内部	21		ns
			CLKR 外部	2		
M16	$t_{h(CKRL-FRH)}$	ホールド時間、CLKR LOW から外部 FSR HIGH の間	CLKR 内部	0		ns
			CLKR 外部	6		
M17	$t_{su(DRV-CKRL)}$	セットアップ時間、DR 有効から CLKR LOW まで	CLKR 内部	21		ns
			CLKR 外部	5		
M18	$t_{h(CKRL-DRV)}$	ホールド時間、CLKR LOW から DR 有効の間	CLKR 内部	0		ns
			CLKR 外部	3		
M19	$t_{su(FXH-CKXL)}$	セットアップ時間、外部 FSX HIGH から CLKX LOW まで	CLKX 内部	21		ns
			CLKX 外部	2		
M20	$t_{h(CKXL-FXH)}$	ホールド時間、CLKX LOW から外部 FSX HIGH の間	CLKX 内部	0		ns
			CLKX 外部	6		

7.13.4.1.1.2 McBSP のスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

番号	パラメータ		最小値	最大値	単位		
M1	$t_{c(CKRX)}$	サイクル時間、CLKR/X	CLKR/X 内部	2P	ns		
M2	$t_{w(CKRXH)}$	パルス幅、CLKR/X HIGH	CLKR/X 内部	D - 5 (1)	D + 5 (1)	ns	
M3	$t_{w(CKRXL)}$	パルス幅、CLKR/X LOW	CLKR/X 内部	C - 5 (1)	C + 5 (1)	ns	
M4	$t_{d(CKRH-FRV)}$	遅延時間、CLKR HIGH から内部 FSR 有効まで	CLKR 内部	-3	4	ns	
			CLKR 外部	3	27		
M5	$t_{d(CKXH-FXV)}$	遅延時間、CLKX HIGH から内部 FSX 有効まで	CLKX 内部	-3	4	ns	
			CLKX 外部	3	27		
M6	$t_{dis(CKXH-DXHZ)}$	ディセーブル時間、CLKX HIGH から最後のデータ・ビットに続く DX ハイ・インピーダンスまで	CLKX 内部	-8	8	ns	
			CLKX 外部	4	25		
M7	$t_{d(CKXH-DXV)}$	遅延時間、CLKX HIGH から DX 有効まで。 これは、最初に送信されたビットを除くすべてのビットに適用されます。	CLKX 内部	-3	5	ns	
			CLKX 外部	7	25		
		遅延時間、CLKX HIGH から DX 有効まで	DXENA = 0	CLKX 内部	-3		5
			CLKX 外部	7	25		
データ遅延 1 または 2 (XDATDLY = 01b または 10b) モードで送信される最初のビットにのみ適用されます	DXENA = 1	CLKX 内部	P - 3	P + 5			
	CLKX 外部	P + 7	P + 25				
M8	$t_{en(CKXH-DX)}$	イネーブル時間、CLKX HIGH から DX 駆動まで	DXENA = 0	CLKX 内部	-8	ns	
			CLKX 外部	5			
		データ遅延 1 または 2 (XDATDLY = 01b または 10b) モードで送信される最初のビットにのみ適用されます	DXENA = 1	CLKX 内部	P - 8		
			CLKX 外部	P + 5			
M9	$t_{d(FXH-DXV)}$	遅延時間、FSX HIGH から DX 有効まで	DXENA = 0	FSX 内部	8	ns	
			FSX 外部	18.5			
		データ遅延 0 (XDATDLY = 00b) モードで送信される最初のビットにのみ適用されます。	DXENA = 1	FSX 内部	P + 8		
			FSX 外部	P + 18.5			
M10	$t_{en(FXH-DX)}$	イネーブル時間、FSX HIGH から DX 駆動まで	DXENA = 0	FSX 内部	-2	ns	
			FSX 外部	6			
		データ遅延 0 (XDATDLY = 00b) モードで送信される最初のビットにのみ適用されます。	DXENA = 1	FSX 内部	P - 2		
			FSX 外部	P + 6			

- (1) C = CLKRX LOW パルス幅=P
D = CLKRX HIGH パルス幅=P

7.13.4.1.1.3 McBSP 受信および送信タイミング図

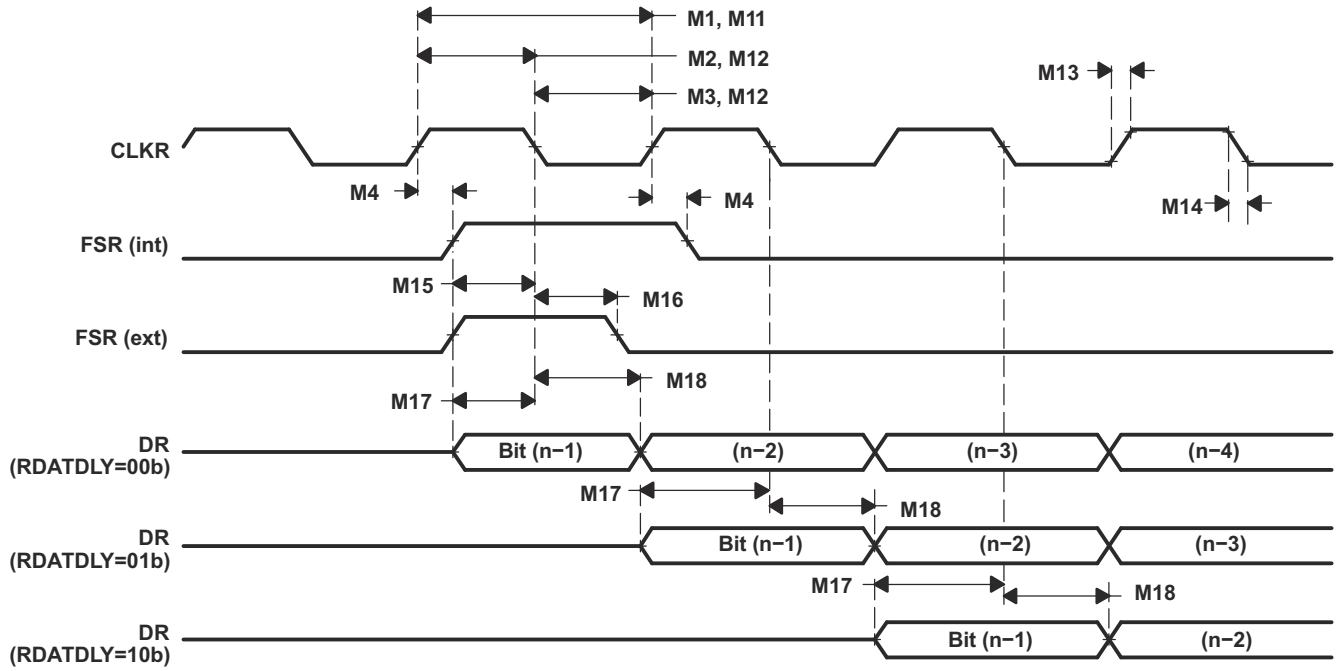


図 7-76. McBSP 受信タイミング

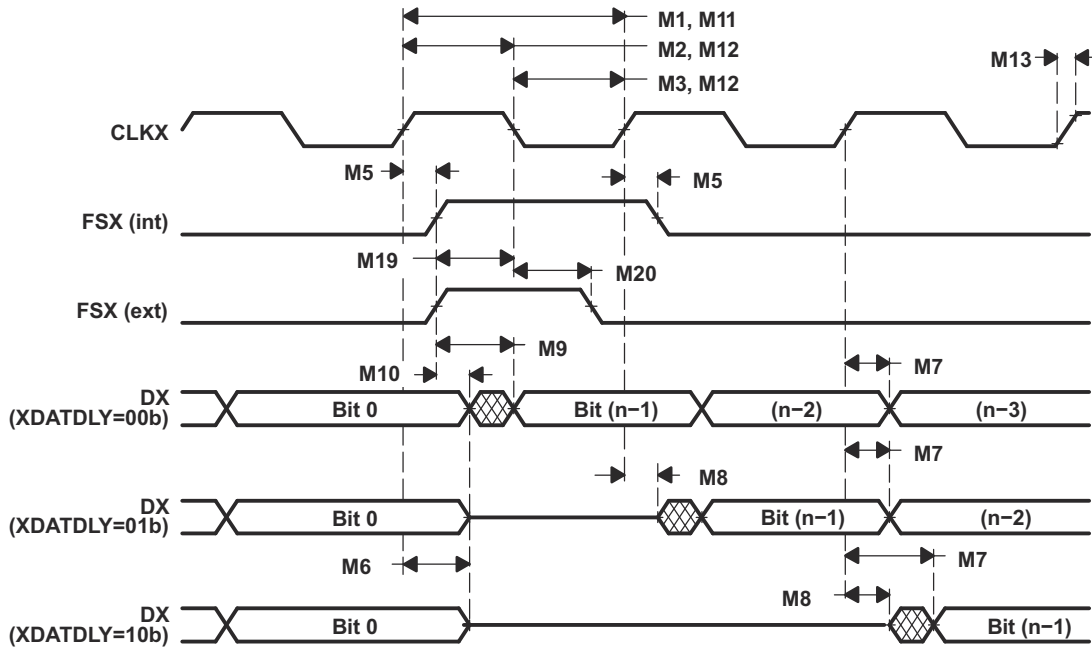


図 7-77. McBSP 送信タイミング

7.13.4.1.2 SPI マスタまたはスレーブとしての McBSP タイミング

セクション 7.13.4.1.2.1 に、SPI マスタとしての McBSP タイミング要件を示します。セクション 7.13.4.1.2.2 に、SPI マスタとしての McBSP スイッチング特性を示します。セクション 7.13.4.1.2.3 に、SPI スレーブとしての McBSP タイミング要件を示します。セクション 7.13.4.1.2.4 に、SPI スレーブとしての McBSP スイッチング特性を示します。

図 7-78～図 7-81 に、SPI マスタまたはスレーブとしての McBSP タイミング図を示します。

7.13.4.1.2.1 SPI マスタとしての McBSP タイミング要件

番号			最小値	最大値	単位
クロック					
	$t_c(\text{CLKG})$	サイクル時間、CLKG ⁽¹⁾	$2 * t_c(\text{LSPCLK})$		ns
	P	サイクル時間、LSPCLK ⁽¹⁾	$t_c(\text{LSPCLK})$		ns
M33、 M42、 M52、 M61	$t_c(\text{CKX})$	サイクル時間、CLKX	2P		ns
CLKSTP = 10b, CLKXP = 0					
M30	$t_{su}(\text{DRV-CKXL})$	セットアップ時間、DR 有効から CLKX LOW まで	30		ns
M31	$t_h(\text{CKXL-DRV})$	ホールド時間、CLKX LOW から DR 有効の間	1		ns
CLKSTP = 11b, CLKXP = 0					
M39	$t_{su}(\text{DRV-CKXH})$	セットアップ時間、DR 有効から CLKX HIGH まで	30		ns
M40	$t_h(\text{CKXH-DRV})$	ホールド時間、CLKX HIGH から DR 有効の間	1		ns
CLKSTP = 10b, CLKXP = 1					
M49	$t_{su}(\text{DRV-CKXH})$	セットアップ時間、DR 有効から CLKX HIGH まで	30		ns
M50	$t_h(\text{CKXH-DRV})$	ホールド時間、CLKX HIGH から DR 有効の間	1		ns
CLKSTP = 11b, CLKXP = 1					
M58	$t_{su}(\text{DRV-CKXL})$	セットアップ時間、DR 有効から CLKX LOW まで	30		ns
M59	$t_h(\text{CKXL-DRV})$	ホールド時間、CLKX LOW から DR 有効の間	1		ns

(1) CLKG は、CLKSM = 1 および CLKGDV = 1 に設定することにより、LSPCLK/2 に構成する必要があります

7.13.4.1.2.2 SPI マスタとしての McBSP スイッチング特性

自由気流での動作温度範囲内 (特に記述のない限り)

番号	パラメータ		最小値	代表値	最大値	単位
クロック						
M33	$t_c(\text{CLKG})$	サイクル時間、CLKG ⁽¹⁾ ($n * t_c(\text{LSPCLK})$)	40			ns
	P	CLKG 半周期、 $0.5 * t_c(\text{CLKG})$	20			ns
	n	LSPCLK から CLKG への分周器	2			ns
CLKSTP = 10b, CLKXP = 0						
M24	$t_h(\text{CKXL-FXL})$	ホールド時間、CLKX LOW から FSX HIGH まで	2P - 4			ns
M25	$t_d(\text{FXL-CKXH})$	遅延時間、FSX LOW から CLKX HIGH まで	P - 4			ns
M26	$t_d(\text{CLKXH-DXV})$	遅延時間、CLKX HIGH から DX 有効まで	-3		5	ns
M28	$t_{dis}(\text{FXH-DXHZ})$	ディセーブル時間、CLKX LOW から最後のデータ・ビットに続く DX ハイ・インピーダンスまで	P - 8			ns
M29	$t_d(\text{FXL-DXV})$	遅延時間、FSX LOW から DX 有効まで	P - 3		P + 6	ns
CLKSTP = 11b, CLKXP = 0						
M34	$t_h(\text{CKXL-FXH})$	ホールド時間、CLKX LOW から FSX HIGH まで	P - 4			ns
M35	$t_d(\text{FXL-CKXH})$	遅延時間、FSX LOW から CLKX HIGH まで	2P - 4			ns
M36	$t_d(\text{CLKXL-DXV})$	遅延時間、CLKX LOW から DX 有効まで	-3		5	ns
M37	$t_{dis}(\text{CKXL-DXHZ})$	ディセーブル時間、CLKX LOW から最後のデータ・ビットに続く DX ハイ・インピーダンスまで	P - 8			ns
M38	$t_d(\text{FXL-DXV})$	遅延時間、FSX LOW から DX 有効まで	-3		5	ns
CLKSTP = 10b, CLKXP = 1						
M43	$t_h(\text{CKXH-FXH})$	ホールド時間、CLKX HIGH から FSX HIGH まで	2P - 4			ns
M44	$t_d(\text{FXL-CKXL})$	遅延時間、FSX LOW から CLKX LOW まで	P - 4			ns
M45	$t_d(\text{CLKXL-DXV})$	遅延時間、CLKX LOW から DX 有効まで	-3		5	ns
M47	$t_{dis}(\text{CKXH-DXHZ})$	ディセーブル時間、CLKX HIGH から最後のデータ・ビットに続く DX ハイ・インピーダンスまで	P - 8			ns
M48	$t_d(\text{FXL-DXV})$	遅延時間、FSX LOW から DX 有効まで	-3		5	ns
CLKSTP = 11b, CLKXP = 1						
M53	$t_h(\text{CKXH-FXH})$	ホールド時間、CLKX HIGH から FSX HIGH まで	P - 4			ns
M54	$t_d(\text{FXL-CKXL})$	遅延時間、FSX LOW から CLKX LOW まで	2P - 4			ns
M55	$t_d(\text{CLKXH-DXV})$	遅延時間、CLKX HIGH から DX 有効まで	-3		5	ns
M56	$t_{dis}(\text{CKXH-DXHZ})$	ディセーブル時間、CLKX HIGH から最後のデータ・ビットに続く DX ハイ・インピーダンスまで	P - 8			ns
M57	$t_d(\text{FXL-DXV})$	遅延時間、FSX LOW から DX 有効まで	-3		5	ns

(1) CLKG は、CLKSM = 1 および CLKGDV = 1 に設定することにより、LSPCLK/2 に構成する必要があります。

7.13.4.1.2.3 SPI スレーブとしての McBSP タイミング要件

番号			最小値	最大値	単位
クロック					
	$t_c(\text{CLKG})$	サイクル時間、CLKG ⁽¹⁾	$2 * t_c(\text{LSPCLK})$		ns
	P	サイクル時間、LSPCLK ⁽¹⁾	$t_c(\text{LSPCLK})$		ns
M33、 M42、 M52、 M61	$t_c(\text{CKX})$	サイクル時間、CLKX ⁽²⁾	16P		ns
CLKSTP = 10b, CLKXP = 0					
M30	$t_{su}(\text{DRV-CKXL})$	セットアップ時間、DR 有効から CLKX LOW まで	8P - 10		ns
M31	$t_h(\text{CKXL-DRV})$	ホールド時間、CLKX LOW から DR 有効の間	8P - 10		ns
M32	$t_{su}(\text{BFXL-CKXH})$	セットアップ時間、FSX LOW から CLKX HIGH まで	8P+10		ns
CLKSTP = 11b, CLKXP = 0					
M39	$t_{su}(\text{DRV-CKXH})$	セットアップ時間、DR 有効から CLKX HIGH まで	8P - 10		ns
M40	$t_h(\text{CKXH-DRV})$	ホールド時間、CLKX HIGH から DR 有効の間	8P - 10		ns
M41	$t_{su}(\text{FXL-CKXH})$	セットアップ時間、FSX LOW から CLKX HIGH まで	16P+10		ns
CLKSTP = 10b, CLKXP = 1					
M49	$t_{su}(\text{DRV-CKXH})$	セットアップ時間、DR 有効から CLKX HIGH まで	8P - 10		ns
M50	$t_h(\text{CKXH-DRV})$	ホールド時間、CLKX HIGH から DR 有効の間	8P - 10		ns
M51	$t_{su}(\text{FXL-CKXL})$	セットアップ時間、FSX LOW から CLKX LOW まで	8P+10		ns
CLKSTP = 11b, CLKXP = 1					
M58	$t_{su}(\text{DRV-CKXL})$	セットアップ時間、DR 有効から CLKX LOW まで	8P - 10		ns
M59	$t_h(\text{CKXL-DRV})$	ホールド時間、CLKX LOW から DR 有効の間	8P - 10		ns
M60	$t_{su}(\text{FXL-CKXL})$	セットアップ時間、FSX LOW から CLKX LOW まで	16P+10		ns

- (1) CLKG は、CLKSM = 1 および CLKGDV = 1 に設定することにより、LSPCLK/2 に構成する必要があります
(2) SPI スレーブ・モードの場合、CLKX は最小 8 CLKG サイクルにする必要があります

7.13.4.1.2.4 SPI スレーブとしての McBSP スイッチング特性

自由気流での動作温度範囲内 (特に記述のない限り)

番号	パラメータ	最小値	代表値	最大値	単位	
クロック						
	2P	サイクル時間, CLKG			ns	
CLKSTP = 10b, CLKXP = 0						
M26	$t_d(\text{CLKXH-DXV})$	遅延時間, CLKX HIGH から DX 有効まで		3P+6	5P+20	ns
M28	$t_{\text{dis}}(\text{CKXL-DXHZ})$	ディセーブル時間, CLKX LOW から最後のデータ・ビットに続く DX ハイ・インピーダンスまで		6P+6		ns
M29	$t_d(\text{FXL-DXV})$	遅延時間, FSX LOW から DX 有効まで		4P + 6		ns
CLKSTP = 11b, CLKXP = 0						
M36	$t_d(\text{CLKXL-DXV})$	遅延時間, CLKX LOW から DX 有効まで		3P+6	5P+20	ns
M37	$t_{\text{dis}}(\text{CKXL-DXHZ})$	ディセーブル時間, CLKX LOW から最後のデータ・ビットに続く DX ハイ・インピーダンスまで		7P+6		ns
M38	$t_d(\text{FXL-DXV})$	遅延時間, FSX LOW から DX 有効まで		4P + 6		ns
CLKSTP = 10b, CLKXP = 1						
M45	$t_d(\text{CLKXL-DXV})$	遅延時間, CLKX LOW から DX 有効まで		3P+6	5P+20	ns
M47	$t_{\text{dis}}(\text{CLKXH-DXHZ})$	ディセーブル時間, CLKX HIGH から最後のデータ・ビットに続く DX ハイ・インピーダンスまで		6P+6		ns
M48	$t_d(\text{FXL-DXV})$	遅延時間, FSX LOW から DX 有効まで		4P + 6		ns
CLKSTP = 11b, CLKXP = 1						
M55	$t_d(\text{CLKXH-DXV})$	遅延時間, CLKX HIGH から DX 有効まで		3P+6	5P + 20	ns
M56	$t_{\text{dis}}(\text{CKXH-DXHZ})$	ディセーブル時間, CLKX HIGH から最後のデータ・ビットに続く DX ハイ・インピーダンスまで		7P + 6		ns
M57	$t_d(\text{FXL-DXV})$	遅延時間, FSX LOW から DX 有効まで		4P + 6		ns

7.13.4.1.2.5 SPI マスタまたはスレーブとしての McBSP タイミング図

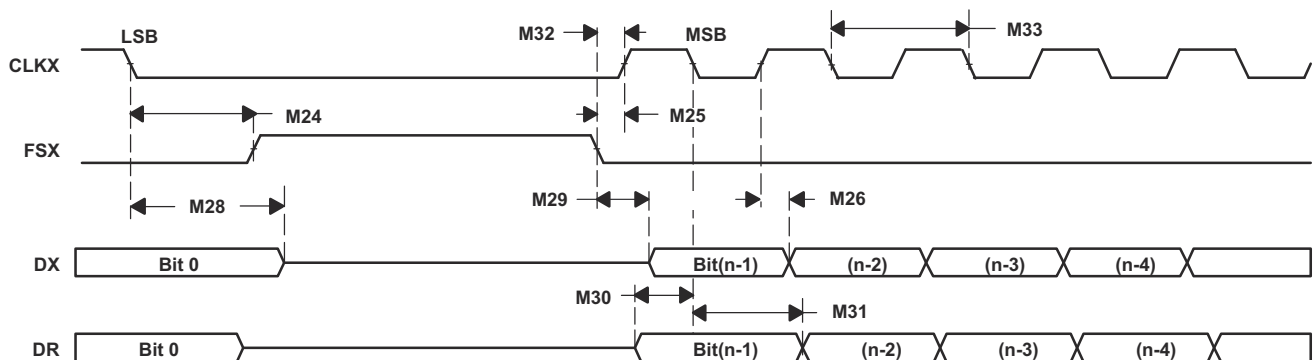


図 7-78. SPI マスタまたはスレーブとしての McBSP : CLKSTP = 10b、CLKXP = 0

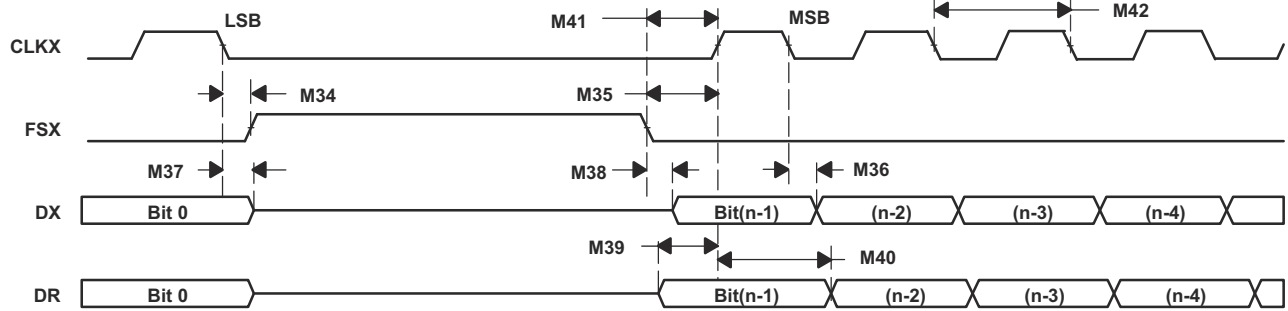


図 7-79. SPI マスタまたはスレーブとしての McBSP : $CLKSTP = 11b$, $CLKXP = 0$

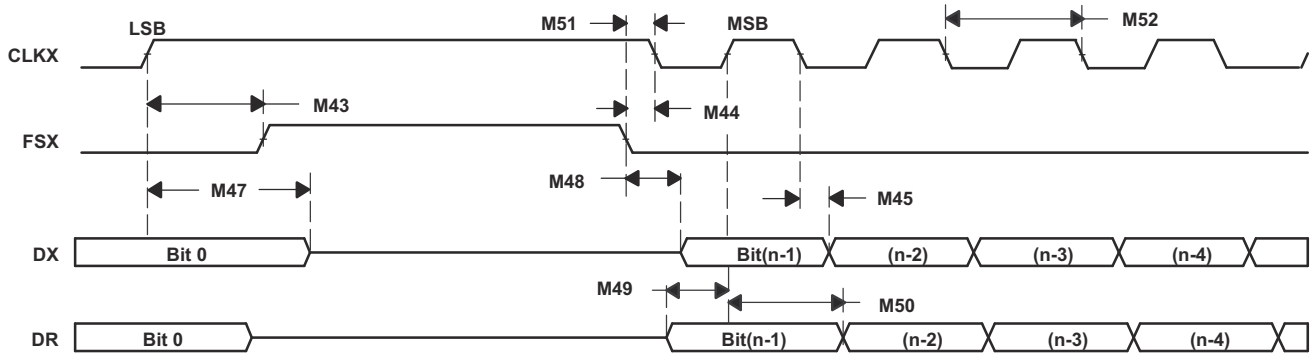


図 7-80. SPI マスタまたはスレーブとしての McBSP : $CLKSTP = 10b$, $CLKXP = 1$

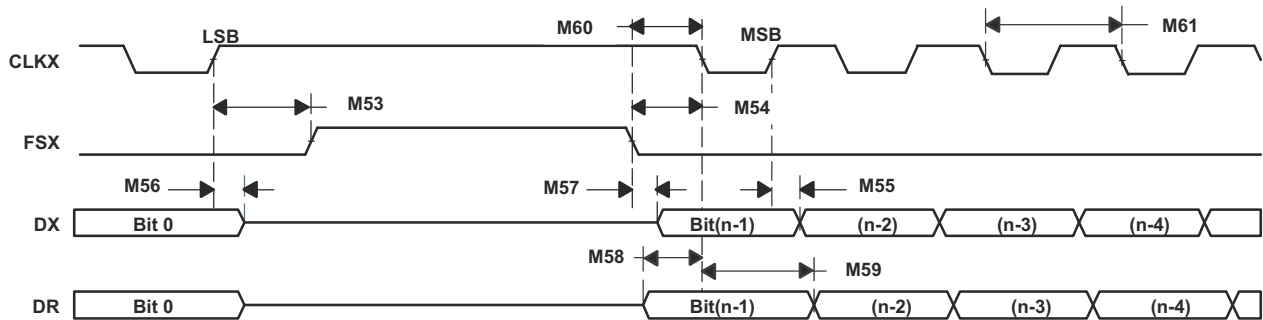


図 7-81. SPI マスタまたはスレーブとしての McBSP : $CLKSTP = 11b$, $CLKXP = 1$

7.13.5 PMBus (Power Management Bus)

PMBus モジュールは、SMI フォーラム PMBus 仕様 Part I バージョン 1.0 および Part II バージョン 1.1 に準拠した、マイコンとデバイス間のインターフェイスを提供します。PMBus は SMBus をベースにしており、I2C と同様に物理層を使用します。

PMBus モジュールの主な機能は次のとおりです。

- SMI フォーラム PMBus 仕様 (Part I v1.0 および Part II v1.1) 準拠
- マスタ・モードおよびスレーブ・モードのサポート
- 以下の 2 種類の速度をサポート
 - 標準モード: 最高 100kHz
 - 高速モード: 最高 400kHz
- パケット・エラー・チェック
- CONTROL 信号および ALERT 信号
- クロック High および Low でのタイムアウト
- 4 バイトの送信および受信バッファ
- 1 つのマスク可能割り込み、以下のいくつか条件によって生成可能:
 - 受信データ準備完了
 - 送信バッファ空
 - スレーブアドレス受信
 - メッセージ終了
 - ALERT 入力アサート
 - クロック Low タイムアウト
 - クロック High タイムアウト
 - バス・フリー

PMBus のブロック図を [図 7-82](#) に示します。

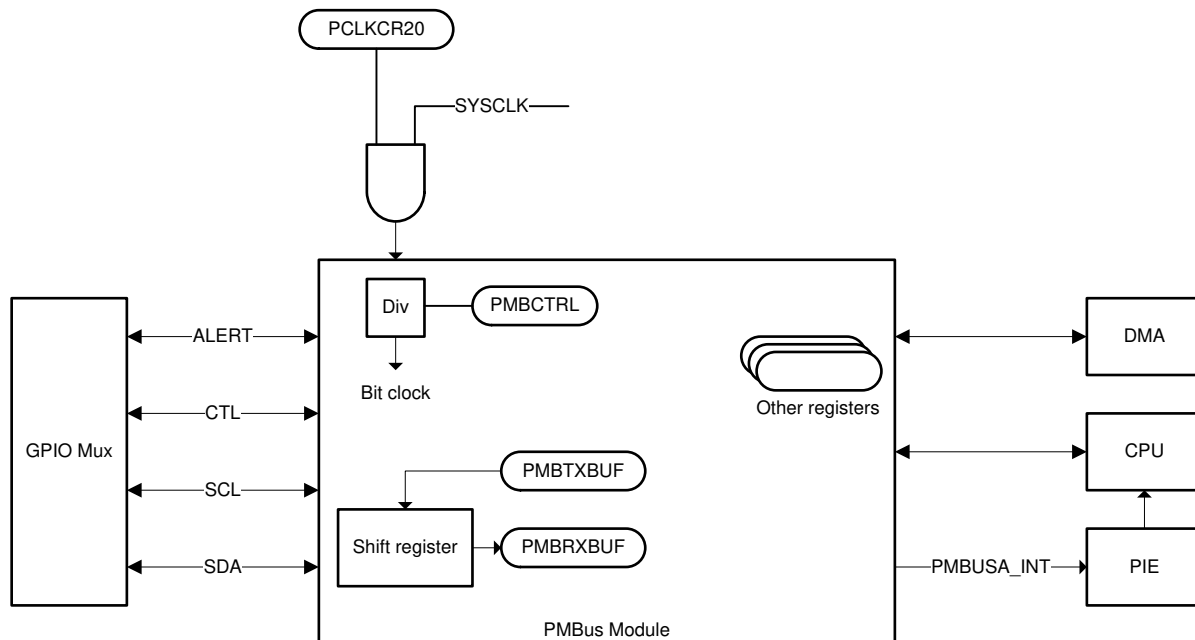


図 7-82. PMBus のブロック図

7.13.5.1 PMBus の電氣的データおよびタイミング

7.13.5.1.1 PMBus の電氣的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	代表値	最大値	単位
V _{IL}	有効 Low レベル入力電圧				0.8	V
V _{IH}	有効 High レベル入力電圧		2.1		VDDIO	V
V _{OL}	Low レベル出力電圧	I _{pullup} = 4mA のとき			0.4	V
I _{OL}	Low レベル出力電流	V _{OL} ≤ 0.4V	4			mA
t _{SP}	入力フィルタにより抑制されるスパイクの パルス幅		0		50	ns
I _i	各ピンの入力リーク電流	0.1V _{bus} < V _i < 0.9V _{bus}	-10		10	μA
C _i	各ピンの容量				10	pF

7.13.5.1.2 PMBus ファスト・モードのスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	代表値	最大値	単位
F _{mod}	PMBus モジュールのクロック周波数		f(SYSCLK) / 32		10	MHz
f _{SCL}	SCL クロック周波数		10		400	kHz
t _{BUF}	STOP 条件と START 条件間のバス開放 時間		1.3			μs
t _{HD;STA}	START 条件ホールド時間 - SDA 立ち下 がりから SCL 立ち下がりまでの遅延		0.6			μs
t _{SU;STA}	繰り返し START のセットアップ時間 - SCL 立ち上がりから SDA 立ち下がりま での遅延		0.6			μs
t _{SU;STO}	STOP 条件セットアップ時間 - SCL 立ち 上がりから SDA 立ち上がりまでの遅延		0.6			μs
t _{HD;DAT}	SCL 立ち下がり後のデータ・ホールド時 間		300			ns
t _{SU;DAT}	SCL 立ち上がり前のデータ・セットアップ 時間		100			ns
t _{Timeout}	クロック Low タイムアウト		25		35	ms
t _{LOW}	SCL クロックの Low 期間		1.3			μs
t _{HIGH}	SCL クロックの High 期間		0.6		50	μs
t _{LOW;SEXT}	累積クロック Low 拡張時間 (スレーブ・デ バイス)	START から STOP まで			25	ms
t _{LOW;MEXT}	累積クロック Low 拡張時間 (マスタ・デバ イス)	各バイト内			10	ms
t _r	SDA および SCL の立ち上がり時間	5%~95%	20		300	ns
t _f	SDA および SCL の立ち下がり時間	95%~5%	20		300	ns

7.13.5.1.3 PMBus 標準モードのスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	代表値	最大値	単位
F_{mod}	PMBus モジュールのクロック周波数		$f(SYSCLK) / 32$		10	MHz
f_{SCL}	SCL クロック周波数		10		100	kHz
t_{BUF}	STOP 条件と START 条件間のバス開放時間		4.7			μs
$t_{HD;STA}$	START 条件ホールド時間 - SDA 立ち下がりから SCL 立ち下がりまでの遅延		4			μs
$t_{SU;STA}$	繰り返し START のセットアップ時間 - SCL 立ち上がりから SDA 立ち上がりまでの遅延		4.7			μs
$t_{SU;STO}$	STOP 条件セットアップ時間 - SCL 立ち上がりから SDA 立ち上がりまでの遅延		4			μs
$t_{HD;DAT}$	SCL 立ち下がり後のデータ・ホールド時間		300			ns
$t_{SU;DAT}$	SCL 立ち上がり前のデータ・セットアップ時間		250			ns
$t_{Timeout}$	クロック Low タイムアウト		25		35	ms
t_{LOW}	SCL クロックの Low 期間		4.7			μs
t_{HIGH}	SCL クロックの High 期間		4		50	μs
$t_{LOW;SEXT}$	累積クロック Low 拡張時間 (スレーブ・デバイス)	START から STOP まで			25	ms
$t_{LOW;MEXT}$	累積クロック Low 拡張時間 (マスタ・デバイス)	各バイト内			10	ms
t_r	SDA および SCL の立ち上がり時間				1000	ns
t_f	SDA および SCL の立ち下がり時間				300	ns

7.13.6 シリアル通信インターフェイス (SCI)

シリアル通信インターフェイス (SCI) は、一般的には UART と呼ばれる 2 線式非同期シリアル・ポートです。SCI モジュールは、CPU と、標準 NRZ (non-return-to-zero) フォーマットを使用する他の非同期ペリフェラルとの間のデジタル通信をサポートします。

SCI のレシーバおよびトランスミッタは、処理オーバーヘッドを削減するための 16 段 FIFO を備えており、それぞれ独自のイネーブル・ビットと割り込みビットを持ちます。この両方が、半二重通信用として個別に動作することも、全二重通信用として同時に動作することもできます。データの整合性を確保するために、SCI は、受信データのブレイク検出、パリティ、オーバーラン、およびフレーミングエラーをチェックします。ビット・レートは、16 ビットのボー選択レジスタにより、さまざまな速度にプログラム可能です。SCI ブロック図を [図 7-83](#) に示します。

SCI モジュールには次のような特長があります。

- 2 本の外部ピン:
 - SCITXD: SCI 送信出力ピン
 - SCIRXD: SCI 受信入力ピン
 - 64K までの異なるレートにプログラム可能なボーレート
- データ・ワード・フォーマット
 - 1 スタート・ビット
 - データ・ワード (1~8 ビットの範囲でワード長をプログラム可能)
 - パリティ・ビット (偶数 / 奇数 / なしを選択可能)
 - 1 または 2 ストップ・ビット
- 4 つのエラー検出フラグ: パリティ、オーバーラン、フレーミング、ブレイク検出
- 2 つのウェイクアップ・マルチプロセッサ・モード: アイドル・ラインおよびアドレス・ビット
- 半二重または全二重動作
- ダブル・バッファ付きの受信および送信機能
- トランスミッタおよびレシーバの動作は、ステータス・フラグによる割り込み駆動、またはポーリング・アルゴリズムによって実現できます。
 - トランスミッタ: TXRDY フラグ (送信バッファ・レジスタは次の文字の受信準備完了) および TX EMPTY フラグ (送信シフト・レジスタは空)
 - レシーバ: RXRDY フラグ (受信バッファ・レジスタは次の文字の受信準備完了)、BRKDT フラグ (ブレイク条件発生)、RX ERROR フラグ (4 つの割り込み条件の監視)
- トランスミッタおよびレシーバの割り込み用に個別のイネーブル・ビット (BRKDT を除く)
- NRZ フォーマット
- 自動ボー検出ハードウェア・ロジック
- 16 レベルの送信および受信 FIFO

注

このモジュールのすべてのレジスタは、8 ビット・レジスタです。レジスタにアクセスすると、レジスタ・データは下位バイト (ビット 7~0) になり、上位バイト (ビット 15~8) はゼロとして読み取られます。上位バイトへの書き込みは、何も影響がありません。

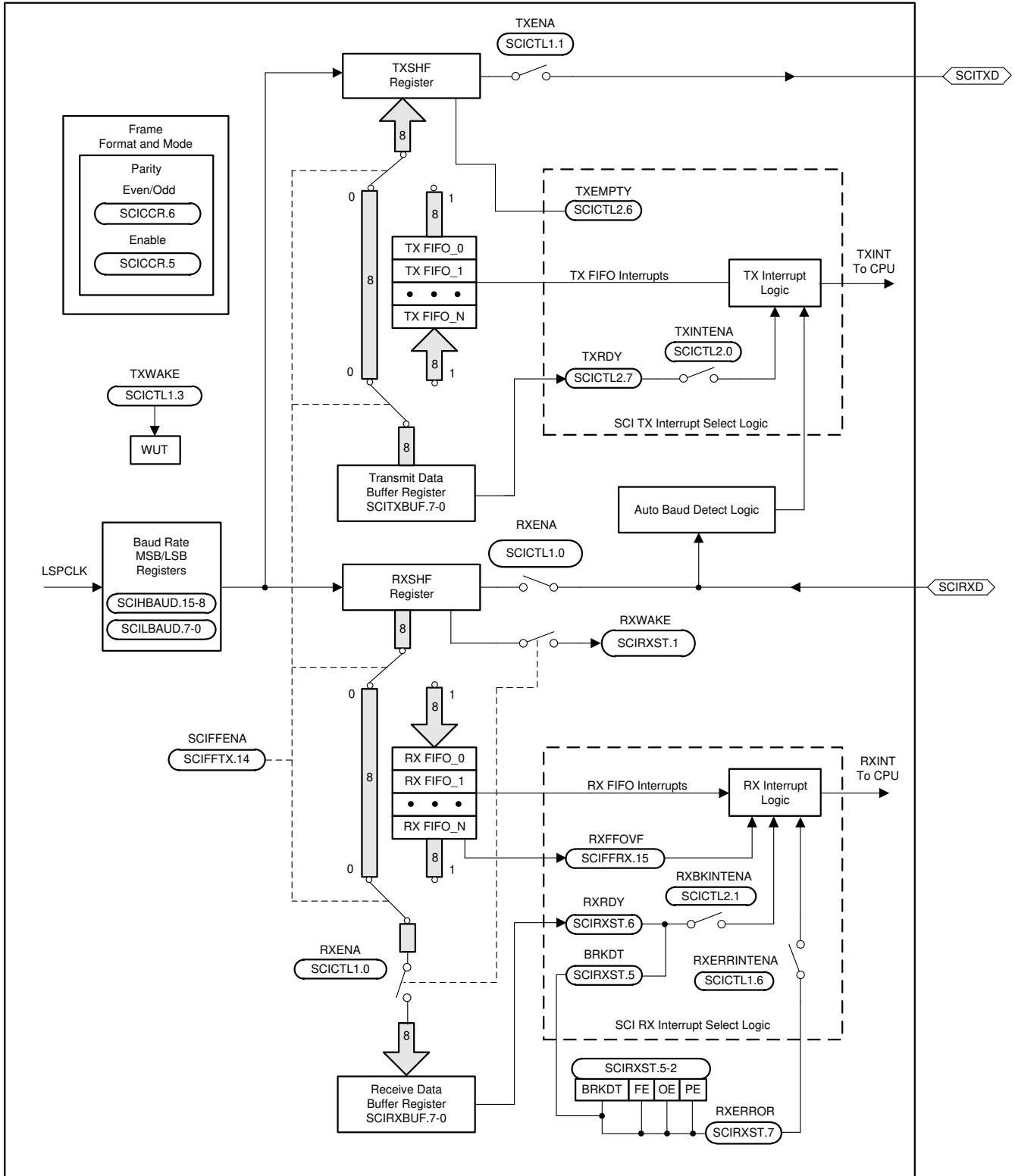


図 7-83. SCI ブロック図

7.13.7 シリアル・ペリフェラル・インターフェイス (SPI)

SPI は、高速な同期シリアル入出力 (I/O) ポートであり、この機能により、プログラムされた長さ (1~16 ビット) のシリアル・ビット・ストリームを、プログラムされたビット転送速度でシフトして、デバイスに入力、デバイスから出力できます。SPI は、マイクロコントローラと、外部ペリフェラルや他のコントローラとの間の通信に使用されます。代表的なアプリケーションとして、シフト・レジスタ、ディスプレイ・ドライバ、ADC などのデバイスを使用した外部 I/O またはペリフェラルの拡張が挙げられます。マルチデバイス通信は、SPI のマスタ/スレーブ動作によってサポートされています。このポートは、16 レベルの受信および送信 FIFO をサポートしており、CPU サービスのオーバーヘッドを低減できます。

SPI モジュールの主な特長は次のとおりです。

- **SPISOMI**: SPI スレーブ出力 / マスタ入力ピン
- **SPISIMO**: SPI スレーブ入力 / マスタ出力ピン
- **SPISTE**: SPI スレーブ送信イネーブル・ピン
- **SPICLK**: SPI シリアル・クロック・ピン
- マスタとスレーブの 2 つの動作モード
- ボーレート: プログラム可能な 125 種類のレート
- データ・ワード長: 1~16 データ・ビット
- 4 つのクロック方式 (クロックの極性とクロック位相ビットで制御) には、次のものがあります。
 - 位相遅延なしの立ち下がりエッジ: **SPICLK** アクティブ High。SPI は、**SPICLK** 信号の立ち下がりエッジでデータを送信し、**SPICLK** 信号の立ち上がりエッジでデータを受信します。
 - 位相遅延付きの立ち下がりエッジ: **SPICLK** アクティブ High。SPI は、**SPICLK** 信号の立ち下がりエッジより半サイクル前にデータを送信し、**SPICLK** 信号の立ち下がりエッジでデータを受信します。
 - 位相遅延なしの立ち上がりエッジ: **SPICLK** 非アクティブ Low。SPI は、**SPICLK** 信号の立ち上がりエッジでデータを送信し、**SPICLK** 信号の立ち下がりエッジでデータを受信します。
 - 位相遅延付きの立ち上がりエッジ: **SPICLK** 非アクティブ Low。SPI は、**SPICLK** 信号の立ち上がりエッジより半サイクル前にデータを送信し、**SPICLK** 信号の立ち上がりエッジでデータを受信します。
- 送受信の同時動作 (送信機能はソフトウェアで無効化可能)
- トランスミッタとレシーバの動作は、割り込み駆動またはポーリング・アルゴリズムによって実現されます。
- 16 レベルの送信および受信 FIFO
- 遅延付き送信制御
- 3 線式 SPI モード
- 2 つの SPI モジュールを搭載したデバイスでデジタル・オーディオ・インターフェイス受信モードのための **SPISTE** 反転
- DMA サポート
- 最大 50MHz の全二重通信に対応する高速モード

図 7-84 に、SPI CPU インターフェイスを示します。

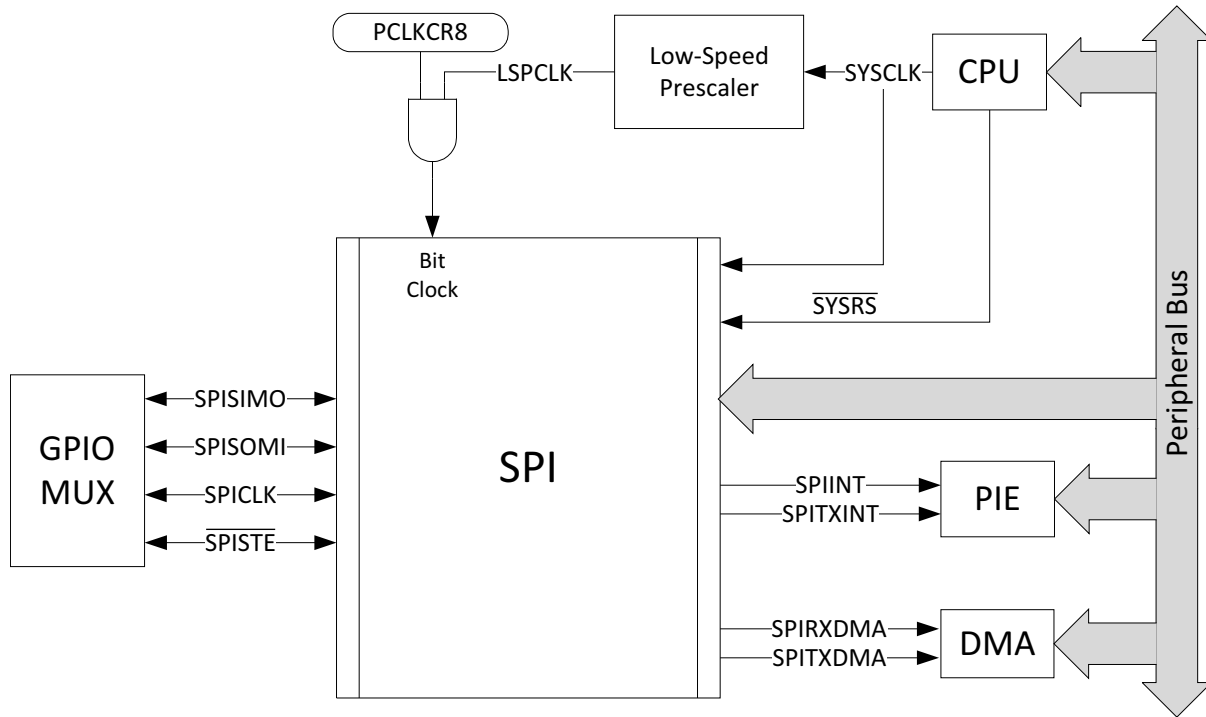


図 7-84. SPI CPU インターフェイス

7.13.7.1 SPI の電氣的データおよびタイミング

注

SPI 高速モードのすべてのタイミング・パラメータは、SPICLK、SPISIMO、SPISOMI の負荷容量を 5pF と仮定しています。

高速モードの SPI の詳細については、『[TMS320F2838x リアルタイム・マイクロコントローラ・テクニカル・リファレンス・マニュアル](#)』の「シリアル・ペリフェラル・インターフェイス (SPI)」の章を参照してください。

SPI を高速モードで使用するには、高速対応 GPIO を使用する必要があります ([セクション 6.5.5](#) を参照)。

7.13.7.1.1 SPI マスタ・モードのタイミング

[セクション 7.13.7.1.1.1](#) に、SPI マスタ・モードのタイミング要件を示します。[セクション 7.13.7.1.1.2](#) に、SPI マスタ・モードのスウィッチング特性 (クロック位相 = 0) を示します。[セクション 7.13.7.1.1.3](#) に、SPI マスタ・モードのスウィッチング特性 (クロック位相 = 1) を示します。[図 7-85](#) に、クロック位相 = 0 の場合の SPI マスタ・モードの外部タイミングを示します。[図 7-86](#) に、クロック位相 = 1 の場合の SPI マスタ・モードの外部タイミングを示します。

7.13.7.1.1.1 SPI マスタ・モードのタイミング要件

番号		(BRR+1) 条件 ⁽¹⁾	最小値	最大値	単位
高速モード					
8	$t_{su(SOMI)M}$	セットアップ時間、SPISOMI 有効から SPICLK まで	偶数、奇数	1	ns
9	$t_{h(SOMI)M}$	ホールド時間、SPICLK 後の SPISOMI の有効期間	偶数、奇数	5	ns
通常モード					
8	$t_{su(SOMI)M}$	セットアップ時間、SPISOMI 有効から SPICLK まで	偶数、奇数	20	ns
9	$t_{h(SOMI)M}$	ホールド時間、SPICLK 後の SPISOMI の有効期間	偶数、奇数	0	ns

(1) (BRR+1) 条件が偶数というのは、(SPIBRR+1) が偶数である場合、または SPIBRR が 0 もしくは 2 である場合です。また、奇数とは、(SPIBRR+1) が奇数であり、かつ SPIBRR が 3 より大きい場合です。

7.13.7.1.1.2 SPI マスタ・モードのスイッチング特性(クロック位相 = 0)

推奨動作条件範囲内 (特に記述のない限り)

番号	パラメータ	(BRR+1) 条件 (1)	最小値	最大値	単位	
全般						
1	$t_{c(SPC)M}$	サイクル時間、SPICLK	偶数	$4t_{c(LSPCLK)}$	$128t_{c(LSPCLK)}$	ns
			奇数	$5t_{c(LSPCLK)}$	$127t_{c(LSPCLK)}$	
2	$t_{w(SPC1)M}$	パルス幅、SPICLK、最初のパルス	偶数	$0.5t_{c(SPC)M} - 1$	$0.5t_{c(SPC)M} + 1$	ns
			奇数	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} - 1$	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} + 1$	
3	$t_{w(SPC2)M}$	パルス幅、SPICLK、2 番目のパルス	偶数	$0.5t_{c(SPC)M} - 1$	$0.5t_{c(SPC)M} + 1$	ns
			奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 1$	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} + 1$	
23	$t_{d(SPC)M}$	遅延時間、 $\overline{SPIS\overline{T}E}$ 有効から SPICLK まで	偶数	$1.5t_{c(SPC)M} - 3t_{c(SYSCCLK)} - 3$	$1.5t_{c(SPC)M} - 3t_{c(SYSCCLK)} + 3$	ns
			奇数	$1.5t_{c(SPC)M} - 4t_{c(SYSCCLK)} - 3$	$1.5t_{c(SPC)M} - 4t_{c(SYSCCLK)} + 3$	
24	$t_{v(STE)M}$	有効時間、SPICLK から $\overline{SPIS\overline{T}E}$ 無効まで	偶数	$0.5t_{c(SPC)M} - 3$	$0.5t_{c(SPC)M} + 3$	ns
			奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 3$	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} + 3$	
高速モード						
4	$t_{d(SIMO)M}$	遅延時間、SPICLK から SPISIMO 有効まで	偶数、奇数		1	ns
5	$t_{v(SIMO)M}$	有効時間、SPICLK の後 SPISIMO が有効の期間	偶数	$0.5t_{c(SPC)M} - 1$		ns
			奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 1$		
通常モード						
4	$t_{d(SIMO)M}$	遅延時間、SPICLK から SPISIMO 有効まで	偶数、奇数		5	ns
5	$t_{v(SIMO)M}$	有効時間、SPICLK の後 SPISIMO が有効の期間	偶数	$0.5t_{c(SPC)M} - 3$		ns
			奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 3$		

(1) (BRR+1) 条件が偶数というのは、(SPIBRR+1) が偶数である場合、または SPIBRR が 0 もしくは 2 である場合です。また、奇数とは、(SPIBRR+1) が奇数であり、かつ SPIBRR が 3 より大きい場合です。

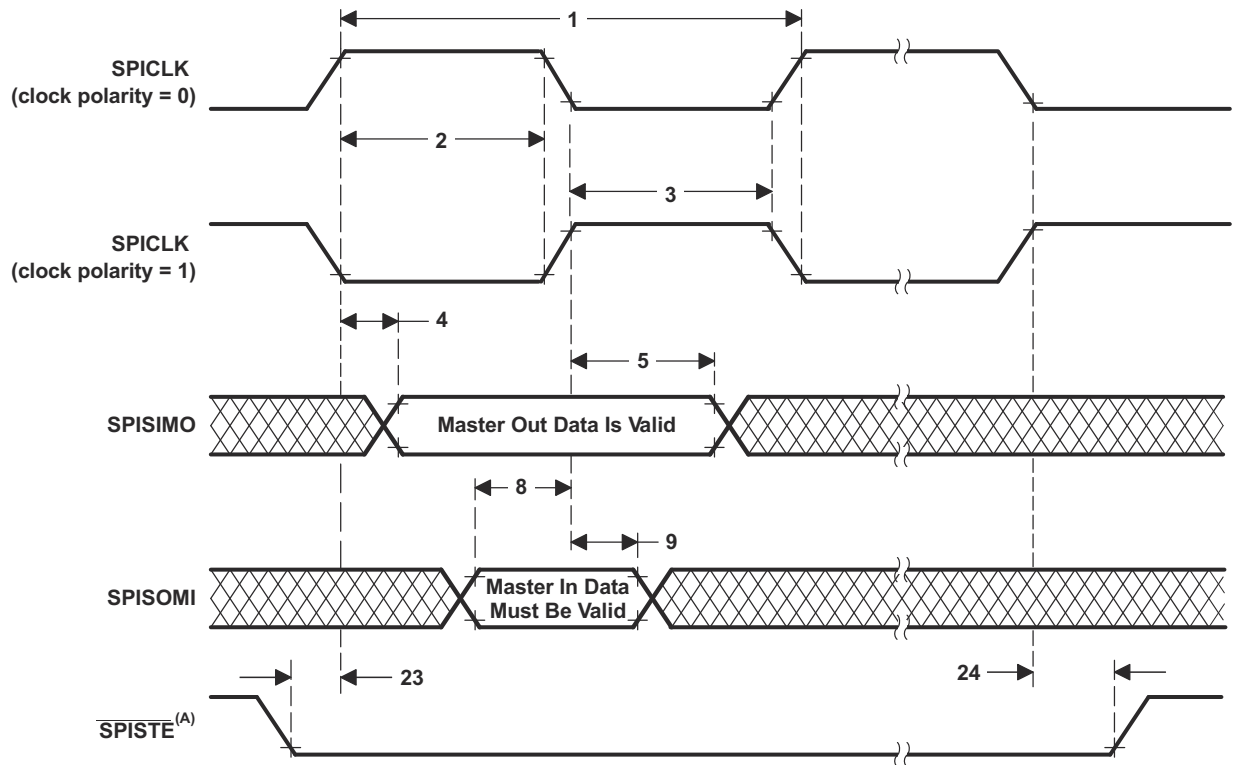
7.13.7.1.1.3 SPI マスタ・モードのスイッチング特性(クロック位相=1)

推奨動作条件範囲内 (特に記述のない限り)

番号	パラメータ	(BRR+1) 条件 ⁽¹⁾	最小値	最大値	単位	
全般						
1	$t_{c(SPC)M}$	サイクル時間、SPICLK	偶数	$4t_{c(LSPCLK)}$	$128t_{c(LSPCLK)}$	ns
			奇数	$5t_{c(LSPCLK)}$	$127t_{c(LSPCLK)}$	
2	$t_{w(SPCH)M}$	パルス幅、SPICLK、最初のパルス	偶数	$0.5t_{c(SPC)M} - 1$	$0.5t_{c(SPC)M} + 1$	ns
			奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 1$	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} + 1$	
3	$t_{w(SPC2)M}$	パルス幅、SPICLK、2番目のパルス	偶数	$0.5t_{c(SPC)M} - 1$	$0.5t_{c(SPC)M} + 1$	ns
			奇数	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} - 1$	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} + 1$	
23	$t_{d(SPC)M}$	遅延時間、SPIS \overline{T} E 有効から SPICLK まで	偶数、奇数	$2t_{c(SPC)M} - 3t_{c(SYSCLK)} - 3$	$2t_{c(SPC)M} - 3t_{c(SYSCLK)} + 3$	ns
24	$t_{v(STE)M}$	有効時間、SPICLK から SPIS \overline{T} E 無効まで	偶数	-3	+3	ns
			奇数	-3	+3	
高速モード						
4	$t_{d(SIMO)M}$	遅延時間、SPISIMO 有効から SPICLK まで	偶数	$0.5t_{c(SPC)M} - 1$		ns
			奇数	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} - 1$		
5	$t_{v(SIMO)M}$	有効時間、SPICLK の後 SPISIMO が有効の期間	偶数	$0.5t_{c(SPC)M} - 1$		ns
			奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 1$		
通常モード						
4	$t_{d(SIMO)M}$	遅延時間、SPISIMO 有効から SPICLK まで	偶数	$0.5t_{c(SPC)M} - 5$		ns
			奇数	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} - 5$		
5	$t_{v(SIMO)M}$	有効時間、SPICLK の後 SPISIMO が有効の期間	偶数	$0.5t_{c(SPC)M} - 3$		ns
			奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 3$		

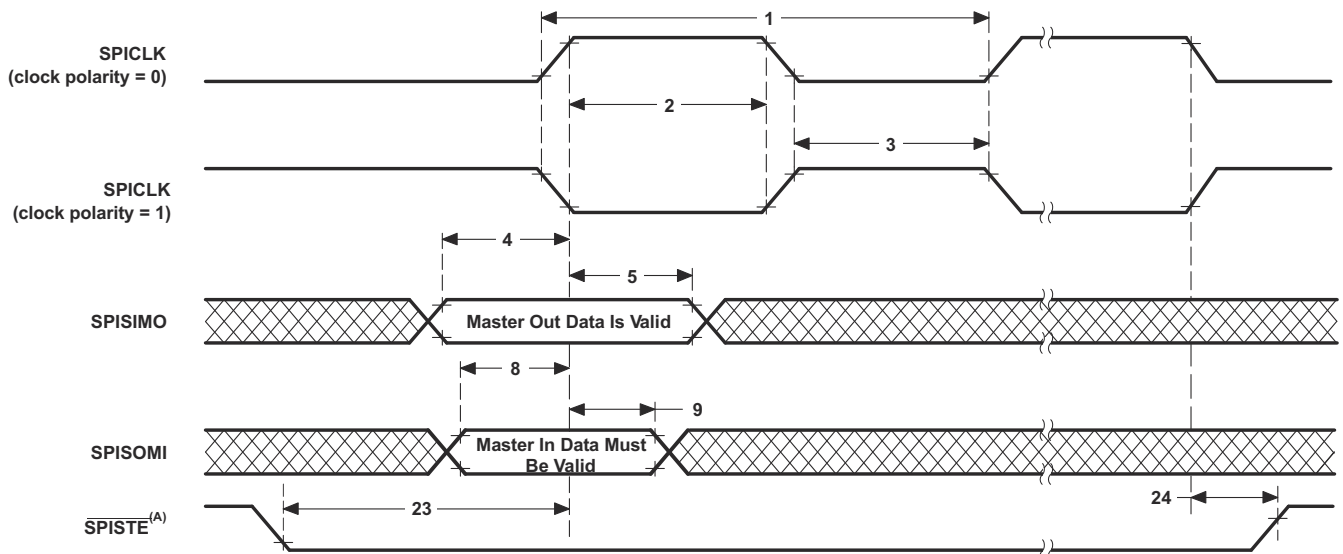
(1) (BRR+1) 条件が偶数というのは、(SPIBRR+1) が偶数である場合、または SPIBRR が 0 もしくは 2 である場合です。また、奇数とは、(SPIBRR+1) が奇数であり、かつ SPIBRR が 3 より大きい場合です。

7.13.7.1.1.4 SPI マスタ・モードの外部タイミング



A. ワードの末尾では、FIFO モードおよび非 FIFO モードの連続送信ワード間を除いて、 $\overline{\text{SPISTE}}$ は、非アクティブになります。

図 7-85. SPI マスタ・モードの外部タイミング (クロック位相=0)



A. ワードの末尾では、FIFO モードおよび非 FIFO モードの連続送信ワード間を除いて、 $\overline{\text{SPISTE}}$ は、非アクティブになります。

図 7-86. SPI マスタ・モードの外部タイミング (クロック位相=1)

7.13.7.1.2 SPI スレーブ・モードのタイミング

セクション 7.13.7.1.2.1 に、SPI スレーブ・モードのタイミング要件を示します。セクション 7.13.7.1.2.2 に、SPI スレーブ・モードのスイッチング特性を示します。図 7-87 に、クロック位相=0 の場合の SPI スレーブ・モードの外部タイミングを示します。図 7-88 に、クロック位相=1 の場合の SPI スレーブ・モードの外部タイミングを示します。

7.13.7.1.2.1 SPI スレーブ・モードのタイミング要件

番号			最小値	最大値	単位
12	$t_{c(SPC)}S$	サイクル時間、SPICLK	$4t_{c(SYSCLK)}$		ns
13	$t_{w(SPC1)}S$	パルス幅、SPICLK、最初のパルス	$2t_{c(SYSCLK)} - 1$		ns
14	$t_{w(SPC2)}S$	パルス幅、SPICLK、2 番目のパルス	$2t_{c(SYSCLK)} - 1$		ns
19	$t_{su(SIMO)}S$	セットアップ時間、SPISIMO 有効から SPICLK まで	$1.5t_{c(SYSCLK)}$		ns
20	$t_{h(SIMO)}S$	ホールド時間、SPICLK 後の SPISIMO が有効な期間	$1.5t_{c(SYSCLK)}$		ns
25	$t_{su(STE)}S$	セットアップ時間、SPISTE 有効から SPICLK まで (クロック位相 = 0)	$2t_{c(SYSCLK)} + 11$		ns
		セットアップ時間、SPISTE 有効から SPICLK まで (クロック位相 = 1)	$2t_{c(SYSCLK)} + 20$		ns
26	$t_{h(STE)}S$	ホールド時間、SPICLK から SPISTE 無効まで	$1.5t_{c(SYSCLK)}$		ns

7.13.7.1.2.2 SPI スレーブ・モードのスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

番号	パラメータ		最小値	最大値	単位
高速モード					
15	$t_{d(SOMI)}S$	遅延時間、SPICLK から SPISOMI 有効まで		9	ns
16	$t_{v(SOMI)}S$	有効時間、SPICLK 後の SPISOMI が有効な期間	0		ns
通常モード					
15	$t_{d(SOMI)}S$	遅延時間、SPICLK から SPISOMI 有効まで		20	ns
16	$t_{v(SOMI)}S$	有効時間、SPICLK 後の SPISOMI が有効な期間	0		ns

7.13.7.1.2.3 SPI スレーブ・モードの外部タイミング

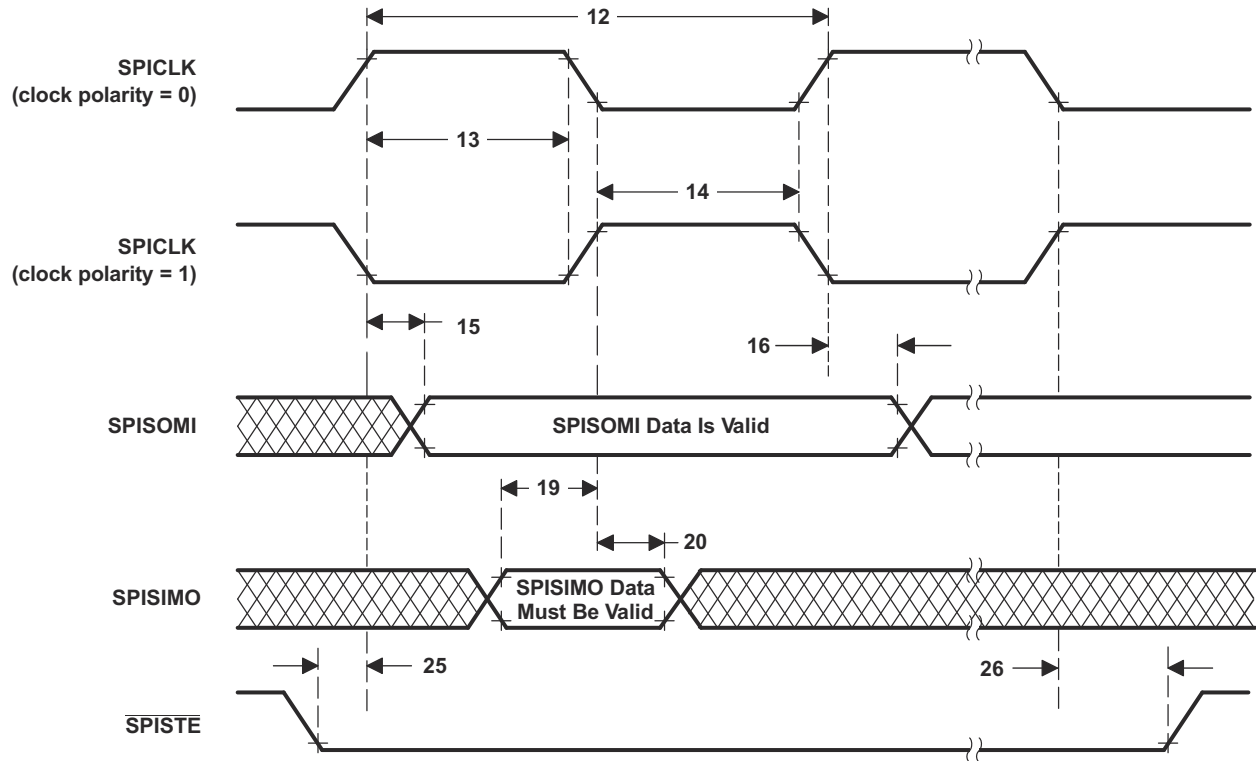


図 7-87. SPI スレーブ・モードの外部タイミング (クロック位相=0)

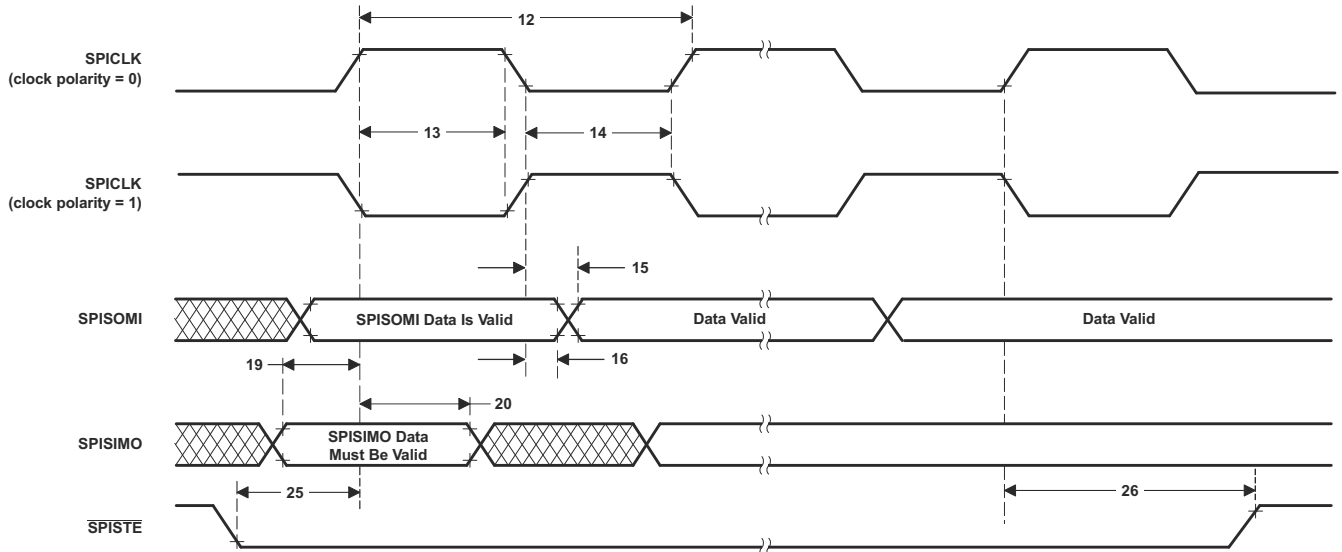


図 7-88. SPI スレーブ・モードの外部タイミング (クロック位相=1)

7.13.8 EtherCAT スレーブ・コントローラ (ESC)

Ethernet for Control Automation Technology (EtherCAT®) は、Beckhoff Automation が発明したイーサネット・ベースのフィールドバス・システムであり、IEC 61158 で標準化されています。バスに接続されているすべてのスレーブ・ノードは、ノード内のフレームをバッファすることなく、アドレスされたデータを迅速に解釈、処理、および変更します。このリアルタイム動作、フレーム処理、および転送要件は、EtherCAT スレーブ・コントローラ (ESC) ハードウェアによって実装されています。EtherCAT では、スレーブ内部でのデータ送信にソフトウェアによる操作は必要ありません。EtherCAT は MAC 層のみを定義しますが、より上位層のプロトコルとスタックは ESC に接続されているマイクロコントローラ上のソフトウェアで実装されます。

EtherCAT:

- マスタとスレーブのセットアップを含む。スレーブ・ノードはダイジーチェーン形式で物理的に接続されているが、論理的にはループで動作する
- スレーブ・ノード間の正確で低ジッタの同期に特化
- IEEE 802.3 イーサネットの物理層と標準的なイーサネット・フレームを使用

7.13.8.1 ESC の機能

この MCU の ESC の機能を以下に示します。

- EtherCAT PHY に接続するための最大 2 つの MII ポート
- 16 ビット非同期インターフェイスを経由するプロセス・データ・インターフェイス
- 64 ビットの分散クロック
 - デバイス・イベントを同期するための同期出力信号と、イベントのタイムスタンプをサポートするラッチ入力信号
 - SYNC0/1 (o/ps) および LATCH0/1 の分散クロック機能によって GPIO を同期でき、任意の GPIO からの入力や、内部デバイス・イベント用のその他の多重化オプションを使用可能
- 8 つのフィールド・バス・メモリ管理ユニット (FMMU)
 - RD/, WR/, RDWR のすべてのネイティブ・タイプをサポートし、ビットおよびバイト・アドレッシングの機能を内蔵
- 8 つの同期マネージャ
- I2C EEPROM インターフェイス
- 最大 32 個の汎用入力 (GPI) と 32 個の汎用出力 (GPO)
- GPIO パッドに接続された 2 つの SYNC 信号と 2 つの LATCH 信号
- パリティ付きの 16KB RAM

7.13.8.2 ESC サブシステムの統合機能

ESC 機能に加えて、ESC と MCU の統合によって提供されるデバイス固有の機能は以下のとおりです。

- 初期化中の CM サブシステムまたは CPU1 サブシステムへの ESC アクセスの割り当て
- マスタからの EtherCAT リセット要求は、MCU 上の NMI または汎用割り込みコントローラにルーティング可能
- MCU の NMI にルーティングされる RAM パリティ・エラー
- EtherCAT RAM への DMA アクセス
- 16 ビット ASYNC PDI インターフェイスに統合された最大 32 個の GPI および最大 32 個の GPO 機能
- CLB へのインターフェイス
- SYNC0/1 の分散クロック機能により、PWM の同期、割り込み / DMA リクエストの生成、eCAP キャプチャのトリガが可能になり、GPIO アクセスによる外部コンポーネントのアクションが可能になる。
- EtherCAT SYNC0/1 パルスは CLA タスクをトリガできる。
- LATCH0/1 の分散クロック機能により、GPIO または PWM クロスバー・トリガからの入力が可能

7.13.8.3 EtherCAT IP のブロック図

図 7-89 に、EtherCAT IP の一般的な機能を示します。

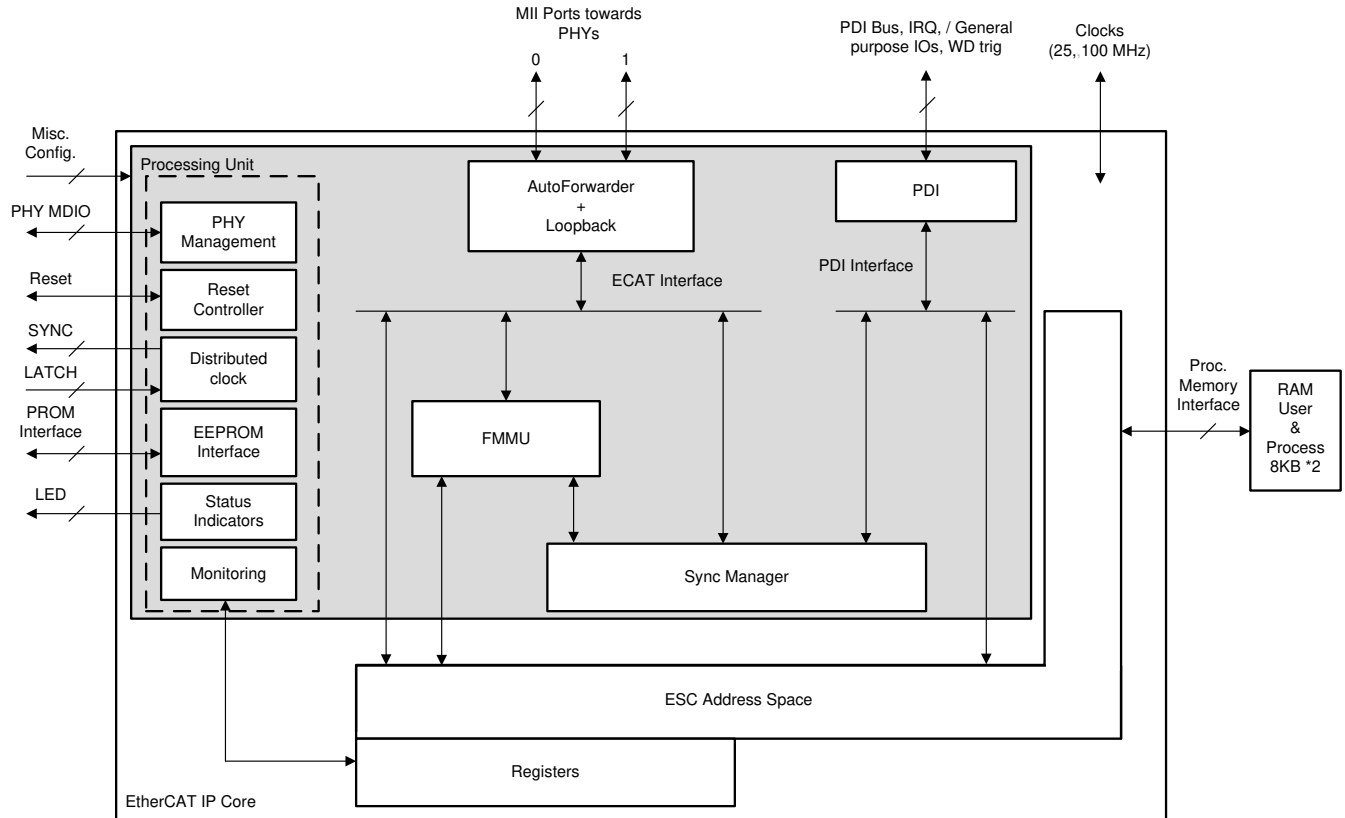


図 7-89. EtherCAT IP のブロック図

7.13.8.4 EtherCAT の電氣的データおよびタイミング

セクション 7.13.8.4.1 に、EtherCAT のタイミング要件を示します。セクション 7.13.8.4.2 に、EtherCAT のスイッチング特性を示します。図 7-90～図 7-94 に、EtherCAT のタイミング図を示します。

7.13.8.4.1 EtherCAT のタイミング要件

番号			最小値	公称値	最大値	単位
EtherCAT						
	$t_c(\text{ECATCLK})$	サイクル時間、ECATCLK		10		ns
MII1	$t_c(\text{TXCLK})$	サイクル時間、ESC_TXy_CLK		40		ns
MII2/MII3	$t_w(\text{TXCK})$	パルス幅、ESC_TXy_CLK High または Low	16		24	ns
MII4	$t_c(\text{RXCK})$	サイクル時間、ESC_RXy_CLK		40		ns
MII5/MII6	$t_w(\text{RXCK})$	パルス幅、ESC_RXy_CLK High または Low	16		24	ns
MII8	$t_{su}(\text{RXDV-RXCKH})$	セットアップ時間、有効な信号を受信してから ESC_RXy_CLK High まで	10			ns
MII9	$t_h(\text{RXCKH-RXDV})$	ホールド時間、ESC_RXy_CLK High から有効な信号を受信する間	2			ns
MDIO						
MDIO4	$t_{su}(\text{MDV-MCKH})$	セットアップ時間、ESC_MDIO_DATA 有効から ESC_MDIO_CLK High まで	20			ns
MDIO5	$t_h(\text{MCKH-MDV})$	ホールド時間、ESC_MDIO_CLK High から ESC_MDIO_DATA 有効の間	-1			ns

7.13.8.4.2 EtherCAT のスイッチング特性

自由気流での動作温度範囲内 (特に記述のない限り)

番号	パラメータ		最小値	代表値	最大値	単位
自動シフトの補償						
MII7	$t_d(\text{TXCLK-TXDV})$	遅延時間、ESC_TXy_CLK から ESC_TXy_DATA[3:0] および ESC_TXy_ENA まで		$20 + \text{input_dly} + \text{output_dly} + \text{TX_SHIFT} * t_c(\text{CLK}_{100})$	$30 + \text{input_dly} + \text{output_dly} + \text{TX_SHIFT} * t_c(\text{CLK}_{100})$	ns
MDIO						
MDIO1	$t_c(\text{MCK})$	サイクル時間、ESC_MDIO_CLK		400		ns
MDIO2/MDIO3	$t_w(\text{MCK})$	パルス幅、ESC_MDIO_CLK が High または Low	160		240	ns
MDIO7	$t_d(\text{MCKH-MDV})$	遅延時間、ESC_MDIO_CLK High から ESC_MDIO_DATA 有効まで			$0.5t_c(\text{MCK}) + 30$	ns
	$t_v(\text{MCKH-MDV})$	有効時間、ESC_MDIO_CLK High から ESC_MDIO_DATA 有効まで		$0.5t_c(\text{MCK}) - 3.0$		ns

7.13.8.4.3 EtherCAT のタイミング図

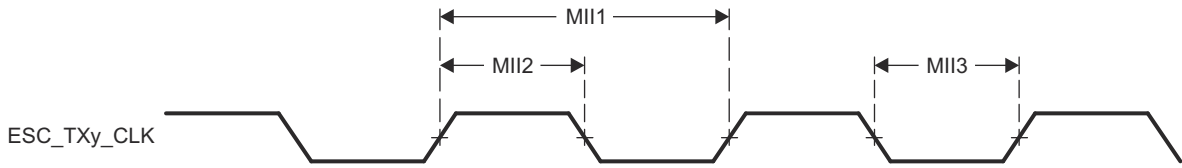


図 7-90. EtherCAT 送信クロックのタイミング (MII 動作)

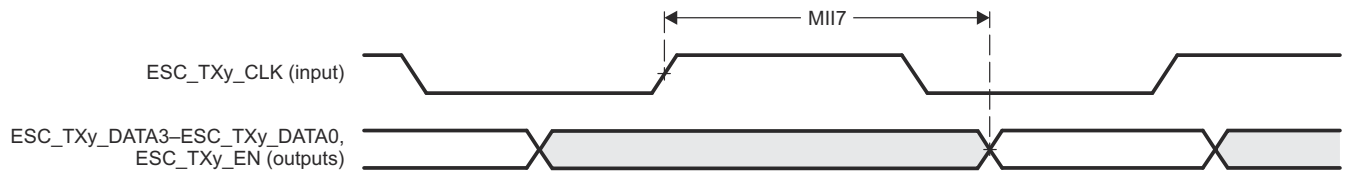


図 7-91. EtherCAT 送信インターフェースのタイミング (MII 動作)

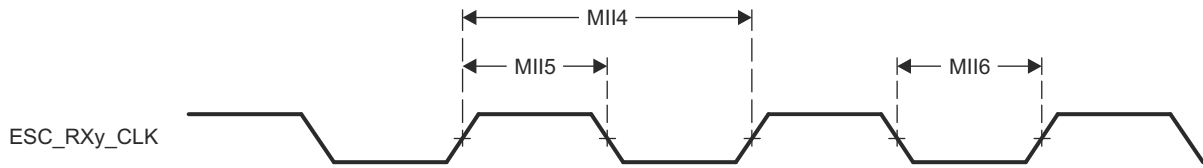


図 7-92. EtherCAT 受信クロックのタイミング (MII 動作)

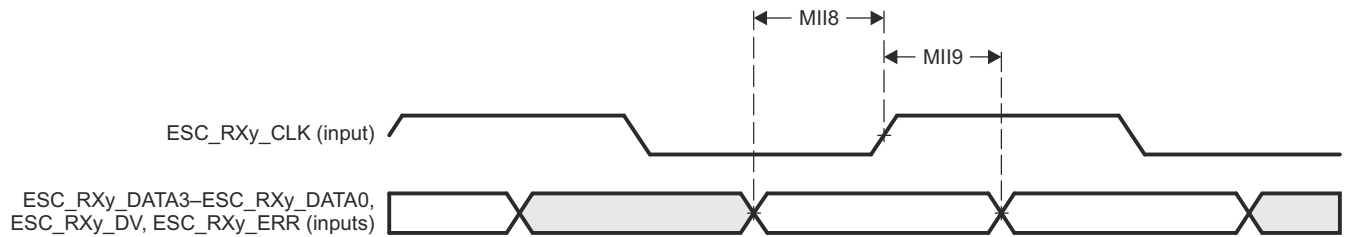


図 7-93. EtherCAT 受信インターフェースのタイミング (MII 動作)

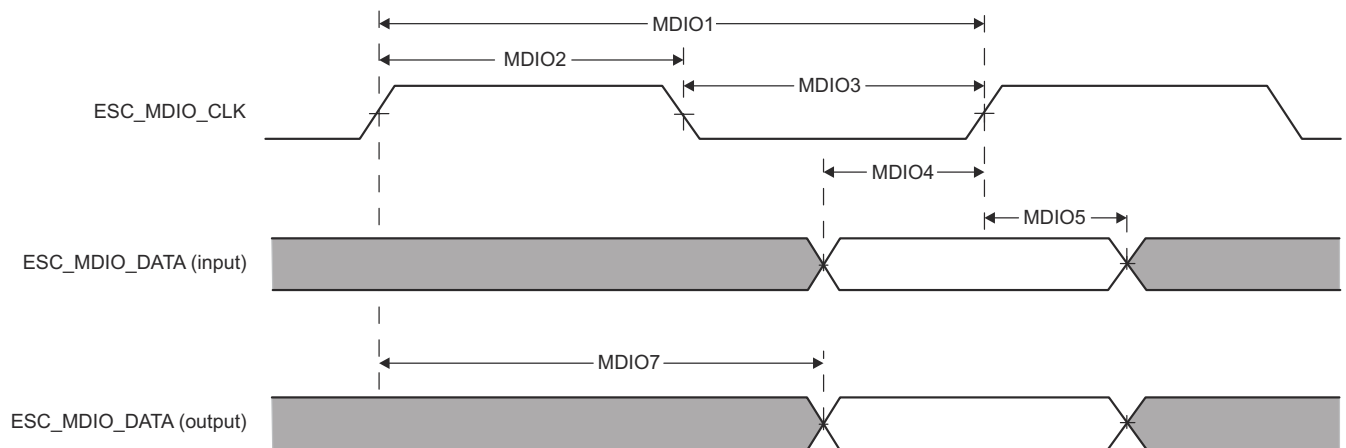


図 7-94. EtherCAT MDIO のタイミング図

7.13.9 ユニバーサル・シリアル・バス (USB) コントローラ

この USB コントローラは、USB ホストまたはデバイス機能とのフルスピードまたはロースピードでのポイントツーポイント通信機能コントローラとして動作します。

USB モジュールの主な機能は次のとおりです。

- USB 2.0 フルスピードおよびロースピード動作
- PHY 内蔵
- 制御、割り込み、バルクの 3 つの転送タイプ
- 32 個のエンドポイント
 - コントロール転送専用の IN エンドポイントおよび OUT エンドポイント各 1 個
 - 転送タイプが設定可能な IN エンドポイントおよび OUT エンドポイント各 15 個
- 4KB の専用エンドポイント・メモリ

USB ブロック図を [図 7-95](#) に示します。

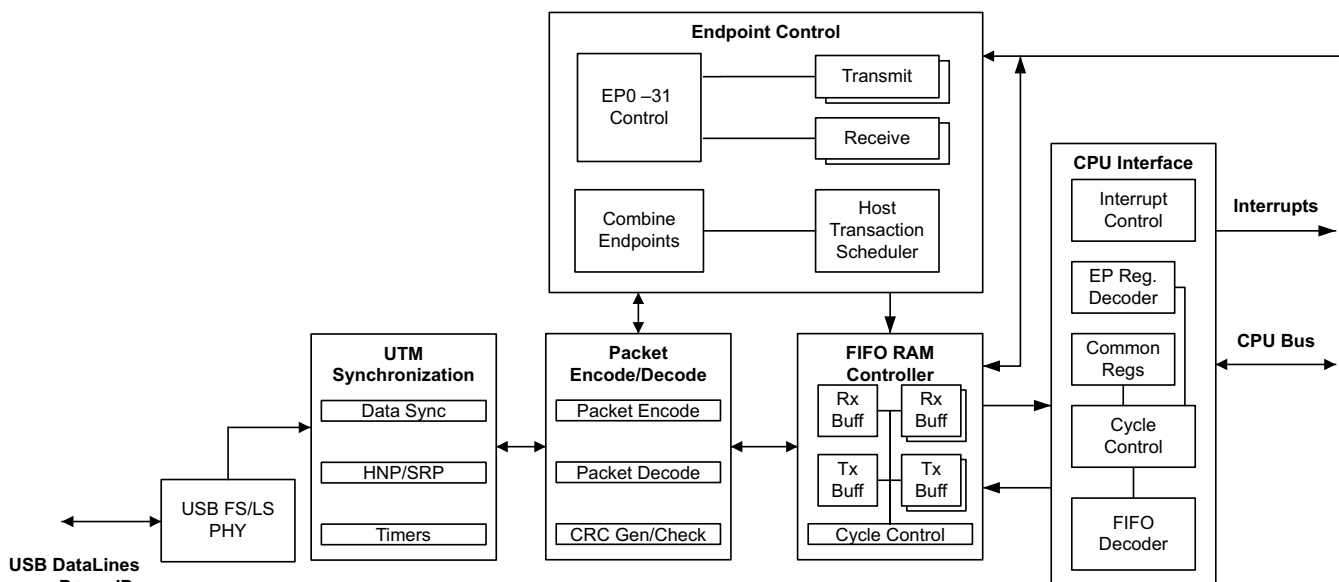


図 7-95. USB ブロック図

注

オンチップのゼロピン発振器 ([セクション 7.10.3.5.1](#)、INTOSC の特性) の精度は、USB プロトコルの精度要件を満たしません。USB を使用するアプリケーションでは、外部クロック・ソースを使用する必要があります。

7.13.9.1 USB の電氣的データおよびタイミング

セクション 7.13.9.1.1 に、USB 入力ポートの DP および DM タイミング要件を示します。セクション 7.13.9.1.2 に、USB 出力ポートの DP および DM スイッチング特性を示します。

7.13.9.1.1 USB 入力ポート DP および DM のタイミング要件

		最小値	最大値	単位
V(CM)	差動入力同相範囲	0.8	2.5	V
Z(IN)	入力インピーダンス	300		kΩ
VCRS	クロスオーバー電圧	1.3	2.0	V
V _{IL}	静的 SE 入力ロジック LOW レベル	0.8		V
V _{IH}	静的 SE 入力ロジック HIGH レベル		2.0	V
VDI	差動入力電圧		0.2	V

7.13.9.1.2 USB 出力ポート DP および DM スイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	最大値	単位
V _{OH}	D+, D- シングルエンド	USB 2.0 負荷条件	2.8	3.6	V
V _{OL}	D+, D- シングルエンド	USB 2.0 負荷条件	0	0.3	V
Z(DRV)	D+, D- インピーダンス		28	44	Ω
t _r	立ち上がり時間	フルスピード、差動、C _L = 50pF、10%/90%、D+ に R _{pu}	4	20	ns
t _f	立ち下がり時間	フルスピード、差動、C _L = 50pF、10%/90%、D+ に R _{pu}	4	20	ns

7.14 コネクティビティ・マネージャ (CM) のペリフェラル

注

特定のデバイスにおける各ペリフェラルの実際の数については、「デバイスの比較」表を参照してください。

7.14.1 モジュラー・コントローラ・エリア・ネットワーク (MCAN) [CAN FD]

コントローラ・エリア・ネットワーク (CAN) は、高い信頼性で分散リアルタイム制御を効率的にサポートするシリアル通信プロトコルです。CAN は電氣的干渉に対する高い耐性を持ち、さまざまな種類のエラーを検出できます。CAN では、多くのショート・メッセージがネットワーク全体にブロードキャストされるため、システムのすべてのノードでデータの整合性が確保されます。

MCAN モジュールは、従来型の CAN と CAN FD (CAN with flexible data-rate) の両方のプロトコルをサポートしています。CAN FD 機能により、データ・フレームあたりのスループットが向上し、ペイロードが増加します。従来型の CAN デバイスにおいて、バス・エラーを生成せずに CAN FD を検出および無視できる部分的ネットワーク・トランシーバが使用されているのであれば、従来型の CAN デバイスと CAN FD デバイスを、同じネットワーク上で競合なしで使用することが可能です。MCAN モジュールは、ISO 11898-1:2015 に準拠しています。

MCAN モジュールの主な機能は次のとおりです。

- CAN プロトコル 2.0A、B、ISO 11898-1:2015 に準拠
- 完全な CAN FD のサポート (最大 64 データ・バイト)
- AUTOSAR および SAE J1939 をサポート
- 最大 32 個の専用送信バッファ
- 構成可能な送信 FIFO、最大 32 個の素子
- 構成可能な送信キュー、最大 32 個の素子
- 構成可能な送信イベント FIFO、最大 32 個の素子
- 最大 64 個の専用受信バッファ
- 2 つの構成可能な受信 FIFO、それぞれ最大 64 個の素子
- 最大 128 個のフィルタ素子
- セルフ・テスト用のループバック・モード
- マスク可能割り込み (2 つの構成可能な割り込みライン、訂正可能 ECC、カウンタ・オーバーフロー、クロックの停止 / ウェークアップ)
- マスク不可能割り込み (訂正不可能な ECC)
- 2 つのクロック・ドメイン (CAN クロック / ホスト・クロック)
- メッセージ RAM の ECC チェック
- クロックの停止とウェークアップのサポート
- タイムスタンプ・カウンタ

サポートされない機能:

- ホスト・バス・ファイアウォール
- DCAN などの GPIO は統合されていない
- クロックのキャリブレーション
- CAN 経路のデバッグ

図 7-96 に、MCAN モジュールの概要を示します。

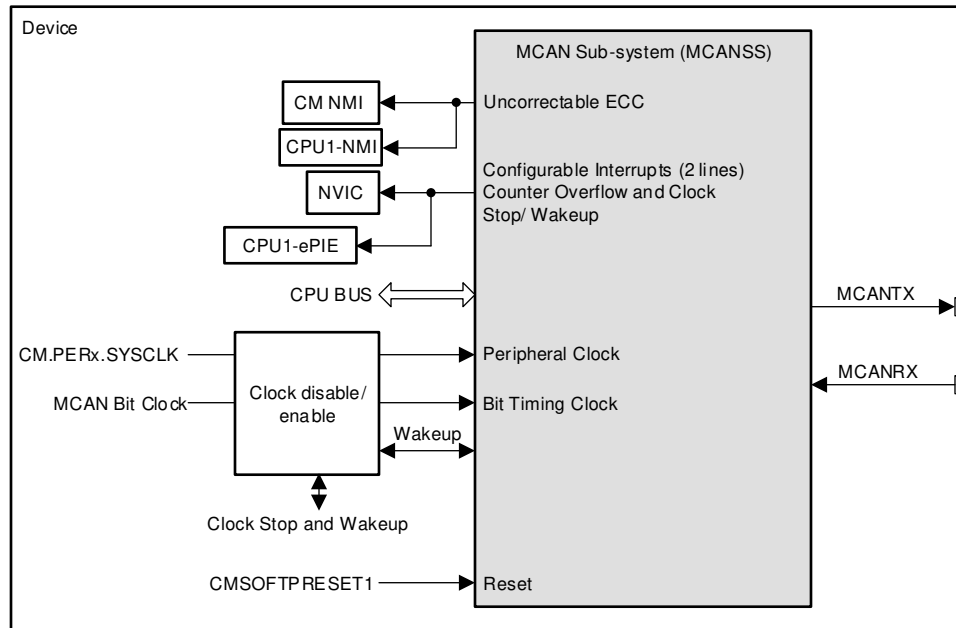


図 7-96. MCAN モジュールの概要

7.14.2 イーサネット・メディア・アクセス・コントローラ (EMAC)

このイーサネット・モジュールを使用すると、ホストは IEEE 802.3-2015 に準拠してイーサネット経由でデータを送受信できます。イーサネット・モジュールの特性を以下に示します。

- イーサネット MAC、Media Independent Interface (MII) に関する IEEE 802.3-2015
- 高精度なネットワーク・クロック同期に関する IEEE 1588-2008
- Energy Efficient Ethernet (EEE) に関する IEEE 802.3az-2010
- Reduced Media Independent Interface (RMII) コンソーシアムによる RMII 仕様バージョン 1.2
- Reverse Media Independent Interface (RevMII)

イーサネット・モジュールの詳細については、『[TMS320F2838x リアルタイム・マイクロコントローラ・テクニカル・リファレンス・マニュアル](#)』のイーサネットの章を参照してください。

7.14.2.1 MAC の機能

イーサネット・コントローラは、さまざまな Tx および Rx MAC 機能をサポートしています。MAC の主な機能グループを以下に示します。

- [MAC Tx および Rx 機能](#)
- [MAC Tx 機能](#)
- [MAC Rx 機能](#)

7.14.2.1.1 MAC Tx および Rx の機能

Tx と Rx を組み合わせた機能は次のとおりです。

- アプリケーションに対する個別の送信、受信、および制御インターフェイス
- 送信および受信パスのリトルエンディアン・モード
- 以下の PHY インターフェイスを備えた 10、100 のデータ転送レート。
 - 外部イーサネット PHY と通信するための IEEE 802.3 準拠の MII (デフォルト) インターフェイス
 - 外部高速イーサネット PHY と通信するための RMII インターフェイス
 - リモート MAC と直接通信するための RevMII インターフェイス
- 半二重動作:
 - CSMA/CD プロトコルのサポート
 - バックプレッシャー・サポートを使用したフロー制御 (実装固有のホワイト・ペーパーおよび UNH イーサネット Clause 4 MAC Test Suite - Annex D に基づく)
- MII PHY のエネルギー効率の高いイーサネットのための標準 IEEE 802.3az-2010。
- 全二重フロー制御の動作 (IEEE 802.3x ポーズ・パケットおよび優先フロー制御)
- RMON または MIB カウンタによるネットワーク統計 (RFC2819/RFC2665)
- IEEE 1588-2002 および IEEE 1588-2008 に記載されているイーサネット・パケットのタイムスタンプをサポート (PTP パケットの Tx または Rx ステータスで与えられる 64 ビットのタイムスタンプ)。1 ステップと 2 ステップのタイムスタンプの両方を Tx 方向でサポート。
- パルス/秒 (PPS) 出力信号を制御する柔軟性
- PHY デバイスの構成と管理のための MDIO (Clause 22 および Clause 45) マスター・インターフェイス

7.14.2.1.2 MAC Tx 機能

MAC Tx 機能は次のとおりです。

- プリアンブルおよびパケットの開始データ (SFD) の挿入
- アプリケーションから送信されるパケットごとに個別の 32 ビットのステータス
- CRC とパッドの自動生成をパケットごとに制御可能
- 最大 16KB のサイズの標準またはジャンボ・イーサネット・パケットをサポートするためにパケット長をプログラム可能
- パケット間隔をプログラム可能 (40～96 ビット時間、8 ステップ)
- フロー制御入力がアサートからデアサートに遷移する際におけるゼロ量子ポーズ・パケットの IEEE 802.3x フロー制御自動送信 (全二重モード)
- パケットごとまたは静的グローバル制御によって送信パケットにおいて送信元アドレス・フィールドを挿入または置換、VLAN を挿入、置換、および削除
- 最大 2 つの VLAN タグの挿入、置換、または削除
- キュー / チャネル・ベースの VLAN タグの挿入、置換、または削除

7.14.2.1.3 MAC Rx の機能

MAC Rx の主な機能は次のとおりです。

- 柔軟なアドレス・フィルタリング・モード:
 - 各バイトのマスクを備えた宛先アドレス・フィルタ
 - 各バイトのマスクを備えたソース・アドレスの比較のチェック
 - マルチキャストおよびユニキャスト (DA) アドレス用の 64 ビット・ハッシュ・フィルタ
 - すべてのマルチキャストのアドレス指定をされたパケットを通過させるオプション
 - ネットワーク監視のためのフィルタリングを行わずにすべてのパケットを通過させる無差別モード
 - すべての受信パケットを (フィルタに従って) ステータス・レポートとともに通過させる
- 追加のパケット・フィルタリング:
 - VLAN タグ・ベース: 完全一致およびハッシュ・ベースのフィルタリング。外部または内部の VLAN タグに基づくフィルタリングが可能。
 - レイヤ 3 およびレイヤ 4 ベース: IPv4 または IPv6 上の TCP または UDP
 - 拡張された VLAN タグ・ベースのフィルタリング 4 つのフィルタの選択
- IEEE 802.1Q VLAN タグの検出および受信パケットの VLAN タグの削除をするオプション
- リモート・ウェイクアップ・パケットと AMD マジック・パケットを検出するモジュール
- 受信したポーズ・パケットのアプリケーションへの転送 (全二重モード)
- 受信パケットのレイヤ 3 / レイヤ 4 チェックサム・オフロード用受信モジュール
- 最大 2 つの VLAN タグを削除し、ステータスにタグを提供。

7.14.2.2 イーサネットの電気的データおよびタイミング

セクション 7.14.2.2.1 に、イーサネットのタイミング要件を示します。セクション 7.14.2.2.2 に、イーサネットのスイッチング特性を示します。図 7-97～図 7-103 に、イーサネットのタイミング図を示します。

7.14.2.2.1 イーサネットのタイミング要件

番号			最小値	公称値	最大値	単位
MII 100Mbps						
MII1	$t_{c(TXCK)}$	サイクル時間、ENET_MII_TX_CLK		40		ns
MII2/ MII3	$t_{w(TXCK)}$	パルス幅、ENET_MII_TX_CLK High または Low	16		24	ns
MII4	$t_{c(RXCK)}$	サイクル時間、ENET_MII_RX_CLK		40		ns
MII5/ MII6	$t_{w(RXCK)}$	パルス幅、ENET_MII_RX_CLK High または Low	16		24	ns
MII8	$t_{su(MRXDV-RXCKH)}$	セットアップ時間、受信信号有効から ENET_MII_RX_CLK HIGH まで	10			ns
MII9	$t_{h(RXCKH-MRXDV)}$	ホールド時間、ENET_MII_RX_CLK HIGH から受信信号有効の間	2			ns
MII 10Mbps						
MII1	$t_{c(TXCK)}$	サイクル時間、ENET_MII_TX_CLK		400		ns
MII2/ MII3	$t_{w(TXCK)}$	パルス幅、ENET_MII_TX_CLK High または Low	160		240	ns
MII4	$t_{c(RXCK)}$	サイクル時間、ENET_MII_RX_CLK		400		ns
MII5/ MII6	$t_{w(RXCK)}$	パルス幅、ENET_MII_RX_CLK High または Low	160		240	ns
MII8	$t_{su(MRXDV-RXCKH)}$	セットアップ時間、受信信号有効から ENET_MII_RX_CLK HIGH まで	10			ns
MII9	$t_{h(RXCKH-MRXDV)}$	ホールド時間、ENET_MII_RX_CLK HIGH から受信信号有効の間	2			ns
RMII (内部クロック) 100Mbps						
RMII5	$t_{su(MRXDV-RCKH)}$	セットアップ時間、受信信号有効から ENET_RMII_CLK HIGH まで	4			ns
RMII6	$t_{h(RCKH-MRXDV)}$	ホールド時間、ENET_RMII_CLK HIGH から受信信号有効の間	2			ns
RMII (内部クロック) 10Mbps						
RMII5	$t_{su(MRXDV-RCKH)}$	セットアップ時間、受信信号有効から ENET_RMII_CLK HIGH まで	4			ns
RMII6	$t_{h(RCKH-MRXDV)}$	ホールド時間、ENET_RMII_CLK HIGH から受信信号有効の間	2			ns
RMII (外部クロック) 100Mbps						
RMII1	$t_{c(RCK)}$	サイクル時間、ENET_RMII_CLK		20		ns
RMII2/ RMII3	$t_{w(RCK)}$	パルス幅、ENET_RMII_CLK High または Low	8		12	ns
RMII5	$t_{su(MRXDV-RCKH)}$	セットアップ時間、受信信号有効から ENET_RMII_CLK HIGH まで	4			ns
RMII6	$t_{h(RCKH-MRXDV)}$	ホールド時間、ENET_RMII_CLK HIGH から受信信号有効の間	2			ns
RMII (外部クロック) 10Mbps						
RMII1	$t_{c(RCK)}$	サイクル時間、ENET_RMII_CLK		200		ns
RMII2/ RMII3	$t_{w(RCK)}$	パルス幅、ENET_RMII_CLK High または Low	80		120	ns
RMII5	$t_{su(MRXDV-RCKH)}$	セットアップ時間、受信信号有効から ENET_RMII_CLK HIGH まで	4			ns
RMII6	$t_{h(RCKH-MRXDV)}$	ホールド時間、ENET_RMII_CLK HIGH から受信信号有効の間	2			ns
MDIO						
MDIO1	$t_{c(MCK)}$	サイクル時間、ENET_MDIO_CLK		400		ns
MDIO2/ MDIO3	$t_{w(MCK)}$	パルス幅、ENET_MDIO_CLK High または Low	160		240	ns

7.14.2.2.1 イーサネットのタイミング要件 (continued)

番号			最小値	公称値	最大値	単位
MDIO4	$t_{su}(MDV-MCKH)$	セットアップ時間、ENET_MDIO_DATA 有効から ENET_MDIO_CLK HIGH まで	20			ns
MDIO5	$t_h(MCKH-MDV)$	ホールド時間、ENET_MDIO_CLK HIGH から ENET_MDIO_DATA 有効の間	-1			ns

7.14.2.2.2 イーサネットのスイッチング特性

自由気流での動作温度範囲内 (特に記述のない限り)

番号	パラメータ		最小値	代表値	最大値	単位
MII 100Mbps						
MII7	$t_d(TXCKH-MTXDV)$	遅延時間、ENET_MII_TX_CLK High から 送信信号が有効になるまで	0		15	ns
MII 10Mbps のスイッチング特性						
MII7	$t_d(TXCKH-MTXDV)$	遅延時間、ENET_MII_TX_CLK High から 送信信号が有効になるまで	0		15	ns
RMII (内部 Clk) 100Mbps						
RMII7	$t_c(RCK)$	サイクル時間、ENET_RMII_CLK		20		ns
RMII8/ RMII9	$t_w(RCK)$	パルス幅、ENET_RMII_CLK High または Low	8		12	ns
RMII11	$t_d(RCKH-MTXDV)$	遅延時間、ENET_RMII_CLK High から送 信信号が有効になるまで			14	ns
RMII (内部 Clk) 10Mbps						
RMII7	$t_c(RCK)$	サイクル時間、ENET_RMII_CLK		200		ns
RMII8/ RMII9	$t_w(RCK)$	パルス幅、ENET_RMII_CLK High または Low	80		120	ns
RMII11	$t_d(RCKH-MTXDV)$	遅延時間、ENET_RMII_CLK High から送 信信号が有効になるまで	0		14	ns
RMII (外部 Clk) 100Mbps						
RMII11	$t_d(RCKH-MTXDV)$	遅延時間、ENET_RMII_TX_CLK High か ら送信信号が有効になるまで	0		14	ns
RMII (外部 Clk) 10Mbps						
RMII11	$t_d(RCKH-MTXDV)$	遅延時間、ENET_RMII_CLK High から送 信信号が有効になるまで	0		14	ns
MDIO						
MDIO1	$t_c(MCK)$	サイクル時間、ENET_MDIO_CLK		400		ns
MDIO2/ MDIO3	$t_w(MCK)$	パルス幅、ENET_MDIO_CLK High または Low	160		240	ns
MDIO7	$t_d(MCKH-MDV)$	遅延時間、ENET_MDIO_CLK High から ENET_MDIO_DATA 有効まで			$0.5t_c(MCK) + 30$	ns
	$t_v(MCKH-MDV)$	有効時間、ENET_MDIO_CLK High から ENET_MDIO_DATA 有効の間	$0.5t_c(MCK)$			ns

7.14.2.2.3 イーサネットのタイミング図

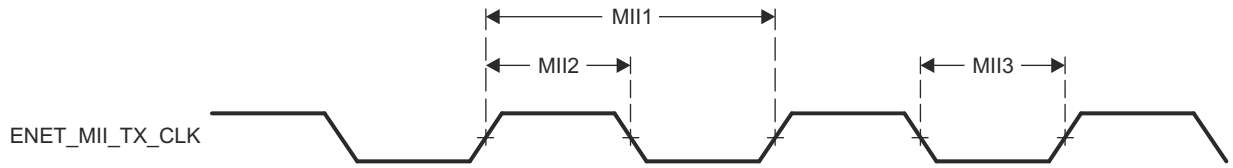


図 7-97. 送信クロックのタイミング (MII 動作)

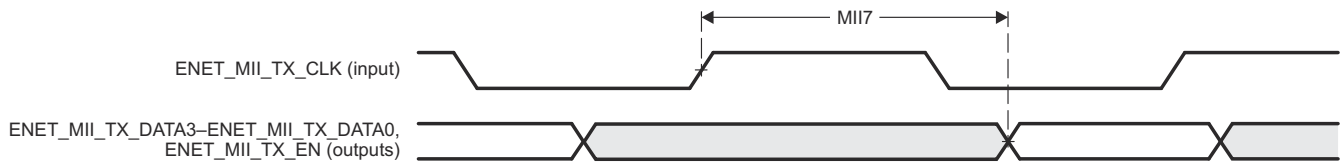


図 7-98. 送信インターフェースのタイミング (MII 動作)

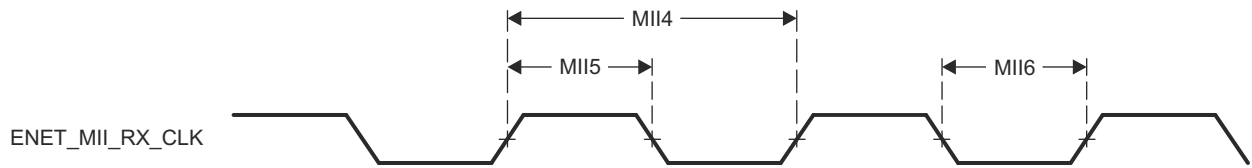


図 7-99. 受信クロックのタイミング (MII 動作)

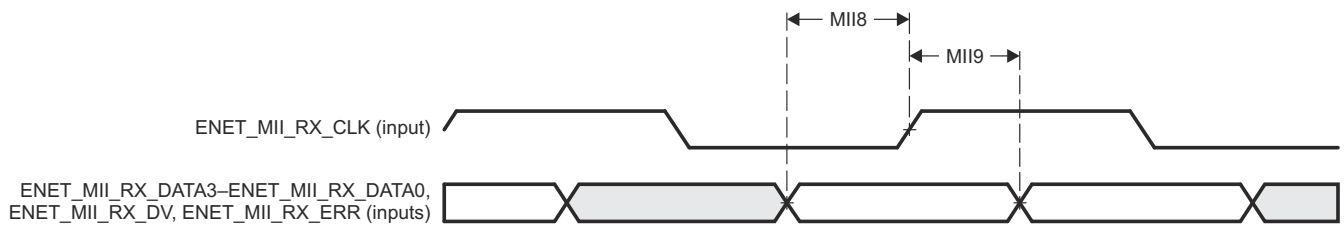


図 7-100. 受信インターフェースのタイミング (MII 動作)

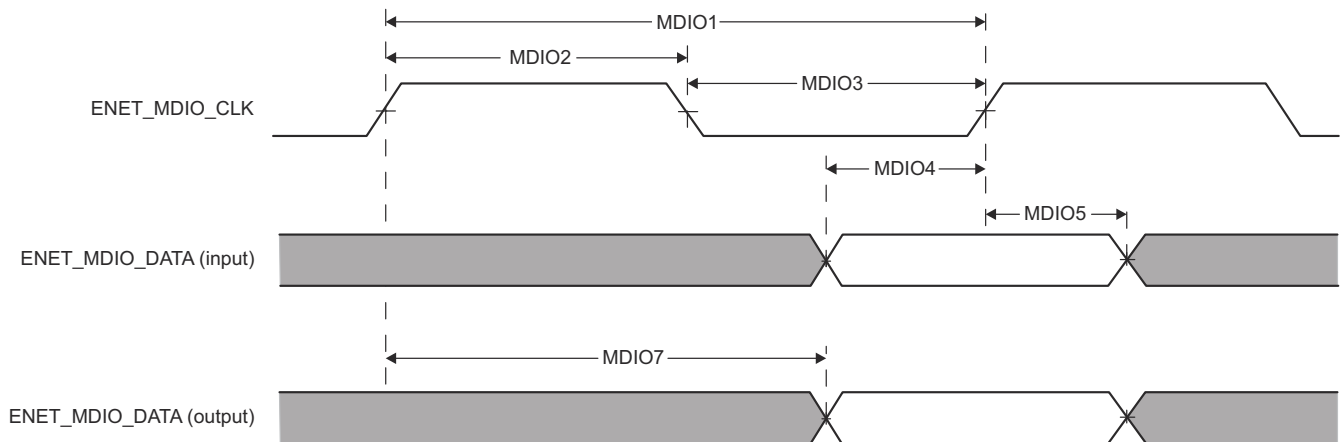


図 7-101. MDIO のタイミング図

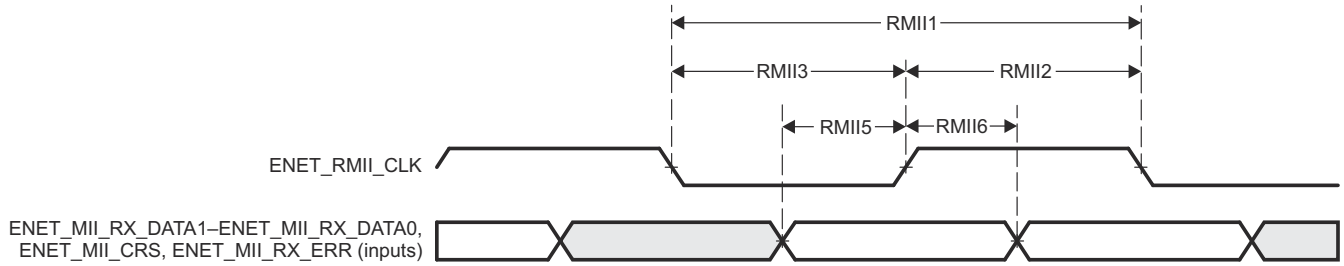


図 7-102. 受信インターフェースのタイミング (RMII 動作)

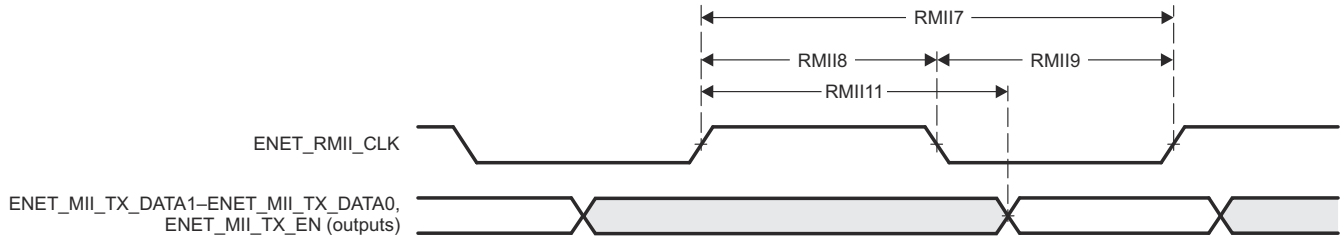


図 7-103. 送信インターフェースのタイミング (RMII 動作)

7.14.2.3 イーサネット REVMII の電氣的データおよびタイミング

セクション 7.14.2.3.1 に、イーサネット REVMII のタイミング要件を示します。セクション 7.14.2.3.2 に、イーサネット REVMII のスイッチング特性を示します。

7.14.2.3.1 イーサネット REVMII のタイミング要件

		最小値	公称値	最大値	単位
REVMII					
$t_c(\text{RXCK})$	サイクル時間、ENET_MII_RX_CLK	40			ns
$t_w(\text{RXCK})$	パルス幅、ENET_MII_RX_CLK High または Low	16		24	ns
$t_{su}(\text{MRXDV-RXCKH})$	セットアップ時間、ENET_MII_RX_DATA[3:0]、ENET_MII_RX_EN 有効から ENET_MII_RX_CLK HIGH まで	15			ns
$t_h(\text{RXCKH-MRXDV})$	ホールド時間、ENET_MII_RX_DATA[3:0]、ENET_MII_RX_CLK HIGH から ENET_MII_RX_EN 有効の間	0			ns
MDIO					
$t_c(\text{MCK})$	サイクル時間、ENET_MDIO_CLK	400			ns
$t_w(\text{MCK})$	パルス幅、ENET_MDIO_CLK High または Low	160		240	ns
$t_{su}(\text{MDV-MCKH})$	セットアップ時間、ENET_MDIO_DATA 有効から ENET_MDIO_CLK HIGH まで	30			ns
$t_h(\text{MCKH-MDV})$	ホールド時間、ENET_MDIO_CLK HIGH から ENET_MDIO_DATA 有効の間	3			ns

7.14.2.3.2 イーサネット REVMII のスイッチング特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		最小値	代表値	最大値	単位
REVMII					
$t_c(\text{TXCK})$	サイクル時間、ENET_MII_TX_CLK	40			ns
$t_w(\text{TXCK})$	パルス幅、ENET_MII_TX_CLK が High または Low	16		24	ns
$t_d(\text{TXCKH-DV})$	遅延時間、ENET_MII_TX_CLK High から ENET_MII_TX_DATA[3:0]、ENET_MII_TX_DV、ENET_MII_TX_ERR 有効まで			10	ns
$t_v(\text{TXCKH-DV})$	有効時間、ENET_MII_TX_CLK High から ENET_MII_TX_DATA[3:0]、ENET_MII_TX_DV、ENET_MII_TX_ERR 無効まで	1			ns
MDIO					
$t_c(\text{MCK})$	サイクル時間、ENET_MDIO_CLK	400			ns
$t_w(\text{MCK})$	パルス幅、ENET_MDIO_CLK High または Low	160		240	ns
$t_d(\text{MCKH-MDV})$	遅延時間、ENET_MDIO_CLK High から ENET_MDIO_DATA 有効まで			40	ns
$t_v(\text{MCKH-MDV})$	有効時間、ENET_MDIO_CLK High から ENET_MDIO_DATA 有効の間	1			ns

7.14.3 CM-I2C (Inter-Integrated Circuit)

CM-I2C バスは、2 つのライン (SDA (シリアル・データ・ライン) と SCL (シリアル・クロック・ライン)) を使用した双方向データ転送を実現し、シリアル・メモリ (RAM や ROM)、ネットワーク・デバイス、LCD、トーン・ジェネレータなどの外部 I2C デバイスとのインターフェイスを提供します。CM-I2C バスはまた、製品の開発時や製造工程において、システムのテストや診断を行う目的で使用することも可能です。

CM-I2C モジュールは、以下の機能をサポートしています。

- CM-I2C バス上のデバイスをマスタとしてもスレーブとしても指定可能。
 - マスタまたはスレーブとして、データの送受信をサポート
 - マスタとスレーブの同時動作をサポート
- 4 つの CM-I2C モード：
 - マスタ送信
 - マスタ受信
 - スレーブ送信
 - スレーブ受信
- 受信 FIFO およびトランスミッタ FIFO (深さ 8 × 8 ビット FIFO)
 - FIFO を独立してマスタまたはスレーブに割り当て可能
- 3 つの送信速度：
 - 標準 (100kbps)
 - ファスト・モード (400kbps)
 - ファスト・モード・プラス (1Mbps)
- グリッチ抑制
- ソフトウェアによる SMBus サポート
 - クロック Low タイムアウト割り込み
 - デュアル・スレーブ・アドレス機能
 - クイック・コマンド機能
- マスタ割り込みとスレーブ割り込みの生成
 - 送信動作または受信動作が完了した時点 (あるいは、エラーが原因で中止 (アボート) になった時点) で、マスタが割り込みを生成
 - データを受信するかマスタに送信を要求された時点、あるいは START 条件か STOP 条件が検出された時点で、スレーブが割り込みを生成
- アービトレーション (調停) 機能およびクロック同期機能、マルチ・マスタ対応、7 ビット・アドレッシング・モード
- マイクロ・ダイレクト・メモリ・アクセス (μDMA) コントローラによる効率的な転送
 - 送信用と受信用でチャンネルを分離
 - CM-I2C の RX および TX FIFO を使用して、単一のデータ転送またはバースト・データ転送を実行可能

CM-I2C ブロック図を図 7-104 に示します。

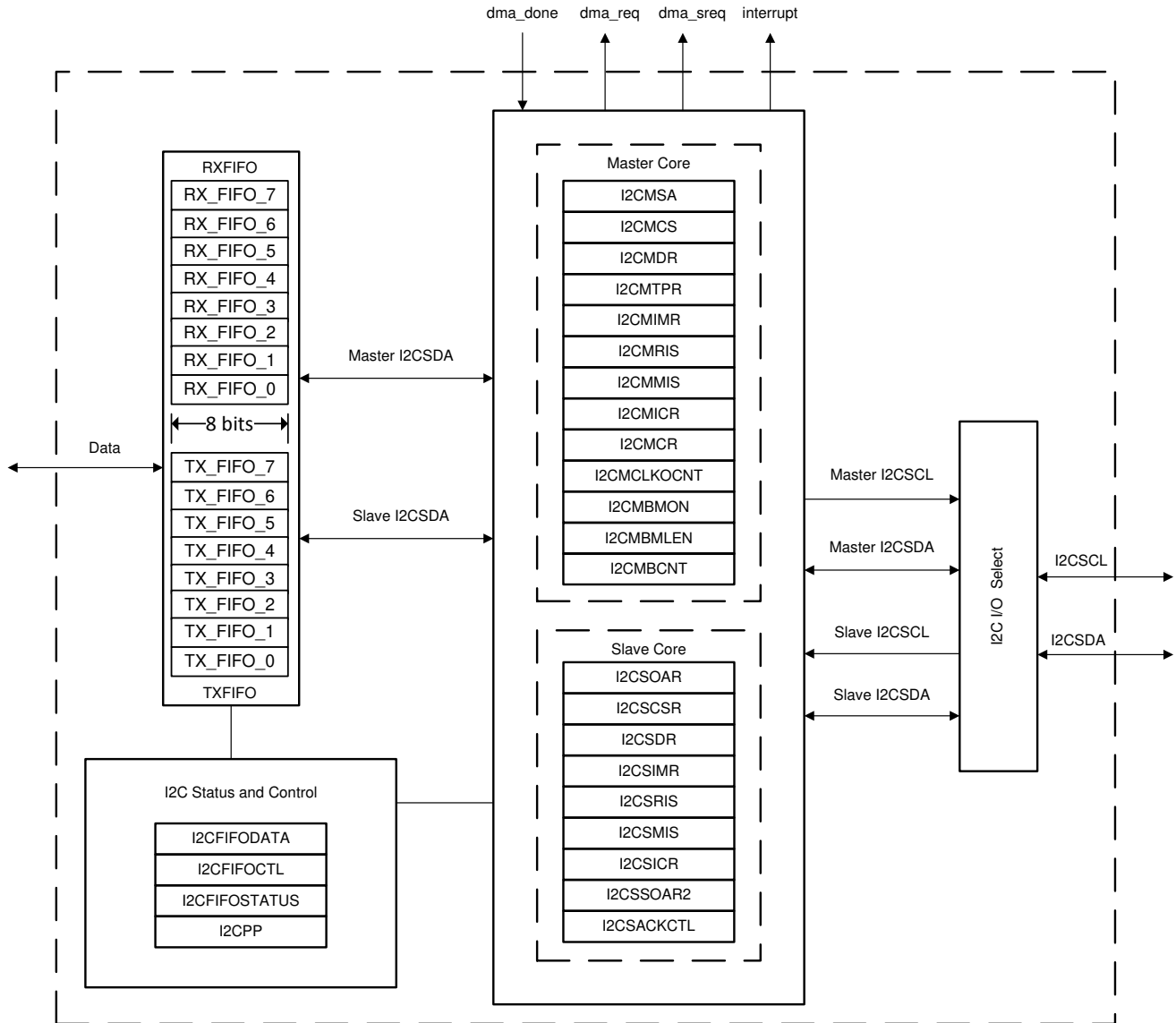


図 7-104. CM-I2C のブロック図

7.14.3.1 CM-I2C の電氣的データおよびタイミング

セクション 7.14.3.1.1 に、CM-I2C のタイミング要件を示します。セクション 7.14.3.1.2 に、CM-I2C のスイッチング特性を示します。図 7-105 に、CM-I2C のタイミング図を示します。

7.14.3.1.1 CM-I2C のタイミング要件

番号			最小値	最大値	単位
標準モード					
T1	$t_{h(SDA-SCL)START}$	ホールド時間、START 条件、SDA 立ち下がりから SCL 立ち下がりまでの遅延	4.0		μs
T2	$t_{su(SCL-SDA)START}$	セットアップ時間、繰り返し START、SCL 立ち上がりから SDA 立ち下がりまでの遅延	4.7		μs
T3	$t_{h(SCL-DAT)}$	ホールド時間、SCL 立ち下がりからデータ有効の間	0		μs
T4	$t_{su(DAT-SCL)}$	セットアップ時間、データから SCL 立ち上がりまで	250		ns
T5	$t_r(SDA)$	立ち上がり時間、SDA		1000	ns
T6	$t_r(SCL)$	立ち上がり時間、SCL		1000	ns
T7	$t_f(SDA)$	立ち下がり時間、SDA		300	ns
T8	$t_f(SCL)$	立ち下がり時間、SCL		300	ns
T9	$t_{su(SCL-SDA)STOP}$	セットアップ時間、STOP 条件、SCL 立ち上がりから SDA 立ち上がりまでの遅延	4.0		μs
T10	$t_w(SP)$	フィルタによって抑制されるスパイクのパルス幅	$t_c(CMCLK)$	$31 * t_c(CMCLK)$	ns
T11	C_b	各バス・ラインの容量性負荷		400	pF
ファスト・モード					
T1	$t_{h(SDA-SCL)START}$	ホールド時間、START 条件、SDA 立ち下がりから SCL 立ち下がりまでの遅延	0.6		μs
T2	$t_{su(SCL-SDA)START}$	セットアップ時間、繰り返し START、SCL 立ち上がりから SDA 立ち下がりまでの遅延	0.6		μs
T3	$t_{h(SCL-DAT)}$	ホールド時間、SCL 立ち下がりからデータ有効の間	0		μs
T4	$t_{su(DAT-SCL)}$	セットアップ時間、データから SCL 立ち上がりまで	100		ns
T5	$t_r(SDA)$	立ち上がり時間、SDA	20	300	ns
T6	$t_r(SCL)$	立ち上がり時間、SCL	20	300	ns
T7	$t_f(SDA)$	立ち下がり時間、SDA	11.4	300	ns
T8	$t_f(SCL)$	立ち下がり時間、SCL	11.4	300	ns
T9	$t_{su(SCL-SDA)STOP}$	セットアップ時間、STOP 条件、SCL 立ち上がりから SDA 立ち上がりまでの遅延	0.6		μs
T10	$t_w(SP)$	フィルタによって抑制されるスパイクのパルス幅	$t_c(CMCLK)$	$31 * t_c(CMCLK)$	ns
T11	C_b	各バス・ラインの容量性負荷		400	pF
ファスト・モード・プラス					
T1	$t_{h(SDA-SCL)START}$	ホールド時間、START 条件、SDA 立ち下がりから SCL 立ち下がりまでの遅延	0.26		μs
T2	$t_{su(SCL-SDA)START}$	セットアップ時間、繰り返し START、SCL 立ち上がりから SDA 立ち下がりまでの遅延	0.26		μs
T3	$t_{h(SCL-DAT)}$	ホールド時間、SCL 立ち下がりからデータ有効の間	0		μs
T4	$t_{su(DAT-SCL)}$	セットアップ時間、データから SCL 立ち上がりまで	50		ns
T5	$t_r(SDA)$	立ち上がり時間、SDA		120	ns
T6	$t_r(SCL)$	立ち上がり時間、SCL		120	ns
T7	$t_f(SDA)$	立ち下がり時間、SDA	11.4	120	ns
T8	$t_f(SCL)$	立ち下がり時間、SCL	11.4	120	ns

7.14.3.1.1 CM-I2C のタイミング要件 (continued)

番号			最小値	最大値	単位
T9	$t_{su(SCL-SDA)STOP}$	セットアップ時間、STOP 条件、SCL 立ち上がりから SDA 立ち上がりまでの遅延	0.26		μs
T10	$t_w(SP)$	フィルタによって抑制されるスパイクのパルス幅	$t_c(CMCLK)$	$31 * t_c(CMCLK)$	ns
T11	C_b	各バス・ラインの容量性負荷		550	pF

7.14.3.1.2 CM-I2C のスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

番号	パラメータ	テスト条件	最小値	最大値	単位
標準モード					
S1	f_{SCL}	SCL クロック周波数	0	100	kHz
S2	T_{SCL}	SCL クロック周期	10		μs
S3	$t_w(SCLL)$	パルス幅、SCL クロック Low	4.7		μs
S4	$t_w(SCLH)$	パルス幅、SCL クロック High	4.0		μs
S5	t_{BUF}	STOP 条件と START 条件間のバス開放時間	4.7		μs
S6	$t_v(SCL-DAT)$	有効時間、SCL 立ち下がり後のデータ		3.45	μs
S7	$t_v(SCL-ACK)$	有効時間、SCL 立ち下がりからアクノリッジまで		3.45	μs
S8	I_i	ピンの入力電流	$0.1V_{bus} < V_i < 0.9V_{bus}$	-10	10 μA
高速モード					
S1	f_{SCL}	SCL クロック周波数	0	400	kHz
S2	T_{SCL}	SCL クロック周期	2.5		μs
S3	$t_w(SCLL)$	パルス幅、SCL クロック Low	1.3		μs
S4	$t_w(SCLH)$	パルス幅、SCL クロック High	0.6		μs
S5	t_{BUF}	STOP 条件と START 条件間のバス開放時間	1.3		μs
S6	$t_v(SCL-DAT)$	有効時間、SCL 立ち下がり後のデータ		0.9	μs
S7	$t_v(SCL-ACK)$	有効時間、SCL 立ち下がりからアクノリッジまで		0.9	μs
S8	I_i	ピンの入力電流	$0.1V_{bus} < V_i < 0.9V_{bus}$	-10	10 μA
高速モード・プラス					
S1	f_{SCL}	SCL クロック周波数	0	1000	kHz
S2	T_{SCL}	SCL クロック周期	1		μs
S3	$t_w(SCLL)$	パルス幅、SCL クロック Low	0.5		μs
S4	$t_w(SCLH)$	パルス幅、SCL クロック High	0.26		μs
S5	t_{BUF}	STOP 条件と START 条件間のバス開放時間	0.5		μs
S6	$t_v(SCL-DAT)$	有効時間、SCL 立ち下がり後のデータ		0.45	μs
S7	$t_v(SCL-ACK)$	有効時間、SCL 立ち下がりからアクノリッジまで		0.45	μs
S8	I_i	ピンの入力電流	$0.1V_{bus} < V_i < 0.9V_{bus}$	-10	10 μA

7.14.3.1.3 CM-I2C のタイミング図

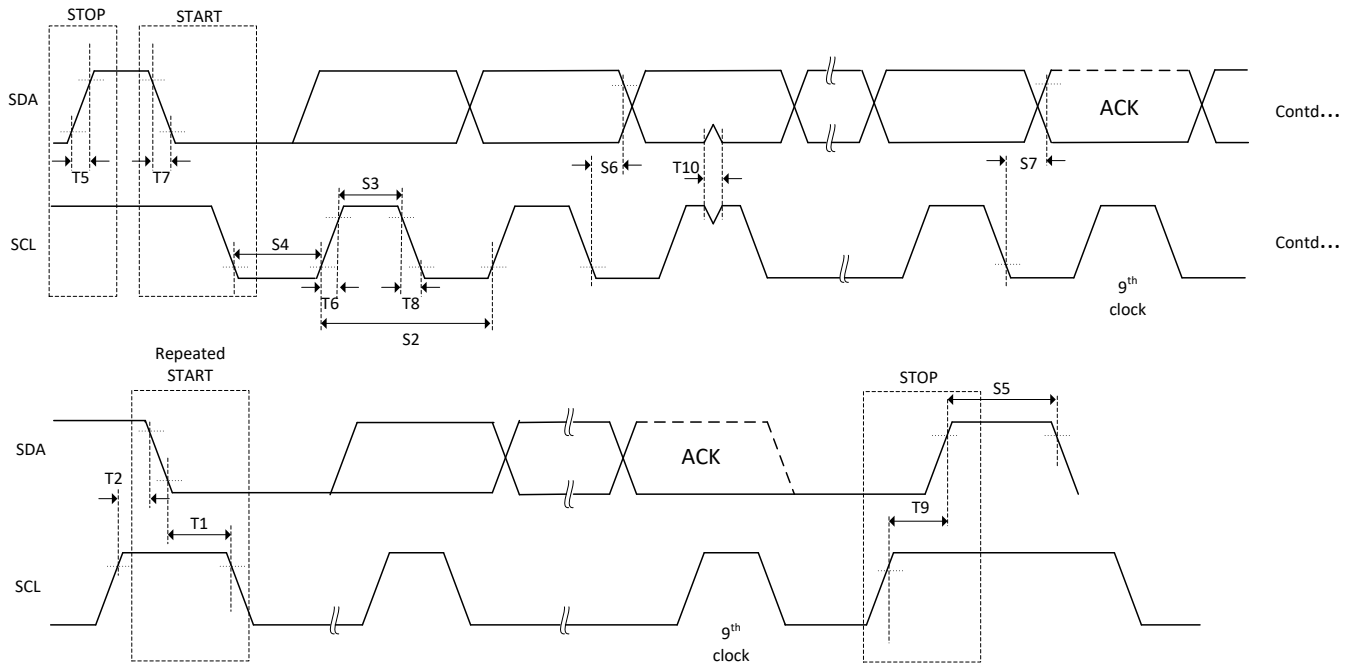


図 7-105. CM-I2C のタイミング図

7.14.4 同期式シリアル・インターフェイス (SSI)

SSI モジュールの主な機能は次のとおりです。

- Freescale® SPI またはテキサス・インスツルメンツ同期シリアル・インターフェイス用のプログラマブル・インターフェイス動作。この SSI モジュールでは、レガシー SSI モードのみがサポートされています。
- マスタ・モード、およびスレーブ・モードをサポート
- プログラマブルなクロック・ビット・レートとプリスケータ
- 送信用と受信用にそれぞれ 16 ビット 8 段の FIFO をサポート
- プログラマブルなデータ・フレーム・サイズ (4~16 ビット)
- 診断およびデバッグ・テスト用の内部ループバック・テスト・モード
- 標準的な FIFO ベースの割り込みおよび送信終了割り込み
- マイクロ・ダイレクト・メモリ・アクセス・コントローラ (μDMA) による効率的な転送
 - 送信用と受信用でチャンネルを分離
 - FIFO 内にデータがあるときにアサートされる単一の要求と、FIFO にエンタリが 4 つ含まれたときにアサートされるバースト要求を受信
 - FIFO 内に空きがあるときにアサートされる単一の要求と、FIFO にエンタリが 4 つ以上含まれ、FIFO に書き込むことができるときにアサートされるバースト要求を送信
 - 送受信完了のためのマスカブル μDMA 割り込み

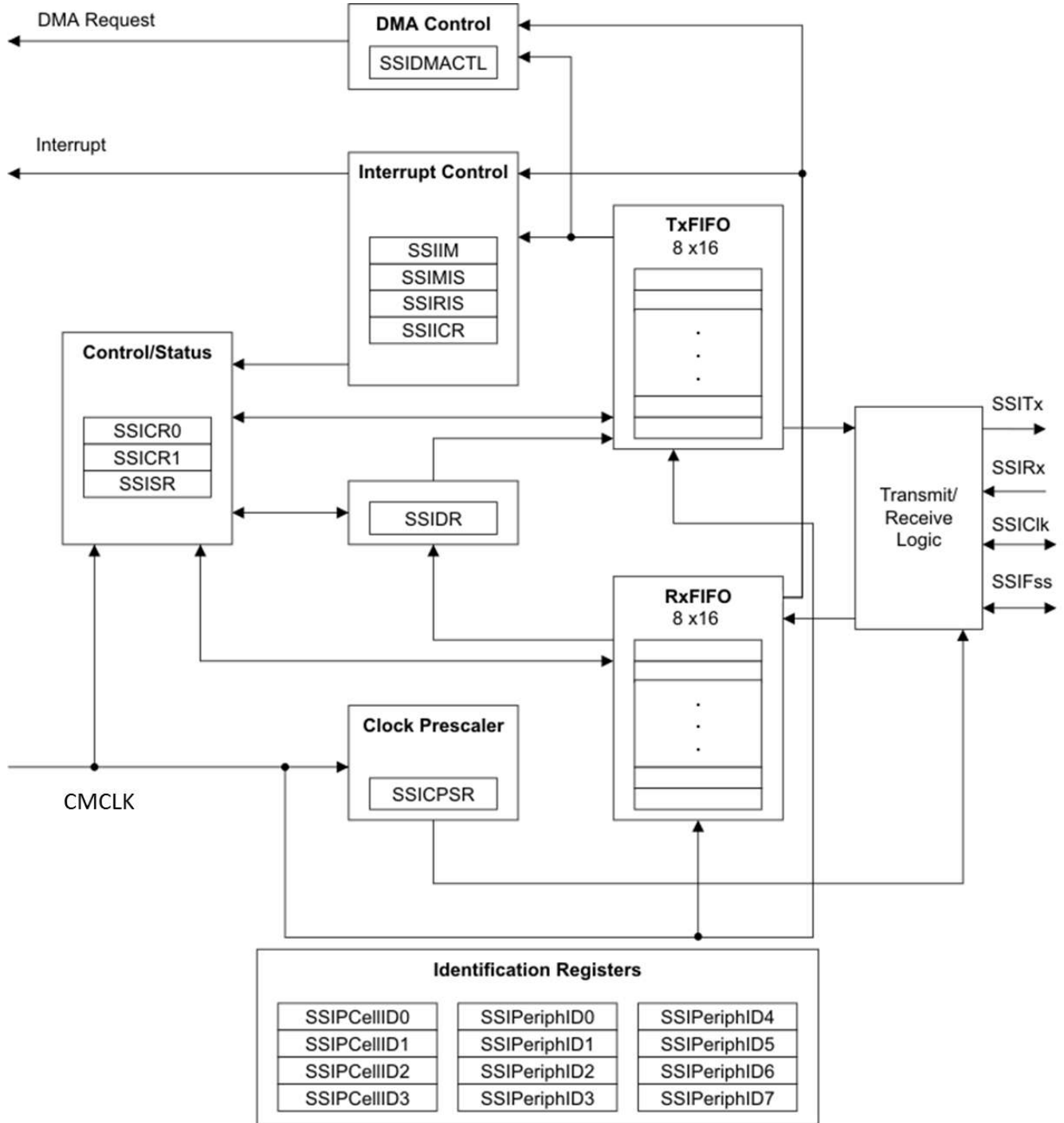


図 7-106. SSI のブロック図

7.14.4.1 SSI の電氣的データおよびタイミング

セクション 7.14.4.1.1 に、SSI のタイミング要件を示します。セクション 7.14.4.1.2 に、SSI のスイッチング特性を示します。図 7-107～図 7-109 に、SSI タイミング図を示します。

7.14.4.1.1 SSI のタイミング要件

番号			最小値	公称値	最大値	単位
マスタ・モード						
S8	t _{RXDMS}	Rx データ・セットアップ時間 (高速モード)	4			ns
S8	t _{RXDMS}	Rx データ・セットアップ時間 (通常モード)	14			ns
S9	t _{RXDMH}	Rx データ・ホールド時間	2			ns
スレーブ・モード						
S1	t _{CLK_PER}	SSIClk サイクル時間 ⁽¹⁾	12 × t _{c(CMCLK)}			ns
S2	t _{CLK_HIGH}	SSIClk High 時間	0.4 × t _{CLK_PER}			ns
S3	t _{CLK_LOW}	SSIClk Low 時間	0.4 × t _{CLK_PER}			ns
S12	t _{RXDSSU}	Rx データ・セットアップ時間	0			ns
S13	t _{RXDSH}	Rx データ・ホールド時間	4 × t _{c(CMCLK)}			ns

(1) スレーブ・モードでは、SSICLK を CMCLK の 12 分の 1 未満に設定するように SSICPSR を構成する必要があります。

7.14.4.1.2 SSI 特性

自由気流での動作温度範囲内 (特に記述のない限り)

番号	パラメータ		最小値	代表値	最大値	単位
マスタ・モード						
S1	t _{CLK_PER}	SSIClk サイクル時間 ⁽¹⁾	2 × t _{CMCLK}			ns
S2	t _{CLK_HIGH}	SSIClk High 時間	0.4 × t _{CLK_PER}			ns
S3	t _{CLK_LOW}	SSIClk Low 時間	0.4 × t _{CLK_PER}			ns
S6	t _{TXDMOV}	SSIClk からの Tx データ出力の有効時間			6	ns
S7	t _{TXDMOH}	次の SSIClk 後の Tx データ出力のホールド時間	0			ns
スレーブ・モード						
S10	t _{TXDSOV}	SSIClk のエッジからの Tx データ出力の有効時間			4 × t _{CMCLK} + 14	ns
S11	t _{TXDSOH}	次の SSIClk からの Tx データ出力のホールド時間	4 × t _{CMCLK} + 4			ns

(1) マスタ・モードでは、SSICLK を CMCLK の半分未満に設定するように SSICPSR を構成する必要があります。マスタ・モードの通常モード (非高速) では、マスタ RX 入力セットアップ要件を満たすために、より大きな SSICPSR 分周器が必要になる場合があります。

7.14.4.1.3 SSI のタイミング図

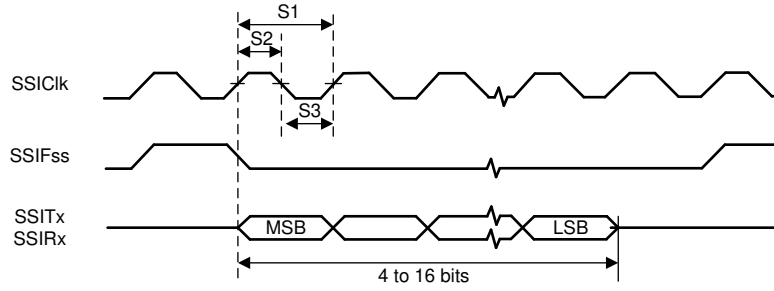


図 7-107. TI フレーム・フォーマット (FRF = 01) の SSI のタイミング、シングル転送タイミング計測

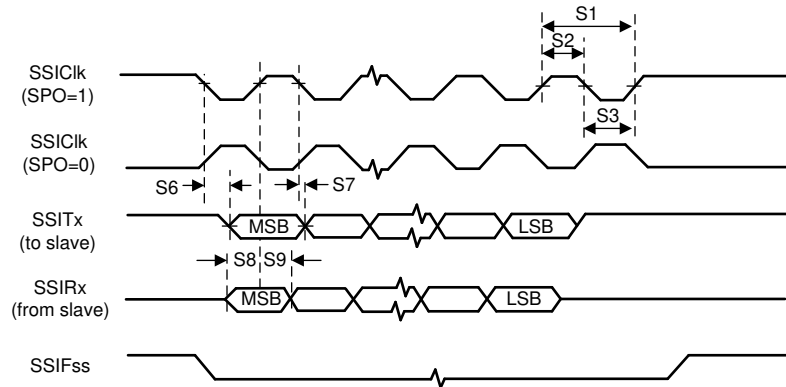


図 7-108. SPI フレーム・フォーマット (FRF = 00) のマスタ・モード SSI のタイミング、SPH = 1

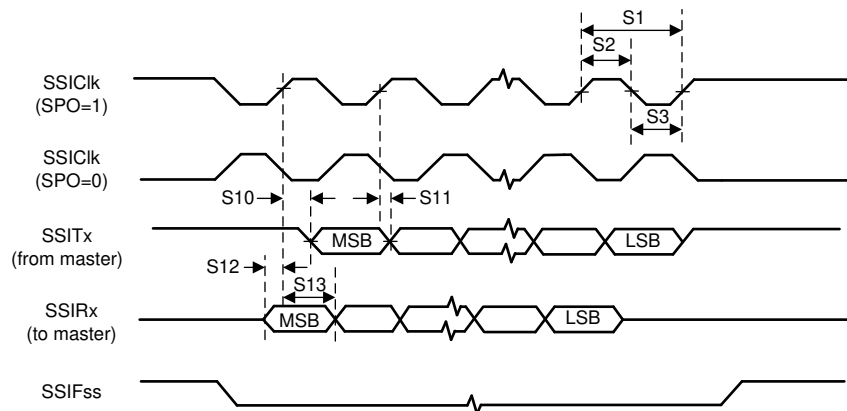


図 7-109. SPI フレーム・フォーマット (FRF = 00) のスレーブ・モード SSI のタイミング、SPH = 1

7.14.5 CM-UART (Universal Asynchronous Receiver/Transmitter)

このデバイスの UART (Universal Asynchronous Receiver/Transmitter) モジュールの主な機能は次のとおりです。

- プログラマブルなボーレート・ジェネレータにより、通常速度 (16 分周) で最大 7.8125Mbps、高速 (8 分周) で最大 15.625Mbps を実現
- 送信と受信で個別の FIFO (16 段 8 ビット幅) を備え、CPU 割り込み処理における負荷を軽減
- 従来のダブル・バッファ・インターフェイスを提供する 1 バイト動作を含む、プログラマブルな FIFO 長
- $\frac{1}{8}$ 、 $\frac{1}{4}$ 、 $\frac{1}{2}$ 、 $\frac{3}{4}$ 、 $\frac{7}{8}$ の FIFO トリガ・レベル
- スタート、ストップ、およびパリティ用の標準非同期通信ビット
- 改行の生成と検出
- プログラマブルなシリアル・インターフェイス特性
 - 5、6、7、または 8 データ・ビット
 - 偶数パリティ・ビット、奇数パリティ・ビット、スティック・パリティ・ビット、およびパリティなしビットの生成と検出
 - 1 または 2 ストップ・ビットの生成
- 次の機能を提供する IrDA SIR (Serial-IR) エンコーダおよびデコーダ
 - IrDA SIR または UART 入出力のプログラマブルな使用
 - 最大 115.2kbps 半二重のデータ・レート用の IrDA SIR エンコーダおよびデコーダ機能をサポート
 - 通常の 3/16 ビット持続期間と低電力ビット持続期間をサポート (1.41~2.23 μ s)
 - 低電力モード・ビット持続期間用に基準クロックの分周 (1~256) を可能とするプログラマブルな内部クロック・ジェネレータ
- EIA-485 9 ビットをサポート
- 標準 FIFO レベルおよびデータ転送終了 (EOT) 割り込み
- マイクロ・ダイレクト・メモリ・アクセス (μ DMA) コントローラによる効率的な転送
 - 送信用と受信用でチャンネルを分離
 - FIFO 内にデータがあるときにアサートされる単一の要求と、設定した FIFO レベルでアサートされるバースト要求を受信
 - FIFO 内に空きがあるときにアサートされる単一の要求と、設定した FIFO レベルでアサートされるバースト要求を送信

図 7-110 に、CM-UART モジュールのブロック図を示します。

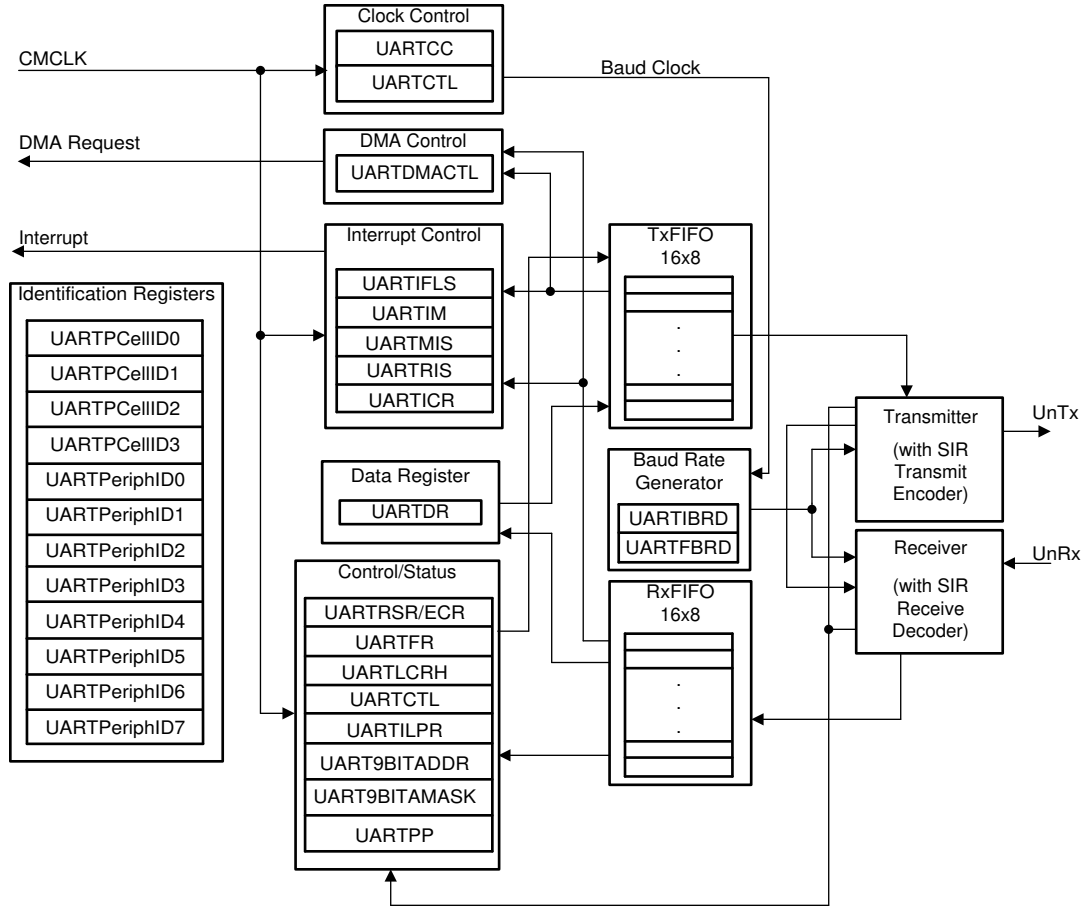


図 7-110. CM-UART モジュールのブロック図

7.14.6 トレース・ポート・インターフェイス・ユニット (TPIU)

CM サブシステムでは Cortex-M4 のトレース機能がサポートされています。

Cortex-M4 は次の 2 つのトレース・インターフェイスをサポートしています。

- UART プロトコルに準拠する非同期のシングル・ワイヤ・トレース
- 5 ピン (4 本のデータ・ピンと 1 本のクロック・ピン) のパラレル・トレース

このデバイスでは、両方のオプションがサポートされています。図 7-111 に、TPIU との間のクロックおよび信号の接続概要を示します。

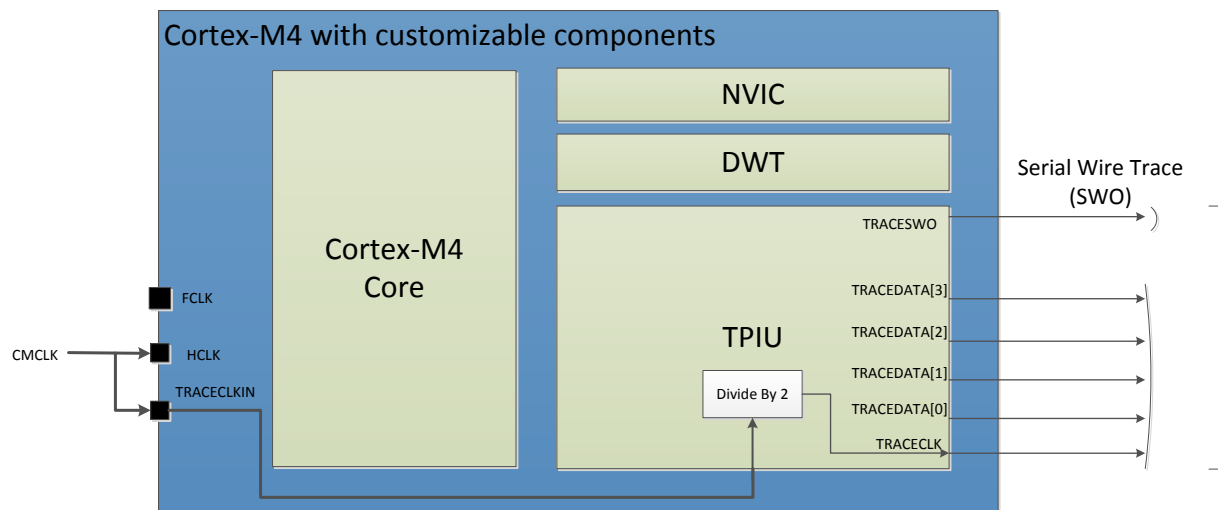


図 7-111. デバッグ・トレース

表 7-15 に、2 つのトレース・データ・エクスポート・メカニズムの主な属性を示します。TPIU とトレース・メカニズムの詳細については、『Arm アーキテクチャ・リファレンス・マニュアル』を参照してください。

表 7-15. トレース・データのエクスポートの主な属性

属性のパラレル・トレース	シリアル・ワイヤ・トレース	パラレル・トレース
プロトコル	UART プロトコル / マンチェスター符号化データ・ストリーム	TRACECLK の両エッジでのトレース・データの変化。
データ・スループット・レート	周波数 (CMHCLK)/(TPIU_ACPR + 1)	周波数 (CMHCLK)/2

トレース機能を使用するには、GPIO ピンでトレース機能を選択するように GPIO マルチプレクサを構成する必要があります。

7.14.6.1 TPIU の電氣的データおよびタイミング

セクション 7.14.6.1.1 に、トレース・ポートのスイッチング特性を示します。

7.14.6.1.1 トレース・ポートのスイッチング特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		最小値	代表値	最大値	単位
$t_c(\text{TRACE_CLK})$	サイクル時間、TRACE_CLK		16		ns
$t_w(\text{TRACE_CLK})$	パルス幅、TRACE_CLK High または Low	6		10	ns
$t_d(\text{TRACE_DATA, TRACE_SWO})$	遅延時間、TRACE_CLK High から TRACE_DATA 有効まで	-2		2	ns

8 詳細説明

8.1 概要

TMS320F2838x は強力な 32 ビット浮動小数点リアルタイム・マイクロコントローラ・ユニット (MCU) で、産業用ドライブやサーボ・モーター制御、太陽光インバータおよびコンバータ、デジタル電源、電気自動車、DSP およびセンシング・アプリケーションなどの高度な閉ループ制御アプリケーション向けに設計されています。F2838x はデュアル・コアの C28x アーキテクチャに加えて、新しいコネクティビティ・マネージャをサポートしており、重要な通信タスクの負荷を受け持つことで、システムの性能を大幅に向上できます。内蔵のアナログおよび制御ペリフェラルと、EtherCAT やイーサネットなどの高度なコネクティビティ・ペリフェラルも使用できるため、リアルタイム制御とリアルタイム通信アーキテクチャを統合でき、マルチコントローラ・システムの要件が減少します。

デュアル・リアルタイム制御サブシステムは、テキサス・インスツルメンツの 32 ビット C28x 浮動小数点 CPU を基礎としており、コアごとに 200MHz の信号処理能力があります。C28x CPU は TMU アクセラレータにより、変換やトルク・ループ計算で一般的な三角関数の演算を高速に実行でき、さらに高速化が可能です。

F2838x リアルタイム・マイクロコントローラ・ファミリには、2 つの CLA リアルタイム制御コプロセッサが搭載されています。この CLA は独立した 32 ビットの浮動小数点プロセッサであり、メイン CPU と同じ速度で動作します。この CLA は、ペリフェラルのトリガにตอบสนองし、メインの C28x CPU と同時にコードを実行します。この並列処理能力により、リアルタイム制御システムの計算能力が実質的に 2 倍になります。CLA を使って時間に制約のある機能へのサービスを行うことで、メインの C28x CPU は、他のタスク、たとえば通信や診断を自由に実行できます。デュアル C28x+CLA アーキテクチャにより、各種のシステム・タスクをインテリジェントに分割できます。たとえば、1 つの C28x+CLA コアを速度と位置の追跡に使用し、もう 1 つの C28x+CLA コアはトルクと電流ループの制御に使用できます。

コネクティビティ・マネージャ・サブシステムは、Cortex-M4 CPU を基礎とし、EtherCAT、イーサネット、MCAN (CAN FD)、AES などの高度な通信 IP にアクセスできます。

TMS320F2838x は、エラー訂正コード (ECC) 付きの最大 1.5MB (CPU ごとに 512KB) のフラッシュ・メモリと、最大 312KB (C28x CPU1 および CPU2 に合計 216KB、Cortex-M4 に 96KB) の SRAM をサポートします。デバイスでは、コード保護のため 2 つの 128 ビットのセキュア・ゾーンも使用できます。

高性能のアナログおよび制御ペリフェラルも F2838x MCU に内蔵されており、さらにシステムの統合が可能になります。4 つの独立した 16 ビット ADC により、複数のアナログ信号を正確かつ効率的に管理でき、最終的にシステムのスループットが向上します。シグマ-デルタ・フィルタ・モジュール (SDFM) は、シグマ-デルタ変調器との組み合わせで動作し、絶縁電流シャント測定を可能にします。ウィンドウ・コンパレータ付きのコンパレータ・サブシステム (CMPSS) により、電流制限条件を超過した、または条件が満たされていない場合に、電源段を保護できます。これ以外のアナログおよび制御ペリフェラルとして、DAC、PWM、eCAP、eQEP、その他のペリフェラルがあります。

EMIF、CAN モジュール (ISO 11898-1/CAN 2.0B 準拠)、EtherCAT、イーサネット、MCAN (CAN FD) などのペリフェラルにより、F2838x のコネクティビティが拡張されます。最後に、MAC および PHY 付きの USB 2.0 ポートにより、ユーザーはアプリケーションに USB (Universal Serial Bus) 接続を簡単に追加できます。

8.2 機能ブロック図

図 8-1 に、CPU システムおよび関連ペリフェラルを示します。

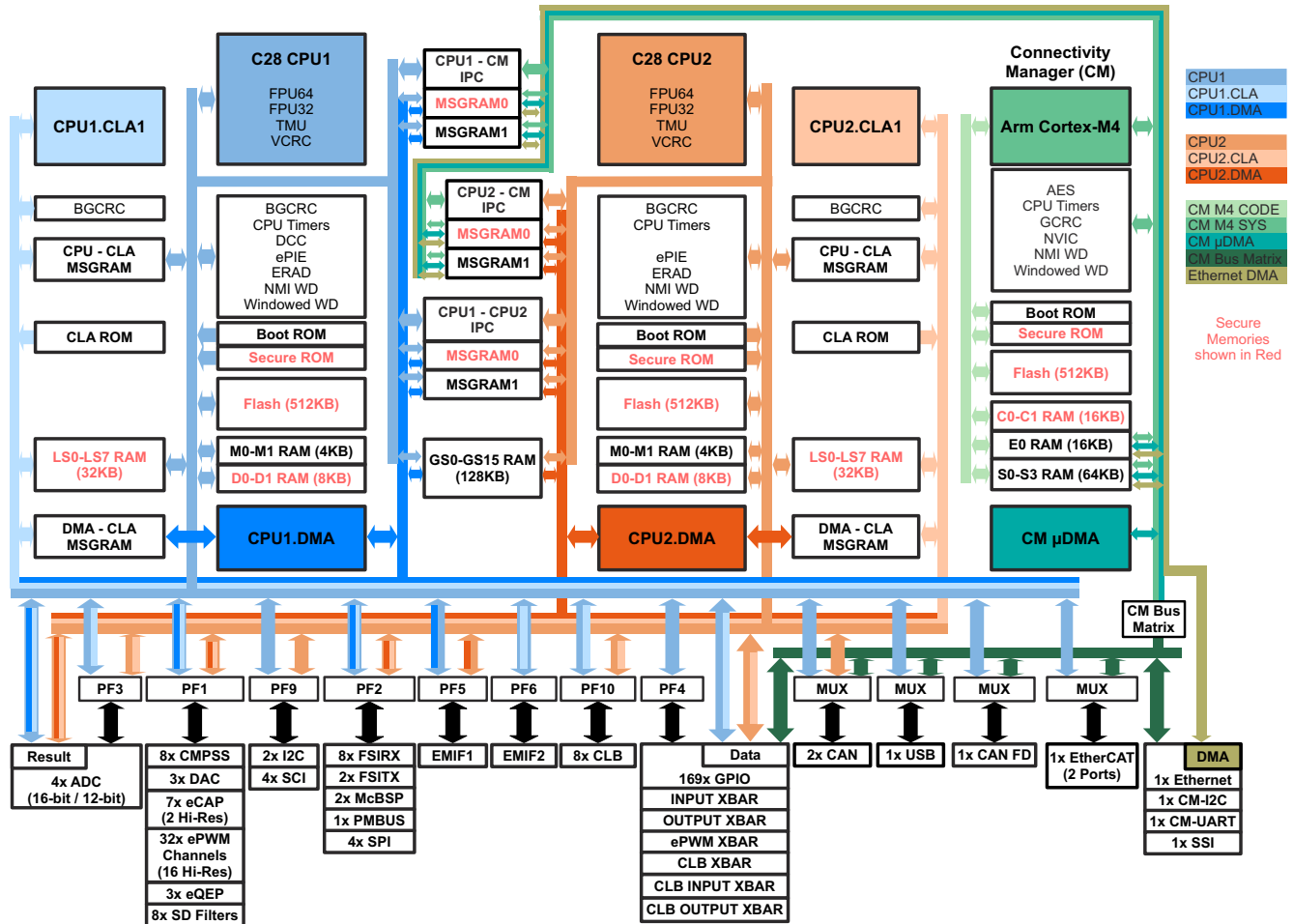


図 8-1. 機能ブロック図

8.3 メモリ

8.3.1 C28x メモリ・マップ

デバイス上の両方の C28x CPU は、「C28x メモリ・マップ」表に注記がある場合を除き、同じメモリ・マップを持ちます。GSM_RAM (グローバル共有 RAM) は、GSxMSEL レジスタによって、いずれかの CPU に割り当てる必要があります。CLA または DMA (ダイレクト・メモリ・アクセス) からアクセス可能なメモリも記載されています。

表 8-1. C28x メモリ・マップ

メモリ	サイズ	開始アドレス	終了アドレス	CLA アクセ ス	DMA アクセ ス	ECC / パリテ ィ	アクセス保護	セキュリティ
M0 RAM	1K x 16	0x0000 0000	0x0000 03FF			ECC	あり	
M1 RAM	1K x 16	0x0000 0400	0x0000 07FF			ECC	あり	
PIE ベクタ・テーブル	512 x 16	0x0000 0D00	0x0000 0EFF					
CPUx.CLA1 から CPUx への MSGRAM	128 x 16	0x0000 1480	0x0000 14FF	あり		パリティ		
CPUx から CPUx.CLA1 への MSGRAM	128 x 16	0x0000 1500	0x0000 157F	あり		パリティ		
CPUx.CLA1 から CPUx.DMA への MSGRAM	128 x 16	0x0000 1680	0x0000 16FF	あり	あり	パリティ		
CPUx.DMA から CPUx.CLA1 への MSGRAM	128 x 16	0x0000 1700	0x0000 177F	あり	あり	パリティ		
LS0 RAM	2K x 16	0x0000 8000	0x0000 87FF	あり		ECC	あり	あり
LS1 RAM	2K x 16	0x0000 8800	0x0000 8FFF	あり		ECC	あり	あり
LS2 RAM	2K x 16	0x0000 9000	0x0000 97FF	あり		ECC	あり	あり
LS3 RAM	2K x 16	0x0000 9800	0x0000 9FFF	あり		ECC	あり	あり
LS4 RAM	2K x 16	0x0000 A000	0x0000 A7FF	あり		ECC	あり	あり
LS5 RAM	2K x 16	0x0000 A800	0x0000 AFFF	あり		ECC	あり	あり
LS6 RAM	2K x 16	0x0000 B000	0x0000 B7FF	あり		ECC	あり	あり
LS7 RAM	2K x 16	0x0000 B800	0x0000 BFFF	あり		ECC	あり	あり
D0 RAM	2K x 16	0x0000 C000	0x0000 C7FF			ECC	あり	あり
D1 RAM	2K x 16	0x0000 C800	0x0000 CFFF			ECC	あり	あり
GS0 RAM ⁽¹⁾	4K x 16	0x0000 D000	0x0000 DFFF		あり	パリティ	あり	
GS1 RAM ⁽¹⁾	4K x 16	0x0000 E000	0x0000 EFFF		あり	パリティ	あり	
GS2 RAM ⁽¹⁾	4K x 16	0x0000 F000	0x0000 FFFF	CLA データ ROM ⁽⁵⁾	あり	パリティ	あり	
GS3 RAM ⁽¹⁾	4K x 16	0x0001 0000	0x0001 0FFF		あり	パリティ	あり	
GS4 RAM ⁽¹⁾	4K x 16	0x0001 1000	0x0001 1FFF		あり	パリティ	あり	
GS5 RAM ⁽¹⁾	4K x 16	0x0001 2000	0x0001 2FFF		あり	パリティ	あり	
GS6 RAM ⁽¹⁾	4K x 16	0x0001 3000	0x0001 3FFF		あり	パリティ	あり	
GS7 RAM ⁽¹⁾	4K x 16	0x0001 4000	0x0001 4FFF		あり	パリティ	あり	
GS8 RAM ⁽¹⁾	4K x 16	0x0001 5000	0x0001 5FFF		あり	パリティ	あり	
GS9 RAM ⁽¹⁾	4K x 16	0x0001 6000	0x0001 6FFF		あり	パリティ	あり	
GS10 RAM ⁽¹⁾	4K x 16	0x0001 7000	0x0001 7FFF		あり	パリティ	あり	

表 8-1. C28x メモリ・マップ (continued)

メモリ	サイズ	開始アドレス	終了アドレス	CLA アクセ ス	DMA アクセ ス	ECC / バリテ イ	アクセス保護	セキュリティ
GS11 RAM ⁽¹⁾	4K x 16	0x0001 8000	0x0001 8FFF		あり	バリティ	あり	
GS12 RAM ⁽¹⁾	4K x 16	0x0001 9000	0x0001 9FFF		あり	バリティ	あり	
GS13 RAM ⁽¹⁾	4K x 16	0x0001 A000	0x0001 AFFF		あり	バリティ	あり	
GS14 RAM ⁽¹⁾	4K x 16	0x0001 B000	0x0001 BFFF		あり	バリティ	あり	
GS15 RAM ⁽¹⁾	4K x 16	0x0001 C000	0x0001 CFFF		あり	バリティ	あり	
EtherCAT RAM (直接アクセス) (2)	8K x 16	0x0003 0800	0x0003 27FF		あり	バリティ		
CM から CPUx への MSGRAM0	1K x 16	0x0003 8000	0x0003 83FF		あり	バリティ	あり	あり
CM から CPUx への MSGRAM1	1K x 16	0x0003 8400	0x0003 87FF		あり	バリティ	あり	
CPUx から CM への MSGRAM0	1K x 16	0x0003 9000	0x0003 93FF		あり	バリティ	あり	あり
CPUx から CM への MSGRAM1	1K x 16	0x0003 9400	0x0003 97FF		あり	バリティ	あり	
CPU1 から CPU2 への MSGRAM0	1K x 16	0x0003 A000	0x0003 A3FF		あり	バリティ	あり	あり
CPU1 から CPU2 への MSGRAM1	1K x 16	0x0003 A400	0x0003 A7FF		あり	バリティ	あり	
CPU2 から CPU1 への MSGRAM0	1K x 16	0x0003 B000	0x0003 B3FF		あり	バリティ	あり	あり
CPU2 から CPU1 への MSGRAM1	1K x 16	0x0003 B400	0x0003 B7FF		あり	バリティ	あり	
USB RAM ⁽²⁾	2K x 16	0x0004 1000	0x0004 17FF		あり			
CAN A メッセージ RAM	2K x 16	0x0004 9000	0x0004 97FF			バリティ		
CAN B メッセージ RAM	2K x 16	0x0004 B000	0x0004 B7FF			バリティ		
MCAN メッセージ RAM	17K x 16	0x0005 8000	0x0005 C3FF			ECC		
TI OTP ⁽⁴⁾	1K x 16	0x0007 0000	0x0007 03FF			ECC		
ユーザー OTP	1K x 16	0x0007 8000	0x0007 83FF					あり ⁽³⁾
フラッシュ	256K x 16	0x0008 0000	0x000B FFFF			ECC		あり
セキュア ROM	32K x 16	0x003E 0000	0x003E 7FFF			バリティ		あり
ブート ROM	96K x 16	0x003E 8000	0x003F FFFF			バリティ		
PIE ベクタ・フェッチ・エラー (ブ ート ROM の一部)	1 x 16	0x003F FFBE	0x003F FFBF			バリティ		
デフォルト・ベクタ (ブート ROM の一部)	64 x 16	0x003F FFC0	0x003F FFFF			バリティ		
CLA データ ROM	4K x 16	0x0100 1000	0x0100 1FFF					

(1) CPU サブシステム間で共有。

(2) CPU1 サブシステムのみ。

(3) CPU1 ユーザー OTP のみがセキュアです。CPU2 ユーザー OTP はセキュアではありません。

- (4) TI OTP はテキサス・インスツルメンツの内部用。
 (5) CLA のデータ ROM は、このアドレス空間にマップされています。

8.3.2 C28x フラッシュ・メモリ・マップ

F28388D、F28386D、F28384D デバイスには、各 CPU に個別のフラッシュ・バンク [512KB (256KW)] があり、各デバイスのフラッシュ合計は 1MB (512KW) です。一度に 1 つのバンクのみをプログラムまたは消去でき、フラッシュをプログラムおよび消去するコードは RAM から実行する必要があります。

F28388S、F28386S、F28384S デバイスには、512KB (256KW) のフラッシュ・バンクが 1 つあり、フラッシュをプログラムするコードは RAM から実行する必要があります。フラッシュのウェイト状態の詳細については、[セクション 7.10.4](#) を参照してください。

「C28x フラッシュ・メモリ・マップ」の表には、フラッシュ・セクタのアドレスが示されています。

表 8-2. C28x フラッシュ・メモリ・マップ

セクタ	サイズ	開始アドレス	終了アドレス
OTP セクタ			
TI OTP	1K x 16	0x0007 0000	0x0007 03FF
ユーザー OTP ⁽¹⁾	1K x 16	0x0007 8000	0x0007 83FF
セクタ			
セクタ 0	8K x 16	0x0008 0000	0x0008 1FFF
セクタ 1	8K x 16	0x0008 2000	0x0008 3FFF
セクタ 2	8K x 16	0x0008 4000	0x0008 5FFF
セクタ 3	8K x 16	0x0008 6000	0x0008 7FFF
セクタ 4	32K x 16	0x0008 8000	0x0008 FFFF
セクタ 5	32K x 16	0x0009 0000	0x0009 7FFF
セクタ 6	32K x 16	0x0009 8000	0x0009 FFFF
セクタ 7	32K x 16	0x000A 0000	0x000A 7FFF
セクタ 8	32K x 16	0x000A 8000	0x000A FFFF
セクタ 9	32K x 16	0x000B 0000	0x000B 7FFF
セクタ 10	8K x 16	0x000B 8000	0x000B 9FFF
セクタ 11	8K x 16	0x000B A000	0x000B BFFF
セクタ 12	8K x 16	0x000B C000	0x000B DFFF
セクタ 13	8K x 16	0x000B E000	0x000B FFFF
フラッシュ ECC 領域			
TI OTP ECC	128 x 16	0x0107 0000	0x0107 007F
ユーザー OTP ECC	128 x 16	0x0107 1000	0x0107 107F
フラッシュ ECC (セクタ 0)	1K x 16	0x0108 0000	0x0108 03FF
フラッシュ ECC (セクタ 1)	1K x 16	0x0108 0400	0x0108 07FF
フラッシュ ECC (セクタ 2)	1K x 16	0x0108 0800	0x0108 0BFF
フラッシュ ECC (セクタ 3)	1K x 16	0x0108 0C00	0x0108 0FFF
フラッシュ ECC (セクタ 4)	4K x 16	0x0108 1000	0x0108 1FFF
フラッシュ ECC (セクタ 5)	4K x 16	0x0108 2000	0x0108 2FFF

表 8-2. C28x フラッシュ・メモリ・マップ (continued)

セクタ	サイズ	開始アドレス	終了アドレス
フラッシュ ECC (セクタ 6)	4K x 16	0x0108 3000	0x0108 3FFF
フラッシュ ECC (セクタ 7)	4K x 16	0x0108 4000	0x0108 4FFF
フラッシュ ECC (セクタ 8)	4K x 16	0x0108 5000	0x0108 5FFF
フラッシュ ECC (セクタ 9)	4K x 16	0x0108 6000	0x0108 6FFF
フラッシュ ECC (セクタ 10)	1K x 16	0x0108 7000	0x0108 73FF
フラッシュ ECC (セクタ 11)	1K x 16	0x0108 7400	0x0108 77FF
フラッシュ ECC (セクタ 12)	1K x 16	0x0108 7800	0x0108 7BFF
フラッシュ ECC (セクタ 13)	1K x 16	0x0108 7C00	0x0108 7FFF

(1) CPU1 ユーザー OTP はセキュリティ (DCSM) 構成に使用されるため、汎用目的には使用できません。CPU2 ユーザー OTP は汎用目的に使用できます。

8.3.3 ペリフェラル・レジスタのメモリ・マップ

表 8-3. ペリフェラル・レジスタのメモリ・マップ

ビット・フィールド名		DriverLib 名	ベース・アドレス	CPU 1	CPU 2	DM A	CL A	パイプライン保護
インスタンス	構造							
ペリフェラル・フレーム 0 (PF0)								
AdcaResultRegs	ADC_RESULT_REGS	ADCARESULT_BASE	0x0000_0B00	あり	あり	あり	あり	-
AdcbResultRegs	ADC_RESULT_REGS	ADCBRESULT_BASE	0x0000_0B20	あり	あり	あり	あり	-
AdccResultRegs	ADC_RESULT_REGS	ADCCRESULT_BASE	0x0000_0B40	あり	あり	あり	あり	-
AdcdResultRegs	ADC_RESULT_REGS	ADCDRESULT_BASE	0x0000_0B60	あり	あり	あり	あり	-
ペリフェラル・フレーム 1 (PF1)								
EPwm1Regs	EPWM_REGS	EPWM1_BASE	0x0000_4000	あり	あり	あり	あり	あり
EPwm2Regs	EPWM_REGS	EPWM2_BASE	0x0000_4100	あり	あり	あり	あり	あり
EPwm3Regs	EPWM_REGS	EPWM3_BASE	0x0000_4200	あり	あり	あり	あり	あり
EPwm4Regs	EPWM_REGS	EPWM4_BASE	0x0000_4300	あり	あり	あり	あり	あり
EPwm5Regs	EPWM_REGS	EPWM5_BASE	0x0000_4400	あり	あり	あり	あり	あり
EPwm6Regs	EPWM_REGS	EPWM6_BASE	0x0000_4500	あり	あり	あり	あり	あり
EPwm7Regs	EPWM_REGS	EPWM7_BASE	0x0000_4600	あり	あり	あり	あり	あり
EPwm8Regs	EPWM_REGS	EPWM8_BASE	0x0000_4700	あり	あり	あり	あり	あり
EPwm9Regs	EPWM_REGS	EPWM9_BASE	0x0000_4800	あり	あり	あり	あり	あり
EPwm10Regs	EPWM_REGS	EPWM10M_BASE	0x0000_4900	あり	あり	あり	あり	あり
EPwm11Regs	EPWM_REGS	EPWM11_BASE	0x0000_4A00	あり	あり	あり	あり	あり
EPwm12Regs	EPWM_REGS	EPWM12_BASE	0x0000_4B00	あり	あり	あり	あり	あり
EPwm13Regs	EPWM_REGS	EPWM13_BASE	0x0000_4C00	あり	あり	あり	あり	あり
EPwm14Regs	EPWM_REGS	EPWM14_BASE	0x0000_4D00	あり	あり	あり	あり	あり
EPwm15Regs	EPWM_REGS	EPWM15_BASE	0x0000_4E00	あり	あり	あり	あり	あり
EPwm16Regs	EPWM_REGS	EPWM16_BASE	0x0000_4F00	あり	あり	あり	あり	あり
EQep1Regs	EQEP_REGS	EQEP1_BASE	0x0000_5100	あり	あり	あり	あり	あり
EQep2Regs	EQEP_REGS	EQEP2_BASE	0x0000_5140	あり	あり	あり	あり	あり
EQep3Regs	EQEP_REGS	EQEP3_BASE	0x0000_5180	あり	あり	あり	あり	あり
ECap1Regs	ECAP_REGS	ECAP1_BASE	0x0000_5200	あり	あり	あり	あり	あり
ECap2Regs	ECAP_REGS	ECAP2_BASE	0x0000_5240	あり	あり	あり	あり	あり
ECap3Regs	ECAP_REGS	ECAP3_BASE	0x0000_5280	あり	あり	あり	あり	あり
ECap4Regs	ECAP_REGS	ECAP4_BASE	0x0000_52C0	あり	あり	あり	あり	あり
ECap5Regs	ECAP_REGS	ECAP5_BASE	0x0000_5300	あり	あり	あり	あり	あり
ECap6Regs	ECAP_REGS	ECAP6_BASE	0x0000_5340	あり	あり	あり	あり	あり

表 8-3. ペリフェラル・レジスタのメモリ・マップ (continued)

ビット・フィールド名		DriverLib 名	ベース・アドレス	CPU 1	CPU 2	DM A	CL A	パイプライン保護
インスタンス	構造							
ECap7Regs	ECAP_REGS	ECAP7_BASE	0x0000_5380	あり	あり	あり	あり	あり
DacaRegs	DAC_REGS	DACA_BASE	0x0000_5C00	あり	あり	あり	あり	あり
DacbRegs	DAC_REGS	DACB_BASE	0x0000_5C10	あり	あり	あり	あり	あり
DaccRegs	DAC_REGS	DACC_BASE	0x0000_5C20	あり	あり	あり	あり	あり
Cmpss1Regs	CMPSS_REGS	CMPSS1_BASE	0x0000_5C80	あり	あり	あり	あり	あり
Cmpss2Regs	CMPSS_REGS	CMPSS2_BASE	0x0000_5CA0	あり	あり	あり	あり	あり
Cmpss3Regs	CMPSS_REGS	CMPSS3_BASE	0x0000_5CC0	あり	あり	あり	あり	あり
Cmpss4Regs	CMPSS_REGS	CMPSS4_BASE	0x0000_5CE0	あり	あり	あり	あり	あり
Cmpss5Regs	CMPSS_REGS	CMPSS5_BASE	0x0000_5D00	あり	あり	あり	あり	あり
Cmpss6Regs	CMPSS_REGS	CMPSS6_BASE	0x0000_5D20	あり	あり	あり	あり	あり
Cmpss7Regs	CMPSS_REGS	CMPSS7_BASE	0x0000_5D40	あり	あり	あり	あり	あり
Cmpss8Regs	CMPSS_REGS	CMPSS8_BASE	0x0000_5D60	あり	あり	あり	あり	あり
Sdfm1Regs	SDFM_REGS	SDFM1_BASE	0x0000_5E00	あり	あり	あり	あり	あり
Sdfm2Regs	SDFM_REGS	SDFM2_BASE	0x0000_5E80	あり	あり	あり	あり	あり
ペリフェラル・フレーム 2 (PF2)								
SpiaRegs	SPI_REGS	SPIA_BASE	0x0000_6100	あり	あり	あり	あり	あり
SpibRegs	SPI_REGS	SPIB_BASE	0x0000_6110	あり	あり	あり	あり	あり
SpicRegs	SPI_REGS	SPIC_BASE	0x0000_6120	あり	あり	あり	あり	あり
SpidRegs	SPI_REGS	SPID_BASE	0x0000_6130	あり	あり	あり	あり	あり
PmbusaRegs	PMBUS_REGS	PMBUSA_BASE	0x0000_6400	あり	あり	あり	あり	あり
FsiTxaRegs	FSI_TX_REGS	FSITXA_BASE	0x0000_6600	あり	あり	あり	あり	あり
FsiRxaRegs	FSI_RX_REGS	FSIRXA_BASE	0x0000_6680	あり	あり	あり	あり	あり
FsiTxbRegs	FSI_TX_REGS	FSITXB_BASE	0x0000_6700	あり	あり	あり	あり	あり
FsiRxbRegs	FSI_RX_REGS	FSIRXB_BASE	0x0000_6780	あり	あり	あり	あり	あり
FsiRxcRegs	FSI_RX_REGS	FSIRXC_BASE	0x0000_6880	あり	あり	あり	あり	あり
FsiRxdRegs	FSI_RX_REGS	FSIRXD_BASE	0x0000_6980	あり	あり	あり	あり	あり
FsiRxeRegs	FSI_RX_REGS	FSIRXE_BASE	0x0000_6A80	あり	あり	あり	あり	あり
FsiRxfRegs	FSI_RX_REGS	FSIRXF_BASE	0x0000_6B80	あり	あり	あり	あり	あり
FsiRygRegs	FSI_RX_REGS	FSIRYG_BASE	0x0000_6C80	あり	あり	あり	あり	あり
FsiRxhRegs	FSI_RX_REGS	FSIRXH_BASE	0x0000_6D80	あり	あり	あり	あり	あり
ペリフェラル・フレーム 3 (PF3)								
AdcaRegs	ADC_REGS	ADCA_BASE	0x0000_7400	あり	あり	-	あり	あり
AdcbRegs	ADC_REGS	ADCB_BASE	0x0000_7480	あり	あり	-	あり	あり
AdccRegs	ADC_REGS	ADCC_BASE	0x0000_7500	あり	あり	-	あり	あり
AdcdRegs	ADC_REGS	ADCD_BASE	0x0000_7580	あり	あり	-	あり	あり
ペリフェラル・フレーム 4 (PF4)								
InputXbarRegs	INPUT_XBAR_REGS	INPUTXBAR_BASE	0x0000_7900	あり	-	-	-	あり
XbarRegs	XBAR_REGS	XBAR_BASE	0x0000_7920	あり	-	-	-	あり
ClbInputXbarRegs	INPUT_XBAR_REGS	CLBINPUTXBAR_BASE	0x0000_7960	あり	-	-	-	あり
EPwmXbarRegs	EPWM_XBAR_REGS	EPWMXBAR_BASE	0x0000_7A00	あり	-	-	-	あり
CLBXbarRegs	CLB_XBAR_REGS	CLBXBAR_BASE	0x0000_7A40	あり	-	-	-	あり
OutputXbarRegs	OUTPUT_XBAR_REGS	OUTPUTXBAR_BASE	0x0000_7A80	あり	-	-	-	あり
ClbOutputXbarRegs	OUTPUT_XBAR_REGS	CLBOUTPUTXBAR_BASE	0x0000_7BC0	あり	-	-	-	あり
GpioCtrlRegs	GPIO_CTRL_REGS	GPIOCTRL_BASE	0x0000_7C00	あり	-	-	-	あり
ペリフェラル・フレーム 5 (PF5)								
Emif1ConfigRegs	EMIF1_CONFIG_REGS	EMIF1CONFIG_BASE	0x0005_F4C0	あり	あり	-	-	あり
ペリフェラル・フレーム 6 (PF6)								
Emif2ConfigRegs	EMIF2_CONFIG_REGS	EMIF2CONFIG_BASE	0x0005_F4E0	あり	-	-	-	あり

表 8-3. ペリフェラル・レジスタのメモリ・マップ (continued)

ビット・フィールド名		DriverLib 名	ベース・アドレス	CPU 1	CPU 2	DM A	CL A	パイプライン保護
インスタンス	構造							
ペリフェラル・フレーム 9 (PF9)								
SciaRegs	SCI_REGS	SCIA_BASE	0x0000_7200	あり	あり	-	-	あり
ScibRegs	SCI_REGS	SCIB_BASE	0x0000_7210	あり	あり	-	-	あり
ScicRegs	SCI_REGS	SCIC_BASE	0x0000_7220	あり	あり	-	-	あり
ScidRegs	SCI_REGS	SCID_BASE	0x0000_7230	あり	あり	-	-	あり
I2caRegs	I2C_REGS	I2CA_BASE	0x0000_7300	あり	あり	-	-	あり
I2cbRegs	I2C_REGS	I2CB_BASE	0x0000_7340	あり	あり	-	-	あり
ペリフェラル・フレーム 10 (PF10)								
Clb1LogicCfgRegs	CLB_LOGIC_CONFIG_REGS	CLB1_LOGICCFG_BASE	0x0000_3000	あり	あり	-	あり	-
Clb1LogicCtrlRegs	CLB_LOGIC_CONTROL_REGS	CLB1_LOGICCTL_BASE	0x0000_3100	あり	あり	-	あり	-
Clb1DataExchRegs	CLB_DATA_EXCHANGE_REGS	CLB1_DATAEXCH_BASE	0x0000_3180	あり	あり	-	あり	-
Clb2LogicCfgRegs	CLB_LOGIC_CONFIG_REGS	CLB2_LOGICCFG_BASE	0x0000_3200	あり	あり	-	あり	-
Clb2LogicCtrlRegs	CLB_LOGIC_CONTROL_REGS	CLB2_LOGICCTL_BASE	0x0000_3300	あり	あり	-	あり	-
Clb2DataExchRegs	CLB_DATA_EXCHANGE_REGS	CLB2_DATAEXCH_BASE	0x0000_3380	あり	あり	-	あり	-
Clb3LogicCfgRegs	CLB_LOGIC_CONFIG_REGS	CLB3_LOGICCFG_BASE	0x0000_3400	あり	あり	-	あり	-
Clb3LogicCtrlRegs	CLB_LOGIC_CONTROL_REGS	CLB3_LOGICCTL_BASE	0x0000_3500	あり	あり	-	あり	-
Clb3DataExchRegs	CLB_DATA_EXCHANGE_REGS	CLB3_DATAEXCH_BASE	0x0000_3580	あり	あり	-	あり	-
Clb4LogicCfgRegs	CLB_LOGIC_CONFIG_REGS	CLB4_LOGICCFG_BASE	0x0000_3600	あり	あり	-	あり	-
Clb4LogicCtrlRegs	CLB_LOGIC_CONTROL_REGS	CLB4_LOGICCTL_BASE	0x0000_3700	あり	あり	-	あり	-
Clb4DataExchRegs	CLB_DATA_EXCHANGE_REGS	CLB4_DATAEXCH_BASE	0x0000_3780	あり	あり	-	あり	-
Clb5LogicCfgRegs	CLB_LOGIC_CONFIG_REGS	CLB5_LOGICCFG_BASE	0x0000_3800	あり	あり	-	あり	-
Clb5LogicCtrlRegs	CLB_LOGIC_CONTROL_REGS	CLB5_LOGICCTL_BASE	0x0000_3900	あり	あり	-	あり	-
Clb5DataExchRegs	CLB_DATA_EXCHANGE_REGS	CLB5_DATAEXCH_BASE	0x0000_3980	あり	あり	-	あり	-
Clb6LogicCfgRegs	CLB_LOGIC_CONFIG_REGS	CLB6_LOGICCFG_BASE	0x0000_3A00	あり	あり	-	あり	-
Clb6LogicCtrlRegs	CLB_LOGIC_CONTROL_REGS	CLB6_LOGICCTL_BASE	0x0000_3B00	あり	あり	-	あり	-
Clb6DataExchRegs	CLB_DATA_EXCHANGE_REGS	CLB6_DATAEXCH_BASE	0x0000_3B80	あり	あり	-	あり	-
Clb7LogicCfgRegs	CLB_LOGIC_CONFIG_REGS	CLB7_LOGICCFG_BASE	0x0000_3C00	あり	あり	-	あり	-
Clb7LogicCtrlRegs	CLB_LOGIC_CONTROL_REGS	CLB7_LOGICCTL_BASE	0x0000_3D00	あり	あり	-	あり	-
Clb7DataExchRegs	CLB_DATA_EXCHANGE_REGS	CLB7_DATAEXCH_BASE	0x0000_3D80	あり	あり	-	あり	-
Clb8LogicCfgRegs	CLB_LOGIC_CONFIG_REGS	CLB8_LOGICCFG_BASE	0x0000_3E00	あり	あり	-	あり	-
Clb8LogicCtrlRegs	CLB_LOGIC_CONTROL_REGS	CLB8_LOGICCTL_BASE	0x0000_3F00	あり	あり	-	あり	-
Clb8DataExchRegs	CLB_DATA_EXCHANGE_REGS	CLB8_DATAEXCH_BASE	0x0000_3F80	あり	あり	-	あり	-
システム・フレーム								
-	-	M0_RAM_BASE	0x0000_0000	あり	あり	-	-	-
-	-	M1_RAM_BASE	0x0000_0400	あり	あり	-	-	-
CpuTimer0Regs	CPUTIMER_REGS	CPUTIMER0_BASE	0x0000_0C00	あり	あり	-	-	-
CpuTimer1Regs	CPUTIMER_REGS	CPUTIMER1_BASE	0x0000_0C08	あり	あり	-	-	-
CpuTimer2Regs	CPUTIMER_REGS	CPUTIMER2_BASE	0x0000_0C10	あり	あり	-	-	-
PieCtrlRegs	PIE_CTRL_REGS	PIECTRL_BASE	0x0000_0CE0	あり	あり	-	-	-
PieVectTable	PIE_VECT_TABLE	PIEVECTTABLE_BASE	0x0000_0D00	あり	あり	-	-	-
DmaRegs	DMA_REGS	DMA_BASE	0x0000_1000	あり	あり	-	-	-
Dmach1Regs	DMA_CH_REGS	DMA_CH1_BASE	0x0000_1020	あり	あり	-	-	-
Dmach2Regs	DMA_CH_REGS	DMA_CH2_BASE	0x0000_1040	あり	あり	-	-	-
Dmach3Regs	DMA_CH_REGS	DMA_CH3_BASE	0x0000_1060	あり	あり	-	-	-
Dmach4Regs	DMA_CH_REGS	DMA_CH4_BASE	0x0000_1080	あり	あり	-	-	-
Dmach5Regs	DMA_CH_REGS	DMA_CH5_BASE	0x0000_10A0	あり	あり	-	-	-
Dmach6Regs	DMA_CH_REGS	DMA_CH6_BASE	0x0000_10C0	あり	あり	-	-	-
Cla1Regs	CLA_REGS	CLA1_BASE	0x0000_1400	あり	あり	-	-	-

表 8-3. ペリフェラル・レジスタのメモリ・マップ (continued)

ビット・フィールド名		DriverLib 名	ベース・アドレス	CPU 1	CPU 2	DM A	CL A	パイプライン保護
インスタンス	構造							
-	-	CLATOCPU_RAM_BASE	0x0000_1480	あり	あり	-	あり	-
-	-	CPUTOCLA_RAM_BASE	0x0000_1500	あり	あり	-	あり	-
-	-	CLATODMA_RAM_BASE	0x0000_1680	あり	あり	あり	あり	-
-	-	DMATOCLA_RAM_BASE	0x0000_1700	あり	あり	-	あり	-
HRCap6Regs	HRCAP_REGS	HRCAP6_BASE	0x0000_5360	あり	あり	あり	あり	あり
HRCap7Regs	HRCAP_REGS	HRCAP7_BASE	0x0000_53A0	あり	あり	あり	あり	あり
McbspaRegs	McBSP_REGS	MCBSPA_BASE	0x0000_6000	あり	あり	あり	あり	あり
McbspbRegs	McBSP_REGS	MCBSPB_BASE	0x0000_6040	あり	あり	あり	あり	あり
BgcrCpuRegs	BGCRC_REGS	BGCRC_CPU_BASE	0x0000_6340	あり	あり	-	-	あり
BgcrCla1Regs	BGCRC_REGS	BGCRC_CLA1_BASE	0x0000_6380	あり	あり	-	あり	あり
WdRegs	WD_REGS	WD_BASE	0x0000_7000	あり	あり	-	-	あり
NmiIntruptRegs	NMI_INTRUPT_REGS	NMI_BASE	0x0000_7060	あり	あり	-	-	あり
XintRegs	XINT_REGS	XINT_BASE	0x0000_7070	あり	あり	-	-	あり
SyncSocRegs	SYNC_SOC_REGS	SYNCSOC_BASE	0x0000_7940	あり	-	-	-	あり
DmaClaSrcSelRegs	DMA_CLA_SRC_SEL_REGS	DMACLASRCSEL_BASE	0x0000_7980	あり	あり	-	-	あり
GpioDataRegs	GPIO_DATA_REGS	GPIODATA_BASE	0x0000_7F00	あり	あり	-	あり	あり
GpioDataReadRegs	GPIO_DATA_READ_REGS	GPIODATAREAD_BASE	0x0000_7F80	あり	あり	-	あり	あり
-	-	LS0_RAM_BASE	0x0000_8000	あり	あり	-	あり	-
-	-	LS1_RAM_BASE	0x0000_8800	あり	あり	-	あり	-
-	-	LS2_RAM_BASE	0x0000_9000	あり	あり	-	あり	-
-	-	LS3_RAM_BASE	0x0000_9800	あり	あり	-	あり	-
-	-	LS4_RAM_BASE	0x0000_A000	あり	あり	-	あり	-
-	-	LS5_RAM_BASE	0x0000_A800	あり	あり	-	あり	-
-	-	LS6_RAM_BASE	0x0000_B000	あり	あり	-	あり	-
-	-	LS7_RAM_BASE	0x0000_B800	あり	あり	-	あり	-
-	-	D0_RAM_BASE	0x0000_C000	あり	あり	-	-	-
-	-	D1_RAM_BASE	0x0000_C800	あり	あり	あり	-	-
-	-	GS0_RAM_BASE	0x0000_D000	あり	あり	あり	-	-
-	-	GS1_RAM_BASE	0x0000_E000	あり	あり	あり	-	-
-	-	GS2_RAM_BASE	0x0000_F000	あり	あり	あり	-	-
-	-	GS3_RAM_BASE	0x0001_0000	あり	あり	あり	-	-
-	-	GS4_RAM_BASE	0x0001_1000	あり	あり	あり	-	-
-	-	GS5_RAM_BASE	0x0001_2000	あり	あり	あり	-	-
-	-	GS6_RAM_BASE	0x0001_3000	あり	あり	あり	-	-
-	-	GS7_RAM_BASE	0x0001_4000	あり	あり	あり	-	-
-	-	GS8_RAM_BASE	0x0001_5000	あり	あり	あり	-	-
-	-	GS9_RAM_BASE	0x0001_6000	あり	あり	あり	-	-
-	-	GS10_RAM_BASE	0x0001_7000	あり	あり	あり	-	-
-	-	GS11_RAM_BASE	0x0001_8000	あり	あり	あり	-	-
-	-	GS12_RAM_BASE	0x0001_9000	あり	あり	あり	-	-
-	-	GS13_RAM_BASE	0x0001_A000	あり	あり	あり	-	-
-	-	GS14_RAM_BASE	0x0001_B000	あり	あり	あり	-	-
-	-	GS15_RAM_BASE	0x0001_C000	あり	あり	あり	-	-
-	-	CMTOCPUXMSGRAM0_B ASE	0x0003_8000	あり	あり	あり	-	-
-	-	CMTOCPUXMSGRAM1_B ASE	0x0003_8400	あり	あり	あり	-	-
-	-	CPUXTOCMMSGRAM0_B ASE	0x0003_9000	あり	あり	あり	-	-

表 8-3. ペリフェラル・レジスタのメモリ・マップ (continued)

ビット・フィールド名		DriverLib 名	ベース・アドレス	CPU 1	CPU 2	DM A	CL A	パイプライン保護
インスタンス	構造							
-	-	CPUXTOCMMSGRAM1_B ASE	0x0003_9400	あり	あり	あり	-	-
-	-	CPU1TOCPU2MSGRAM0_ BASE	0x0003_A000	あり	あり	あり	-	-
-	-	CPU1TOCPU2MSGRAM1_ BASE	0x0003_A400	あり	あり	あり	-	-
-	-	CPU2TOCPU1MSGRAM0_ BASE	0x0003_B000	あり	あり	あり	-	-
-	-	CPU2TOCPU1MSGRAM1_ BASE	0x0003_B400	あり	あり	あり	-	-
UsbRegs	USB_REGS	USBA_BASE	0x0004_0000	あり	-	あり	-	あり
Emif1Regs	EMIF_REGS	EMIF1_BASE	0x0004_7000	あり	あり	-	-	あり
Emif2Regs	EMIF_REGS	EMIF2_BASE	0x0004_7800	あり	-	-	-	あり
CanaRegs	CAN_REGS	CANA_BASE	0x0004_8000	あり	あり	あり	-	あり
CanbRegs	CAN_REGS	CANB_BASE	0x0004_A000	あり	あり	あり	-	あり
EscssRegs	ESCSS_REGS	ESC_SS_BASE	0x0005_7E00	あり	-	-	-	あり
EscssConfigRegs	ESCSS_CONFIG_REGS	ESC_SS_CONFIG_BASE	0x0005_7F00	あり	-	-	-	あり
-	-	MCANA_DRIVER_BASE	0x0005_8000	あり	-	-	-	あり
McanaSsRegs	MCANSS_REGS	MCANASS_BASE	0x0005_C400	あり	-	-	-	あり
McanaRegs	MCAN_REGS	MCANA_BASE	0x0005_C600	あり	-	-	-	あり
McanaErrRegs	MCAN_ERROR_REGS	MCANA_ERROR_BASE	0x0005_C800	あり	-	-	-	あり
Cpu2toCpu1IpcRegs	CPU1TOCPU2_IPC_REGS_CPU 2VIEW	-	0x0005_CE00	-	あり	-	-	あり
Cpu1toCpu2IpcRegs	CPU1TOCPU2_IPC_REGS_CPU 1VIEW	IPC_CPUXTOCPUX_BASE	0x0005_CE00	あり	-	-	-	あり
FlashPumpSemaphoreReg s	FLASH_PUMP_SEMAPHORE_R EGS	FLASHPUMPSEMAPHORE _BASE	0x0005_CE24	あり	あり	-	-	あり
Cpu2toCmlIpcRegs	CPU2TOCM_IPC_REGS_CPU2V IEW	-	0x0005_CE40	-	あり	-	-	あり
Cpu1toCmlIpcRegs	CPU1TOCM_IPC_REGS_CPU1V IEW	IPC_CPUXTOCM_BASE	0x0005_CE40	あり	-	-	-	あり
DevCfgRegs	DEV_CFG_REGS	DEVCFG_BASE	0x0005_D000	あり	-	-	-	あり
ClkCfgRegs	CLK_CFG_REGS	CLKCFG_BASE	0x0005_D200	あり	あり	-	-	あり
CpuSysRegs	CPU_SYS_REGS	CPUSYS_BASE	0x0005_D300	あり	あり	-	-	あり
SysStatusRegs	SYS_STATUS_REGS	SYSSTAT_BASE	0x0005_D400	あり	あり	-	-	あり
SysPeriphAcRegs	CPU2_PERIPH_AC_REGS	PERIPHAC_BASE	0x0005_D500	-	あり	-	-	あり
SysPeriphAcRegs	CPU1_PERIPH_AC_REGS	PERIPHAC_BASE	0x0005_D500	あり	-	-	-	あり
AnalogSubsysRegs	ANALOG_SUBSYS_REGS	ANALOGSUBSYS_BASE	0x0005_D700	あり	-	-	-	あり
CmConfRegs	CM_CONF_REGS	CMCONF_BASE	0x0005_DC00	あり	-	-	-	あり
HwbistRegs	HWBIST_REGS	HWBIST_BASE	0x0005_E000	あり	あり	-	-	あり
PbistRegs	PBIST_REGS	PBIST_BASE	0x0005_E200	あり	-	-	-	あり
Dcc0Regs	DCC_REGS	DCC0_BASE	0x0005_E700	あり	-	-	-	あり
Dcc1Regs	DCC_REGS	DCC1_BASE	0x0005_E740	あり	-	-	-	あり
Dcc2Regs	DCC_REGS	DCC2_BASE	0x0005_E780	あり	-	-	-	あり
EradGlobalRegs	ERAD_GLOBAL_REGS	ERAD_GLOBAL_BASE	0x0005_E800	あり	あり	-	-	あり
EradHWBP1Regs	ERAD_HWBP_REGS	ERAD_HWBP1_BASE	0x0005_E900	あり	あり	-	-	あり
EradHWBP2Regs	ERAD_HWBP_REGS	ERAD_HWBP2_BASE	0x0005_E908	あり	あり	-	-	あり
EradHWBP3Regs	ERAD_HWBP_REGS	ERAD_HWBP3_BASE	0x0005_E910	あり	あり	-	-	あり
EradHWBP4Regs	ERAD_HWBP_REGS	ERAD_HWBP4_BASE	0x0005_E918	あり	あり	-	-	あり
EradHWBP5Regs	ERAD_HWBP_REGS	ERAD_HWBP5_BASE	0x0005_E920	あり	あり	-	-	あり
EradHWBP6Regs	ERAD_HWBP_REGS	ERAD_HWBP6_BASE	0x0005_E928	あり	あり	-	-	あり
EradHWBP7Regs	ERAD_HWBP_REGS	ERAD_HWBP7_BASE	0x0005_E930	あり	あり	-	-	あり

表 8-3. ペリフェラル・レジスタのメモリ・マップ (continued)

ビット・フィールド名		DriverLib 名	ベース・アドレス	CPU 1	CPU 2	DM A	CL A	パイプライン保護
インスタンス	構造							
EradHWBP8Regs	ERAD_HWBP_REGS	ERAD_HWBP8_BASE	0x0005_E938	あり	あり	-	-	あり
EradCounter1Regs	ERAD_COUNTER_REGS	ERAD_COUNTER1_BASE	0x0005_E980	あり	あり	-	-	あり
EradCounter2Regs	ERAD_COUNTER_REGS	ERAD_COUNTER2_BASE	0x0005_E990	あり	あり	-	-	あり
EradCounter3Regs	ERAD_COUNTER_REGS	ERAD_COUNTER3_BASE	0x0005_E9A0	あり	あり	-	-	あり
EradCounter4Regs	ERAD_COUNTER_REGS	ERAD_COUNTER4_BASE	0x0005_E9B0	あり	あり	-	-	あり
EradCRCGlobalRegs	ERAD_CRC_GLOBAL_REGS	ERAD_CRC_GLOBAL_BASE	0x0005_EA00	あり	あり	-	-	あり
EradCRC1Regs	ERAD_CRC_REGS	ERAD_CRC1_BASE	0x0005_EA10	あり	あり	-	-	あり
EradCRC2Regs	ERAD_CRC_REGS	ERAD_CRC2_BASE	0x0005_EA20	あり	あり	-	-	あり
EradCRC3Regs	ERAD_CRC_REGS	ERAD_CRC3_BASE	0x0005_EA30	あり	あり	-	-	あり
EradCRC4Regs	ERAD_CRC_REGS	ERAD_CRC4_BASE	0x0005_EA40	あり	あり	-	-	あり
EradCRC5Regs	ERAD_CRC_REGS	ERAD_CRC5_BASE	0x0005_EA50	あり	あり	-	-	あり
EradCRC6Regs	ERAD_CRC_REGS	ERAD_CRC6_BASE	0x0005_EA60	あり	あり	-	-	あり
EradCRC7Regs	ERAD_CRC_REGS	ERAD_CRC7_BASE	0x0005_EA70	あり	あり	-	-	あり
EradCRC8Regs	ERAD_CRC_REGS	ERAD_CRC8_BASE	0x0005_EA80	あり	あり	-	-	あり
DcsmZ1Regs	DCSM_Z1_REGS	DCSM_Z1_BASE	0x0005_F000	あり	あり	-	-	あり
DcsmZ2Regs	DCSM_Z2_REGS	DCSM_Z2_BASE	0x0005_F080	あり	あり	-	-	あり
DcsmCommonRegs	DCSM_COMMON_REGS	DCSMCOMMON_BASE	0x0005_F0C0	あり	あり	-	-	あり
MemCfgRegs	MEM_CFG_REGS	MEMCFG_BASE	0x0005_F400	あり	あり	-	-	あり
AccessProtectionRegs	ACCESS_PROTECTION_REGS	ACCESSPROTECTION_BASE	0x0005_F500	あり	あり	-	-	あり
MemoryErrorRegs	MEMORY_ERROR_REGS	MEMORYERROR_BASE	0x0005_F540	あり	あり	-	-	あり
RomWaitStateRegs	ROM_WAIT_STATE_REGS	ROMWAITSTATE_BASE	0x0005_F580	あり	あり	-	-	あり
RomPrefetchRegs	ROM_PREFETCH_REGS	ROMPREFETCH_BASE	0x0005_F588	あり	あり	-	-	あり
TestErrorRegs	TEST_ERROR_REGS	TESTERROR_BASE	0x0005_F590	あり	あり	-	-	あり
Flash0CtrlRegs	FLASH_CTRL_REGS	FLASH0CTRL_BASE	0x0005_F800	あり	あり	-	-	あり
Flash0EccRegs	FLASH_ECC_REGS	FLASH0ECC_BASE	0x0005_FB00	あり	あり	-	-	あり
UidRegs	UID_REGS	UID_BASE	0x0007_0200	あり	あり	-	-	-
CpuldRegs	CPU_ID_REGS	CPUID_BASE	0x0007_0223	あり	あり	-	-	-
DcsmZ1OtpRegs	DCSM_Z1_OTP	DCSM_Z1OTP_BASE	0x0007_8000	あり	-	-	-	-
DcsmZ2OtpRegs	DCSM_Z2_OTP	DCSM_Z2OTP_BASE	0x0007_8200	あり	-	-	-	-

8.3.4 EMIF チップ・セレクト・メモリ・マップ

EMIF1 メモリ・マップは、両方の CPU サブシステムで同じです。EMIF2 は、CPU1 サブシステムでのみ使用できます。EMIF メモリ・マップは、EMIF チップ・セレクト・メモリ・マップの表に示されています。

表 8-4. EMIF チップ・セレクト・メモリ・マップ

EMIF CS	サイズ ⁽³⁾	開始アドレス	終了アドレス	CLA アクセス	DMA アクセス
EMIF1 CS0n - データ ⁽¹⁾	256M x 16	0x8000 0000	0x8FFF FFFF		あり
EMIF1 CS0n - プログラム + データ ⁽¹⁾	1M x 16	0x0020 0000	0x002F FFFF		あり
EMIF1 CS2n - プログラム + データ	2M x 16	0x0010 0000	0x002F FFFF		あり
EMIF1 CS3n - プログラム + データ	512K x 16	0x0030 0000	0x0037 FFFF		あり
EMIF1 CS4n - プログラム + データ	393K x 16	0x0038 0000	0x003D FFFF		あり
EMIF2 CS0n - データ ⁽²⁾	32M x 16	0x9000 0000	0x91FF FFFF		
EMIF2 CS2n - プログラム + データ ⁽²⁾	4K x 16	0x0000 2000	0x0000 2FFF	あり (データのみ)	

- (1) デュアル・マップ - EMIF1 CS0n がアドレス 0x2x_xxxx にマップされている場合、EMIF1 CS2n は 0x10_0000 から 0x1F_FFFF まで (1M x 16) でのみ利用可能です。
- (2) CPU1 サブシステムのみ。
- (3) この表に示す利用可能なメモリ・サイズは、32 ビット・メモリを想定した場合の最大サイズです。ピン多重化の設定によって、他のメモリ・サイズには適用できない場合があります。

8.3.5 CM メモリ・マップ

表 8-5. CM メモリ・マップ

メモリ	サイズ	開始アドレス	終了アドレス	μDMA アク セス	ENET DMA アクセス	ECC / パリテ ィ	アクセス保護	セキュリティ
ブート ROM	64K x 8	0x0000 0000	0x0000 FFFF			パリティ	あり ⁽¹⁾	
セキュア ROM	32K x 8	0x0001 0000	0x0001 7FFF			パリティ	あり ⁽¹⁾	あり
フラッシュ	512K x 8	0x0020 0000	0x0027 FFFF			ECC	あり ⁽¹⁾	あり
TI OTP ⁽²⁾	2K x 8	0x0038 0000	0x0038 07FF			ECC	あり ⁽¹⁾	
ユーザー OTP	2K x 8	0x003C 0000	0x003C 07FF			ECC	あり ⁽¹⁾	
C1 RAM	8K x 8	0x1FFF C000	0x1FFF DFFF			パリティ	あり ⁽¹⁾	あり
C0 RAM	8K x 8	0x1FFF E000	0x1FFF FFFF			パリティ	あり ⁽¹⁾	あり
S0 RAM	16K x 8	0x2000 0000	0x2000 3FFF	あり	あり	パリティ	あり ⁽¹⁾	
S1 RAM	16K x 8	0x2000 4000	0x2000 7FFF	あり	あり	パリティ	あり ⁽¹⁾	
S2 RAM	16K x 8	0x2000 8000	0x2000 BFFF	あり	あり	パリティ	あり ⁽¹⁾	
S3 RAM	16K x 8	0x2000 C000	0x2000 FFFF	あり	あり	パリティ	あり ⁽¹⁾	
E0 RAM	16K x 8	0x2001 0000	0x2001 3FFF	あり	あり	ECC	あり ⁽¹⁾	
CPU1 から CM MSGRAM0	2K x 8	0x2008 0000	0x2008 07FF	あり	あり	パリティ	あり ⁽¹⁾	あり
CPU1 から CM MSGRAM1	2K x 8	0x2008 0800	0x2008 0FFF	あり	あり	パリティ	あり ⁽¹⁾	
CM から CPU1 MSGRAM0	2K x 8	0x2008 2000	0x2008 27FF	あり	あり	パリティ	あり ⁽¹⁾	あり
CM から CPU1 MSGRAM1	2K x 8	0x2008 2800	0x2008 2FFF	あり	あり	パリティ	あり ⁽¹⁾	
CPU2 から CM MSGRAM0	2K x 8	0x2008 4000	0x2008 47FF	あり	あり	パリティ	あり ⁽¹⁾	あり
CPU2 から CM MSGRAM1	2K x 8	0x2008 4800	0x2008 4FFF	あり	あり	パリティ	あり ⁽¹⁾	
CM から CPU2 MSGRAM0	2K x 8	0x2008 6000	0x2008 67FF	あり	あり	パリティ	あり ⁽¹⁾	あり
CM から CPU2 MSGRAM1	2K x 8	0x2008 6800	0x2008 6FFF	あり	あり	パリティ	あり ⁽¹⁾	
ビット・バンド RAM ゾーン	32M x 8	0x2200 0000	0x23FF FFFF	あり	あり	パリティ	あり ⁽¹⁾	
CAN A メッセージ RAM	4K x 8	0x4007 2000	0x4007 2FFF			パリティ	あり ⁽¹⁾	
CAN B メッセージ RAM	4K x 8	0x4007 6000	0x4007 6FFF			パリティ	あり ⁽¹⁾	
MCAN メッセージ RAM	17K x 8	0x4007 8000	0x4007 C3FF			ECC	あり ⁽¹⁾	
EtherCAT RAM (ダイレクト・アク セス)	16K x 8	0x400A 1000	0x400A 4FFF	あり		パリティ	あり ⁽¹⁾	

- (1) アクセス保護は MPU を介して行われます。
(2) TI OTP はテキサス・インスツルメンツの内部用。

8.3.6 CM フラッシュ・メモリ・マップ

「CM フラッシュ・メモリ・マップ」表に CM フラッシュ・メモリ・マップを示します。

表 8-6. CM フラッシュ・メモリ・マップ

セクタ	サイズ	開始アドレス	終了アドレス
OTP セクタ			
TI OTP	2K x 8	0x0038 0000	0x0038 07FF
ユーザー OTP ⁽¹⁾	2K x 8	0x003C 0000	0x003C 07FF
セクタ			
セクタ 0	16K x 8	0x0020 0000	0x0020 3FFF
セクタ 1	16K x 8	0x0020 4000	0x0020 7FFF
セクタ 2	16K x 8	0x0020 8000	0x0020 BFFF
セクタ 3	16K x 8	0x0020 C000	0x0020 FFFF
セクタ 4	64K x 8	0x0021 0000	0x0021 FFFF
セクタ 5	64K x 8	0x0022 0000	0x0022 FFFF
セクタ 6	64K x 8	0x0023 0000	0x0023 FFFF
セクタ 7	64K x 8	0x0024 0000	0x0024 FFFF
セクタ 8	64K x 8	0x0025 0000	0x0025 FFFF
セクタ 9	64K x 8	0x0026 0000	0x0026 FFFF
セクタ 10	16K x 8	0x0027 0000	0x0027 3FFF
セクタ 11	16K x 8	0x0027 4000	0x0027 7FFF
セクタ 12	16K x 8	0x0027 8000	0x0027 BFFF
セクタ 13	16K x 8	0x0027 C000	0x0027 FFFF
フラッシュ ECC 領域			
TI OTP ECC	256 x 8	0x0088 0000	0x0088 00FF
ユーザー OTP ECC	256 x 8	0x0088 8000	0x0088 80FF
フラッシュ ECC (セクタ 0)	2K x 8	0x0080 0000	0x0080 07FF
フラッシュ ECC (セクタ 1)	2K x 8	0x0080 0800	0x0080 0FFF
フラッシュ ECC (セクタ 2)	2K x 8	0x0080 1000	0x0080 17FF
フラッシュ ECC (セクタ 3)	2K x 8	0x0080 1800	0x0080 1FFF
フラッシュ ECC (セクタ 4)	8K x 8	0x0080 2000	0x0080 3FFF
フラッシュ ECC (セクタ 5)	8K x 8	0x0080 4000	0x0080 5FFF
フラッシュ ECC (セクタ 6)	8K x 8	0x0080 6000	0x0080 7FFF
フラッシュ ECC (セクタ 7)	8K x 8	0x0080 8000	0x0080 9FFF
フラッシュ ECC (セクタ 8)	8K x 8	0x0080 A000	0x0080 BFFF
フラッシュ ECC (セクタ 9)	8K x 8	0x0080 C000	0x0080 DFFF
フラッシュ ECC (セクタ 10)	2K x 8	0x0080 E000	0x0080 E7FF
フラッシュ ECC (セクタ 11)	2K x 8	0x0080 E800	0x0080 EFFF
フラッシュ ECC (セクタ 12)	2K x 8	0x0080 F000	0x0080 F7FF

表 8-6. CM フラッシュ・メモリ・マップ (continued)

セクタ	サイズ	開始アドレス	終了アドレス
フラッシュ ECC (セクタ 13)	2K x 8	0x0080 F800	0x0080 FFFF

(1) CM ユーザー OTP は汎用に使えません。

8.3.7 ペリフェラル・レジスタのメモリ・マップ (CM)

表 8-7. ペリフェラル・レジスタのメモリ・マップ (CM)

DriverLib 名	ベース・アドレス
AES_SS_BASE	0x4004_AC00
AES_BASE	0x4004_A000
NVIC_BASE	0xE000_E000
CPUTIMER0_BASE	0x4008_4000
CPUTIMER1_BASE	0x4008_4010
CPUTIMER2_BASE	0x4008_4020
NMI_BASE	0x4008_1000
WD_BASE	0x4008_0000
CMSYSCTL_BASE	0x400F_C000
DMPU_BASE	0x400C_C000
EMPU_BASE	0x400C_D000
CMMEMCFG_BASE	0x400F_E000
CMMEMORYERROR_BASE	0x400F_E400
CMMEMORYDIAGERROR_BASE	0x400F_E800
GCRC_BASE	0x4004_0000
UDMA_BASE	0x400F_F000
GPIODATA_BASE	0x4008_3000
GPIODATAREAD_BASE	0x4008_3100
I2C0_BASE	0x4002_0000
SSI0_BASE	0x4000_8000
UART0_BASE	0x4000_C000
IPC_CMTOCPU1_BASE	0x400F_D000
IPC_CMTOCPU2_BASE	0x400F_D080
FLASH0CTRL_BASE	0x400F_A000
FLASH0ECC_BASE	0x400F_A600
FLASHPUMPSEMAPHORE_BASE	0x400F_D048
EMAC_BASE	0x400C_0000
EMAC_SS_BASE	0x400C_2000
CANA_BASE	0x4007_0000
CANB_BASE	0x4007_4000
MCAN_SS_BASE	0x4007_C400
MCAN_BASE	0x4007_C600
MCAN_ERROR_BASE	0x4007_C800
MCAN0_BASE	0x4007_8000
DCSM_Z1_BASE	0x4008_5000
DCSM_Z2_BASE	0x4008_5100
DCSMCOMMON_BASE	0x4008_5180
ESC_BASE	0x400A_0000

表 8-7. ペリフェラル・レジスタのメモリ・マップ (CM) (continued)

DriverLib 名	ベース・アドレス
ESC_SS_BASE	0x400A_FC00
ESC_SS_CONFIG_BASE	0x400A_FE00
USB0_BASE	0x4005_0000

8.3.8 メモリ・タイプ

8.3.8.1 専用 RAM (Mx および Dx RAM)

CPU サブシステムには、ECC 対応の 4 つの専用 RAM ブロックがあります。M0、M1、D0、D1 の 4 ブロックです。M0/M1 メモリは、CPU と緊密に結合された小型の非セキュア・ブロックです (つまり、CPU のみがアクセスできます)。D0/D1 メモリはセキュア・ブロックであり、アクセス保護機能も備えています (CPU 書き込み / CPU フェッチ保護)。

8.3.8.2 ローカル共有 RAM (LSx RAM)

各サブシステム専用の RAM ブロックは、その CPU および CLA からのみアクセスでき、ローカル共有 RAM (LSx RAM) と呼ばれます。

すべての LSx RAM ブロックに ECC があります。これらのメモリはセキュアであり、アクセス保護 (CPU 書き込み / CPU フェッチ) 機能を備えています。

デフォルトでは、これらのメモリは CPU 専用であり、ユーザーは、LSxMSEL レジスタの MSEL_LSx ビット・フィールドを適切に構成すれば、これらのメモリを CLA と共有することを選択できます。

表 8-8 に、LSx RAM のマスター・アクセスを示します。

**表 8-8. LSx RAM のマスタ・アクセス
(他のアクセス保護はすべてディセーブルと想定)**

MSEL_LSx	CLAPGM_LSx	CPU が許可されたアクセス	CLA が許可されたアクセス	備考
00	X	すべて	-	LSx メモリは、CPU 専用 RAM として構成されています。
01	0	すべて	データ読み取り データ書き込み	LSx メモリは、CPU と CLA1 の間で共有されます。
01	1	エミュレーション読み取り エミュレーション書き込み	フェッチのみ	LSx メモリは CLA1 のプログラム・メモリです。

8.3.8.3 グローバル共有 RAM (GSx RAM)

CPU と DMA の両方からアクセス可能な RAM ブロックは、グローバル共有 RAM (GSx RAM) と呼ばれます。各共有 RAM ブロックは、GSxMSEL レジスタのビットの構成に基づいて、いずれかの CPU サブシステムが所有できます。

すべての GSx RAM ブロックにパリティがあります。

一方の CPU サブシステムが GSx RAM を所有する場合、その CPUx と CPUx.DMA はその RAM ブロックへのフル・アクセス権を持ち、他の CPUy と CPUy.DMA は読み取りアクセス権のみを持ちます (フェッチ / 書き込みのアクセス権はありません)。

表 8-9 に、GSx RAM へのマスター・アクセスを示します。

**表 8-9. GSx RAM へのマスター・アクセス
(他のアクセス保護はすべてディセーブルと想定)**

GSxMSEL	CPU	命令フェッチ	読み取り	書き込み	CPUx.DMA 読み取り	CPUx.DMA 書き込み
0	CPU1	あり	あり	あり	あり	あり
	CPU2	–	あり	–	あり	–
1	CPU1	–	あり	–	あり	–
	CPU2	あり	あり	あり	あり	あり

GSx RAM は、アクセス保護機能 (CPU 書き込み / CPU フェッチ / DMA 書き込み) を備えています。

8.3.8.4 CPU メッセージ RAM (CPU MSGRAM)

これらの RAM ブロックを使用して、CPU1 と CPU2 の間でデータを共有できます。これらの RAM は、プロセッサ間通信に使用されるため、IPC RAM と呼ばれます。CPU MSRAM には、CPU サブシステムからの CPU/DMA 読み取り / 書き込みアクセスと、他のサブシステムからの CPU/DMA 読み取り専用アクセスがあります。

この RAM にはパリティがあります。

8.3.8.5 CLA メッセージ RAM (CLA MSGRAM)

これらの RAM ブロックを使用して、CPU と CLA の間でデータを共有できます。CLA には、CLA-to-CPU MSGRAM に対する読み取り / 書き込みアクセス権があります。CPU には、CPU-to-CLA MSGRAM に対する読み取り / 書き込みアクセス権があります。CPU および CLA は、いずれも両方の MSGRAM に対する読み取りアクセス権を持ちます。この RAM にはパリティがあります。

8.3.8.6 CLA-DMA メッセージ RAM (CLA-DMA MSGRAM)

これらの RAM ブロックを使用して、DMA と CLA の間でデータを共有できます。CLA には、CLA-to-DMA MSGRAM に対する読み取り / 書き込みアクセス権があります。DMA には、DMA-to-CLA MSGRAM に対する読み取り / 書き込みアクセス権があります。DMA および CLA は、いずれも両方の MSGRAM に対する読み取りアクセス権を持ちます。この RAM にはパリティがあります。

8.3.8.7 CPUx-CM メッセージ RAM (CPUx-CM MSGRAM)

これらの RAM ブロックを使用して、CPU1/CPU2 と CM の間でデータを共有できます。CPU1/CPU2 には、CPU-to-CM MSGRAM に対する読み取り / 書き込みアクセス権があります。CM には、CM-to-CPU MSGRAM に対する読み取り / 書き込みアクセス権があります。CPUx および CM は、いずれも両方の MSGRAM に対する読み取りアクセス権を持ちます。この RAM にはパリティがあります。

8.3.8.8 専用 RAM (C0/C1 RAM)

CM サブシステムには、以下の 2 つの専用 RAM ブロックがあります。C0 および C1。これらの RAM ブロックは、Cortex-M4 と緊密に結合されており (つまり、CPU のみがアクセス可能)、ICODE/DCODE バスを介して接続されています。これらの RAM ブロックにはインターリーブ機能があり、性能が向上します。これらの RAM にはパリティがあります。

8.3.8.9 共有 RAM (E0 および Sx RAM)

CM サブシステムには、Cortex-M4 だけでなく、 μ DMA や EtherNET DMA などの他のマスタからもアクセスできる共有 RAM があります。これらの RAM は、システム・バスを介して接続されます。これらの RAM には、性能を向上させるインターリーブ機能があります。共有 RAM には、以下の 2 つの種類があります。

- E0 - この共有 RAM ブロックには ECC があります。
- Sx - この共有 RAM ブロックにはパリティがあります。

8.4 識別

表 8-10 に、デバイス識別レジスタを示します。

表 8-10. デバイス識別レジスタ

名称	アドレス	サイズ (x16)	説明	
PARTIDH	0x0005 D00A	2	デバイスの製品識別番号	
			TMS320F28388D	0x03FF 0300
			TMS320F28386D	0x03FD 0300
			TMS320F28384D	0x03FB 0300
			TMS320F28388S	0x03FF 0400
			TMS320F28386S	0x03FD 0400
			TMS320F28384S	0x03FB 0400
REVID	0x0005 D00C	2	シリコンのリビジョン番号	
			リビジョン 0	0x0000 0000
			リビジョン A	0x0000 0001
UID_UNIQUE	0x0007 020C	2	固有の識別番号。この番号は、同じ PARTIDH を持つデバイスの中でそれぞれ異なっています。これは、アプリケーションでシリアル番号として使用できます。この番号は TMS デバイスにのみ存在します。	
CPU ID	0x0007 0223	1	CPU 識別番号	
			CPU1	0xXX01
	0x0038 0446	1	CPU2	0xXX02
JTAGID	該当なし	該当なし	CM	0xXX03
			JTAG デバイス ID	0x0BB4 002F

8.5 バス・アーキテクチャ – ペリフェラル・コネクティビティ

「C28x バス・マスタ・ペリフェラル・アクセス」の表には、C28x の各バス・マスタからペリフェラルおよび構成レジスタへのアクセス性の概要が示されています。ペリフェラルは、個別に CPU1 または CPU2 サブシステムに割り当てることができます (たとえば、ePWM を CPU1 に、eQEP を CPU2 に割り当てることができます)。

表 8-11. C28x バス・マスタ・ペリフェラル・アクセス

ペリフェラル (バス・アクセス・タイプ別)	CPU1 DMA	CPU1.CLA1	CPU1	CPU2	CPU2.CLA1	CPU2.DMA
CPU1 または CPU2 に割り当て可能で、セカンダリ・マスタを持つペリフェラル						
ペリフェラル・フレーム 1: - ePWM - SDFM - eCAP ⁽¹⁾ - eQEP ⁽¹⁾ - CMPSS ⁽¹⁾ - DAC ⁽¹⁾ - HRPWM	Y	Y	Y	Y	Y	Y
ペリフェラル・フレーム 2: - SPI - McBSP - FSI - PMBus	Y	Y	Y	Y	Y	Y
CPU1 または CPU2 サブシステムに割り当て可能なペリフェラル						
SCI			Y	Y		
I2C			Y	Y		
CAN ⁽⁵⁾	Y		Y	Y		Y
ADC 構成		Y	Y	Y	Y	
EMIF1	Y		Y	Y		Y
CPU1 サブシステムのみにあるペリフェラルおよびデバイス構成レジスタ						
EMIF2		Y	Y			
USB ⁽⁵⁾			Y			
EtherCAT ⁽⁵⁾	Y	Y	Y			
DCC			Y			
デバイス機能、ペリフェラル・リセット、ペリフェラル CPU 選択			Y			
GPIO ピンのマッピングおよび構成			Y			
アナログ・システム制御			Y			
リセット構成			Y			
セマフォにより一度に 1 つの CPU からしかアクセスできないもの						
クロックおよび PLL 構成			Y	Y		
各 CPU および CLA マスタに独自のレジスタ・コピーを持つペリフェラルおよびレジスタ⁽²⁾						
システム構成 (WD, NMIWD, LPM、ペリフェラル・クロック・ゲーティング)			Y	Y		
フラッシュ構成 ⁽³⁾			Y	Y		
CPU タイマ			Y	Y		

表 8-11. C28x バス・マスタ・ペリフェラル・アクセス (continued)

ペリフェラル (バス・アクセス・タイプ別)	CPU1 DMA	CPU1.CLA1	CPU1	CPU2	CPU2.CLA1	CPU2.DMA
DMA および CLA トリガ・ソース選択			Y	Y		
ERAD			Y	Y		
GPIO データ ⁽⁴⁾		Y	Y	Y	Y	
ADC 結果	Y	Y	Y	Y	Y	Y

- (1) これらのモジュールは、DMA アクセス付きのペリフェラル・フレーム上にありますが、DMA 転送をトリガすることはできません。
- (2) 各 CPU_x および CPU_x.CLA1 は、これらのレジスタの独自のコピーにのみアクセスできます。
- (3) どの時点においても、一度に 1 つの CPU のみがフラッシュに対してプログラムまたは消去操作を実行できます。
- (4) GPIO データ・レジスタは、各 CPU_x および CPU_x.CLA_x ごとに固有です。GPIO ビン・マッピング・レジスタを構成して GPIO を特定のマスタに割り当てると、それぞれの GPIO データ・レジスタが GPIO を制御します。
- (5) CM からアクセスできます。

「CM バス・マスタ・ペリフェラル・アクセス」の表には、CPUx と CM サブシステム間のペリフェラル共有に関する詳細が示されています。また、CM サブシステム内のさまざまなマスタから、CM サブシステムからのみアクセス可能なペリフェラルへのアクセス性に関する詳細についても示されています。ペリフェラルは、個別に CPUx または CM サブシステムに割り当てることができます (たとえば、CAN を CPUx に、USB を CM に割り当てることができます)。

表 8-12. CM バス・マスタ・ペリフェラル・アクセス

ペリフェラル (バス・アクセス・タイプ別)	イーサネット DMA	μDMA	M4	CPU1 サブシステム	CPU2 サブシステム
CM、CPU1、または CPU2 サブシステムに割り当て可能なペリフェラル					
CAN		Y	Y	Y	Y
CM または CPU1 サブシステムに割り当て可能なペリフェラル					
EtherCAT		Y	Y	Y	
USB		Y	Y	Y	
MCAN (CAN FD)			Y	Y	
CM サブシステムのみにあるペリフェラルおよびシステム・レジスタ					
AES		Y	Y		
GCRC		Y	Y		
CM-I2C		Y	Y		
CM-UART		Y	Y		
SSI		Y	Y		
イーサネット		Y	Y		
GPIO データ			Y		
ペリフェラル・リセット			Y		
CM システム構成 (WD、NMIWD、LPM、ペリフェラル・クロック・ゲーティング)			Y		
フラッシュ構成			Y		
CPU タイマ			Y		
μDMA			Y		

8.6 ブート ROM およびペリフェラル・ブート

リセットのたびに、デバイスはリセット・タイプとブート構成に応じて ROM 内でブート・シーケンスを実行します。このシーケンスは、アプリケーション・コードを実行するためにデバイスを初期化します。CPU1 の場合、ブート ROM には、アプリケーションを RAM にロードするために使用できるペリフェラル・ブートローダも含まれています。これらのブートローダは、安全またはセキュリティの目的で無効にすることができます。

表 8-13 に、CPU1、CPU2、CM で使用可能なブート機能を示します。表 8-14 に、デバイス上の各種 ROM のサイズを示します。

表 8-13. ブート・システムの概要

ブート機能	CPU1 (マスタ)	CPU2	CM
ブート・プロセスの開始	デバイス・リセット	CPU1 アプリケーション	CPU1 アプリケーション
ブート・モードの選択	GPIO	IPC レジスタ	IPC レジスタ
サポートされているブート・モード: <ul style="list-style-type: none"> • フラッシュ・ブート • セキュア・フラッシュ・ブート • RAM ブート 	可	可	可
ユーザー OTP からブート	不可	可	可
IPC メッセージ RAM からコピーし、RAM からブート	不可	可	可
ペリフェラル・ブートローダのサポート	可	不可	不可

表 8-14. ROM メモリ

ROM	CPU1 サイズ	CPU2 サイズ	CM サイズ
セキュアでないブート ROM	192KB	64KB	64KB
セキュア ROM	64KB	64KB	32KB
CLA データ ROM	8KB	8KB	該当なし

8.6.1 デバイス・ブート

このセクションでは、CPU コアがリセットされたときの一般的なブート ROM の手順について説明します。CPU1 はマスタであり、常に最初にブートします。CPU1 がアプリケーションをブートすると、CPU1 のユーザーのアプリケーション・コードは CPU2/CM ブート IPC レジスタを構成し、CPU2/CM をリセットから解除してブートすることができます。表 8-15、表 8-16、表 8-17 に、各コアの一般的なブートアップ手順を示します。

ブート中に、各 CPU のブート ROM コードは、RAM 内のブート・ステータス・ロケーションを更新し、このプロセス中に実行されたアクションの詳細を示します。さらに、CPU2 はブート・ステータスを CPU2TOCPU1PCBOOTSTS レジスタに書き込み、CM は CMTOCPU1PCBOOTSTS に書き込み、そのステータスを CPU1 に伝えます。

詳細については、『TMS320F2838x リアルタイム・マイクロコントローラ・テクニカル・リファレンス・マニュアル』の「ブート・ステータス情報」のセクションを参照してください。

表 8-15. CPU1 のブート ROM の手順

ステップ	CPU1 のアクション
1	リセット後、HWBIST リセットを確認します。HWBIST リセットがある場合は、直ちに分岐してユーザー・アプリケーションに戻ります。HWBIST リセットがない場合は、ブートを続行し、FUSE エラー・レジスタにエラーがないか確認して、それに応じて処理します。
2	クロック構成とフラッシュの電源投入
3	ペリフェラル・トリミングとデバイス構成レジスタは、OTP からロードされます。
4	パワーオン・リセット (POR) 時に、すべての CPU1 RAM が初期化されます。
5	ノンマスカブル割り込み (NMI) 処理がイネーブルになり、DCSM の初期化が実行されます。
6	デバイスのキャリブレーションが実行されます。指定されたペリフェラルを設定された OTP 値でトリミングします。
7	ブート・モードを決定するために GPIO ピンのポーリングが必要かどうかを判断し、必要な場合はブート・モード GPIO ピンを読み出して、実行するブート・モードを決定します。
8	ブート・モードとオプションに基づいて、適切なブート・シーケンスが実行されます。CPU1 のブート・シーケンスのフローチャートについては、『TMS320F2838x リアルタイム・マイクロコントローラ・テクニカル・リファレンス・マニュアル』の「CPU1 デバイス・ブート・フロー」の図を参照してください。

表 8-16. CPU2 のブート ROM の手順

ステップ	CPU2 のアクション
1	CPU2 は、CPU1 のアプリケーションによってリセットから解除されます。
2	CPU1TOCPU2IPCFLG0 を設定したら、CPU1TOCPU2IPCBOOTMODE レジスタを読み取ります。正しく設定されていない場合、または無効な値がある場合、IPC エラー・コマンドが CPU1 に送信され、CPU2 コアは無限ループに入り、ユーザーがレジスタ値を修正して CPU2 をリセットするまでブートを続行しません。
3	フラッシュの電源投入
4	POR では、すべての CPU2 RAM が初期化されます。
5	NMI 処理はイネーブルです。
6	CPU1TOCPU2IPCBOOTMODE レジスタで設定されたブート・モードに基づいて、CPU2 は、「コマンド待機」モードに入り、将来の CPU1 ブート・モード・コマンドを待つか、要求されたブート・シーケンスを実行します。CPU2 ブート・シーケンスのフローチャートについては、『TMS320F2838x リアルタイム・マイクロコントローラ・テクニカル・リファレンス・マニュアル』の「CPU2 ブート・フロー」の図を参照してください。

表 8-17. CM のブート ROM の手順

ステップ	CM のアクション
1	CM は、CPU1 のアプリケーションによってリセットから解除されます。
2	CPU1TOCMIPCFLG0 を設定したら、CPU1TOCMIPCBOOTMODE レジスタを読み取ります。正しく設定されていない場合、または無効な値がある場合、IPC エラー・コマンドが CPU1 に送信され、CM は無限ループに入り、ユーザーがレジスタ値を修正して CM をリセットするまでブートを続行しません。
3	フラッシュの電源投入
4	POR では、すべての CM RAM が初期化されます。
5	NMI 処理はイネーブルです。
6	CPU1TOCPU2IPCBOOTMODE レジスタで設定されたブート・モードに基づいて、CM は、「コマンド待機」モードに入り、将来の CPU1 ブート・モード・コマンドを待つか、要求されたブート・シーケンスを実行します。CM ブート・シーケンスのフローチャートについては、『TMS320F2838x リアルタイム・マイクロコントローラ・テクニカル・リファレンス・マニュアル』の「CM ブート・フロー」の図を参照してください。

8.6.2 デバイス・ブート・モード

このセクションでは、デフォルトのブート・モードと、このデバイスでサポートされているすべてのブート・モードについて説明します。CPU1 ブート ROM は、ブート・モード選択、汎用入出力 (GPIO) ピンを使用して、ブート・モードの構成を決定します。CPU2 ブート ROM は、CPU1TOCPU2IPCBOOTMODE レジスタを使用して、ブート・モードの構成を決定します。CM ブート ROM は、CPU1TOCMIPCBOOTMODE レジスタを使用して、ブート・モードの構成を決定します。

表 8-18 に、デフォルトの CPU1 ブート・モード選択ピンで選択可能なブート・モード・オプションを示します。ユーザーは、ブートアップ・テーブルで選択可能なブート・モードと、使用するブート・モード選択ピン GPIO をカスタマイズするようにデバイスをプログラムすることができます。

デバイスで利用可能なすべてのブート・モードを表 8-20 に示します。

表 8-18. CPU1 のデバイス・デフォルト・ブート・モード

ブート・モード	GPIO72 (デフォルトのブート・モード選択ピン 1)	GPIO84 (デフォルトのブート・モード選択ピン 0)
パラレル IO	0	0
SCI / ウェイト・ブート ⁽¹⁾	0	1
CAN	1	0
フラッシュ / USB ⁽²⁾	1	1

- (1) SCI ブート・モードは、SCI オートポー・ロック・プロセス中に SCI が「A」または「a」を待機し続ける限り、待機ブート・モードとして使用できます。
- (2) プログラムされていないデバイスでは、デフォルトのフラッシュ・エントリ・アドレスがプログラムされていないときにフラッシュ・ブートを選択すると、ブート・モードがフラッシュ・ブートから USB ブートに切り替わります。詳細については、表 8-19 を参照してください。

表 8-19. CPU1 のフラッシュから USB へのブート決定表

フラッシュ・エントリ・ポイント・アドレスの値	値の理由	選択されるブート・モード
0x00000000	フラッシュがロック / 保護されている	フラッシュからブート
0xFFFFFFFF	フラッシュがプログラムされていない	USB ブート
その他の値	フラッシュがプログラムされている	フラッシュからブート

注

フラッシュがロック / 保護されている場合、またはプログラムされていない場合のフラッシュ・ブート・モードから USB ブート・モードへの切り替えは、プログラムされていないデバイスのデフォルトのブート・モード・テーブルの一部としてのみ利用できます。カスタム・ブート・テーブルが OTP または RAM にプログラムされると、フラッシュがプログラムされていない場合でも、フラッシュ・ブート・モードの選択は USB ブートに切り替わりません。

表 8-20. 利用可能なすべてのブート・モード

ブート・モード	CPU サポート	詳細
パラレル IO	CPU1	ブート・モードの機能の詳細については、『 TMS320F2838x リアルタイム・マイクロコントローラ・テクニカル・リファレンス・マニュアル 』の「ブート・モード」セクションを参照してください。
SCI / ウェイト	CPU1	
CAN	CPU1	
フラッシュ	CPU1, CPU2, CM	
ウェイト	CPU1, CPU2, CM	
RAM	CPU1, CPU2, CM	
SPI	CPU1	
I2C	CPU1	
USB ⁽¹⁾	CPU1	
セキュア・フラッシュ	CPU1, CPU2, CM	
ユーザー OTP	CPU2, CM	
IPC メッセージの RAM へのコピー	CPU2, CM	

- (1) USB ブートローダは、クロック・ソースを外部水晶発振器 (X1 および X2 ピン) に切り替えます。このブート・モードを選択する場合は、ボード上に 20MHz の水晶振動子が存在する必要があります。

注

サポートされているすべてのペリフェラル・ブート・モードは、ペリフェラル・モジュールの最初のインスタンス (SCIA, SPIA, I2CA, CANA など) を使用します。このセクションで、これらのブート・モードに言及する場合は、最初のモジュール・インスタンスを指しています。たとえば SCI ブートと言え、SCIA ポートでの SCI ブートを意味します。他のペリフェラル・ブートについても同様です。

8.6.3 デバイス・ブートの構成

このデバイスでは、0~3 本のブート・モード選択ピンと、1~8 個のブート・モードの構成がサポートされています。

デバイスをデフォルト設定からアプリケーションのカスタム設定に変更および構成するには、次の手順を実行します。

1. アプリケーションをブートできるようにするさまざまな方法をすべて決定します。(たとえば、メイン・アプリケーション用のフラッシュ・ブートのプライマリ・ブート・オプション、ファームウェア更新用の CAN ブートのセカンダリ・ブート・オプション、デバッグ用の SCI ブートの 3 番目のブート・オプションなど。)
2. 必要なブート・モードの数に基づいて、ブート・モードの選択に必要なブート・モード選択ピン (BMSP) の数を決定します。(たとえば、3 つのブート・モード・オプションから選択するには、2 つの BMSP が必要。)
3. 必要な BMSP を物理的な GPIO ピンに割り当てます。(たとえば、BMSP0 を GPIO50 に、BMSP1 を GPIO51 に、BMSP2 をデフォルト (ディセーブル) のままにするなど。)これらの構成の実行の詳細については、『[TMS320F2838x リアルタイム・マイクロコントローラ・テクニカル・リファレンス・マニュアル](#)』の「CPU1 のブート・モード・ピンの構成」セクションを参照してください。
4. 決定したブート・モード定義を、BMSP のデコードされた値に相関付けるカスタム・ブート・テーブルのインデックスに割り当てます。(たとえば、BOOTDEF0 = フラッシュからブート、BOOTDEF1 = CAN ブート、BOOTDEF2 = SCI ブートに割り当て、その他のすべての BOOTDEFx はデフォルト / なしのままにします。)カスタム・ブート・モード・テーブルの設定と構成の詳細については、『[TMS320F2838x リアルタイム・マイクロコントローラ・テクニカル・リファレンス・マニュアル](#)』の「CPU1 のブート・モード・テーブル・オプションの構成」セクションを参照してください。

BMSP およびカスタム・ブート・テーブルの構成方法に関する使用例については、『[TMS320F2838x リアルタイム・マイクロコントローラ・テクニカル・リファレンス・マニュアル](#)』の「ブート・モードの使用例」セクションを参照してください。

8.6.4 CPU1 の GPIO 割り当て

このセクションでは、Z1-OTP-BOOTDEF-LOW / Z2-OTP-BOOTDEF-LOW および Z1-OTP-BOOTDEF-HIGH / Z2-OTP-BOOTDEF-HIGH にある BOOT_DEF メモリ・ロケーションで設定された各 CPU1 ブート・モードに使用される GPIO とブート・オプションの値について詳細に説明します。BOOT_DEF の構成方法については、『[TMS320F2838x リアルタイム・マイクロコントローラ・テクニカル・リファレンス・マニュアル](#)』の「CPU1 のブート・モード表オプションの構成」セクションを参照してください。ブート・モード・オプションを選択するときは、使用する特定のデバイス・パッケージのピン・マルチプレクサ・オプションで、必要なピンが利用可能であることを確認します。

注

これらの構成は CPU1 にのみ適用されます。CPU2 および CM ブート・モードの構成の詳細については、『[TMS320F2838x リアルタイム・マイクロコントローラ・テクニカル・リファレンス・マニュアル](#)』の「CPU2 および CM のブート」セクションを参照してください。

表 8-21. SCI ブート・オプション

オプション	BOOTDEF 値	SCITXDA GPIO	SCIRXDA GPIO
0 (デフォルト)	0x01	GPIO29	GPIO28
1	0x21	GPIO84	GPIO85
2	0x41	GPIO36	GPIO35
3	0x61	GPIO42	GPIO43
4	0x81	GPIO65	GPIO64
5	0xA1	GPIO135	GPIO136
6	0xC1	GPIO8	GPIO9

表 8-22. CAN ブート・オプション

オプション	BOOTDEF 値	CANTXA GPIO	CANRXA GPIO
0 (デフォルト)	0x02	GPIO37	GPIO36
1	0x22	GPIO71	GPIO70
2	0x42	GPIO63	GPIO62
3	0x62	GPIO19	GPIO18
4	0x82	GPIO4	GPIO5
5	0xA2	GPIO31	GPIO30

表 8-23. I2C ブート・オプション

オプション	BOOTDEF 値	SDAA GPIO	SCLA GPIO
0	0x07	GPIO91	GPIO92
1	0x27	GPIO32	GPIO33
2	0x47	GPIO42	GPIO43
3	0x67	GPIO0	GPIO1
4	0x87	GPIO104	GPIO105

表 8-24. USB ブート・オプション

オプション	BOOTDEF 値	USBDM GPIO	USBDP GPIO
0 (デフォルト)	0x09	GPIO42	GPIO43

表 8-25. RAM ブート・オプション

オプション	BOOTDEF 値	RAM エントリ・ポイント (アドレス)
0	0x05	0x0000 0000

表 8-26. フラッシュ・ブート・オプション

オプション	BOOTDEF 値	フラッシュ・エントリ・ポイント (アドレス)	フラッシュ・セクタ
0 (デフォルト)	0x03	0x0008 0000	CPU1 バンク 0 セクタ 0
1	0x23	0x0008 8000	CPU1 バンク 0 セクタ 4
2	0x43	0x000A 8000	CPU1 バンク 0 セクタ 8
3	0x63	0x000B E000	CPU1 バンク 0 セクタ 13

表 8-27. セキュア・フラッシュ・ブート・オプション

オプション	BOOTDEF 値	フラッシュ・エントリ・ポイント (アドレス)	フラッシュ・セクタ
0	0x0A	0x0008 0000	CPU1 バンク 0 セクタ 0
1	0x2A	0x0008 8000	CPU1 バンク 0 セクタ 4
2	0x4A	0x000A 8000	CPU1 バンク 0 セクタ 8
3	0x6A	0x000B E000	CPU1 バンク 0 セクタ 13

表 8-28. ウェイト・ブート・モード

オプション	BOOTDEF 値	ウォッチドッグ
0	0x04	イネーブル
1	0x24	ディセーブル

表 8-29. SPI ブート・オプション

オプション	BOOTDEF 値	SPISIMOA	SPISOMIA	SPICLKA	SPISTEA
0	0x06	GPIO58	GPIO59	GPIO60	GPIO61
1	0x26	GPIO16	GPIO17	GPIO18	GPIO19
2	0x46	GPIO32	GPIO33	GPIO34	GPIO35
3	0x66	GPIO16	GPIO17	GPIO56	GPIO57
4	0x86	GPIO54	GPIO55	GPIO56	GPIO57

表 8-30. パラレル・ブート・オプション

オプション	BOOTDEF 値	D0~D7 GPIO	DSP 制御 GPIO	ホスト制御 GPIO
0 (デフォルト)	0x0	D0 - GPIO89	GPIO91	GPIO92
		D1 - GPIO90		
		D2 - GPIO58		
		D3 - GPIO59		
		D4 - GPIO60		
		D5 - GPIO61		
		D6 - GPIO62		
		D7 - GPIO88		

8.7 デュアル・コード・セキュリティ・モジュール (DCSM)

デュアル・コード・セキュリティ・モジュール (DCSM) は、このデバイスに組み込まれているセキュリティ機能です。これにより、権限のない者によるオンチップのセキュアなメモリ (およびその他のセキュアなリソース) へのアクセスと可視化を防止します。また、社外秘コードの複製やリバース・エンジニアリングも防止します。「セキュア」という用語は、オンチップのセキュアなメモリおよびリソースへのアクセスがブロックされることを意味します。「アンセキュア」という用語は、アクセスが許可されていることを意味します。つまり、メモリの内容は、あらゆる手段 (たとえば、Code Composer Studio™ などのデバッグ・ツールを通じて) で読み取られる可能性があります。

ゾーン 1 (Z1) とゾーン 2 (Z2) の 2 つのセキュリティ・ゾーンがあります。各 CPU サブシステムに 2 つのセキュリティ・ゾーンがあった以前の C2000 デバイスとは異なり、このデバイスでは、両方のセキュリティ・ゾーンが各 CPU サブシステムによって共有されます。これは、各 CPU サブシステムからのセキュアなリソースが、ゾーン 1 またはゾーン 2 に割り当てられることを意味します。すべてのセキュリティ構成は、CPU1 サブシステムによってのみ制御されます (CPU1 USER OTP でプログラムされる) が、他の CPU サブシステムは、独自のメモリ・マップ・レジスタを介してこれらの構成にアクセスできません。

各ゾーンのセキュリティは、それぞれの 128 ビット・パスワード (CSM パスワード) によって確保されます。各ゾーンのパスワードは、ゾーン固有のリンク・ポインタに基づいて CPU1 USER OTP メモリの領域に格納されます。リンク・ポインタの値を変更して、OTP 内で異なるセキュリティ設定 (パスワードを含む) をプログラムできます。

Code Security Module Disclaimer

このデバイスに搭載されているコード・セキュリティ・モジュール (CSM) は、関連メモリに保存されているデータをパスワードで保護するように設計されています。テキサス・インスツルメンツは、このデバイスに適用される保証期間において、標準契約条件に従って、この CMS がテキサス・インスツルメンツの発行した仕様書に準拠していることを保証します。

ただし、テキサス・インスツルメンツは、CSM で情報漏洩もしくは侵害が発生しないこと、または関連メモリに格納されているデータに他の手段でアクセスできないことを保証もしくは表明するものではありません。さらに、前述の規定を除き、テキサス・インスツルメンツは、商品性または特定目的への適合性に関する黙示の保証を含めて、CSM について、またはこのデバイスの動作について、保証または表明を行うものではありません。

いかなる場合においても、テキサス・インスツルメンツは、CSM またはこのデバイスの何らかの方法での使用に関連または起因して発生した、特別、間接的、偶発的、懲罰的な損害について、テキサス・インスツルメンツがこれらの損害の可能性について通知されていたかどうかにかかわらず、一切責任を負わないものとします。除外される損害には、データの消失、営業上の信用喪失、使用不能の損失、または業務の中断、その他の経済的損失が含まれますが、これらに限定されません。

8.8 C28x (CPU1/CPU2) サブシステム

8.8.1 C28x プロセッサ

この CPU は 32 ビット固定小数点プロセッサです。このデバイスは、デジタル信号処理、RISC (Reduced Instruction Set Computing)、マイクロコントローラ・アーキテクチャ、ファームウェア、ツール・セットの機能を最大限に活用しています。

CPU の特長として、改良型ハーバード・アーキテクチャおよびサーキュラー・アドレッシングがあります。RISC の特長は、シングルサイクルの命令実行、レジスタ間の演算、改良型ハーバード・アーキテクチャです。マイクロコントローラの特長としては、直感的な命令セット、バイトのパッキングとアンパッキング、ビット操作などによる使いやすさがあります。改良型ハーバード・アーキテクチャの CPU は、命令とデータのフェッチを並列に実行できます。CPU は、データを書き込んでいる間に、命令とデータを同時に読み取ることができ、パイプライン全体でシングルサイクル命令実行の動作を維持できます。CPU は、6 つの独立したアドレス/データ・バスを使用してこの処理を行います。

CPU アーキテクチャおよび命令セットの詳細については、『[TMS320C28x CPU および命令セット・リファレンス・ガイド](#)』を参照してください。C28x 浮動小数点ユニット (FPU)、三角関数演算ユニット、および巡回冗長検査 (VCRC) 命令セットの詳細については、『[TMS320C28x 拡張命令セット・テクニカル・リファレンス・マニュアル](#)』を参照してください。FPU、TMU、VCRC の概要がここに記載されています。

8.8.1.1 浮動小数点ユニット

C28x + 浮動小数点 (C28x+FPU64) プロセッサでは、レジスタと命令を追加して C28x 固定小数点 CPU の機能を拡張することにより、IEEE 単精度および倍精度浮動小数点演算の両方をサポートしています。

C28x+FPU64 を搭載したデバイスは、標準の C28x レジスタ・セットに加えて、追加の浮動小数点ユニット・レジスタ・セットを備えています。追加の浮動小数点ユニット・レジスタは以下のとおりです。

- 8 つの浮動小数点結果レジスタ RnH (n = 0~7)
- 浮動小数点ステータス・レジスタ (STF)
- リピート・ブロック・レジスタ (RB)

リピート・ブロック・レジスタを除くすべての浮動小数点レジスタにシャドウイングが行われます。このシャドウイングは、優先度の高い割り込みで使用して、浮動小数点レジスタのコンテキスト保存と復元を高速化できます。

8.8.1.2 三角関数演算ユニット (TMU)

TMU は、C28x+FPU64 の機能を拡張するために、命令を追加するとともに既存の FPU 命令を活用して、[表 8-31](#) に示す一般的な三角関数および算術演算の実行を迅速化します。

表 8-31. TMU がサポートする命令

説明	等価な C の演算	パイプラインのサイクル数
MPY2PIF32/64 RaH,RbH	$a = b * 2\pi$	2/3
DIV2PIF32/64 RaH,RbH	$a = b / 2\pi$	2/3
DIVF32/64 RaH,RbH,RcH	$a = b/c$	5
SQRTF32/64 RaH,RbH	$a = \text{sqrt}(b)$	5
SINPUF32/64 RaH,RbH	$a = \sin(b*2\pi)$	4
COSPUF32/64 RaH,RbH	$a = \cos(b*2\pi)$	4
ATANPUF32/64 RaH,RbH	$a = \text{atan}(b)/2\pi$	4
QUADF32/64 RaH,RbH,RcH,RdH	ATANPU2 の計算に役立つ演算	5

既存の命令、パイプライン、メモリ・バス・アーキテクチャに変更は加えられていません。すべての TMU 命令は、既存の FPU レジスタ・セット (R0H~R7H) を使用して演算を実行します。

8.8.1.3 高速整数除算ユニット

C28x CPU の高速整数除算 (FINTDIV) ユニットの、データ・タイプ・サイズ (16/16、32/16、32/32、64/32、64/64) の異なる 3 種類の整数除算 (切り捨て、モジュラス、ユークリッド) を符号なしまたは符号付き形式でサポートしています。

- 切り捨て整数除算は、C 言語 (/、% 演算子) でネイティブにサポートされています。
- モジュラス除算とユークリッド除算は、制御アルゴリズムにより効率的であり、C 組み込み関数でサポートされています。

3 種類の整数除算はいずれも、指数成分と剰余成分の両方を生成し、割り込み可能で、最小数の確定的サイクル数 (32/32 除算では 10 サイクル) で実行されます。さらに、C28x CPU の高速除算機能は、浮動小数点 32 ビット (5 サイクル) および 64 ビット (20 サイクル) 除算の高速実行を独自にサポートしています。

高速整数除算の詳細については、『高速整数除算 - C2000™ 製品ファミリでの異なる方法』アプリケーション・レポートを参照してください。

8.8.1.4 VCRC ユニット

巡回冗長検査 (CRC) アルゴリズムは、大規模なデータ・ブロック、通信パケット、またはコード・セクションでデータの整合性を検証するための明快な方法を提供します。C28x+VCRC は、8 ビット、16 ビット、24 ビット、32 ビットの CRC を実行できます。たとえば 10 バイトのブロック長の場合、VCRC は CRC 計算を 10 サイクルで完了します。CRC 結果レジスタには現在の CRC が収容されており、CRC 命令が実行されると値が更新されます。

以下が、VCRC の CRC 計算ロジックで使用される CRC 多項式です。

- CRC8 多項式 = 0x07
- CRC16 多項式 1 = 0x8005
- CRC16 多項式 2 = 0x1021
- CRC24 多項式 = 0x5d6dcb
- CRC32 多項式 1 = 0x04c11db7
- CRC32 多項式 2 = 0x1edc6f41

このモジュールでは、1 サイクルで 1 バイトのデータに対する CRC を計算できます。CRC8、CRC16、CRC24、CRC32 の CRC 計算は、(C28x コアが読み取る 16 ビットまたは 32 ビットのデータ全体を計算する代わりに) バイト単位で実行されるので、各種規格で要求されているバイト単位の計算要件にも適合します。

また、この VCRC ユニットでは、任意の多項式のサイズ (1 バイト~32 バイト) と値を指定して、カスタムの CRC 要件を満たすこともできます。カスタムの多項式を使用する場合には、CRC の実行時間が 3 サイクルに増加します。

8.8.2 組み込みのリアルタイム解析および診断 (ERAD)

ERAD モジュールは、デバイスのデバッグ機能とシステム分析機能を強化します。ERAD モジュールが提供するデバッグおよびシステム分析の拡張は、CPU の外部で行われます。ERAD モジュールは、拡張バス・コンパレータ・ユニットとシステム・イベント・カウンタ・ユニットで構成されています。

- 拡張バス・コンパレータ・ユニットは、ハードウェア・ブレイクポイント、ハードウェア・ウォッチポイント、およびその他の出力イベントの生成に使用されます。
- システム・イベント・カウンタ・ユニットは、システムの分析とプロファイル作成に使用されます。ERAD モジュールには、デバッグおよびアプリケーション・ソフトウェアからアクセスできます。

これにより、多くのリアルタイム・システムのデバッグ能力が大幅に向上します。TMS320F2838x デバイスには、ERAD モジュールに 8 つの拡張バス・コンパレータ・ユニット (ハードウェア・ブレイクポイント数を 2 から 10 に増加) と、4 つのシステム・イベント・カウンタ・ユニットが搭載されています。図 8-2 に、ERAD モジュールを示します。

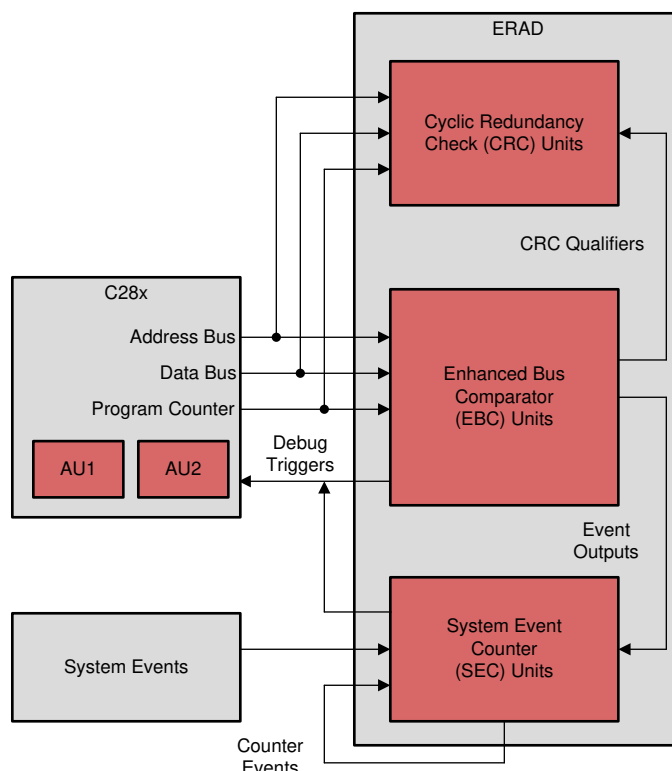


図 8-2. ERAD の概要

8.8.3 バックグラウンド CRC (BGCR) (BGCRC)

バックグラウンド CRC (BGCRC) モジュールは、構成可能なメモリ・ブロックで CRC-32 を計算します。これは、アイドル・サイクル中 (CPU、CLA、または DMA がメモリ・ブロックにアクセスしていないとき) に、指定されたメモリ・ブロックをフェッチすることで実行されます。計算された CRC-32 の値をゴールデン CRC-32 の値と比較して、合格か不合格かを示します。基本的に、BGCRC はメモリの障害や破損の識別に役立ちます。CPU サブシステムごとに 2 つの BGCRC モジュール (CPU_CRC および CLA_CRC) があります。2 つの BGCRC モジュールは、テストするメモリが異なるだけです。

BGCRC モジュールの主な機能は次のとおりです。

- 32 ビット・データの 1 サイクル CRC-32 計算
- ゼロ・ウェイト状態メモリの場合、CPU 帯域幅に影響なし
- ゼロでないウェイト状態メモリの場合、CPU 帯域幅への影響は最小限
- デュアル動作モード (CRC-32 モードおよびスクラブ・モード)
- CRC-32 完了の時間を計測するウォッチドッグ・タイマ
- CRC-32 計算を一時停止および再開可能

図 8-3 に、BGCRC モジュールのメモリ・マップを示します。

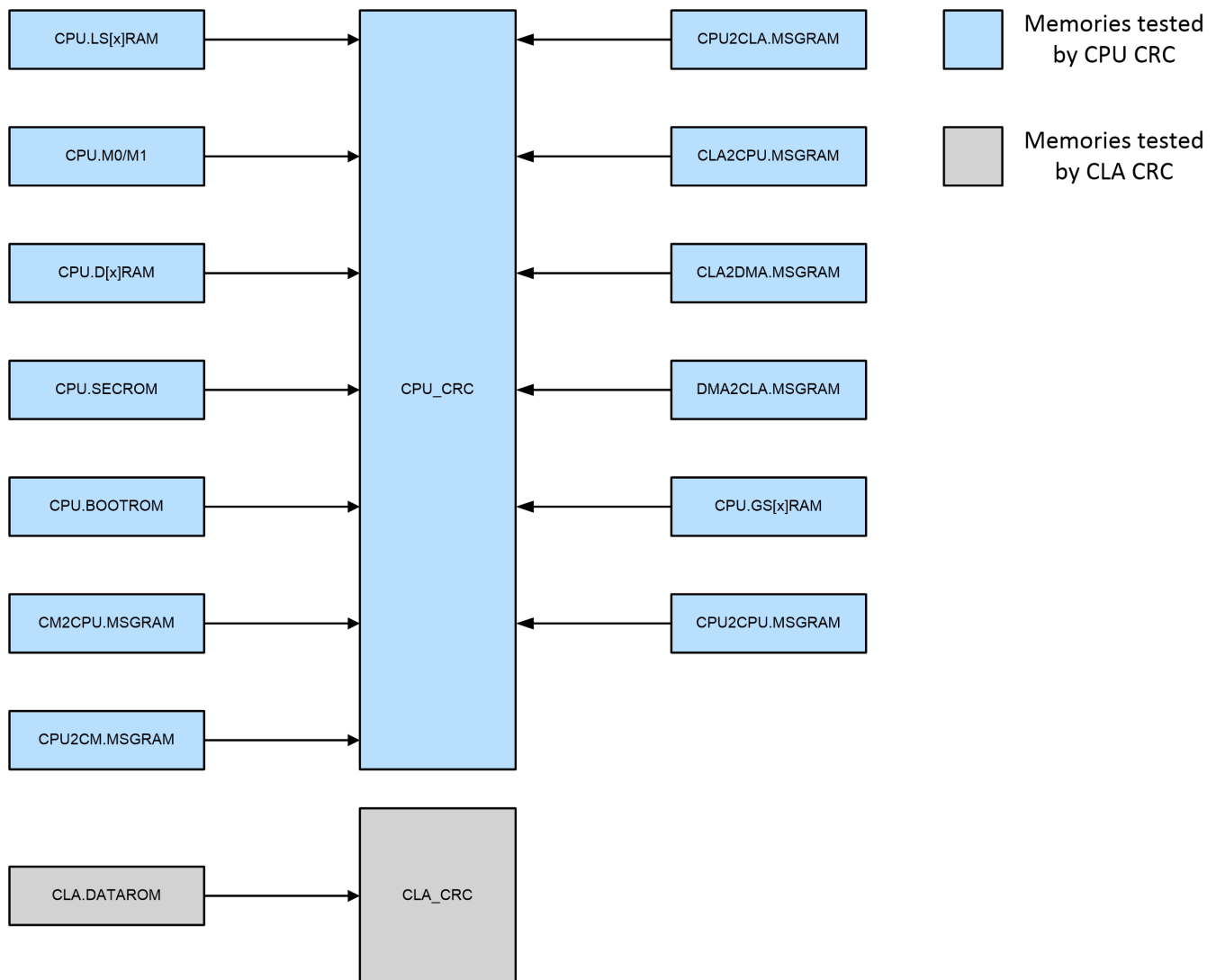


図 8-3. BGCRC メモリ・マップ

8.8.4 制御補償器アクセラレータ (CLA)

CLA タイプ 2 は、独立した、完全にプログラマブルな 32 ビット浮動小数点演算プロセッサであり、C28x ファミリーで制御ループの同時実行を可能にします。CLA の割り込みレイテンシが短いいため、ADC サンプルを「ジャスト・イン・タイム」で読み取ることができます。これにより、ADC サンプルから出力までの遅延が大幅に減少し、システム応答の高速化と高い周波数での制御ループを実現できます。CLA を使って時間に制約のある制御ループを処理することで、メイン CPU は、他のシステムタスク、たとえば通信や診断を自由に実行できます。

制御補償アクセラレータは、並列処理を追加することで C28x CPU の機能を拡張します。時間に制約のある制御ループを CLA で処理することにより、ADC のサンプリングから出力までの遅延を低減できます。したがって CLA を使用することで、より速いシステム応答とより高い周波数の制御ループを実現できます。時間に制約のあるタスクに CLA を利用すると、メイン CPU が解放され、その他のシステム機能と通信機能を同時に実行できます。

CLA の主な機能を以下に示します。

- CLA ソフトウェア開発には C コンパイラが利用可能
- メイン CPU と同じ速度のクロック (SYSCLKOUT) で動作
- 独立したアーキテクチャにより、メイン C28x CPU から独立して CLA アルゴリズムを実行
 - 充実したバス・アーキテクチャ:
 - プログラム・アドレス・バス (PAB) とプログラム・データ・バス (PDB)
 - データ読み取りアドレス・バス (DRAB)、データ読み取りデータ・バス (DRDB)、データ書き込みアドレス・バス (DWAB)、データ書き込みデータ・バス (DWDB)
 - 独立した 8 段パイプライン
 - 16 ビット・プログラム・カウンタ (MPC)
 - 4 つの 32 ビット結果レジスタ (MR0~MR3)
 - 2 つの 16 ビット補助レジスタ (MAR0, MAR1)
 - ステータス・レジスタ (MSTF)
- 命令セットの内容:
 - IEEE 単精度 (32 ビット) 浮動小数点演算
 - 並列ロードまたはストア付き浮動小数点演算
 - 並列加減算付き浮動小数点乗算
 - $1/X$ と $1/\sqrt{X}$ の概算
 - データ・タイプ変換
 - 条件付き分岐および呼び出し
 - データのロード / ストア操作
- CLA プログラム・コードは、最大 8 つのタスクもしくは割り込みサービス・ルーチン、または 7 つのタスクとメインのバックグラウンド・タスクで構成できます。
 - 各タスクの開始アドレスは MVECT レジスタで指定されます。
 - 設定可能な CLA プログラム・メモリ空間内にタスクが収まる限り、タスク・サイズに制限はありません。
 - 一度に 1 つのタスクが最後まで処理されます。タスクのネスティングはありません。
 - タスクが完了すると、PIE 内でタスク固有の割り込みが生成される。
 - 1 つのタスクが完了すると、次に優先度が高い保留タスクが自動的に開始される。
 - タイプ 2 CLA では、バックグラウンドでメイン・タスクを継続的に実行しながら、優先度の高い他のイベントによってフォアグラウンド・タスクをトリガすることも可能です。
- タスク・トリガ機構:
 - C28x CPU から IACK 命令による
 - タスク 1~タスク 8: CLA が第 2 位の所有権を持つ共有バスに接続されているペリフェラルから、最大 256 のトリガ・ソースを使用可能
 - タスク 8 は、バックグラウンド・タスクに設定でき、タスク 1~7 はペリフェラル・トリガに設定できます。

- メモリおよび共有ペリフェラル:
 - CLA とメイン CPU の間の通信のための 2 つの専用メッセージ RAM。
 - CLA と DMA の間の通信のための 2 つの専用メッセージ RAM。
 - C28x CPU は、CLA プログラムとデータ・メモリをメイン CPU 空間または CLA 空間に割り当てることが可能。

図 8-4 に、CLA のブロック図を示します。

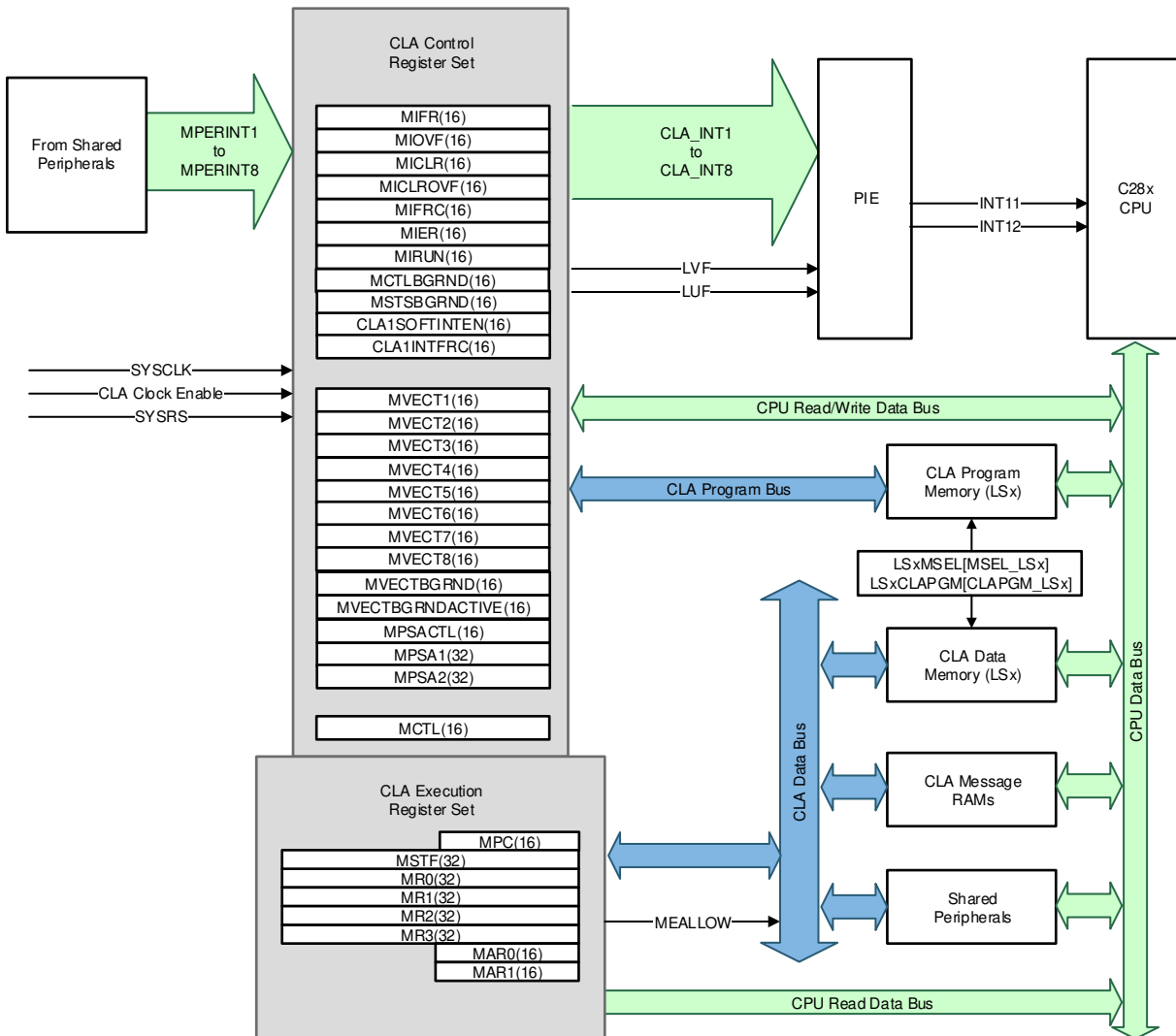


図 8-4. CLA のブロック図

8.8.5 ダイレクト・メモリ・アクセス (DMA)

各 CPU は、独自の 6 チャンネル DMA モジュールを備えています。DMA モジュールは、CPU を介さずにペリフェラルやメモリ間でデータを転送するためのハードウェア方式を提供し、他のシステム機能の処理能力を解放します。さらに、DMA には、転送時にデータを直交的に再配置する機能、および複数のバッファを「ピンポン」方式で選択してデータを転送する機能があります。これらの機能は、最適な CPU 処理のためにデータをブロックに分けて構造化するのに役立ちます。

DMA モジュールはイベント・ベースのマシンであり、DMA 転送を開始するにはペリフェラルまたはソフトウェア・トリガが必要です。タイマを DMA トリガ・ソースに構成して、一定周期で駆動されるマシンにすることもできますが、モジュール自体には、メモリ転送を定期的に開始するメカニズムはありません。DMA モジュールには、個別に構成できる 6 つの独立した DMA チャンネルがあります。各チャンネルには独自の独立した PIE 割り込みが含まれており、DMA 転送が開始または完了したことを CPU に知らせます。6 つのチャンネルのうち 5 つはまったく同じですが、チャンネル 1 は、他のチャンネルよりも高い優先度に設定できます。DMA の中心にはステート・マシンと緊密に結合されたアドレス制御ロジックがあります。このアドレス制御ロジックにより、転送中のデータ・ブロックの再配置や、バッファ間でのデータのピンポン処理が可能になります。

DMA の特長:

- 独立した PIE 割り込みを持つ 6 つのチャンネル
- 各 DMA チャンネルは、複数のペリフェラル・トリガ・ソースから個別にトリガできます。
- ワード・サイズ: 16 ビットまたは 32 ビット (SPI は 16 ビットに限定)
- スループット: アービトレーションなしで 3 サイクル/ワード

DMA のデバイスレベル・ブロック図を [図 8-5](#) に示します。

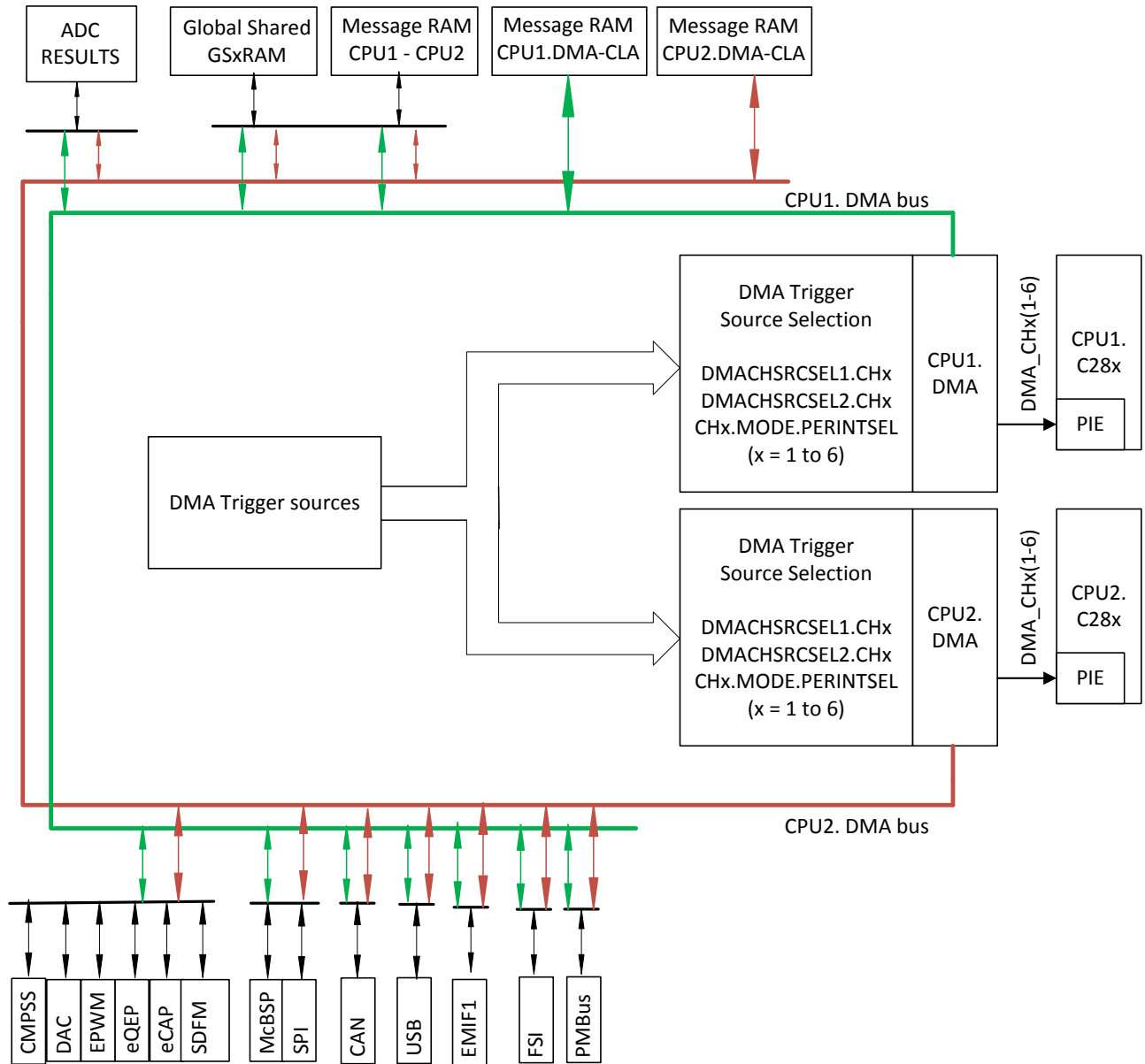


図 8-5. DMA のブロック図

8.8.6 プロセッサ間通信 (IPC) モジュール

プロセッサ間通信 (IPC) モジュールにより、CPU サブシステム間の通信が可能になります。

IPC の主な特長は次のとおりです。

- メッセージ RAM
- IPC フラグと割り込み
- IPC コマンド・レジスタ
- フラッシュ・ポンプ・セマフォ
- クロック構成セマフォ
- フリーランニング・カウンタ

すべての IPC 機能は互いに独立しており、ほとんどの場合、特定のデータ・フォーマットを必要としません。また、ブート・モード用とステータス通信用の 2 つのレジスタがあります。これらのレジスタの詳細については、『[TMS320F2838x リアルタイム・マイクロコントローラ・テクニカル・リファレンス・マニュアル](#)』の「ROM コードとペリフェラル・ブート」の章を参照してください。

このデバイスには 3 つのコア [1 つの Cortex-M4 コアと 2 つの C28x コア (CPU1、CPU2)] と 3 つの異なる IPC モジュールがあります。

- CPU1_TO_CPU2 IPC アーキテクチャ ([図 8-6](#) を参照)
- CPUx_TO_CM IPC アーキテクチャ (x = 1, 2) ([図 8-7](#) を参照)

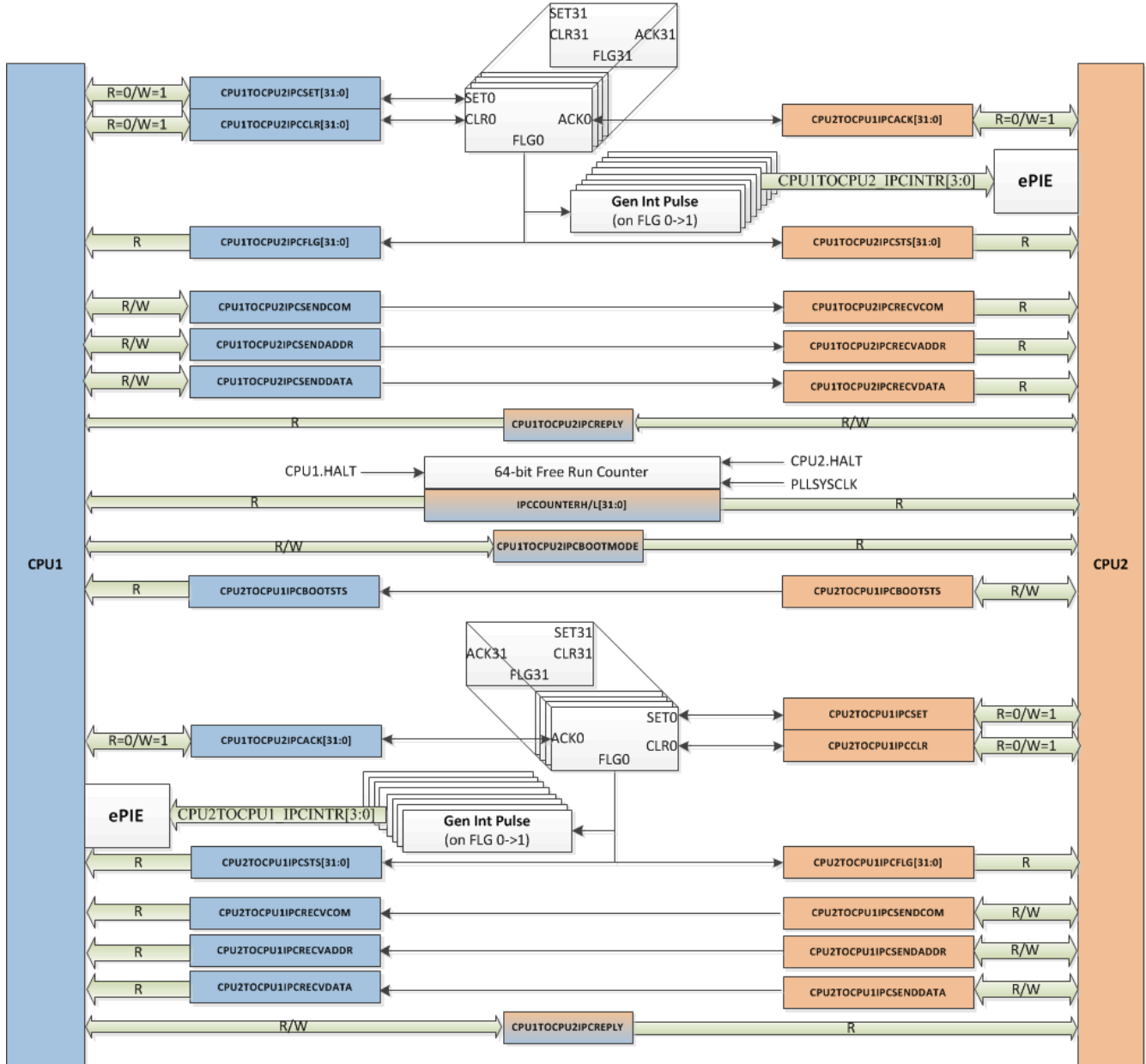
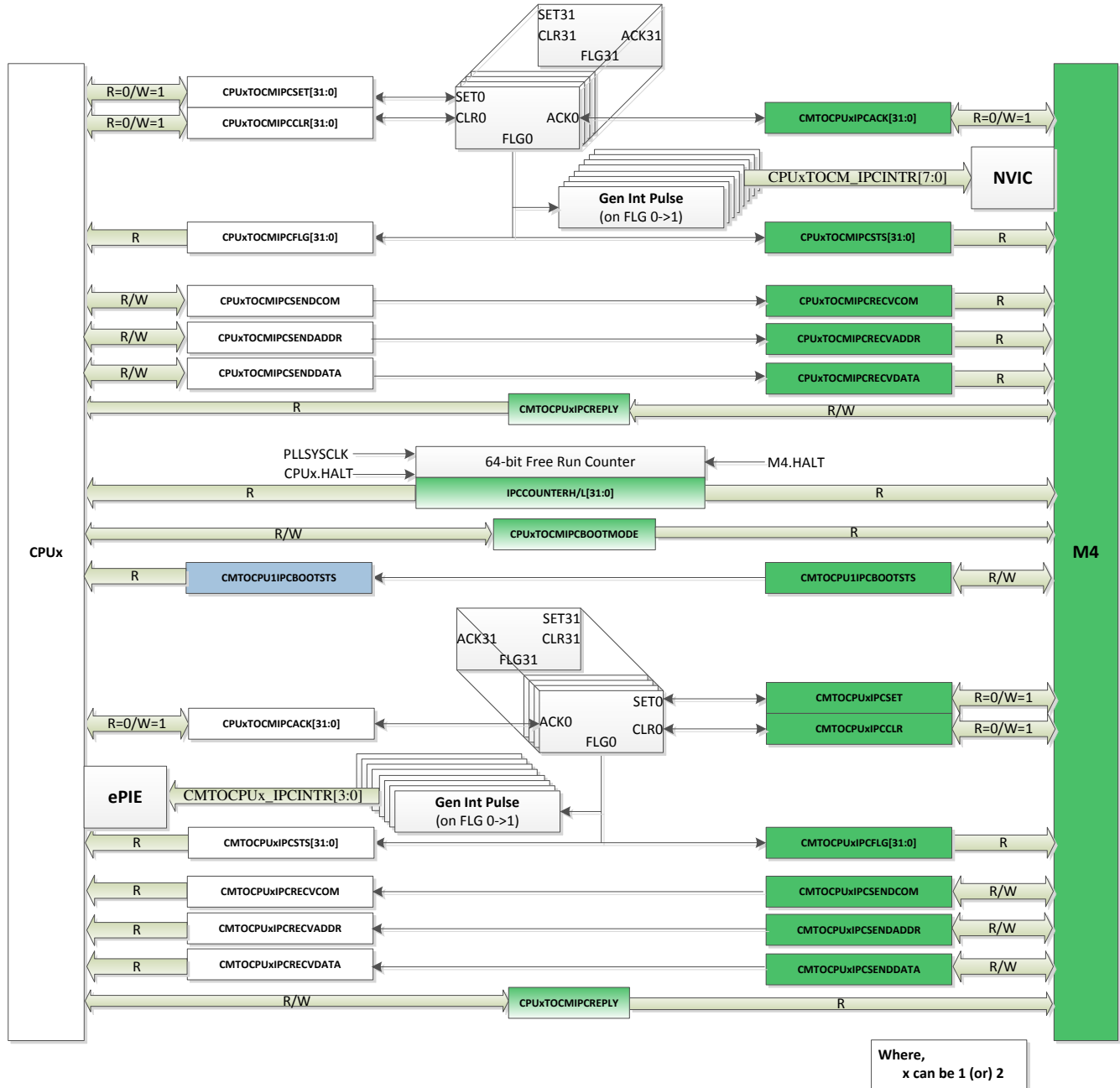


図 8-6. CPU1_TO_CPU2 IPC モジュール



8-7. CPUx_to_CM IPC モジュール

8.8.7 C28x タイマ

CPU タイマ 0、1、2 は、同一仕様の 32 ビット・タイマであり、周期をプリセット可能で、16 ビット・クロック・プリスケールリングを備えています。これらのタイマには、32 ビットのカウンタダウン・レジスタがあり、カウンタが 0 に達したときに割り込みを発生させます。このカウンタは、CPU クロック速度をプリスケール値設定で除算した速度でデクリメントされます。カウンタが 0 になると、32 ビットの周期値が自動的に再ロードされます。

CPU タイマ 0 は汎用であり、PIE ブロックに接続されています。CPU タイマ 1 も汎用であり、CPU の INT13 に接続されています。CPU タイマ 2 は、TI-RTOS 用に予約されています。これは、CPU の INT14 に接続されています。TI-RTOS を使用していない場合は、CPU タイマ 2 を汎用として使用できます。

CPU タイマ 2 には、次のいずれかのクロックを供給できます。

- SYSCLK (デフォルト)
- 内部ゼロピン発振器 1 (INTOSC1)
- 内部ゼロピン発振器 2 (INTOSC2)
- X1 (XTAL)
- AUXPLLCLK

8.8.8 デュアル・クロック・コンパレータ (DCC)

デバイスには 3 つのデュアル・クロック・コンパレータ (DCC0、DCC1、DCC2) があります。3 つの DCC はすべて、CPU1 経由でのみアクセスできます。DCC モジュールは、より正確で信頼性の高いバージョンである 2 番目のクロックに基づいてクロック入力を評価および監視するのに使用されます。この計測機器は、クロック・ソースまたはクロック構造の障害を検出するために使用され、システムの安全性指標を強化します。

8.8.8.1 特長

DCC の特長は次のとおりです。

- アプリケーションが、2 つのクロック信号の周波数の間で固定比率を維持できるようにします。
- 基準クロック・サイクル数に関して、プログラム可能な許容範囲ウィンドウを定義できます。
- アプリケーションが介在しなくても継続的に監視できます。
- スポット測定のためのシングル・シーケンス・モードをサポートしています。
- 複数の特殊な使用事例のために各カウンタのクロック源を選択することもできます。

8.8.8.2 DCCx (DCC0、DCC1、DCC2) クロック・ソース入力のマッピング

表 8-32. DCCx クロック・ソース 0 表

DCCxCLKSRC0[3:0]	クロック名
0x0	XTAL/X1
0x1	INTOSC1
0x2	INTOSC2
0x5	CPU1.SYSCLK
0x6	CPU2.SYSCLK
0xC	INPUT XBAR (入力クロスバーの出力 16)
その他	予約済み

表 8-33. DCCx クロック・ソース 1 表

DCCxCLKSRC1[4:0]	クロック名
0x0	PLLRAWCLK
0x1	AUXPLLRAWCLK
0x2	INTOSC1
0x3	INTOSC2
0x5	CMCLK
0x6	CPU1.SYSCLK
0x7	イーサネット RX クロック (ENET_MII_RX_CLK)
0x8	CPU2.SYSCLK
0x9	Input XBAR (入力クロスバーの出力 15)
0xA	AUXCLKIN
0xB	EPWMCLK
0xC	LSPCLK
0xD	Ethercat MII0 RX クロック (ESC_RX0_CLK)
0xE	WDCLK
0xF	CAN0BITCLK
0x17	Ethercat MII1 RX クロック (ESC_RX1_CLK)
その他	予約済み

8.8.9 ウォッチドッグ・タイマ付きノンマスクابل割り込み (NMIWD)

NMIWD モジュールは、システム・レベルのエラーを処理するために使用されます。それぞれの CPU に NMIWD モジュールがあります。監視対象の条件は次のとおりです。

- 発振器の障害によるシステム・クロックの喪失
- CPU によるフラッシュ・メモリへのアクセス時の訂正できない ECC エラー
- CPU、CLA、または DMA による RAM へのアクセス時の訂正できない ECC またはパリティ・エラー
- CPU による ROM へのアクセス時のパリティ・エラー
- もう一方の CPU でのベクタ・フェッチ・エラー
- BGCRC モジュールからの CRC 失敗エラー
- EtherCAT マスタからのリセット要求、または EtherCAT RAM へのアクセス時の訂正できないエラー
- CPU1/CPU2 による HWBIST エラー
- ERAD モジュールからの NMI
- CPU1 のみ: CPU2 でのウォッチドッグまたは NMI ウォッチドッグのリセット
- CPU1 のみ: CM での NMIWD リセット (構成可能)

ラッチされたエラー状態に CPU が応答しない場合、NMI ウォッチドッグは、プログラム可能な時間間隔の後にリセットをトリガします。デフォルトの時間は、65536 SYSCLK サイクルです。

8.8.10 ウォッチドッグ

このウォッチドッグ・モジュールは、従来の TMS320C2000 デバイスと同じですが、オプションでカウンタのソフトウェア・リセット間隔の下限を設定できます。このウィンドウ付きカウントダウンはデフォルトで無効になっているため、ウォッチドッグは完全に下位互換性があります。

ウォッチドッグは、リセットまたは割り込みのどちらかを生成します。選択可能な分周器付きの内部発振器からクロックが供給されます。

図 8-8 に、ウォッチドッグ・モジュール内の各種機能ブロックを示します。

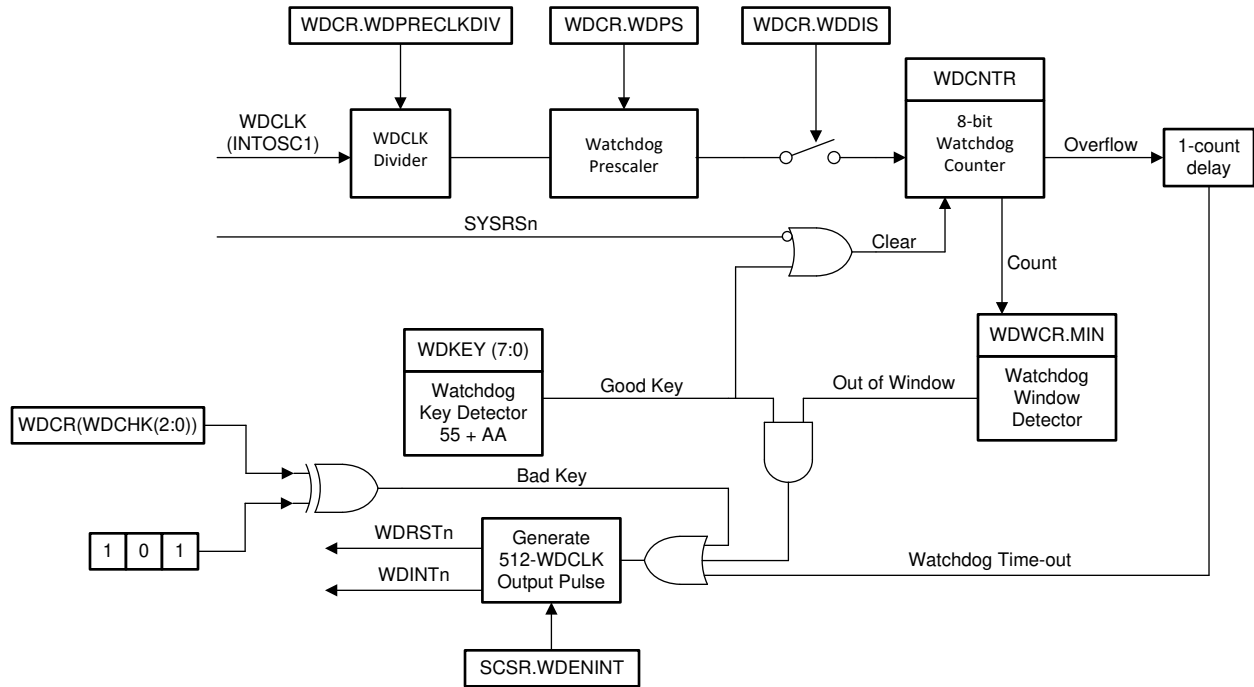


図 8-8. ウィンドウ付きウォッチドッグ

8.8.11 構成可能ロジック・ブロック (CLB)

C2000 構成可能ロジック・ブロック (CLB) は、ソフトウェアを使って相互接続できるブロックの集合体であり、カスタム・デジタル・ロジック機能の実装や既存のオンチップ・ペリフェラルの拡張に使用できます。CLB は、一連のクロスバー相互接続を使用して既存のペリフェラルを拡張することができます。この相互接続によって、拡張パルス幅変調器 (ePWM)、拡張キャプチャ・モジュール (eCAP)、拡張直交エンコーダ・パルス・モジュール (eQEP) など、既存の制御ペリフェラルに高いレベルの接続性が得られます。クロスバーを使って、CLB を外部 GPIO ピンに接続することもできます。このように、CLB とデバイスのペリフェラルとの連携を構成することにより、コンパレータなどの小規模な論理機能を実行したり、またはカスタムのシリアル・データ交換プロトコルを実装したりできます。従来は外部のロジック・デバイスを使って他の方法で実現していた機能が、CLB によって MCU 内で実装できるようになりました。

通常動作の場合、CLB ペリフェラルのクロック周波数はデバイスの SYSCLK から取得され、最大 100MHz の周波数で動作できます。より高い周波数が必要な場合は、CLB パイプライン・モードをイネーブルにして、CLB クロックを最大 150MHz で動作させることができます。(このパイプライン・モードでは、この CLB 動作をサポートするために、SYSCLK を最大周波数 150MHz まで下げる必要があります)。HLC は CLB の不可欠な部分とみなされ、一連の同じ周波数ルールが適用されます。動作周波数は、シンクロナイザまたはエッジの認定によって変化しません。CLB の入力および出力には遅延はありません。入力のシンクロナイザまたは PIPELINE フィルタ・パスを ON にする必要があるかどうかは、入力が同期を必要とするかどうかのマークが付けられているデバイス・レベルのフックアップ・テーブルに純粋に依存します。

CLB ペリフェラルは、CLB ツールを使って構成します。CLB ツール、使用例、アプリケーション・レポート、およびユーザー・ガイドの詳細については、[C2000Ware](#) パッケージ (C2000Ware_2_00_00_03 以降) の次の場所を参照してください。

C2000WARE_INSTALL_LOCATION\utilities\clb_tool\clb_syscfg\doc

- [C2000WARE_INSTALL_LOCATION\utilities\clb_tool\clb_syscfg\doc](#)
- [CLB ツール・ユーザー・ガイド](#)
- 『[C2000™ 構成可能ロジック・ブロック \(CLB\) を使用した設計](#)』アプリケーション・レポート
- 『[カスタム・ロジックを FPGA/CPLD から C2000™ マイクロコントローラへ移行する方法](#)』アプリケーション・レポート

図 8-9 に、CLB モジュールとその相互接続を示します。

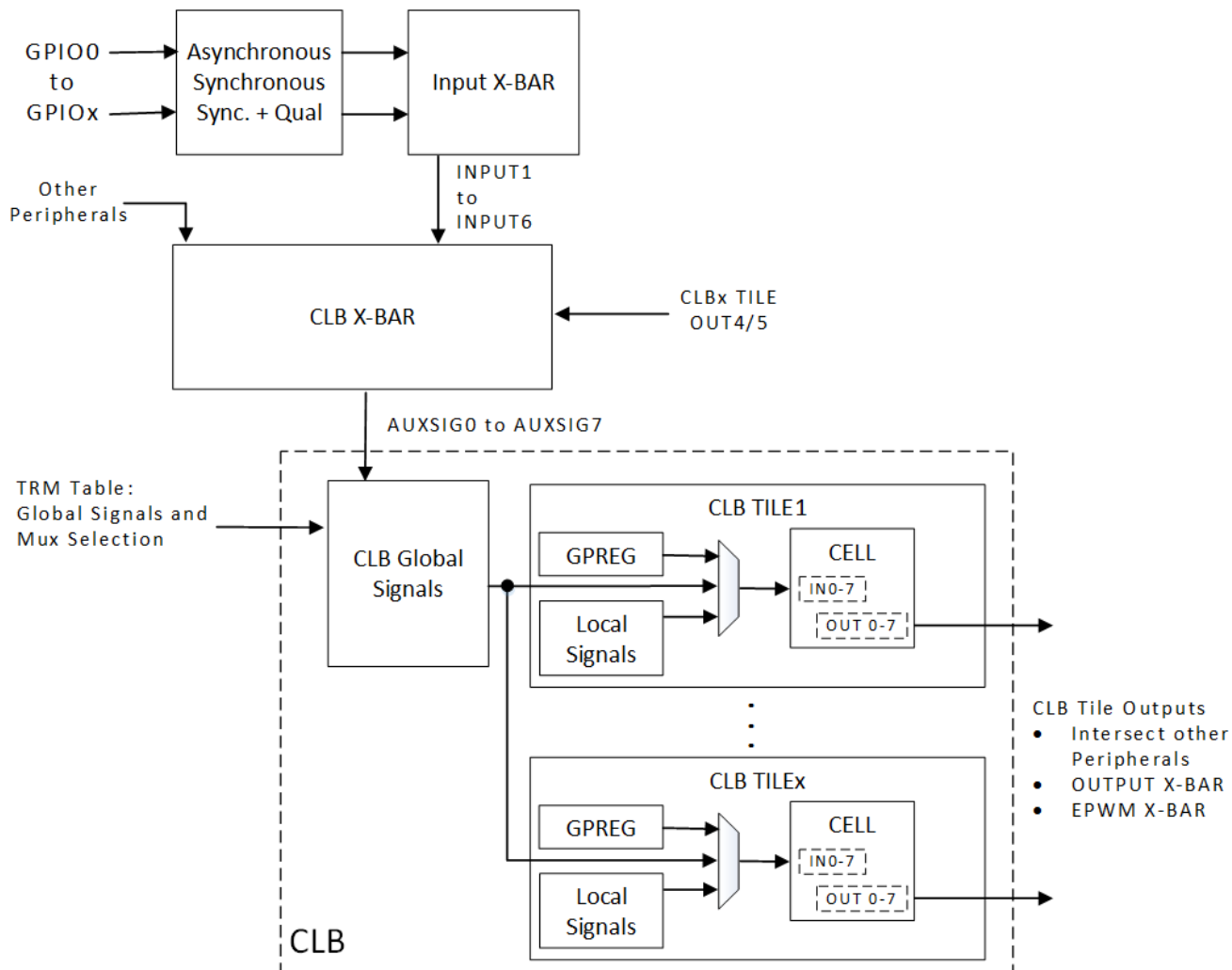


図 8-9. CLB の概要

C2000Ware モーター制御 SDK では、アブソリュート・エンコーダ・プロトコル・インターフェイスが **Position Manager** ソリューションとして提供されています。C2000Ware モーター制御 SDK には、構成ファイル、アプリケーション・プログラマ・インターフェイス (API)、およびこれらのソリューションの使用例が付属しています。一部のソリューションでは、テキサス・インスツルメンツが構成した CLB を、SPI ポートや C28x CPU など他のオンチップ・リソースと組み合わせて使って、より複雑な機能を実行します。

8.9 コネクティビティ・マネージャ (CM) サブシステム

TMS320F2838x は、デュアル・コアの C28x アーキテクチャと新しいコネクティビティ・マネージャ・サブシステムをサポートしています。CM サブシステムは、業界標準の 32 ビット Arm® Cortex®-M4 CPU をベースとしており、EtherCAT、イーサネット、USB、MCAN (CAN FD)、DCAN、UART、SSI、I2C などを含むさまざまな通信ペリフェラルを備えています。性能と柔軟性を目標としたこの CM は、125MHz の Cortex-M4 アーキテクチャをベースとしており、さまざまな統合メモリと複数のプログラマブル GPIO を提供します。

8.9.1 Arm Cortex-M4 プロセッサ

ARM Cortex-M4 プロセッサは、最小限のメモリ実装、ピン数の削減、低消費電力といったシステム要件を満たす、高性能で低コストのプラットフォームを提供すると同時に、極めて優れた計算性能と割り込みに対する並外れたシステム応答を実現します。

Arm Cortex-M4 プロセッサには、以下の機能が搭載されています。

- 小スペースの組み込みアプリケーションに最適化された、32 ビット Arm Cortex-M4 アーキテクチャ
- Arm Cortex-M4 CPU は、最大周波数 125MHz で動作可能
- Arm® Thumb®-2 は、16 ビットと 32 ビットの命令セットを組み合わせて使用し、32 ビット Arm コアに期待される高性能を、通常は 8 ビットや 16 ビットのデバイスに適用されるほどのコンパクトなメモリ・サイズ (マイクロコントローラ・クラス) のアプリケーションに必要な典型的なメモリ容量は、数キロバイトの範囲) で実現
 - シングル・サイクルの乗算命令とハードウェア除算
 - アトミックなビット操作 (ビットバンディング) により、最大限にメモリを有効利用し、リフェラル制御の効率化も実現
 - アンアラインド・データ・アクセスにより、データのメモリへの効率的なパッキングを実現
- 高速なコード実行により、プロセッサ・クロックの低速化やスリープ・モードの時間の増加を可能に
- 命令用とデータ用に分離したバスを特徴とするハーバード・アーキテクチャ
- 効率的なプロセッサ・コア、システム、メモリ
- タイムクリティカルなアプリケーション向けの確定的で高性能な割り込み処理
- 保護されたオペレーティング・システム機能の特権モードを提供するメモリ保護ユニット (MPU)
- 広範囲のブレークポイント機能とトレース機能を備えた、強化されたシステム・デバッグ

8.9.2 ネスト型ベクタ割り込みコントローラ (NVIC)

NVIC は、さまざまなペリフェラルからの割り込みを CM 割り込みラインに多重化します。本質的に、NVIC は CM の PIE (ペリフェラル割り込み拡張) に相当します。NVIC でサポートされる機能は次のとおりです。

- 80 の割り込み
- 各割り込みには、0~7 の範囲でプログラム可能な優先度レベルがあります。レベルが高いほど優先度は低くなり、0 が最も優先度の高い割り込みになります。
- 短いレイテンシで例外処理と割り込み処理。
- 割り込み信号のレベルとパルス検出。
- 割り込みの動的優先度設定。
- グループ優先度とサブ優先度フィールドにより優先度をグループ化。
- 割り込みテール・チェーン。
- 外部ノンマスカブル割り込み。

NVIC の詳細については、『TMS320F2838x リアルタイム・マイクロコントローラ・テクニカル・リファレンス・マニュアル』の「ネスト型ベクタ割り込みコントローラ (NVIC)」セクションを参照してください。

8.9.3 AES (Advance Encryption Standard) アクセラレータ

AES モジュールは、バイナリ・キーをベースとして、ハードウェア・アクセラレーションによるデータの暗号化および復号化処理を提供します。AES は、暗号化と復号化についてハードウェアで 128、192、または 256 ビット・キーをサポートする対称暗号化モジュールです。AES モジュールは対称アルゴリズムをベースにしているため、暗号化と復号化のキーは同一となります。データの暗号化は、プレーン・テキストから暗号化テキストと呼ばれる判読できない形式に変換することを意味します。暗号化テキストの復号では、暗号化されたデータが元のプレーン・テキスト形式に変換されます。AES アクセラレータの主な特長を以下で説明します。

基本的な AES 暗号化および復号化操作は、以下の方法でサポートされています。

- 基本的な GHASH 演算によるガロア・カウンタ・モード (GCM)
- CBC-MAC によるカウンタ・モード (CCM)
- XTS モード

以下のフィードバック演算モードが利用可能です。

- 電子コード・ブック・モード (ECB)
- 暗号ブロック・チェーン・モード (CBC)
- カウンタ・モード (CTR)
- 暗号フィードバック・モード (CFB)、128 ビット
- F8 モード
- キーのサイズ: 128、192、および 256 ビット
- CBC_MAC および Fedora 9 (F9) 認証モードのサポート
- 基本的な GHASH 演算 (暗号化なしを選択した場合)
- ハードウェア内でのキー・スケジューリング
- μ DMA 転送のサポート
- 完全な同期式设计

図 8-10 に、AES のブロック図を示します。

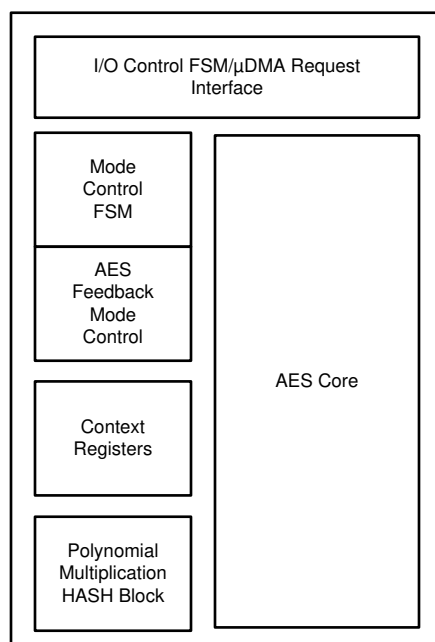


図 8-10. AES のブロック図

AES アクセラレータの詳細については、『[TMS320F2838x リアルタイム・マイクロコントローラ・テクニカル・リファレンス・マニュアル](#)』の「Advance Encryption Standard Accelerator (AES)」の章を参照してください。

8.9.4 汎用巡回冗長検査 (GCRC) モジュール

汎用 CRC (GCRC) は、構成可能なメモリ・ブロックで CRC 値を計算するための指定されたコネクティビティ・マネージャ・モジュールです。これは、指定されたメモリ・ブロックを取得し、内蔵 CRC エンジンを使用することで実現されます。計算された CRC の値は、ソフトウェアでゴールデン CRC の値と比較され、合格か不合格かを示すことができます。基本的に、GCRC は、コネクティビティ・マネージャがアクセス可能な生データのメモリ障害や破損を特定するのに役立ちます。

汎用 CRC (GCRC) モジュールには次のような機能があります。

- 1～32 の任意の次数のプログラム可能な多項式をサポート
- バイト (8 ビット)、ハーフワード (16 ビット)、ワード (32 ビット) の各データ・ブロックの CRC を計算
- ソース・データのエンディアンとデータ型を定義
- ビットの順序を反転
- CRC 計算に参加するデータ・ビットを選択

図 8-11 に、GCRC モジュールのブロック図を示します。

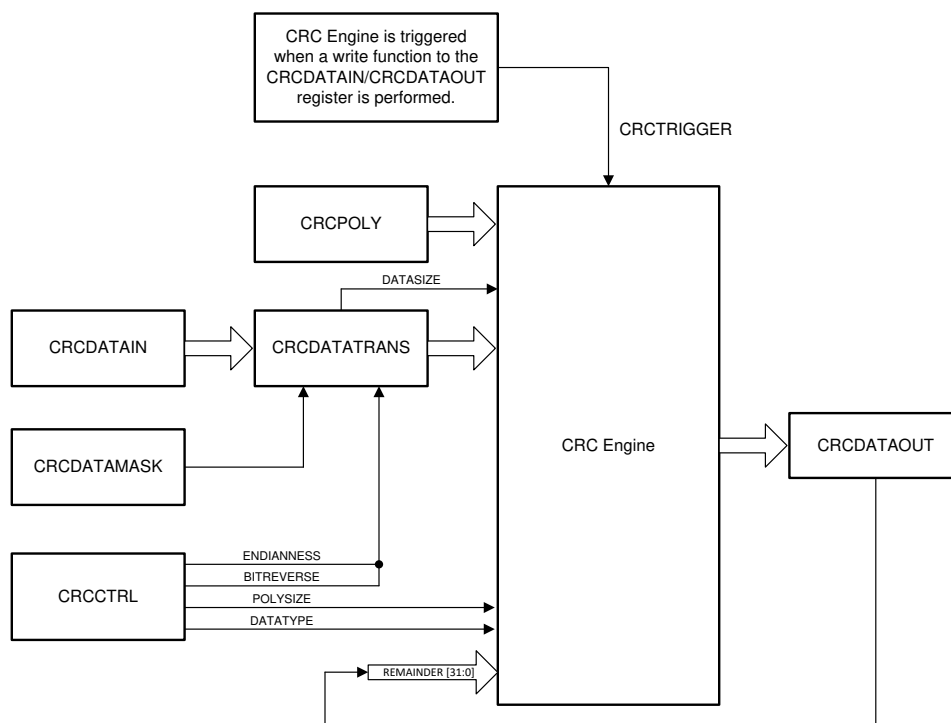


図 8-11. GCRC のブロック図

8.9.5 CM ノンマスカブル割り込み (CMNMI) モジュール

CM サブシステムには、システム全体 (すべてのサブシステムを含む) で発生する可能性のあるすべての重大なエラーを検出し、そのエラーについてメイン CPU コアに通知する機能があります。CM サブシステム上の Cortex-M4 CPU に対する NMI 例外は、以下の NMI エラー・ソースのうち少なくとも 1 つ以上がアクティブになった場合にのみ生成されます。各ソースの詳細については、『TMS320F2838x リアルタイム・マイクロコントローラ・テクニカル・リファレンス・マニュアル』の「CM サブシステム NMI ソース」セクションを参照してください。

1. RAM/ROM の修正不可能なエラー
2. EtherCAT からのリセット要求
3. クロック障害
4. MCAN の修正不可能なエラー
5. CM ウィンドウ付きウォッチドッグのタイムアウト
6. フラッシュの修正不可能なエラー

これらすべての NMI ソースは「OR」されて、Cortex-M4 NVIC への NMI 入力生成されます。NMI は、CM サブシステムの周波数で実行される CMNMIWD カウンタをトリガします。CMNMIWD カウンタは、CMNMIIFLG レジスタの保留フラグをクリアすることによって、すべての保留 NMI が確認された場合にのみカウントを停止します。CMNMIWD カウンタが NMI ウォッチドッグ・ピリオド・レジスタ (CMNMIWDPRD) にプログラムされた値に達する前に保留中の NMI が確認されなかった場合、CM サブシステムに NMIWD リセットが生成され、デバイス全体がリセットされます。

図 8-12 に、CM サブシステム上の Cortex-M4 に NMI をトリガする可能性のあるさまざまなソースと、それらに関連するレジスタを示します。

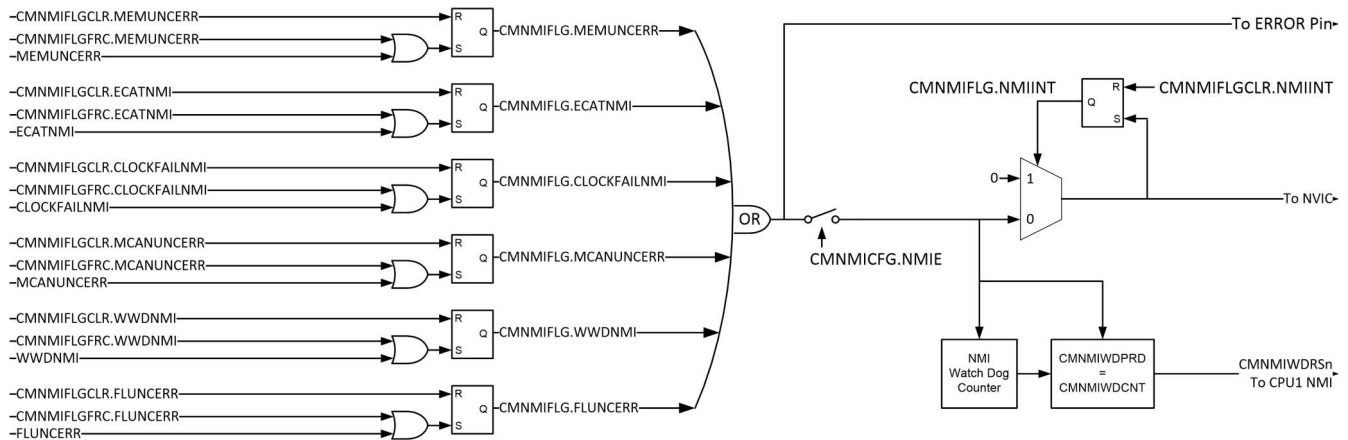


図 8-12. CM サブシステムの NMI ソースと NMIWD

図 8-12 に示すすべての NMI ソースは、リセット時にデフォルトでイネーブルになります。CMNMIIFLG.NMIE はリセット時にディスエーブルになるため、1 に設定してイネーブルにする必要があります。

CMNMI の詳細については、『TMS320F2838x リアルタイム・マイクロコントローラ・テクニカル・リファレンス・マニュアル』の「CM サブシステム・ノンマスカブル割り込み (CMNMI) モジュール」セクションを参照してください。

8.9.6 メモリ保護ユニット (MPU)

CM サブシステムには、メモリ・ブロックとペリフェラルにアクセスする複数のマスタがあります。以下は、CM サブシステム上のマスタのリストです。

- Cortex-M4
- μ DMA
- イーサネット DMA

マルチマスタ・システムでは、異なるマスタやスレッドから重要なコード、データ、ペリフェラルへの不正アクセスを防止する保護メカニズムを備えていることが重要です。この保護メカニズムは次のようなものです。

- プロセスまたはタスクが、割り当てられていないメモリにアクセスできないようにします。
- CM サブシステム上の他のバス・マスタによる意図しない破損から Cortex-M4 コードを保護します。
- CM システム上の他のバス・マスタによるスタックの破損を保護します。

Cortex-M4 には、このような保護を実現する ARM ネイティブ MPU (Cortex-M4 MPU) が搭載されています (『ARM@Cortex@M4 プロセッサ・テクニカル・リファレンス・マニュアル』の「メモリ保護ユニット」の章を参照)。他のマスタ (μ DMA およびイーサネット DMA) については、汎用メモリ保護ユニット (CM-MPU) が提供されており、ユーザーはユースケースに基づいて構成し、保護を有効にすることができます。基本的に、各マスタに 1 つの MPU が提供され、マスタからのアクセスを保護します。詳細については、『TMS320F2838x リアルタイム・マイクロコントローラ・テクニカル・リファレンス・マニュアル』の「メモリ・コントローラ・モジュール」の章を参照してください。

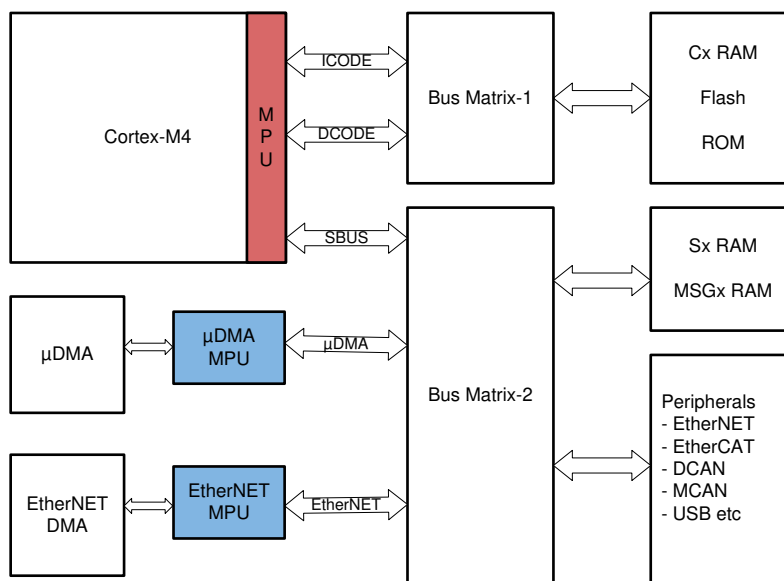


図 8-13. CM のブロック図

8.9.7 マイクロ・ダイレクト・メモリ・アクセス (μDMA)

μDMA コントローラにより Arm Cortex-M4 プロセッサによるデータ転送の負荷を軽減することができますので、プロセッサの効率が上がり、バス帯域幅を有効活用できます。μDMA コントローラは、メモリ-ペリフェラル間の転送を実行できます。μDMA コントローラには、これをサポートする各オンチップ・モジュール用の専用チャンネルがあり、ペリフェラルがデータを転送できるようになったときに、ペリフェラル-メモリ間の転送を自動的に実行するようにプログラムすることが可能です。

μDMA コントローラの機能を、以下に示します。

- Arm® PrimeCell® 32 チャンネル構成可能 μDMA コントローラ
- 次のような複数の転送モードで、メモリ-メモリ間、メモリ-ペリフェラル間、ペリフェラル-メモリ間の転送をサポート。
 - ベーシック・モード
 - ピンポン・モード
 - メモリ・スキヤッタ収集モード
 - ペリフェラル・スキヤッタ収集モード
 - 自動リクエスト・モード
- 柔軟性が高い、設定値が可変なチャンネル動作
 - チャンネルごとの個別設定と個別動作
 - サポートしているオンチップ・モジュール用専用チャンネル
 - 柔軟なチャンネル割り当て
 - シリアル・モジュールでは受信用と送信用に独立したチャンネルをサポート
 - ソフトウェアによる DMA 起動用の専用チャンネル
 - チャンネルごと設定可能な優先順位スキーム
 - ペリフェラル用のチャンネルに対してもソフトウェアによる DMA 起動が可能
- 2レベルの優先順位
- 8ビット、16ビット、32ビットのデータ・サイズ
- 1~1024 のバイナリ・ステップでプログラム可能な転送サイズ
- ソース・アドレスとディスティネーション・アドレスのインクリメント・サイズは、バイト単位、ハーフワード単位、ワード単位、または固定
- ペリフェラルからの転送リクエストはマスク可能
- 次のような 2 つの割り込みをサポート。
 - μDMA ソフトウェア割り込み: ソフトウェア・チャンネルがすべての転送を完了すると、μDMA は割り込みを生成
 - μDMA エラー割り込み: DMA 転送でエラーが検出されると、μDMA は割り込みを生成
- ペリフェラル・イベントによってトリガされた DMA 転送は、DMA がすべての転送を完了すると、対応するペリフェラル割り込みを生成。

図 8-14 に、μDMA のブロック図を示します。

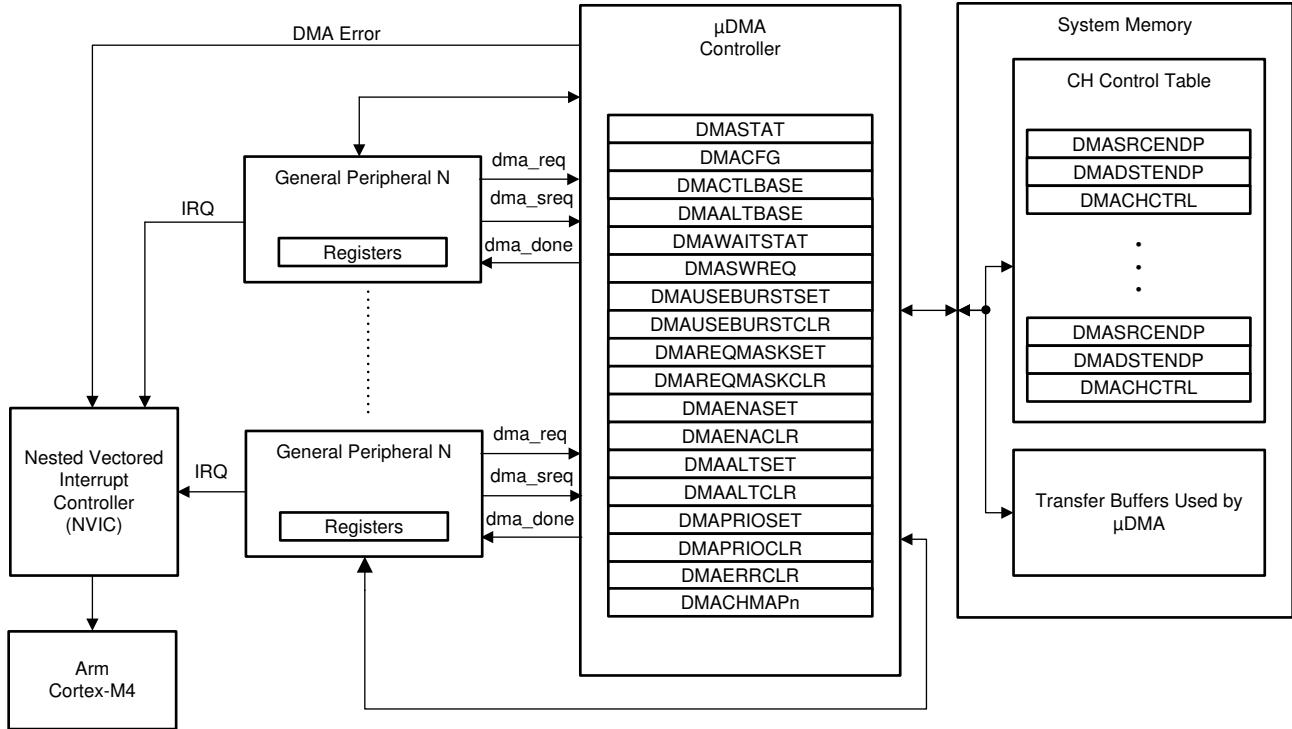


図 8-14. μDMA のブロック図

8.9.8 ウォッチドッグ

コネクティビティ・マネージャ (CM) には、1 つのウォッチドッグ (ウィンドウ付きウォッチドッグとも呼ばれる) タイマがあります。このウォッチドッグ・タイマの機能は、CPUx サブシステムで使用されているものと同じです。このモジュールの詳細については、『[TMS320F2838x リアルタイム・マイクロコントローラ・テクニカル・リファレンス・マニュアル](#)』の「システム制御」の章にある「ウォッチドッグ・タイマ」のセクションを参照してください。CM と CPUx のウォッチドッグ・タイマの構成には、以下のようないくつかの違いがあります。

- CM のウォッチドッグ・タイマは、デフォルトでディセーブルになっています。ウォッチドッグをイネーブルにするには、ソフトウェアで WDCR レジスタの WDDIS ビットをクリアする必要があります。
- ウォッチドッグ・カウンタ (WDCR) がオーバーフローするか、誤った値が WDCR[WDCHK] に書き込まれると、CMNMIWD モジュールに NMI が生成されます (CPUx ウォッチドッグ・タイマなどのリセットや割り込みではありません)。ソフトウェアが NMI に対応できない場合、NMIWD モジュールは CM へのリセットをトリガします。

デバッグ・セッション中に Cortex-M4 が停止すると、CM ウォッチドッグ・タイマ・カウンタのインクリメントが停止します。

8.9.9 CM クロック

8.9.9.1 CM クロック・ソース

表 8-34 に、4 つのクロック・ソースを示します。図 8-15 に、デバイスのクロック供給システムの概要を示します。

表 8-34. 使用可能な基準クロック・ソース

クロック・ソース	クロック対象モジュール	備考
INTOSC1	以下のものに対するクロック供給に使用できません。 <ul style="list-style-type: none"> • ウォッチドッグ・ブロック • メイン PLL • CPU タイマ 2 	内部発振器 1。 ゼロ・ピン・オーバーヘッド 10MHz 内部発振器。
INTOSC2 ⁽¹⁾	以下のものに対するクロック供給に使用できません。 <ul style="list-style-type: none"> • メイン PLL • 補助 PLL • CPU タイマ 2 	内部発振器 2。 ゼロ・ピン・オーバーヘッド 10MHz 内部発振器。
XTAL	以下のものに対するクロック供給に使用できません。 <ul style="list-style-type: none"> • メイン PLL • 補助 PLL • CPU タイマ 2 	X1 ピンと X2 ピンの間に接続された外付け水晶振動子もしくは発振子、または X1 ピンに接続されたシングルエンド・クロック。
AUXCLKIN	以下のものに対するクロック供給に使用できません。 <ul style="list-style-type: none"> • 補助 PLL • CPU タイマ 2 	シングルエンド 3.3V レベル・クロック・ソース。入力クロックの供給には、GPIO133 / AUXCLKIN ピンを使用する必要があります。

(1) リセット時、内部発振器 2 (INTOSC2) は、システム PLL (OSCCLK) および補助 PLL (AUXOSCCLK) のデフォルト・クロック・ソースになります。

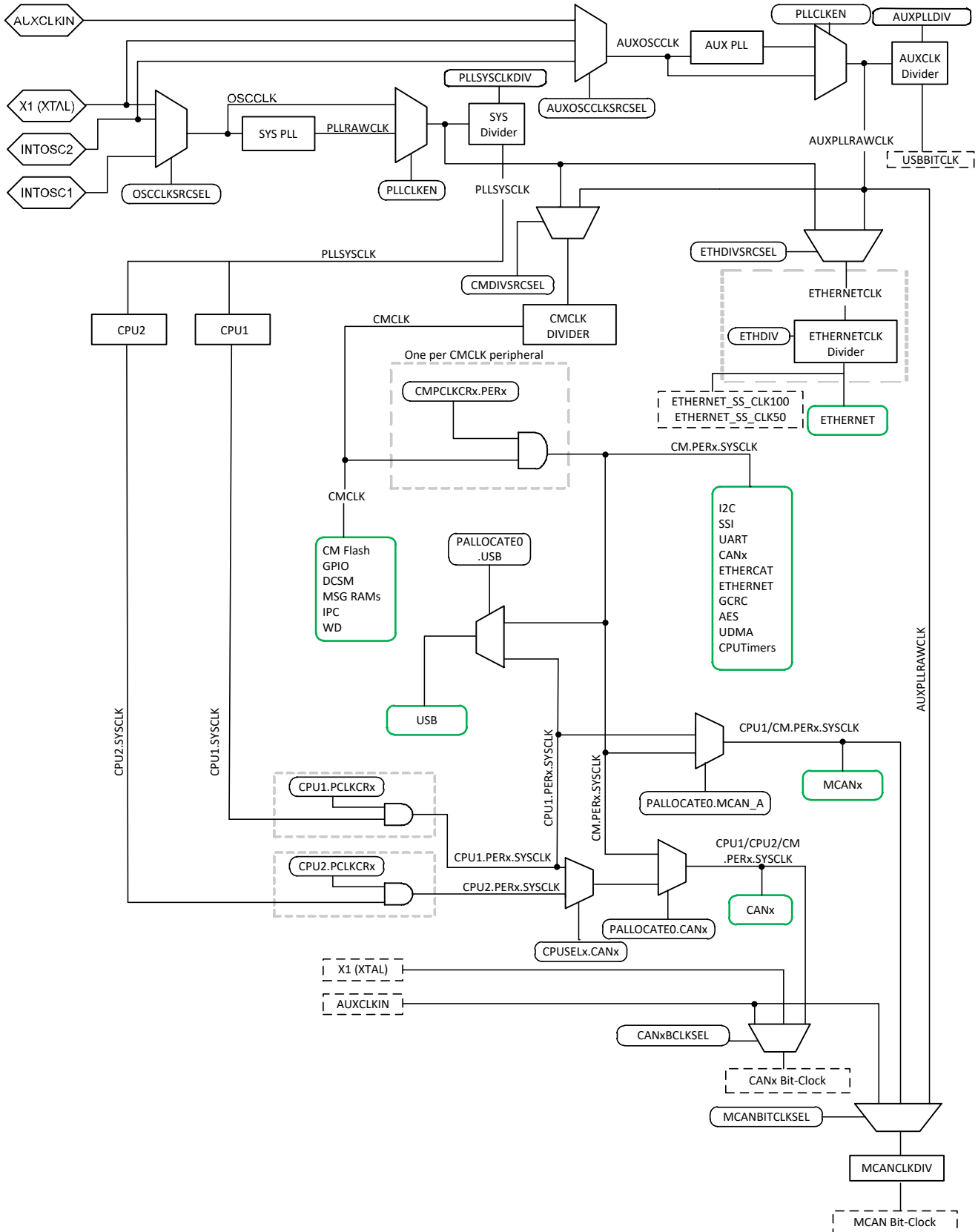


図 8-15. CM クロック供給システム

8.9.10 CM タイマ

コネクティビティ・マネージャ (CM) には、16 ビット・クロック・プリスケールリングを備えた同一の 32 ビット・タイマが 3 つあります。これらのタイマは CMCLK で動作します。これらのタイマには、32 ビットのカウンタダウン・レジスタがあり、カウンタが 0 に達したときに割り込みを発生させます。このカウンタは、CPU クロック速度をプリスケール値設定で除算した速度でデクリメントされます。カウンタが 0 になると、32 ビットの周期値が自動的に再ロードされます。

8.10 機能安全

機能安全準拠製品は、ISO 26262 / IEC 61508 に準拠したハードウェア開発プロセスに基づいて開発されており、このプロセスは、ASIL D/SIL 3 の決定論的能力を満たすことが独立した機関によって評価および認証されています (認証書を参照)。TMS320F2838x は、コンポーネント・レベルで ASIL B および SIL 2 のランダム・ハードウェア性能を満たすことが認証されています (認証書を参照)。

すべてのハードウェアおよびソフトウェアの機能安全メカニズムについて説明した機能安全マニュアルを利用できます。『[TMS320F2838x リアルタイム・マイクロコントローラの機能安全マニュアル](#)』を参照してください。

ランダム・ハードウェア・メトリックスの計算を可能にする、故障注入による詳細かつ調整可能で定量的な FMEDA (国際標準化機構 ISO 26262 および国際電気標準会議 IEC 61508 で規定されている車載用および産業用アプリケーション向け) も利用できます。この調整可能な FMEDA は、請求する必要があります。『[C2000™ 車載用および産業用リアルタイム・マイクロコントローラ向け安全パッケージ](#)』ユーザー・ガイドを参照してください。

- 調整可能な FMEDA の価値 (または利点) の概要を説明したホワイト・ペーパーをご用意しています。『[機能安全: C2000™ MCU 向けの調整可能な FMEDA](#)』出版物を参照してください。
- 5 部構成の FMEDA チューニング・トレーニングの第 1 部と第 2 部は、[テキサス・インスツルメンツのビデオ・ライブラリ](#) から入手できます。第 1 部は、『[FMEDA の基礎とシステム・レベルの安全性分析における有用性](#)』です。第 2 部は、『[C2000™ 調整可能な FMEDA の概要](#)』です。第 3 部、第 4 部、第 5 部は、調整可能な FMEDA とパッケージされているため、請求する必要があります。

F2838x シリーズのデバイス用に設計された 2 つの診断ライブラリは、機能安全システムの開発に役立ちます。CLA セルフ・テスト・ライブラリ (CLA_STL) とソフトウェア診断ライブラリ (SDL) です。CLA_STL は、CLA のソフトウェア・テストを提供し、独立して評価および認証を受けています。この製品は、ご請求いただいた場合のみ利用できます。『[C2000™ 車載用および産業用リアルタイム・マイクロコントローラ向け安全パッケージ](#)』ユーザー・ガイドをご覧ください。SDL は一連のリファレンス・ソフトウェアで構成されており、デバイスの安全マニュアルに記載されているいくつかの安全メカニズムの実装例を提供します。たとえば、HWBIST、SRAM のソフトウェア・テスト、クロック消失検出機能のソフトウェア・テスト、CPU タイマを使用したクロック整合性チェック、その他いくつかの重要な機能です。SDL は [C2000Ware](#) の一部として提供されています。

C2000 リアルタイム MCU には、テキサス・インスツルメンツのリリース検証に基づく C28x および CLA コンパイラ認定キット (CQKIT) が用意されています。このキットは無償で入手でき、[コンパイラ認定キット Web ページ](#) で請求できます。

C2000 リアルタイム MCU を使用して機能安全システムを開発する方法の詳細については、以下の資料を参照してください。

- 『[C2000™ リアルタイム・マイクロコントローラの車載向け機能安全](#)』には、ISO 26262 認証プロセスを支援するために利用可能な機能安全製品、資料、ソフトウェア、およびサポートが要約されています。
- 『[C2000™ リアルタイム・マイクロコントローラの産業用機能安全](#)』には、IEC 61508 認証プロセスを支援するために利用可能な機能安全製品、資料、ソフトウェア、およびサポートが要約されています。
- 『[C2000™ ハードウェア組み込みセルフ・テスト](#)』では、C2000™ リアルタイム・マイクロコントローラのハードウェア組み込みセルフ・テスト (HWBIST) 機能について説明します。HWBIST は、C28x CPU で高レベルの診断カバレッジを達成する方法を提供します。これは、多くの場合、安全規格を満たすために必要となります。
- 『[SRAM でのエラー検出](#)』アプリケーション・レポートには、SRAM ビット・セルおよびビット・アレイの性質、SRAM 障害の発生源に関する技術情報が記載されています。さらに、電子システムのメモリ障害を管理する方法を示しています。この説明は、組み込み SRAM の堅牢性向上に関心のある電子システム開発者またはインテグレータを対象としたものです。
- 『[C2000™ CPU メモリの内蔵セルフ・テスト](#)』では、アクティブ制御ループでの C28x 中央処理装置 (CPU) を使った組み込みメモリの検証について説明します。メモリ検証に関するシステムの課題と、C2000 デバイスおよびソフトウェアが提供するさまざまなソリューションについて説明します。最後に、メモリ・テストに適用可能なソフトウェア診断ライブラリについて説明します。

9 アプリケーション、実装、およびレイアウト

9.1 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくこととなります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.2 デバイスの主な特長

表 9-1. デバイスの主な特長

モジュール	機能	システムの利点
C28x プロセッシング		
リアルタイム制御 CPU	最大 800MIPS 2 つの C28x コア: 400MIPS (2 x 200MIPS) 2 つの CLA コア: 400MIPS (2 x 200MIPS) フラッシュ: 最大 1MB (各 C28x CPU で 512KB) RAM: 最大 216KB 64 ビット浮動小数点ユニット (FPU64) 三角関数演算ユニット (TMU) CRC エンジンおよび命令 (VCRC) 高速整数除算 (FINTDIV)	テキサス・インスツルメンツの 2 つの 32 ビット C28x DSP コアは、オンチップ・フラッシュまたは SRAM から実行される浮動小数点または固定小数点コードに対して 400MHz の信号処理能力があります。 オンチップ・フラッシュまたは SRAM から実行される浮動小数点または固定小数点コードに対して 400MHz の信号処理能力があります。 CLA: ユーザーは、メイン CPU と同時にタイムクリティカルな制御ループを実行可能 FPU64: IEEE 754 倍精度浮動小数点演算のネイティブ・ハードウェア・サポート TMU: 制御アプリケーション向けに最適化された迅速な計算 (たとえば PLL や DQ 変換) のために、三角関数と算術演算の実行を高速化するために使用されるアクセラレータ。制御ループの高速化を実現し、効率の向上と部品サイズの小型化に貢献します。 非線形 PID 制御アルゴリズムをサポートするための特別な命令 VCRC: 大規模なデータ・ブロック、通信パケット、またはコード・セクションでデータの整合性を検証するための明快な方法を提供します。 FINTDIV: 制御アルゴリズムで使用されるユークリッド除算やモジュラス除算などの線形除算演算をサポート 「C2000™ 制御 MCU の最適化されたシグナル・チェーンを紹介するリアルタイム・ベンチマーク」 を参照してください。
センシング		
A/D コンバータ (ADC) (12 ビットまたは 16 ビットに構成可能)	4 つの ADC モジュール 16 ビット・モード: (1.1MSPS) シングルエンド・モード: 最大 24 チャンネル 差動モード: 最大 12 チャンネル 12 ビット・モード: (3.5MSPS) シングルエンド・モード: 最大 24 チャンネル	ADC は 3 相すべての電流と DC バスをジッタ 0 で高精度かつ同時にサンプリング。 ADC 後処理 - オンチップ・ハードウェアにより、ADC の ISR (割り込みサービス・ルーチン) の複雑さを緩和し、電流ループのサイクルを短縮。 マルチフェーズ・アプリケーションでは、多くの ADC が役に立ちます。より効果的な MSPS (オーバーサンプリング) と標準的な ENOB を提供し、制御ループの性能を向上します。

表 9-1. デバイスの主な特長 (continued)

モジュール	機能	システムの利点
コンパレータ・サブシステム (CMPSS)	<p>CMPSS 8 つのウィンドウ付きコンパレータ 3 つの 12 ビット DAC 検出からトリップまでの時間は 60ns DAC ランブ生成 外部ピンの低 DAC 出力 デジタル・フィルタ スロープ補償</p>	<p>誤検出によるアラームを防止するシステム保護機能:</p> <p>コンパレータ・サブシステム (CMPSS) モジュールは、ピーク電流モード制御、スイッチング電源、力率補正、電圧トリップ監視などのアプリケーションに役立ちます。</p> <p>アナログ・コンパレータ・サブシステムに搭載されているブランキング・ウィンドウとフィルタリング機能により、PWM トリップのトリガと不要なノイズの除去が簡単になります。</p> <p>制御精度の向上を実現します。コンパレータと 12 ビット DAC (CMPSS) を使用して PWM を制御するために、CPU をさらに構成する必要はありません。</p> <p>同じピンを使用して保護と制御を実現します。</p>
シグマ・デルタ・フィルタ・モジュール (SDFM)	<p>最大 8 つの独立して構成可能なデジタル・コンパレータ・フィルタ・チャンネル 最大 8 つの独立して構成可能なデジタル・データ・フィルタ・チャンネル</p>	<p>強化デルタ・シグマ変調器によるガルバニック絶縁を可能にします。 SDFM は外部デルタ・シグマ変調器 ADC とのインターフェイスであり、絶縁を必要とする信号に最適です。 コンパレータ・フィルタは過電流と過小電流の保護をサポートしますが、CPU の介入なしで PWM をトリップします デジタル・データ・フィルタは、より高い ENOB を提供し、制御ループの性能を向上します</p>
拡張直交エンコーダ・パルス (eQEP)	<p>3 つの eQEP モジュール</p>	<p>リニアまたはロータリ・インクリメンタル・エンコーダとの直接インターフェイスに使用して、高性能動作および位置制御システムに使用される回転機械から位置、方向、速度などの情報を入手できます。また、外部デバイス (センサなど) からの入力パルスをカウントする、その他のアプリケーションでも使用できます。</p>
拡張キャプチャ (eCAP) / 高分解能拡張キャプチャ (HRCAP)	<p>7 つの eCAP モジュール (2 つは HRCAP 機能付き) イベント間の経過時間を測定します (最大 4 つのタイムスタンプ付きイベント)。 入力クロスバース経由で任意の GPIO に接続します。 キャプチャ・モードで使用しない場合、eCAP モジュールを単一チャンネルの PWM 出力 (APWM) として構成可能です。</p> <p>2 つの HRCAP チャンネル 300ps の標準分解能で外部パルスの幅を測定する機能を提供します。</p>	<p>eCAP の用途は以下のとおりです。</p> <p>回転機械の速度測定 (たとえば、歯付きスプロケットをホール・センサで検知) 位置センサ・パルス間の経過時間測定 パルス列信号の周期およびデューティ・サイクル測定 デューティ・サイクル符号化電流 / 電圧センサから得られた電流または電圧振幅の復号</p> <p>HRCAP の用途は以下のとおりです。</p> <p>パルス・トレイン・サイクルの周期とデューティ・サイクルを高分解能で測定 速度の瞬時値測定 周波数の瞬時値測定 絶縁境界にまたがる電圧測定 距離 / ソナーの測定とスキャン 流量測定 静電容量式タッチ・アプリケーション</p>

表 9-1. デバイスの主な特長 (continued)

モジュール	機能	システムの利点
アクチュエータ駆動		
拡張パルス幅変調 (ePWM) / 高分解能パルス幅変調 (HRPWM)	最大 32 個の ePWM チャンネル デッドバンド付きのハイサイド/ローサイド PWM を生成する能力 バレー・スイッチング (バレー・ポイントで PWM 出力を切り替える機能) とブランキング・ウィンドウなどの機能をサポート	最高のパワー・トポロジに対応する、フレキシブルな PWM 波形生成。 シャドウ・デッド・バンド自体およびシャドウ・アクション検証機能により、適応型 PWM の生成と保護が可能になり、制御精度の向上と電力損失の低減を実現できます。 力率補正 (PFC) アプリケーションに特に関係の深い、力率 (PF) と全高調波歪 (THD) の改善を可能にします。軽負荷時の効率向上
	HRPWM 機能: 16 のチャンネルすべてが高分解能 (150ps) を実現 デューティ・サイクル、周期、デッドバンド、位相オフセットに対して 150ps のステップを備えており、99% の精度向上を実現します	高精度の制御に役立ち、高い周波数での電力変換の性能向上を実現します。 よりクリーンな波形を実現し、出力の発振 / リミット・サイクルを回避します。
	ワンショット・リロードおよびグローバル・リロード機能	可変周波数およびマルチフェーズの DC-DC アプリケーションに不可欠であり、高い周波数の制御ループ (2MHz 超) の達成に役立ちます。 高い周波数でのインターリーブ LLC トポロジの制御を可能にします
	サイクルごと (CBC) のトリップ・イベントおよびワンショット・トリップ (OST) のトリップ・イベントに対して独立した PWM 動作	フォルト状態時に、サイクルごとの保護と完全な PWM シャットオフを実現します。マルチフェーズ PFC または DC-DC 制御の実装に役立ちます。
	SYNC でのロード (SYNC イベントでのシャドウからアクティブへのロードをサポート)	可変周波数アプリケーションを実現 (電力変換で LLC 制御が可能)。
	ソフトウェアの介入なし (ISR: 割り込みサービス・ルーチンの待ち時間なし) で PWM をシャットダウン可能	障害発生時の高速な保護
	遅延トリップ機能	ピーク電流モード制御 (PCMC) 位相シフト・フル・ブリッジ (PSFB) DC-DC によるデッドバンドの実装を容易にし、(コンバータ、トリップ、または SYNC 入力によるトリガ・イベントでも) 多くの CPU リソースを占有しません。
	デッド・バンド・ジェネレータ (DB) サブモジュール	プログラマブル遅延を立ち上がり (RED) および立ち下がり (FED) PWM 信号エッジに追加することで、ハイサイドおよびローサイド・ゲートの同時オン状態を防止します。
	フレキシブルな PWM 位相の関係とタイマの同期	各 ePWM モジュールは、他の ePWM モジュールや他のペリフェラルと同期させることができます。PWM エッジと特定のイベントとが完全同期するよう維持します。 パワー・デバイスのスイッチングと同期して、特定のサンプリング・ウィンドウを使用するフレキシブルな ADC スケジューリングをサポートします。
コネクティビティ		
高速シリアル・インターフェイス (FSI)	2 つの FSI トランスミッタと 8 つの FSI レシーバ 絶縁デバイス間で信頼性の高い高速通信 (最大 200MHz) が可能なシリアル通信ペリフェラル	より柔軟な通信オプション。高速シリアル・インターフェイスは、最大 200Mbps であり、絶縁境界をまたぐ場合であっても、ピン数の少ない高速通信に役立ちます。
シリアル・ペリフェラル・インターフェイス (SPI)	4 つの高速 SPI ポート	50MHz をサポート
シリアル通信インターフェイス (SCI)	4 つの SCI (UART) モジュール	コントローラとのインターフェイス
コントローラ・エリア・ネットワーク (CAN/DCAN)	2 つの DCAN モジュール (コネクティビティ・マネージャ (M4) に割り当て可能)	Classic CAN モジュールとの互換性を提供

表 9-1. デバイスの主な特長 (continued)

モジュール	機能	システムの利点
コントローラ・エリア・ネットワーク (CAN FD/MCAN)	1 つの CAN FD/MCAN モジュール [コネクティビティ・マネージャ (M4) に割り当て可能]	CAN FD (フレキシブル・データ・レート) は、従来の CAN プロトコルを拡張したものです。CAN FD は、データ・セグメントでより高いビット・レート (1Mbps 超) への動的なスイッチングを容易にし、従来の CAN の 8 バイトと比較して最大 64 バイトを許容します。これを実行するのに、物理層を変更する必要はありません。これにより、従来の CAN よりも帯域幅が広くなります。CAN-FD を使用するシステムでは、現場でのフラッシュ更新をより高速に実行できます。
I2C (Inter-Integrated Circuit)	2 つの I2C モジュール	外部 EEPROM、センサ、またはコントローラとのインターフェイス
マルチチャネル・バッファ付きシリアル・ポート (McBSP)	最大 2 つの McBSP モジュール	高速外部 ADC または追加の SPI ペリフェラルへのインターフェイス
PMBus (Power-Management Bus)	1 つの PMBus モジュール SMI フォーラム PMBus 仕様 (Part I v1.0 および Part II v1.1) 準拠	ハードウェア・ベースのシームレスなホスト通信
ASRAM および SDRAM をサポートする 2 つの外部メモリ・インターフェイス (EMIF)	各 CPU サブシステムに専用の EMIF を持つ 2 つの EMIF モジュール。	外部 ASRAM および SDRAM とのインターフェイス
他のシステムの特長		
構成可能ロジック・ブロック (CLB)	ソフトウェアを使用して相互接続することでカスタム・デジタル・ロジック機能を実装できる、構成可能なブロックのコレクション	ユーザー・カスタマイズされた PWM 保護機能、複雑なアルゴリズム / ステータス・マシンをオフロードするためのカスタム・ロジック、カスタム・ペリフェラル、サーボ・ドライブで使用するアブソリュート・エンコーダの実装に使用されます マルチレベル・インバータ / PFC またはマルチレベル DC-DC の保護にも使用されます ETPWM、ECAP、QEP、GPIO などの既存の IP を中心にロジックを構築する機能を提供します。 PWM 安全モジュール、エンコーダ・エンジンなどの独自の IP を開発できます。
セキュリティ・エンハンサ	デュアル・ゾーン・コード・セキュリティ・モジュール (DCSM) セキュア・ブート JTAGLOCK AES アクセラレーション バックグラウンド CRC (BGCR)C) 汎用 CRC (GCRC) ウォッチドッグ レジスタへの書き込み保護 クロック消失検出ロジック (MCD) 誤り訂正符号 (ECC) およびパリティ デュアル・クロック・コンパレータ (DCC)	DCSM: 社外秘コードの複製やリバース・エンジニアリングを防止 セキュア・ブート: AES128 CMAC アルゴリズムを使用して、デバイス上で実行されるコードが本物であることを保証 JTAGLOCK: デバイスのエミュレーションをブロックする機能 AES アクセラレーション: ハードウェア・アクセラレータは、CPU の帯域幅を解放しながら暗号メッセージ処理のサイクル時間を大幅に改善します BGCR: CPU のオーバーヘッドやシステム性能に影響を与えることなく、メモリの整合性をチェックします GCRC: 構成可能なメモリ・ブロックで CRC 値を計算するための指定されたコネクティビティ・マネージャ・モジュール ウォッチドッグ: CPU が無限ループに陥った場合にリセットを生成 レジスタへの書き込み保護: システム構成レジスタのロック保護 不要な CPU 書き込みに対する保護 MCD: クロック故障の自動検出 ECC およびパリティ: シングル・ビットの誤り訂正とダブル・ビットの誤り検出 DCC: クロック・ソースの障害を検出するために使用

表 9-1. デバイスの主な特長 (continued)

モジュール	機能	システムの利点
クロスバー (XBAR)	<p>さまざまな構成でデバイスの入力、出力、内部リソースを接続できるフレキシビリティを実現します。</p> <ul style="list-style-type: none"> • 入力クロスバー • 出力クロスバー • ePWM クロスバー • CLB 入力クロスバー • CLB 出力クロスバー • CLB クロスバー 	<p>ハードウェア設計の汎用性を向上:</p> <p>入力クロスバー: 任意の GPIO からチップ内の複数の IP ブロックに信号を接続</p> <p>出力クロスバー: 内部信号を指定された GPIO ピンに接続</p> <p>ePWM クロスバー: 内部信号をさまざまな IP ブロックから ePWM に接続</p> <p>CLB 入力クロスバー: 信号を任意の GPIO から構成可能ロジック・ブロック (CLB) に直接ルーティング可能</p> <p>CLB 出力クロスバー: 信号を CLB タイルから指定された GPIO ピンに送信可能</p> <p>CLB クロスバー: ユーザーがさまざまな IP ブロックから CLB に信号を接続できるようにします</p>
M4 プロセッシング		
リアルタイム・コネクティビティ	<p>専用、フル・プログラマブル通信サブシステム Arm® Cortex®-M4</p> <p>最大 125MIPS</p> <p>フラッシュ: 512KB</p> <p>RAM: 96KB</p>	<p>リアルタイム制御と並行して通信が可能です。これにより、リアルタイム制御サブシステム内の重要なタイミングを犠牲にすることなく、システム全体の性能が向上します。</p>
マイクロ・ダイレクト・メモリ・アクセス (μDMA) コントローラ	32 チャンネル	<p>ダイレクト・メモリ・アクセス (DMA) モジュールは、CPU を介さずにペリフェラルやメモリ間でデータを転送するためのハードウェア方式を提供し、それによって CPU の帯域幅を他のシステム機能のために解放します。</p>
イーサネット MAC		産業用ネットワークとファクトリ・オートメーションをサポート
EtherCAT	Beckhoff Automation™ が開発した統合型 EtherCAT® スレーブ・コントローラ (ESC) IP	<p>待ち時間とサイクル時間が短い産業用イーサネット・ベースのフィールドバス・システムを開発します。EtherCAT ハードウェアの「オンザフライ」でのフレーム処理と転送の性質を利用します。EtherCAT スレーブ・スタックとアプリケーション・ソフトウェアを実行して、EtherCAT スレーブ・ノードを実装します。</p>
USB		システムのデータ・ロギングや、オンチップ・フラッシュの更新のために USB からブートする場合に便利です

9.3 アプリケーション情報

9.3.1 代表的なアプリケーション

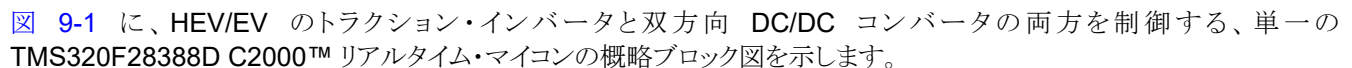
「代表的なアプリケーション」セクションでは、このデバイスのいくつかのアプリケーションについて詳しく説明します。アプリケーションの詳細なリストについては、このデータシートの「アプリケーション」セクションを参照してください。

9.3.1.1 高電圧トラクション・インバータ

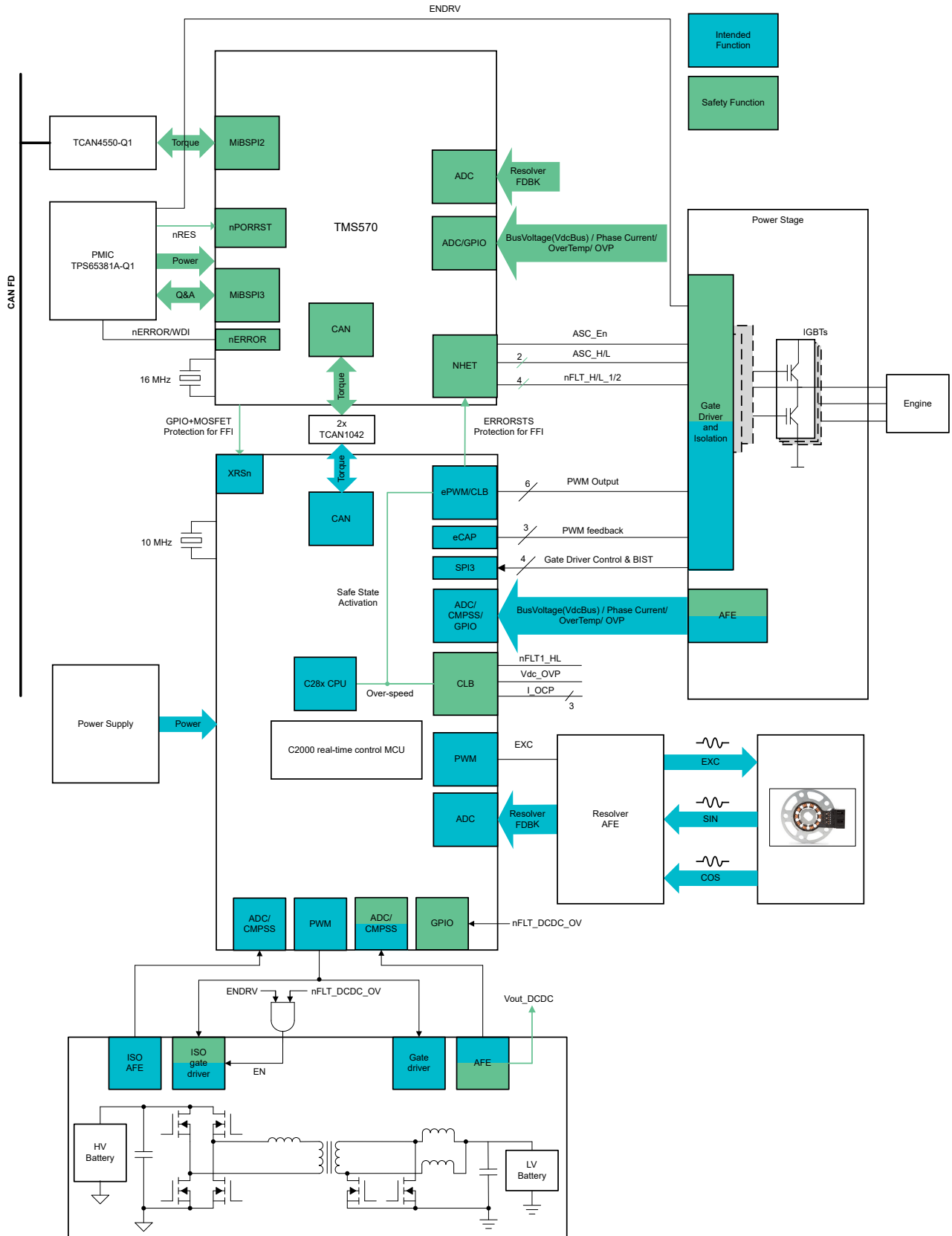
トラクション・ドライブ・サブシステムは、AC 誘導モーター、または内部永久磁石同期モーター (IPMSM) と同期リラクタンス・モーター (SynRM) の組み合わせを駆動するように設計されています。ダイナミック・デカップリングを備えた広帯域幅のフィールド・オリエンテッド・コントロール (FOC) 方式を、C2000 リアルタイム制御マイコンや弱め界磁および過変調の技術とともに実装することで、業界をリードする最大 20,000RPM でモーターを高速駆動します。これにより、トラクション・モーターのコスト削減と軽量化が可能になります。

トラクション・ドライブ・システムでは通常、モーターの極数と一致する可変リラクタンス (VR) リゾルバを使用して、回転子の電気角を直接測定します。リゾルバ信号を使用して位置と速度を測定するには、リゾルバ / デジタル変換 (RDC) が必要です。RDC は従来、PGA411-Q1 などの別の IC によって処理されていました。C2000 マイコンを使用すると、高速トラクション・インバータ用の RDC をメイン制御マイコンに統合することができ、CPU を介さずに DMA で励起生成を処理することができます。また、フィードバックは ADC を経由して読み取られ、CPU でデコードされます。

位相シフト・フルブリッジ (PSFB) トポロジにより、スイッチング・デバイスがゼロ電圧スイッチング (ZVS) でスイッチングできるため、スイッチング損失が低減し、効率が向上します。ピーク電流モード制御 (PCMC) は、電圧フィードフォワード、サイクル単位の自動電流制限、フラックス・バランスングなどの利点があるため、電力コンバータにとって非常に望ましい制御方式であり、高速で効率的な制御ループ計算とともに複雑な PWM 駆動波形を生成する必要があります。これは C2000 マイクロコントローラ上で PWM モジュール、DAC およびスロープ補償ハードウェア付きのアナログ・コンパレータ、および高効率の 32 ビット CPU と組み合わせられた 12 ビットの高速 ADC など、高度なオンチップ制御ペリフェラルによって可能になっています。

 **図 9-1** に、HEV/EV のトラクション・インバータと双方向 DC/DC コンバータの両方を制御する、単一の TMS320F28388D C2000™ リアルタイム・マイコンの概略ブロック図を示します。

9.3.1.1.1 システム・ブロック図



Copyright © 2023 Texas Instruments Incorporated **図 9-1. トラクション・インバータ (高電圧)** [Submit Document Feedback](#) 331

9.3.1.1.2 高電圧トラクション・インバータのリソース

リファレンス・デザインと関連トレーニング・ビデオ

[TIDM-02009 ASIL D 安全コンセプトを評価された高速トラクション、双方向 DC/DC 変換のリファレンス・デザイン](#)

このリファレンス・デザインは、単一の TMS320F28388D リアルタイム C2000™ マイコンによる、HEV/EV トラクション・インバータと双方向 DC/DC コンバータの制御を実証します。トラクション制御機能はソフトウェア・ベースのリゾルバ / デジタル・コンバータ (RDC) を使用し、最高 20,000RPM に達する高速でモーターを駆動します。DC/DC コンバータは、位相シフト・フルブリッジ (PSFB) トポロジーと同期整流 (SR) 方式を採用したピーク電流モード制御 (PCMC) 手法を使用します。トラクション・インバータ段は、UCC5870-Q1 スマート・ゲート・ドライバで駆動する SiC (シリコン・カーバイド) 電力段を使用します。PCMC の波形を生成するために、最新の PWM モジュールと、コンパレータ・サブシステム (CMPSS) が内蔵しているスロープ補償機能を使用しています。ASIL 分割ベースのシステム向け機能安全コンセプトであり、TÜV SÜD がすでに評価を完了しているので、ISO 26262 ASIL D までのシステム・レベル安全性インテグリティ・レベル (SIL) の提示に適しており、代表的な安全性の目標を達成できます。

[C2000™ MCU - 電気自動車 \(EV\) | TI.com トレーニング・シリーズ \(ビデオ\)](#)

C2000™ MCU に関するこのビデオ・コレクションは、電気自動車 (EV) 特有のトレーニングを英語と中国語の両方で取り扱っています。

[C2000 マイクロコントローラを使用した PSFB 制御アプリケーション・レポート](#)

このアプリケーション・レポートでは、テキサス・インスツルメンツの高電圧位相シフト・フル・ブリッジ (HVPSFB) キットに実装されているデジタル制御 PSFB システムの実装の詳細を示します。このキットは、400V DC 入力を安定化された 12V DC 出力に変換し、最大 600W の動作定格を備えています。ピーク電流モード制御 (PCMC) と電圧モード制御 (VMC) の両方の実装について説明します。

[TIDA-BIDIR-400-12 双方向 DC/DC コンバータ](#)

このドキュメントでは、このような絶縁型双方向 DC/DC コンバータのマイクロコントローラ・ベースの実装について詳しく説明します。位相シフト・フルブリッジ (PSFB) と同期整流によって、降圧モードでの 400V バス/バッテリーから 12V バッテリーへの電力フローを制御し、またプッシュプル段によって、昇圧モードでの低電圧バッテリーから高電圧バス / バッテリーへの逆電力フローを制御します。このデザインは、各モードで最大 300W の出力電力定格となっています。

9.3.1.2 オンボード充電器 (OBC)

オンボード充電器 (OBC) は、AC/DC パワー・コンバータとそれに続く DC/DC パワー・コンバータの 2 つの電力段で構成されています。OBC は、単一の MCU を使用して AC/DC と DC/DC の両方のパワー・コンバータを制御することで実装できます。たとえば、[図 9-2](#) に示すように、3 つの 3.7kW 単相 OBC モジュールを使用して 11kW OBC を実装できます。このアプローチにより、単相 240AC (北米) と 3 相 AC (その他の地域) の両方を簡単にサポートできます。

OBC 充電の設計要件は次のとおりです。

- 高効率の電力変換と電力密度の向上を可能にする、高性能で高速なデジタル制御ループ。
- 高帯域幅で高速応答の電流センシングを通じて、高精度の制御と過電流状況における高速シャットダウンを実現。
- パワー・スイッチ [絶縁ゲート・バイポーラ・トランジスタ/シリコン・カーバイド (IGBT/SiC)] を安全かつ効率的に制御および保護。

9.3.1.2.1 システム・ブロック図

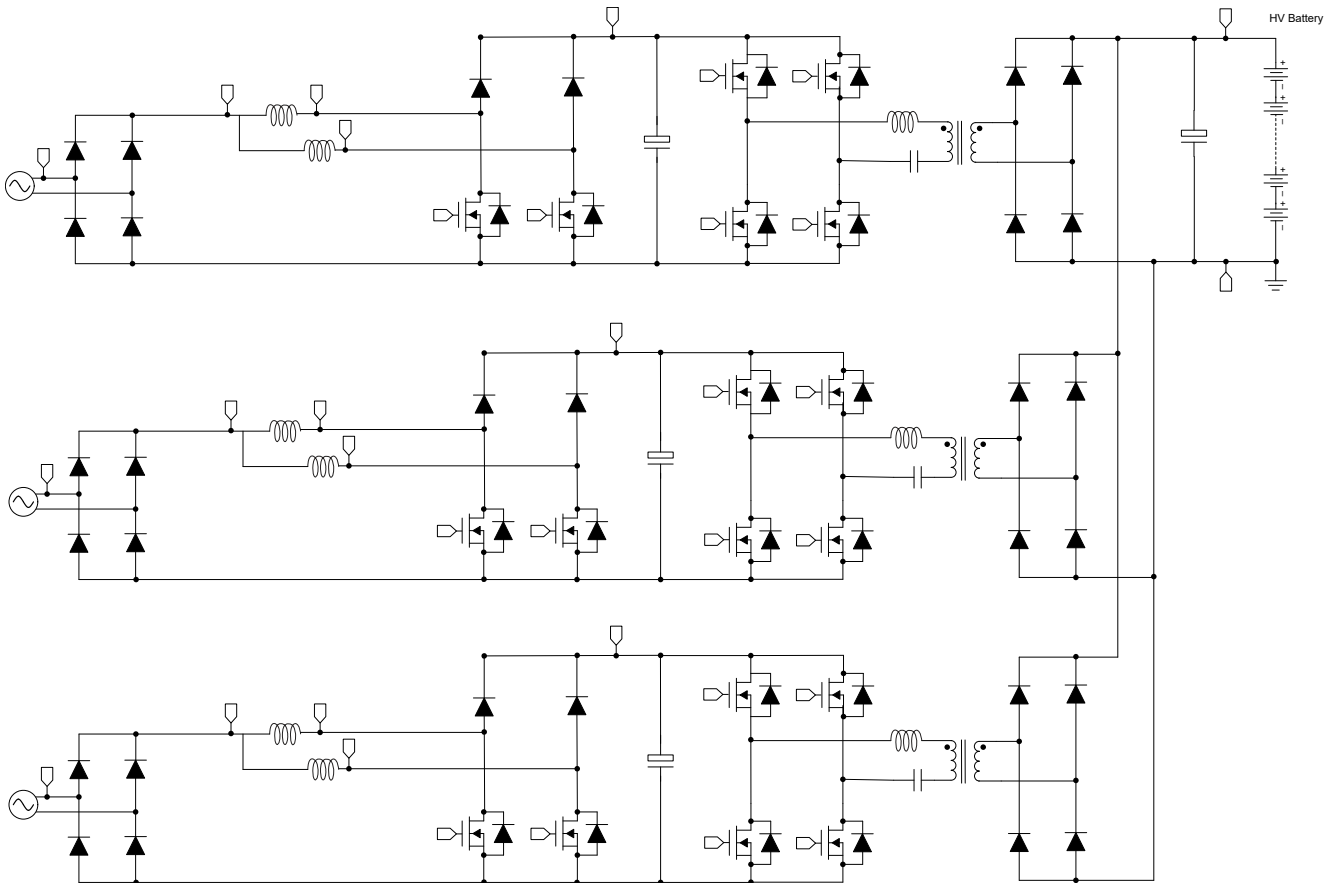


図 9-2. 11kW のモジュール型 OBC 電源トポロジ (単方向、ブリッジ PFC)

9.3.1.2.2 OBC の技術関連資料

リファレンス・デザインと関連トレーニング・ビデオ

C2000™ デジタル電源トレーニング・シリーズ (ビデオ)

このトレーニング・シリーズでは、デジタル電源制御の基礎と C2000™ マイクロコントローラへの実装方法を説明します。

C2000™ MCU - 電気自動車 (EV) トレーニング・ビデオ (ビデオ)

C2000™ MCU に関するこのビデオ・コレクションは、電気自動車 (EV) 特有のトレーニングを英語と中国語の両方で取り扱っています。

PMP22650 GaN ベース、6.6kW、双方向オンボード・チャージャのリファレンス・デザイン

PMP22650 リファレンス・デザインは、6.6kW の双方向オンボード・チャージャです。このデザインは、同期整流機能付きの 2 相トータムポール PFC とフル・ブリッジ CLLLC コンバータを搭載しています。CLLLC は周波数変調と位相変調の両方を活用し、必須のレギュレーション範囲全体で出力のレギュレーションを実施します。このデザインは TMS320F28388D マイクロコントローラの内部にある単一のプロセッシング・コアを使用して、PFC と CLLLC の両方を制御します。同期整流機能は、同じマイクロコントローラに Rogowski コイル使用の電流センサを組み合わせる形で実装しています。複数の高速 GaN スイッチ (LMG3522) を使用して、高密度を達成しています。この PFC は 120kHz で動作し、CLLLC は 200kHz~800kHz の可変周波数で動作します。電力密度が 3.8kW/リットルのオープン・フレーム電源との組み合わせで、96.5% のピーク・システム効率を達成しています。このデザインに関する計算は 6.6kW の出力電力を想定して実施しましたが、このデザインは 240V 入力を受け入れて 32A ブレーカを使用する 7kW 強 (たとえば 7.2kW~7.4kW) 定格の OBC (オンボード・チャージャ) 開発の適切な出発点となります。

TIDUEG2C TIDM-02002 HEV/EV オンボード・チャージャ向け双方向 CLLLC 共振デュアル・アクティブ・ブリッジ (DAB) のリファレンス・デザイン

双方向の電源フロー能力とソフト・スイッチング特性を持つ CLLLC 共振 DAB は、ハイブリッド電気自動車 / 電気自動車 (HEV / EV) のオンボード・チャージャおよびエネルギー・ストレージ・アプリケーションに理想的な候補です。このデザインでは、閉電圧および閉電流ループ・モードで C2000™ MCU を使ってこの電源トポロジを制御する方法を示します。このリファレンス・デザインのハードウェアとソフトウェアは開発期間の短縮を可能にします。

TIDUEG3A TIDM-1022 バレー・スイッチング、昇圧、力率補正 (PFC) のリファレンス・デザイン

このリファレンス・デザインでは、効率と全高調波歪み (THD) の基準を満たすことが難しい軽負荷条件で、昇圧力率補正 (PFC) コンバータの効率と THD を大幅に改善するためのデジタル制御方式を説明します。これは、C2000™ マイクロコントローラ (MCU) の内蔵デジタル制御機能を使用して実現されます。このリファレンス・デザインは、位相シェディング、バレー・スイッチング、バレー・スキッピング、ゼロ電圧スイッチング (ZVS) をサポートしており、各種の負荷および瞬時入力電圧条件に対応します。このリファレンス・デザインで利用可能なソフトウェアにより、製品開発期間を短縮できます。

9.3.1.3 サーボ・ドライブ制御モジュール

サーボ・ドライブは、高精度のトルク制御を実現するために高精度の電流および電圧センシングを必要とし、多くの場合、通信インターフェイスとともに複数のエンコーダ・タイプのインターフェイスをサポートします。F2838x は、スタンドアロン・サーボ・ドライブ用のシングルチップ・ソリューション (図 9-3 参照) として、または、非集中型システム (図 9-4 参照) で使用することができます。後者の場合、F2838x はコントローラとして機能し、すべての電圧入力および電流入力をサンプリングして、インバータのための正確な PWM 信号を生成します。各 F2838x デバイスが、対象となる 1 軸のリアルタイム・コントローラとして機能し、モーターの電流制御ループを実行します。高速シリアル・インターフェイス (FSI) ペリフェラルを使用すると、1 つの F2838x で最大 16 軸を制御できます。F2838x 外部ループ・コントローラは、メイン軸のモーター制御を実行し、FSI 経由で他のすべての軸とのデータ交換を制御するとともに、EtherCAT 経由でホストまたは PLC と通信します。

9.3.1.3.1 システム・ブロック図

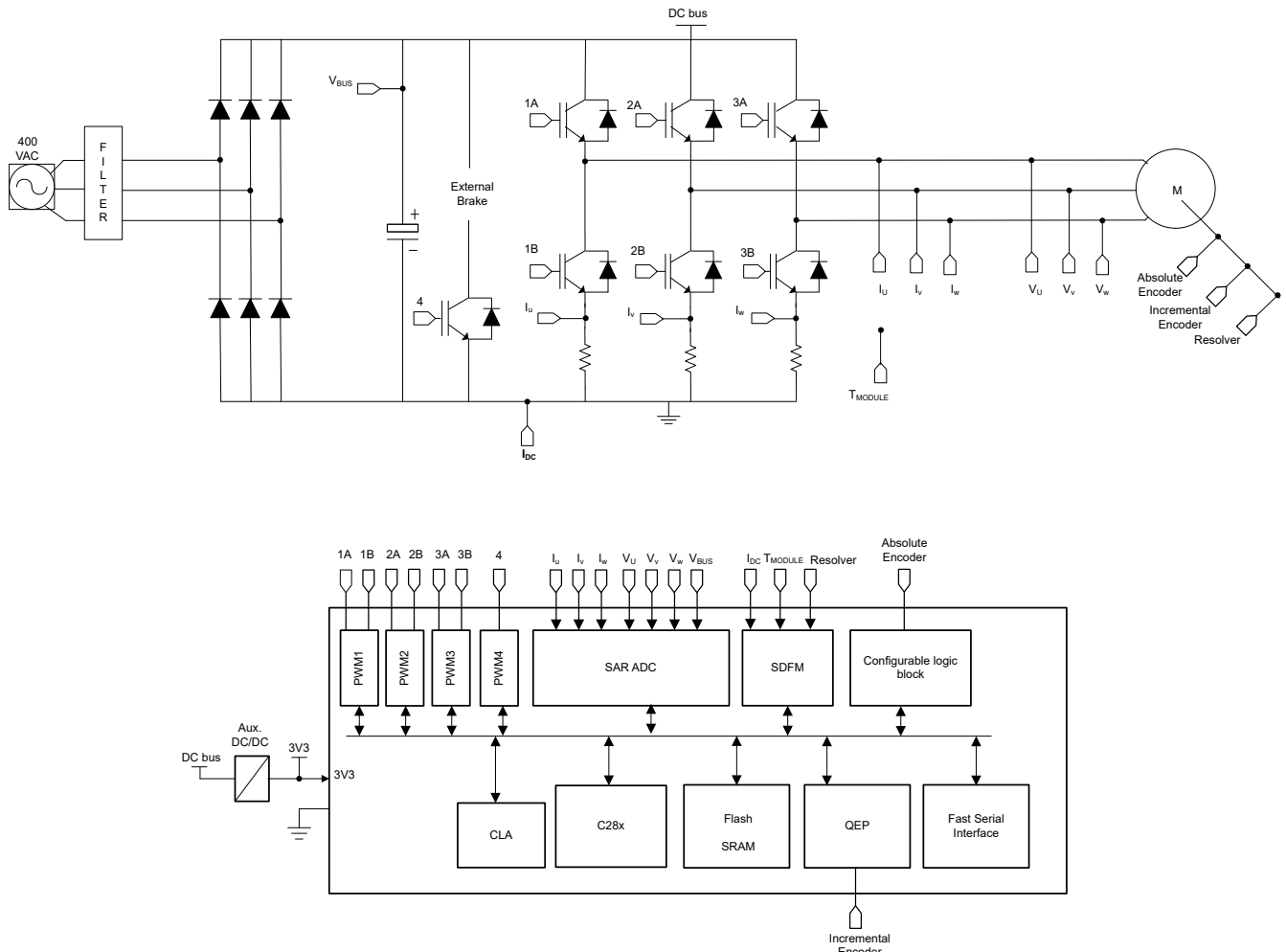


図 9-3. サーボ・ドライブ制御モジュール

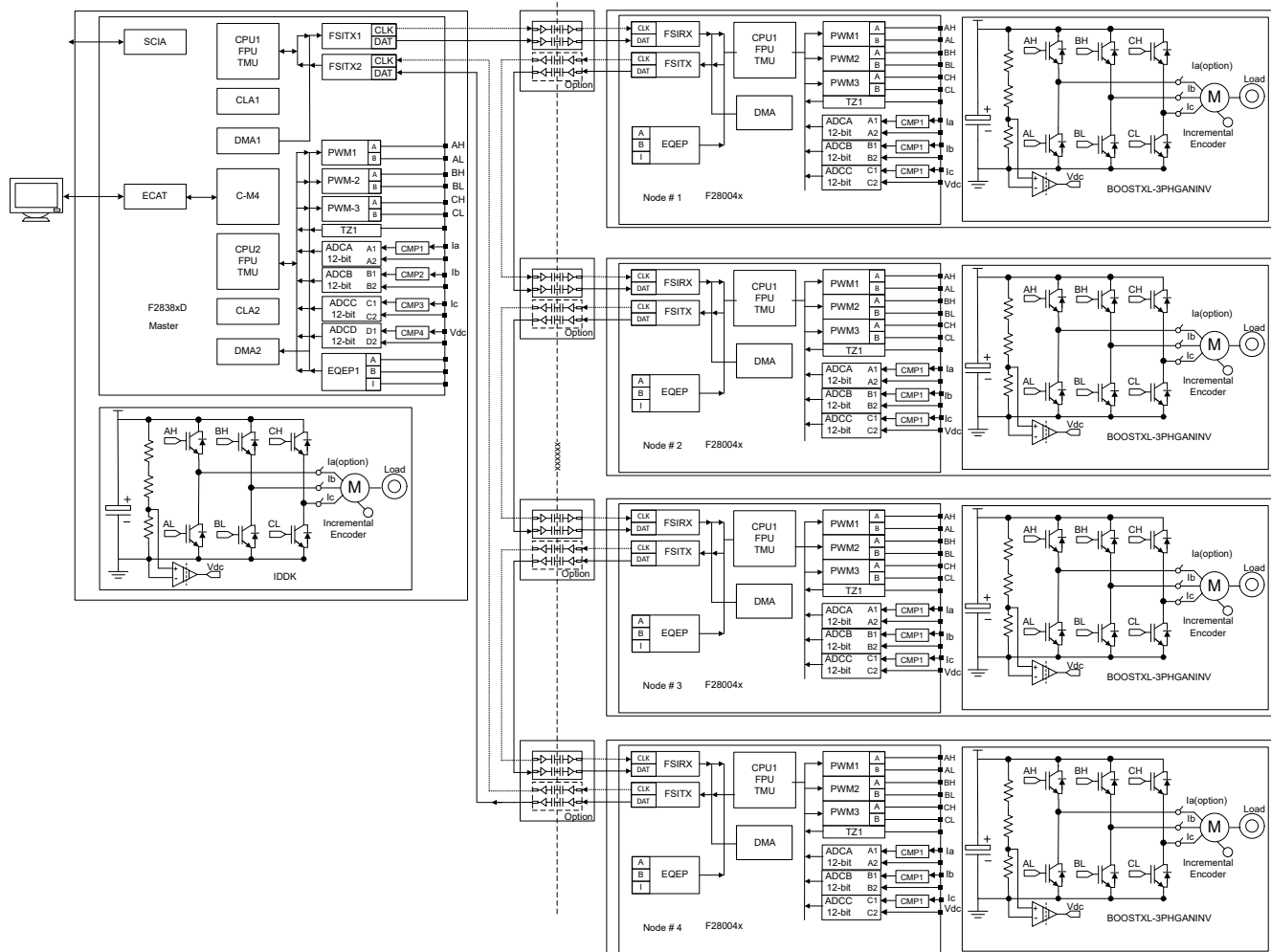


図 9-4. 分散型多軸サーボ・ドライブ

9.3.1.3.2 サーボ・ドライブ制御モジュールのリソース

リファレンス・デザインと関連トレーニング・ビデオ

[シャント・ベースのインライン・モーター位相電流センシング機能を搭載した 48V 3 相インバータ評価モジュール](#)

BOOSTXL-3PHGANINV 評価モジュールは、高精度インライン・シャント・ベース位相電流センシング機能を搭載した 48V/10A 3 相 GaN インバータを採用し、サーボ・ドライブなどの高精度ドライブを正確に制御します。

[産業用モーター制御向け C2000 DesignDRIVE 開発キット](#)

この DesignDRIVE 開発キット (IDDK) ハードウェアによって、高電圧 3 相モーターを駆動する電力段全体を搭載した統合型サーボ・ドライブ設計を実現し、また、さまざまな位置フィードバック、電流センシング、制御トポロジーに関する評価を容易に実施することができます。

[C2000 DesignDRIVE position manager BoosterPack™ プラグイン モジュール](#)

この PositionManager BoosterPack は、アブソリュート・エンコーダ、リゾルバや SinCos トランスデューサなどのアナログ・センサへのインターフェイスを評価するためのフレキシブルな低電圧プラットフォームです。低コストのこの評価基板は、DesignDRIVE Position Manager ソフトウェア・ソリューションとの組み合わせにより、一般的に使用されている EnDat、BiSS、T-format などのさまざまなタイプのポジション・エンコーダを C2000 リアルタイム制御デバイスとインターフェイスするための強力なツールになります。C2000 Position Manager 技術は、最もよく使われているデジタルおよびアナログ・ポジション・センサとのインターフェイスを C2000 リアルタイム・コントローラに統合して、このような機能のための外部 FPGA を不要にします。

C2000Ware モーター制御 SDK

C2000™ マイクロコントローラ (MCU) 用のモーター制御 SDK は、さまざまな 3 相モーター制御アプリケーション向けの C2000 リアルタイム・コントローラ・ベースのモーター制御システムの開発時間を最小限に抑える目的で設計された、ソフトウェア・インフラ、ツール、資料の包括的なセットです。このソフトウェアには、C2000 モーター制御評価モジュール (EVM) で動作するファームウェアと、産業用ドライブ、ロボット、家電製品、車載アプリケーションを対象とした TI Designs (TID) が含まれています。MotorControl SDK は、高性能モーター制御アプリケーションの開発と評価のすべての段階で必要とされるあらゆるリソースを提供します。

TIDM-02006 高速シリアル・インターフェイス (FSI) 経由の分散型多軸サーボ・ドライブのリファレンス・デザイン

このリファレンス・デザインは、C2000™ リアルタイム・コントローラを使用した高速シリアル・インターフェイス (FSI) 経由の分散型または非集中型多軸サーボ・ドライブの例を示します。多軸サーボ・ドライブは、ファクトリ・オートメーションやロボットなど多くのアプリケーションで使用されています。この種のシステムで、1 軸当たりのコスト、性能、使いやすさは常に重要な考慮事項になっています。FSI は、低ジッタで、コスト最適化された信頼性の高い高速通信インターフェイスであり、複数の C2000 マイクロコントローラをデジタイズチェーン接続することもできます。このデザインでは、TMS320F280049 または TMS320F280025 の各リアルタイム・コントローラが、それぞれ 1 つの軸に対応する分散型のリアルタイム・コントローラであり、モーターの電流制御ループを実行します。TMS320F28388D という単一製品が、すべての軸に対応する位置および速度の制御ループを実行します。同じ F2838x が、マルチコアを活用して、集中型のモーター制御軸に加えて EtherCAT 通信も実施します。このデザインは、テキサス・インスツルメンツの既存の EVM キットを複数使用しており、該当ソフトウェアは C2000WARE モーター制御 SDK の一部としてリリース済みです。

TIDM-02007 シングル MCU で高速電流ループ (FCL) および SFRA を使った 2 軸モーター・ドライブのリファレンス・デザイン

このリファレンス・デザインは、単一の C2000 コントローラ上で高速電流ループ (FCL) およびソフトウェア周波数応答アナライザ (SFRA) 技術を使った 2 軸モーター・ドライブの例を示します。FCL は、デュアル・コア (CPU、CLA) 並列処理技術を使って、制御帯域幅と位相マージンの大幅な拡大、フィードバック・サンプリングから PWM 更新までのレイテンシの短縮、制御帯域幅の拡大と変調指数の最大化、ドライブの DC バス使用率の向上とモーターの速度範囲の拡大を実現します。SFRA ツールが統合されているため、開発者は、アプリケーションの周波数応答を迅速に測定して、速度および電流コントローラを調整できます。システムレベルの統合と C2000 シリーズ MCU の性能により、非常に堅牢な位置制御と高い性能を同時に実現する 2 軸モーター・ドライブの要件をサポートできます。本ソフトウェアは C2000WARE MotorControl SDK でリリースされています。

EtherCAT プロトコル: C2000™ TMS320F2838x デバイス・ファミリの EtherCAT (ビデオ)

このビデオでは、TMS320F2838x デバイスの EtherCAT スレーブ・コントローラ機能の詳細、TMS320F2838x デバイスの EtherCAT スレーブ・コントローラのサブシステムとデバイスの統合の詳細、TMS320F2838x デバイスの EtherCAT IP と Beckhoff Automation ET1100 EtherCAT ASIC との比較について説明します。

『PMSM で高速電流ループを使用する EtherCAT ベースの接続サーボ・ドライブ』アプリケーション・レポート

このアプリケーション・レポートは、EtherCAT® 通信を評価し、テキサス・インスツルメンツの TMS320F28388D リアルタイム・コントローラを使用して接続されたサーボ・ドライブの高速電流ループ (FCL) 対応制御ループの周波数応答解析を実行するのに役立ちます。

9.3.1.4 ソーラー・マイクロ・インバータ

ソーラー・マイクロ・インバータは、DC-AC インバータの電力段と、最大電力点追従 (MPPT) DC-DC 電力段で構成されています。インバータ (DC-AC) の一般的なスイッチング周波数は 20kHz~50kHz で、DC-DC 側のスイッチング周波数は 100kHz~200kHz の範囲です。これを実現するために、さまざまな出力段を使用できます。この図は、代表的な出力段と、制御および通信の要件のみを示しています。C2000 マイクロコントローラには、オンチップの EPWM、ADC、アナログ・コンパレータ・モジュールが搭載されており、このようなマイクロ・インバータ・システムの完全なデジタル制御を実装できます。

9.3.1.4.1 システム・ブロック図

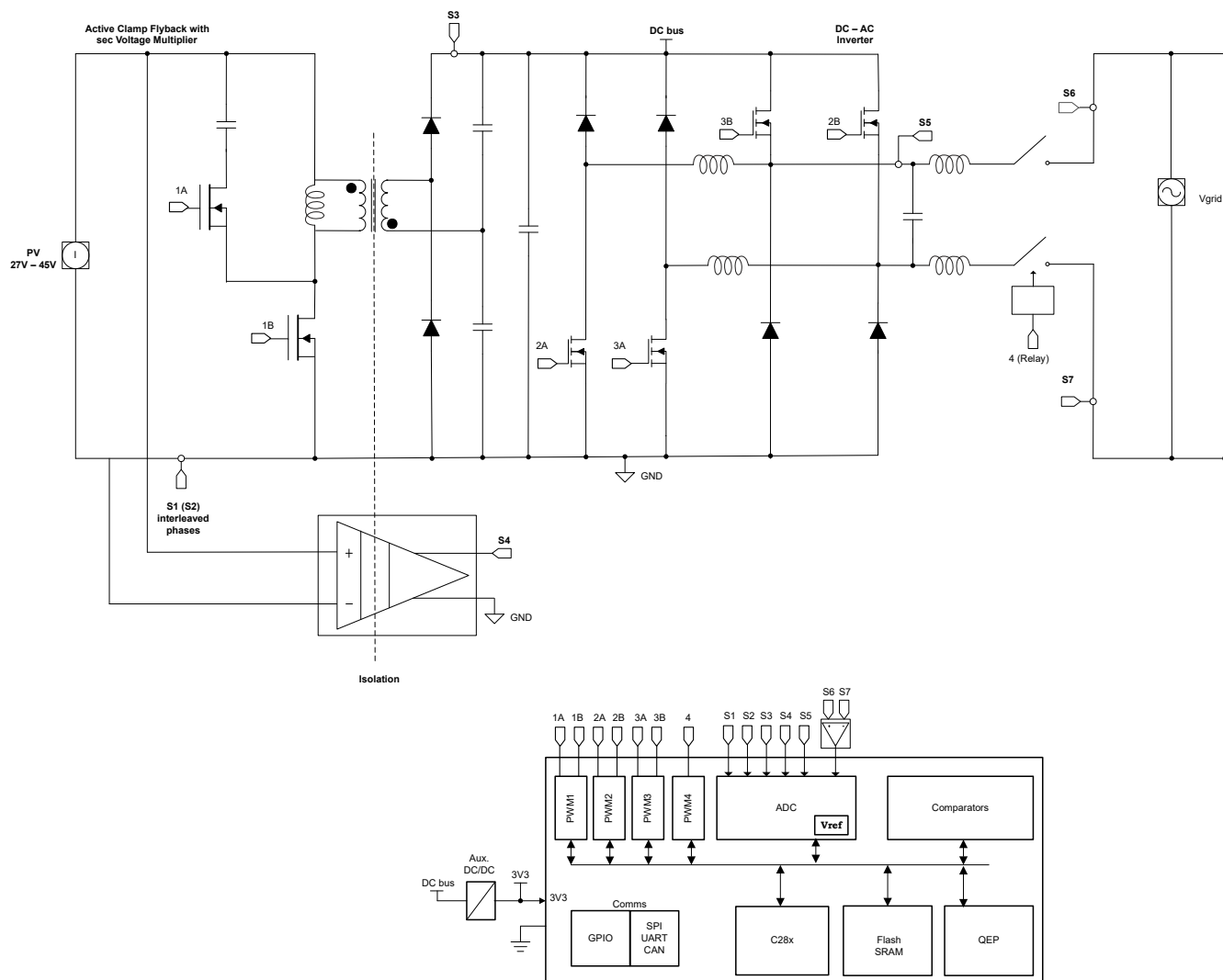


図 9-5. ソーラー・マイクロ・インバータ

9.3.1.4.2 ソーラー・マイクロ・インバータのリソース

リファレンス・デザインと関連トレーニング・ビデオ

C2000™ デジタル電源トレーニング・シリーズ (ビデオ)

このトレーニング・シリーズでは、デジタル電源制御の基礎と C2000 マイクロコントローラへの実装方法を説明します。

太陽光発電グリッドにエネルギー・ストレージを追加する場合の 4 つの主な設計上の考慮事項

このホワイト・ペーパーでは、グリッドに接続されたストレージ統合型太陽光発電システムの設計上の考慮事項について説明します

C2000WARE-DIGITALPOWER-SDK

C2000™ マイクロコントローラ (MCU) 向けの DigitalPower SDK は、ソフトウェア・インフラ、ツール、資料の包括的なセットであり、AC-DC、DC-DC、DC-AC 電源アプリケーション向け C2000 MCU ベースのデジタル電源システムの開発期間の大幅な短縮を可能にします。このソフトウェアには、C2000 デジタル電源評価モジュール (EVM) で動作するファームウェアと、太陽光発電、テレコム、サーバー、電気自動車 (EV) チャージャ、産業用電源供給アプリケーション向けの TI

Designs (TID) が含まれています。DigitalPower SDK は、デジタル電源アプリケーションの開発と評価のすべての段階で必要とされるあらゆるリソースを提供します。

C2000™ Piccolo マイクロコントローラを使用したデジタル制御ソーラー・マイクロ・インバータの設計

このドキュメントは、C2000 マイクロコントローラを使用したデジタル制御ソーラー・マイクロ・インバータの実装の詳細を説明しています。250W の絶縁型マイクロ・インバータ設計では、Piccolo-B (F28035) 制御カードを使用して、必要なすべての PV インバータ機能を提供します。このドキュメントでは、マイクロ・インバータ・ボードの電力段について、さらには、開ループ動作と閉ループ動作を検証してソフトウェアを構築するインクリメンタル・ビルド・レベル・システムについて説明します。このガイドでは、電力フローの制御、PV パネルからの電力の最大化 (MPPT)、フェーズ・ロック・ループ (PLL) を使用したグリッドへのロック、テキサス・インスツルメンツのソーラー・マイクロインバータ・キット (TMDSOLARUINVKIT) のハードウェア詳細について説明します。

TIDU405B グリッドに接続されたソーラー・マイクロ・インバータ、MPPT 付き

この C2000 ソーラー・マイクロ・インバータ EVM ハードウェアは、2 段で構成されています。それらを以下に示します。(1) 2 次側電圧マルチプライヤを搭載したアクティブ・クランプ・フライバック DC-DC コンバータと (2) DC-AC インバータ。図 1b に、このアプリケーションのブロック図を示します。DC-DC コンバータは、パネルが最大電力伝送ポイントで動作するように、PV パネルから DC 電流を引き込みます。そのためには、MPPT アルゴリズムで決定されたレベルでパネル出力、つまり DC-DC コンバータ入力を維持する必要があります。MPPT アルゴリズムは、最大電力伝送のためのパネル出力電流 (基準電流) を決定します。次に、フライバック・コンバータの電流制御ループにより、コンバータの入力電流が確実に MPPT 基準電流に追従するようになります。また、フライバック・コンバータは、DC-DC 段の高周波絶縁も実現します。フライバック段の出力は、高電圧 DC バスであり、これが DC-AC インバータを駆動します。インバータ段は、DC バスを目的の設定点に維持し、制御された正弦波電流をグリッドに注入します。また、グリッド同期も実装しており、グリッド電圧の位相および周波数にロックされた電流波形を維持します。C2000 Piccolo マイクロコントローラは、オンチップ PWM、ADC、およびアナログ・コンバータ・モジュールを搭載しており、このようなマイクロ・インバータ・システムの完全なデジタル制御を実装できます。

『単相グリッド接続インバータ向け C2000™ マイクロコントローラを使用したソフトウェア・フェーズ・ロック・ループ設計』アプリケーション・レポート

グリッド接続アプリケーションでは、グリッドに同期して電力を供給するために、グリッドの位相を正確に推定する必要があります。これは、ソフトウェア・フェーズ・ロック・ループ (PLL) を使用して実現します。このアプリケーション・レポートでは、ソフトウェア・フェーズ・ロック・ループの設計におけるさまざまな課題について説明し、単相グリッド接続アプリケーション向けに C2000 コントローラを使用してフェーズ・ロック・ループを設計する方法を示します。

10 デバイスおよびドキュメントのサポート

10.1 入門と次のステップ

『C2000™ リアルタイム制御マイクロコントローラ (MCU) を使用した設計の開始』入門ガイドは、C2000 デバイスを使用する開発について、ハードウェアからサポート・リソースまで、あらゆる側面をカバーしています。主要な参考資料に加えて、各セクションには関連するリンクとリソースが掲載されており、さらに詳細な情報を知ることができます。

10.2 デバイスおよび開発ツールの命名規則

製品開発サイクルの段階を示すために、テキサス・インスツルメンツでは TMS320 MCU デバイスとサポート・ツールのすべての型番に接頭辞が割り当てられています。TMS320™ MCU 商用ファミリの製品には、次の 3 つの接頭辞のいずれかが付いています。TMX、TMP、TMS (たとえば、TMS320F28386D)。テキサス・インスツルメンツでは、サポート・ツールについては、使用可能な 3 つの接頭辞のうち TMDX および TMDS の 2 つを推奨しています。これらの接頭辞は、エンジニアリング・プロトタイプ (デバイスでは TMX、ツールでは TMDX) から、完全に認定済みの量産版デバイスとツール (デバイスでは TMS、ツールでは TMDS) まで、製品開発の段階を表しています。

Device development evolutionary flow:

TMX Experimental device that is not necessarily representative of the final device's electrical specifications and may not use production assembly flow.

TMP Prototype device that is not necessarily the final silicon die and may not necessarily meet final electrical specifications.

TMS Production version of the silicon die that is fully qualified.

Support tool development evolutionary flow:

TMDX Development-support product that has not yet completed Texas Instruments internal qualification testing.

TMDS Fully-qualified development-support product.

TMX and TMP devices and TMDX development-support tools are shipped against the following disclaimer:

"Developmental product is intended for internal evaluation purposes."

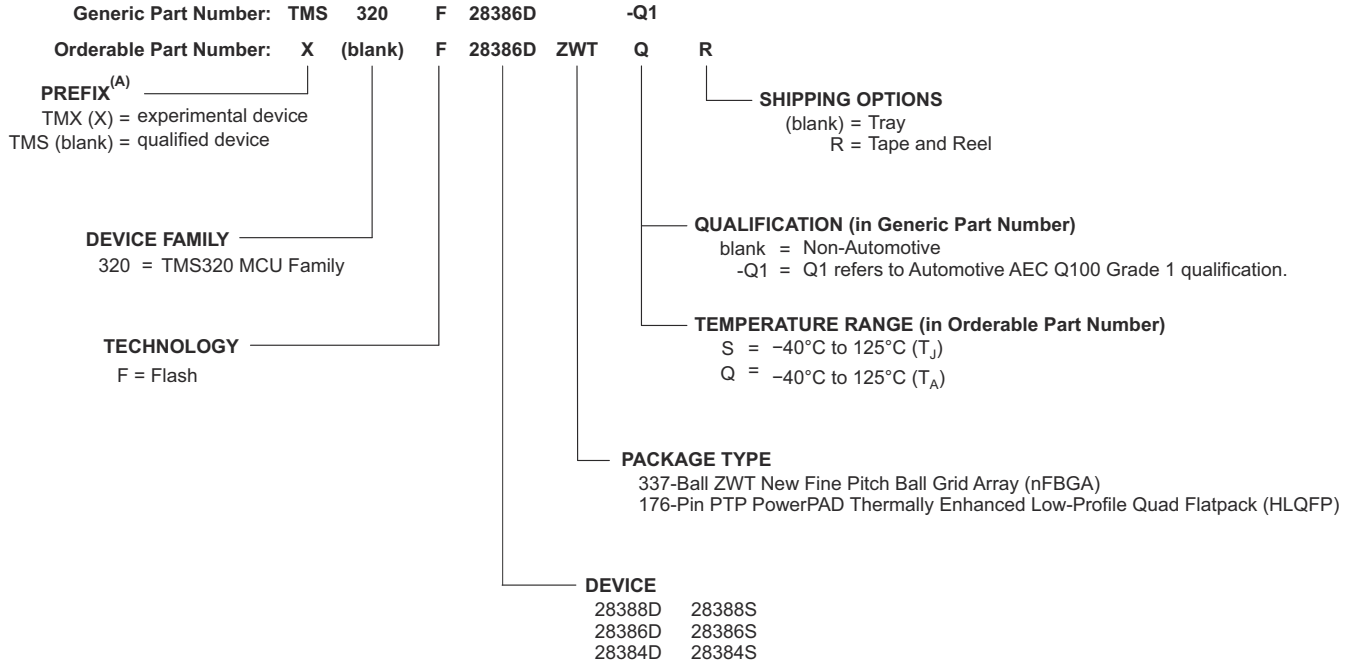
Production devices and TMDS development-support tools have been characterized fully, and the quality and reliability of the device have been demonstrated fully. TI's standard warranty applies.

Predictions show that prototype devices (X or P) have a greater failure rate than the standard production devices. Texas Instruments recommends that these devices not be used in any production system because their expected end-use failure rate still is undefined. Only qualified production devices are to be used.

テキサス・インスツルメンツのデバイスの命名規則には、デバイス・ファミリ名の接尾辞も含まれます。この接尾辞は、パッケージの種類 (例:ZWT) と温度範囲 (例:S) を示しています。図 10-1 に、任意のファミリ・メンバについて、完全なデバイス名を読み取るための凡例を示します。

デバイスの型番と詳しい注文情報については、テキサス・インスツルメンツの Web サイト (www.tij.co.jp) を参照するか、テキサス・インスツルメンツの販売代理店にお問い合わせください。

ダイに対するデバイス命名規則マーキングの詳細説明については、『TMS320F2838x リアルタイム MCU シリコン・エラッタ』を参照してください。



A. 注文用型番には接頭辞 X を使用。

図 10-1. デバイス命名規則

10.3 マーキング

パッケージの記号表記を図 10-2 に示します。また、シリコンのレビジョン・コードの一覧を表 10-1 に示します。

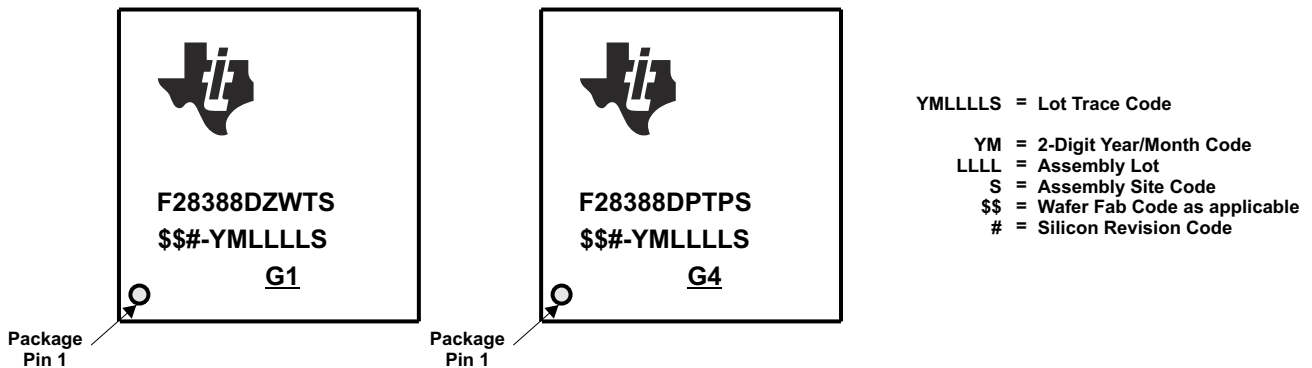


図 10-2. パッケージの記号表記

表 10-1. レビジョンの識別

シリコンのレビジョン・コード	シリコンのレビジョン	REVID ⁽¹⁾ アドレス: 0x5D00C	備考
空白	0	0x0000 0000	このシリコン・レビジョンは TMX として供給されま す。
A	A	0x0000 0001	このシリコン・レビジョンは TMX および TMS とし て供給されます。

(1) シリコンのレビジョン ID

10.4 ツールとソフトウェア

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能評価、コードの生成、ソリューションの開発のためのツールおよびソフトウェアの一部を以下に示します。C2000™ リアルタイム制御 MCU 用に提供しているすべてのツールおよびソフトウェアを参照するには、[C2000 リアルタイム制御 MCU - 設計および開発](#)のページをご覧ください。

開発ツール

C2000 リアルタイム制御用 F28388D controlCARD 開発キット

F2838xD および F2838xS シリーズ用 HSEC180 controlCARD 開発ツール。controlCARD は、初期評価やシステムのプロトタイプに使用するのに最適です。完全な基板レベルのモジュールで、薄型、シングル基板のコントローラ・ソリューションを作成できます。

F28388D Experimenter Kit

Experimenter Kit は、controlCARD と TMDSHSECDOCK ベースボード・ドッキング・ステーションで構成される評価用バンドルです。このドッキング・ステーションは、内蔵の controlCARD に電力を供給するほか、プロトタイプ製作に利用できるブレッドボード領域を確保しています。一連のヘッダー・ピンを使用して、コントローラの主な信号にアクセスできます。

ソフトウェア・ツール

C2000 MCU 用 C2000Ware

C2000 マイクロコントローラ用の C2000Ware は、開発ソフトウェアおよびドキュメントの総合的なセットで、ソフトウェア開発時間を最小化できるように設計されています。C2000Ware には、デバイス固有のドライバやライブラリから、デバイス・ペリフェラルのサンプルまでが含まれており、開発と評価を開始するための堅牢な土台となります。C2000Ware は現在、controlSUITE™™ に対して推奨されるコンテンツ配信ツールです。

C2000 マイクロコントローラ用の Code Composer Studio™ (CCS) 統合開発環境 (IDE)

Code Composer Studio は、テキサス・インスツルメンツのマイクロコントローラおよび組み込みプロセッサ・ポートフォリオをサポートする統合開発環境 (IDE) です。Code Composer Studio は、組み込みアプリケーションの開発およびデバッグに必要な一連のツールで構成されています。これには、最適化 C/C++ コンパイラ、ソース・コード・エディタ、プロジェクト・ビルド環境、デバッグ、プロファイラなど、多数の機能が含まれています。この IDE は直感的で、アプリケーションの開発フローの各段階を、すべて同一のユーザー・インターフェイスで実行できます。使い慣れたツールとインターフェイスにより、ユーザーは従来より迅速に作業を開始できます。Code Composer Studio は、Eclipse ソフトウェア・フレームワークの利点と、テキサス・インスツルメンツの先進的な組み込みデバッグ機能の利点を組み合わせて、組み込み製品の開発者向けの魅力的で機能豊富な開発環境を実現します。

Pin Mux ツール

Pin Mux ユーティリティは、テキサス・インスツルメンツ MPU のピン多重化設定を構成し、競合を解決し、I/O セルの特性を指定するためのグラフィカル・ユーザー・インターフェイスを提供する、ソフトウェア・ツールです。

F021 フラッシュ・アプリケーション・プログラミング・インターフェイス (API)

F021 フラッシュ・アプリケーション・プログラミング・インターフェイス (API) は、F021 オンチップ・フラッシュ・メモリをプログラム、消去、および確認するための機能を含むソフトウェア・ライブラリを提供します。

UniFlash スタンドアロン・フラッシュ・ツール

UniFlash は、GUI、コマンドライン、またはスクリプト・インターフェイスからオンチップ・フラッシュ・メモリをプログラムするために使用される、スタンドアロンのツールです。

C2000 サード・パーティー検索ツール テキサス・インスツルメンツは複数の企業と協力して、テキサス・インスツルメンツの C2000 デバイスに対応する多様なソリューションとサービスを提供しています。これらの企業は、各種 C2000 デバイスを使用した量産へと至るお客様の開発工程の迅速化に役立ちます。この検索ツールをダウンロードすると、サード・パーティー各社の概要を手早く参照し、お客様のニーズに適したサード・パーティーを見つけることができます。

モデル

製品の「設計および開発」ページでは、各種のモデルをダウンロードできます。これらのモデルには、I/O バッファ情報仕様 (IBIS) モデルや、バウンダリ・スキャン記述言語 (BSDL) モデルが含まれます。利用可能なすべてのモデルを参照するには、各デバイスの「設計および開発」ページの「設計ツールとシミュレーション」セクションをご覧ください。

トレーニング

設計エンジニアが C2000 マイクロコントローラの機能および性能を十分に活用できるように、テキサス・インスツルメンツは各種のトレーニング・リソースを開発しました。オンライン・トレーニング資料や、ダウンロード可能な実践的ワークショップを活用することで、C2000 マイクロコントローラ・ファミリの完全な動作の知識を簡単に習得できます。これらのトレーニング資料は、習得を容易にし、開発期間を短縮し、製品を短期間で開発できるよう設計されています。各種トレーニング資料の詳細については、[C2000™ リアルタイム制御 MCU - サポートおよびトレーニング](#)のサイトを参照してください。

10.5 ドキュメントのサポート

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[更新の通知を受け取る] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

プロセッサおよび関連ペリフェラルに関する最新ドキュメント、その他の技術資料を以下に示します。

エラーッタ

『[TMS320F2838x リアルタイム MCU シリコン・エラーッタ](#)』には、シリコンについて既知の問題と回避策が記載されています。

テクニカル・リファレンス・マニュアル

『[TMS320F2838x マイクロコントローラ・テクニカル・リファレンス・マニュアル](#)』には、2838x マイクロコントローラの各ペリフェラルおよびサブシステムについて、統合、環境、機能説明、プログラミング・モデルの詳細が記載されています。

CPU ユーザー・ガイド

『[TMS320C28x CPU および命令セット・リファレンス・ガイド](#)』には、TMS320C28x 固定小数点デジタル信号プロセッサ (DSP) の CPU (Central Processing Unit) およびアセンブリ言語命令について記述されています。このリファレンス・ガイドでは、これらの DSP で利用可能なエミュレーション機能についても解説しています。

『[TMS320C28x 拡張命令セット・テクニカル・リファレンス・マニュアル](#)』には、TMU、VCU-II、および FPU アクセラレータのアーキテクチャ、パイプライン、命令セットについて記述されています。

ペリフェラル・ガイド

『[C2000 リアルタイム制御ペリフェラル・リファレンス・ガイド](#)』には、28x DSP のペリフェラル・リファレンス・ガイドが記載されています。

ツール・ガイド

『[TMS320C28x アセンブリ言語ツール v22.6.0.LTS ユーザー・ガイド](#)』では、TMS320C28x デバイス用のアセンブリ言語ツール (アセンブリ言語コードを開発するためのアセンブラや他のツール)、アセンブラのディレクティブ、マクロ、共通オブジェクト・ファイル・フォーマット、シンボリック・デバッグ・ディレクティブについて記述しています。

『[TMS320C28x 最適化 C/C++ コンパイラ v22.6.0.LTS ユーザー・ガイド](#)』では、TMS320C28x C/C++ コンパイラについて記述しています。このコンパイラは、ANSI 標準の C/C++ ソースコードから、TMS320C28x デバイス用の TMS320 DSP アセンブリ言語ソースコードを生成します。

アプリケーション・レポート

『[SMT & パッケージ・アプリケーション・ノート](#)』 Web サイトには、テキサス・インスツルメンツの表面実装テクノロジー (SMT) のドキュメントと、パッケージに関連する各種トピックについてのアプリケーション・ノートの一覧があります。

『[半導体パッキング方法](#)』では、半導体デバイスをエンド・ユーザーへの配送用に準備するためのパッキング手法について記述しています。

『組み込みプロセッサの有効寿命計算』では、テキサス・インスツルメンツの組み込みプロセッサ (EP) を電子機器システムにおいて通電状態で使用したときの有効寿命を計算するための手法を解説しています。これは、テキサス・インスツルメンツの EP の信頼性が最終システムの信頼性要件を満たすかどうかを判定したい一般的なエンジニアを対象としています。

『IBIS (I/O バッファ情報仕様) モデル作成の概要』では、IBIS の歴史、利点、互換性、モデルの生成フロー、入力 / 出力構造のモデル作成におけるデータの要件、将来の動向など、各種の側面から解説しています。

『C2000™ マイクロコントローラのシリアル・フラッシュ・プログラミング』には、フラッシュ・カーネルおよび ROM ロダーを使用したデバイスのシリアル・プログラミングについて記載されています。

『高速整数除算 - C2000™ 製品ファミリーでの異なる方法』には、さまざまな除算およびモジュロ (剰余演算) 機能とその関連プロパティの概要が記載されています。

『C2000™ キー・テクノロジー・ガイド』では、リアルタイム制御システムに関連する C2000 マイクロコントローラ・ユニット (MCU) を差別化するためのコンポーネントについて詳細に説明しています。

10.6 サポート・リソース

TI E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、該当する貢献者により、現状のまま提供されるものです。これらは TI の仕様を構成するものではなく、必ずしも TI の見解を反映したものではありません。TI の [使用条件](#) を参照してください。

10.7 商標

PowerPAD™, C2000™, Code Composer Studio™, TMS320™, controlSUITE™™, and TI E2E™ are trademarks of Texas Instruments.

NXP™ is a trademark of NXP B.V.

ARM®, Cortex®, Arm®, Thumb®, and PrimeCell® are registered trademarks of Arm Limited (or its subsidiaries) in the US and/or elsewhere.

EtherCAT® is a registered trademark of Beckhoff Automation GmbH, Germany.

Bosch® is a registered trademark of Robert Bosch GmbH.

Freescale® is a registered trademark of NXP USA, INC.

is a registered trademark of Beckhoff Automation GmbH.

すべての商標は、それぞれの所有者に帰属します。

10.8 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.9 用語集

[テキサス・インスツルメンツ用語集](#)

この用語集には、用語や略語の一覧および定義が記載されています。

11 メカニカル、パッケージ、および注文情報

11.1 パッケージ情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスについて利用可能な最新のデータです。このデータは予告なく変更されることがあり、ドキュメントが改訂される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

テキサス・インスツルメンツのパッケージの詳細については、[パッケージ情報 Web](#) サイトをご覧ください。

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
F28384DPTPQR	ACTIVE	HLQFP	PTP	176	200	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28384DPTPQ	Samples
F28384DPTPS	ACTIVE	HLQFP	PTP	176	40	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28384DPTPS	Samples
F28384DZWTQR	ACTIVE	NFBGA	ZWT	337	1000	RoHS & Green	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28384DZWTQ	Samples
F28384DZWTS	ACTIVE	NFBGA	ZWT	337	90	RoHS & Green	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28384DZWTS	Samples
F28384SPTPQR	ACTIVE	HLQFP	PTP	176	200	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28384SPTPQ	Samples
F28384SPTPS	ACTIVE	HLQFP	PTP	176	40	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28384SPTPS	Samples
F28384SZWTS	ACTIVE	NFBGA	ZWT	337	90	RoHS & Green	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28384SZWTS	Samples
F28386DPTPQ	ACTIVE	HLQFP	PTP	176	40	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28386DPTPQ	Samples
F28386DPTPQR	ACTIVE	HLQFP	PTP	176	200	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28386DPTPQ	Samples
F28386DPTPS	ACTIVE	HLQFP	PTP	176	40	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28386DPTPS	Samples
F28386DZWTQ	ACTIVE	NFBGA	ZWT	337	90	RoHS & Green	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28386DZWTQ	Samples
F28386DZWTQR	ACTIVE	NFBGA	ZWT	337	1000	RoHS & Green	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28386DZWTQ	Samples
F28386DZWTS	ACTIVE	NFBGA	ZWT	337	90	RoHS & Green	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28386DZWTS	Samples
F28386SPTPQR	ACTIVE	HLQFP	PTP	176	200	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28386SPTPQ	Samples
F28386SPTPS	ACTIVE	HLQFP	PTP	176	40	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28386SPTPS	Samples
F28386SZWTS	ACTIVE	NFBGA	ZWT	337	90	RoHS & Green	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28386SZWTS	Samples
F28388DPTPS	ACTIVE	HLQFP	PTP	176	40	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28388DPTPS	Samples
F28388DPTPSR	ACTIVE	HLQFP	PTP	176	200	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28388DPTPS	Samples
F28388DZWTS	ACTIVE	NFBGA	ZWT	337	90	RoHS & Green	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28388DZWTS	Samples
F28388DZWTSR	ACTIVE	NFBGA	ZWT	337	1000	RoHS & Green	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28388DZWTS	Samples

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
F28388SPTPS	ACTIVE	HLQFP	PTP	176	40	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28388SPTPS	Samples
F28388SPTPSR	ACTIVE	HLQFP	PTP	176	200	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28388SPTPS	Samples
F28388SZWTS	ACTIVE	NFBGA	ZWT	337	90	RoHS & Green	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28388SZWTS	Samples
F28388SZWTSR	ACTIVE	NFBGA	ZWT	337	1000	RoHS & Green	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28388SZWTS	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSELETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TMS320F28384D, TMS320F28384D-Q1, TMS320F28384S, TMS320F28384S-Q1, TMS320F28386D, TMS320F28386D-Q1, TMS320F28386S, TMS320F28386S-Q1 :

- Catalog : [TMS320F28384D](#), [TMS320F28384S](#), [TMS320F28386D](#), [TMS320F28386S](#)
- Automotive : [TMS320F28384D-Q1](#), [TMS320F28384S-Q1](#), [TMS320F28386D-Q1](#), [TMS320F28386S-Q1](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE

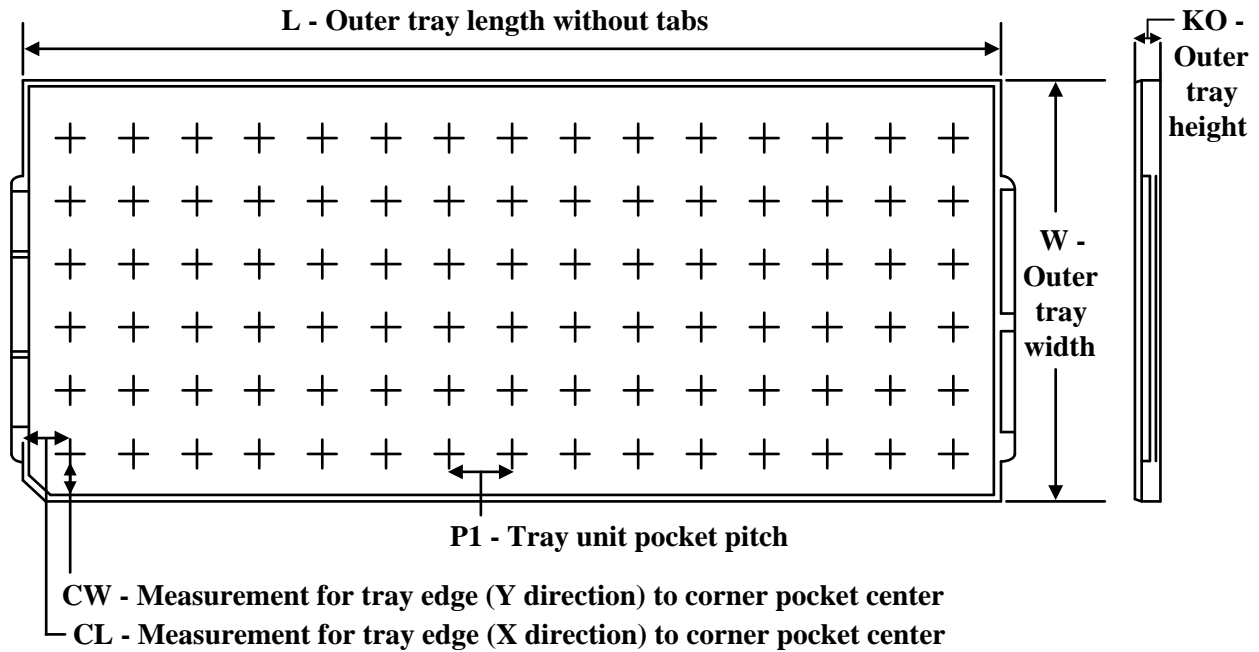

*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
F28384DPTPQR	HLQFP	PTP	176	200	330.0	44.4	26.6	26.6	2.2	36.0	44.0	Q2
F28384DZWTQR	NFBGA	ZWT	337	1000	330.0	24.4	16.35	16.35	2.35	20.0	24.0	Q1
F28384SPTPQR	HLQFP	PTP	176	200	330.0	44.4	26.6	26.6	2.2	36.0	44.0	Q2
F28386DPTPQR	HLQFP	PTP	176	200	330.0	44.4	26.6	26.6	2.2	36.0	44.0	Q2
F28386DZWTQR	NFBGA	ZWT	337	1000	330.0	24.4	16.35	16.35	2.35	20.0	24.0	Q1
F28386SPTPQR	HLQFP	PTP	176	200	330.0	44.4	26.6	26.6	2.2	36.0	44.0	Q2
F28388DPTPSR	HLQFP	PTP	176	200	330.0	44.4	26.6	26.6	2.2	36.0	44.0	Q2
F28388DZWTSR	NFBGA	ZWT	337	1000	330.0	24.4	16.35	16.35	2.35	20.0	24.0	Q1
F28388SPTPSR	HLQFP	PTP	176	200	330.0	44.4	26.6	26.6	2.2	36.0	44.0	Q2
F28388SZWTSR	NFBGA	ZWT	337	1000	330.0	24.4	16.35	16.35	2.35	20.0	24.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

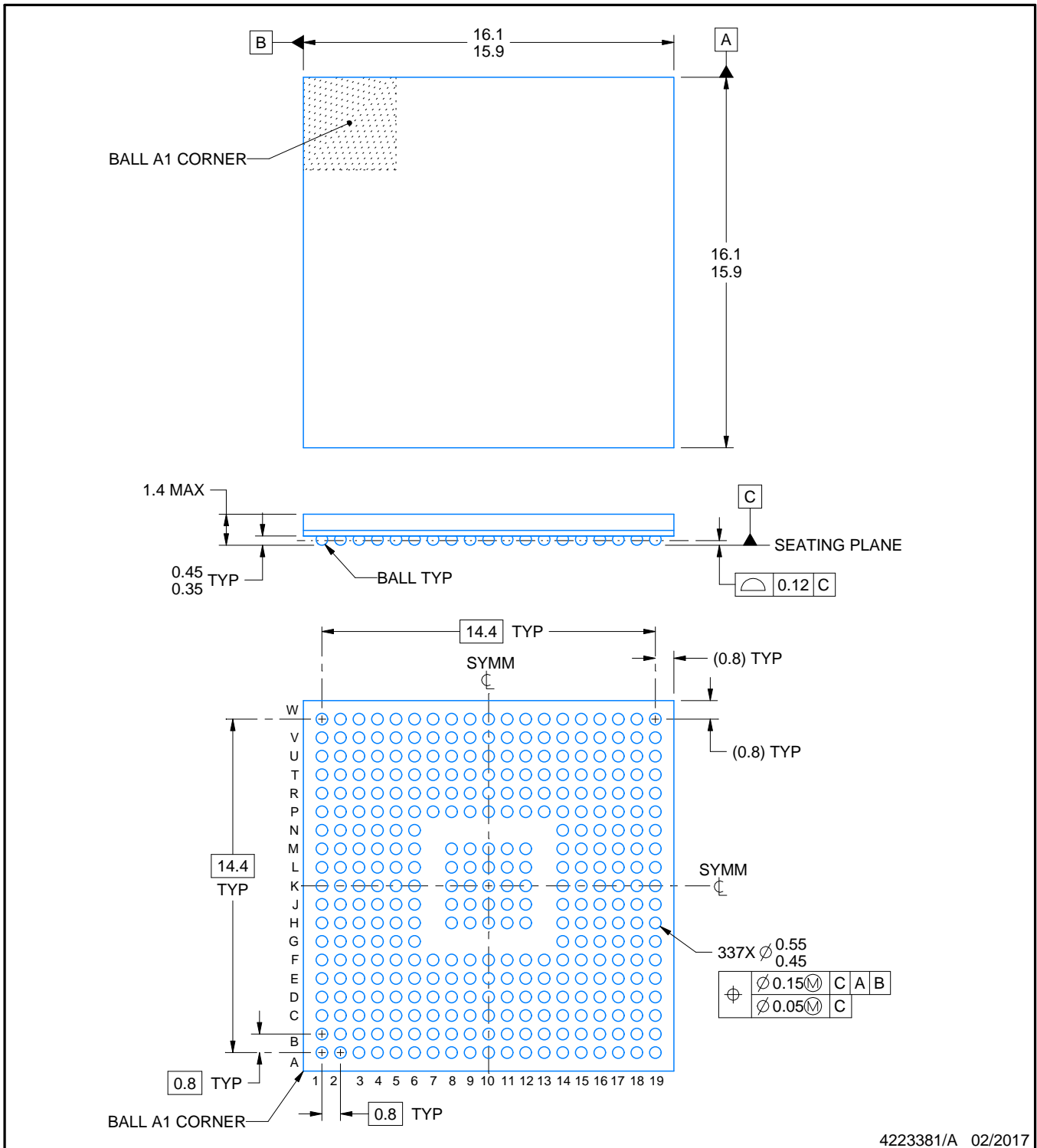
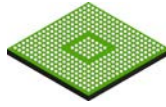
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
F28384DPTPQR	HLQFP	PTP	176	200	367.0	367.0	67.0
F28384DZWTQR	NFBGA	ZWT	337	1000	336.6	336.6	41.3
F28384SPTPQR	HLQFP	PTP	176	200	367.0	367.0	67.0
F28386DPTPQR	HLQFP	PTP	176	200	367.0	367.0	67.0
F28386DZWTQR	NFBGA	ZWT	337	1000	336.6	336.6	41.3
F28386SPTPQR	HLQFP	PTP	176	200	367.0	367.0	67.0
F28388DPTPSR	HLQFP	PTP	176	200	367.0	367.0	67.0
F28388DZWTSR	NFBGA	ZWT	337	1000	336.6	336.6	41.3
F28388SPTPSR	HLQFP	PTP	176	200	367.0	367.0	67.0
F28388SZWTSR	NFBGA	ZWT	337	1000	336.6	336.6	41.3

TRAY


Chamfer on Tray corner indicates Pin 1 orientation of packed units.

*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	Unit array matrix	Max temperature (°C)	L (mm)	W (mm)	K0 (µm)	P1 (mm)	CL (mm)	CW (mm)
F28384DPTPS	PTP	HLQFP	176	40	4x10	150	315	135.9	7620	20.7	30.4	20.7
F28384DZWTS	ZWT	NFBGA	337	90	6 X 15	150	315	135.9	7620	20	17.5	15.45
F28384SPTPS	PTP	HLQFP	176	40	4x10	150	315	135.9	7620	20.7	30.4	20.7
F28384SZWTS	ZWT	NFBGA	337	90	6 X 15	150	315	135.9	7620	20	17.5	15.45
F28386DPTPQ	PTP	HLQFP	176	40	4x10	150	315	135.9	7620	20.7	30.4	20.7
F28386DPTPS	PTP	HLQFP	176	40	4x10	150	315	135.9	7620	20.7	30.4	20.7
F28386DZWTS	ZWT	NFBGA	337	90	6 X 15	150	315	135.9	7620	20	17.5	15.45
F28386DZWTS	ZWT	NFBGA	337	90	6 X 15	150	315	135.9	7620	20	17.5	15.45
F28386SPTPS	PTP	HLQFP	176	40	4x10	150	315	135.9	7620	20.7	30.4	20.7
F28386SZWTS	ZWT	NFBGA	337	90	6 X 15	150	315	135.9	7620	20	17.5	15.45
F28388DPTPS	PTP	HLQFP	176	40	4x10	150	315	135.9	7620	20.7	30.4	20.7
F28388DZWTS	ZWT	NFBGA	337	90	6 X 15	150	315	135.9	7620	20	17.5	15.45
F28388SPTPS	PTP	HLQFP	176	40	4x10	150	315	135.9	7620	20.7	30.4	20.7
F28388SZWTS	ZWT	NFBGA	337	90	6 X 15	150	315	135.9	7620	20	17.5	15.45



NOTES:

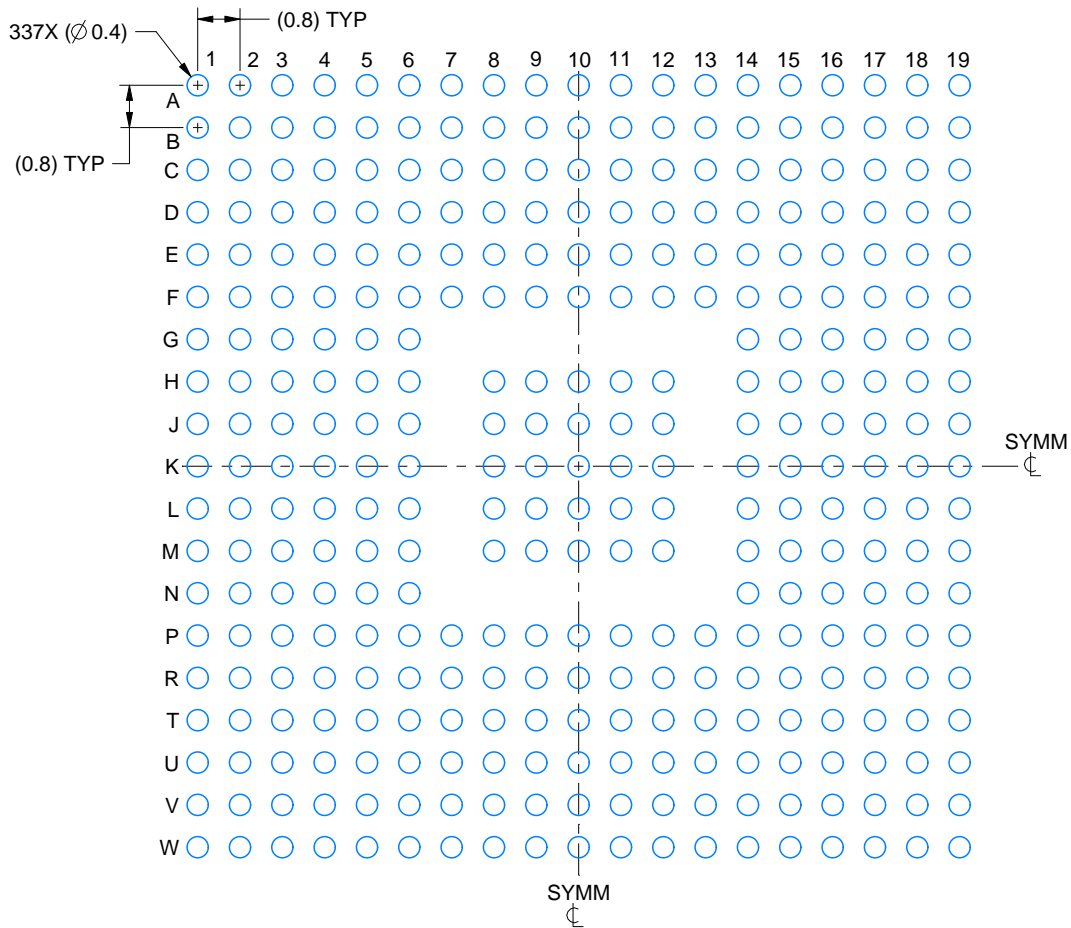
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

EXAMPLE BOARD LAYOUT

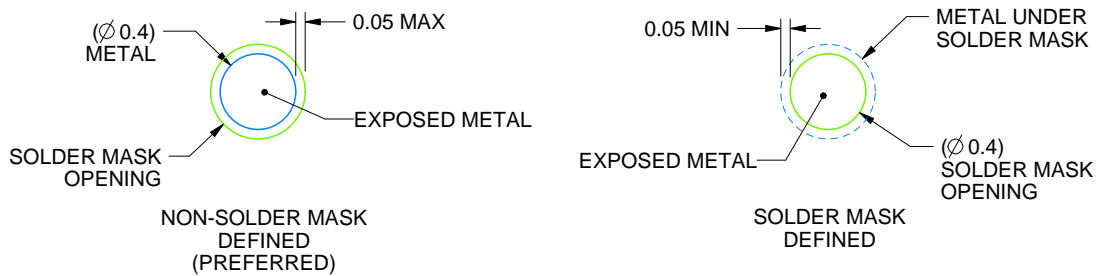
ZWT0337A

NFBGA - 1.4 mm max height

PLASTIC BALL GRID ARRAY



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:7X



SOLDER MASK DETAILS
NOT TO SCALE

4223381/A 02/2017

NOTES: (continued)

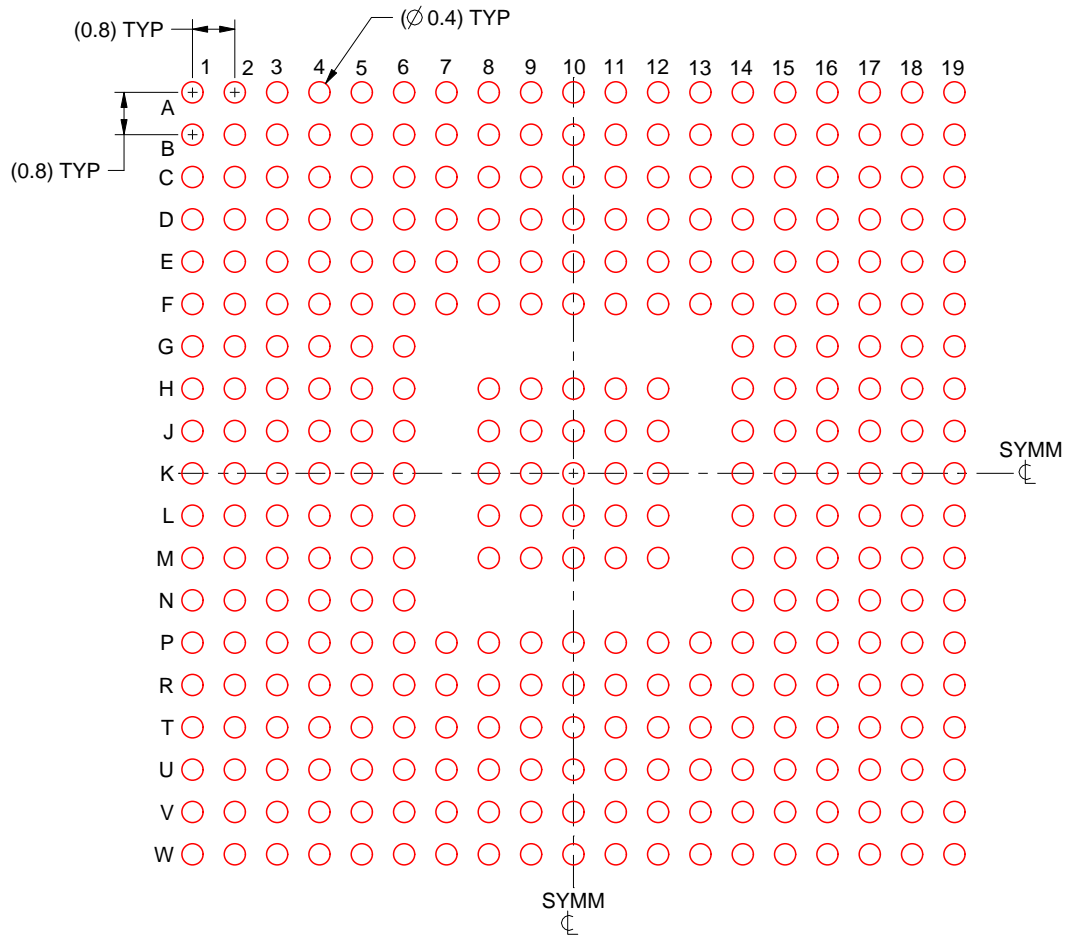
- Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. For information, see Texas Instruments literature number SPRAA99 (www.ti.com/lit/spraa99).

EXAMPLE STENCIL DESIGN

ZWT0337A

NFBGA - 1.4 mm max height

PLASTIC BALL GRID ARRAY



SOLDER PASTE EXAMPLE
BASED ON 0.15 mm THICK STENCIL
SCALE:7X

4223381/A 02/2017

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](https://www.ti.com) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2023, Texas Instruments Incorporated