

1.4W/CHステレオClass-Dオーディオ・サブシステム、 DirectPath™ヘッドホン・アンプおよび2:1入力MUX内蔵

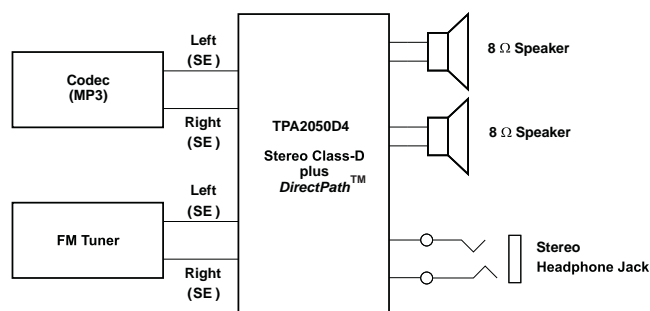
特長

- ステレオClass-Dアンプ：
 - 1.4W (8Ω負荷、電源5.0Vから) (10% THD + N)
 - 1.25W (8Ω負荷、電源5.0Vから) (1% THD + N)
- DirectPath™ステレオ・ヘッドオン・アンプ
 - 出力コンデンサが不要
- ヘッドホン・アンプ：ゲイン選択可能
- 8プログラム可能な最大ヘッドホン電圧制限
- シングルエンド入力×2、または差動ステレオ入力×1
- 2:1入力MUX：モード制御付き
- 32ステップの音量制御、両入力チャネルとも
- ヘッドホン・アンプとClass-Dアンプの独立シャットダウン
- 短絡保護と過熱保護
- ヘッドホン出力：±8kV HBM ESD保護
- I²C™インターフェイス
- 25ボール2.61mm×2.61mm WCSP

アプリケーション

- スマート・フォン/携帯電話
- ノート・パソコン
- 携帯型ゲーム
- 携帯型メディア・プレーヤー

システム・ブロック概略図



Gate Drive、PowerPAD は、テキサス・インスツルメンツの商標です。

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本 TI) が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本 TI による和文資料は、あくまでも TI 正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。TI および日本 TI は、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。

概要

TPA2050D4は、ステレオClass-Dパワー・アンプに加えてステレオDirectPath™ヘッドホン・アンプを内蔵しています。2つのステレオ・シングルエンド (SE) 入力を1つのステレオ差動入力として構成することもできます。両方の入力チャネルに32ステップの音量制御が備わり、DirectPathヘッドホン・アンプには大まかな音量調整のための4レベル・ゲイン制御があります。すべてのアンプに出力短絡保護および過熱保護機能があります。

Class-Dアンプは、5.0V電源で8Ω負荷に1.25Wを供給 (1% THD)、および3.6V電源で700mWを供給できます。DirectPathヘッドホン・アンプには出力電圧リミッタが備えられ、最大出力電力を7つの制限値のいずれかに低減することができます。電圧制限は、I²Cインターフェイスを使用してプログラムできます。

DirectPathでは、ヘッドホンに対して外部のDCブロッキング出力コンデンサを使用する必要がありません。内蔵のチャージ・ポンプにより、ヘッドホン・アンプに対して負の電源電圧が生成され、出力では0VのDCバイアスを使用できます。

DirectPathヘッドホン・アンプのゲインは、0dB (デフォルト)、-6dB、-12dB、-20dBの中からI²Cインターフェイスで選択できます。これにより、ヘッドホンとスピーカーを同時に使用するとき、ヘッドホンの音量をスピーカーの音量と異なる設定にできます。

TPA2050D4は、オーディオ・ソース選択用の2:1入力MUXを備えています。このMUXには、入力から出力への信号パスを決定するモード制御があります。モードおよびゲインの制御は、1.8V対応のI²Cインターフェイスで動作します。

Class-Dアンプとヘッドホン・チャージ・ポンプの電源電圧範囲は、ともに2.5V ~ 5.5Vです。Class-Dアンプの無信号時電流は合計で7mA (typ)、ヘッドホン・アンプは10mA (typ) です。合計消費電流は2μA未満まで低減できます。

TPA2050D4YZKは、25ボールの2.61mm×2.61mm WCSPパッケージで供給されます。



静電気放電対策

静電気放電はわずかな性能の低下から完全なデバイスの故障に至るまで、様々な損傷を与えます。すべての集積回路は、適切なESD保護方法を用いて、取扱いと保存を行うようにして下さい。高精度の集積回路は、損傷に対して敏感であり、極めてわずかなパラメータの変化により、デバイスに規定された仕様に適合しなくなる場合があります。

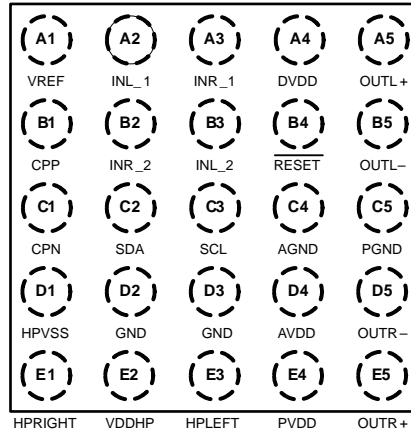
製品情報

動作温度	パッケージ (1)	製品型番 (2)
-40°C to 85°C	25ボール、2.61 mm×2.61 mm WCSP (+0.01/-0.09mm公差)	TPA2050D4YZKR
	25ボール、2.61 mm×2.61 mm WCSP (+0.01/-0.09mm公差)	TPA2050D4YZKT

(1) 最新のパッケージおよび製品情報については、このドキュメントの巻末にある「付録：パッケージ・オプション」を参照するか、またはTIのWebサイト (www.ti.comまたはwww.tij.co.jp) をご覧ください。

(2) YZKパッケージはテープ/リールでのみ供給されます。1リールあたり3000個の供給の場合は、部品番号の末尾にRを追加します。1リールあたり250個の供給の場合は、部品番号の末尾にTを追加します。

ピン配置



機能ブロック図

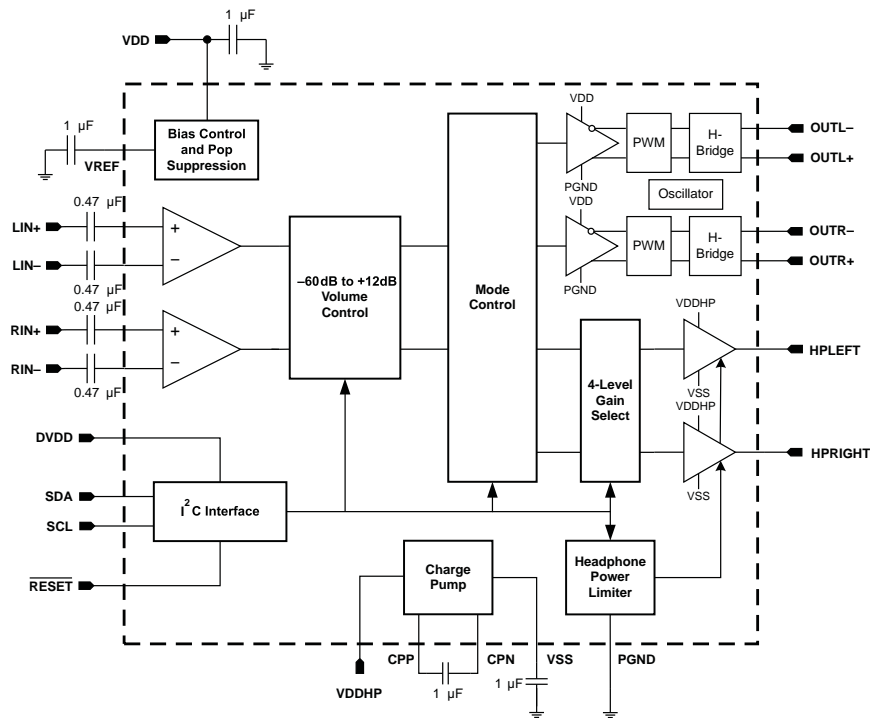


図 1. 差動入力モード

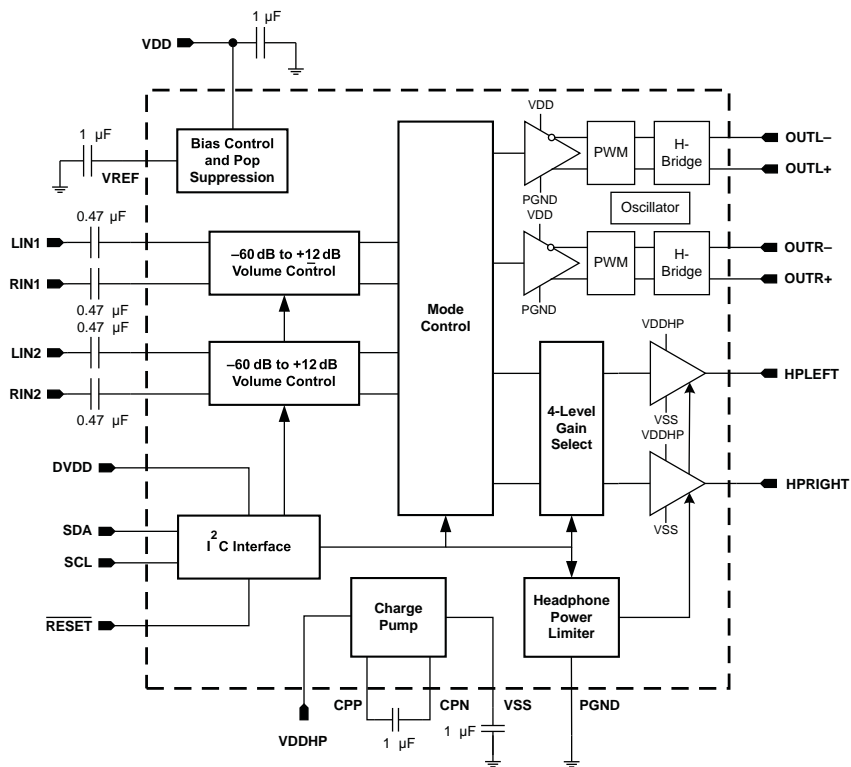


図 2. シングルエンド (SE) 入力モード

ピン構成

ピン		入力/出力/電源 (I/O/P)	説明
名称	ボール WCSP		
OUTL+	A5	O	左スピーカーの正出力。スピーカの+端子に接続します。
DVDD	A4	P	I2C電源電圧。1.8Vデジタル電源に接続します。
INR_1	A3	I	チャンネル1の右側入力 (SE入力モード) / 左側-入力 (差動入力モード)。使用しない場合は、0.47 μ Fのコンデンサを介してグラウンドに接続します。
INL_1	A2	I	チャンネル1の左側入力 (SE入力モード) / 左側+入力 (差動入力モード)。使用しない場合は、0.47 μ Fのコンデンサを介してグラウンドに接続します。
VREF	A1	I	1.65Vリファレンス電圧。1 μ Fのコンデンサを介してグラウンドに接続します。
OUTL-	B5	O	左スピーカーの負出力。スピーカの端子に接続します。
RESET	B4	I	"Low" にするとデバイスがシャットダウンされ、すべてのI2Cレジスタがデフォルト状態に戻ります。RESET が "High" に戻るまで、I2Cはプログラムできません。
INL_2	B3	I	チャンネル2の左側入力 (SE入力モード) / 右側+入力 (差動入力モード)。使用しない場合は、0.47 μ Fのコンデンサを介してグラウンドに接続します。
INR_2	B2	I	チャンネル2の右側入力 (SE入力モード) / 右側-入力 (差動入力モード)。使用しない場合は、0.47 μ Fのコンデンサを介してグラウンドに接続します。
CPP	B1	P	チャージ・ポンプのフライング・コンデンサの正端子。CPP-CPN間のコンデンサの正側を接続します。
PGND	C5	P	Class-Dグラウンド。グラウンドに接続します。
AGND	C4	P	アナログ・グラウンド。グラウンドに接続します。
SCL	C3	I/O	I2Cクロック入力
SDA	C2	I/O	I2Cデータ入力
CPN	C1	P	チャージ・ポンプのフライング・コンデンサの負端子。CPP-CPN間のコンデンサの負側を接続します。
OUTR-	D5	O	右スピーカーの負出力。スピーカの-端子に接続します。
AVDD	D4	P	電源電圧
GND	D3	I	グラウンドに接続します。
GND	D2	I	グラウンドに接続します。
HPVSS	D1	P	チャージ・ポンプで生成される負電源。 電圧リップルを低減するため、1 μ Fのコンデンサを介してグラウンドに接続します。
OUTR+	E5	O	右スピーカの正出力。スピーカの+端子に接続します。
PVDD	E4	P	電源電圧
HPLEFT	E3	O	ヘッドホン左チャンネル出力
VDDHP	E2	P	ヘッドホン・チャージ・ポンプ電源
HPRIGHT	E1	O	ヘッドホン右チャンネル出力

絶対最大定格⁽¹⁾

		値	単位
電源電圧	VDDHP, PVDD, AVDD	-0.3 ~ 6.0	V
	DVDD	-0.3 ~ 3.6	V
V _I 入力電圧	INL_1, INL_2, INR_1, INR_2	-0.3 ~ VDD + 0.3	V
	SDA, SCL, $\overline{\text{RESET}}$	-0.3 ~ DVDD + 0.3	V
連続全消費電力		パッケージ許容損失を参照	
T _A 動作温度範囲		-40 ~ 85	°C
T _J 動作接合部温度範囲		-40 ~ 150	°C
T _{stg} 保存温度範囲		-65 ~ 150	°C
ESD 静電気放電、HBM HPLEFTおよびHPRIGHT	OUTL+, OUTL-, OUTR+, OUTR-	2 k	V
	HPLEFT and HPRIGHT	8 k	V
リード温度、ケースから1.6 mm (1/16インチ)、10秒間		260	°C

(1) 絶対最大定格以上のストレスは、致命的なダメージを製品に与えることがあります。これはストレスの定格のみについて示してあり、このデータシートの「推奨動作条件」に示された値を越える状態での本製品の機能動作は含まれていません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。

パッケージ許容損失

パッケージ	T _A < 25°C 許容損失	ディレーティング係数	T _A = 70°C 許容損失	T _A = 85°C 許容損失
YZK (WCSP)	1.12 W	9 mW/°C	720 mW	585 mW

推奨動作条件

動作温度範囲内（特に記述のない限り）

		MIN	MAX	単位
PVDD (Class-D電源電圧)		2.5	5.5	V
VDDHP (チャージ・ポンプ電源電圧)		2.5	5.5	V
DVDD (I2C電源電圧)		1.7	1.95	V
V _{IH}	“High” レベル入力電圧 SDA, SCL, $\overline{\text{RESET}}$	1.3		V
V _{IL}	“Low” レベル入力電圧 SDA, SCL, $\overline{\text{RESET}}$		0.3	V
T _A	動作温度	-40	85	°C

電気的特性

T_A=25°C（特に記述のない限り）

パラメータ	測定条件	MIN	TYP	MAX	単位
DC電源除去比(Class-Dアンプ)	V _{DD} = 2.5 V ~ 5.5 V、シングルエンド・モード	48	75		dB
DC電源除去比(ヘッドホン・アンプ)	V _{DD} = 2.5 V ~ 5.5 V、シングルエンド・モード	60	80		dB
“High” レベル入力電流 (SDA, SCL, $\overline{\text{RESET}}$)				1	μA
“Low” レベル入力電流 (SDA, SCL, $\overline{\text{RESET}}$)				1	μA
電源電流	V _{DD} = 5.5 V、Class-Dおよびヘッドホン・アンプがアクティブ、無負荷		15.8	20	mA
	V _{DD} = 4.2 V、Class-Dがアクティブ、ヘッドホンが非アクティブ、無負荷		7.5	10.5	mA
	V _{DD} = 4.2 V、ヘッドホンがアクティブ、Class-Dが非アクティブ、無負荷		10	13.5	mA
	V _{DD} = 2.5 V ~ 5.5 V、SWS=1 または $\overline{\text{RESET}} \leq 0.3$ V (シャットダウン・モード)		0.15	2	μA

タイミング特性

推奨動作条件でのI²Cインターフェイス信号（特に記述のない限り）

パラメータ		測定条件	MIN	TYP	MAX	単位
f _{SCLN}	周波数、SCL	ウェイトなし			400	kHz
t _{w(H)}	パルス幅、SCL “High”		0.6			μs
t _{w(L)}	パルス幅、SCL “Low”		1.3			μs
t _{su1}	セットアップ時間、SDA～SCL		100			ns
t _{h1}	ホールド時間、SCL～SDA		10			ns
t _(buf)	ストップ条件とスタート条件間のバス解放時間		1.3			μs
t _{su2}	セットアップ時間、SCL～スタート条件		0.6			μs
t _{h2}	ホールド時間、スタート条件～SCL		0.6			μs
t _{su3}	セットアップ時間、SCL～ストップ条件		0.6			μs

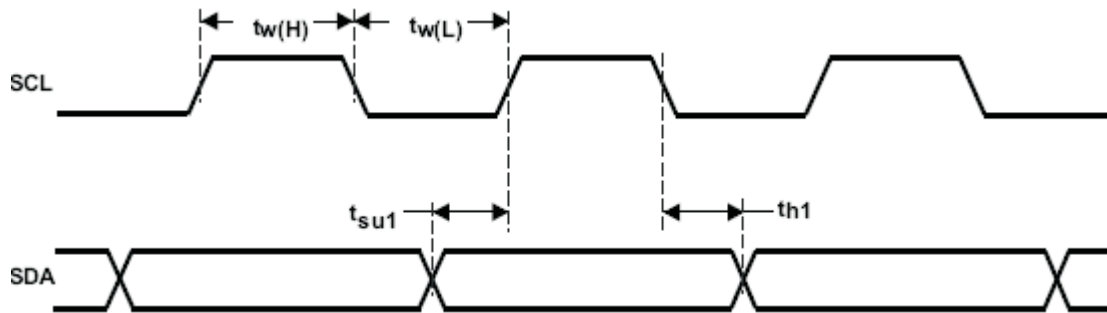


図 3. SCL と SDA のタイミング

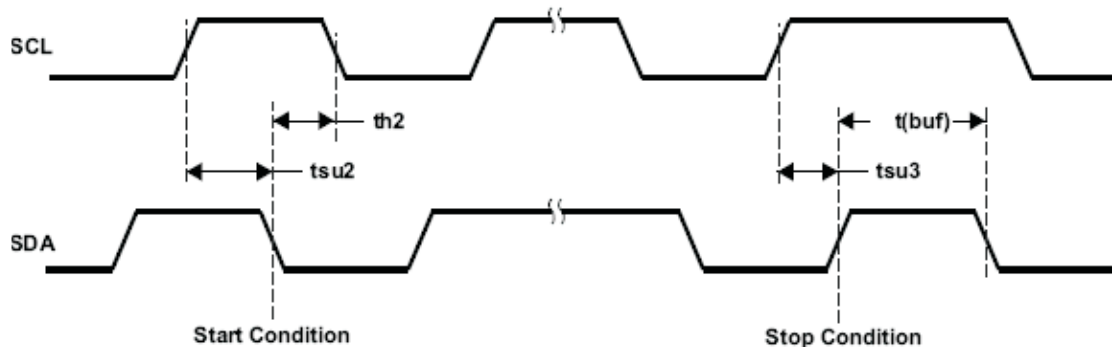


図 4. スタートおよびストップ条件のタイミング

デバイスのリセット

$\overline{\text{RESET}}$ ピンを“Low”にすると、TPA2050D4が非アクティブになり、すべてのI²Cレジスタがデフォルト状態に戻ります。これにより、LIM_Lockビットが“Low”にクリアされ、ヘッドホン出力のリミッタ・バイトが変更可能になります。デフォルト状態の一覧については、「レジスタ・マップ」を参照してください。 $\overline{\text{RESET}}$ が“High”に戻るまで、I²Cレジスタはプログラムできません。リセット・コマンドが有効になるためには、 $\overline{\text{RESET}}$ を1ms以上“Low”に保持する必要があります。

起動時には、DVDDとVDDHPの電圧が安定し、DVDDが1.7V以上になったことを確認してから、 $\overline{\text{RESET}}$ を“High”にしてください。TPA2050D4はソフト・シャットダウン・モード（SWSビットが“High”）で起動します。

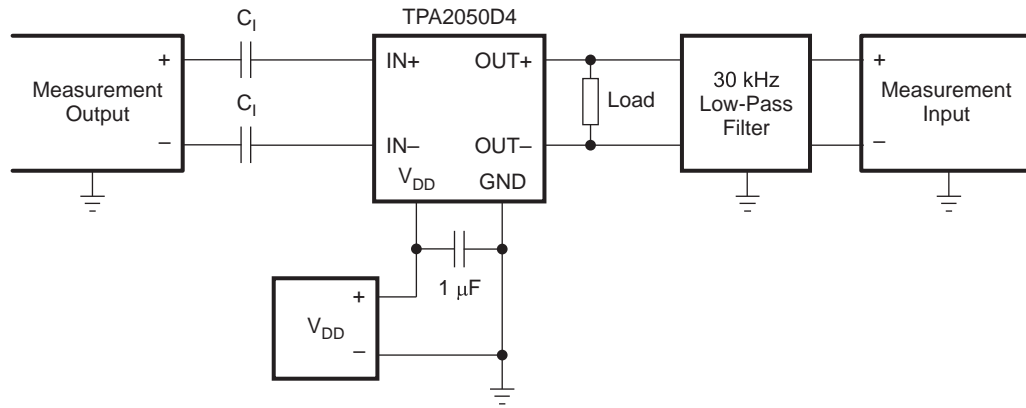
動作特性

$V_{DD}=3.6\text{ V}$ 、 $T_A=25^\circ\text{C}$ 、 $R_{SPEAKER}=8\Omega+33\mu\text{H}$ 、 $R_{HEADPHONES}=16\Omega$ 、音量=6 dB、HPゲイン=0 dB、MODE[2:0]=001（シングルエンド・モード）です（特に記述のない限り）。

パラメータ		測定条件	MIN	TYP	MAX	単位
パワー・アンプ						
P _O	スピーカー出力電力	THD = 1%, V _{DD} = 3.6 V, f = 1 kHz		700		mW
		THD = 10%, V _{DD} = 3.6 V, f = 1 kHz		860		mW
		THD = 1%, V _{DD} = 4.2 V, f = 1 kHz		940		mW
V _{OS}	オフセット電圧	V _{DD} = 5.5 V、Volume = 0 dB	-13	5	13	mV
	シャットダウン時の出力インピーダンス			2		kΩ
SNR	信号対雑音比	P _O = 600 mW;		90		dB
E _n	ノイズ出力電圧	Volume = 0 dB; A-ウェイト		19.4		μV _{RMS}
THD+N	全高調波歪+ノイズ	V _{DD} = 5.0 V, P _O = 1 W, f = 1 kHz		0.22		%
		V _{DD} = 3.6 V, P _O = 0.6 W, f = 1 kHz		0.27		%
k _{SVR}	AC電源除去比	200 mV _{pp} リップル、f = 217 Hz、Volume = 0 dB		-77.7		dB
		200 mV _{pp} リップル、f = 4 kHz、Volume = 0 dB		-60.3		dB
	過熱シャットダウン	スレッショールド		155		°C
		ヒステリシス		35		°C
	出力短絡保護			2.4		A
f _{CLK}	Class-Dスイッチング周波数		250	300	350	kHz
ΔA _V	ゲイン・マッチング	左右チャンネル間		0.1		dB
ヘッドホン・アンプ						
P _O	ヘッドホン出力電力 ⁽¹⁾ (出力が同相)	THD = 1%, V _{DD} = 5.0 V, HP_Vout[2:0] = 000		145		mW
		THD = 1%, V _{DD} = 3.0 V, HP_Vout[2:0] = 000		79		
V _O	最大ヘッドホン出力電圧	THD = 10 %, HP_VOUT[2:0] = 111		0.14		V _{RMS}
		THD = 10 %, HP_VOUT[2:0] = 100		0.23		
V _{OS}	オフセット電圧	V _{DD} = 5.5 V, Volume = 0 dB	-3.5	0.5	3.5	mV
	シャットダウン時の出力インピーダンス			30		Ω
SNR	信号対雑音比	P _O = 50 mW;		90		dB
E _n	ノイズ出力電圧	Volume = 0 dB; ウェイト、V _{DD} = 5.0 V		12		μV _{RMS}
THD+N	全高調波歪+ノイズ ⁽¹⁾	16Ω負荷に対してP _O = 20 mW、V _{DD} = 3.6 V、f = 1kHz		0.005		%
		32Ω負荷に対してP _O = 50 mW、V _{DD} = 5.0 V、f = 1kHz		0.0067		%
k _{SVR}	AC電源除去比	200mV _{pp} リップル、f = 217 Hz、Volume = 0 dB		-78.5		dB
		200mV _{pp} リップル、f = 4 kHz、Volume = 0 dB		-75.6		dB
	出力短絡保護			200		mA
f _{OSC}	チャージ・ポンプのスイッチング周波数			300		kHz
ΔA _V	ゲイン・マッチング	左右チャンネル間		0.1		dB
入力部						
R _{IN}	入力インピーダンス	Volume = 12 dB	11	14.7		kΩ
V _{REF}	リファレンス電圧	V _{DD} = 3.6 V、すべてアクティブ・モード		1.65		V
	シャットダウンからのスタートアップ時間			8.25		ms

(1) チャンネル当り出力

特性グラフの測定回路



- (1) すべての測定は $C_1=1\mu\text{F}$ で行っています (特に記述のない限り)。
- (2) 効率の測定では、 $33\mu\text{H}$ のインダクタを負荷抵抗と直列接続して、小型スピーカ-の代用にしました。
- (3) 30kHzのローパス・フィルタは、アナライザにローパス・フィルタが内蔵されている場合も必要です。データ・シートのグラフでは、RCローパス・フィルタ ($1\text{k}\Omega$ 、 4.7nF) を各出力で使用しています。

代表的特性

$C_{IN} = 1\mu F, C_{bypass} = 1\mu F$

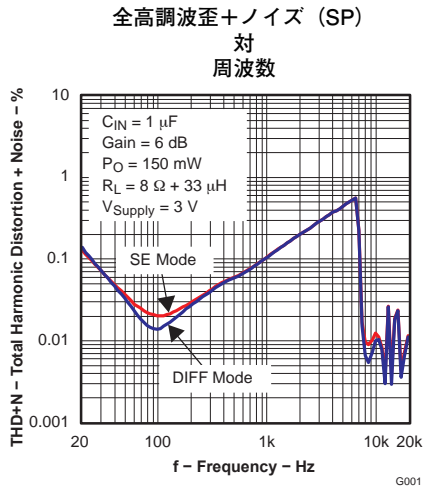


図6

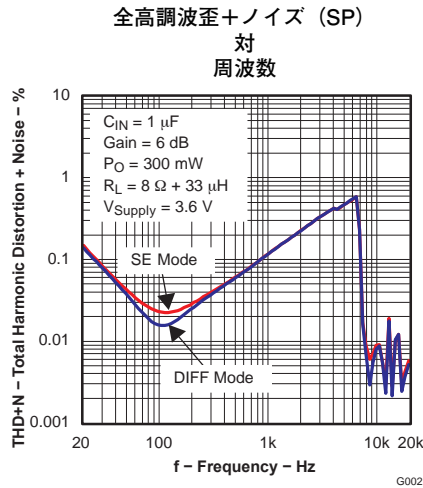


図7

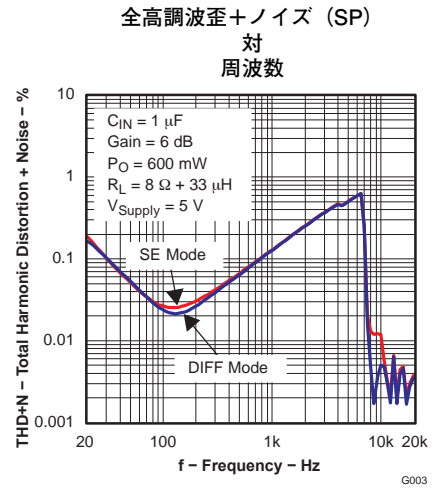


図8

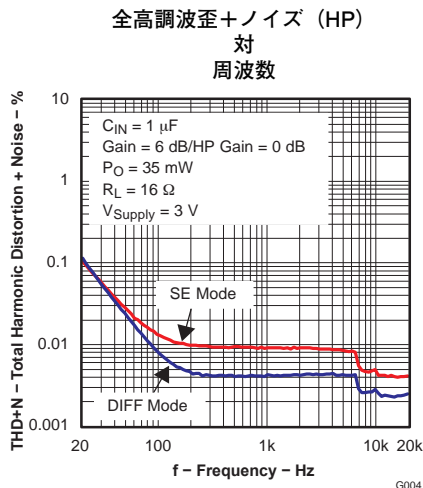


図9

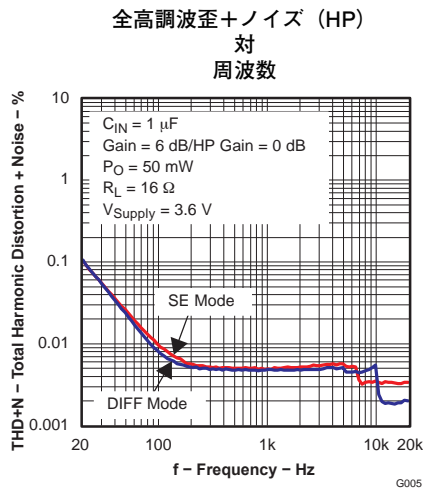


図10

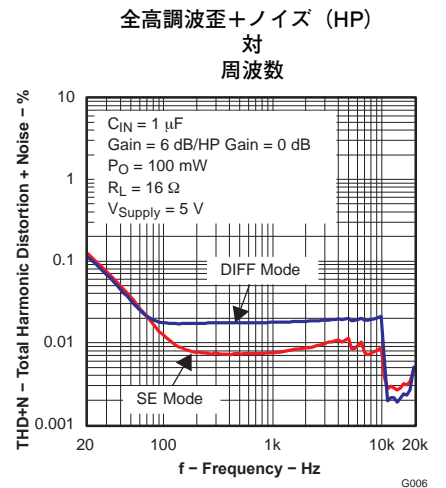


図11

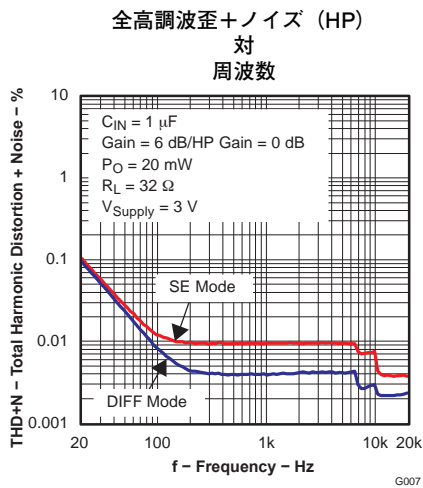


図12

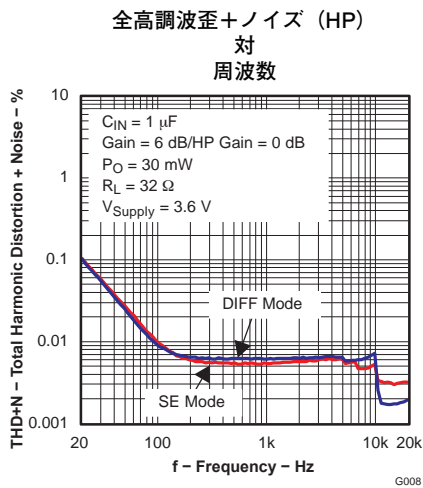


図13

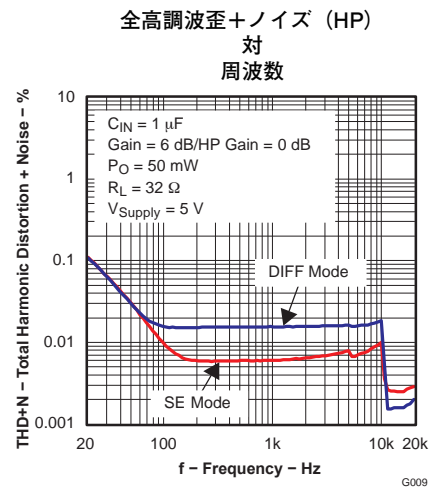


図14

代表的特性 (続き)

$C_I = 1\mu\text{F}$, $C_{\text{bypass}} = 1\mu\text{F}$

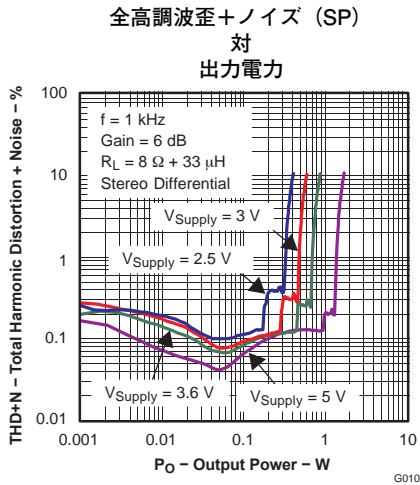


図15

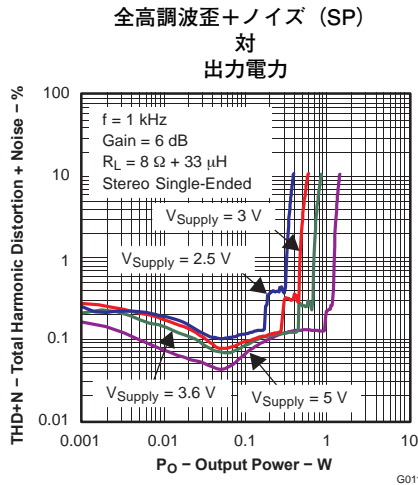


図16

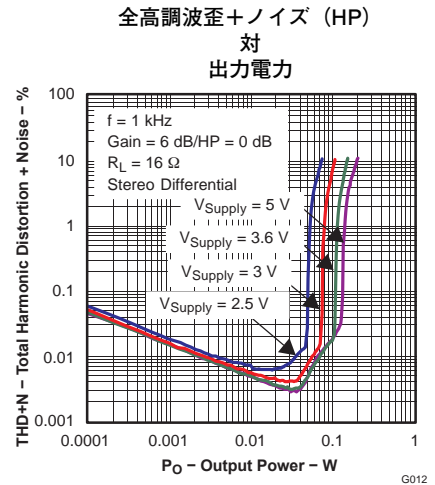


図17

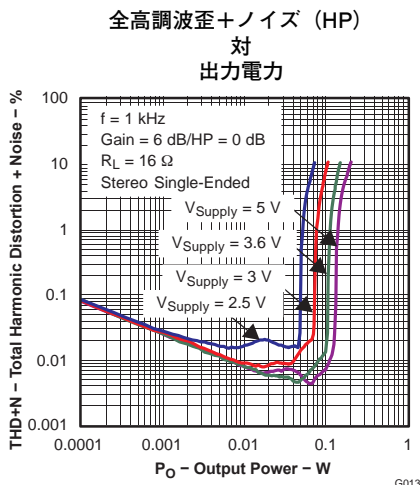


図18

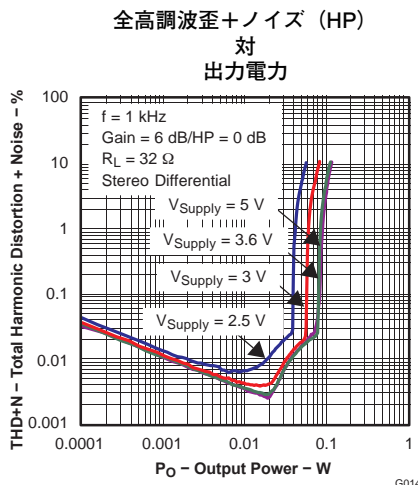


図19

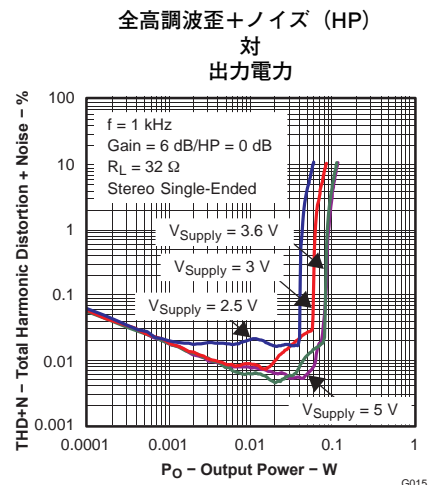


図20

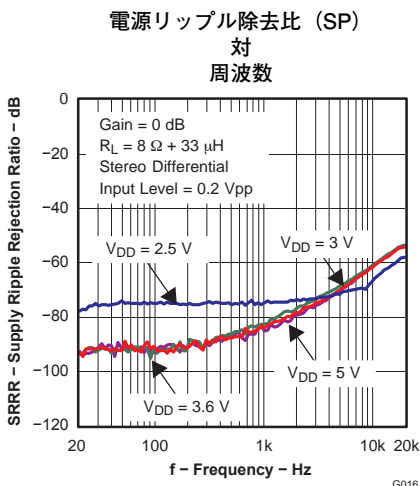


図21

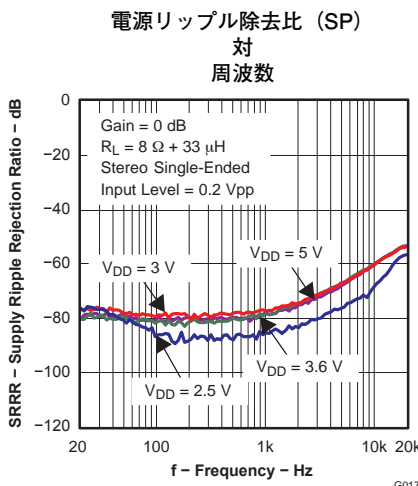


図22

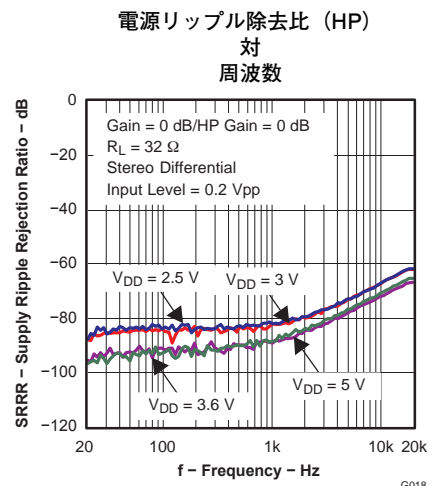


図23

代表的特性 (続き)

$C_I = 1\mu\text{F}$, $C_{\text{bypass}} = 1\mu\text{F}$

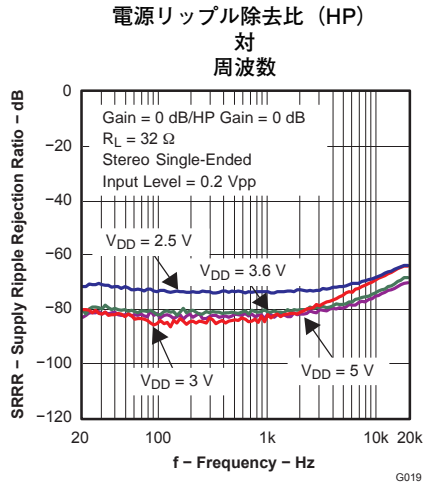


図24

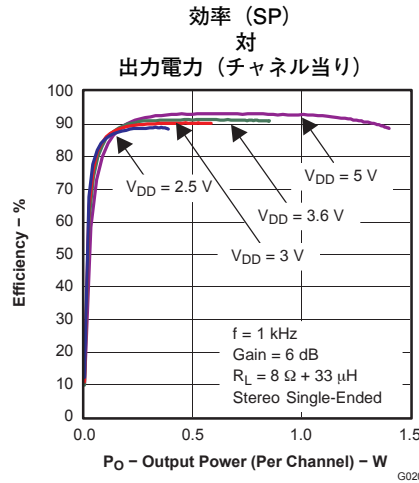


図25

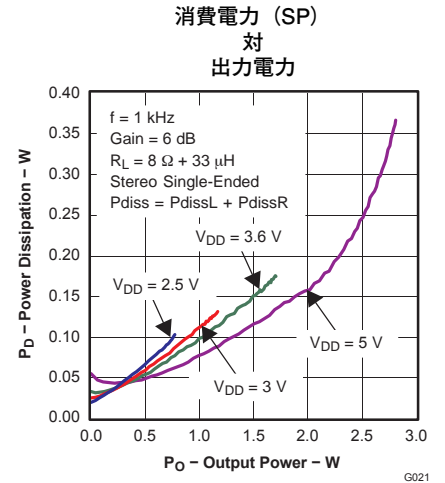


図26

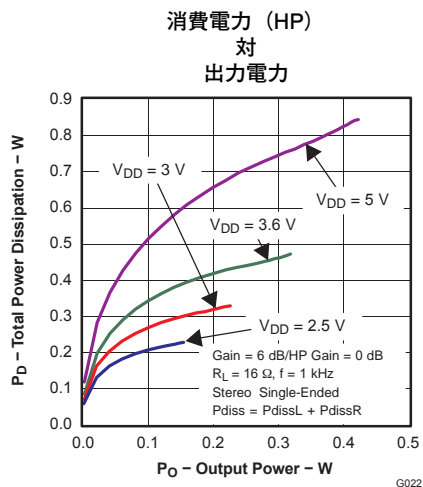


図27

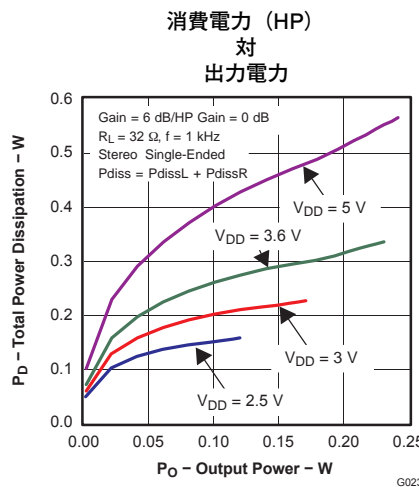


図28

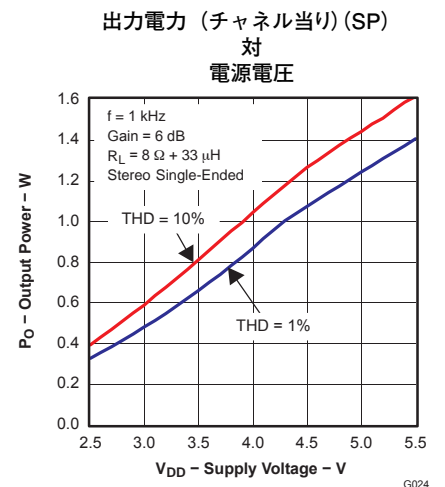


図29

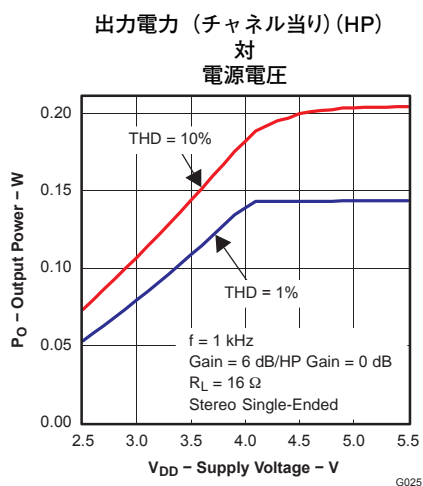


図30

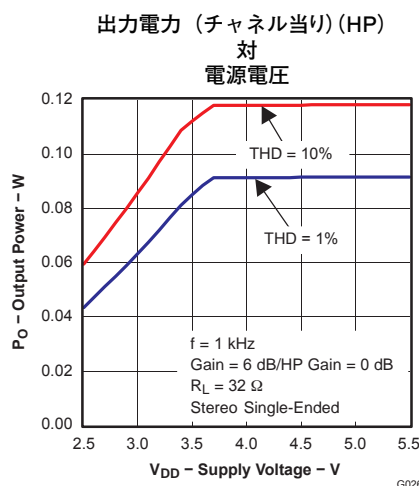


図31

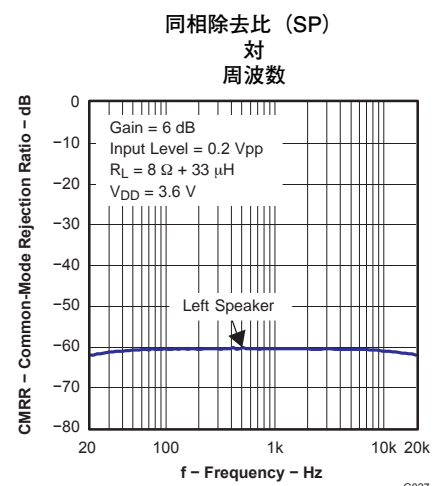


図32

代表的特性 (続き)

$C_I = 1\mu\text{F}$, $C_{\text{bypass}} = 1\mu\text{F}$

同相除去比 (HP)
対
周波数

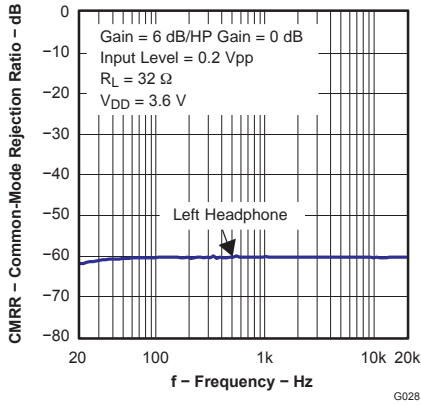


図33

電源電流
対
電源電圧

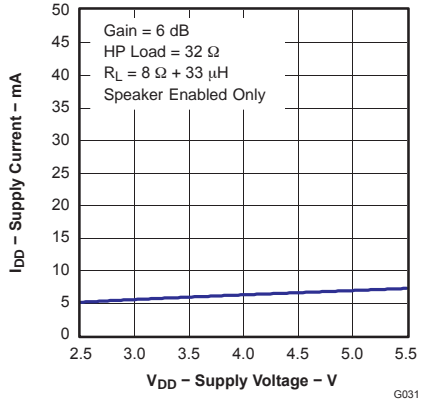


図36

クロストーク (SP)
対
周波数

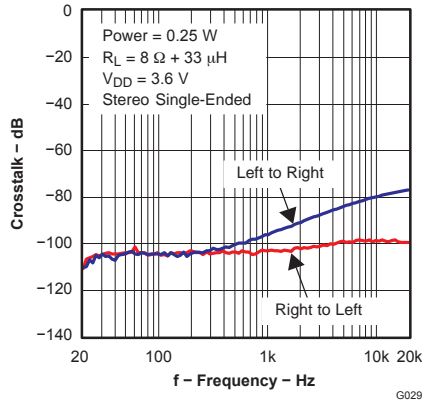


図34

電源電流
対
電源電圧

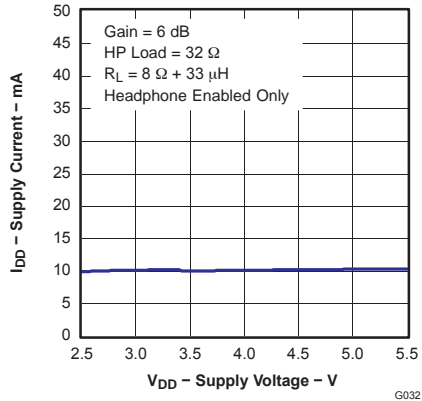


図37

クロストーク (HP)
対
周波数

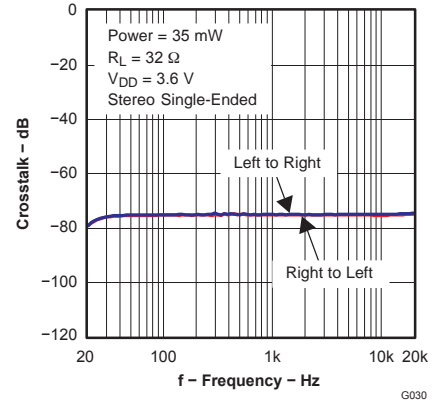


図35

電源電流
対
電源電圧

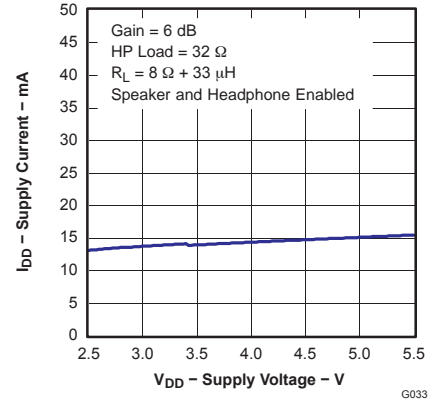
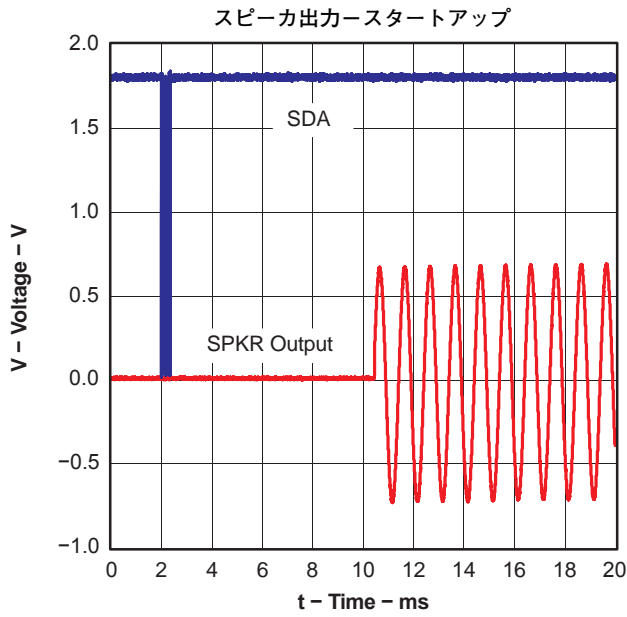


図38

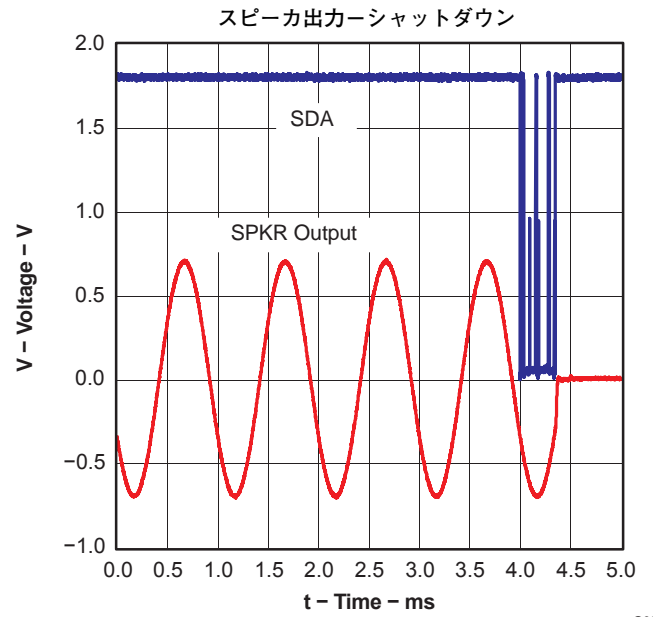
代表的特性 (続き)

$C_1 = 1\mu\text{F}$, $C_{\text{bypass}} = 1\mu\text{F}$



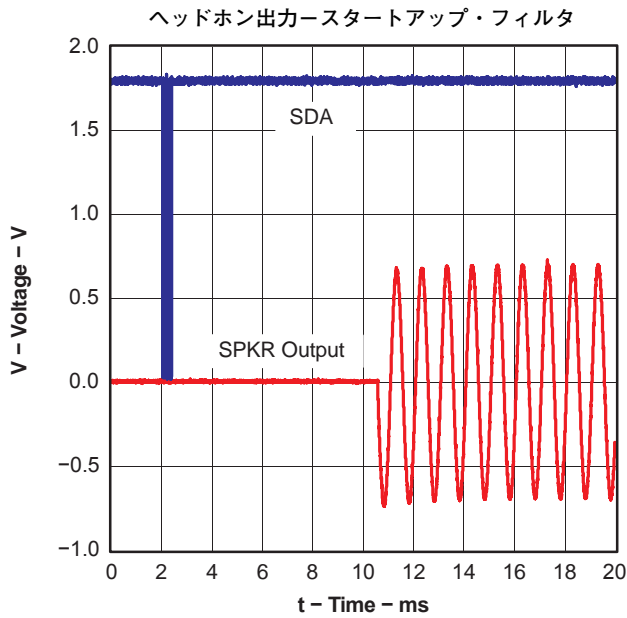
G034

図39



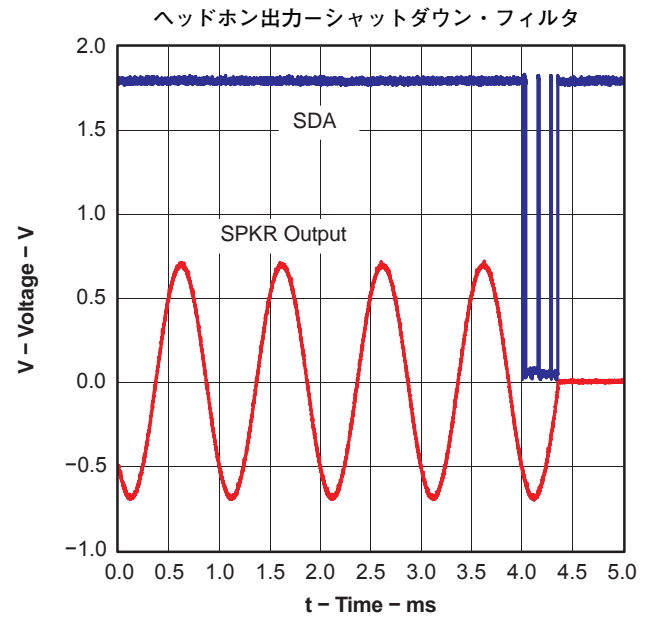
G035

図40



G036

図41



G037

図42

詳細説明

一般的なI²Cの動作

I²CバスはSDA（データ）とSCL（クロック）の2本の信号線を使用して、システム内でIC間の通信を行います。データはバス上に1ビットずつシリアルに送信されます。アドレスとデータはバイト（8ビット）形式で転送され、最上位ビット（MSB）から送信されます。さらに、バス上に転送された各バイトは、受信デバイスで認識され、アクノリッジ・ビットとして出力されます。マスター・デバイスがバス上でスタート・コンディションを生成すると、転送動作が開始されます。また、マスター・デバイスがバス上でストップ・コンディションを生成すると、転送動作が停止されます。バスは、クロック（SCL）が“High”のとき、データ（SDA）の変化の状況によりスタート・コンディションとストップ・コンディションが示されます。SDAの“High”から“Low”への変化はスタート・コンディションを示し、“Low”から“High”への変化はストップ・コンディションを示します。通常、データ・ビットが変化するのは、クロック（SCL）が“Low”のときです。これらの条件は図43に示されています。マスターは7ビットのスレーブ・アドレスを生成し、リード／ライト・ビット（R/W）を使用して他のデバイスとの通信を開始します。次に、アクノリッジを待ちます。TPA2050D4はアクノリッジとして1クロック分、SDAを“Low”に保持し、アクノリッジを示します。これにより、マスターは順に次のバイトを送信します。各デバイスのアドレスは、ユニークな7ビットのスレーブ・アドレスとR/Wビットの8ビット（1バイト）で表します。互換性のあるすべてのデバイスは、ワイヤードAND接続を使用した双方向バスを通る同じシグナルを共有します。

バスのSDA信号線とSCL信号線のレベルを“High”にするために、外部プルアップ抵抗を使用する必要があります。バスのレベルが5Vの場合、1k Ω ～2k Ω の抵抗でプル・アップします。

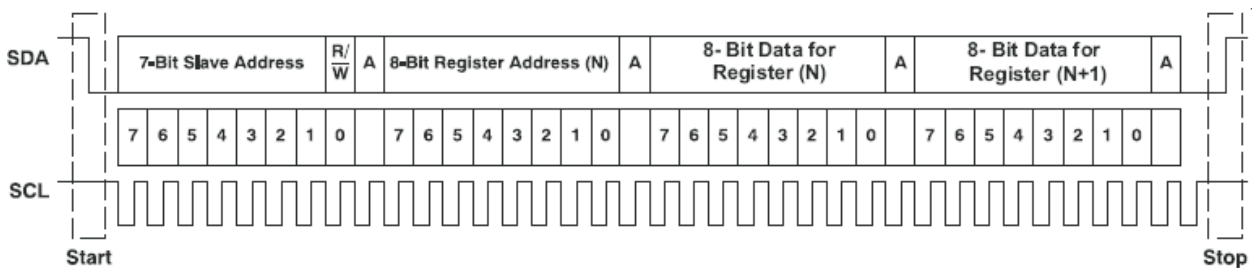


図 43. 一般的な I²C シーケンス

スタート・コンディションとストップ・コンディションの間で送信されるバイト数に制限はありません。最後のワードが転送されると、マスターはストップ・コンディションを生成し、バスが解放します。一般的なデータの転送シーケンスは、図43に示されています。

シングル・バイトとマルチ・バイトの転送

シリアル制御インターフェイスは、すべてのレジスタに対して、シングル・バイトとマルチ・バイト共、リード／ライト動作をサポートします。マルチ・バイト読み取り動作は、TPA2050D4が指定されたレジスタから1バイトずつ応答し、マスター・デバイスからアクノリッジ応答がある限り続けます。

TPA2050D4はI²Cアドレスの順次割り当てをサポートします。書き込み動作は、指定したレジスタと、残りのすべてのレジスタに対するデータが続く場合、I²C順次書き込みトランザクションが実行されます。I²C順次書き込みランザクションでは、指定されたレジスタからストップまたはスタートが発行されるまでに送信されたデータの量によって、書き込まれたレジスタの数を特定することができます。

シングル・バイトの書き込み

図44に示されているように、マスター・デバイスがスタート・コンディションを生成すると、シングル・バイト・データの書き込み転送が開始され、続いてI²Cデバイス・アドレスとR/Wビットが送信されます。データ転送方向は、R/Wビットによって決定されます。書き込みデータ転送を実行するには、R/Wビットを0にします。TPA2050D4は、正しいI²Cデバイス・アドレスとR/Wビットを受信すると、アクノリッジ・ビットを送信します。次に、マスター・デバイスは、アクセス中のTPA2050D4内部メモリ・アドレスに対応するレジスタ・バイトを送信します。TPA2050D4は、レジスタ・バイトを受信すると、再度アクノリッジ・ビットで応答します。次に、マスター・デバイスは、アクセス中のメモリ・アドレスに書き込むデータ・バイトを送信します。TPA2050D4はデータ・バイトを受信すると、再度アクノリッジ・ビットで応答します。最後に、マスター・デバイスがストップ・コンディションを送信すると、シングル・バイト・データの書き込み転送が完了します。

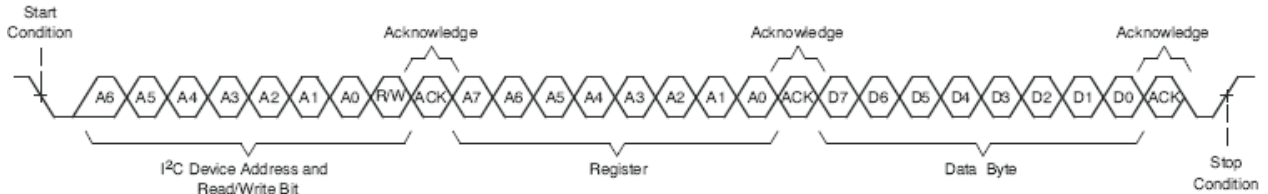


図 44. シングルバイトの書き込み転送

マルチ・バイトの書き込みとインクリメント・マルチ・バイトの書き込み

マルチ・バイト・データの書き込み転送は、シングル・バイト・データの書き込み転送とほとんど同じですが、図45に示されているように、マスター・デバイスからTPA2050D4に複数のデータ・バイトが送信される点が異なります。TPA2050D4は、受信した各データ・バイトに対してアクノリッジ・ビットで応答します。

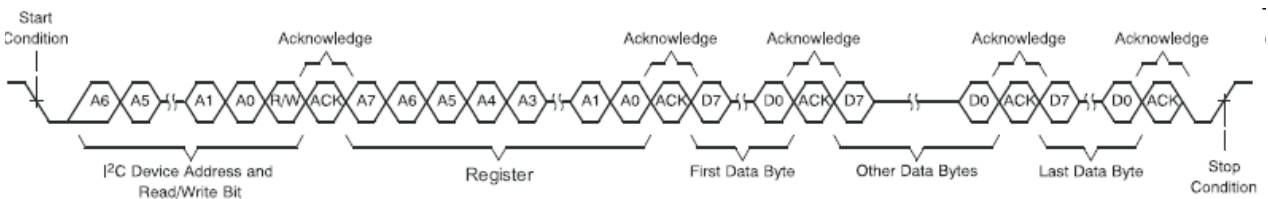
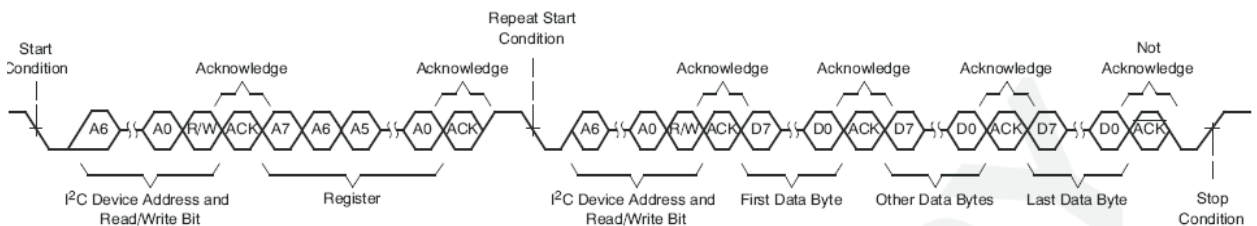


図 45. マルチバイトの書き込み転送

シングル・バイト読み取り

図46に示されているように、マスター・デバイスがスタート・コンディションを発行すると、シングル・バイト・データの読み取り転送が開始され、続いてI²Cデバイス・アドレスとR/Wビットが送信されます。データの読み取り転送では、実際には書き込みの後に読み取りも実行されます。最初に、内部メモリ・アドレスの読み取りに必要なアドレス・バイトを転送するために、書き込みが実行されます。この結果、R/Wビットは0に設定されます。

TPA2050D4は、TPA2050D4アドレスとR/Wビットを受信すると、アクノリッジ・ビットで応答します。次に、マスター・デバイスが内部メモリ・アドレス・バイトを送信すると、TPA2050D4はアクノリッジ・ビットを送信します。マスター・デバイスは再度、別のスタート・コンディションに続いて、TPA2050D4アドレス、R/Wビットを順に送信します。このとき、R/Wビットは1に設定され、読み取り転送が実行されることを示します。次に、TPA2050D4は読み取り中のメモリ・アドレスからデータ・バイトを送信します。マスター・デバイスがデータ・バイトを受信すると、ノット・アクノリッジとストップ・コンディションを順番に送信し、シングル・バイト・データの読み取り転送が完了します。



マルチ・バイト読み取り

マルチ・バイト・データの読み取り転送は、シングル・バイト・データの読み取り転送とほとんど同じですが、図47に示されているように、TPA2050D4からマスター・デバイスに複数のデータ・バイトが送信される点が異なります。マスター・デバイスは、データ・バイトを受信するごとにアクノリッジ・ビットを返信します。

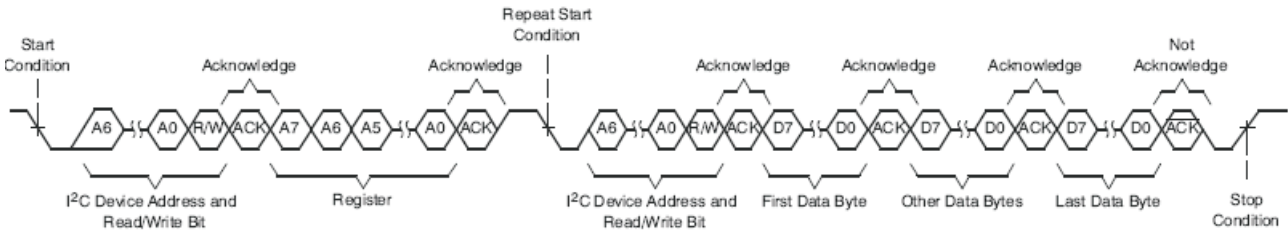


図 47. マルチバイトの読み取り転送

レジスタ・マップ

レジスタ	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
1	※※※	※※※	※※※	PAL_Fault	PAR_Fault	HPL_Fault	HPR_Fault	Thermal
2	※※※	※※※	※※※	SWS	HPL_Enable	HPR_Enable	PA_Enable	※※※
3	LIM_Lock	※※※	※※※	※※※	※※※	Mode[2]	Mode[1]	Mode[0]
4	※※※	※※※	※※※	※※※	※※※	※※※	※※※	※※※
5	※※※	※※※	※※※	ST1_Vol[4]	ST1_Vol[3]	ST1_Vol[2]	ST1_Vol[1]	ST1_Vol[0]
6	※※※	※※※	※※※	ST2_Vol[4]	ST2_Vol[3]	ST2_Vol[2]	ST2_Vol[1]	ST2_Vol[0]
7	※※※	※※※	※※※	HP_Vout[2]	HP_Vout[1]	HP_Vout[0]	HP_Gain[1]	HP_Gain[0]

※※※はReserved

TPA2050D4のI²Cアドレスは、書き込み時は0xE0（バイナリ11100000）、読み取り時は0xE1（バイナリ11100001）です。詳細については、「一般的なI²C動作」を参照してください。

“Reserved”と書かれたビットは、将来の拡張のために予約されています。デバイスの機能に変更される可能性があるため、これらのビットには書き込まないでください。これらのビットを読み取った場合、値は不定です。

アドレス0x07より上位のレジスタは、テスト用に予約されています。デバイスの機能に変更される可能性があるため、これらのレジスタには書き込まないでください。これらのレジスタを読み取った場合、値は不定です。

障害レジスタ（アドレス：1）

ビット	7	6	5	4	3	2	1	0
機能	Reserved	Reserved	Reserved	PAL_Fault	PAR_Fault	HPL_Fault	HPR_Fault	Thermal
リセット値	0	0	0	0	0	0	0	0

Reserved これらのビットは、将来の拡張のために予約されています。プログラムしても状態は変化しません。これらのレジスタを読み取った場合、値は不定です。

PAL_Fault “High”の場合、Class-D左チャンネル出力で過電流が発生したことを示します。このビットは書き込みでクリアされます。このビットには、“Low”のみを書き込むことができます。

PAR_Fault “High”の場合、Class-D右チャンネル出力で過電流が発生したことを示します。このビットは書き込みでクリアされます。このビットには、“Low”のみを書き込むことができます。

HPL_Fault “High”の場合、ヘッドホン左チャンネル出力で過電流が発生したことを示します。このビットは書き込みでクリアされます。このビットには、“Low”のみを書き込むことができます。

HPR_Fault “High”の場合、ヘッドホン右チャンネル出力で過電流が発生したことを示します。このビットは書き込みでクリアされます。このビットには、“Low”のみを書き込むことができます。

Thermal “High”の場合、過熱シャットダウンが動作したことを示します。ヒステリシス・スレッショールドを過ぎて温度が低下すると、このビットは自動的にクリアされます。

電源管理レジスタ (アドレス:2)

ビット	7	6	5	4	3	2	1	0
機能	Reserved	Reserved	Reserved	SWS	HPL_Enable	HPR_Enable	PA_Enable	Reserved
リセット値	0	0	0	1	0	0	0	0

Reserved これらのビットは、将来の拡張のために予約されています。プログラムしても状態は変化しません。これらのレジスタを読み取った場合、値は不定です。

SWS ソフトウェア・シャットダウン。“High” に設定すると、TPA2050D4が非アクティブになります。“Low” に設定すると、チャージ・ポンプと入力アンプが再びアクティブになります。ヘッドホン・アンプとClass-Dアンプは、HPL_Enable、HPR_Enable、およびPA_Enableを使用してイネーブルにします。起動時にはデフォルトで“High”です。

HPL_Enable ヘッドホン左チャンネル・イネーブル。“Low” に設定すると、左チャンネルが非アクティブになります。

HPR_Enable ヘッドホン右チャンネル・イネーブル。“Low” に設定すると、右チャンネルが非アクティブになります。

PA_Enable Class-Dパワー・アンプ・イネーブル。“Low” に設定すると、左右両方のClass-Dパワー・アンプが非アクティブになります。

MUX出力制御レジスタ (アドレス:3)

ビット	7	6	5	4	3	2	1	0
機能	LIM_Lock	Reserved	Reserved	Reserved	Reserved	Mode[2]	Mode[1]	Mode[0]
リセット値	0	0	0	0	0	0	0	1

Reserved これらのビットは、将来の拡張のために予約されています。プログラムしても状態は変化しません。これらのレジスタを読み取った場合、値は不定です。

LIM_Lock リミッタ変更ロックアウト。“High” に設定すると、HP_Vout[2:0]およびLIM_Lockビットが変更できなくなります。LIM_Lockビットを0に戻すには、RESETピンに“Low”を印加するか、またはVDDをパワー・ダウンする必要があります。

Mode[2:0] MUX出力モードを設定します。詳細については、「動作モード」を参照してください。起動時のデフォルト・モードは001 (ステレオ1入力モード) です。

予約済み制御レジスタ (アドレス:4)

ビット	7	6	5	4	3	2	1	0
機能	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved
リセット値	0	0	0	1	0	0	1	1

Reserved これらのビットは、将来の拡張のために予約されています。プログラムしても状態は変化しません。これらのレジスタを読み取った場合、値は不定です。

ステレオ入力1音量制御レジスタ (アドレス:5)

ビット	7	6	5	4	3	2	1	0
機能	Reserved	Reserved	Reserved	ST1_Vol[4]	ST1_Vol[3]	ST1_Vol[2]	ST1_Vol[1]	ST1_Vol[0]
リセット値	0	0	0	1	0	0	1	1

Reserved これらのビットは、将来の拡張のために予約されています。プログラムしても状態は変化しません。これらのレジスタを読み取った場合、値は不定です。

ST1_Vol[4:0] シングルエンド入力モードのステレオ入力1、および差動入力モードのステレオ入力ペア用の5ビット音量制御です。11111で最大ゲイン (+ 12dB)、00000で最小ゲイン (- 60dB) に設定されます。起動時のデフォルト設定は10011 (+ 0dB) です。

ステレオ入力2音量制御レジスタ (アドレス : 6)

ビット	7	6	5	4	3	2	1	0
機能	Reserved	Reserved	Reserved	ST2_Vol[4]	ST2_Vol[3]	ST2_Vol[2]	ST2_Vol[1]	ST2_Vol[0]
リセット値	0	0	0	1	0	0	1	1

Reserved これらのビットは、将来の拡張のために予約されています。プログラムしても状態は変化しません。これらのレジスタを読み取った場合、値は不定です。

ST2_Vol[4:0] ステレオ入力2の5ビット音量制御です。11111で最大ゲイン (+ 12dB)、00000で最小ゲイン (- 60dB) に設定されます。起動時のデフォルト設定は10011 (+ 0dB) です。

ヘッドホン出力制御レジスタ (アドレス : 7)

ビット	7	6	5	4	3	2	1	0
機能	Reserved	Reserved	Reserved	HP_Vout[2]	HP_Vout[1]	HP_Vout[0]	HP_Gain[1]	HP_Gain[0]
リセット値	0	0	0	0	0	0	0	0

Reserved これらのビットは、将来の拡張のために予約されています。プログラムしても状態は変化しません。これらのレジスタを読み取った場合、値は不定です。

HP_Vout[2:0] ヘッドホン出力電圧リミッタ。ヘッドホンへの最大出力電圧/電力を設定します。

HP_Gain[1:0] ヘッドホン・ゲイン選択。ヘッドホン出力アンプのゲインを設定します。

動作モード

TPA2050D4には、シングルエンド入力および差動入力に対して複数の動作モードがあります。ステレオ1はLIN_1とRIN_1の入力ペアとなり、ステレオ2はLIN_2とRIN_2の入力ペアとなっております。

MUX出力モード

入力MUXは、Class-Dアンプおよびヘッドホン・アンプにデバイスのどの入力を送るかを選択します。「システム・ブロック概略図」に示されるように、MUXによる加算および出力は、チャンネルの音量制御の後に行われます。MUXモードは、MUX出力制御レジスタのMode[2:0]ビット（レジスタ3、ビット0-2）を使用してプログラムします。下の表に従って適切なモードを選択してください。

モード ・バイト： MODE[2:0]	MUXモード	MUX出力		MUX出力の説明
		左	右	
000	Reserved	ミュート	ミュート	MUX出力に信号が出力されません。
001	ステレオ1入力	LIN_1	RIN_1	LIN_1およびRIN_1のステレオ・シングルエンド入力
010	ステレオ2入力	LIN_2	RIN_2	LIN_2およびRIN_2のステレオ・シングルエンド入力
011	ステレオ差動	LIN_1-RIN_1	LIN_2-RIN_2	LIN_1とRIN_1が左チャンネル、 LIN_2とRIN_2が右チャンネルを構成します。
100	モノラル差動	(LIN_1-RIN_1) + (LIN_2-RIN_2)	(LIN_1-RIN_1) + (LIN_2-RIN_2)	左右の差動入力に加算されて、 左右のMUX出力に送られます。
101	ステレオ1 (モノラル・モード)	LIN_1 + RIN_1	LIN_1 + RIN_1	LIN_1+RIN_1がヘッドホン・アンプとClass-Dアンプの 左右両方の入力に送られます。
110	ステレオ2 (モノラル・モード)	LIN_2 + RIN_2	LIN_2 + RIN_2	LIN_2+RIN_2がヘッドホン・アンプとClass-Dアンプの 左右両方の入力に送られます。
111	ミュート	ミュート	ミュート	すべての入力がミュートされ、MUX出力に信号が出力されません。

差動入力モード

LIN_1とRIN_1の入力ペア、およびLIN_2とRIN_2の入力ペアは、それぞれシングルエンド入力または差動入力として構成できます。オーディオ・ソースとTPA2050D4入力の間で差動伝送を行うと、シングルエンド伝送の場合に比べてシステムのノイズ除去性能が向上します。

差動入力モードでは、Left+およびLeft-ソース信号をそれぞれLIN_1およびRIN_1に接続し、Right+およびRight-をそれぞれLIN_2およびRIN_2に接続します。シングルエンド入力モードでは、2つのステレオ・ソースのいずれかを選択できます。差動入力モードでは、1つのステレオ・ソースにしか接続できません。

起動シーケンスとシャットダウン制御

ポップ音なしで適切に起動させるためには、 $\overline{\text{RESET}}$ を“Low”に保持しながら、DVDDを印加する前にPVDDおよびVDDHPを印加します。DVDDが1.7V以上で安定したら、 $\overline{\text{RESET}}$ を“High”にして起動シーケンスを完了させます。SWSビット（レジスタ2、ビット4）が“High”の場合、TPA2050D4はソフト・シャットダウン・モードで起動します。

電源管理レジスタには、ステレオClass-Dパワー・アンプ、左ヘッドホン・アンプ、右ヘッドホン・アンプにそれぞれ対応したイネーブル・ビットがあります（レジスタ2、ビット3-1）。対応するビットを“High”にすると、これらのアンプがイネーブルになります。アンプをディスエーブルにすると、出力がミュートされ、消費電流が減少します。SWSを“High”にすると、I²Cインターフェイス以外のすべての回路が非アクティブになり、合計消費電流が最大2μAまで減少します。

$\overline{\text{RESET}}$ を“Low”にすると、I²Cインターフェイスも含めてすべての回路が非アクティブになります。 $\overline{\text{RESET}}$ が“Low”の間は、I²Cレジスタをプログラムできません。 $\overline{\text{RESET}}$ の使用法の詳細については、「ヘッドホン出力リミッタ・ロックアウト」を参照してください。

電源電圧がパワー・ダウンされず、 $\overline{\text{RESET}}$ が“High”である限り、すべてのレジスタ内容は保持されます。DVDDまたはPVDDを非アクティブにするか、 $\overline{\text{RESET}}$ を“Low”にすると、ユーザーがレジスタにプログラムした情報はすべて失われ、再度電源を投入するとデフォルト状態に戻ります。

Class-D出力アンプ

両方のClass-Dパワー・アンプをイネーブルにするには、PA_Enableビット（レジスタ2、ビット1）を“High”に設定します。左チャネルと右チャネルのClass-D出力を独立してアクティブにすることはできません。アクティブ時のClass-D部の合計電流は7mA（typ）であり、非アクティブ時には1 μ A未満です。

すべてのClass-D出力には、短絡保護および過熱保護機能があります。左チャネルおよび右チャネルClass-D出力での過電流は、それぞれPAL_FaultおよびPAR_Faultビット（レジスタ1、ビット4および3）で示されます。これらのビットは書き込みでクリアされ、“Low”だけを書き込むことができます。

過熱シャットダウンが発生すると、Thermalビット（レジスタ1、ビット1）が“High”になります。このビットは、デバイスの温度が150°C未満まで低下すると“Low”に戻ります。

DirectPathヘッドホン・アンプ

HPL_Enableビット（レジスタ2、ビット3）を“High”にするとヘッドホンの左出力がイネーブルになり、HPR_Enableビット（レジスタ2、ビット2）を“High”にするとヘッドホンの右出力がイネーブルになります。ヘッドホン・アンプは、左右の出力が両方アクティブの場合、10mA（typ）の電源電流を消費しますが、非アクティブ時には1 μ A未満となります。

左および右ヘッドホン出力での過電流は、それぞれHPL_FaultおよびHPR_Faultビット（レジスタ1、ビット2および1）で示されます。これらのビットは書き込みでクリアされ、“Low”だけを書き込むことができます。

ヘッドホン出力リミッタ・ロックアウト

LIM_Lockビット（レジスタ3、ビット7）を“High”に設定すると、HP_Voutバイト（レジスタ7、ビット4-2）の設定およびLIM_Lockビット自体の設定を変更できなくなります。電源が非アクティブになるか、RESETピンに“Low”が印加されるまで、LIM_Lockビットは“High”にロックされたままです。音量制御、MUXモード、およびシャットダウン・レジスタは、LIM_Lockの状態に関係なく、すべて書き込み可能です。

最大ヘッドホン出力レギュレータ

HP_Voutバイト（レジスタ7、ビット4-2）は、ヘッドホン・アンプからの最大出力電圧を設定します。これは、ヘッドホンへの最大出力電力を制限するために便利です。HP_Voutバイトは、下の表に従って、ヘッドホン・アンプに対して内部でレギュレーションされる電源電圧を設定します。この表には、16 Ω および32 Ω 負荷の等価な10% THDでの出力も示してあります。

最大ヘッドホン出力バイト： HP_VOUT[2:0]	V _{OUT,MAX}	16 Ω で P _{OUT,MAX} (10% THD)	32 Ω で P _{OUT,MAX} (10% THD)
000	\pm VDDHP ⁽¹⁾	130 mW (VDDHP = 3.6 V時)	65 mW (VDDHP = 3.6 V時)
001	\pm 1.13 V	40 mW	20 mW
010	\pm 0.54 V	9 mW	4.5 mW
011	\pm 0.38 V	4.5 mW	2.3 mW
100	\pm 0.315 V	3.1 mW	1.6 mW
101	\pm 0.253 V	2.0 mW	1.0 mW
110	\pm 0.227 V	1.6 mW	0.8 mW
111	\pm 0.196 V	1.2 mW	0.6 mW

(1) 無負荷時。負荷抵抗が小さくなると、最大出力電圧は低下します。

ヘッドホン・ゲイン値

DirectPathヘッドホン・アンプ、左右の出力チャネル

ヘッドホン・ゲイン・レジスタ・バイト： HP_GAIN[1:0]	通常ゲイン
00	0 dB
01	-6 dB
10	-12 dB
11	-20 dB

入力音量制御

TPA2050D4には、2つの独立した音量制御があります。1つはSTEREO1入力ペア (LIN_1およびRIN_1) 用、もう1つはSTEREO2入力ペア (LIN_2およびRIN_2) 用です。それぞれ5ビット (32ステップ) の分解能で、オーディオ・テーパの特性を持っています (高いゲイン設定でゲインのステップ変化が小さくなります)。音量制御範囲は-60dB ~+12dBです。

ステレオ入力1の音量制御バイトは、レジスタ5のビット4-0です。ステレオ入力2の音量制御バイトは、レジスタ6のビット4-0です。STEREO1およびSTEREO2の左右チャンネル間のゲイン・マッチングは0.1dBです。差動入力モードでは、ステレオ入力1バイト (レジスタ5) で左右チャンネルのゲインを制御します。

チャンネルのゲインが大きくなると、TPA2050D4への入力インピーダンスが減少します。仕様については、「動作特性」を参照してください。「オーディオ・テーパ・ゲイン値」の表に示される値は、設定typ値です。

オーディオ・テーパ・ゲイン値

入力チャンネルの音量制御用

音量制御レジスタ・バイト： VOL[4:0]	通常ゲイン	音量制御レジスタ・バイト： VOL[4:0]	通常ゲイン
00000	-60 dB	10000	-3.0 dB
00001	-48 dB	10001	-2.0 dB
00010	-43 dB	10010	-1.0 dB
00011	-38 dB	10011	+0 dB
00100	-33 dB	10100	+1.0 dB
00101	-29 dB	10101	+2.0 dB
00110	-25 dB	10110	+3.0 dB
00111	-21 dB	10111	+4.0 dB
01000	-17 dB	11000	+5.0 dB
01001	-15 dB	11001	+6.0 dB
01010	-13 dB	11010	+7.0 dB
01011	-11 dB	11011	+8.0 dB
01100	-9.0 dB	11100	+9.0 dB
01101	-7.5 dB	11101	+10 dB
01110	-6.0 dB	11110	+11.0 dB
01111	-4.5 dB	11111	+12.0 dB

デカップリング・コンデンサ (CS)

TPA2050D4は、高性能のClass-Dオーディオ・アンプであり、効率の向上と全高調波歪 (THD) の低減には、十分な電源デカップリングが必要です。電源ラインの高域トランジション、スパイク、デジタル・ノイズを防ぐ為、低ESR (等価直列抵抗) セラミック・コンデンサ (通常、1 μ F) をデバイスPVDD (L, R) のできるだけ近くに配置します。デバイスとコンデンサ間の抵抗やインダクタンスは少しでも効率の低下につながり、TPA2050D4の近くにデカップリング・コンデンサを配置することは、Class-Dアンプの効率にとって重要です。低域ノイズのフィルタリングの為に、4.7 μ F以上のコンデンサをオーディオ・パワー・アンプの近くに配置することも有用ですが、このデバイスはPSRRが高いので、ほとんどのアプリケーションではこのコンデンサは必要ありません。

入力コンデンサ (CI)

入力コンデンサと入力抵抗によってハイパス・フィルタが形成され、そのコーナー周波数 f_c は式(1)で示します。

$$f_c = \frac{1}{(2\pi \times R_I \times C_I)} \quad (1)$$

入力コンデンサの値は、回路の低周波特性に直接的に影響を及ぼすため、十分に検討することが重要です。携帯電話のスピーカーは通常、低周波に対して十分に対応できないので、そのようなアプリケーションでは低周波数をブロックするようにコーナー周波数を設定できます。入力コンデンサを使用しない場合は、出力オフセットが大きくなる可能性があります。式(2)に基づき、入力カップリング・コンデンサの値を決定します。コーナー周波数がオーディオ帯域内にある場合、コンデンサは許容誤差 $\pm 10\%$ 以下のものがが必要です。コンデンサの値が適切でない場合、コーナー周波数以下でインピーダンス・ミスマッチが発生します。

$$C_I = \frac{1}{(2\pi \times R_I \times f_c)} \quad (2)$$

基板レイアウト

WCSPボールのパッド・サイズの作成には、レイアウトに非半田マスク定義 (NSMD) のランドを使用することをお勧めします。この方法では、半田マスクの開口部が対象のランド領域より大きくなり、開口部のサイズが銅パッドの幅によって決まります。図48および表1に、WCSPレイアウトの適切な直径を示します。次のセクションに、TPA2050D4評価モジュール (EVM) のレイアウト例を示します。

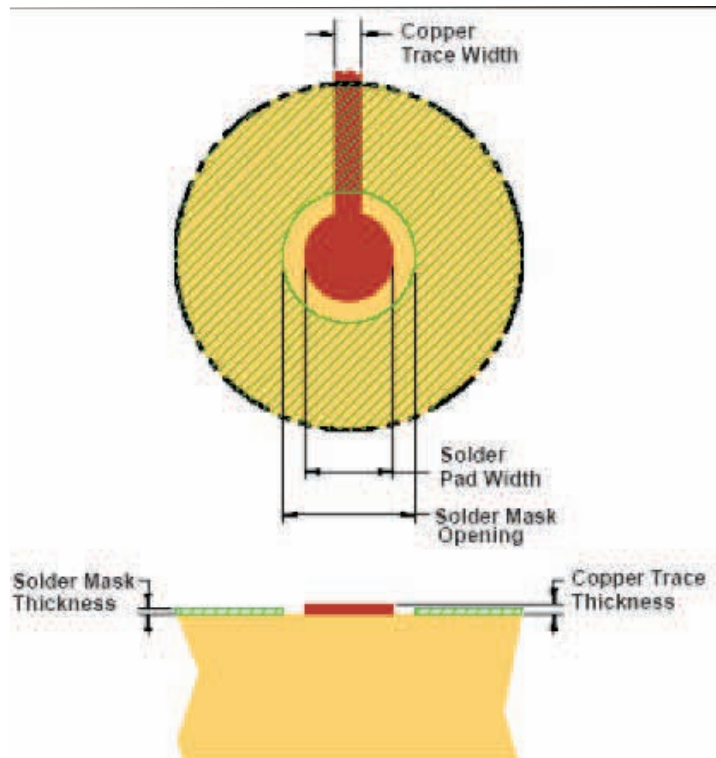


図 48. ランド・パターン寸法

表 1. ランド・パターン寸法 (1) (2) (3) (4)

半田パッド定義	銅パッド	半田マスク ⁽⁵⁾ 開口部	銅厚	ステンシル ⁽⁶⁾ (7) 開口部	ステンシル厚
非半田マスク定義 (NSMD)	275 μm (+0.0, -25 μm)	375 μm (+0.0, -25 μm)	最大 1 oz (32 μm)	275 μm x 275 μm Sq. (ラウンドコーナー)	125 μm 厚

- (1) NSMD定義のPWBランドからのパターンは、半田マスクの開口部の露出部分で、幅 75 μm ~ 100 μm となります。パターン幅が広がると、デバイスのスタン
ド・オフとインパクトの信頼性が低下します。
- (2) PWBラミネート・ガラスの遷移温度が、予定のアプリケーションでの動作範囲を上回る場合に、最高の信頼性が得られます。
- (3) 推奨される半田ペーストは、Type 3またはType 4です。
- (4) Ni/Au表面仕上げの基板については、熱的疲労特性による剥離を防ぐために、金の厚さが0.5mm未満である必要があります。
- (5) 半田マスクの厚さは、銅箔上に、20 μm 未満である必要があります。
- (6) 最良の半田ステンシルは、レーザー・カット・ステンシルと、電解研磨によるものです。化学的エッチングされたステンシルは、半田ペースト量のコントロ
ールが困難です。
- (7) WCSPデバイスから引き出されるパターンは、半田のぬれ力によってコンポーネントが動かないように、X方向とY方向でバランスを取る必要があります。

部品位置

すべての部品は、TPA2050D4の直近に配置します。デカップリング・コンデンサ (C_S) をTPA2050D4の近くに配置することは、Class-Dアンプの効率を高めるうえで重要です。デバイスとコンデンサの間のパターンにある抵抗やインダクタンスはすべて、効率を低下させる原因となります。

パターン幅

半田ボールのパターン幅は、広いPCBパターンへの半田上がりを防止するため、75 μm ~ 100 μm を推奨します。TPA2050D4の大電流が流れる端子 (PVDD (L, R)、PGND、オーディオ出力ピン) では、半田ボール部に100 μm のパターン幅を使用し、また少なくとも500 μm のPCBパターンを使用して、デバイスの性能と出力電力を確保します。TPA2050D4の他の信号端子については、半田ボール部で75 μm ~ 100 μm のパターン幅を使用します。オーディオ入力ピン (INR \pm とINL \pm) は、同相モードのノイズ・キャンセルを最大にするため、並べて配置します。

効率および熱に関する情報

最大周囲温度は、PCB全体の放熱性能に依存します。パッケージのディレーティング係数は、定格消費電力の表に示されています。WCSPパッケージの場合、これを以下のように θ_{JA} に変換します。

$$\theta_{JA} = \frac{1}{\text{ディレーティング係数}} = \frac{1}{0.009} = 111^{\circ}\text{C/W} \quad (3)$$

例えば図26で、 θ_{JA} を 111°C/W 、最大許容接合部温度を 150°C 、および 1.4W/チャンネル 、 8Ω 負荷、 5V 電源の最大内部消費電力を 0.12W (0.06W/チャンネル) とすると、最大周囲温度は、次の式で計算できます。

$$T_{A\text{Max}} = T_{J\text{Max}} - \theta_{JA}P_{D\text{MAX}} = 150 - 111(0.12) = 137^{\circ}\text{C} \quad (4)$$

式(4)は、 5V 電源および 8Ω 負荷での最大消費電力について計算した場合、最大周囲温度が 137°C であることを示しています。TPA2050D4には、サーマル・シャットダウン機能が装備されており、接合部温度が 150°C を超えるとデバイスの動作を停止させ、ICの損傷を防止します。また、 8Ω より大きいスピーカー抵抗値の場合、出力電流が減少し、アンプの効率が向上するので、熱特性は大幅に向上します。

DACおよびコーデックを使用した動作

Class-DアンプをコーデックおよびDACとともに使用すると、オーディオ・アンプからの出力ノイズ・フロアが上昇することがあります。この現象は、コーデック/DACの出力周波数とオーディオ・アンプの入力段のスイッチング周波数がミキシングした場合に発生します。ノイズの増加は、コーデック/DACとオーディオ・アンプの間にローパス・フィルタを配置することで解決できます。このフィルタは、問題の原因である高周波数をカットし、適正なパフォーマンスを実現します。機能ブロック図を参照してください。

フィルタ・フリーの動作およびフェライト・ビーズ・フィルタ

放射妨害に対してLCフィルタなしでは対応できず、 1MHz 以上の周波数で感度が高い回路に対して、フェライト・ビーズ・フィルタがよく使用されます。FCCおよびCEでは、 30MHz を超える放射妨害波のみをテストするので、FCCとCEの検査に合格するだけの場合、このフェライト・ビーズによるフィルタを使用します。この用途には、高周波数では高インピーダンス、かつ低周波数では低インピーダンスのフェライト・ビーズを選択します。また、適切な定格電流のフェライト・ビーズを選択して、出力信号の歪を防止します。

低い周波数 (1MHz 未満) のEMIに敏感な回路が存在する場合や、アンプからスピーカーに長いリードが存在する場合は、LC出力フィルタを使用します。図49に、代表的なフェライト・ビーズ・フィルタ例を示します。

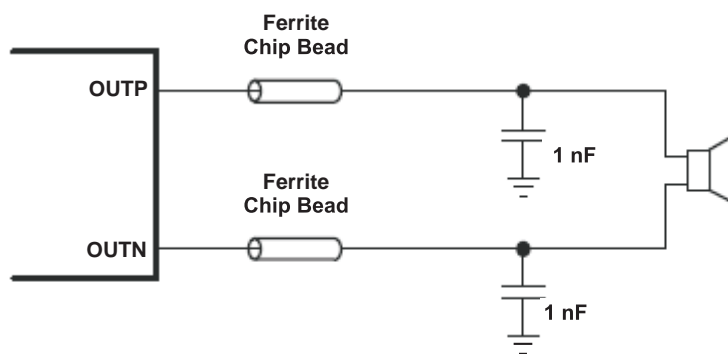


図 49. 代表的なフェライト・ビーズ・フィルタ (チップ・ビーズ例: TDK: MPZ1608S221A)

パッケージ情報

Orderable Device	Status ⁽¹⁾	Package Type	Package Drawing	Pins	Package Qty	Eco Plan ⁽²⁾	Lead/Ball Finish	MSL Peak Temp ⁽³⁾
TPA2050D4YZKR	ACTIVE	DSBGA	YZK	25	3000	Green (RoHS & no Sb/Br)	SnAgCu	Level-1-260C-UNLIM
TPA2050D4YZKT	ACTIVE	DSBGA	YZK	25	250	Green (RoHS & no Sb/Br)	SnAgCu	Level-1-260C-UNLIM

(1) マーケティング・ステータスは次のように定義されています。

ACTIVE：製品デバイスが新規設計用に推奨されています。

LIFEBUY：TIによりデバイスの生産中止予定が発表され、ライフタイム購入期間が有効です。

NRND：新規設計用に推奨されていません。デバイスは既存の顧客をサポートするために生産されていますが、TIでは新規設計にこの部品を使用することを推奨していません。

PREVIEW：デバイスは発表済みですが、まだ生産が開始されていません。サンプルが提供される場合と、提供されない場合があります。

OBSOLETE：TIによりデバイスの生産が中止されました。

(2) エコ・プラン - 環境に配慮した製品分類プランであり、Pb-Free (RoHS)、Pb-Free (RoHS Expert) および Green (RoHS & no Sb/Br) があります。最新情報および製品内容の詳細については、<http://www.ti.com/productcontent> でご確認ください。

TBD：Pb-Free/Green 変換プランが策定されていません。

Pb-Free (RoHS)：TIにおける“Lead-Free”または“Pb-Free”（鉛フリー）は、6つの物質すべてに対して現在のRoHS要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が0.1%を超えないという要件も含まれます。高温で半田付けするように設計されている場合、TIの鉛フリー製品は指定された鉛フリー・プロセスでの使用に適しています。

Pb-Free (RoHS Exempt)：この部品は、1) ダイとパッケージの間に鉛ベースの半田バンプ使用、または2) ダイとリードフレーム間に鉛ベースの接着剤を使用、が除外されています。それ以外は上記の様にPb-Free (RoHS) と考えられます。

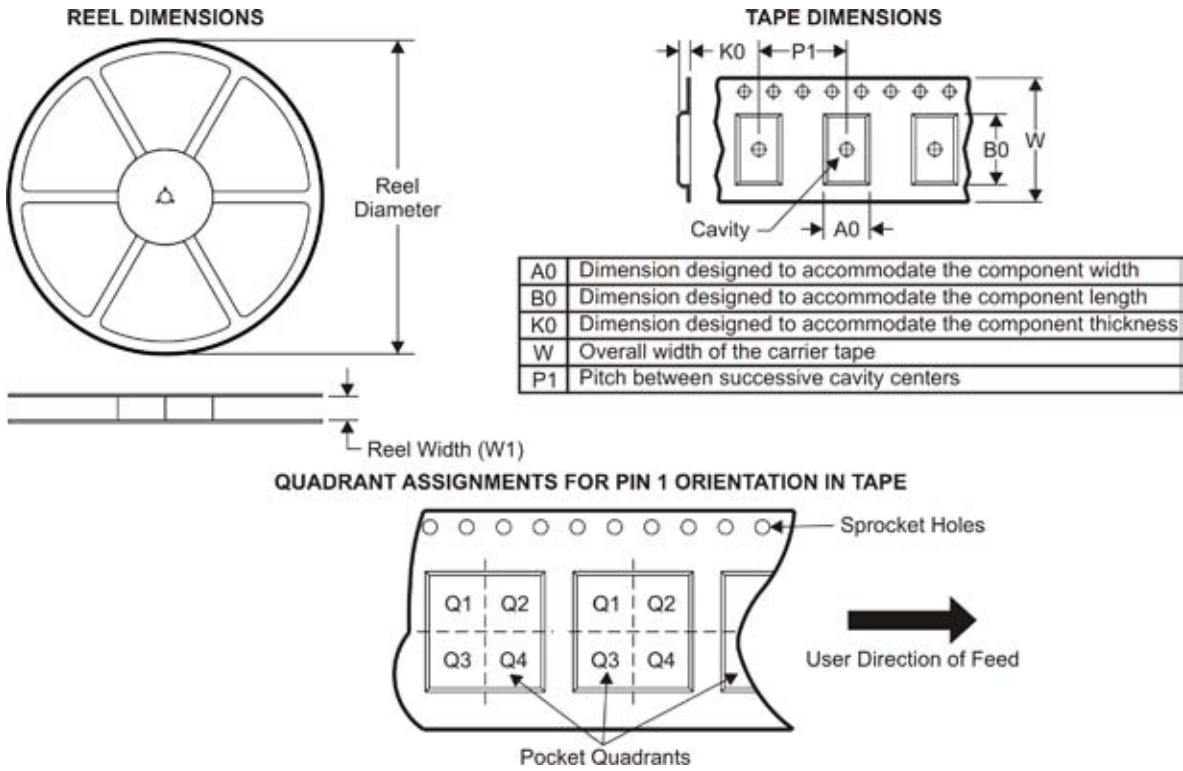
Green (RoHS & no Sb/Br)：TIにおける“Green”は、“Pb-Free” (RoHS 互換) に加えて、臭素 (Br) およびアンチモン (Sb) をベースとした難燃材を含まない (均質な材質中の Br または Sb 重量が0.1%を超えない) ことを意味しています。

(3) MSL、ピーク温度 -- JEDEC 業界標準分類に従った耐湿性レベル、およびピーク半田温度です。

重要な情報および免責事項：このページに記載された情報は、記載された日付時点でのTIの知識および見解を表しています。TIの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行いません。第三者からの情報をより良く統合するための努力は続けております。TIでは、事実を適切に表す正確な情報を提供すべく適切な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。TIおよびTI製品の供給者は、特定の情報を機密情報として扱っているため、CAS番号やその他の制限された情報が公開されない場合があります。

いかなる場合においても、そのような情報から生じたTIの責任は、このドキュメント発行時点でのTI製品の価格に基づくTIから顧客への合計購入価格（年次ベース）を超えることはありません。

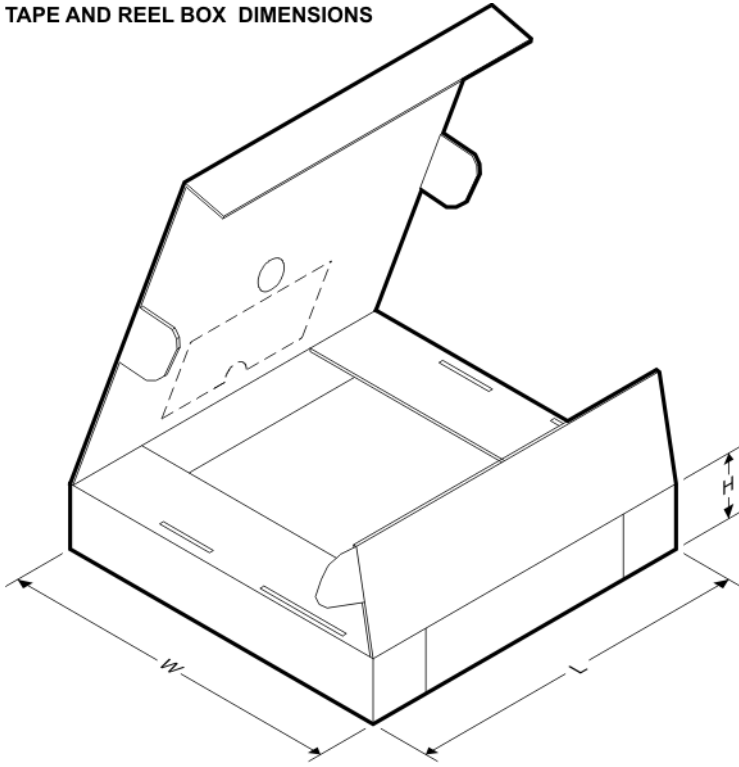
TAPE AND REEL INFORMATION



*All dimensions are nominal

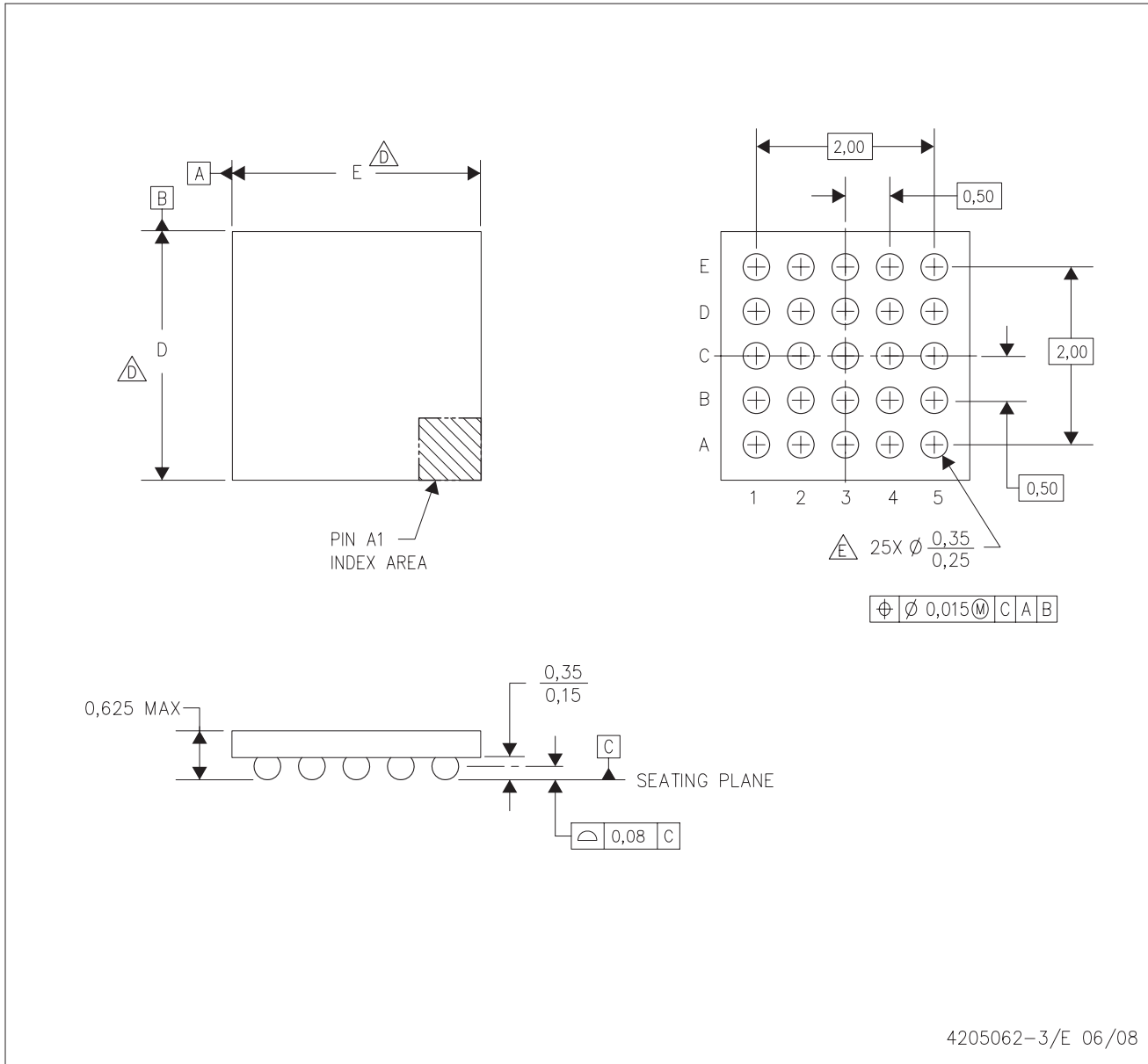
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPA2050D4YZKR	DSBGA	YZK	25	3000	178.0	8.4	2.75	2.75	0.81	4.0	8.0	Q1
TPA2050D4YZKT	DSBGA	YZK	25	250	178.0	8.4	2.75	2.75	0.81	4.0	8.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPA2050D4YZKR	DSBGA	YZK	25	3000	217.0	193.0	35.0
TPA2050D4YZKT	DSBGA	YZK	25	250	217.0	193.0	35.0



- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.
 - C. NanoFree™ package configuration.
 - \triangle Devices in YZK package can have dimension D ranging from 2.44 to 3.15 mm and dimension E ranging from 2.44 to 3.15 mm. To determine the exact package size of a particular device, refer to the device datasheet or contact a local TI representative.
 - E. Reference Product Data Sheet for array population. 5 x 5 matrix pattern is shown for illustration only.
 - F. This package contains lead-free balls. Refer to YEK (Drawing #4204185) for tin-lead (SnPb) balls.

ご注意

日本テキサス・インスツルメンツ株式会社(以下TIJといたします)及びTexas Instruments Incorporated(TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIJといたします)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIJは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメータに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIJは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIJは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは承認をすることを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIJにより示された数値、特性、条件その他のパラメータと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIJは、そのような説明については何の義務も責任もありません。

TIJは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション(例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの)に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIJがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2009, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。

弊社出荷梱包単位(外装から取り出された内装及び個装)又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で(導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。

マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。

前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

温度: 0~40、相対湿度: 40~85%で保管・輸送及び取り扱いを行うこと。(但し、結露しないこと。)

直射日光があたる状態で保管・輸送しないこと。

3. 防湿梱包

防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。

4. 機械的衝撃

梱包品(外装、内装、個装)及び製品単品を落下させたり、衝撃を与えないこと。

5. 熱衝撃

はんだ付け時は、最低限260以上の高温状態に、10秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)

6. 汚染

はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質(硫黄、塩素等ハロゲン)のある環境で保管・輸送しないこと。はんだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上