

TPLD1201-Q1 8 つの GPIO を備えた車載用プログラマブルロジックデバイス

1 特長

- 動作特性
 - 拡張温度範囲: -40°C ~ 125°C
 - 広い電源電圧範囲: 1.71V ~ 5.5V
 - 車載アプリケーション認定済み
- 構成可能マクロセル:
 - 2 ビット、3 ビット、および 4 ビットのルックアップ テーブル
 - D タイプ フリップ フロップ および ラッチ、リセット / セット オプションありとなし
 - 8 ビットのパイプ遅延
 - カウンタと遅延ジェネレータ
 - グリッチ除去フィルタまたはエッジ検出器をプログラム可能
 - ディスクリット アナログ コンパレータ
 - 電圧リファレンス
 - 発振器
- 柔軟なデジタル I/O 機能
 - すべてのデジタル信号を任意の GPIO に配線可能
 - デジタル入力モード: デジタル入力 (シュミットトリガ付き / なし)、低電圧デジタル入力
 - デジタル出力モード: プッシュプル、オープンドレイン NMOS、トライステート
- 開発ツール
 - InterConnect Studio
 - TPLD1201-Q1 評価基板
 - TPLD プログラミング基板

2 アプリケーション

- ファクトリ オートメーション / 制御
- 通信機器
- リテール オートメーション および ペイメント
- 試験 および 測定機器
- 業務用 オーディオ、ビデオ、サイネージ
- パーソナル エレクトロニクス
- 車載用

3 概要

TPLD1201-Q1 は、組み合わせ論理、順序論理、アナログ ブロックを内蔵した多用途のプログラマブル ロジック IC を特長とする、テキサス・インスツルメンツのプログラマブル ロジック デバイス (TPLD) ファミリのデバイスです。TPLD は、タイミング遅延、電圧モニタ、システム リセット、電源シーケンス IC、I/O エクスパンダなどの共通のシステム機能を実装するための統合型低消費電力ソリューションを提供します。このデバイスは構成可能な I/O 構造を採用しているため、混合信号環境で互換性を拡張し、必要な個別部品の数を減らすことができます。

システム設計者は、不揮発性メモリを一時的にエミュレートするか、InterConnect Studio を通じてワンタイム プログラマブル (OTP) を永続的にプログラミングすることにより、回路を作成し、マクロセル、I/O ピン、および相互接続を構成できます。TPLD1201-Q1 はハードウェアおよびソフトウェアのエコシステムによってサポートされており、アプリケーション ノート、リファレンス デザイン、設計例が提供されています。詳細および設計ツールへのアクセスについては、ti.com をご覧ください。

製品情報

部品番号	パッケージ ⁽¹⁾	本体サイズ (公称)
TPLD1201-Q1	DGS (VSSOP, 10)	4.9mm × 3.0 mm

- (1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。

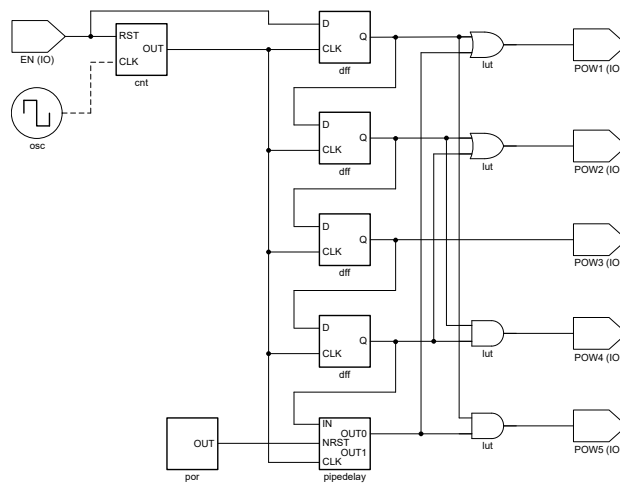


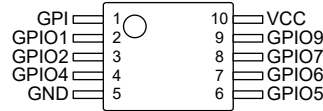
図 3-1. アプリケーション概略図



目次

1 特長.....	1	8 アプリケーションと実装.....	43
2 アプリケーション.....	1	8.1 アプリケーション情報.....	43
3 概要.....	1	8.2 代表的なアプリケーション.....	43
4 ピン構成および機能.....	3	8.3 電源に関する推奨事項.....	46
5 仕様.....	4	8.4 レイアウト.....	46
5.1 絶対最大定格.....	4	9 デバイスおよびドキュメントのサポート.....	48
5.2 ESD 定格.....	4	9.1 ドキュメントの更新通知を受け取る方法.....	48
5.3 推奨動作条件.....	4	9.2 サポート・リソース.....	48
5.5 電気的特性.....	5	9.3 商標.....	48
5.6 電源電流特性.....	8	9.4 静電気放電に関する注意事項.....	48
5.7 スイッチング特性.....	9	9.5 用語集.....	48
6 パラメータ測定情報.....	13	10 改訂履歴.....	48
7 詳細説明.....	17	11 メカニカル、パッケージ、および注文情報.....	48
7.1 概要.....	17	11.1 付録: パッケージ オプション.....	49
7.2 機能ブロック図.....	18	11.2 テープおよびリール情報.....	50
7.3 機能説明.....	19	11.3 メカニカル データ.....	52
7.4 デバイスの機能モード.....	41		

4 ピン構成および機能



Not to scale

図 4-1. DGS パッケージ、10 ピン VSSOP (上面図)

表 4-1. ピンの機能

ピン			説明	
名称	DGS	種類 ⁽¹⁾	主な機能	2 次的な機能 (ある場合)
GPI	1	I	汎用入力 ⁽²⁾	
IO1	2	I/O	汎用 I/O	ACMP0 IN+
IO2	3	I/O	汎用 I/O	外部 VREF IN/ACMP0 または ACMP1 IN-
IO4	4	I/O	出力イネーブル (OE) 付きの汎用 I/O ⁽³⁾	ACMP1 IN+
GND	5	P	グランド	
IO5	6	I/O	汎用 I/O	
IO6	7	I/O	汎用 I/O	
IO7	8	I/O	出力イネーブル (OE) 付きの汎用 I/O。 ⁽³⁾	内部 VREF OUT
IO9	9	I/O	汎用 I/O	外部 OSC IN
VCC	10	P	電源電圧	

(1) P = 電源、I/O = 入出力、I = 入力

(2) 汎用入力 (GPI) ピンはプログラミング中の高電圧 (VPP) に耐えます。インシステムプログラミングを行う場合、このピンに接続されたペリフェラルに特に注意を払います。

(3) 出力イネーブル (OE) 接続は、接続マルチプレクサを介して利用でき、InterConnect Studio で構成できます。

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位
V _{CC}	GND を基準とした V _{CC} 電源電圧	-0.5	7	V
V _I	入力電圧	-0.5	V _{CC} + 0.5	V
V _O	出力電圧	-0.5	V _{CC} + 0.5	V
I _{IOK}	入力 / 出力クランプ電流	V _{IO} < 0 または V _{IO} > V _{CC}		mA
I _O	連続出力電流	V _O = 0 ~ V _{CC}		mA
I _{DC}	平均または DC 電流 (各ピンを流れる電流) の最大値	プッシュプル 1X		mA
		プッシュプル 2X		
		オープンドレイン NMOS 1X		
		オープンドレイン NMOS 2X		
T _J	接合部温度		150	°C
T _{stg}	保管温度	-65	150	°C

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。

5.2 ESD 定格

		値	単位	
V _(ESD)	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン ⁽¹⁾	±2000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC 仕様 JS-002 に準拠、すべてのピン ⁽²⁾	±1500	

(1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

(2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		V _{CC}	最小値	最大値	単位
V _{CC}	電源電圧		1.71	5.5	V
V _I	入力電圧		0	V _{CC}	V
V _O	出力電圧		0	V _{CC}	V
V _{AI}	アナログ入力電圧	正入力 (ACMP IN+)	0	V _{CC}	V
		負入力 (ACMP IN-、外部 VREF)	0.15	1.2	
V _{IH}	High レベル入力電圧	ロジック入力	1.71V ~ 5.5V	0.7 × V _{CC}	V
		低電圧ロジック入力	1.8V ± 0.09V	0.95	
		低電圧ロジック入力	3.3V ± 0.3V	1.2	
		低電圧ロジック入力	5V ± 0.5V	1.3	
V _{IL}	Low レベル入力電圧	ロジック入力	1.71V ~ 5.5V	0.3 × V _{CC}	V
		低電圧ロジック入力	1.8V ± 0.09V	0.40	
		低電圧ロジック入力	3.3V ± 0.3V	0.55	
		低電圧ロジック入力	5V ± 0.5V	0.65	

自由気流での動作温度範囲内 (特に記述のない限り)

		V _{CC}	最小値	最大値	単位
F _(EXT)	外部発振器周波数	1.8V ± 0.09V		8	MHz
		3.3V ± 0.3V		8	
		5V ± 0.5V		8	
T _A	周囲温度		-40	125	°C

5.4

熱評価基準 ⁽¹⁾		TPLD1201	単位
		DGS (VSSOP)	
		10-PIN	
R _{θJA}	接合部から周囲への熱抵抗	152.7	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	60.8	°C/W
R _{θJB}	接合部から基板への熱抵抗	88.9	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	4.8	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	87.2	°C/W
R _{θJC(bot)}	接合部からケース (底面) への熱抵抗		°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーションレポートを参照してください。

5.5 電気的特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	V _{CC}	最小値	標準値	最大値	単位
電源およびパワーオンリセット							
V _{PORR}	パワーオンリセット電圧、V _{CC} 立ち上がり	V _I = V _{CC} または GND、I _O = 0	1.71V~5.5V	1.30	1.31	1.35	V
V _{PORF}	パワーオンリセット電圧、V _{CC} 立ち下がり	V _I = V _{CC} または GND、I _O = 0	1.71V~5.5V	1.25	1.27	1.30	V
t _{SU}	起動時間	V _{CC} が立ち上がり、V _{PORR} を超えてから	1.71V~5.5V		270		μs
V _{PP}	プログラミング電圧			7.5	8	8.5	V
デジタル IO							
V _{T+}	正方向入力スレッショルド電圧	ロジック入力 (シュミットトリガ付き)	1.8V ± 0.09V	0.94		1.27	V
			3.3V ± 0.3V	1.55		2.17	
			5V ± 0.5V	2.21		3.19	
V _{T-}	負方向入力スレッショルド電圧	ロジック入力 (シュミットトリガ付き)	1.8V ± 0.09V	0.58		0.94	V
			3.3V ± 0.3V	1.1		1.79	
			5V ± 0.5V	1.63		2.7	
V _{HYS}	シュミットトリガ ヒステリシス (V _{T+} - V _{T-})	ロジック入力 (シュミットトリガ付き)	1.8V ± 0.09V	0.25		0.47	V
			3.3V ± 0.3V	0.33		0.54	
			5V ± 0.5V	0.42		0.66	
V _{HYS}	GPI ヒステリシス電圧	INO に適用可能なヒステリシス電圧	1.71V~5.5V			0.2	V

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	V _{CC}	最小値	標準値	最大値	単位
V _{OH}	High レベル出力電圧	プッシュプル 1X またはオープンドレイン PMOS 1X	I _{OH} = -100μA	1.8V ± 0.09V	1.68		V
		プッシュプル 2X またはオープンドレイン PMOS 2X			1.69		
		プッシュプル 1X またはオープンドレイン PMOS 1X	I _{OH} = -3mA	3.3V ± 0.3V	2.60		
		プッシュプル 2X またはオープンドレイン PMOS 2X			2.75		
		プッシュプル 1X またはオープンドレイン PMOS 1X	I _{OH} = -5mA	5V ± 0.5V	3.99		
		プッシュプル 2X またはオープンドレイン PMOS 2X			4.16		
V _{OL}	Low レベル出力電圧	プッシュプル 1X	I _{OL} = 100μA	1.8V ± 0.09V	0.01		V
		プッシュプル 2X			0.01		
		オープンドレイン NMOS 1X			0.01		
		オープンドレイン NMOS 2X			0.01		
		プッシュプル 1X	I _{OL} = 3mA	3.3V ± 0.3V	0.1		
		プッシュプル 2X			0.1		
		オープンドレイン NMOS 1X			0.1		
		オープンドレイン NMOS 2X			0.1		
		プッシュプル 1X	I _{OL} = 5mA	5V ± 0.5V	0.12		
		プッシュプル 2X			0.12		
		オープンドレイン NMOS 1X			0.12		
		オープンドレイン NMOS 2X			0.12		
I _{OZ}	オフ状態 (ハイ インピーダンス状態) の出力電流	IO1、IO2、IO5、IO6、IO9	V _O = 0~5.5V				μA
F _{OUT}	最大出力周波数 (1)	プッシュプル 1X またはプッシュプル 2X	15pF の負荷容量	1.8V ± 0.09V		5	MHz
				3.3V ± 0.3V		12	
				5V ± 0.5V		12	
R _{pu(int)}	内部プルアップ抵抗				1	MΩ	
					100	kΩ	
					10	kΩ	
R _{pd(int)}	内部プルダウン抵抗				1	MΩ	
					100	kΩ	
					10	kΩ	
C _i	入力ピン容量	各入力ピン	V _I = V _{CC} または GND	1.71V~5.5V		1.2	pF
C _{IO}	入力 / 出力ピンの容量	各 I/O ピン	V _{IO} = V _{CC} または GND	1.71V~5.5V		2.0	pF
アナログ コンパレータ							
t _{start}	スタート時間	ACMP パワーオン遅延	バンドギャップ常時オン	1.71V~5.5V		150	μs

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ			テスト条件	V _{CC}	最小値	標準値	最大値	単位
V _{AI}	入力電圧	正入力		1.71V~5.5V	0		V _{CC}	V
		負入力			0		1.2	
V _{offset}	入力オフセット電圧	T _A = 25°C	V _{HYS} = 0mV、ゲイン = 1、VREF = 50mV~1200mV	1.71V~5.5V	-6		6	mV
		-40°C < T _A ≤ 125°C			-7		7	
dV _{IO} /dT	入力オフセット電圧ドリフト	-40°C < T _A ≤ 125°C	V _{HYS} = 0mV、ゲイン = 1、VREF = 50mV~1200mV	1.71V~5.5V		±7		μV/°C
I _B	入力バイアス電流						1	μA
C _{ID}	入力容量、差動					3		pF
C _{IM}	入力容量、同相					3		pF
PROP	伝搬遅延時間、応答時間	ゲイン = 1、Vref = 50mV~1200mV、オーバードライブ = 50mV	Low から High、低帯域幅を有効化	1.71V~5.5V	2.5			μs
			High から Low、低帯域幅を有効化		2.5			
			Low から High、低帯域幅を無効化		0.25			
			High から Low、低帯域幅を無効化		0.25			
アナログ コンパレータ - ヒステリシス								
V _{HYS}	ヒステリシス機能内蔵	V _{HYS} = 25mV	T _A = 25°C	1.71V~5.5V	20	25	30	mV
			-40°C~125°C		18.75	25	31.25	
		V _{HYS} = 50mV	T _A = 25°C		40	50	60	
			-40°C~125°C		37.5	50	62.5	
		V _{HYS} = 200mV	T _A = 25°C		160	200	240	
			-40°C~125°C		150	200	250	
アナログ コンパレータ - 入力ゲイン								
R _{sin}	直列入力抵抗	ゲイン = 0.5		1.71V~5.5V	1			MΩ
		ゲイン = 0.33			0.75			
		ゲイン = 0.25			1			
G _{err}	ゲイン誤差	ゲイン = 0.5		1.71V~5.5V	-1		1	%
		ゲイン = 0.33			-1.5		1.5	
		ゲイン = 0.25			-2		2	
基準電圧								
VREF	VREF 誤差	T _A = 25°C	VREF = 150mV~300mV	1.71V~5.5V	-10.2	1	10.2	%
		-40°C < T _A ≤ 125°C			-11	1	11	
		T _A = 25°C	VREF = 350mV~600mV		-5	0.9	5	
		-40°C < T _A ≤ 125°C			-5.5	0.9	5.5	
		T _A = 25°C	VREF = 650mV~1000mV		-3.3	0.9	3.3	
		-40°C < T _A ≤ 125°C			-4.3	0.9	4.3	
		T _A = 25°C	VREF = 1050mV~1200mV		-3	0.85	3	
		-40°C < T _A ≤ 125°C			-5	0.85	5	

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ			テスト条件	V _{CC}	最小値	標準値	最大値	単位
VREF	内部 VREF 誤差	T _A = 25°C	VREF = 150mV ~300mV	1.71V~5.5V	-3.1	1	3.1	%
		-40°C < T _A ≤ 125°C			-4.3	1	4.3	
		T _A = 25°C	VREF = 350mV ~600mV		-3	0.95	3	
		-40°C < T _A ≤ 125°C			-4	0.95	4	
		T _A = 25°C	VREF = 650mV ~1000mV		-2.5	0.9	2.5	
		-40°C < T _A ≤ 125°C			-4	0.9	4	
T _A = 25°C	VREF = 1050mV~ 1200mV	-2.3	0.85	2.3				
-40°C < T _A ≤ 125°C		-3.7	0.85	3.7				
I _{LOAD}	出力電流			1.71V~5.5V			500	μA
dV _{OUT} /dT	出力電圧の温度ドリフト			1.71V~5.5V			550	ppm/°C
dV _{OUT} /dI _{LOAD}	負荷レギュレーション			1.71V~5.5V		0.1	1	mV/μA

(1) オープンドレインのスイッチング性能は、使用するプルアップ抵抗によって制限されます。

5.6 電源電流特性

 T_A = 25°C (特に記述のない限り)

パラメータ		テスト条件	V _{CC} = 1.8V ± 0.09V			V _{CC} = 3.3V ± 0.3V			V _{CC} = 5V ± 0.5V			単位	
			最小値	標準値	最大値	最小値	標準値	最大値	最小値	標準値	最大値		
スタンバイ													
I _{CC}	静止時電流	入力 = 静止、 出力 = オープン、 I _O = 0、 OSC パワー オフ	3.41			3.66			4.00			μA	
発振器													
I _{CC}	静止時電流	OSC0 有効:25kHz	事前分周 = 1	3.21			5.24			13.2			μA
			事前分周 = 2	3.14			5.17			13.2			
			事前分周 = 4	3.08			5.11			13.1			
			事前分周 = 8	3.08			5.11			13.1			
		OSC0 有効:2MHz	事前分周 = 1	42.9			56.0			104.0			
			事前分周 = 2	35.9			49.0			97.0			
			事前分周 = 4	32.5			45.6			93.6			
			事前分周 = 8	30.7			43.8			91.8			
アナログ コンパレータ													
I _{CC}	静止時電流	ディスクリート アナログ コンパレータ (ACMP)	外部 VREF、 IN+ = 0V	25.0			26.6			27.6			μA
		ディスクリート アナログ コンパレータ (ACMP)	追加 ACMP	4.26			4.08			4.23			
基準電圧													
I _{CC}	静止時電流	電圧リファレンス (VREF)		16.3			16.7			17.3			μA

5.7 スイッチング特性

T_A = 25°C (特に記述のない限り)

パラメータ			V _{CC}	最小値	標準値	最大値	単位
デジタル IO							
t _{pd}	遅延	デジタル入力 (シュミットトリガなし) からプッシュプル出力まで (立ち上がり)	1.8V ± 0.09V	34.9		ns	
		デジタル入力 (シュミットトリガなし) からプッシュプル出力まで (立ち下がり)		30.8			
		デジタル入力 (シュミットトリガなし) からプッシュプル出力まで (立ち上がり)	3.3V ± 0.3V	20.3			
		デジタル入力 (シュミットトリガなし) からプッシュプル出力まで (立ち下がり)		20.7			
		デジタル入力 (シュミットトリガなし) からプッシュプル出力まで (立ち上がり)	5V ± 0.5V	16.4			
		デジタル入力 (シュミットトリガなし) からプッシュプル出力まで (立ち下がり)		17.7			
t _{pd}	遅延	デジタル入力 (シュミットトリガ付き) からプッシュプル出力まで (立ち上がり)	1.8V ± 0.09V	38.6		ns	
		デジタル入力 (シュミットトリガ付き) からプッシュプル出力まで (立ち下がり)		32.8			
		デジタル入力 (シュミットトリガ付き) からプッシュプル出力まで (立ち上がり)	3.3V ± 0.3V	22.6			
		デジタル入力 (シュミットトリガ付き) からプッシュプル出力まで (立ち下がり)		21.5			
		デジタル入力 (シュミットトリガ付き) からプッシュプル出力まで (立ち上がり)	5V ± 0.5V	18.3			
		デジタル入力 (シュミットトリガ付き) からプッシュプル出力まで (立ち下がり)		18.0			
t _{pd}	遅延	低電圧デジタル入力からプッシュプル出力まで (立ち上がり)	1.8V ± 0.09V	30.5		ns	
		低電圧デジタル入力からプッシュプル出力まで (立ち下がり)		33.3			
		低電圧デジタル入力からプッシュプル出力まで (立ち上がり)	3.3V ± 0.3V	17.9			
		低電圧デジタル入力からプッシュプル出力まで (立ち下がり)		22.3			
		低電圧デジタル入力からプッシュプル出力まで (立ち上がり)	5V ± 0.5V	14.0			
		低電圧デジタル入力からプッシュプル出力まで (立ち下がり)		19.9			

T_A = 25°C (特に記述のない限り)

パラメータ			V _{CC}	最小値	標準値	最大値	単位
t _{pd}	遅延	デジタル入力 (シュミットトリガなし) からオープンドレイン NMOS 出力まで (立ち上がり)	1.8V ± 0.09V	50.6		ns	
		デジタル入力 (シュミットトリガなし) からオープンドレイン NMOS 出力まで (立ち下がり)		25.9			
		デジタル入力 (シュミットトリガなし) からオープンドレイン NMOS 出力まで (立ち上がり)	3.3V ± 0.3V	21.6			
		デジタル入力 (シュミットトリガなし) からオープンドレイン NMOS 出力まで (立ち下がり)		16.8			
		デジタル入力 (シュミットトリガなし) からオープンドレイン NMOS 出力まで (立ち上がり)	5V ± 0.5V	14.2			
		デジタル入力 (シュミットトリガなし) からオープンドレイン NMOS 出力まで (立ち下がり)		14.0			
t _{pd}	遅延	ピン (OE) からの出力イネーブル、ハイ インピーダンスから 1 まで (立ち上がり)	1.8V ± 0.09V	45.2		ns	
			1.8V ± 0.09V	27.7			
			3.3V ± 0.3V	22.7			
t _{pd}	遅延	ピン (OE) からの出力イネーブル、ハイ インピーダンスから 0 まで (立ち下がり)	3.3V ± 0.3V	43.2		ns	
			5V ± 0.5V	20.6			
			5V ± 0.5V	20.6			
機能を設定可能なロジック							
t _{pd}	遅延	2 ビット LUT (立ち上がり)	1.8V ± 0.09V	1.14		ns	
		2 ビット LUT (立ち下がり)		1.32			
		2 ビット LUT (立ち上がり)	3.3V ± 0.3V	1.14			
		2 ビット LUT (立ち下がり)		1.31			
		2 ビット LUT (立ち上がり)	5V ± 0.5V	1.16			
		2 ビット LUT (立ち下がり)		1.35			
t _{pd}	遅延	3 ビット LUT (立ち上がり)	1.8V ± 0.09V	1.31		ns	
		3 ビット LUT (立ち下がり)		1.53			
		3 ビット LUT (立ち上がり)	3.3V ± 0.3V	1.31			
		3 ビット LUT (立ち下がり)		1.53			
		3 ビット LUT (立ち上がり)	5V ± 0.5V	1.31			
		3 ビット LUT (立ち下がり)		1.53			
t _{pd}	遅延	4 ビット LUT (立ち上がり)	1.8V ± 0.09V	1.53		ns	
		4 ビット LUT (立ち下がり)		1.86			
		4 ビット LUT (立ち上がり)	3.3V ± 0.3V	1.53			
		4 ビット LUT (立ち下がり)		1.86			
		4 ビット LUT (立ち上がり)	5V ± 0.5V	1.53			
		4 ビット LUT (立ち下がり)		1.86			
t _{pd}	遅延	nRST/nSET 付きラッチ (立ち上がり)	1.8V ± 0.09V	1.58		ns	
		nRST/nSET 付きラッチ (立ち下がり)		1.58			
		nRST/nSET 付きラッチ (立ち上がり)	3.3V ± 0.3V	1.58			
		nRST/nSET 付きラッチ (立ち下がり)		1.58			
		nRST/nSET 付きラッチ (立ち上がり)	5V ± 0.5V	1.58			
		nRST/nSET 付きラッチ (立ち下がり)		1.58			
カウンタ / 遅延							

ADVANCE INFORMATION

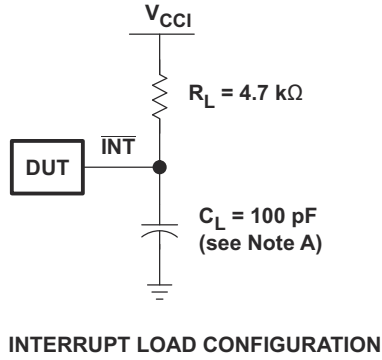
T_A = 25°C (特に記述のない限り)

パラメータ			V _{CC}	最小値	標準値	最大値	単位
t _{pd}	遅延	CNT/DLY (立ち上がり)	1.8V ± 0.09V	2.21		ns	
		CNT/DLY (立ち下がり)		2.01			
		CNT/DLY (立ち上がり)	3.3V ± 0.3V	2.21			
		CNT/DLY (立ち下がり)		2.01			
		CNT/DLY (立ち上がり)	5V ± 0.5V	2.21			
		CNT/DLY (立ち下がり)		2.01			
発振器							
f _{err}	発振器の周波数誤差	OSC0 25kHz	1.8V ± 0.09V	-5	5	%	
			3.3V ± 0.3V	-5	5		
			5V ± 0.5V	-5	5		
f _{err}	発振器の周波数誤差	OSC0 2MHz	1.8V ± 0.09V	-5	5	%	
			3.3V ± 0.3V	-5	5		
			5V ± 0.5V	-5	5		
t _{d_osc}	発振器の起動遅延	OSC0 25kHz (自動パワー オン)	1.8V ± 0.09V	32.7		μs	
			3.3V ± 0.3V	33.1			
			5V ± 0.5V	33.4			
t _{d_osc}	発振器の起動遅延	OSC0 2MHz (自動パワー オン)	1.8V ± 0.09V	4.5		μs	
			3.3V ± 0.3V	4.9			
			5V ± 0.5V	5.2			
t _{set_osc}	発振器の起動セトリング時間	OSC0 25kHz (自動パワー オン)	1.8V ± 0.09V	1		μs	
			3.3V ± 0.3V	1			
			5V ± 0.5V	1			
t _{set_osc}	発振器の起動セトリング時間	OSC0 2MHz (自動パワー オン)	1.8V ± 0.09V	7		μs	
			3.3V ± 0.3V	7			
			5V ± 0.5V	7			
t _{d_err}	遅延誤差	OSC (強制パワー オン)	1.71V~5.5V	0	1	CLK サイクル	
プログラマブル フィルタ							
t _{pflt_pw}	パルス幅、1 セル	PFLT モード:(任意) エッジ検出、エッジ検出出力	1.8V ± 0.09V	154.0		ns	
			3.3V ± 0.3V	157.3			
			5V ± 0.5V	158.7			
	パルス幅、2 セル	PFLT モード:(任意) エッジ検出、エッジ検出出力	PFLT モード:(任意) エッジ検出、エッジ検出出力	1.8V ± 0.09V	256.2		ns
				3.3V ± 0.3V	259.7		
				5V ± 0.5V	260.8		
	パルス幅、3 セル	PFLT モード:(任意) エッジ検出、エッジ検出出力	PFLT モード:(任意) エッジ検出、エッジ検出出力	1.8V ± 0.09V	356.2		ns
				3.3V ± 0.3V	360.3		
				5V ± 0.5V	361.5		
	パルス幅、4 セル	PFLT モード:(任意) エッジ検出、エッジ検出出力	PFLT モード:(任意) エッジ検出、エッジ検出出力	1.8V ± 0.09V	455.3		ns
				3.3V ± 0.3V	459.6		
				5V ± 0.5V	461.4		
t _{pflt_pd}	遅延、任意のセル	PFLT モード:(任意) エッジ検出、エッジ検出出力	1.8V ± 0.09V	22.0		ns	
			3.3V ± 0.3V	21.4			
			5V ± 0.5V	21.3			

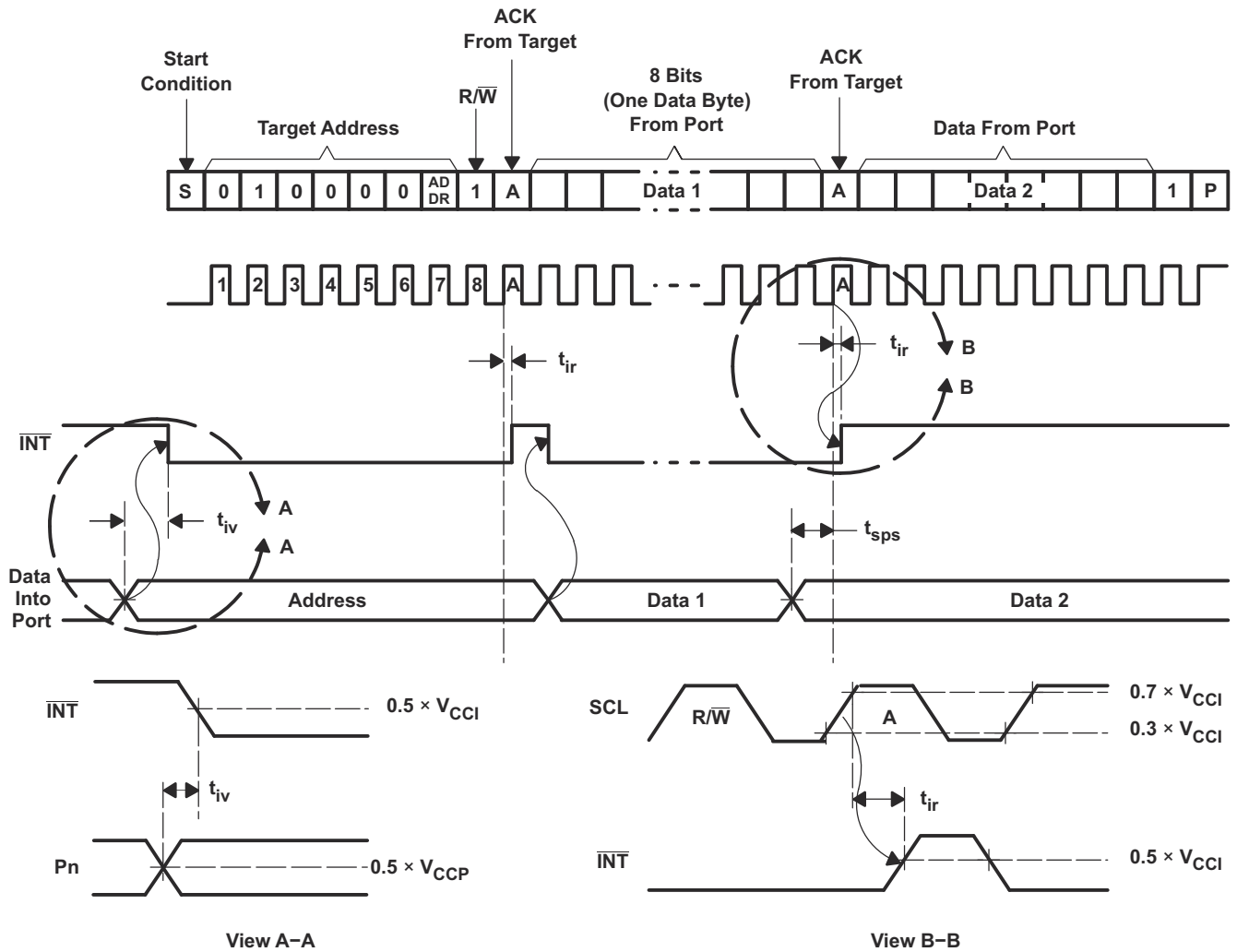
T_A = 25°C (特に記述のない限り)

パラメータ			V _{CC}	最小値	標準値	最大値	単位
t _{pflt_d}	遅延、1 セル	PFLT モード: 両エッジ遅延 (共有マクロセル入力)	1.8V ± 0.09V		176.0		ns
			3.3V ± 0.3V		178.7		
			5V ± 0.5V		180.0		
	遅延、2 セル	PFLT モード: 両エッジ遅延 (共有マクロセル入力)	1.8V ± 0.09V		278.2		ns
			3.3V ± 0.3V		281.1		
			5V ± 0.5V		282.1		
	遅延、3 セル	PFLT モード: 両エッジ遅延 (共有マクロセル入力)	1.8V ± 0.09V		378.2		ns
			3.3V ± 0.3V		281.7		
			5V ± 0.5V		382.8		
	遅延、4 セル	PFLT モード: 両エッジ遅延 (共有マクロセル入力)	1.8V ± 0.09V		477.3		ns
			3.3V ± 0.3V		481.0		
			5V ± 0.5V		482.7		

ADVANCE INFORMATION

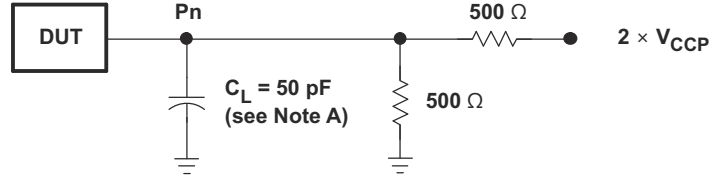


INTERRUPT LOAD CONFIGURATION

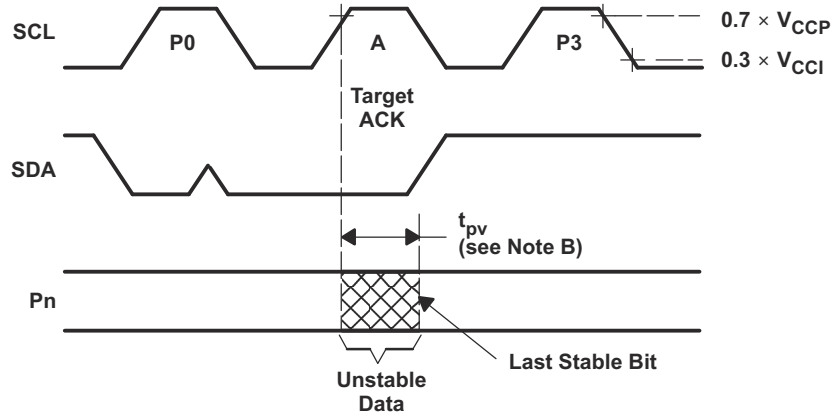


- A. C_L にはプローブと治具の容量が含まれます。
- B. すべての入力は、以下の特性を持つジェネレータから供給されます: $PRR \leq 10\text{MHz}$, $Z_0 = 50\Omega$, $t_r/t_f \leq 30\text{ns}$ 。
- C. すべてのパラメータと波形が、すべてのデバイスに適用できるわけではありません。

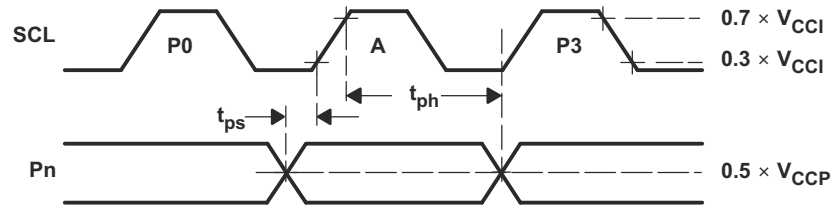
図 6-2. 割り込み負荷回路および電圧波形



P-PORT LOAD CONFIGURATION



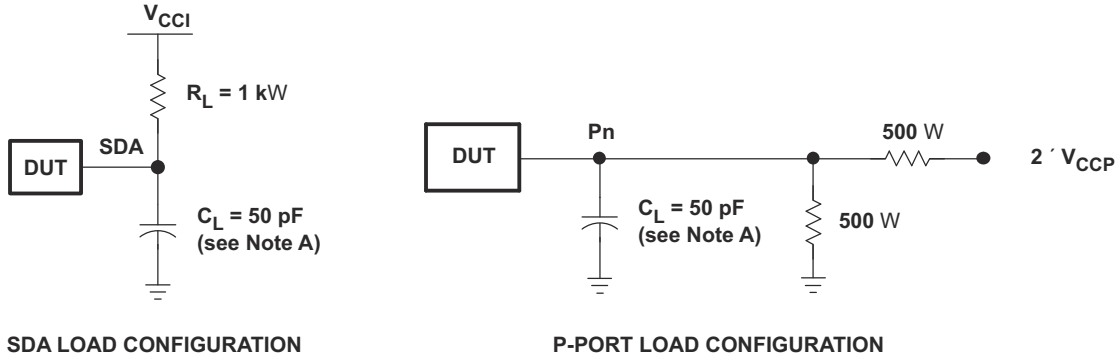
WRITE MODE ($R/\bar{W} = 0$)



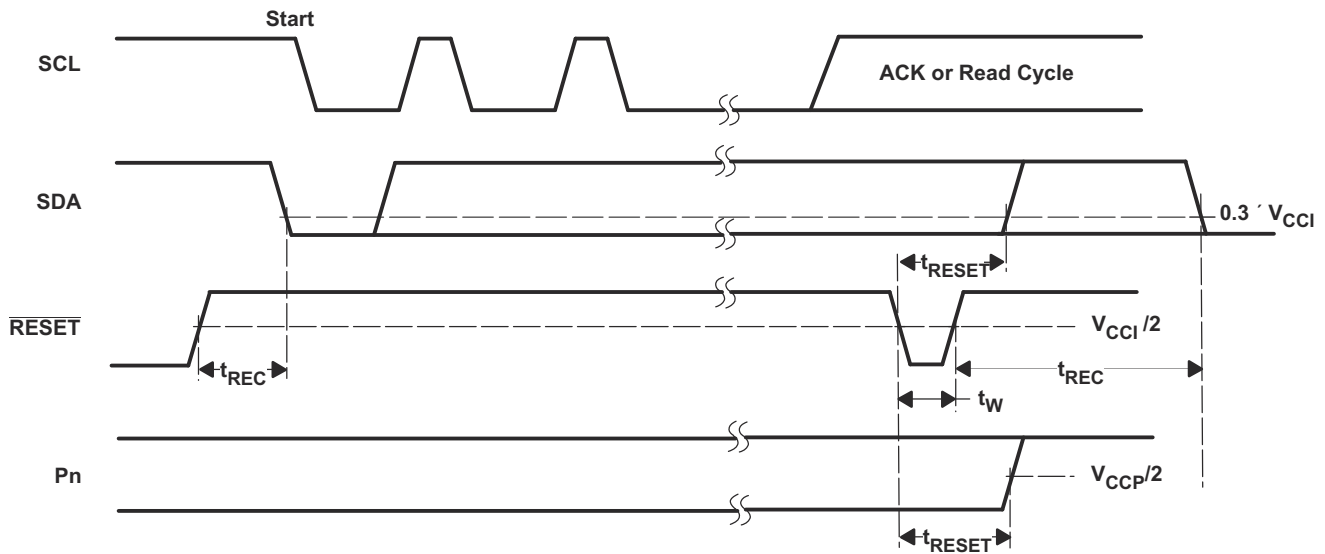
READ MODE ($R/\bar{W} = 1$)

- A. C_L にはプローブと治具の容量が含まれます。
- B. t_{pv} は、SCL で $0.7 \times V_{CC}$ から 50% の I/O (On) 出力まで測定されます。
- C. すべての入力は、以下の特性を持つジェネレータから供給されます: $PRR \leq 10\text{MHz}$, $Z_O = 50\Omega$, $t_r/t_f \leq 30\text{ns}$ 。
- D. 出力は一度に 1 つずつ測定され、測定するたびに 1 回遷移します。
- E. すべてのパラメータと波形が、すべてのデバイスに適用できるわけではありません。

図 6-3. P ポートの負荷回路およびタイミング波形



ADVANCE INFORMATION



- A. C_L にはプローブと治具の容量が含まれます。
- B. すべての入力は、以下の特性を持つジェネレータから供給されます: $PRR \leq 10\text{MHz}$ 、 $Z_O = 50\Omega$ 、 $t_r/t_f \leq 30\text{ns}$ 。
- C. 出力は一度に 1 つずつ測定され、測定するたびに 1 回遷移します。
- D. I/O は入力として構成されます。
- E. すべてのパラメータと波形が、すべてのデバイスに適用できるわけではありません。

図 6-4. リセット負荷回路および電圧波形

7 詳細説明

7.1 概要

TPLD1201-Q1 は、組み合わせ論理、順序論理、アナログ ブロックを内蔵した多用途なプログラマブル ロジック IC を特長とするテキサス・インスツルメンツ プログラマブル ロジック デバイス (TPLD) ファミリのデバイスであり、一般的なシステム機能を実装するためのコンパクトな統合型低消費電力ソリューションを提供します。

TPLD1201-Q1 は、デジタル入力、デジタル出力、デジタル入出力、アナログ入出力として構成できる 1 つの GPI と 7 つの GPIO を備えています。

TPLD1201-Q1 は、内部マクロセルと I/O ピンの配線を構成するための相互接続システム (接続マルチプレクサとも呼びます) を備えています。各接続マルチプレクサの入力は、特定のデジタル マクロセルの出力 (デジタル I/O、ルックアップ テーブル、アナログ コンパレータなどの出力) に配線で接続されています。接続マルチプレクサを使うと、各デジタル入力を 1 つの出力のみに接続できるため、バスの競合が発生しません。

TPLD1201-Q1 は、次のマクロセルを備えています。

- 機能を設定可能なロジック ブロック:
 - 2 つの 2 ビット ルックアップ テーブル (LUT)
 - 2 つの 3 ビット LUT
 - 2 つの 2 ビット LUT または D タイプ フリップ フロップ (DFF) またはラッチ
 - 2 つの 3 ビット LUT または DFF またはラッチ (リセット / セット オプション付き)
 - 1 つの 3 ビット LUT またはパイプ遅延
 - 1 つの 4 ビット LUT または 8 ビット カウンタ (CNT) または遅延ジェネレータ (DLY)
- 3 つの 8 ビット CNT/DLY
- 1 つのプログラマブル グリッチ除去フィルタ (PFLT) またはエッジ検出器 (EDET)
- 25kHz と 2MHz のどちらかのクロックを生成するための 1 つの発振器 (OSC)
- 2 つのアナログ コンパレータ (ACMP)
- 電圧リファレンス (VREF) (アナログ IO に出力可能)

InterConnect Studio ソフトウェア環境では、カスタム回路を設計し、マクロセル、I/O ピン、相互接続を構成するためのシンプルなドラッグ アンド ドロップ インターフェイスが利用できます。InterConnect Studio は、回路の作成に加えて、設計の検証と消費電力の標準値の推定を行うため、デジタルおよびアナログ機能のシミュレーションを実行できます。回路設計が終了した時点で、InterConnect Studio は、不揮発性メモリに書き込む設計を一時的にエミュレートできます。または、ワンタイム プログラマブル (OTP) メモリに恒久的に書き込むことができます。OTP は、その内容を読み出せないようにロックできます。

7.2 機能ブロック図

ADVANCE INFORMATION

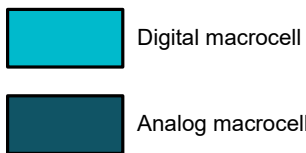
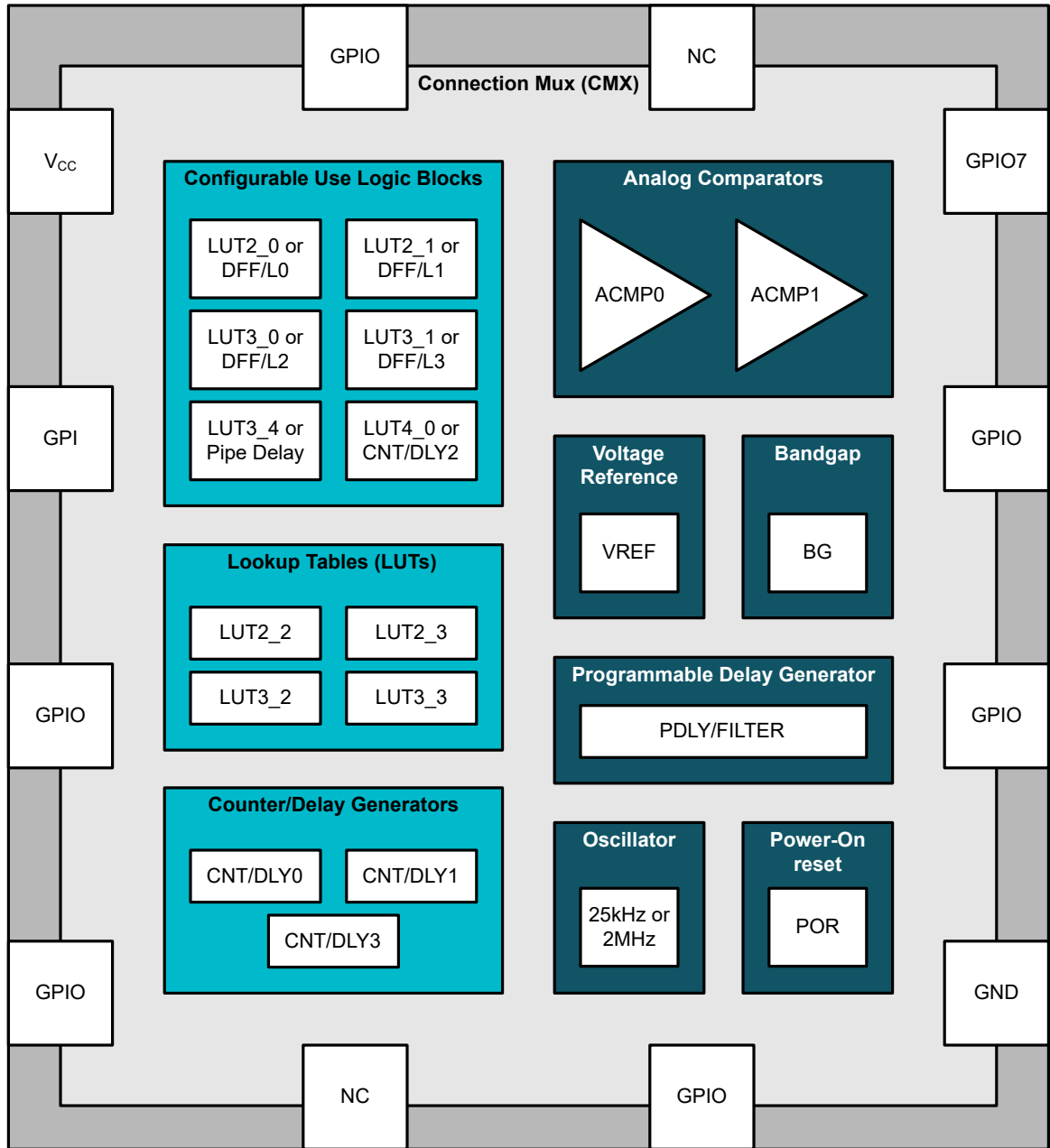


図 7-1. TPLD1201-Q1 機能ブロック図

7.3 機能説明

7.3.1 I/O ピン

TPLD1201-Q1 は 1 本の入力ピンと 7 本の多機能 I/O ピンを持っています。GPIO ピンは、ユーザー定義の入力、出力、特殊機能のいずれかとして機能できます。

入力モード:ピンを入力として構成する場合、以下の選択肢があります。

- デジタル入力 (シュミットトリガなし)
- デジタル入力 (シュミットトリガ付き)
- 低電圧デジタル入力

低電圧デジタル入力は、シュミットトリガを持たないデジタル入力よりも小さい V_{IH}/V_{IL} 仕様を持っています。そのため、低電圧デジタル入力の V_{IH} および V_{IL} 仕様を満たす、 V_{CC} より低い任意の電圧ドメインからの昇圧変換が可能です。以下のピンは特殊機能も備えています。

- IO9: 外部クロック入力
- IO1: アナログ コンパレータ 0 の正入力
- IO2: アナログ コンパレータの負入力
- IO4: アナログ コンパレータ 1 の正入力
- IO7: 内部電圧リファレンス出力

出力モード:ピンを出力として構成する場合、以下のように駆動能力を設定できます。

- 1x プッシュプル出力
- 2x プッシュプル出力
- 1x オープンドレイン NMOS 出力
- 2x オープンドレイン NMOS 出力
- 1x オープンドレイン PMOS 出力
- 2x オープンドレイン PMOS 出力

プルアップまたはプルダウン抵抗:すべての I/O ピンにおいて、ピン構造に接続する抵抗を、ユーザーが選択できます。これらの抵抗として選択可能な値は 10kΩ、100kΩ、1MΩ です。これらの内部抵抗はプルアップとプルダウンのどちらかとして構成できます。InterConnect Studio で設計すると、設計で未使用のすべてのピンは、デフォルトで 1MΩ のプルダウンが接続されるように構成されます。さらに、パワーオン イベントの後、パワーオン リセット シーケンスが完了するまで、すべてのポートがハイ インピーダンス状態になります。

表 7-1. ピン構成オプション

GPIO	IO の選択	OE	IO オプション	抵抗	抵抗値
IN0	未使用のピン	—	—	プルダウン	1MΩ
	デジタル入力	0	デジタル入力 (シュミットトリガなし)	フローティング	—
			デジタル入力 (シュミットトリガ付き)	プルダウン	10kΩ
			低電圧デジタル入力		100kΩ
					1MΩ

注: GPI/INO には、電源オン時にチップをリセットするオプションもあります。POR とは異なり、外部リセットは GPI、LUT、DLY、OSC、DFF、ラッチ、パイプ遅延、マトリクス、GPO にのみ作用します。NVM は前の状態のまま維持されます。外部リセットを無効、レベル センシティブ、エッジトリガのいずれにするかをユーザーが選択できます。レベル センシティブが選択されている場合、この入力が High になると、本デバイスは、すべての内部デバイスがリセットされるリセットモードに入ります。このピンが Low になると、本デバイスはリセット パワーオン シーケンスを開始します。エッジトリガを選択すると、立ち上がりエッジまたは立ち下がりエッジを検出するようにエッジ検出器を構成できます。そして、GPI/INO のエッジによって本デバイスはリセットされ、リセット パワーオン シーケンスが開始されます。

表 7-1. ピン構成オプション (続き)

GPIO	IO の選択	OE	IO オプション	抵抗	抵抗値
IO1, IO2	未使用のピン	—	—	プルダウン	1MΩ
	デジタル入力	0	デジタル入力 (シュミットトリガなし) デジタル入力 (シュミットトリガ付き) 低電圧デジタル入力	フローティング	—
				プルアップ	10kΩ
					100kΩ
					1MΩ
				プルダウン	10kΩ
					100kΩ
	1MΩ				
	デジタル出力	1	プッシュプル (1X, 2X) オープンドレイン NMOS (1X, 2X) オープンドレイン PMOS (1X, 2X)	フローティング	—
				プルアップ	—
					10kΩ
					100kΩ
				プルダウン	1MΩ
					10kΩ
	100kΩ				
	デジタル入出力	0	アナログ入力	—	—
				1	オープンドレイン NMOS (1X, 2X)
		プルアップ	10kΩ		
			プルダウン		100kΩ
		1MΩ			
アナログ入出力		—	アナログ入出力	フローティング	—
	プルアップ			10kΩ	
				100kΩ	
				1MΩ	
	プルダウン			10kΩ	
				100kΩ	
1MΩ					

ADVANCE INFORMATION

表 7-1. ピン構成オプション (続き)

GPIO	IO の選択	OE	IO オプション	抵抗	抵抗値
IO4, IO7	未使用のピン	—	—	プルダウン	1MΩ
	デジタル入力	0	デジタル入力 (シュミットトリガなし) デジタル入力 (シュミットトリガ付き) 低電圧デジタル入力	フローティング	—
				プルアップ	10kΩ
					100kΩ
					1MΩ
				プルダウン	10kΩ
					100kΩ
	1MΩ				
	デジタル出力	1/0	プッシュプル (1X, 2X) オープンドレイン NMOS (1X, 2X) 3 ステート出力 (1X, 2X)	フローティング	—
				プルアップ	10kΩ
					100kΩ
					1MΩ
				プルダウン	10kΩ
					100kΩ
	1MΩ				
	デジタル入出力	0	デジタル入力 (シュミットトリガなし) デジタル入力 (シュミットトリガ付き) 低電圧デジタル入力 アナログ入力 (IO4 のみ)	フローティング	—
				プルアップ	10kΩ
					100kΩ
					1MΩ
				プルダウン	10kΩ
					100kΩ
1MΩ					
1	プッシュプル (1X, 2X) オープンドレイン NMOS (1X, 2X)	上記と共有			
アナログ入出力	—	アナログ入出力	フローティング	—	
			プルアップ	10kΩ	
				100kΩ	
				1MΩ	
			プルダウン	10kΩ	
				100kΩ	
1MΩ					

表 7-1. ピン構成オプション (続き)

GPIO	IO の選択	OE	IO オプション	抵抗	抵抗値
IO5、IO6、IO9	未使用のピン	—	—	プルダウン	1MΩ
	デジタル入力	0	デジタル入力 (シュミットトリガなし) デジタル入力 (シュミットトリガ付き) 低電圧デジタル入力	フローティング	—
				プルアップ	10kΩ
					100kΩ
					1MΩ
				プルダウン	10kΩ
					100kΩ
	1MΩ				
	デジタル出力	1	プッシュプル (1X、2X) オープンドレイン NMOS (1X、2X) オープンドレイン PMOS (1X、2X)	フローティング	—
				プルアップ	—
					10kΩ
					100kΩ
プルダウン				1MΩ	
				10kΩ	
	100kΩ				
				1MΩ	

ADVANCE INFORMATION

7.3.2 接続マルチプレクサ

TPLD1201-Q1 は、内部マクロセルと I/O ピンの配線を構成するための相互接続システム (接続マルチプレクサと呼びます) を備えています。この接続マルチプレクサは 32 の入力と 44 の出力を持っています。接続マルチプレクサの 32 の入力はそれぞれ、I/O ピン、LUT、アナログ コンパレータ、その他のデジタル リソース、VCC、GND を含む特定のマクロセルに配線で接続されています。デジタル マクロセルへの入力には、5 ビットレジスタを使って、これらの 32 の入力ラインの 1 つが選択されます。

7.3.3 機能を設定可能なロジック ブロック

2 つの 2 ビット LUT と 2 つの 3 ビット LUT を含む組み合わせロジックは、TPLD1201-Q1 内のルックアップ テーブル (LUT) によってサポートされています。組み合わせ機能マクロセルの入力と出力は、OTP ビットの状態によって定義される特定のロジック機能を持つように、接続マルチプレクサによって構成されます。

TPLD1201-Q1 は、複数のロジックまたはタイミング機能を備えた 7 つの組み合わせ機能ブロック (マクロセル) を内蔵しています。いずれの場合も、これらはルックアップ テーブル (LUT)、または別のロジックまたはタイミング機能として機能できます。これらのロジック ブロックに実装できる機能については、以下の一覧表を参照してください。

- 2 つの 2 ビット LUT
- 2 つの 3 ビット LUT
- 2 つの 2 ビット LUT または D タイプ フリップ フロップまたはラッチ
- 2 つの 3 ビット LUT または D タイプ フリップ フロップまたはラッチ (リセット / セット オプション付き)
- 1 つの 3 ビット LUT またはパイプ遅延
- 1 つの 4 ビット LUT または 8 ビット カウンタまたは遅延ジェネレータ

7.3.3.1 2 ビット LUT マクロセル

LUT 機能を実装するために使用する場合、2 ビット LUT は接続マルチプレクサから 2 つの入力信号を取り込み、1 つの出力を生成します。その出力は接続マルチプレクサに戻ります。

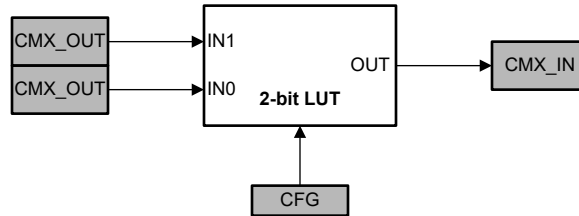


図 7-2. 2 ビット LUT のブロック図

これらの LUT は、標準デジタル ロジック機能 (AND、NAND、OR、NOR、XOR、XNOR、INV) を含む任意の 2 入力ユーザー定義機能に構成できます。

表 7-2 に、2 ビット LUT の真理値表を示します。

表 7-2. 2 ビット LUT の真理値表

IN1	IN0	OUT
0	0	ユーザー定義
0	1	
1	0	
1	1	

出力機能を定義するため、各 2 ビット LUT は OTP 内に 4 つのビットを備えています。

7.3.3.2 3 ビット LUT マクロセル

LUT 機能を実装するために使用する場合、3 ビット LUT は接続マルチプレクサから 3 つの入力信号を取り込み、1 つの出力を生成します。その出力は接続マルチプレクサに戻ります。

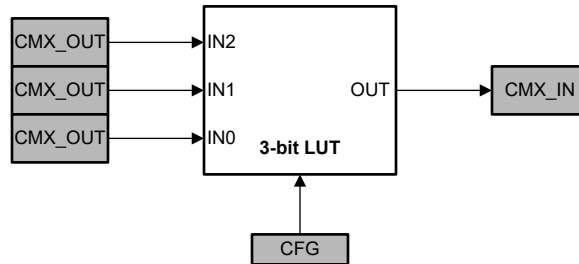


図 7-3. 3 ビット LUT のブロック図

これらの LUT は、標準デジタル ロジック機能 (AND、NAND、OR、NOR、XOR、XNOR、INV) を含む任意の 3 入力ユーザー定義機能に構成できます。

表 7-3 に、3 ビット LUT の真理値表を示します。

表 7-3. 3 ビット LUT の真理値表

IN2	IN1	IN0	OUT
0	0	0	ユーザー定義
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

出力機能を定義するため、各 3 ビット LUT は OTP 内に 8 つのビットを備えています。

7.3.3.3 2 ビット LUT または D フリップフロップ / ラッチ マクロセル

機能を設定可能なこのロジックブロックは 2 ビット LUT と D フリップフロップ / ラッチのどちらかとして機能できます。

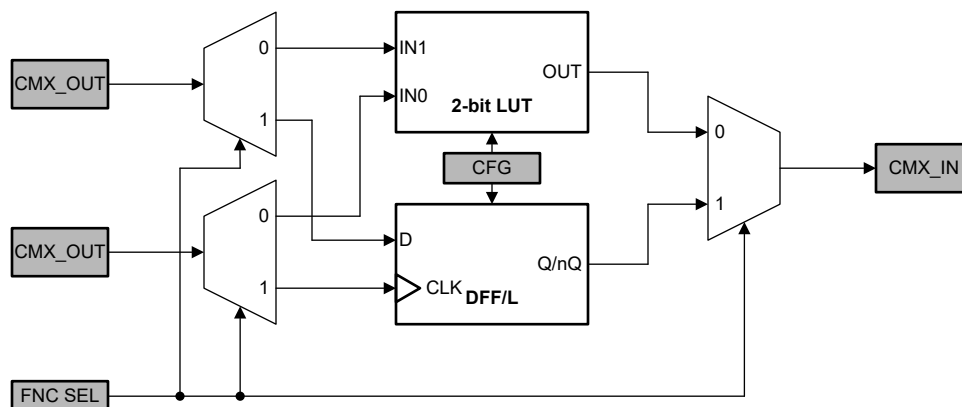


図 7-4. 2 ビット LUT または DFF / ラッチのブロック図

LUT 機能を実装するために使用する場合、2 ビット LUT は接続マルチプレクサから 2 つの入力信号を取り込み、1 つの出力を生成します。その出力は接続マルチプレクサに戻ります。これらの LUT は、標準デジタル ロジック機能 (AND、NAND、OR、NOR、XOR、XNOR、INV) を含む任意の 2 入力ユーザー定義機能に構成できます。

表 7-4 に、2 ビット LUT の真理値表を示します。

表 7-4. 2 ビット LUT の真理値表

IN1	IN0	OUT
0	0	ユーザー定義
0	1	
1	0	
1	1	

出力機能を定義するため、各 2 ビット LUT は OTP 内に 4 つのビットを備えています。

シーケンシャル ロジック素子を実装するために使用する場合、接続マルチプレクサからの 2 つの入力信号は、フリップフロップ / ラッチのデータ (D) およびクロック (CLK) 入力に入力され、その出力は接続マルチプレクサに戻ります。このマクロセルはクロックおよび出力極性パラメータだけでなく、初期状態パラメータを持っています。

D フリップフロップ / ラッチの動作は以下の機能説明に従います。

- クロック極性は設定可能であり、非反転 (CLKPOL = 0、CLK) または反転 (CLKPOL = 1、nCLK) に設定できます。
 - CLK 付き DFF: CLK は立ち上がりエッジでトリガされ、Q = D になります。それ以外の場合、Q は変化しません。
 - nCLK 付き DFF: CLK は立ち下がりエッジでトリガされ、Q = D になります。それ以外の場合、Q は変化しません。
 - CLK 付きラッチ: CLK が Low の場合、Q = D になります。それ以外の場合、Q は前の値のまま維持されます (CLK が High の場合、入力 D は出力に影響を及ぼしません)。
 - nCLK 付きラッチ: CLK が High の場合、Q = D になります。それ以外の場合、Q は前の値のまま維持されます (CLK が Low の場合、入力 D は出力に影響を及ぼしません)。
- 出力極性は設定可能であり、非反転 (Q) または反転 (nQ) に設定できます。

表 7-5 と表 7-6 に、それぞれ D フリップフロップと D ラッチの真理値表を示します。

表 7-5. D フリップフロップの真理値表

CLKPOL	CLK	D	Q	nQ
0	↓	0	Q ₀	nQ ₀
	↑	0	0	1
	↓	1	Q ₀	nQ ₀
	↑	1	1	0
1	↓	0	0	1
	↑	0	Q ₀	nQ ₀
	↓	1	1	0
	↑	1	Q ₀	nQ ₀

表 7-6. D ラッチの真理値表

CLKPOL	CLK	D	Q	nQ
0	0	0	0	1
	1	0	Q ₀	nQ ₀
	0	1	1	0
	1	1	Q ₀	nQ ₀

表 7-6. D ラッチの真理値表 (続き)

CLKPOL	CLK	D	Q	nQ
1	0	0	Q ₀	nQ ₀
	1	0	0	1
	0	1	Q ₀	nQ ₀
	1	1	1	0

7.3.3.4 3 ビット LUT または D フリップフロップ / ラッチ (セット / リセット付き) マクロセル

機能を設定可能なこのロジックブロックは、3 ビット LUT と D フリップ フロップ / ラッチ (セット / リセット付き) のどちらかとして機能できます。

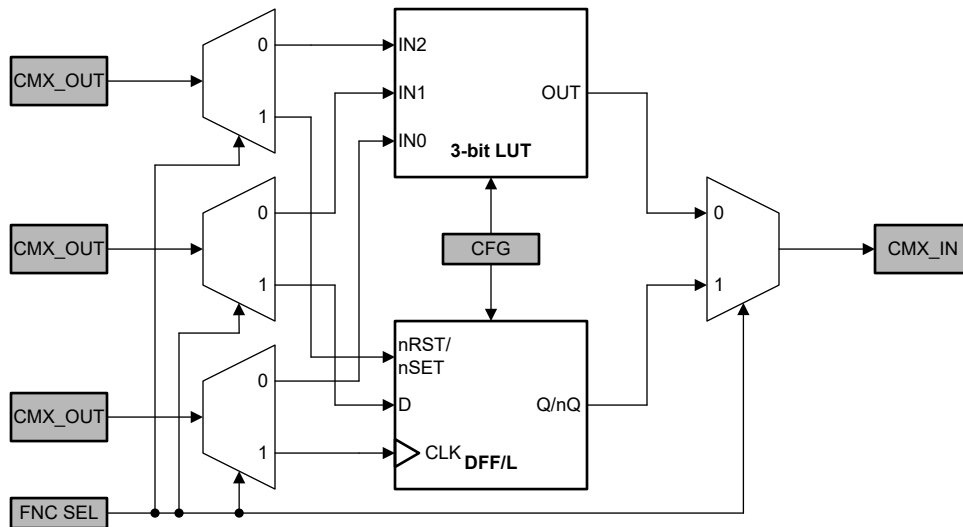


図 7-5. 3 ビット LUT または DFF / ラッチ (nRST または nSET 付き) のブロック図

LUT 機能を実装するために使用する場合、3 ビット LUT は接続マルチプレクサから 3 つの入力信号を取り込み、1 つの出力を生成します。その出力は接続マルチプレクサに戻ります。これらの LUT は、標準デジタル ロジック機能 (AND、NAND、OR、NOR、XOR、XNOR、INV) を含む任意の 3 入力ユーザー定義機能に構成できます。

表 7-7 に、3 ビット LUT の真理値表を示します。

表 7-7. 3 ビット LUT の真理値表

IN2	IN1	IN0	OUT
0	0	0	ユーザー定義
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

出力機能を定義するため、各 3 ビット LUT は OTP 内に 8 つのビットを備えています。

シーケンシャル ロジック素子を実装するために使用する場合、接続マルチプレクサからの 3 つの入力信号は、フリップフロップ / ラッチのデータ (D)、クロック (CLK)、リセット / セット (nRST/nSET) 入力に入力され、その出力は接続マルチプレクサに戻ります。このマクロセルは初期状態、クロック極性、リセット / セット極性、出力極性のパラメータを持っています。

D フリップフロップ / ラッチの動作は以下の機能説明に従います。

- クロック極性は設定可能であり、非反転 (CLKPOL = 0、CLK) または反転 (CLKPOL = 1、nCLK) に設定できます。
 - CLK 付き DFF: CLK は立ち上がりエッジでトリガされ、Q = D になります。それ以外の場合、Q は変化しません。
 - nCLK 付き DFF: CLK は立ち下がりエッジでトリガされ、Q = D になります。それ以外の場合、Q は変化しません。
 - CLK 付きラッチ: CLK が Low の場合、Q = D になります。それ以外の場合、Q は前の値のまま維持されます (CLK が High の場合、入力 D は出力に影響を及ぼしません)。
 - nCLK 付きラッチ: CLK が High の場合、Q = D になります。それ以外の場合、Q は前の値のまま維持されます (CLK が Low の場合、入力 D は出力に影響を及ぼしません)。
- これらの DFF / ラッチでは、アクティブ Low のリセット / セットを使うこともできます。
 - nRST: 入力を High にすると、DFF / ラッチは通常動作に入り、入力を Low にすると、Q は 0 にリセットされます。
 - nSET: 入力を High にすると、DFF / ラッチは通常動作に入り、入力を Low にすると、Q は 1 にセットされます。
- リセット / セットが不要な場合、これらの入力を V_{CC} またはその他の定電圧源に接続できます。
- 出力極性は設定可能であり、非反転 (Q) または反転 (nQ) に設定できます。

表 7-8 と表 7-9 に、それぞれ D フリップフロップと D ラッチ (リセット / セット付き) の真理値表を示します。

表 7-8. D フリップフロップ (nRST または nSET 付き) の真理値表

nRST	nSET	CLKPOL	CLK	D	Q	nQ
0	—	0	X	X	0	1
—	0		X	X	1	0
1	1		↓	0	Q ₀	nQ ₀
			↑	0	0	1
			↓	1	Q ₀	nQ ₀
			↑	1	1	0
0	—	1	X	X	0	1
—	0		X	X	1	0
1	1		↓	0	0	1
			↑	0	Q ₀	nQ ₀
			↓	1	1	0
			↑	1	Q ₀	nQ ₀

表 7-9. D ラッチ (nRST/nSET 付き) の真理値表

nRST	nSET	CLKPOL	CLK	D	Q	nQ
0	—	0	X	X	0	1
—	0		X	X	1	0
1	1		0	0	0	1
			1	0	Q ₀	nQ ₀
			0	1	1	0
			1	1	Q ₀	nQ ₀

表 7-9. D ラッチ (nRST/nSET 付き) の真理値表 (続き)

nRST	nSET	CLKPOL	CLK	D	Q	nQ
0	—	1	X	X	0	1
—	0		X	X	1	0
1	1		0	0	Q ₀	nQ ₀
			1	0	0	1
			0	1	Q ₀	nQ ₀
			1	1	1	0

7.3.3.5.3 ビット LUT またはパイプ遅延マクロセル

このマクロセルは 3 ビット LUT とパイプ遅延のどちらかとして機能できます。

ADVANCE INFORMATION

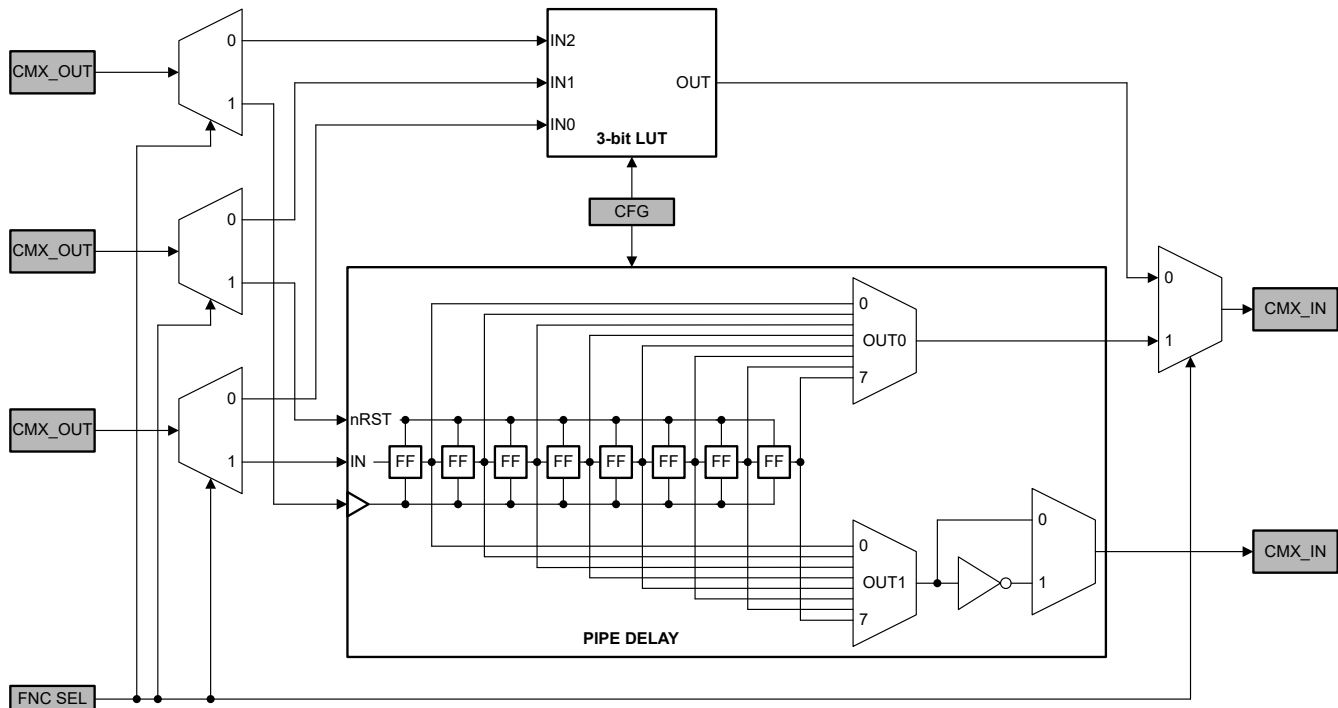


図 7-6. 3 ビット LUT またはパイプ遅延のブロック図

LUT 機能を実装するために使用する場合、3 ビット LUT は接続マルチプレクサから 3 つの入力信号を取り込み、1 つの出力を生成します。その出力は接続マルチプレクサに戻ります。これらの LUT は、標準デジタル ロジック機能 (AND、NAND、OR、NOR、XOR、XNOR、INV) を含む任意の 3 入力ユーザー定義機能に構成できます。

表 7-10 に、3 ビット LUT の真理値表を示します。

表 7-10. 3 ビット LUT の真理値表

IN2	IN1	IN0	OUT
0	0	0	ユーザー定義
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

出力機能を定義するため、各 3 ビット LUT は OTP 内に 8 つのビットを備えています。

パイプ遅延を実装するために使用する場合、接続マルチプレクサからの 3 つの入力信号は、フリップフロップ / ラッチの遅延入力 (IN)、クロック (CLK)、リセット (nRST) 入力に入力され、2 つの出力は接続マルチプレクサに戻ります。このマクロセルを使うと、ユーザーは出力ごとの遅延段数 (1~8) と OUT1 の出力極性を選択できます。

パイプ遅延は、8 つの DFF で構成された 8 段の遅延です。DFF セルは直列に接続され、各遅延セルの出力が隣の DFF セルに転送されます。各パイプ遅延出力の遅延量の選択を制御するために使用されるマルチプレクサへの OUT0 および OUT1 出力の各組には、遅延出力点があります。

通常のパイプ遅延機能を使う場合、nRST 入力を High にする必要があります。nRST 入力が Low の場合、パイプ遅延マクロセルはリセット状態に入り、すべての出力は Low になります。

図 7-7 に、2 段の遅延を選択したパイプ遅延マクロセルの例を示します。

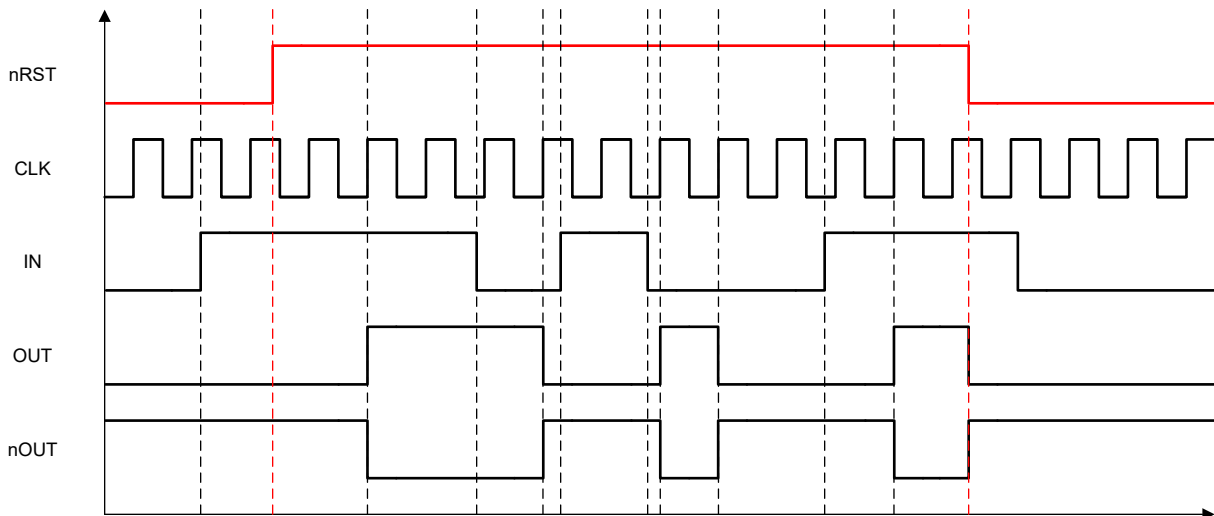


図 7-7. パイプ遅延マクロセルのタイミング例 (遅延 = 2)

7.3.3.6 4 ビット LUT または 8 ビット カウンタ / 遅延マクロセル

このマクロセルは 4 ビット LUT とカウンタ / 遅延ジェネレータ (CNT/DLY) のどちらかとして機能できます。

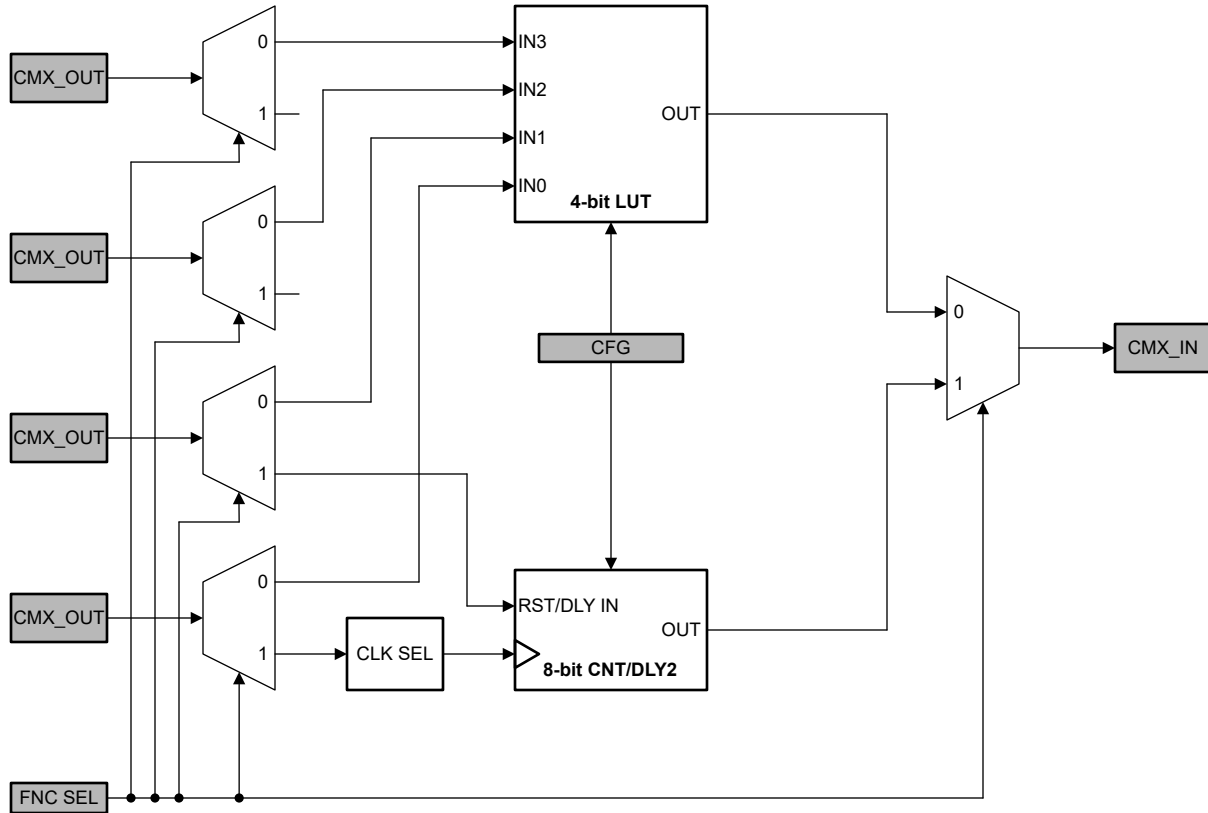


図 7-8. 4 ビット LUT または 8 ビット CNT/DLY のブロック図

LUT 機能を実装するために使用する場合、4 ビット LUT は接続マルチプレクサから 4 つの入力信号を取り込み、1 つの出力を生成します。その出力は接続マルチプレクサに戻ります。これらの LUT は、標準デジタル ロジック機能 (AND、NAND、OR、NOR、XOR、XNOR、INV) を含む任意の 4 入力ユーザー定義機能に構成できます。

表 7-11 に、4 ビット LUT の真理値表を示します。

表 7-11. 4 ビット LUT の真理値表

IN3	IN2	IN1	IN0	OUT
0	0	0	0	ユーザー定義
0	0	0	1	
0	0	1	0	
0	0	1	1	
0	1	0	0	
0	1	0	1	
0	1	1	0	
0	1	1	1	
1	0	0	0	
1	0	0	1	
1	0	1	0	
1	0	1	1	
1	1	0	0	
1	1	0	1	
1	1	1	0	
1	1	1	1	

出力機能を定義するため、各 4 ビット LUT は OTP 内に 16 のビットを備えています。

8 ビット カウンタ / 遅延機能を実装するために使用する場合、接続マルチプレクサからの 2 つの入力信号は、カウンタ / 遅延マクロセルのクロック (CLK) とリセット (RST/DLY IN) に入力され、その出力は接続マルチプレクサに戻ります。カウンタとして本マクロセルは、定められたデータ値をカウントし、設定値に達すると、パルスを生成し、またはリセットします。遅延として本マクロセルは、レジスタ値の関数として設定された期間だけ立ち上がりエッジまたは立ち下がりエッジを遅らせます。

CNT/DLY マクロセルの詳細については、[セクション 7.3.4](#) を参照してください。

7.3.4.8 ビット カウンタ / 遅延ジェネレータ (CNT/DLY)

カウンタ / 遅延ジェネレータは 8 ビットで、1~255 のカウンタ データ値をサポートします。柔軟性を高めるため、これらの各マクロセルのクロックソースは、内部発振器、発振器から生成された分周クロック (OSC/4、/12、/24、/64、/4096)、または接続マルチプレクサから生成される外部クロックソースとして構成できます。前の CNT/DLY マクロセルの出力からチェーン接続して、より長いカウンタ / 遅延回路を実装するオプションもあります。カウンタ / 遅延マクロセルが立ち上がりエッジトリガであることに注意してください。つまり、クロックの立ち上がりエッジでカウンタがインクリメント / デクリメントします。

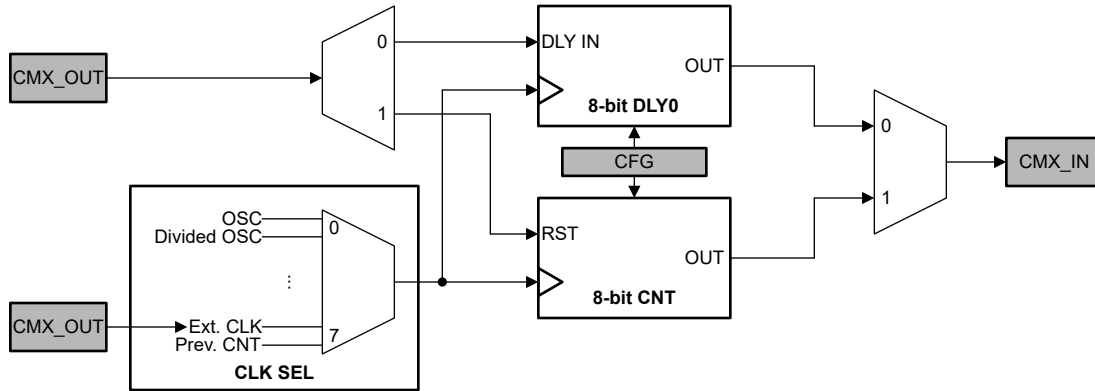


図 7-9. CNT/DLY ブロック図

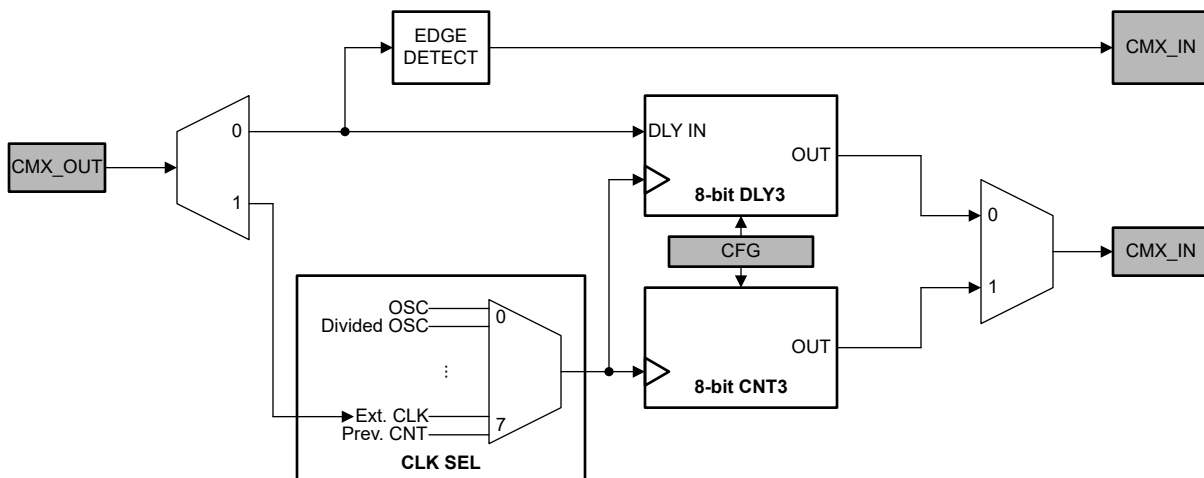


図 7-10. CNT/DLY3 のブロック図

カウンタ / 遅延 (CNT/DLY) マクロセルとして、モードを遅延、カウンタから選択できます。

DLY3 にはオプションのエッジ検出器もあり、遅延出力に加えて、指定されたエッジで短いパルスを生成します。

7.3.4.1 遅延モード

遅延ジェネレータ (DLY) として構成されている場合、このマクロセルは、カウンタ DATA と CLK 入力周波数に基づいて入力を遅延させ、立ち上がり / 立ち下がりエッジを遅延します。遅延するエッジは、エッジ選択パラメータで選択され、次のように設定できます。

- **Rising:** IN の立ち上がりエッジでのみ遅延します。
- **Falling:** IN の立ち下がりエッジでのみ遅延します。
- **Both:** IN の立ち上がりエッジと立ち下がりエッジの両方で遅延します。

遅延アプリケーションの場合、より大きなカウンタ DATA 値を使用して誤差を低減することを推奨します。入力パルス幅が指定の遅延時間より短い場合、パルスはフィルタで除去されます。この機能はグリッチ除去に役立ちます。

オンチップ発振器を使用する場合、OSC が「強制電源オン」と「自動電源オン」のどちらに設定されているかに応じて、遅延誤差またはオフセットが発生します。クロック同期の遅延計算には、さらに 2 クロック サイクルが含まれますが、クロック同期をバイパスするオプションもあります。

遅延時間は、 $DELAY = (DATA + (t_{d_err} \text{ または } t_{d_os}) + 2) / f_{CLK}$ で計算されます。

OSC が「自動電源オン」に設定され、その後前の出力が存在する前に DLY マクロセルがトリガされると、OSC はクロックを継続し、DLY が次の立ち上がりエッジで開始します。したがって、それ以降の遅延は、OSC が「強制電源オン」に設定されているかのように計算できます。

図 7-11 に、両方のエッジ遅延 (both) と DATA = 1 に設定された遅延マクロセル動作の例を示します。

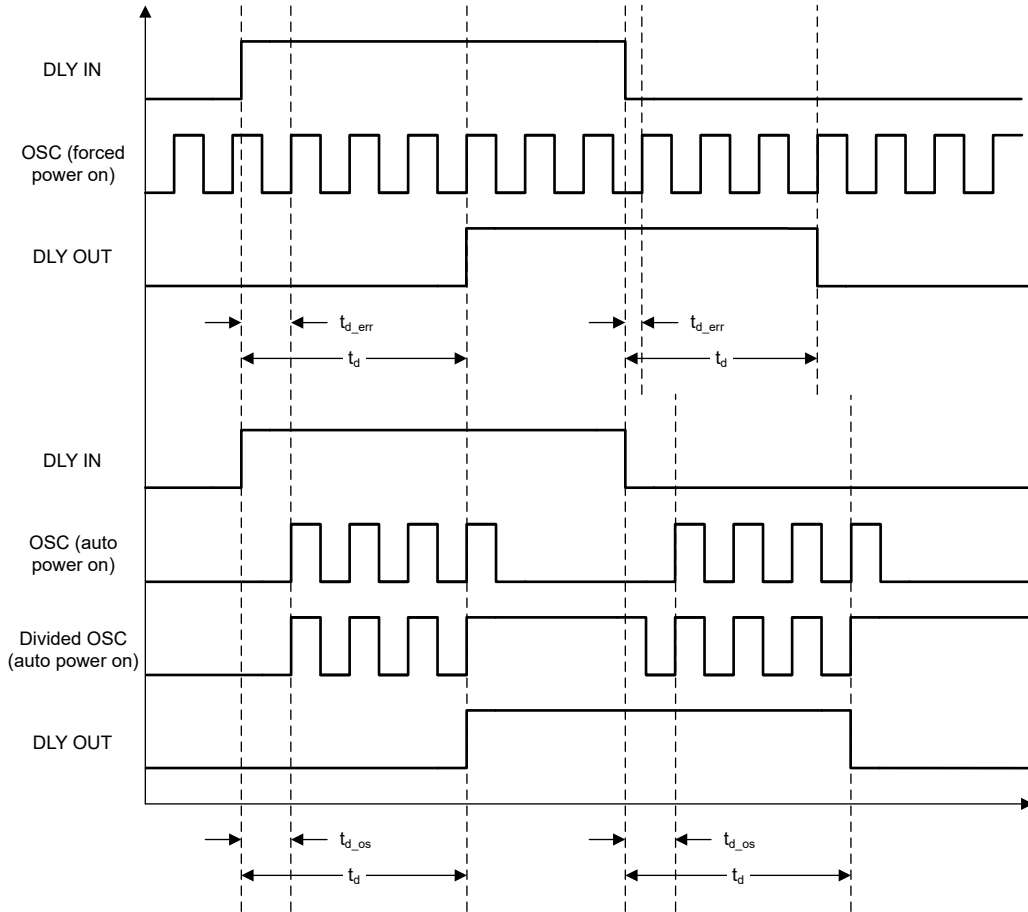


図 7-11. 遅延出力タイミングの例 (両方のエッジ遅延と DATA = 1)

図 7-12 に、OSC を「自動電源オン」に設定した状態で、2 つの異なる遅延マクロセルが連続的にトリガされるタイミングの例を示します。

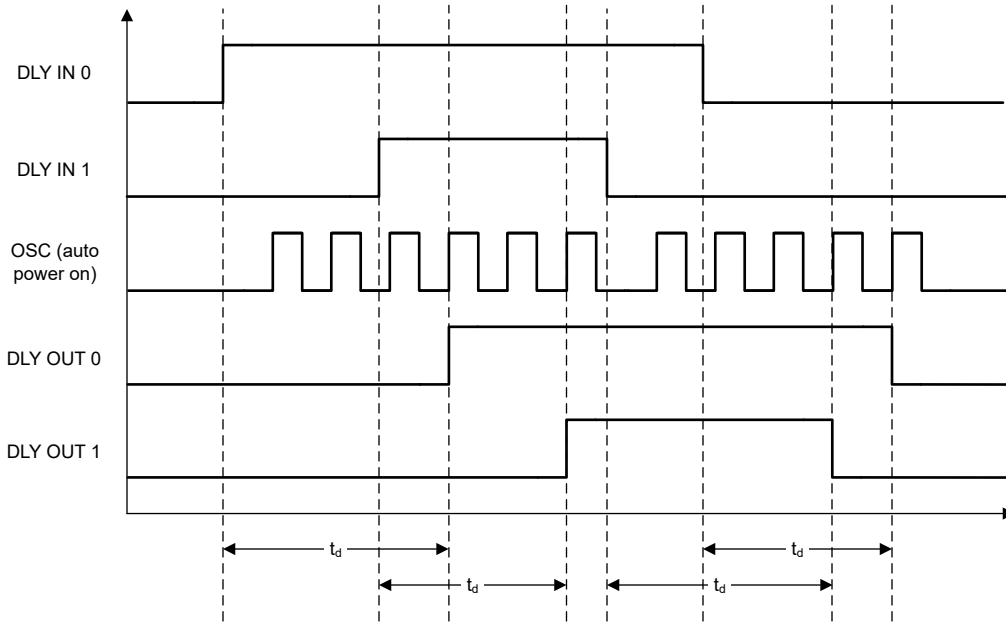


図 7-12. 遅延出力タイミングの例 (2 つの遅延マクロセル、両方のエッジ遅延、DATA = 1、OSC POWER = AUTO)

7.3.4.2 カウンタ モードのリセット

カウンタ (CNT) として構成し、IN 入力に有効なエッジが表示されると、このマクロセルは内部カウンタを 0 にリセットし、次の立ち上がりクロック エッジで DATA からカウントダウンを開始します。その後、カウントが 0 に達した時点で、マクロセルは 1 CLK 周期の間パルスを出し、DATA の値にラップアラウンドします。カウンタは、別のリセットを受信するまで継続的に動作します。カウンタがリセットされるエッジは、エッジ選択パラメータによって決定され、次のように構成できます。

- **Rising:** IN の立ち上がりエッジのみがカウンタをリセットします。
- **Falling:** IN の立ち下がりエッジのみがカウンタをリセットします。
- **Both:** IN の立ち上がりエッジと立ち下がりエッジの両方で、カウンタがリセットされます。
- **High Level Reset:** IN が High のときは常にカウンタは 0 にリセットされ、リセット後、カウンタ出力は次の立ち上がり CLK エッジまで Low に維持され、その後は通常動作します。

カウンタ時間は、 $COUNT = (DATA + 1)/f_{CLK}$ によって計算されます。リセット後、クロック同期のためにさらに 2 クロック サイクルが追加されますが、クロック同期をバイパスするオプションもあります。

注

POR 後、カウンタは DATA = 0 で初期化されます。

図 7-13 および図 7-14 に、それぞれ DATA=1 および DATA=3 でのエッジ選択パラメータごとのカウンタ出力タイミング図の例を示します。

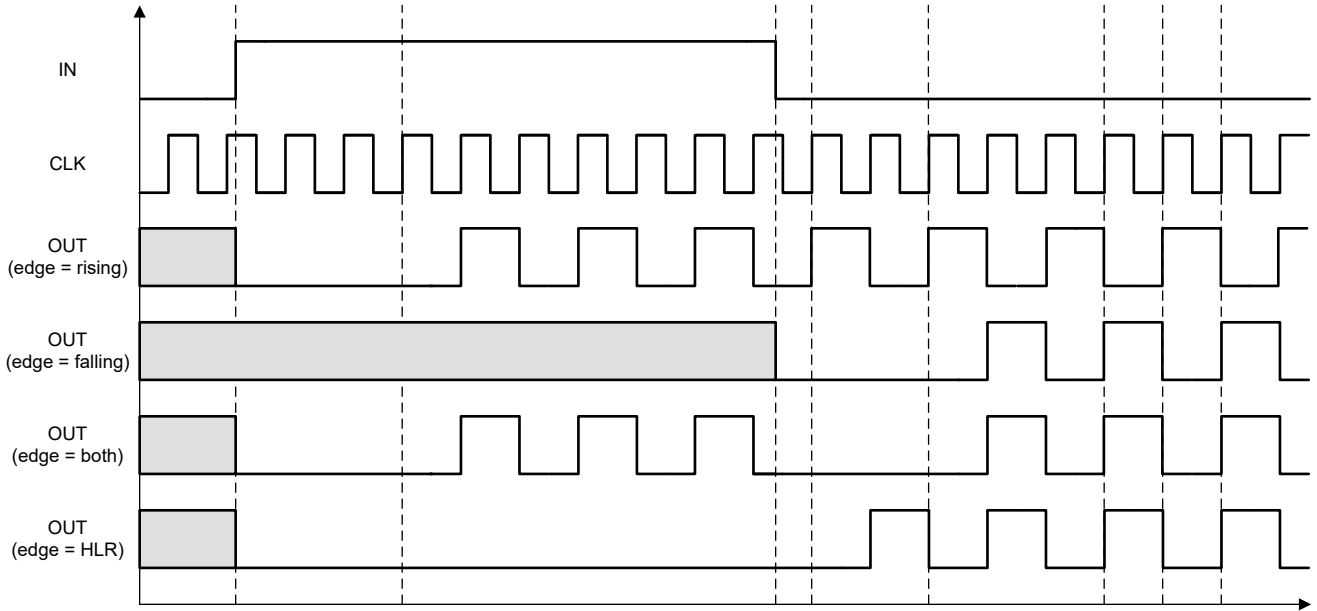


図 7-13. カウンタ出カタイミングの例 (DATA = 1)

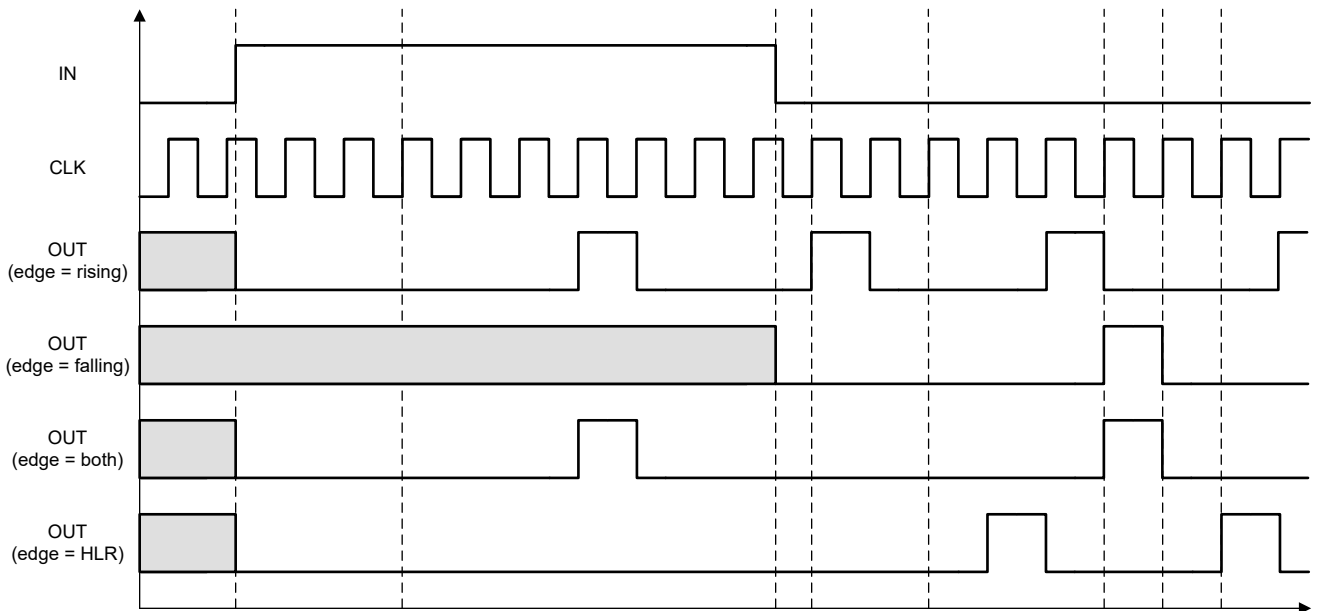


図 7-14. カウンタ出カタイミングの例 (DATA = 3)

図 7-15 に、IN 信号がカウンタの長さより短い場合のカウンタ マクロセルの動作の例を示します (エッジ選択パラメータが「Both」に設定されている場合に表示)。

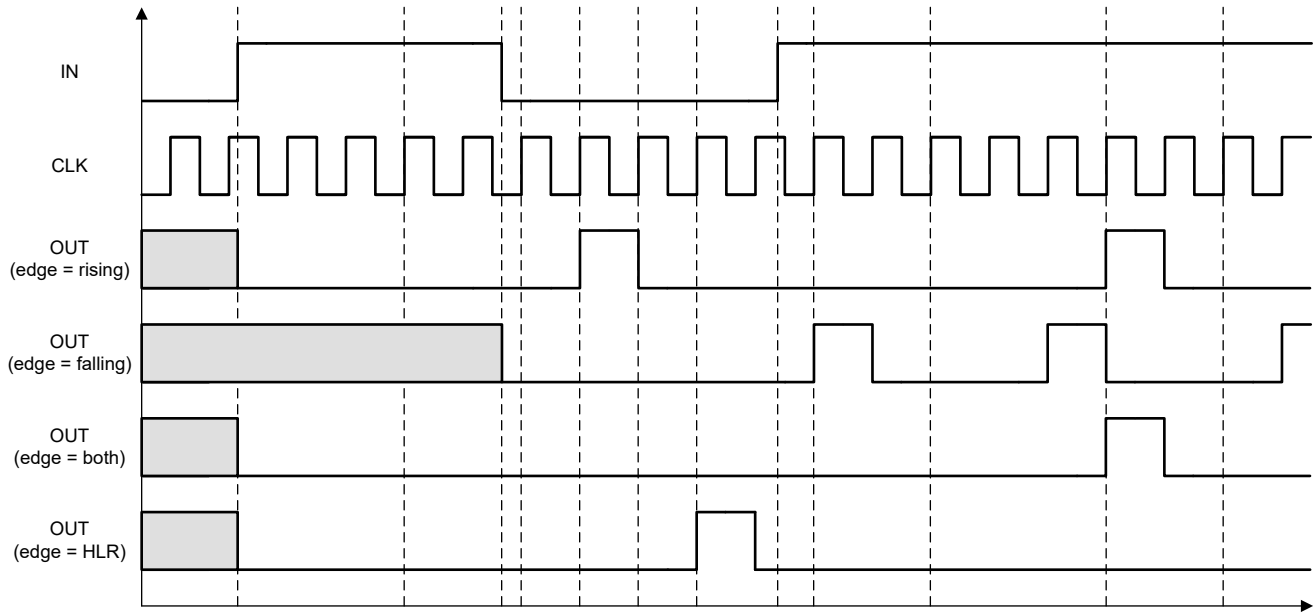


図 7-15. RST < DATA (DATA = 3) でのカウンタ出力タイミング例

7.3.5 プログラム可能なグリッチ除去フィルタまたはエッジ検出器マクロセル

TPLD1201-Q1 には 1 つのマクロセルがあり、プログラマブル フィルタ (PFLT) またはエッジ検出器 (EDET) として構成できます。PFLT マクロセルを使用すると、 t_{pflt_pw} および t_{pflt_pd} で特性化される遅延 (t_{pflt_d}) を生成できます。 t_{pflt_pw} は 125ns、250ns、375ns、500ns に設定でき、 t_{pflt_pd} は約 40ns の固定値です。さらに、マクロセルの出力は、立ち上がりエッジ検出、立ち下がりエッジ検出、両方のエッジ検出、または両方のエッジ遅延の 4 つのオプションのいずれかに構成できます。最後に、このフィルタは短いローパス フィルタとして動作し、出力を非反転または反転に設定できます。

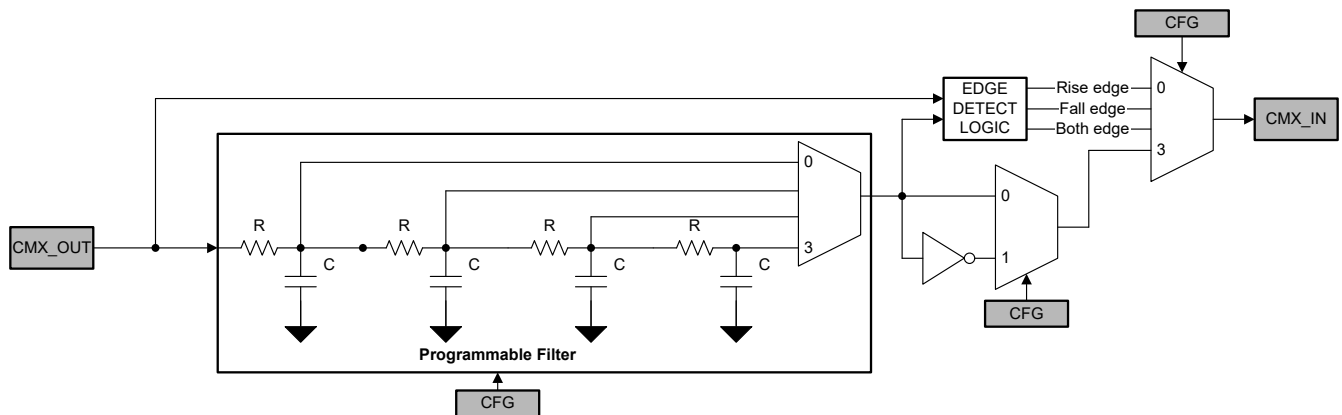


図 7-16. プログラム可能なフィルタおよびエッジ検出器のブロック図

注

入力信号は t_{pflt_d} より長くする必要があります。長くしないと、フィルタによって除去されます。

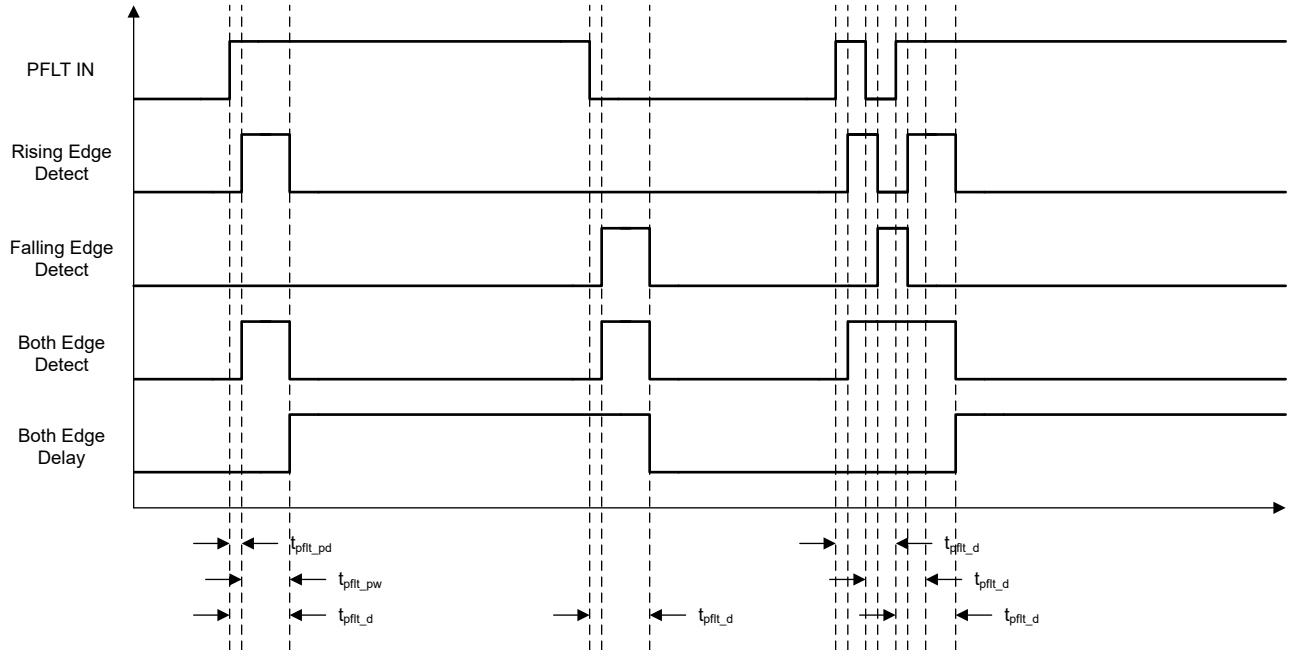


図 7-17. プログラム可能なフィルタおよびエッジ検出器の出力タイミング図の例

7.3.6 周波数選択可能発振器

TPLD1201-Q1 には 1 つの内部発振器があり、25 kHz または 2 MHz で動作するよう選択できます。OSC マクロセルに対してこれらの動作周波数のいずれかを選択することも、内部発振器をバイパスして、外部クロックから動作周波数を供給することもできます。

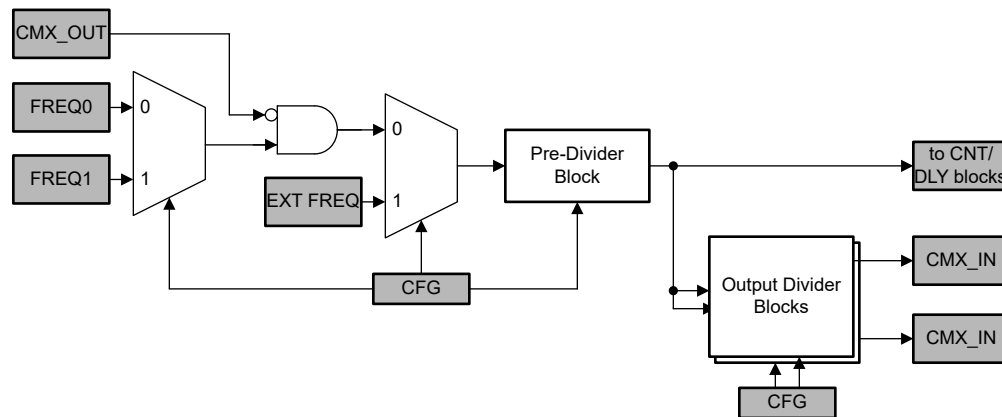


図 7-18. 発振器のブロック図

動作クロック入力に続いて、2 つの分周ステージがあり、さまざまなクロック周波数をデバイス全体で柔軟に使用できます。

第 1 ステージ分周器を使用すると、表 7-13 に示すように、発振器の動作周波数から最大 4 つのオプションを選択できます。第 1 ステージ分周器の出力は、カウンタ / 遅延ジェネレータのマクロセル CLK 入力に直接配線され、ここでは独立した第 2 ステージ分周器が利用可能です。

第 1 ステージ分周器の出力は、発振器マクロセル内の第 2 ステージ分周器にも配線されています。発振器のマクロセルには 2 つの独立した第 2 ステージ分周器があり、接続マルチプレクサへの 2 つの独立したクロック (OUT0 および OUT1) の出力が可能です。表 7-14 を参照してください。

発振器の電力モード: 本デバイスの内部発振器を使用する場合、次の 2 つの構成設定が利用できます。

- **強制パワーオン:** デバイスの電源がオンになっている間、内部発振器は連続的に動作します。
- **自動電源オン:** 内部発振器は、いずれかのマクロセルが接続マルチプレクサではなく、プリデバイダ ブロック出力から直接発振器を要求すると動的にオンになり、タスクが完了すると電源オフになります。
- **外部電源のオン/オフ:** PDWN が High にアサートされると、内部発振器の電源がオフになります。PDWN 信号は、発振器の電力モードよりも優先されます。これは、内部発振器が選択されている場合のみ適用され、外部クロックが使用されている場合はバイパスされます。

表 7-12. 周波数オプションおよび制限

周波数オプション	最小値	標準値	最大値
FREQ0	23.75 kHz	25 kHz	26.25 kHz
FREQ1	1.9 MHz	2 MHz	2.1 MHz
EXT	-	-	-

表 7-13. 発振器プリデバイダ

プリデバイダ オプション	振幅、大きさ
P0	1
P1	2
P2	4
P3	8

表 7-14. 発振器出力分周器

出力分周器オプション	振幅、大きさ
OD0	1
OD1	2
OD2	3
OD3	4
OD4	8
OD5	12
OD6	24
OD7	64

7.3.7 アナログ コンパレータ (ACMP)

TPLD1201-Q1 には 2 つのアナログ コンパレータ (ACMP) マクロ セルがあります。アナログ コンパレータは 2 つの電圧 (IN+ と IN-) を比較し、どちらの入力が大きいを示すデジタル信号 (OUT) (IN+ が大きい場合は High 信号、IN- が大きい場合は Low 信号) を出力します。

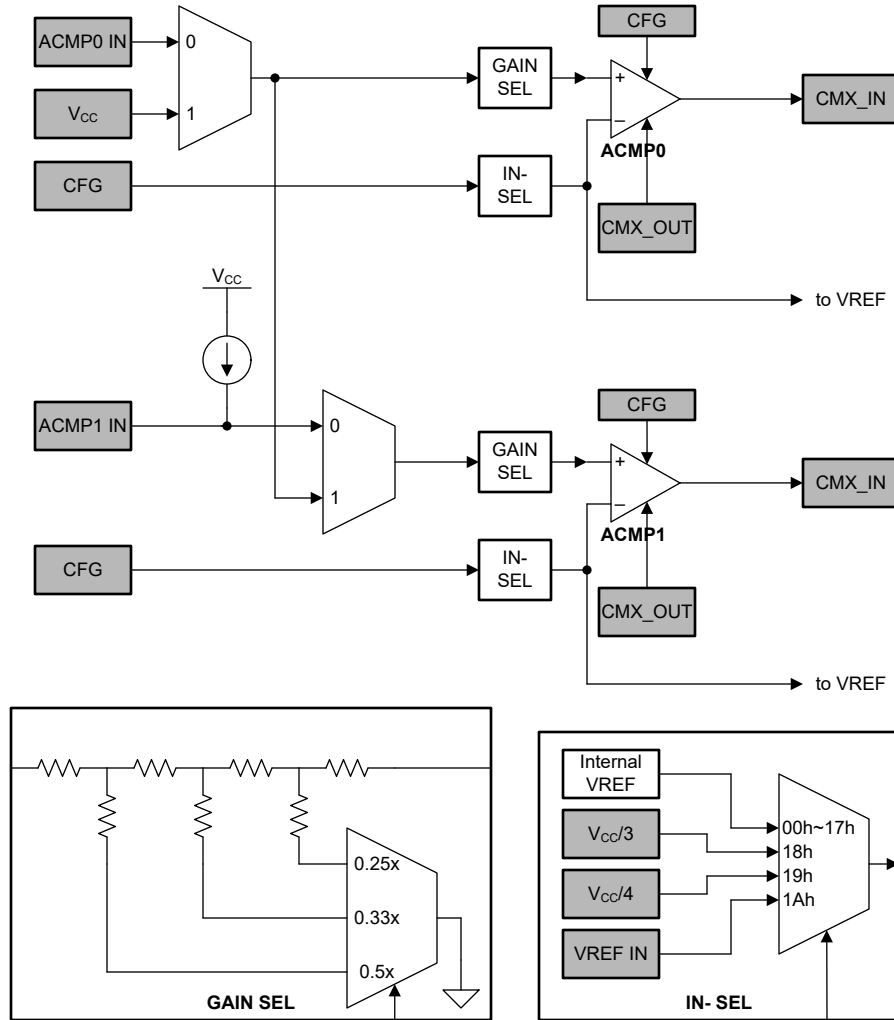


図 7-19. ACMP のブロック図

ACMP マクロセルを動作させるには、パワー アップ信号 (PWR UP) を High にアサートする必要があります。接続マルチプレクサからの信号に接続することで、接続マルチプレクサからのデジタル信号に基づいて、常時オン、常時オフ、動的にオンのいずれかに各 ACMP を設定できます。パワー ダウンされた場合、ACMP は Low 信号を出力します。

- PWR UP = 1: ACMP はパワー アップされます。
- PWR UP = 0: ACMP はパワー ダウンされます。

パワー アップ時、ACMP 出力は Low に維持され、POR 信号が High になった後、100 μ s (標準値) で有効化されます。この間、内部発振器がパワー ダウンされないようにしてください。

各 ACMP セルは、各種外部信号源によって提供される信号を入力する正信号入力と、その信号をアナログ コンパレータに入力する前に増幅する選択可能なゲイン段を持っています。ACMP1 は、外部センサを励起するための 100 μ A プルアップ電流源も備えています。負入力信号は内部 VREF と外部源のどちらかから生成されます。

表 7-15. ACMP0 と ACMP1 の入力源

パラメータ	ACMP0 ⁽¹⁾	ACMP1 ⁽²⁾
IN+ の入力源	アナログ入力 0 (IO1 と共有)	アナログ入力 1 (IO4 と共有)
	V _{CC}	ACMP0 IN+

表 7-15. ACMP0 と ACMP1 の入力源 (続き)

パラメータ	ACMP0 ⁽¹⁾	ACMP1 ⁽²⁾
IN- の入力源	50 mV	50 mV

	1200 mV	1200 mV
	V _{CC} /3	V _{CC} /3
	V _{CC} /4	V _{CC} /4
	VREF アナログ入力 (IO2 と共有)	VREF アナログ入力 (IO2 と共有)

- (1) ACMP への正アナログ入力源。
 (2) ACMP への負アナログ入力源。内部 VREF スレッショルドは 1200mV 付近に最適化されています。

IN+ のゲイン: 各 ACMP セルは、各種外部信号源によって提供される信号を入力する正信号入力と、その信号をアナログコンパレータに接続する前に増幅する選択可能なゲイン段 (1X、0.5X、0.33X、0.25X) を持っています。

IN- の電圧範囲: 内部 VREF、V_{CC}/3、V_{CC}/4、外部電源を使用して、50mV～1.2V に設定できます。

ヒステリシス: 各 ACMP では 4 種類のヒステリシス (0mV、25mV、50mV、200mV) を選択できます。内部 VREF マクロセルまたは外部 VREF 入力を使用している場合、ヒステリシスを選択できます。

- **0mV:** 入力信号ヒステリシスを無効化します。
- **25mV:** +12.5mV と -12.5mV のヒステリシスです。VREF = 1V の場合、トリガ点は 1.0125V と 0.9875V になります。
- **50mV:** +25mV と -25mV のヒステリシスです。VREF = 1V の場合、トリガ点は 1.025V と 0.975V になります。
- **200mV:** +100mV と -100mV のヒステリシスです。VREF = 1V の場合、トリガ点は 1.1V と 0.9V になります。

ヒステリシスが必要な場合、ヒステリシスが VREF よりも小さくなるようにします。さもないと、負のトリガ点がデバイスグラウンドより低く設定され、推奨動作条件の範囲外のストレスが本デバイスに印加されて、本デバイスの寿命を縮める可能性があります。たとえば、VREF が 50mV に設定されており、V_{HYS} が 200mV である場合、トリガ点は 150mV と -50mV になります。

低帯域幅: ACMP セルは、入力信号の帯域幅を選択する機能を備えており、この機能を使って低帯域幅の信号を比較することで、消費電力を節約し、ノイズの影響を低減できます。

ACMP 負入力に V_{CC}/3 と V_{CC}/4 を使用しない場合、消費電力を低減するため、これらは無効化できます。

7.3.8 電圧リファレンス (VREF)

電圧リファレンス (VREF) は固定 (一定の) 電圧を生成し、アナログコンパレータと外部回路に基準電圧を提供します。TPLD1201-Q1 は、2 つのアナログコンパレータに基準電圧を提供するための電圧リファレンスマクロセルを備えています。このマクロセルは、ユーザーが選択した固定基準電圧、本デバイスの V_{CC} 電源電圧の 1/2、1/3、1/4 の基準電圧、VREF アナログ入力 (IO4 と共有) から外部的に供給された基準電圧を出力できます。本マクロセルは VREF アナログ出力 (IO7 と共有) に基準電圧を出力することもできます。

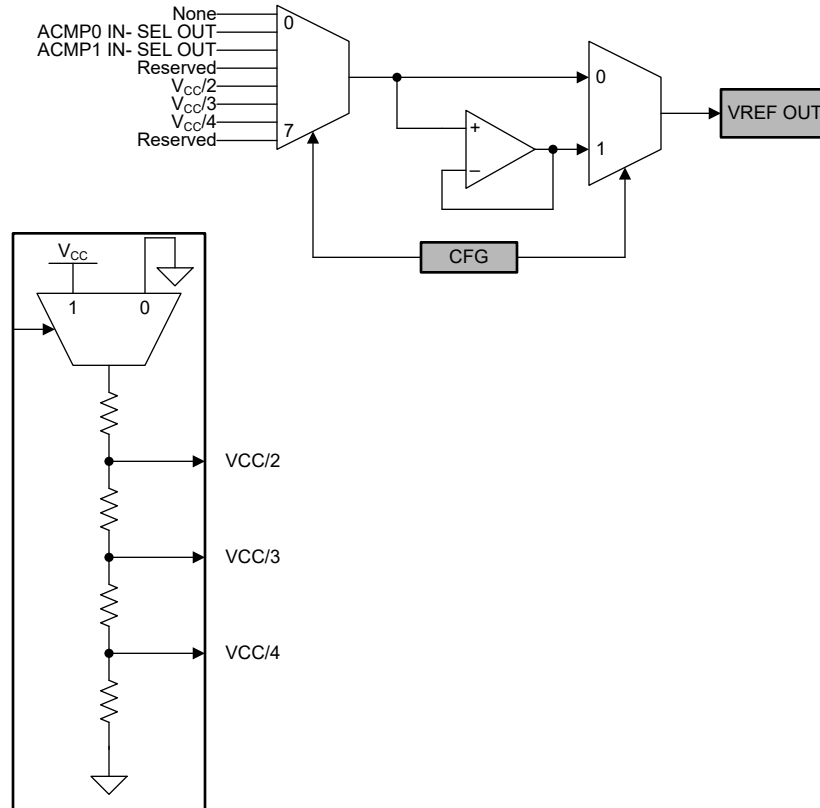


図 7-20. 電圧リファレンスのブロック図

VREF 選択の際に $V_{CC}/2$ 、 $V_{CC}/3$ 、 $V_{CC}/4$ を使用しない場合、消費電力を低減するため、これらが無効化できます。バンドギャップを強制的にオンにすると、本チップに電力を供給している間、バンドギャップは作動状態に保たれます。出力アクティブ バッファ パラメータは VREF のアクティブ出力バッファを有効化します。

表 7-16. VREF 範囲

V_{CC}	VREF 範囲
1.71V~5.5V	50mV~1.2V

7.4 デバイスの機能モード

7.4.1 パワーオン リセット

TPLD1201-Q1 は、適切なデバイス初期化と本デバイス内のすべてのマクロセルの動作を可能にするパワーオンリセット (POR) マクロセルを備えています。POR 回路の目的は、最初に V_{CC} 電源が本デバイスに印加された際と、パワーダウン中に V_{CC} が低下する際に、一貫性のある挙動と予測可能な結果を得ることです。この目標を達成するため、POR は、本デバイス内の各種マクロセルの状態、最終的には I/O ピンの状態を変化させるきっかけとなる一連の定義済み内部イベントを実行させます。

パワーオンリセット (POR) マクロセルは、本デバイスの電源 (V_{CC}) が V_{PORR} 前後まで上がり、本デバイスが完全に起動すると、出力としてロジック High 信号を生成します。すべての出力がハイインピーダンス状態になり、チップは OTP からデータを読み込み始めます。このリセット信号は内部マクロセルに対して発行され、すべてのレジスタはデフォルト状態に初期化されます。図 7-21 に、特定のマクロセルを有効化する一連の信号を POR システムが生成する様子を示します。

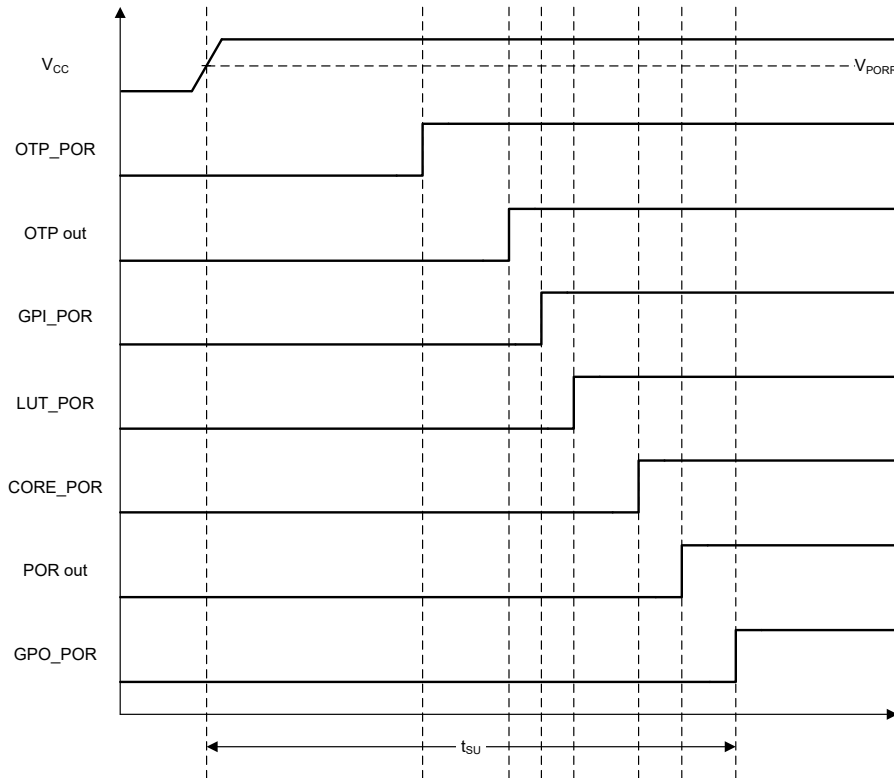


図 7-21. POR シーケンス

図 7-21 に示すように、V_{CC} が上がり始め、V_{PORR} スレッショルドを横切った後、次の動作が行われます。

- 最初に、オンチップ OTP メモリがリセットされます。
- 次に、本デバイスは OTP メモリからデータを読み取り、各マクロセルと接続マルチプレクサを構成するため、この情報を転送します。
- 第 3 段階では、入力として構成された GPIO がリセットされ、それらが有効化されます。
- その後、LUT がリセットされ、アクティブになります。LUT の後、遅延セル、OSC、DFF、ラッチ、パイプ遅延が初期化されます。
- すべてのマクロセルが初期化されると、POR マクロセルによって生成された内部 POR 信号が Low から High に変化します。
- 本デバイスの、最後に初期化される部分は出力ピンであり、これらの出力ピンはこの時点でハイインピーダンスからアクティブに遷移します。

遅延ブロックは、起動シーケンス中、構成に従って、信号を遅延させることなく入力を出力に渡します。そのため、DLY の入力の前に LUT を追加して、DLY 入力と POR の論理積を取り、本デバイスが完全にパワーアップするまで、入力信号が現れないようにします。

GPIO の高速充電: 特に大きな容量が存在する場合、入力が正常な電圧により早く到達できるように、任意の構成済みプルアップ / プルダウン抵抗と並列に 2kΩ の抵抗を接続する機能が備わっています。10kΩ、100kΩ、1MΩ の GPIO プルアップ / プルダウン抵抗は、POR シーケンスが完了するまで有効化されません。

初期化: すべての内部マクロセルはデフォルトで Low レベルに初期化されます。V_{CC} が V_{PORR} を上回ると、TPLD1201-Q1 のマクロセルがパワーオンされ、強制的にリセット状態になります。

VREF 出力ピン駆動信号は、POR 出力信号が High になる 3μs～5μs 前に発生してもかまいません。POR 信号が High になることは、前述のパワーアップ シーケンスが完了したことを示します。

8 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

TPLD1201-Q1 の構成可能なロジックおよびタイミング ブロックにより、本デバイスは多数の部品に対称的なパワーアップ信号とパワーダウン信号を供給できます。このアプリケーションでは、デバイスはカウンタ / 遅延マクロセルに基づいて、パワーアップおよびパワーダウンのシーケンシング信号の最大量を出力するように構成されています。

8.2 代表的なアプリケーション

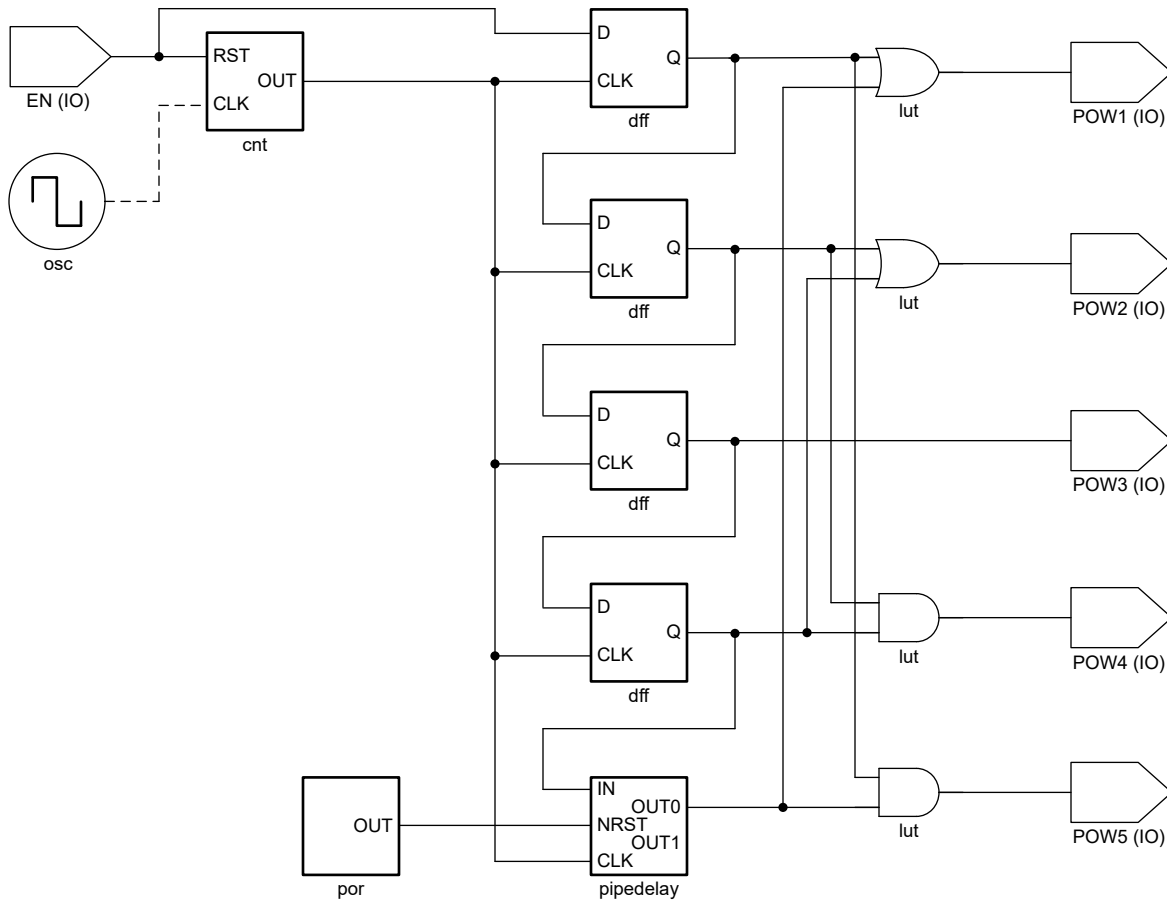


図 8-1. InterConnect Studio の代表的なアプリケーションのブロック図

8.2.1 設計要件

8.2.1.1 電源に関する考慮事項

目的の電源電圧が「推奨動作条件」で規定されている範囲内であることを確認します。「電気的特性」セクションに記載されているように、電源電圧は本デバイスの電気的特性を決定づけます。

正電圧の電源は、TPLD1201-Q1 のすべての出力によってソースされる総電流、「電気的特性」に記載された静的消費電流 (I_{CC}) の最大値、スイッチングに必要な任意の過渡電流の合計に等しい電流を供給する必要があります。デバイスは、正の電源から供給される電流のみをソースできます。「絶対最大定格」に記載された V_{CC} 総電流の最大値を超えないようにしてください。

グラウンドは、TPLD1201-Q1 のすべての出力によってシンクされる総電流、「電気的特性」に記載された消費電流 (I_{CC}) の最大値、スイッチングに必要な任意の過渡電流の合計に等しい電流をシンクする必要があります。ロジック デバイスは、グラウンド接続にシンクできる電流のみをシンクできます。「絶対最大定格」に記載された GND 総電流の最大値を超えないようにしてください。

TPLD1201-Q1 は、データシートの仕様をすべて満たしつつ、合計容量 15pF 以下の負荷を駆動できます。これより大きな容量性負荷を印加することもできますが、15pF を超えることは推奨しません。

TPLD1201-Q1 は、「電気的特性」表に定義されている出力電圧 (V_{OH} および V_{OL}) および電流で、 $R_L \geq V_O / I_O$ で記述される合計抵抗の負荷を駆動できます。High 状態で出力する場合、この式の出力電圧は、測定した出力電圧と V_{CC} ピンの電源電圧の差として定義されます。

総消費電力は、『CMOS の消費電力と Cpd の計算』に記載されている情報を使用して計算できます。

熱上昇は、『標準リニアおよびロジック (SLL) パッケージおよびデバイスの熱特性』に記載されている情報を使用して計算できます。

注意

「絶対最大定格」に記載された最大接合部温度 ($T_{J(max)}$) は、本デバイスの損傷を防止するための追加の制限値です。「絶対最大定格」に記載されたすべての制限値を必ず満たすようにしてください。これらの制限値は、デバイスへの損傷を防ぐために規定されています。

8.2.1.2 入力に関する考慮事項

入力信号は、 $V_{IL(max)}$ または $V_{t-(min)}$ を超えるとロジック Low と見なされ、 $V_{IH(min)}$ または $V_{t+(max)}$ を超えるとロジック High と見なされます。「絶対最大定格」に記載された最大入力電圧範囲を超えないようにしてください。

未使用の入力は、 V_{CC} またはグランドに終端させる必要があります。入力がまったく使われていない場合は、未使用の入力を直接終端させることができます。入力が常時ではなく、時々使用される場合は、プルアップ抵抗かプルダウン抵抗と接続することも可能です。デフォルト状態が High の場合にはプルアップ抵抗、デフォルト状態が Low の場合にはプルダウン抵抗を使用します。コントローラの駆動電流、TPLD1201-Q1 へのリーク電流（「電気的特性」で規定）、および必要な入力遷移レートによって抵抗のサイズが制限されます。こうした要因により 10k Ω の抵抗値がしばしば使用されます。

TPLD1201-Q1 は CMOS 入力を備えているため、正しく動作するには、「推奨動作条件」表で定義されているように、入力が素早く遷移する必要があります。入力遷移が遅いと発振が発生し、消費電力の増大やデバイスの信頼性の低下を招くことがあります。

TPLD1201-Q1 にはシュミットトリガ入力があるため、信号遷移レート要件なしで使うことができます。

シュミットトリガ入力を採用するもう 1 つの利点は、ノイズを除去できることです。振幅の大きなノイズの場合でも、問題が発生することがあります。問題を発生させる可能性があるノイズの大きさについては、「電気的特性」の $\Delta V_{T(min)}$ を参照してください。このヒステリシス値により、ピークツーピーク制限が得られます。

標準的な CMOS 入力とは異なり、シュミットトリガ入力は、消費電力を大幅に増加させることなく、任意の有効な値に保持できます。 V_{CC} でもグランドでもない値に入力を保持した場合に発生する追加の電流（代表値）を「代表的特性」のグラフに示します。

このデバイスの入力の詳細については、「機能説明」セクションを参照してください。

8.2.1.3 出力に関する考慮事項

正の電源電圧を使用して、出力 High 電圧を生成します。出力から電流を引き出すと、「電気的特性」の V_{OH} 仕様で規定されたように出力電圧が低下します。グランド電圧を用いて出力 Low 電圧を生成します。出力に電流をシンクすると、「電気的特性」の V_{OL} 仕様で規定されたように出力電圧が上昇します。

非常に短い期間であっても、逆の状態になる可能性があるプッシュプル出力は、互いに直接接続しないでください。これは、過電流やデバイスへの損傷を引き起こす可能性があります。

同じ入力信号を持つ同一デバイス内の 2 つのチャンネルを並列に接続することにより、出力駆動の強度を高めることができます。

オープンドレイン出力を互いに直接接続して、ワイヤード AND 構成を形成したり、出力駆動能力を高めることができます。

未使用の出力はフローティングのままにできます。出力を V_{CC} またはグランドに直接接続しないようにしてください。

本デバイスの出力の詳細については、「機能説明」セクションを参照してください。

8.2.2 詳細な設計手順

1. V_{CC} と GND の間にデカップリング コンデンサを追加します。このコンデンサは、物理的にデバイスの近く、かつ V_{CC} ピンと GND ピンの両方に電氣的に近づけて配置する必要があります。レイアウト例を「レイアウト」セクションに示します。
2. 出力の容量性負荷は、必ず 50pF 以下になるようにします。これは厳密な制限ではありませんが、設計上、性能が最適化されます。これは、TPLD1201-Q1 から 1 つまたは複数の受信デバイスまでのトレースを短い適切なサイズにすることで実現できます。
3. 出力の抵抗性負荷を ($V_{CC}/I_{O(max)}$) Ω より大きくします。これを行うと、「絶対最大定格」の最大出力電流に違反するのを防ぐことができます。ほとんどの CMOS 入力は、M Ω 単位で測定される抵抗性負荷を備えています。これは、上記で計算される最小値よりはるかに大きい値です。
4. 熱の問題がロジック ゲートにとって問題となることはほとんどありません。ただし、消費電力と熱の上昇は、アプリケーション レポート『CMOS 消費電力と CPD の計算』に記載されている手順を使用して計算できます。

8.2.3 アプリケーション曲線

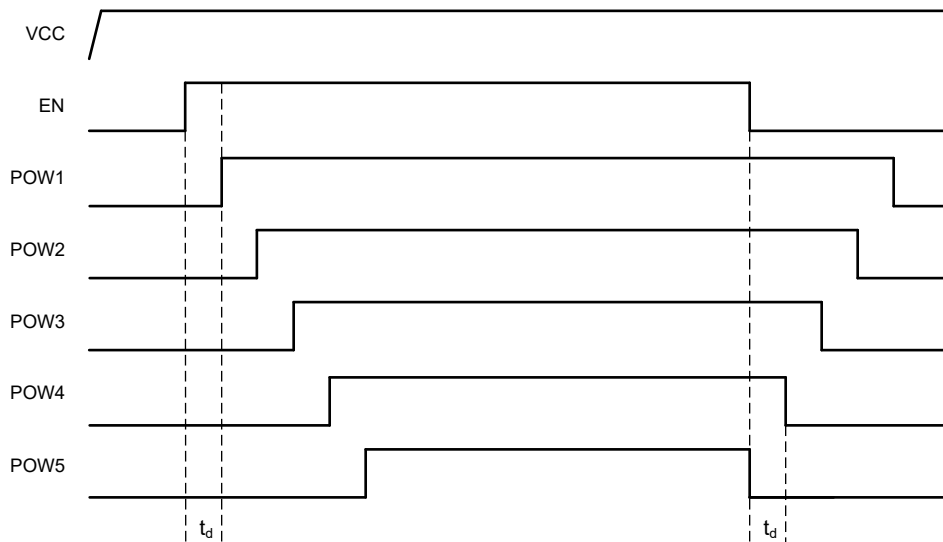


図 8-2. アプリケーション タイミング図

8.3 電源に関する推奨事項

電源には、「推奨動作条件」に記載された電源電圧定格の最小値と最大値の間の任意の電圧を使用できます。電源の外乱を防止するため、各 V_{CC} 端子に適切なバイパス コンデンサを配置する必要があります。このデバイスには 0.1 μ F のコンデンサを推奨します。複数のバイパス コンデンサを並列に配置して、異なる周波数のノイズを除去することが許容されます。一般的に、0.1 μ F と 1 μ F のコンデンサは並列に使用されます。バイパス コンデンサを電源端子のできるだけ近くに配置すると最適な結果が得られます。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

マルチ入力およびマルチチャネルのロジック デバイスを使用する場合、入力をフローティングのままにはしてはいけません。多くの場合、デジタル論理デバイスの機能または機能の一部は使用されません (たとえば、トリプル入力 AND ゲートの 2 つの入力のみを使用する場合や 4 つのバッファ ゲートのうちの 3 つのみを使用する場合)。このような未使用の入力ピンを未接続のままにすることはできません。外部接続の電圧が未確定の場合、動作状態が不定になるためです。デジタルロジック デバイスの未使用入力はすべて、入力電圧の仕様で定義されるロジック High またはロジック Low 電圧に接続して、それらがフローティングにならないようにする必要があります。特定の未使用入力に適用する必要があるロジック レベルは、デバイスの機能によって異なります。一般に入力は、GND または V_{CC} のうち、ロジックの機能にとってより適切であるかより利便性の高い方に接続されます。

8.4.2 レイアウト例

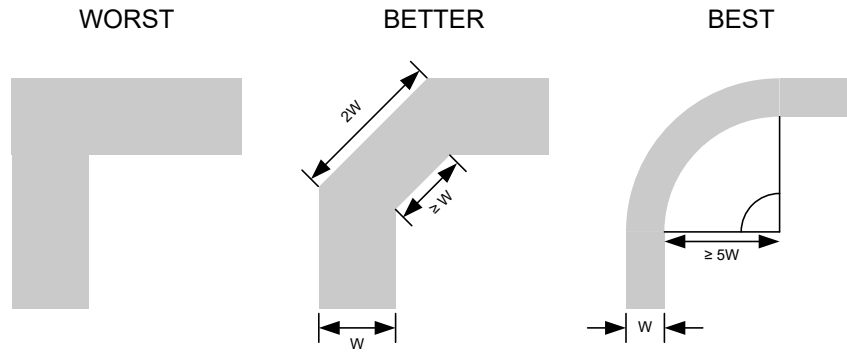


図 8-3. シグナル インテグリティ向上のためのサンプル パターンのコーナー

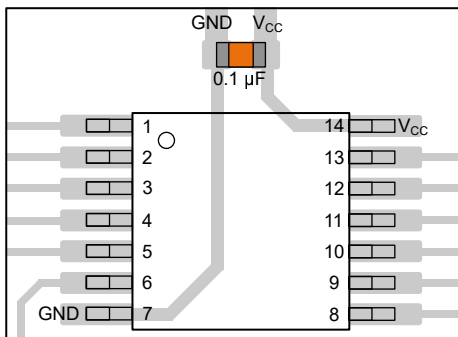


図 8-4. TSSOP や類似のパッケージに対応するバイパス コンデンサの配置例

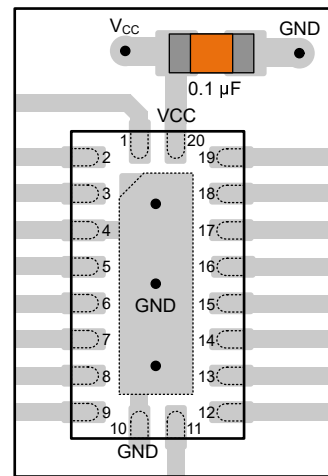


図 8-5. WQFN や類似のパッケージに対応するバイパス コンデンサの配置例

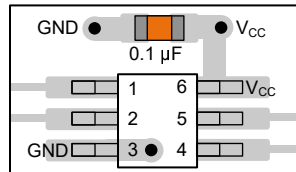


図 8-6. SOT、SC70、および類似のパッケージに対応するバイパス コンデンサの配置例

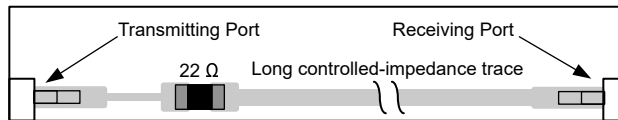


図 8-7. シグナル インテグリティ向上のためのダンピング抵抗の配置例

9 デバイスおよびドキュメントのサポート

9.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

9.3 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.5 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	改訂	注
2024 年 9 月	*	事前情報のリリース

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

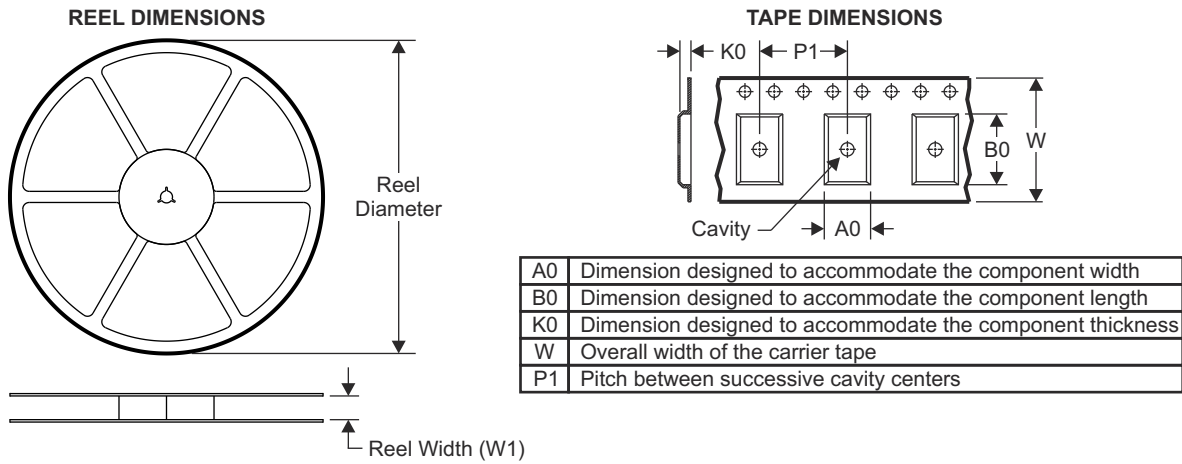
11.1 付録：パッケージオプション

パッケージ情報

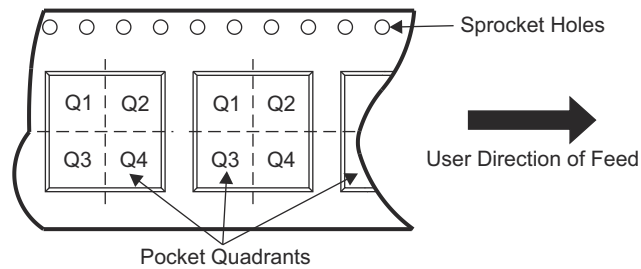
発注可能なデバイス	供給状況 (1)	パッケージタイプ	パッケージ図	ピン数	パッケージの数量	エコ プラン (2)	リード / ボール仕上げ (4)	MSL ピーク温度 (3)	動作温度 (°C)	デバイス マーキング (5) (6)
PTPLD1201DGSQ1	プレビュー	VSSOP	DGS	10	3000	RoHS & グリーン	SN	Level-1-260C-UNLIM	-40~125	3M3S

- (1) マーケティング ステータスの値は次のように定義されています。
供給中: 新しい設計への使用が推奨される量産デバイス。
最終受注中: テキサス・インスツルメンツによりデバイスの生産中止予定が発表され、ライフタイム購入期間が有効です。
非推奨品: 新規設計には推奨しません。デバイスは既存の顧客をサポートするために生産されていますが、テキサス・インスツルメンツでは新規設計にこの部品を使用することを推奨していません。
量産開始前: 量産されていない、市販されていない、またはウェブで発表されていない未発表デバイスで、サンプルは提供されていません。
プレビュー: デバイスは発表済みですが、まだ生産は開始されていません。サンプルが提供される場合と提供されない場合があります。
生産中止品: テキサス・インスツルメンツはデバイスの生産を終了しました。
- (2) エコ プラン - 環境に配慮した計画的な分類: 鉛フリー (RoHS)、鉛フリー (RoHS 適用除外)、またはグリーン (RoHS 準拠、Sb/Br 非含有) があります。最新情報および製品内容の詳細については、<http://www.ti.com/productcontent> でご確認ください。
未定: 鉛フリー / グリーン 転換プランが策定されていません。
鉛フリー (RoHS): テキサス・インスツルメンツにおける「Lead-Free」または「Pb-Free」(鉛フリー) は、6 つの物質すべてに対して現在の RoHS 要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が 0.1% を超えないという要件も含まれます。高温はんだに対応した テキサス・インスツルメンツ鉛フリー製品は、鉛フリー仕様プロセスでの使用に適しています。
鉛フリー (RoHS 適用除外): この部品は、1) ダイとパッケージとの間に鉛ベース フリップ チップのはんだバンプ使用、または 2) ダイとリードフレームとの間に鉛ベースの接着剤を使用、のいずれかについて、RoHS が免除されています。この部品はそれ以外の点では、上記の定義の鉛フリー (RoHS 準拠) の条件を満たしています。
グリーン (RoHS 準拠、Sb/Br 非含有): テキサス・インスツルメンツにおけるグリーンは、鉛フリー (RoHS 互換) に加えて、臭素 (Br) およびアンチモン (Sb) をベースとした難燃材を含まない (均質な材質中の Br または Sb 重量が 0.1% を超えない) ことを意味しています。
- (3) MSL、ピーク温度-- JEDEC 業界標準分類に従った耐湿性レベル、およびピークはんだ温度です。
- (4) リード / ボール仕上げ - 発注可能なデバイスには、複数の材料仕上げオプションが用意されていることがあります。複数の仕上げオプションは、縦罫線で区切られています。リード / ボール仕上げの値が最大列幅に収まらない場合は、2 行にまたがります。
- (5) ロゴ、ロットトレースコード情報、または環境カテゴリに関する追加マークがデバイスに表示されることがあります
- (6) 複数のデバイス マーキングが、括弧書きされています。カッコ内に複数のデバイス マーキングがあり、「~」で区切られている場合、その中の 1 つだけがデバイスに表示されます。行がインデントされている場合は、前行の続きということです。2 行合わせたものが、そのデバイスのデバイス マーキング全体となります。
重要なお知らせと免責事項: このページに掲載されている情報は、発行日現在のテキサス・インスツルメンツの知識および見解を示すものです。テキサス・インスツルメンツの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行うものではありません。第三者からの情報をより良く統合するための努力は続けております。テキサス・インスツルメンツでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。テキサス・インスツルメンツおよび テキサス・インスツルメンツのサプライヤは、特定の情報を機密情報として扱っているため、CAS 番号やその他の制限された情報が公開されない場合があります。
 いかなる場合においても、そのような情報から生じたテキサス・インスツルメンツの責任は、このドキュメント発行時点でのテキサス・インスツルメンツ製品の価格に基づくテキサス・インスツルメンツからお客様への合計購入価格 (年次ベース) を超えることはありません。

11.2 テープおよびリール情報



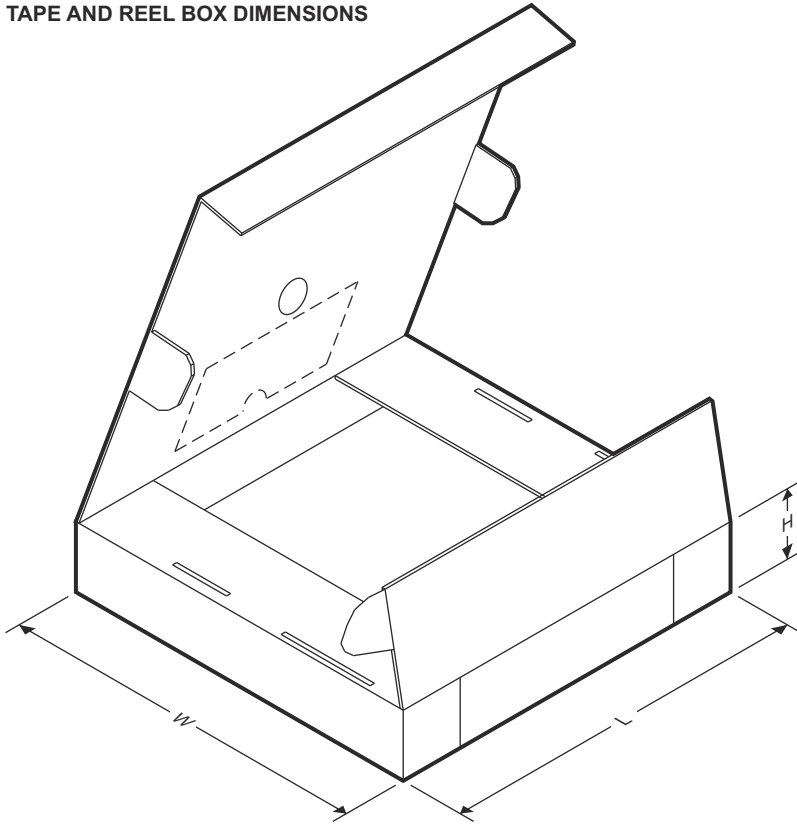
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



デバイス	パッケージ タイプ	パッケージ 図	ピン数	SPQ	リール 直径 (mm)	リール 幅 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	ピン1の 象限
PTPLD1201DGSQ1	VSSOP	DGS	10	3000	330	12.4	5.3	3.4	1.4	8	12	1

ADVANCE INFORMATION

TAPE AND REEL BOX DIMENSIONS



デバイス	パッケージタイプ	パッケージ図	ピン数	SPQ	長さ (mm)	幅 (mm)	高さ (mm)
PTPLD1201DGSQ1	VSSOP	DGS	10	3000	356	356	35

ADVANCE INFORMATION

11.3 メカニカル データ

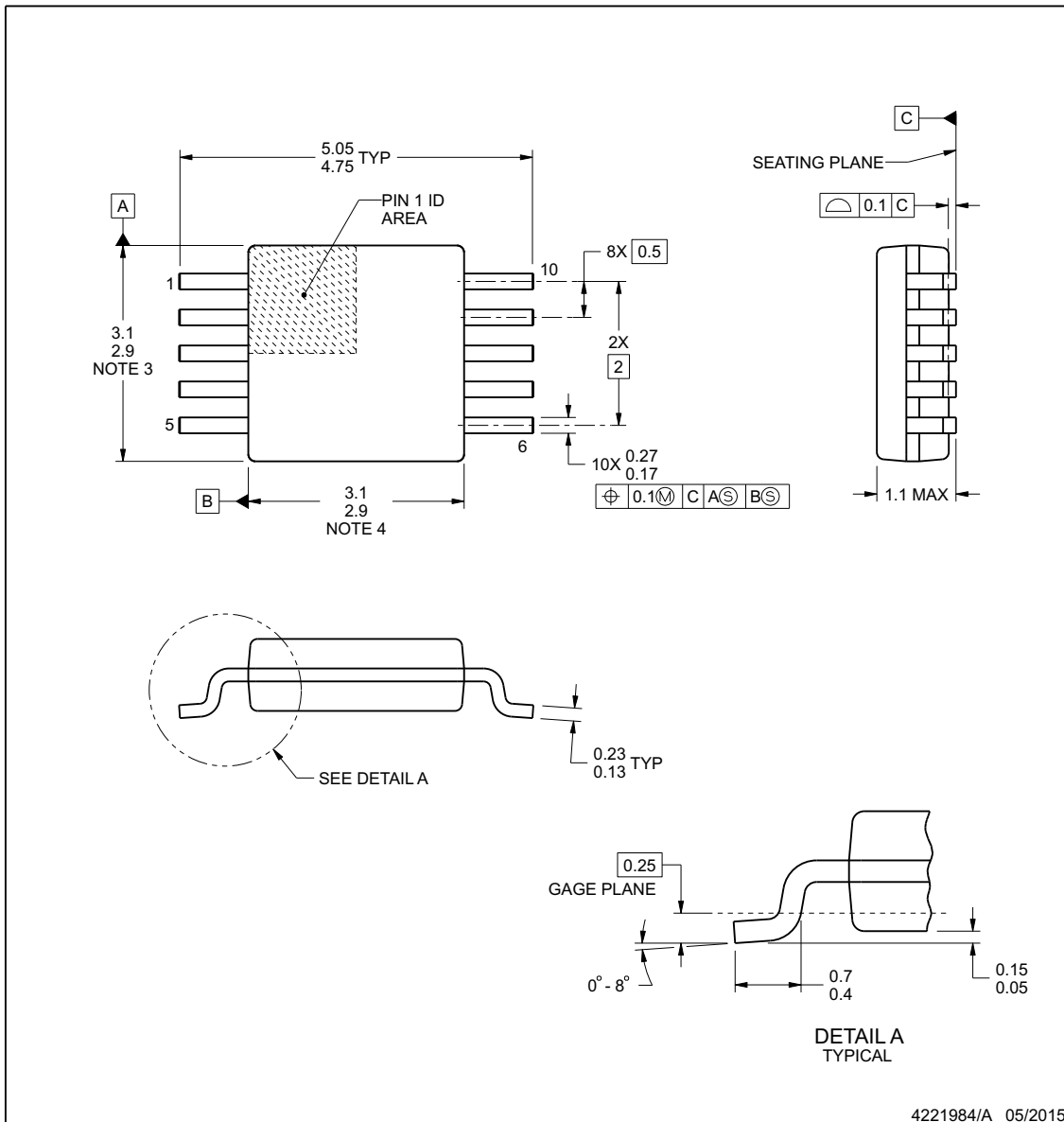
ADVANCE INFORMATION



DGS0010A

PACKAGE OUTLINE
VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



NOTES:

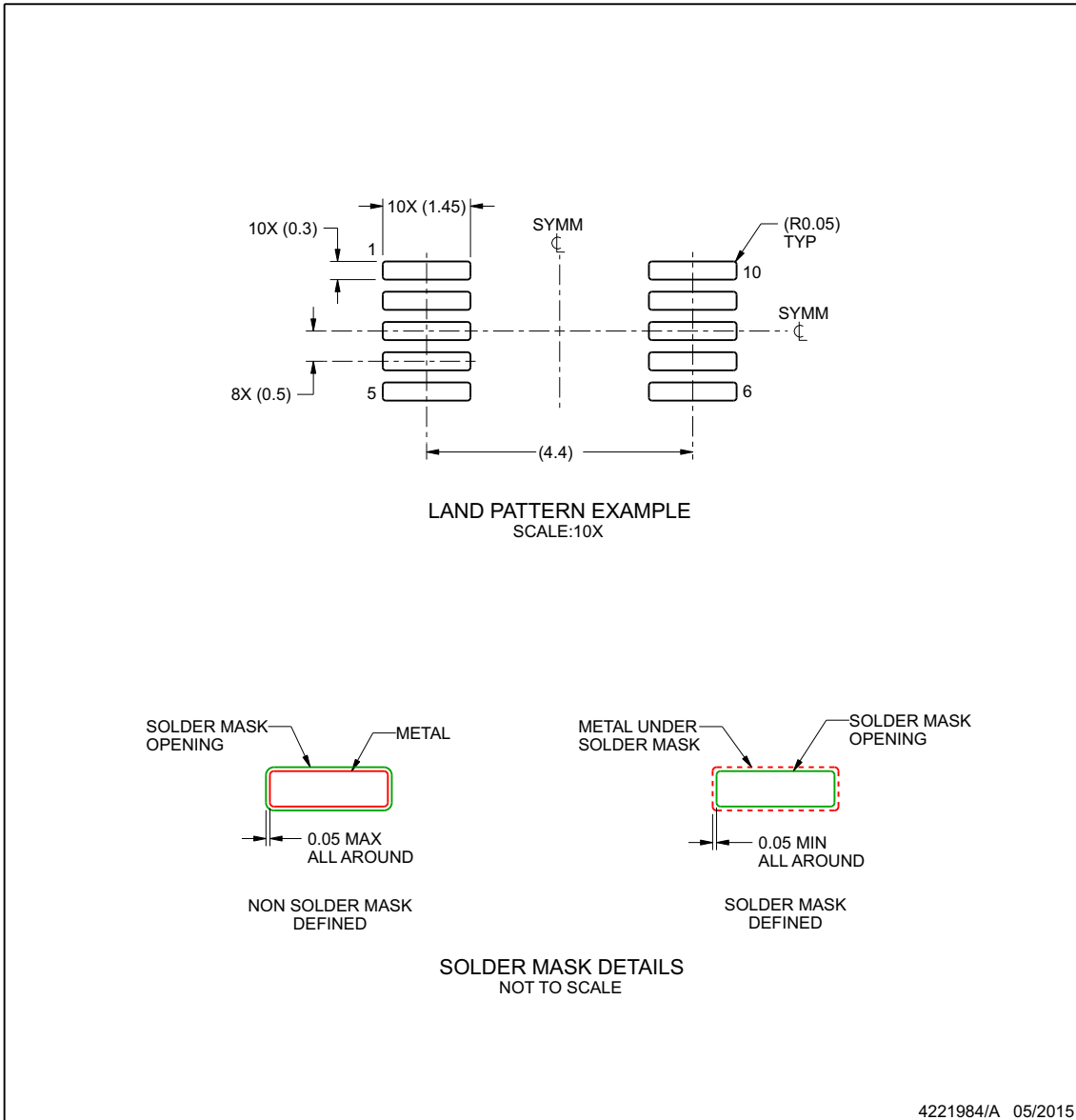
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187, variation BA.

EXAMPLE BOARD LAYOUT

DGS0010A

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

www.ti.com

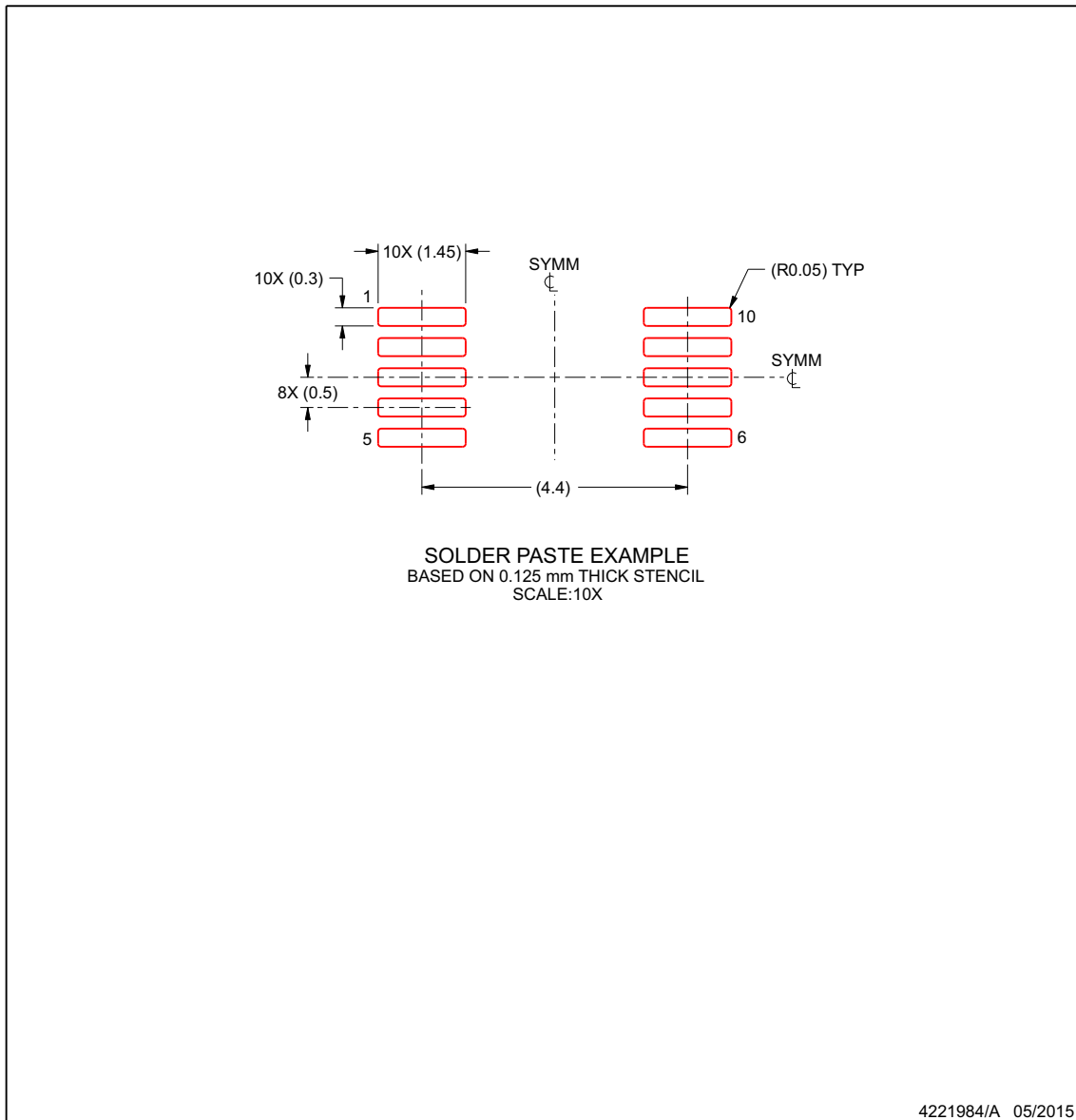
EXAMPLE STENCIL DESIGN

DGS0010A

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE

ADVANCE INFORMATION



NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

www.ti.com

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2024, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
PTPLD1201DGSRQ1	ACTIVE	VSSOP	DGS	10	3000	TBD	Call TI	Call TI	-40 to 125		Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSELETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "-" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TPLD1201-Q1 :

- Catalog : [TPLD1201](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product

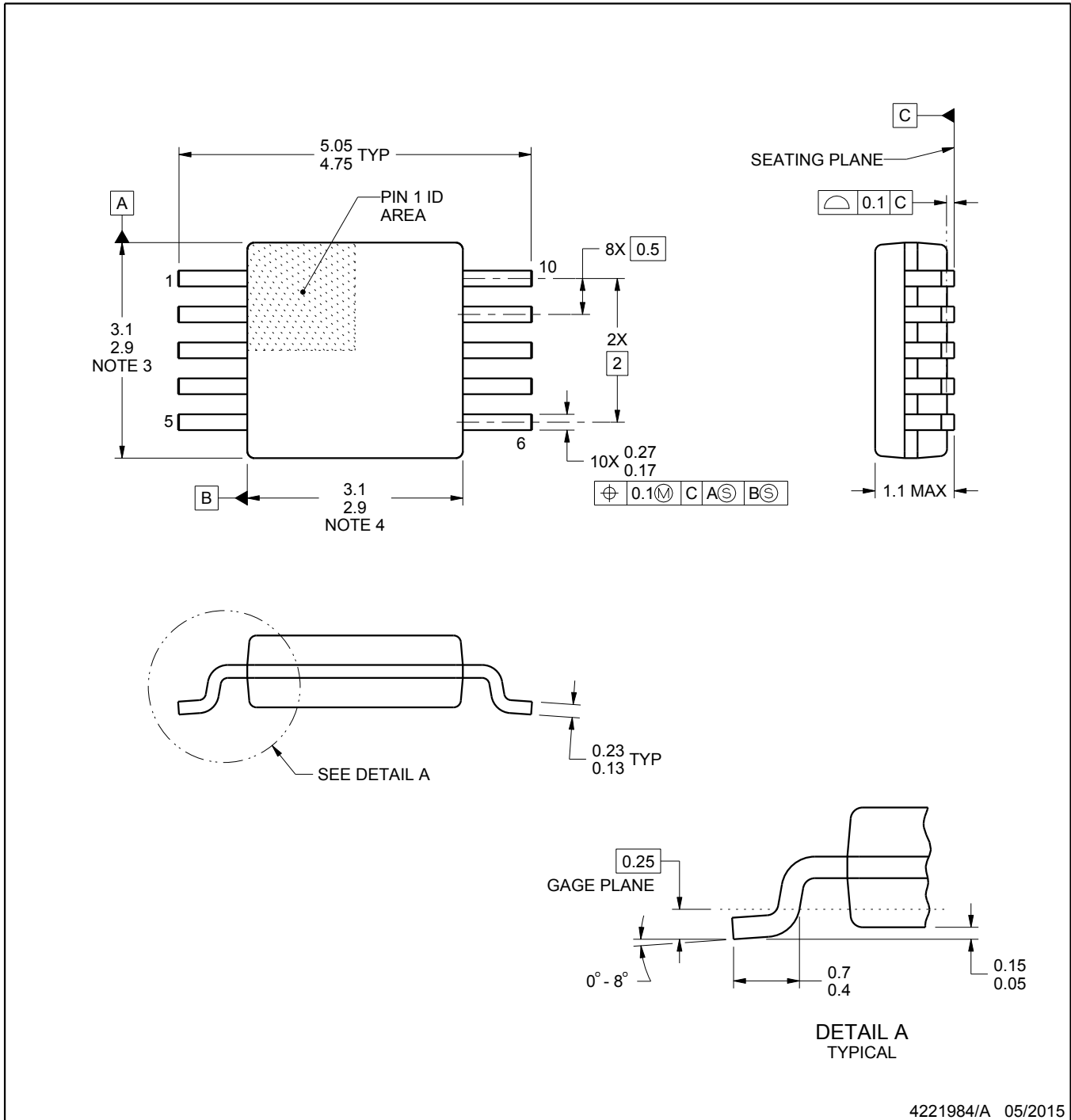
DGS0010A



PACKAGE OUTLINE

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



4221984/A 05/2015

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187, variation BA.

EXAMPLE BOARD LAYOUT

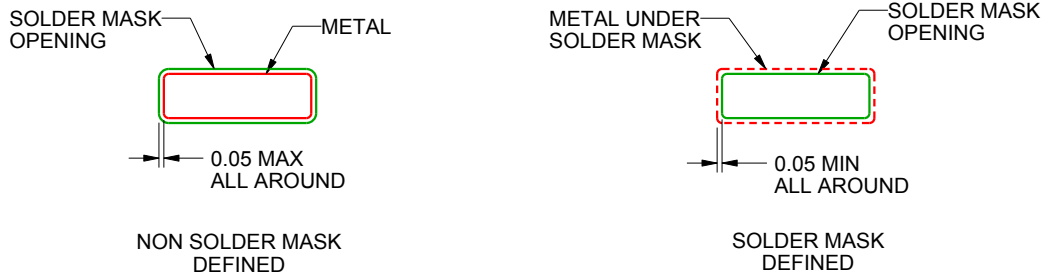
DGS0010A

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
SCALE:10X



SOLDER MASK DETAILS
NOT TO SCALE

4221984/A 05/2015

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DGS0010A

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:10X

4221984/A 05/2015

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](#) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated