

# デュアル・チャネル、 電流制限パワー・ディストリビューション・スイッチ

## 特長

- デュアル電源スイッチ・ファミリー
- 定格電流：0.5A、1A、1.5A、2A
- 高精度の電流制限：公差±20%
- 高速な過電流応答：2μs (typ)
- 70mΩ(typ)のハイサイドNチャネルMOSFET
- 動作範囲：4.5V~5.5V
- デグリッチ付きの障害通知 (FLT<sub>x</sub>)
- 出力放電機能付き (TPS20xxC) および出力放電機能無し (TPS20xxC-2)
- 逆電流ブロック
- ソフト・スタート内蔵
- 既存のTIスイッチ・ポートフォリオとピン互換
- 周囲温度範囲：-40°C~85°C

## アプリケーション

- USBポート/ハブ、ノートパソコン、デスクトップ
- 高精細デジタル・テレビ
- セットトップ・ボックス
- 短絡保護

## 概要

TPS20xxC/TPS20xxC-2デュアル・パワー・ディストリビューション・スイッチ・ファミリーは、大きな容量性負荷や短絡が発生する可能性のあるUSBなどのアプリケーション向けに設計されています。0.5A~2Aのアプリケーションに対して、固定電流制限スレッシュホールドを持つ複数のデバイスを用意しています。

TPS20xxC/TPS20xxC-2デュアル・ファミリーでは、出力負荷

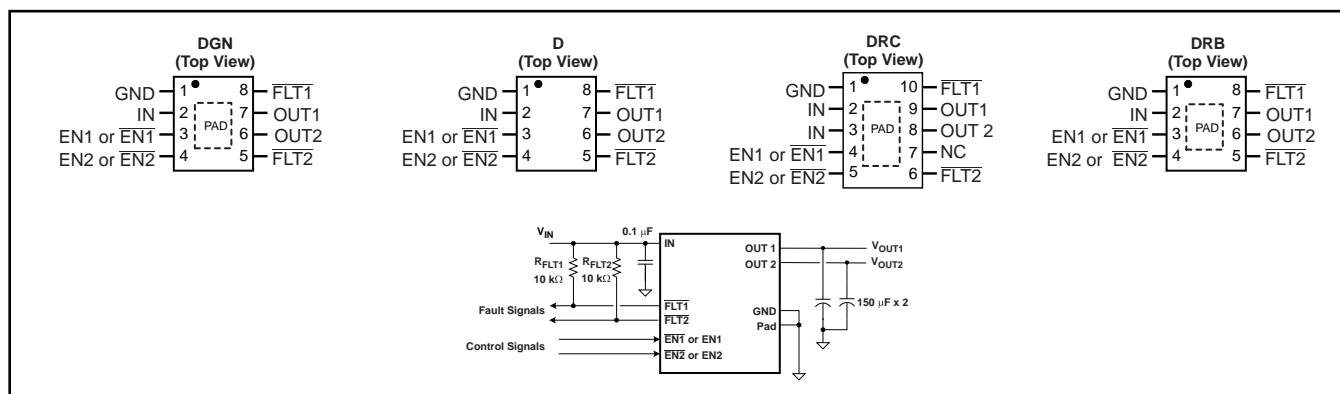


図 1. 標準的なアプリケーション

定格電流	デバイス	ステータス			
		MSOP-8 (PowerPad™)	SON -10	SOIC-8	SON-8
0.5 A	TPS2052C	アクティブ	—	—	—
1 A	TPS2062C / 66C	アクティブ/アクティブ	—	アクティブ/アクティブ	—
1 A	TPS2062C-2 / 66C-2	— and Preview	—	—	Preview and —
1.5 A	TPS2060C / 64C	アクティブ/アクティブ	—	—	—
1.5 A	TPS2064C-2	Preview	—	—	—
2 A	TPS2002C / 03C	—	アクティブ/アクティブ	—	—

表 1. デバイス

PowerPadは、テキサス・インスツルメンツの登録商標です。

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本TI) が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。

が電流制限スレッシュホールドを超えた場合に、定電流モードで動作することで、出力電流を安全なレベルに制限します。これにより、すべての条件下で障害時の電流が予測可能となります。過電流応答時間が高速であるため、出力短絡時にレギュレーション電力を維持する際のメイン5V電源への負担が軽減されます。電源スイッチの立ち上がりおよび立ち下がり時間は、オン/オフ時の電流サージを最小限に抑えるよう制御されます。



## 静電気放電対策

これらのデバイスは、限定的なESD(静電破壊)保護機能を内蔵しています。保存時または取り扱い時に、MOSゲートに対する静電破壊を防止するために、リード線どうしを短絡しておくか、デバイスを導電性のフォームに入れる必要があります。

### デバイス情報<sup>(1)(2)</sup>

最大動作電流	イネーブル	出力放電	基本部品番号	パッケージおよび捺印 <sup>(3)</sup>			
				SOIC-8 (D)	MSOP-8 (DGN) PowerPAD™	SON-10 (DRC)	SON-8 (DRB)
0.5	High	Y	TPS2052C	–	PYNI	–	–
1	Low	Y	TPS2062C	2062C	VRBQ	–	–
1	Low	N	TPS2062C-2	–	–	–	PYVI
1	High	Y	TPS2066C	2066C	VRDQ	–	–
1	High	N	TPS2066C-2	–	PYUI	–	–
1.5	Low	Y	TPS2060C	–	VRAQ	–	–
1.5	High	Y	TPS2064C	–	VRCQ	–	–
1.5	High	N	TPS2064C-2	–	PYTI	–	–
2	Low	Y	TPS2002C	–	–	VREQ	–
2	High	Y	TPS2003C	–	–	VRFQ	–

- (1) 最新のパッケージ情報とご発注情報については、このデータシートの巻末にある「付録：パッケージ・オプション」を参照するか、またはTIのWebサイト(www.ti.comまたはwww.tij.co.jp)をご覧ください。  
(2) MSOP-8のパッケージ・コードは“DGN”、SONのパッケージ・コードは“DRC”です。  
(3) “–”は、デバイスがこのパッケージで供給されないことを示します。

### 絶対最大定格<sup>(1)(2)</sup>

		VALUE		単位
		MIN	MAX	
Voltage range on IN, OUTx, ENx or $\overline{ENx}$ , $\overline{FLTx}$ <sup>(3)</sup>		–0.3	6	V
Voltage range from IN to OUT		–6	6	V
Maximum junction temperature, T <sub>J</sub>		Internally Limited		°C
ESD	Human Body Model		2	kV
	Charged Device Model		500	V
	IEC 61000-4-2, Contact / Air <sup>(4)</sup>		8 / 15	kV

- (1) 絶対最大定格は、推奨接合部温度範囲にわたって適用されます。  
(2) 特に指定のない限り、すべての電圧値はGNDを基準にしています。  
(3) 「入力および出力容量」を参照してください。  
(4) 図1に示すように入力および出力をバイパスし(ただし入力コンデンサは22μF)、PCB上でV<sub>OUT</sub>にサージを印加しました。デバイスに障害は発生していません。

### 熱特性について

THERMAL METRIC <sup>(1)(2)</sup>		D	DGN	DRC	DRB	単位
		8 PINS	8 PINS	10 PINS	8-PINS	
θ <sub>JA</sub>	Junction-to-ambient thermal resistance	129.9	57.2	45.4	50.8	°C/W
θ <sub>JCtop</sub>	Junction-to-case (top) thermal resistance	83.5	110.5	58	60.3	
θ <sub>JB</sub>	Junction-to-board thermal resistance	70.4	60.7	21.1	26.3	
ψ <sub>JT</sub>	Junction-to-top characterization parameter	36.6	7.8	1.9	2.1	
ψ <sub>JB</sub>	Junction-to-board characterization parameter	66.9	24	21.3	26.5	
θ <sub>JCbot</sub>	Junction-to-case (bottom) thermal resistance	n/a	14.3	9.1	9.8	

- (1) 従来の熱特性パラメータと新しい熱特性パラメータの詳細については、アプリケーション・レポート「IC Package Thermal Metrics」(SPRA953)を参照してください。  
(2) PCB上の銅領域に基づくこのデバイスの熱特性の見積もりについては、TIのPCB Thermal Calculatorをご利用ください。

## 推奨動作条件

		MIN	NOM	MAX	単位
$V_{IN}$	Input voltage, IN	4.5		5.5	V
$V_{Enable}$	Input voltage, ENx or $\overline{ENx}$	0		5.5	
$I_{OUTx}$	Continuous output current, OUTx	TPS2052C		0.5	A
		TPS2062C, 62C-2, 66C, and 66C-2		1	
		TPS2060C, 64C and 64C-2		1.5	
		TPS2002C and 03C		2	
$T_J$	Operating junction temperature	-40		125	°C
$I_{FLTx}$	Sink current into $\overline{FLTx}$	0		5	mA

## 電気的特性<sup>(1)</sup>

$T_J = T_A = 25^\circ\text{C}$ 、 $V_{IN} = 5\text{V}$ 、 $V_{ENx} = V_{IN}$ または $V_{\overline{ENx}} = 0\text{V}$ (特に記述のない限り)

パラメータ		テスト条件		MIN	TYP	MAX	単位
<b>POWER SWITCH</b>							
$r_{DS(on)}$	On-resistance	TPS2052C (0.5 A)		DGN	70	84	mΩ
		TPS2052C (0.5 A)		DGN	70	95	
		-40°C ≤ (T <sub>J</sub> , T <sub>A</sub> ) ≤ 85°C					
		TPS2062C, 66C, and 66C-2 (1 A)		DGN	70	84	
		TPS2062C, 66C, and 66C-2 (1 A),		DGN	70	95	
		-40°C ≤ (T <sub>J</sub> , T <sub>A</sub> ) ≤ 85°C					
		TPS2062C and 66C (1 A)		D	90	108	
		TPS2062C and 66C (1 A),		D	90	122	
		-40°C ≤ (T <sub>J</sub> , T <sub>A</sub> ) ≤ 85°C					
		TPS2062C-2 (1 A)		DRB	73	87	
		TPS2062C-2 (1 A)		DRB	73	101	
-40°C ≤ (T <sub>J</sub> , T <sub>A</sub> ) ≤ 85°C							
TPS2060C, 64C, and 64C-2 (1.5 A)			70	84			
TPS2060C, 64C, and 64C-2 (1.5 A), -40°C ≤ (T <sub>J</sub> , T <sub>A</sub> ) ≤ 85°C			70	95			
TPS2002C and 03C (2 A)			70	84			
TPS2002C and 03C (2 A), -40°C ≤ (T <sub>J</sub> , T <sub>A</sub> ) ≤ 85°C			70	95			
<b>CURRENT LIMIT</b>							
$I_{OS}$	Current limit, 図7参照	TPS2052C (0.5 A)		0.75	1	1.25	A
		TPS2062C, 62C-2, 66C, and 66C-2 (1 A)		1.28	1.61	1.94	
		TPS2060C, 64C, and 64C-2 (1.5 A)		1.83	2.29	2.75	
		TPS2002C and 03C (2 A)		2.55	3.15	3.77	
$t_{IOS}$	Short-circuit response time	$V_{IN} = 5\text{V}$ (図6参照) One-half full load → R <sub>(SHORT)</sub> = 50 mΩ, Measure from application to when current falls below 120% of final value			2		μs
<b>SUPPLY CURRENT</b>							
$I_{SD}$	Supply current, device disabled	$I_{(OUTx)} = 0\text{ mA}$			0.01	1	μA
$I_{S1E}$	Supply current, single switch enabled	$I_{(OUTx)} = 0\text{ mA}$			60	75	
$I_{S2E}$	Supply current, both switches enabled	$I_{(OUTx)} = 0\text{ mA}$			100	120	
$I_{LKG}$	Leakage current	$V_{OUT} = 0\text{ V}$ , $V_{IN} = 5.5\text{ V}$ , disabled, measured $I_{VIN}$	TPS20xxC-2		0.05	1	
	Reverse leakage current	$V_{OUT} = 5.5\text{ V}$ , $V_{IN} = 0\text{ V}$ , measured $I_{OUTx}$			0.15	1	
<b>OUTPUT DISCHARGE</b>							
$R_{PD}$	Output pull-down resistance <sup>(2)</sup>	$V_{IN} = V_{(OUTx)} = 5\text{ V}$ , disabled	TPS20xxC	400	470	600	Ω

(1) パルスによる測定手法により、接合部温度を周囲温度にほぼ等しく保持しています。

(2) これらのパラメータは参考として示すものであり、TIの製品保証を目的としたTIの公開デバイス仕様に含まれるものではありません。

## 電気的特性

$-40^{\circ}\text{C} \leq (T_J = T_A) \leq 125^{\circ}\text{C}$ 、 $4.5\text{V} \leq V_{IN} \leq 5.5\text{V}$ 、 $V_{ENx} = V_{IN}$  または  $V_{ENx} = 0\text{V}$ 、 $I_{OUTx} = 0\text{A}$ 、標準値は5Vおよび25°Cでの値です(特に記述のない限り)。

パラメータ		テスト条件 <sup>(1)</sup>		MIN	TYP	MAX	単位
<b>POWER SWITCH</b>							
$r_{DS(on)}$	On-resistance	TPS2052C (0.5 A)	DGN		70	112	m $\Omega$
		TPS2062C, 66C, and 66C-2 (1 A)	DGN		70	112	
		TPS2062C and 66C (1 A)	D		90	135	
		TPS2062C-2 (1 A)	DRB		73	115	
		TPS2060C, 64C, and 64C-2 (1.5 A)	DGN		70	112	
		TPS2002C and 03C (2 A)	DRC		70	112	
<b>ENABLE INPUT (ENx or <math>\overline{\text{ENx}}</math>)</b>							
$V_{IH}$	ENx ( $\overline{\text{ENx}}$ ), High-level input voltage	$4.5\text{V} \leq V_{IN} \leq 5.5\text{V}$		2			V
$V_{IL}$	ENx ( $\overline{\text{ENx}}$ ), Low-level input Voltage					0.8	
	Hysteresis	$V_{IN} = 5\text{V}$			0.14		
	Leakage current	$V_{ENx} = 5.5\text{V}$ or $0\text{V}$ , $V_{\overline{\text{ENx}}} = 0\text{V}$ or $5.5\text{V}$		-1	0	1	$\mu\text{A}$
$t_{on}$	Turn-on time <sup>(2)</sup>	$V_{IN} = 5\text{V}$ , $C_L = 1\mu\text{F}$ , $R_L = 100\Omega$ , ENx $\uparrow$ or ENx $\downarrow$ , 図4参照、図5参照、図2参照					ms
		1 A, 1.5 A, 2 A Rated		1.4	1.9	2.4	
$t_{off}$	Turn-off time <sup>(2)</sup>	$V_{IN} = 5\text{V}$ , $C_L = 1\mu\text{F}$ , $R_L = 100\Omega$ , ENx $\uparrow$ or ENx $\downarrow$ , 図4参照、図5参照、図2参照					ms
		1 A, 1.5 A, 2 A Rated		1.95	2.60	3.25	
$t_r$	Rise time, output <sup>(2)</sup>	$C_L = 1\mu\text{F}$ , $R_L = 100\Omega$ , 図3参照					ms
		1 A, 1.5 A, 2 A Rated		0.58	0.82	1.15	
$t_f$	Fall time, output <sup>(2)</sup>	$C_L = 1\mu\text{F}$ , $R_L = 100\Omega$ , 図3参照					ms
		1 A, 1.5 A, 2 A Rated		0.33	0.47	0.66	
<b>CURRENT LIMIT</b>							
$I_{OS}$	Current-limit, 図7参照	TPS2052C (0.5A)		0.7	1	1.3	A
		TPS2062C, 62C-2, 66C, and 66C-2 (1 A)		1.12	1.61	2.10	
		TPS2060C, 64C, and 64C-2 (1.5 A)		1.72	2.29	2.86	
		TPS2002C and 03C (2 A)		2.35	3.15	3.95	
$t_{IOS}$	Short-circuit response time	$V_{IN} = 5\text{V}$ (図6参照) One-half full load $\rightarrow R_{(SHORT)} = 50\text{m}\Omega$ , measure from application to when current falls below 120% of final value			2		$\mu\text{s}$
<b>SUPPLY CURRENT</b>							
$I_{SD}$	Supply current, switch disabled	Standard conditions, $I_{(OUTx)} = 0\text{mA}$			0.01	10	$\mu\text{A}$
$I_{S1E}$	Supply current, single switch enabled	Standard conditions, $I_{(OUTx)} = 0\text{mA}$				90	
$I_{S2E}$	Supply current, both switches enabled	Standard conditions, $I_{(OUTx)} = 0\text{mA}$				150	
$I_{LKG}$	Leakage current	$V_{OUT} = 0\text{V}$ , $V_{IN} = 5.5\text{V}$ , disabled, measured $I_{VIN}$	TPS20xxC-2		0.05		
	Reverse leakage current	$V_{OUT} = 5.5\text{V}$ , $V_{IN} = 0\text{V}$ , measured $I_{(OUTx)}$			0.20		
<b>UNDERVOLTAGE LOCKOUT</b>							
UVLO	Low-level input voltage, IN	VIN rising		3.4		4.0	V
	Hysteresis, IN				0.14		V
<b>FLTx</b>							
	Output low voltage, $\overline{\text{FLTx}}$	$I_{(\overline{\text{FLTx}})} = 1\text{mA}$				0.2	V
	Off-state leakage	$V_{(\overline{\text{FLTx}})} = 5.5\text{V}$				1	$\mu\text{A}$
	$\overline{\text{FLTx}}$ deglitch <sup>(2)</sup>	FLTx overcurrent assertion and deassertion		7	10	13	ms
<b>OUTPUT DISCHARGE</b>							
	Output pull-down resistance <sup>(2)</sup>	$V_{IN} = 5\text{V}$ , $V_{OUT} = 5\text{V}$ , disabled	TPS20xxC	300	470	800	$\Omega$
		$V_{IN} = 4\text{V}$ , $V_{OUT} = 5\text{V}$ , disabled	TPS20xxC	350	560	1200	
<b>THERMAL SHUTDOWN</b>							
	Junction thermal shutdown threshold	In current limit		135			$^{\circ}\text{C}$
		Not in current limit		155			
	Hysteresis				20		$^{\circ}\text{C}$

(1) パルスによる測定手法により、接合部温度を周囲温度にほぼ等しく保持しています。

(2) これらのパラメータは参考として示すものであり、TIの製品保証を目的としたTIの公開デバイス仕様に含まれるものではありません。

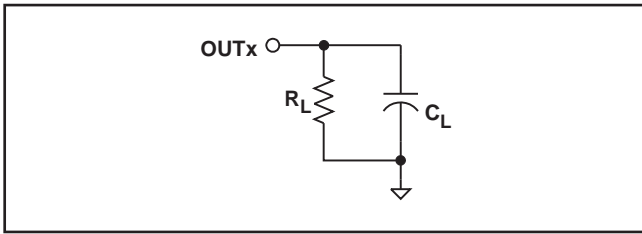


図 2. 出力立ち上がり/立ち下がり測定用負荷

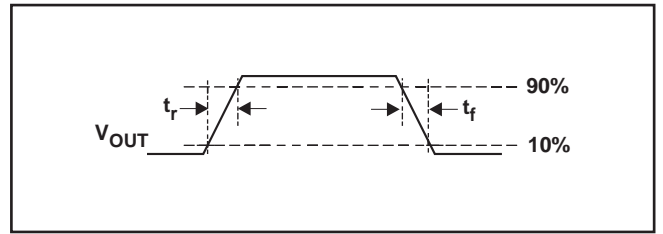


図 3. パワーオン/オフ・タイミング

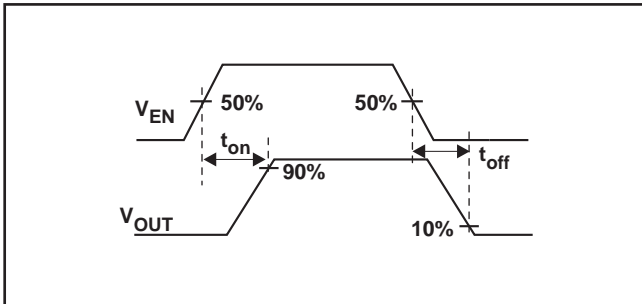


図 4. イネーブル・タイミング、アクティブ・ハイ・イネーブル

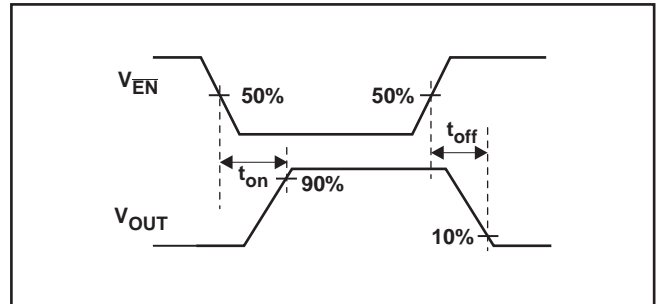


図 5. イネーブル・タイミング、アクティブ・ロー・イネーブル

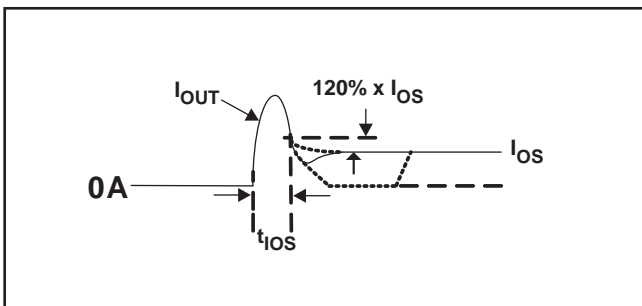


図 6. 出力短絡パラメータ

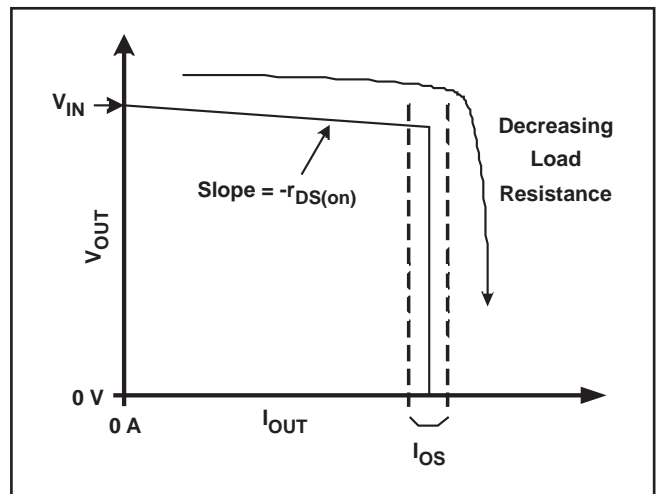


図 7. 電流制限を示す出力特性

# 機能ブロック図

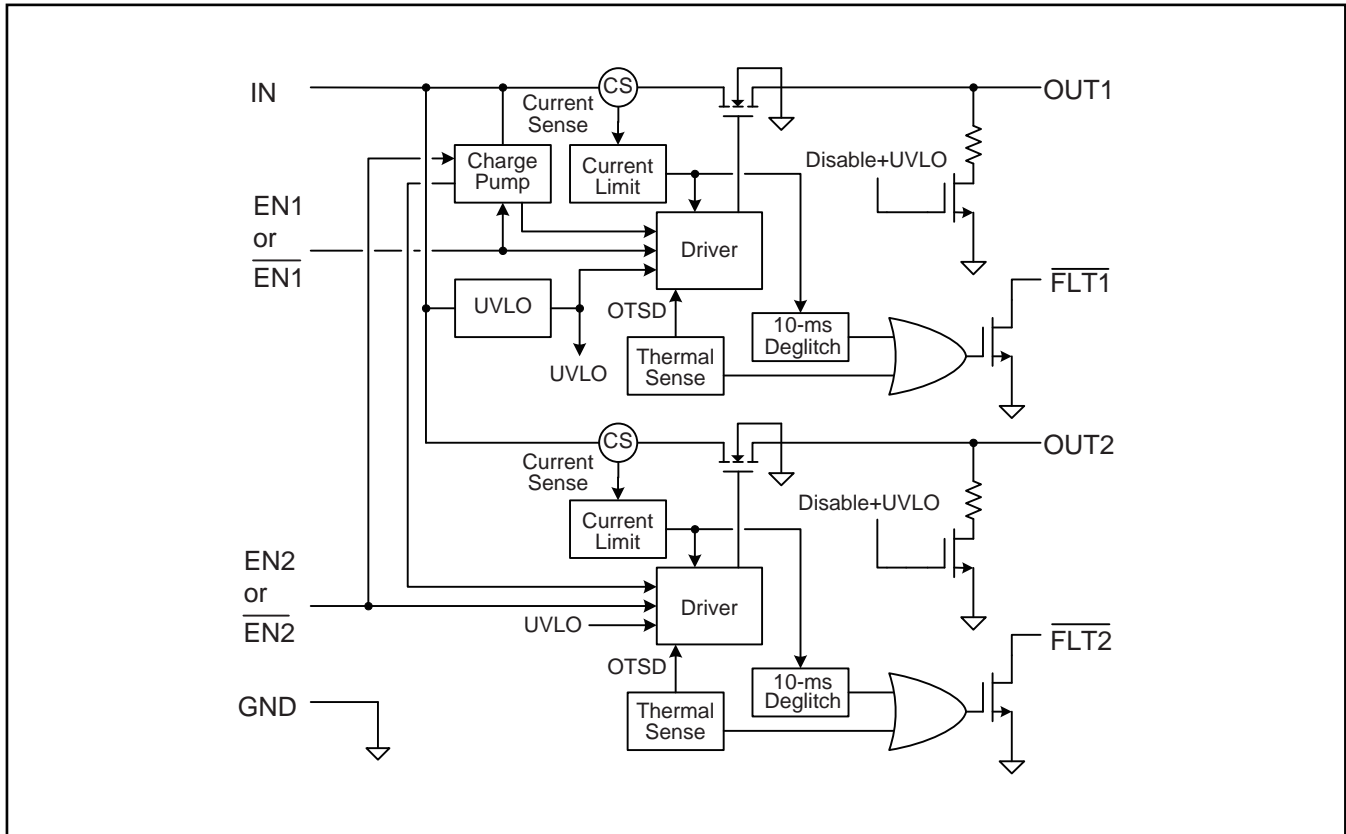


図 8. TPS20xxC 機能ブロック図

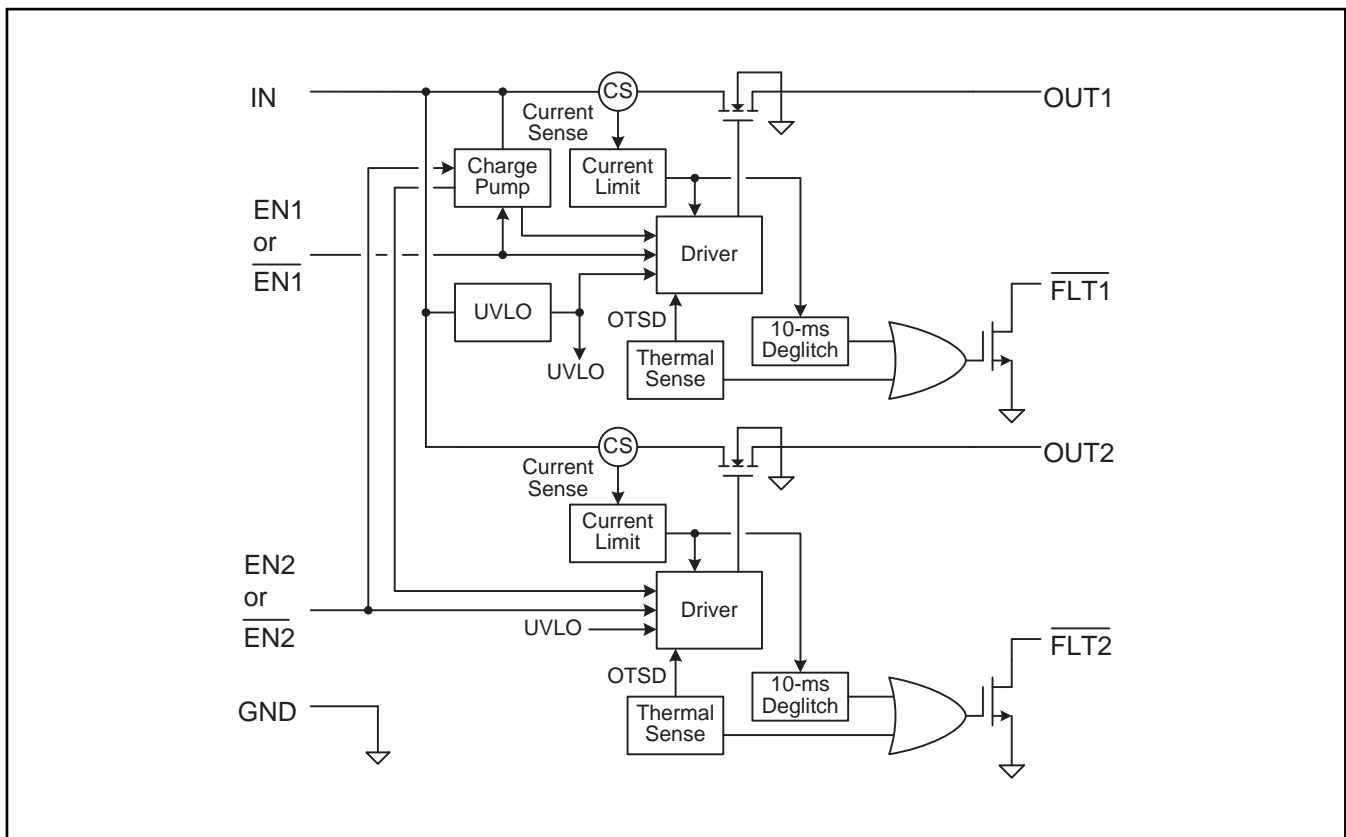


図 9. TPS20xxC-2 機能ブロック図

## 製品情報

### ピン機能 - MSOP-8パッケージ

名前	TPS2052C TPS2066C TPS2066C-2 TPS2064C TPS2064C-2	TPS2062C TPS2060C	I/O	説明
GND	1	1	Pwr	グランド接続
IN	2	2	I	入力電圧、および電源スイッチのドレイン。 INとGNDの間に、0.1 $\mu$ F以上のセラミック・コンデンサをICに近づけて配置してください。
EN1	3	-	I	イネーブル入力チャンネル1。Highで電源スイッチがオン。
$\overline{\text{EN1}}$	-	3	I	イネーブル入力チャンネル1。Lowで電源スイッチがオン。
EN2	4	-	I	イネーブル入力チャンネル2。Highで電源スイッチがオン。
$\overline{\text{EN2}}$	-	4	I	イネーブル入力チャンネル2。Lowで電源スイッチがオン。
FLT2	5	5	O	アクティブ・ローのオープン・ドレイン出力(チャンネル2)。 過電流または過熱状態でアサートされます。
OUT2	6	6	O	電源スイッチ出力チャンネル2。負荷に接続します。
OUT1	7	7	O	電源スイッチ出力チャンネル1。負荷に接続します。
$\overline{\text{FLT1}}$	8	8	O	アクティブ・ローのオープン・ドレイン出力(チャンネル1)。 過電流または過熱状態でアサートされます。
PowerPAD™	PAD	PAD	Pwr	内部でGNDに接続されています。デバイスから基板上のパターンへの放熱に使用されます。 パッドをGNDプレーンにヒートシンクとして接続します。

### ピン機能 - SOIC-8パッケージ

名前	TPS2066C	TPS2062C	I/O	説明
GND	1	1	Pwr	グランド接続
IN	2	2	I	入力電圧、および電源スイッチのドレイン。 INとGNDの間に、0.1 $\mu$ F以上のセラミック・コンデンサをICに近づけて配置してください。
EN1	3	-	I	イネーブル入力チャンネル1。Highで電源スイッチがオン。
$\overline{\text{EN1}}$	-	3	I	イネーブル入力チャンネル1。Lowで電源スイッチがオン。
EN2	4	-	I	イネーブル入力チャンネル2。Highで電源スイッチがオン。
$\overline{\text{EN2}}$	-	4	I	イネーブル入力チャンネル2。Lowで電源スイッチがオン。
$\overline{\text{FLT2}}$	5	5	O	アクティブ・ローのオープン・ドレイン出力(チャンネル2)。 過電流または過熱状態でアサートされます。
OUT2	6	6	O	電源スイッチ出力チャンネル2。負荷に接続します。
OUT1	7	7	O	電源スイッチ出力チャンネル1。負荷に接続します。
$\overline{\text{FLT1}}$	8	8	O	アクティブ・ローのオープン・ドレイン出力(チャンネル1)。 過電流または過熱状態でアサートされます。

### ピン機能 - SON-10パッケージ

名前	TPS2003C	TPS2002C	I/O	説明
GND	1	1	Pwr	グランド接続
IN	2, 3	2, 3	I	入力電圧、および電源スイッチのドレイン。 INとGNDの間に、0.1 $\mu$ F以上のセラミック・コンデンサをICに近づけて配置してください。
EN1	4	-	I	イネーブル入力チャンネル1。Highで電源スイッチがオン。
$\overline{\text{EN1}}$	-	4	I	イネーブル入力チャンネル1。Lowで電源スイッチがオン。
EN2	5	-	I	イネーブル入力チャンネル2。Highで電源スイッチがオン。
$\overline{\text{EN2}}$	-	5	I	イネーブル入力チャンネル2。Lowで電源スイッチがオン。
FLT2	6	6	O	アクティブ・ローのオープン・ドレイン出力(チャンネル2)。 過電流または過熱状態でアサートされます。
NC	7	7		接続なし。フローティングにします。
OUT2	8	8	O	電源スイッチ出力チャンネル2。負荷に接続します。
OUT1	9	9	O	電源スイッチ出力チャンネル1。負荷に接続します。
$\overline{\text{FLT1}}$	10	10	O	アクティブ・ローのオープン・ドレイン出力(チャンネル1)。 過電流または過熱状態でアサートされます。
PowerPAD™	PAD	PAD	Pwr	内部でGNDに接続されています。デバイスから基板上のパターンへの放熱に使用されます。 パッドをGNDプレーンにヒートシンクとして接続します。

## ピン機能 - SON-8パッケージ

名前	TPS2062C-2	I/O	説明
GND	1	Pwr	グラウンド接続
IN	2	I	入力電圧、および電源スイッチのドレイン。 INとGNDの間に、0.1 $\mu$ F以上のセラミック・コンデンサをICに近づけて配置してください。
EN1	3	I	イネーブル入力チャンネル1。Lowで電源スイッチがオン。
EN2	4	I	イネーブル入力チャンネル2。Lowで電源スイッチがオン。
FLT2	5	O	アクティブ・ローのオープン・ドレイン出力(チャンネル2)。 過電流または過熱状態でアサートされます。
OUT2	6	O	電源スイッチ出力チャンネル2。負荷に接続します。
OUT1	7	O	電源スイッチ出力チャンネル1。負荷に接続します。
FLT1	8	O	アクティブ・ローのオープン・ドレイン出力(チャンネル1)。 過電流または過熱状態でアサートされます。
PowerPAD™	PAD	Pwr	内部でGNDに接続されています。デバイスから基板上のパターンへの放熱に使用されます。 パッドをGNDプレーンにヒートシンクとして接続します。

## 標準的特性

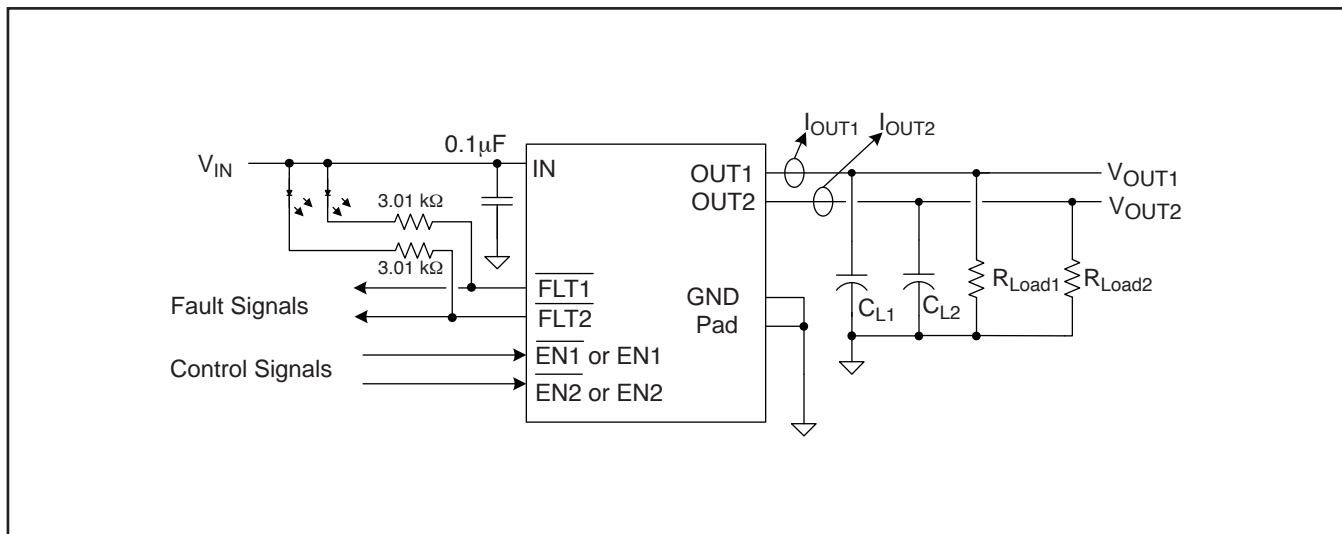


図 10. 「標準的特性」のシステム動作測定用回路

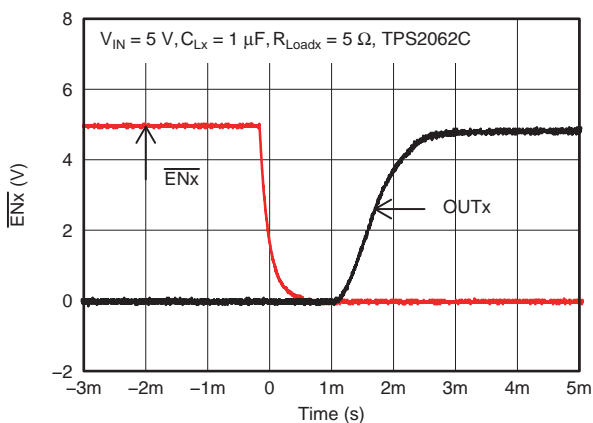


図 11. TPS2062C：オン遅延および立ち上がり時間 (1 $\mu$ F負荷)

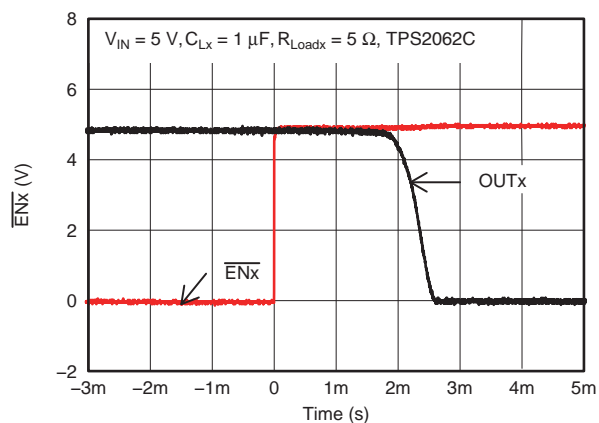


図 12. TPS2062C：オフ遅延および立ち下がり時間 (1 $\mu$ F負荷)



# 標準的特性

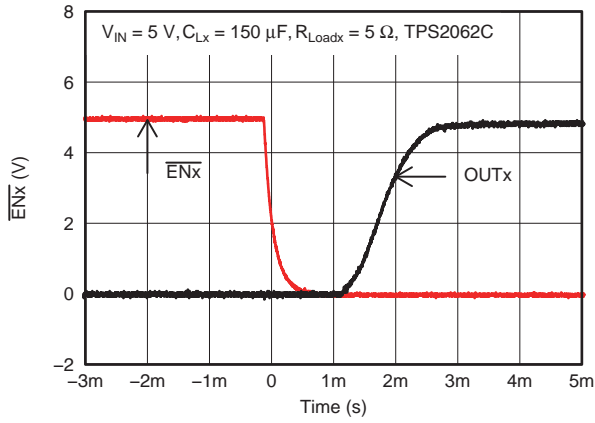


図 13. TPS2062C：オン遅延および立ち上がり時間 (150μF負荷)

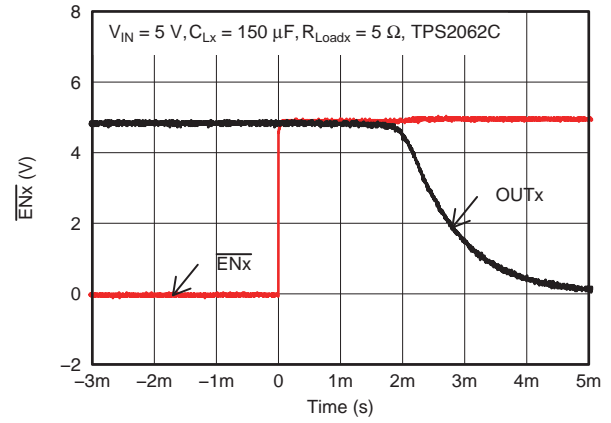


図 14. TPS2062C：オフ遅延および立ち下がり時間 (150μF負荷)

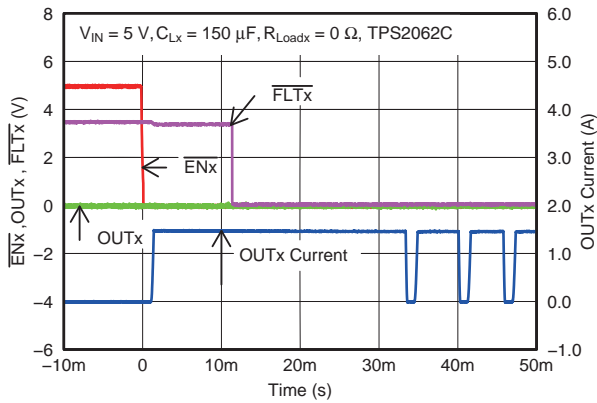


図 15. TPS2062C：短絡時のイネーブル

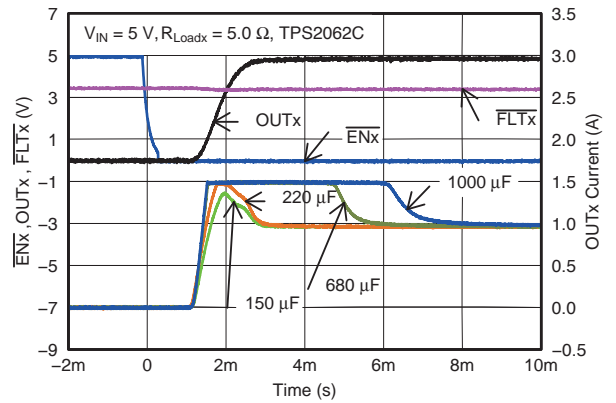


図 16. TPS2062C：異なる負荷容量での突入電流

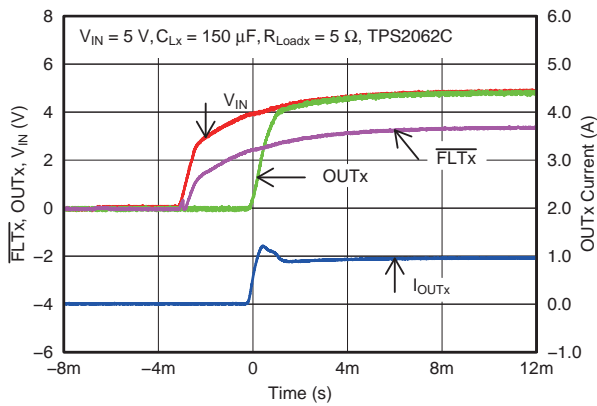


図 17. TPS2062C：パワーアップ - イネーブル時

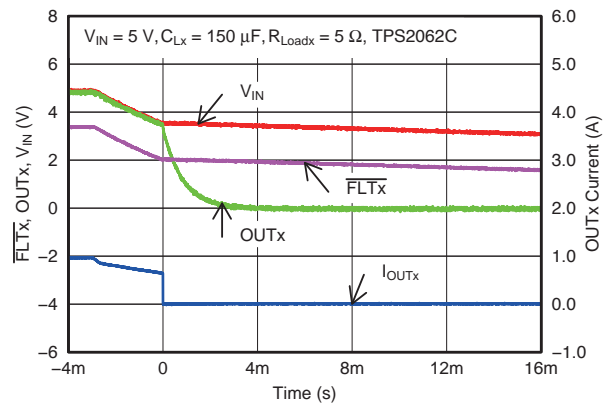


図 18. TPS2062C：パワーダウン - イネーブル時

# 標準的特性

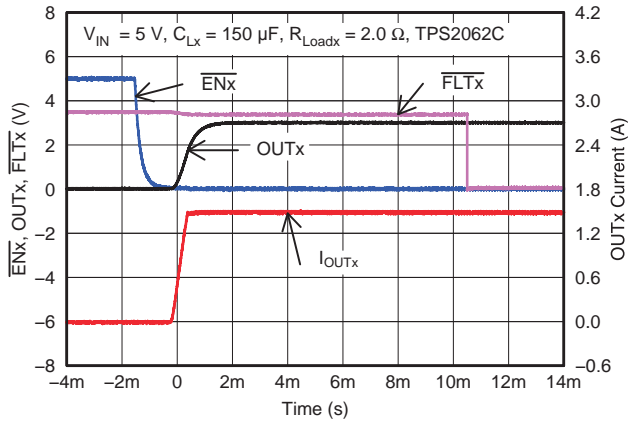


図 19. TPS2062C : 2Ω負荷でのイネーブル

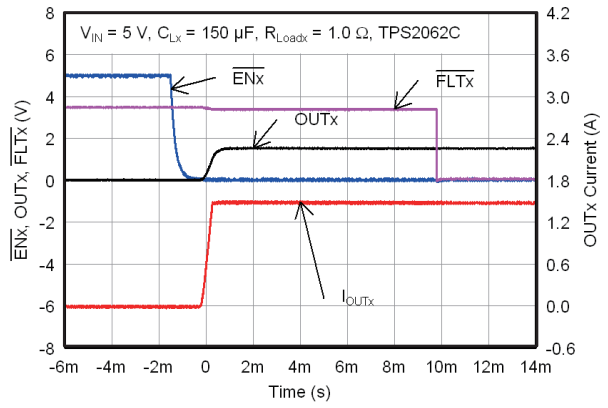


図 20. TPS2062C : 1Ω負荷でのイネーブル

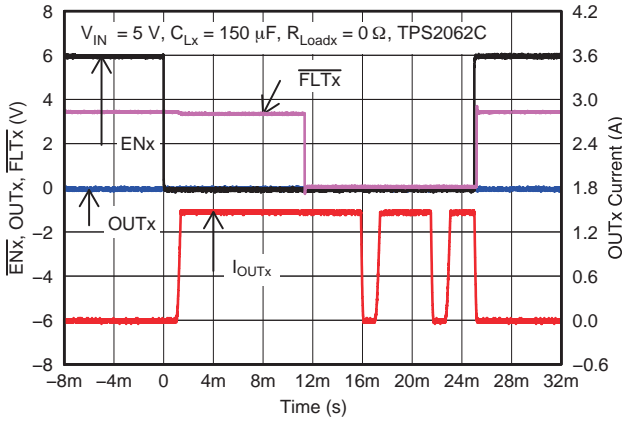


図 21. TPS2062C : 短絡でのイネーブル/ディスエーブル

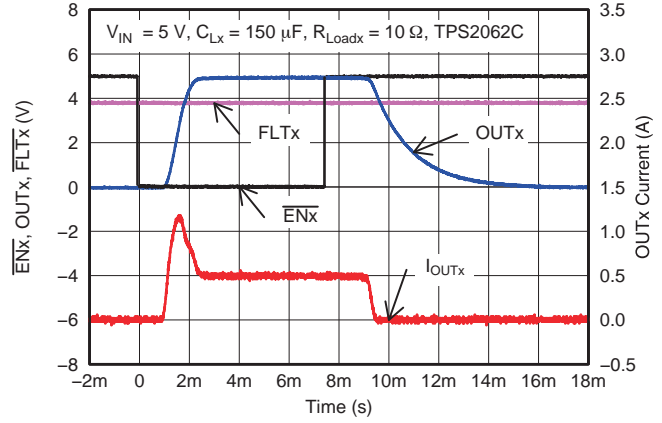


図 22. TPS2062C : 10Ω負荷でのイネーブル/ディスエーブル

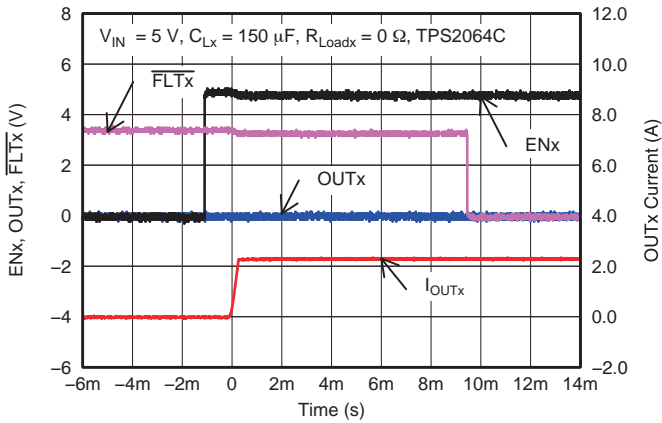


図 23. TPS2064C : 短絡時のイネーブル

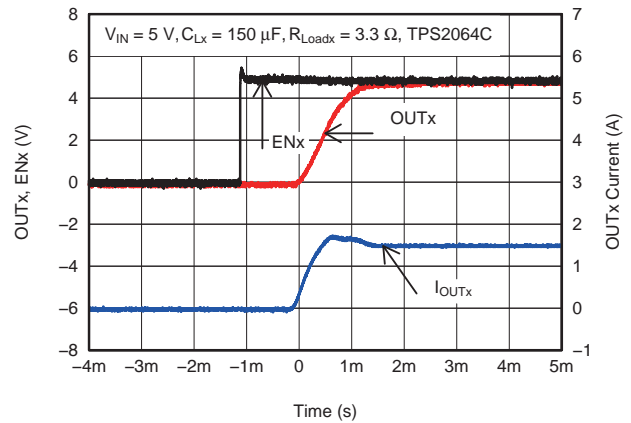


図 24. TPS2064C : 3.3Ωおよび150μF負荷でのイネーブル

# 標準的特性

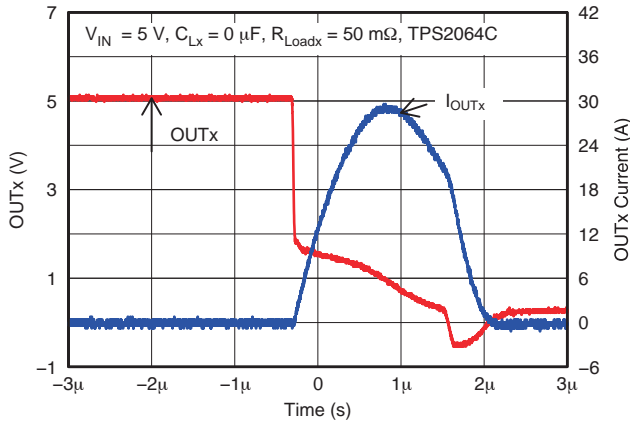


図 25. TPS2064C : 短絡印加

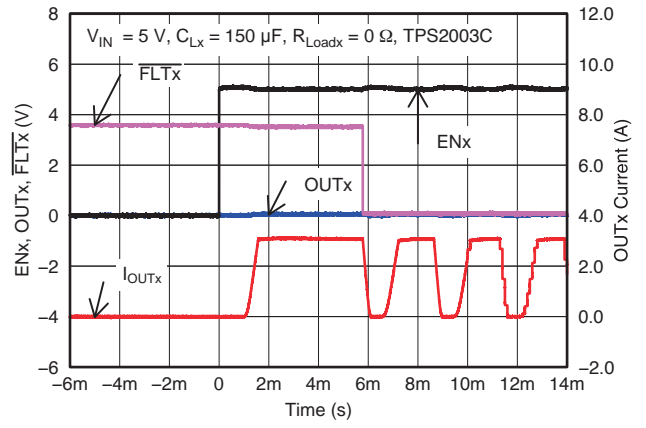


図 26. TPS2003C : 短絡時のイネーブル

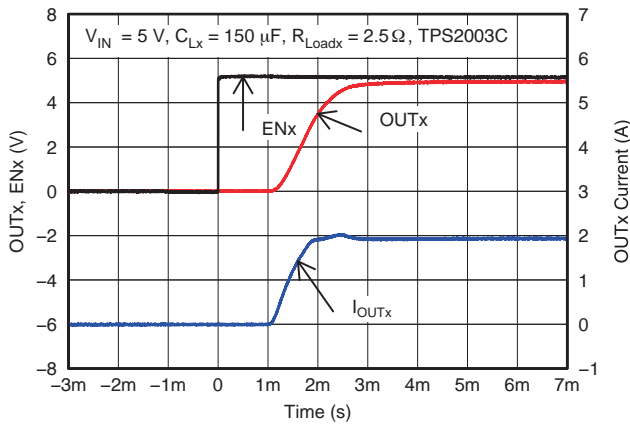


図 27. TPS2003C : 2.5Ωおよび150μF負荷でのイネーブル

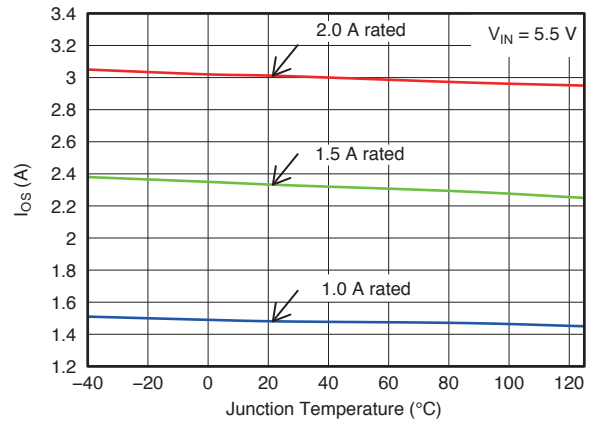


図 28. 電流制限 (IOS) 対 温度

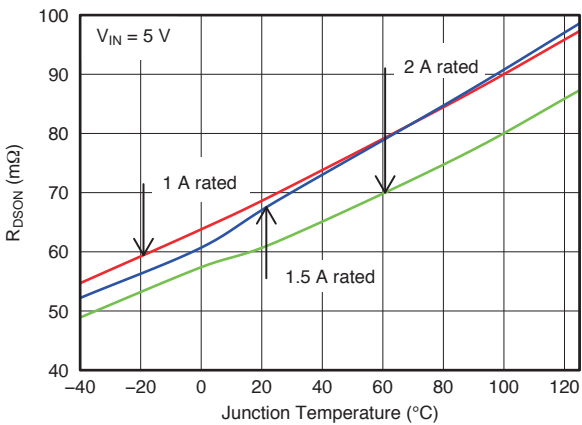


図 29. 入力 - 出力抵抗 (R<sub>DS(ON)</sub>) 対 温度

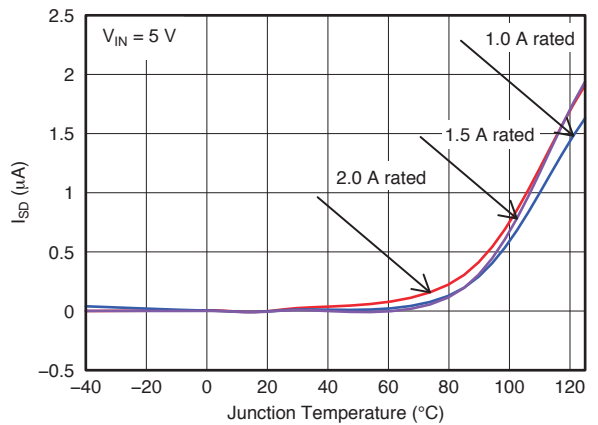


図 30. 消費電流 (デバイスがディスエーブル時) - ISD 対 温度

# 標準的特性

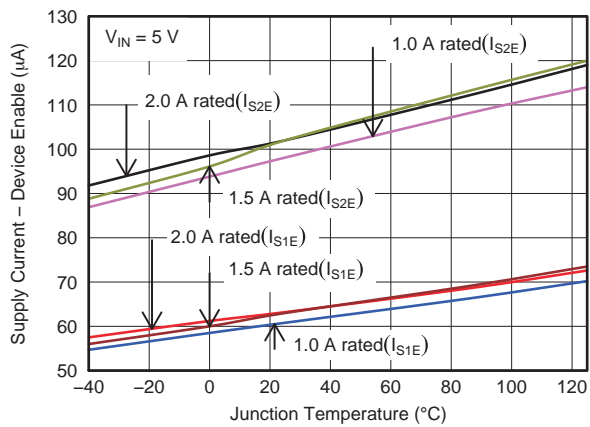


図 31. 消費電流(イネーブル時) -  $I_{SE}$  対 温度

## 詳細説明

TPS20xxC/TPS20xxC-2デュアル・ファミリーは、5V回路で0.5A~2Aの連続負荷電流を供給する、電流制限パワー・ディストリビューション・スイッチです。NチャンネルMOSFETの使用により、低抵抗で、出力電圧の負荷レギュレーションを保持します。大きな容量性負荷や短絡が発生する可能性のあるアプリケーション向けに設計されています。UVLO、オン/オフ制御（イネーブル）、ディスエーブル時の逆電流ブロック、ディスエーブル時の出力放電、過電流保護、過熱保護、デグリッチ付き障害通知などの機能を備えています。既存のTIスイッチ・ポートフォリオとピン互換性があります。

### 低電圧誤動作防止 (UVLO)

低電圧誤動作防止 (UVLO) 回路が内蔵され、入力電圧がUVLOスレッシュホールドより低いときは電源スイッチがディスエーブルになります。内蔵ヒステリシスにより、大きな電流サージからの入力電圧降下によってオン/オフが繰り返されることを防いでいます。TPS20xxC/TPS20xxC-2がUVLO状態のとき、 $\overline{FLT}_x$ はハイ・インピーダンスになります。

### イネーブル(ENxまたは $\overline{EN}_x$ )

論理入力ENxまたは $\overline{EN}_x$ により、電源スイッチをオフに保持しながら、すべての内部回路をディスエーブルにできます。両方のスイッチがディスエーブルのとき、デバイスの消費電流は1 $\mu$ A未満まで低減できます。 $\overline{EN}_x$ にLow、またはENxにHighが入力されると、対応するチャンネルのドライバ、制御回路、および電源スイッチがイネーブルになります。

ENxまたは $\overline{EN}_x$ の入力電圧は、TTLとCMOSの両方の論理レベルと互換性があります。デバイスがディスエーブルになると、 $\overline{FLT}_x$ は直ちにクリアされ、出力放電回路がイネーブルになります。

### デグリッチ付きの障害通知

$\overline{FLT}_x$ は、各対応チャンネルの過電流または過熱状態中にアサート(アクティブ・ロー)される、オープン・ドレイン出力です。障害状態が解消されるか、チャンネルがディスエーブルになるまで、 $\overline{FLT}_x$ 出力はアサートされたままです。TPS20xxC/TPS20xxC-2デュアル・ファミリーでは、過電流状態になった後(または過電流状態の解消後)に内部遅延回路を使用することで、 $\overline{FLT}_x$ の誤検出を防いでいます。この“デグリッチ”時間は、標準で10msです。これにより、大きな容量性負荷に対する起動時など、短時間の過電流状態によって $\overline{FLT}_x$ が偶発的にアサートされないようにしています。過熱状態に対しては、デグリッチは適用されません。デバイスがディスエーブルのとき、および低電圧誤動作防止 (UVLO)の作動時には、 $\overline{FLT}_x$ ピンがハイ・インピーダンスになります。障害回路はチャンネル毎に独立しているため、1つのチャンネルが障害状態になっても、他のチャンネルは動作を継続します。

## 過電流保護

TPS20xxC/TPS20xxC-2は、各チャンネルの出力電流を電気的特性表に示される静的 $I_{OS}$ レベルに制限することにより、過負荷に対して応答します。過負荷状態が検出されると、デバイスは定電流( $I_{OS}$ )を維持し、それによって出力電圧を $I_{OS} \times R_{SHORT}$ へと低下させます。発生する可能性のある過負荷状態は3種類あります。1つ目は、デバイスがイネーブルになる前、またはINに電圧が印加される前に、出力が短絡された場合です。デバイスは、過電流を検知して、直ちに定電流出力に切り替えます。2つ目は、デバイスがイネーブルのときに短絡または過負荷が発生した場合です。短絡が発生した時点で、電流制限回路が動作する前に、数マイクロ秒( $t_{IOS}$ )にわたって高電流が流れる可能性があります。電流制限回路が作動した後、デバイスは定電流モードで動作します。3つ目は、負荷が徐々に増加して推奨動作電流を超えた場合です。電流制限スレッシュホールドに達するまでは、電流の増加が許可されず、デバイスは、電流制限スレッシュホールドに達するまで、損傷なしで電流を供給することができます。スレッシュホールドに達すると、デバイスは定電流モードに移移します。上記3つのいずれの状況でも、過電流状態が継続した場合、デバイスが熱サイクルを開始する可能性があります。

### 過熱保護

TPS20xxC/TPS20xxC-2には、チャンネル毎の過熱保護回路が内蔵され、電流制限中に接合部温度が135°C(最小)に達すると作動します。TPS20xxC/TPS20xxC-2が電流制限中でないときは、接合部温度が155°C(最小)で全体の過熱シャットダウンが行われます。その後、接合部温度が20°C低下すると、デバイスは再起動します。過負荷状態では、比較的大きな消費電力 $[(V_{IN} - V_{OUT}) \times I_{OS}]$ によって接合部温度が上昇するため、過熱シャットダウンが発生する可能性があります。障害が解消されるまで、電源スイッチはオン/オフを繰り返します。このトポロジでは、一方のチャンネルが過熱状態であっても、もう一方のチャンネルは通常動作を継続できます。

### ソフト・スタート、逆電流ブロック、および出力放電

パワー・MOSFETドライバには、入力電源での大電流や電圧サージを制限し、内蔵ソフト・スタート機能を提供するために、出力電圧の立ち上がりおよび立ち下がり時間を制御する回路が内蔵されています。

TPS20xxC/TPS20xxC-2デュアル電源スイッチは、UVLOによってオフになった場合やディスエーブル時に、OUTからINへの電流をブロックします。

TPS20xxCは、各チャンネルに出力放電機能を内蔵しています。デバイスがUVLOまたはディスエーブルになると、470 $\Omega$ (typ)の放電抵抗によって、蓄積された電荷とリーク電流がOUTxで消費されます。ただし、この回路はINからバイアスされているため、INの電圧が0Vに近いときには、出力放電は行われません。

TPS20xxC-2はこの機能を備えていません。デバイスがULVD状態またはディスエーブルのときは、外部負荷によって出力が制御されます。

## アプリケーション情報

### 入力および出力容量

入力および出力容量は、デバイスの性能向上につながります。すべてのアプリケーションに対して、INとGNDの間に0.1μF以上のセラミック・バイパス・コンデンサを接続することを推奨します。このコンデンサは、局所的なノイズ・デカップリングのために、デバイスにできるだけ近づけて配置します。実際の容量は、アプリケーションに合わせて最適化する必要があります。それにより、電源過渡事象による入力でのリングングを低減できます。大きな過渡事象中にデバイスの絶対最大電圧を超えないようオーバーシュート電圧を低減する目的で、追加の入力容量が必要となる場合があります。

USB標準アプリケーションを実装する際には、120μFの最小出力容量が必要です。一般には、150μFの電解コンデンサを使用します。アプリケーションで120μFの出力容量を必要としない場合は、短絡時に負荷インダクタンスによって生じるOUTxピンでの過渡負電圧を低減するため、出力に10μF以上のセラミック・コンデンサを使用することを推奨します。この過渡負電圧は、10μsにわたって1.5V未満に抑える必要があります。

### 消費電力および接合部温度

TPS20xxC/TPS20xxC-2の消費電力および予想される最大接合部温度を見積もることは、設計上の手法として推奨されません。パッケージの選択、他の電力消費デバイスからの距離、およびこれらの計算に基づくプリント基板 (PCB) 設計は、システム設計者の裁量で決まります。これらの要素は、最大接合部温度に直接影響を与えます。エアフローや最大周囲温度といっ

た他の要素は、多くの場合、システム全体の考慮事項によって決まります。

熱インピーダンスを低減し、接合部温度を実用上可能な限り低く保持するために、これらのデバイスの周囲に追加のPCB銅領域を設けることを推奨します。

2個の内部MOSFETで $2 \times I^2 \times r_{DS(on)}$ の電力損失が生じ、 $r_{DS(on)}$ は接合部温度の関数であるため、以下の手順を繰り返しながら温度を計算します。最初の見積もりとしては、「標準的特性」から125°Cでの $r_{DS(on)}$ を使用し、「熱特性について」の表から推奨基板構造に対する推奨パッケージ熱抵抗を使用します。

$$T_J = T_A + [(2 \times I_{OUT}^2 \times r_{DS(on)} \times \theta_{JA})]$$

ここで

$I_{OUT}$  = OUTピンの定格電流 (A)

$r_{DS(on)}$  = 仮定した $T_J$ での電源スイッチのオン抵抗 (Ω)

$T_A$  = 最大周囲温度 (°C)

$T_J$  = 最大接合部温度 (°C)

$\theta_{JA}$  = 熱抵抗 (°C/W)

$T_J$ の計算値が元の仮定から大きく離れている場合は、 $r_{DS(on)}$ の新しい値を求め、再度計算します。

結果の $T_J$ が125°C以上となる場合は、より $\theta_{JA}$ の低いPCB構造やパッケージを試します

# パッケージ情報

## 製品情報

Orderable Device	Status <sup>(1)</sup>	Package Type	Package Drawing	Pins	Package Qty	Eco Plan <sup>(2)</sup>	Lead/ Ball Finish	MSL Peak Temp <sup>(3)</sup>	Samples (Requires Login)
TPS2002CDRCR	ACTIVE	SON	DRC	10	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	
TPS2002CDRCT	ACTIVE	SON	DRC	10	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	
TPS2003CDRCR	ACTIVE	SON	DRC	10	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	
TPS2003CDRCT	ACTIVE	SON	DRC	10	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	
TPS2052CDGN	ACTIVE	MSOP-PowerPAD	DGN	8	80	Green (RoHS & no Sb/Br)	CU NIPDAUAG	Level-2-260C-1 YEAR	
TPS2052CDGNR	ACTIVE	MSOP-PowerPAD	DGN	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAUAG	Level-2-260C-1 YEAR	
TPS2060CDGN	ACTIVE	MSOP-PowerPAD	DGN	8	80	Green (RoHS & no Sb/Br)	CU NIPDAUAG	Level-1-260C-UNLIM	
TPS2060CDGNR	ACTIVE	MSOP-PowerPAD	DGN	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAUAG	Level-1-260C-UNLIM	
TPS2062CD	ACTIVE	SOIC	D	8	75	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	
TPS2062CDGN	ACTIVE	MSOP-PowerPAD	DGN	8	80	Green (RoHS & no Sb/Br)	CU NIPDAUAG	Level-1-260C-UNLIM	
TPS2062CDGNR	ACTIVE	MSOP-PowerPAD	DGN	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAUAG	Level-1-260C-UNLIM	
TPS2062CDR	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	
TPS2062CDRBR-2	PREVIEW	SON	DRB	8	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	
TPS2062CDRBT-2	PREVIEW	SON	DRB	8	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	
TPS2064CDGN	ACTIVE	MSOP-PowerPAD	DGN	8	80	Green (RoHS & no Sb/Br)	CU NIPDAUAG	Level-1-260C-UNLIM	
TPS2064CDGN-2	PREVIEW	MSOP-PowerPAD	DGN	8	80	Green (RoHS & no Sb/Br)	CU NIPDAUAG	Level-2-260C-1 YEAR	
TPS2064CDGNR	ACTIVE	MSOP-PowerPAD	DGN	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAUAG	Level-1-260C-UNLIM	
TPS2064CDGNR-2	PREVIEW	MSOP-PowerPAD	DGN	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAUAG	Level-2-260C-1 YEAR	
TPS2065CDBVR-2	ACTIVE	SOT-23	DBV	5	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	
TPS2065CDBVT-2	ACTIVE	SOT-23	DBV	5	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	
TPS2065CDGN-2	ACTIVE	MSOP-PowerPAD	DGN	8	80	Green (RoHS & no Sb/Br)	CU NIPDAUAG	Level-2-260C-1 YEAR	
TPS2065CDGNR-2	ACTIVE	MSOP-PowerPAD	DGN	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAUAG	Level-2-260C-1 YEAR	
TPS2066CD	ACTIVE	SOIC	D	8	75	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	
TPS2066CDGN	ACTIVE	MSOP-PowerPAD	DGN	8	80	Green (RoHS & no Sb/Br)	CU NIPDAUAG	Level-1-260C-UNLIM	
TPS2066CDGN-2	PREVIEW	MSOP-PowerPAD	DGN	8	80	Green (RoHS & no Sb/Br)	CU NIPDAUAG	Level-2-260C-1 YEAR	
TPS2066CDGNR	ACTIVE	MSOP-PowerPAD	DGN	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAUAG	Level-1-260C-UNLIM	
TPS2066CDGNR-2	PREVIEW	MSOP-PowerPAD	DGN	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAUAG	Level-2-260C-1 YEAR	
TPS2066CDR	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	

<sup>(1)</sup>マーケティング・ステータスは次のように定義されています。

**ACTIVE**: 製品デバイスが新規設計用に推奨されています。

**LIFEBUY**: TIによりデバイスの生産中止予定が発表され、ライフタイム購入期間が有効です。

**NRND**: 新規設計用に推奨されていません。デバイスは既存の顧客をサポートするために生産されていますが、TIでは新規設計にこの部品を使用することを推奨していません。

**PREVIEW**: デバイスは発表済みですが、まだ生産が開始されていません。サンプルが提供される場合と、提供されない場合があります。

**OBSOLETE**: TIによりデバイスの生産が中止されました。

<sup>(2)</sup>エコ・プラン - 環境に配慮した製品分類プランであり、Pb-Free(RoHS)、Pb-Free(RoHS Expert) およびGreen(RoHS & no Sb/Br)があります。最新情報および製品内容の詳細については、<http://www.ti.com/productcontent>でご確認ください。

**TBD**: Pb-Free/Green変換プランが策定されていません。

**Pb-Free(RoHS)**: TIにおける“Lead-Free”または“Pb-Free”(鉛フリー)は、6つの物質すべてに対して現在のRoHS要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が0.1%を超えないという要件も含まれます。高温で半田付けするように設計されている場合、TIの鉛フリー製品は指定された鉛フリープロセスでの使用に適しています。

**Pb-Free(RoHS Exempt)**: この部品は、1) ダイとパッケージの間に鉛ベースの半田バンブ使用、または 2) ダイとリードフレーム間に鉛ベースの接着剤を使用、が除外されています。それ以外は上記の様にPb-Free(RoHS)と考えられます。

**Green(RoHS & no Sb/Br)**: TIにおける“Green”は、“Pb-Free”(RoHS互換)に加えて、臭素 (Br) およびアンチモン (Sb) をベースとした難燃材を含まない (均質な材質中のBrまたはSb重量が0.1%を超えない) ことを意味しています。

<sup>(3)</sup>MSL、ピーク温度 -- JEDEC業界標準分類に従った耐湿性レベル、およびピーク半田温度です。

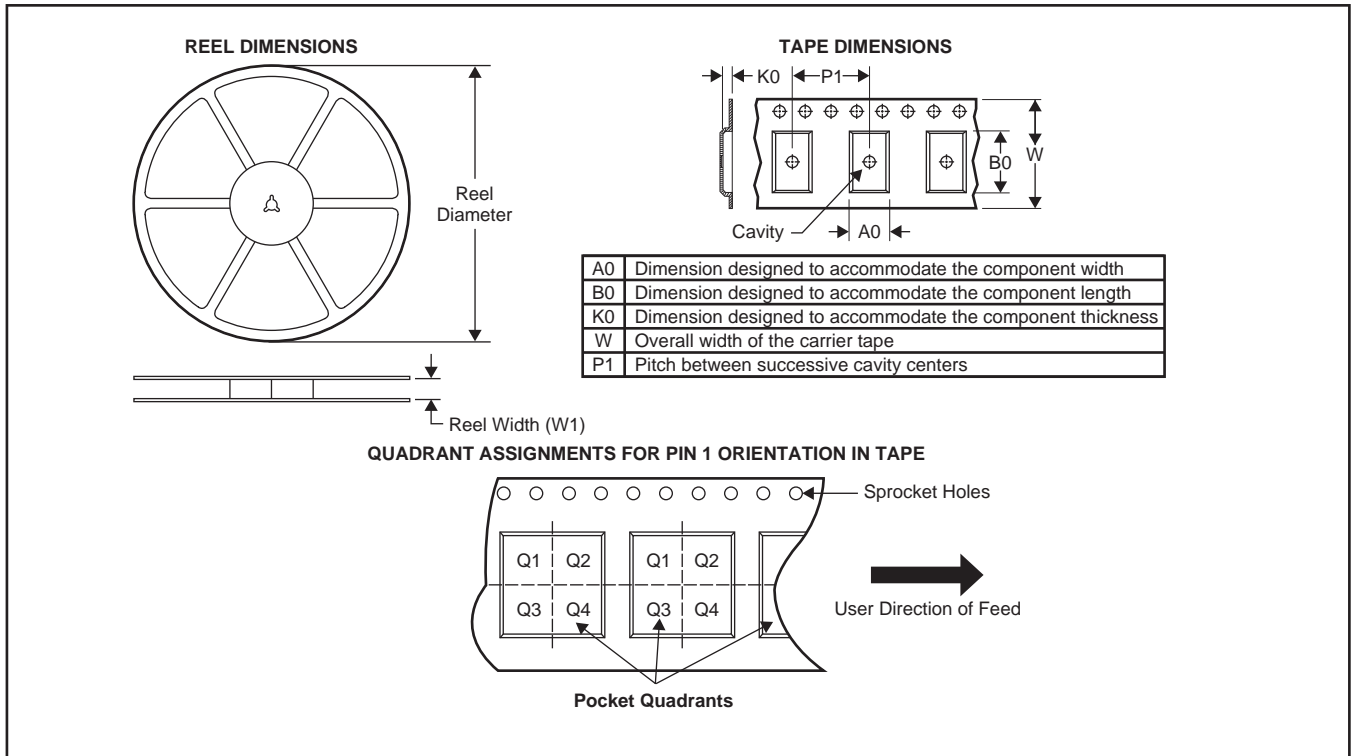
**重要な情報および免責事項**: このページに記載された情報は、記載された日付時点でのTIの知識および見解を表しています。TIの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行いません。第三者からの情報をより良く統合するための努力は続けております。TIでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。TIおよびTI製品の供給者は、特定の情報を機密情報として扱っているため、CAS番号やその他の制限された情報が公開されない場合があります。

TIは、いかなる場合においても、かかる情報により発生した損害について、TIがお客様に1年間に販売した本書記載の問題となった TIパーツの購入価格の合計金額を超える責任を負いかねます。



# パッケージ・マテリアル情報

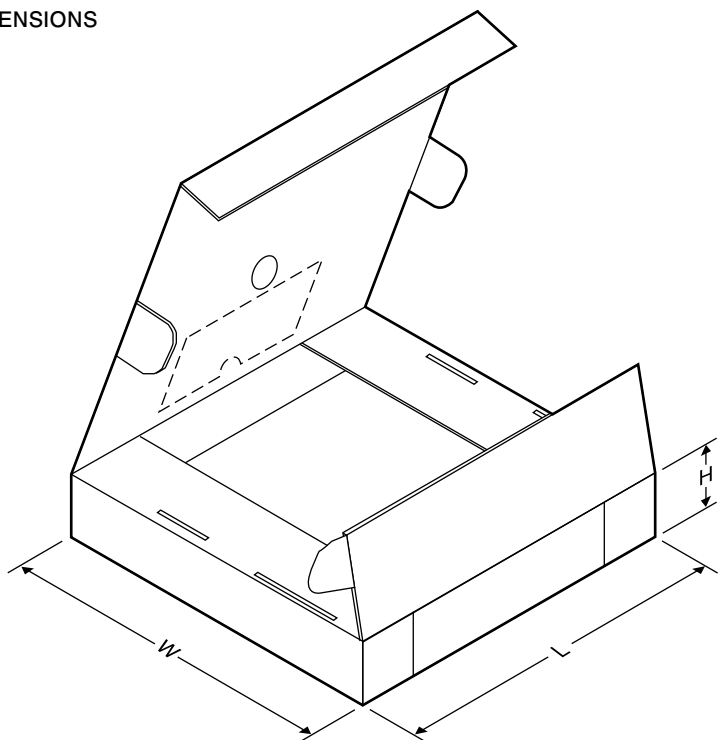
## テープおよびリール・ボックス情報



Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS2002CDRCR	SON	DRC	10	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TPS2002CDRCT	SON	DRC	10	250	180.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TPS2003CDRCR	SON	DRC	10	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TPS2003CDRCT	SON	DRC	10	250	180.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TPS2052CDGNR	MSOP-Power PAD	DGN	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TPS2060CDGNR	MSOP-Power PAD	DGN	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TPS2062CDGNR	MSOP-Power PAD	DGN	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TPS2062CDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TPS2064CDGNR	MSOP-Power PAD	DGN	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TPS2065CDBVR-2	SOT-23	DBV	5	3000	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
TPS2065CDGNR-2	MSOP-Power PAD	DGN	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TPS2066CDGNR	MSOP-Power PAD	DGN	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1

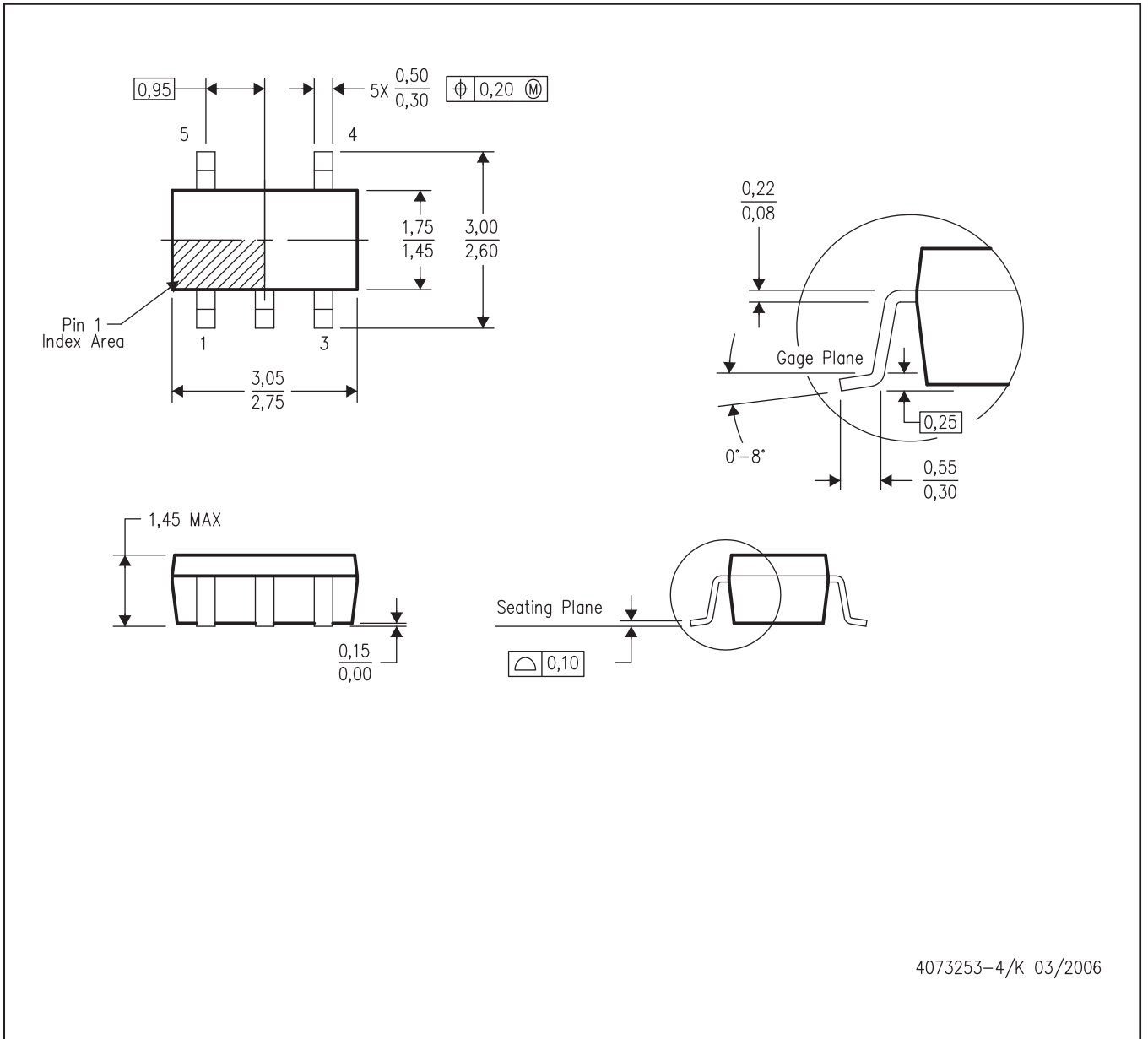
## パッケージ・マテリアル情報

### TAPE AND REEL BOX DIMENSIONS



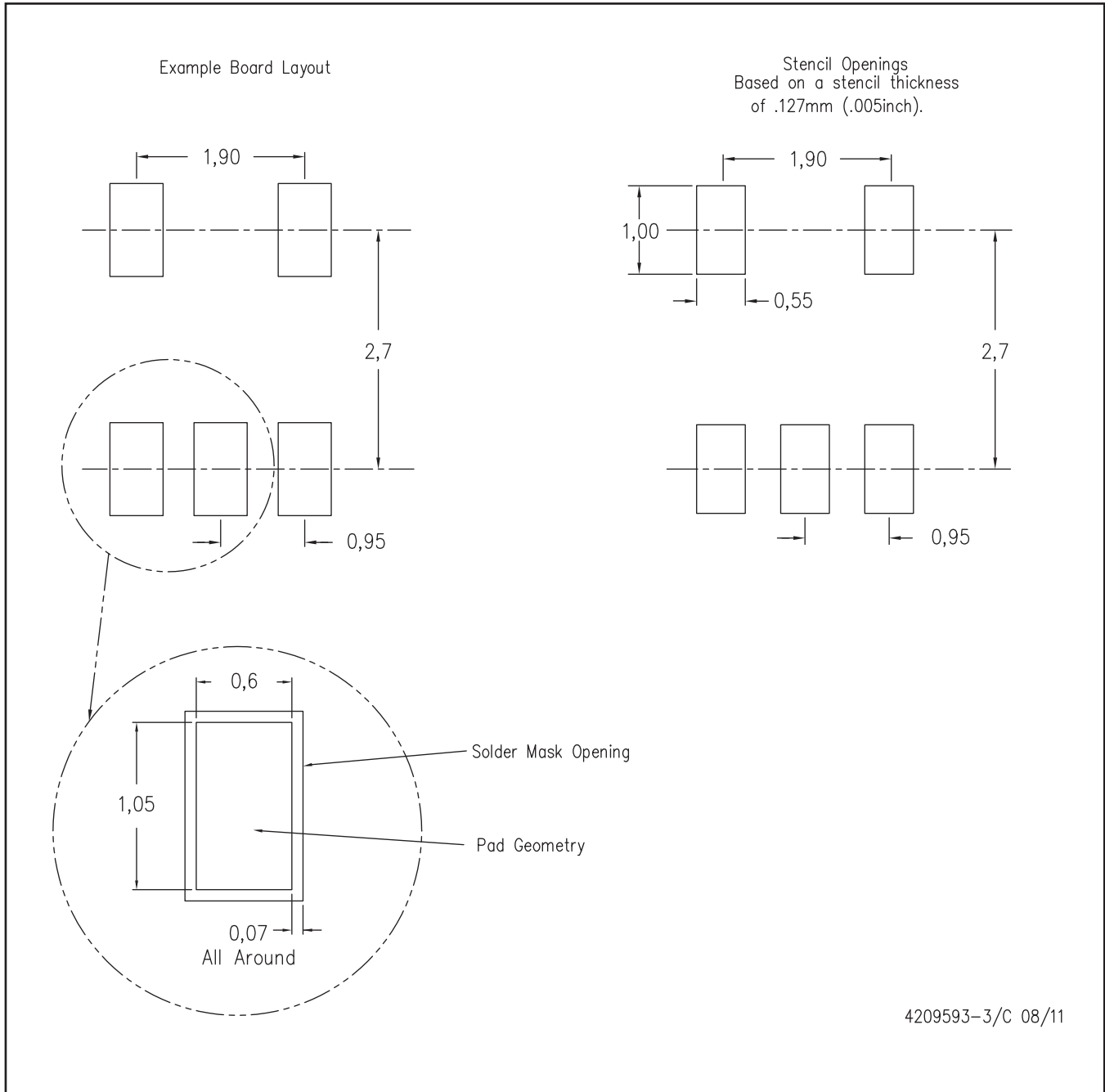
\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS2002CDRCR	SON	DRC	10	3000	367.0	367.0	35.0
TPS2002CDRCT	SON	DRC	10	250	210.0	185.0	35.0
TPS2003CDRCR	SON	DRC	10	3000	367.0	367.0	35.0
TPS2003CDRCT	SON	DRC	10	250	210.0	185.0	35.0
TPS2052CDGNR	MSOP-PowerPAD	DGN	8	2500	366.0	364.0	50.0
TPS2060CDGNR	MSOP-PowerPAD	DGN	8	2500	364.0	364.0	27.0
TPS2062CDGNR	MSOP-PowerPAD	DGN	8	2500	364.0	364.0	27.0
TPS2062CDR	SOIC	D	8	2500	340.5	338.1	20.6
TPS2064CDGNR	MSOP-PowerPAD	DGN	8	2500	364.0	364.0	27.0
TPS2065CDBVR-2	SOT-23	DBV	5	3000	180.0	180.0	18.0
TPS2065CDGNR-2	MSOP-PowerPAD	DGN	8	2500	366.0	364.0	50.0
TPS2066CDGNR	MSOP-PowerPAD	DGN	8	2500	364.0	364.0	27.0



4073253-4/K 03/2006

- 注： A. 寸法はすべてミリメートルです。  
 B. 本図は予告なく変更することがあります。  
 C. ボディ長には、モールド・フラッシュや突起、ゲート・バーは含みません。  
 モールド・フラッシュや突起、ゲート・バーは、片側で0.15を超えることはありません。  
 D. JEDEC MO-178 variationAAに準拠



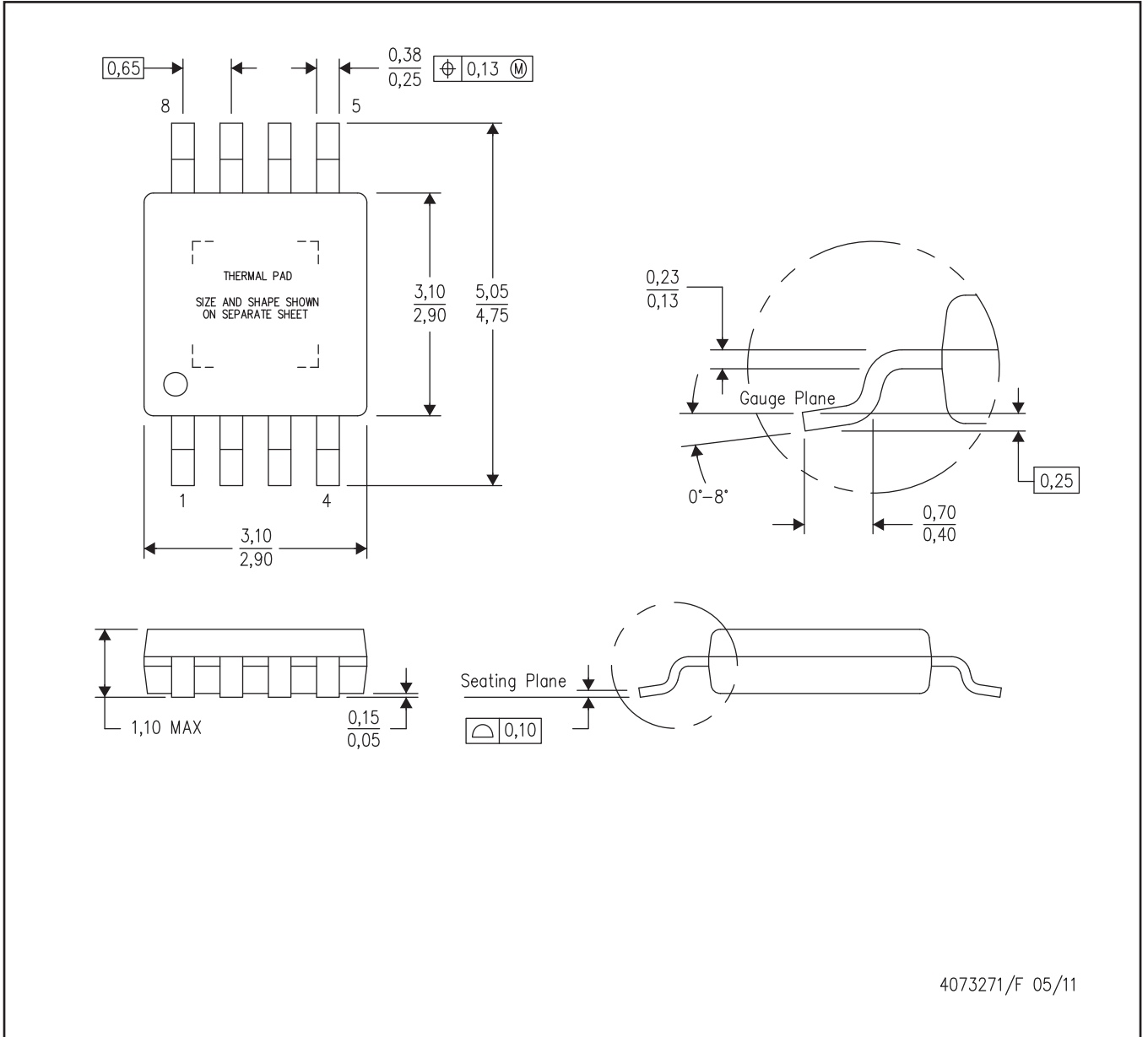
注：A. 全ての線寸法の単位はミリメートルです。

B. 図は予告なく変更することがあります。

C. 中央の半田マスク定義パッドを変更しないように、回路基板組み立て図に注記を書き込んでください。

D. 代替設計には、IPC-7351規格を推奨します。

E. レーザ切断開口部の壁面を台形にし、角に丸みを付けることで、ペーストの離れがよくなります。ステンシル設計要件については、基板組み立て拠点にお問い合わせください。例に示したステンシル設計は、50%容積のメタルロード半田ペーストに基づいています。ステンシルに関する他の推奨事項については、IPC-7525を参照してください。



4073271/F 05/11

- 注：A. 全ての線寸法の単位はミリメートルです。  
 B. 図は予告なく変更することがあります。  
 C. 本体寸法にはモールド・フラッシュや突起を含みません。  
 D. このパッケージは、基板上的サーマル・パッドに半田付けされるように設計されています。推奨基板レイアウトについては、テクニカル・ブリーフ「PowerPAD Thermally Enhanced Package」(TI文献番号SLMA002)を参照してください。これらのドキュメントは、ホームページwww.ti.comで入手できます。  
 E. 露出サーマル・パッドの寸法および形状についての詳細は、データシート内のサーマルパッド・メカニカル・データを参照してください。  
 F. JEDEC MO-187 バージョンAA-Tに適合しています。

# サーマルパッド・メカニカル・データ

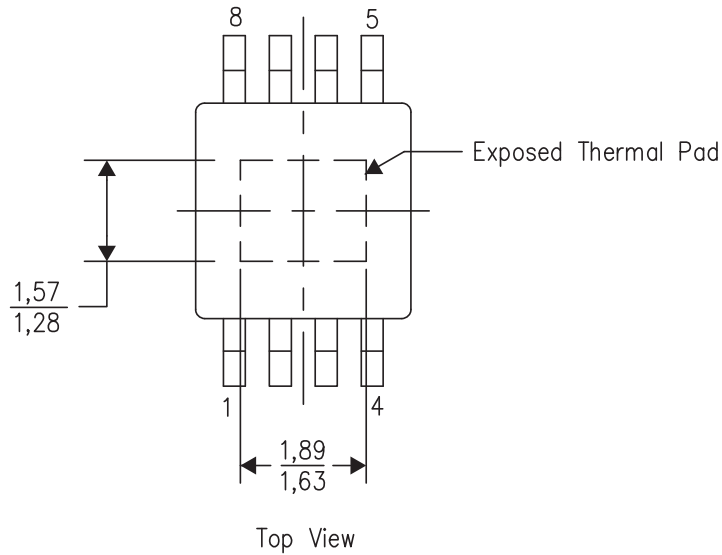
DGN(S-PDSO-G8)

## 熱的特性に関する資料

このPowerPAD™パッケージには、外部ヒートシンクに直接接続するように設計された、露出したサーマルパッドが装備されています。このサーマルパッドは、プリント基板 (PCB) に直接半田付ける必要があります。半田付け後は、PCBをヒートシンクとして使用できます。また、サーマル・ビアを使用して、サーマルパッドをデバイスの回路図に示された適切な銅プレーンに直接接続するか、あるいはPCB内に設計された特別なヒートシンク構造に接続することができます。この設計により、ICからの熱伝導が最適化されます。

PowerPAD™パッケージについての追加情報およびその熱放散能力の利用法については、テクニカル・ブリーフ『PowerPAD Thermally Enhanced Package』(TI文献番号SLMA002) およびアプリケーション・ブリーフ『PowerPAD Made Easy』(TI文献番号SLMA004)を参照してください。いずれもホームページ [www.ti.com](http://www.ti.com) で入手できます。

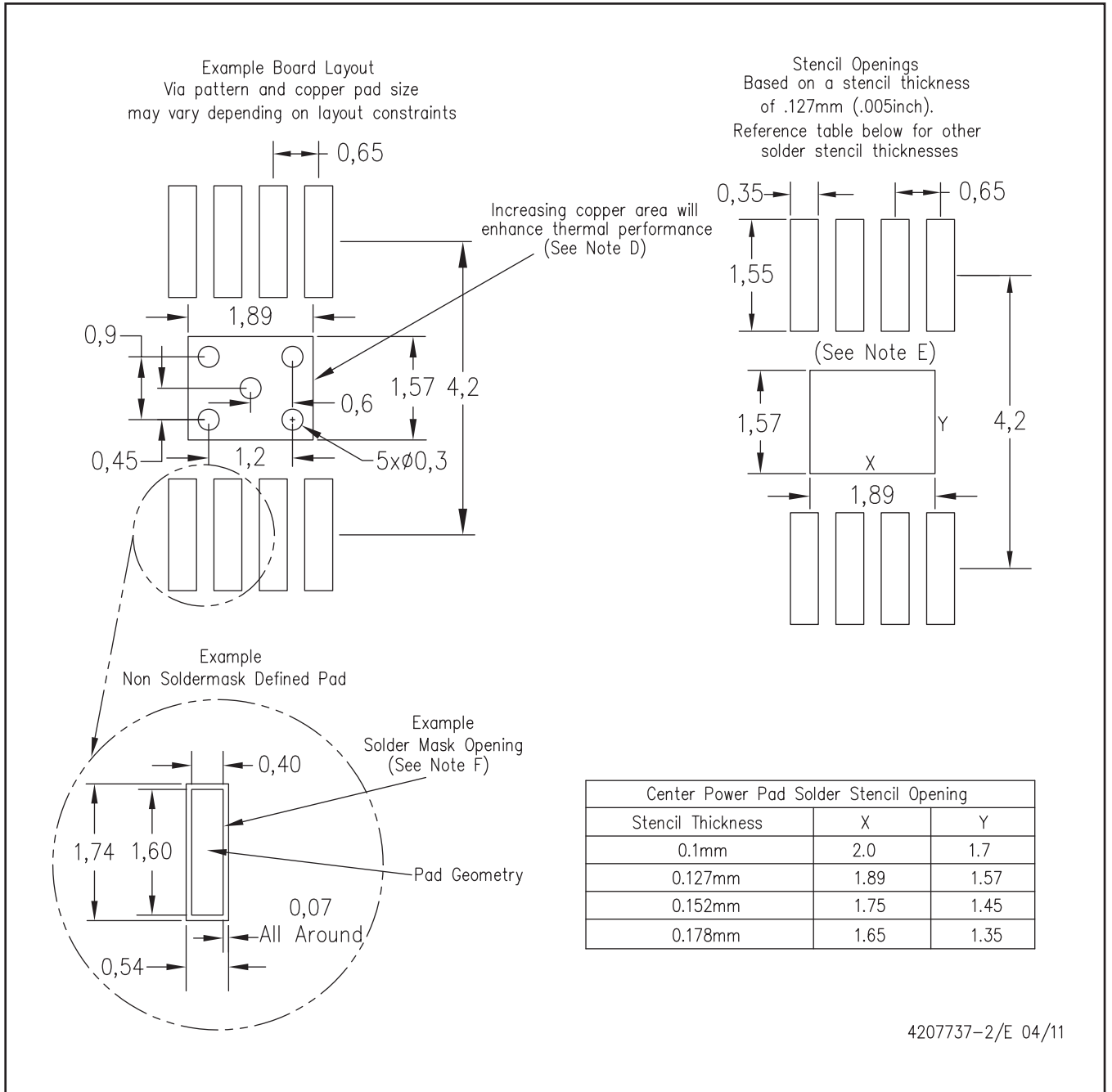
このパッケージの露出したサーマルパッドの寸法を次の図に示します。



4206323-2/1 12/11

注：全ての線寸法の単位はミリメートルです。

サーマルパッド寸法図



4207737-2/E 04/11

注：A. 全ての線寸法の単位はミリメートルです。

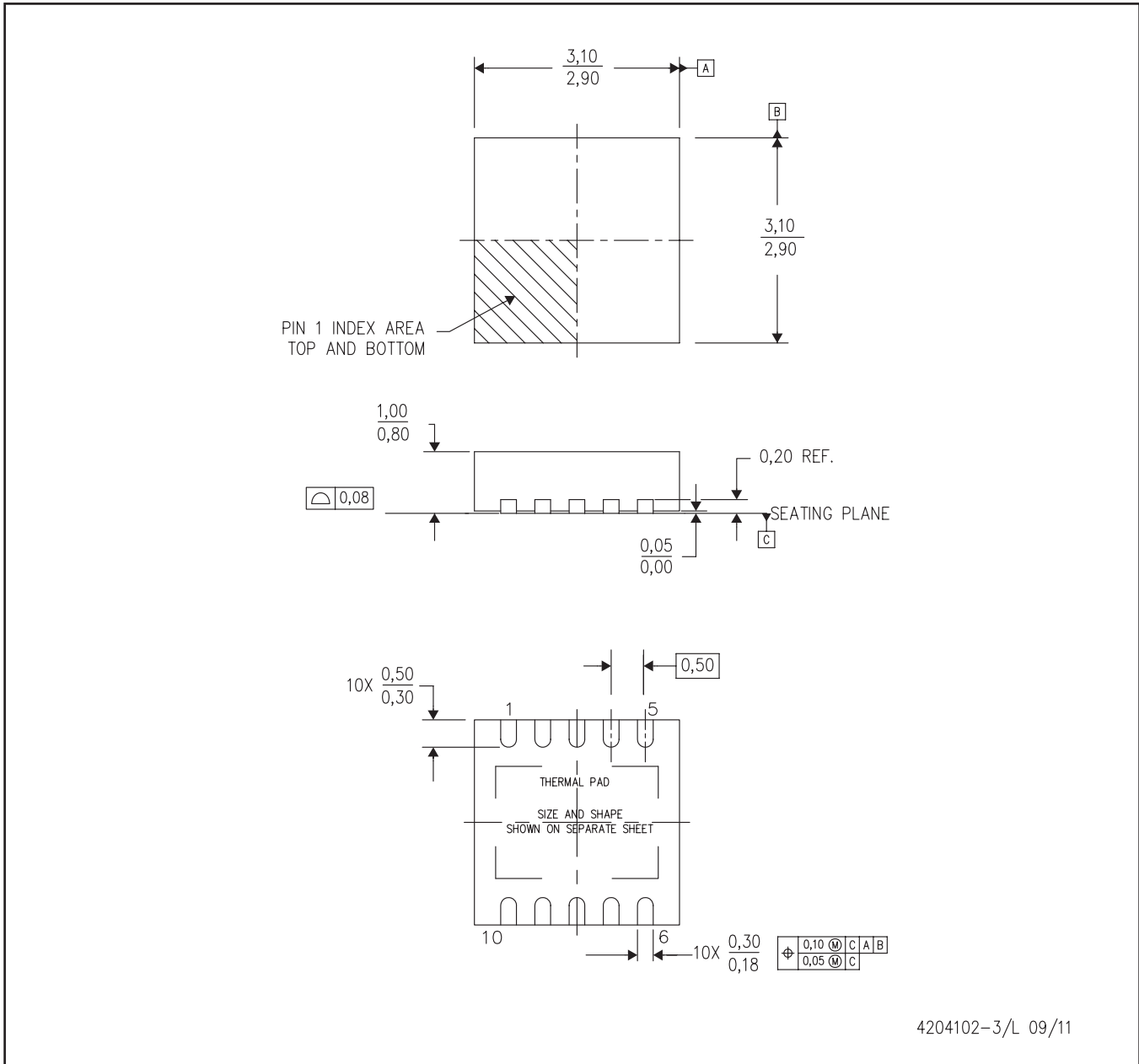
B. 図は予告なく変更することがあります。

C. 中央の半田マスク定義パッドを変更しないように、回路基板組み立て図に注記を書き込んでください。

D. 代替設計には、IPC-7351規格を推奨します。

E. レーザ切断開口部の壁面を台形にし、角に丸みを付けることで、ペーストの離れがよくなります。ステンシル設計要件については、基板組み立て拠点にお問い合わせください。例に示したステンシル設計は、50%容積のメタルロード半田ペーストに基づいています。ステンシルに関する他の推奨事項については、IPC-7525を参照してください。

F. 信号パッド間および信号パッド周囲の半田マスク許容差については、基板組み立て拠点にお問い合わせください。



- 注：A. 全ての線寸法の単位はミリメートルです。寸法と許容差はASME Y14.5M- 1994に従っています。  
 B. 図は予告なく変更することがあります。  
 C. SON (Small Outline No-Lead) パッケージ構成  
 D. 最良の熱特性および機械的特性を得るには、パッケージのサーマル・パッドを基板に半田付けする必要があります。  
 E. 露出したサーマル・パッドの寸法に関する詳細は、製品データシートを参照してください。



# サーマルパッド・メカニカル・データ

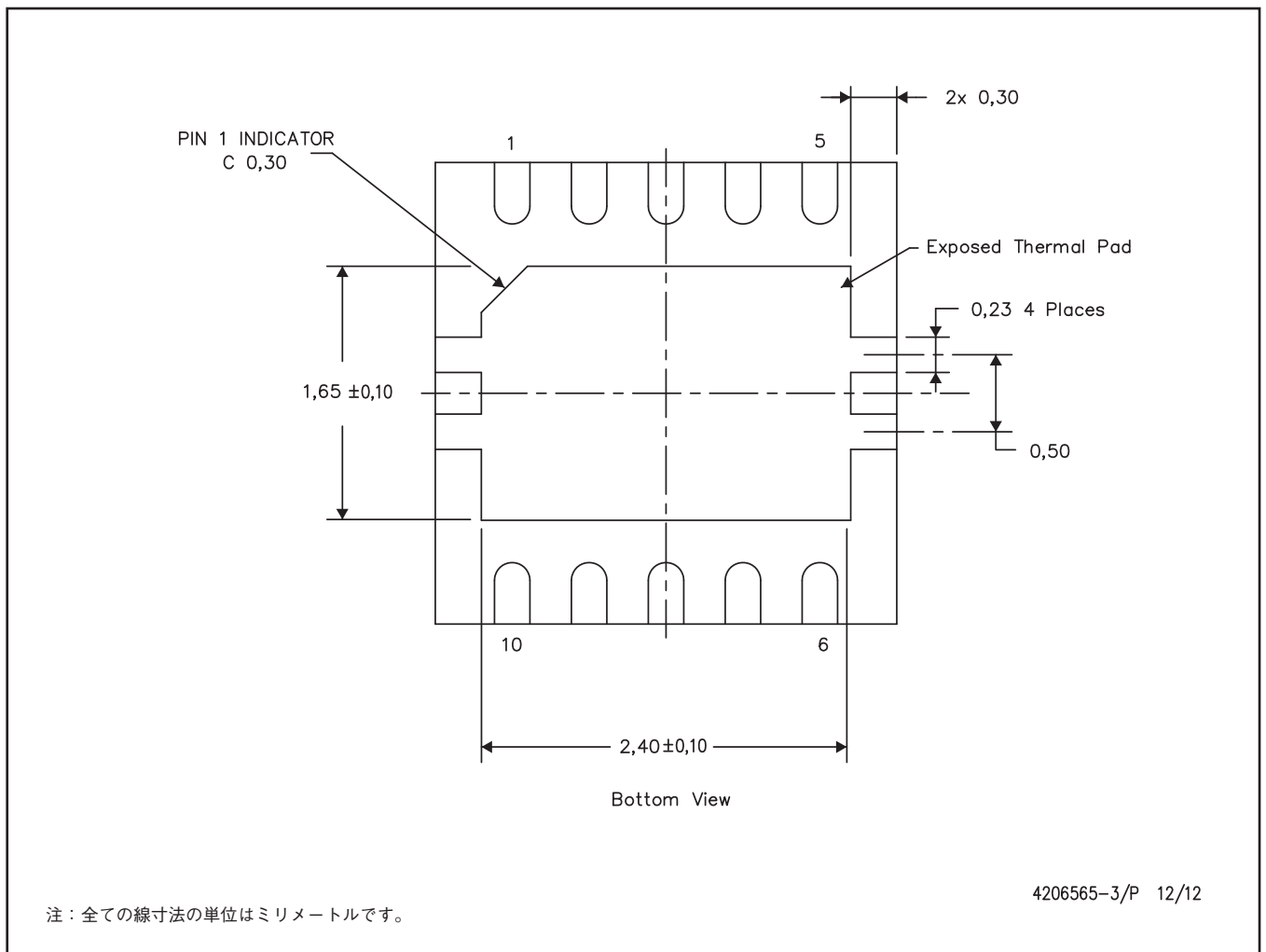
DRC(S-PVSON-N10)

## 熱的特性に関する資料

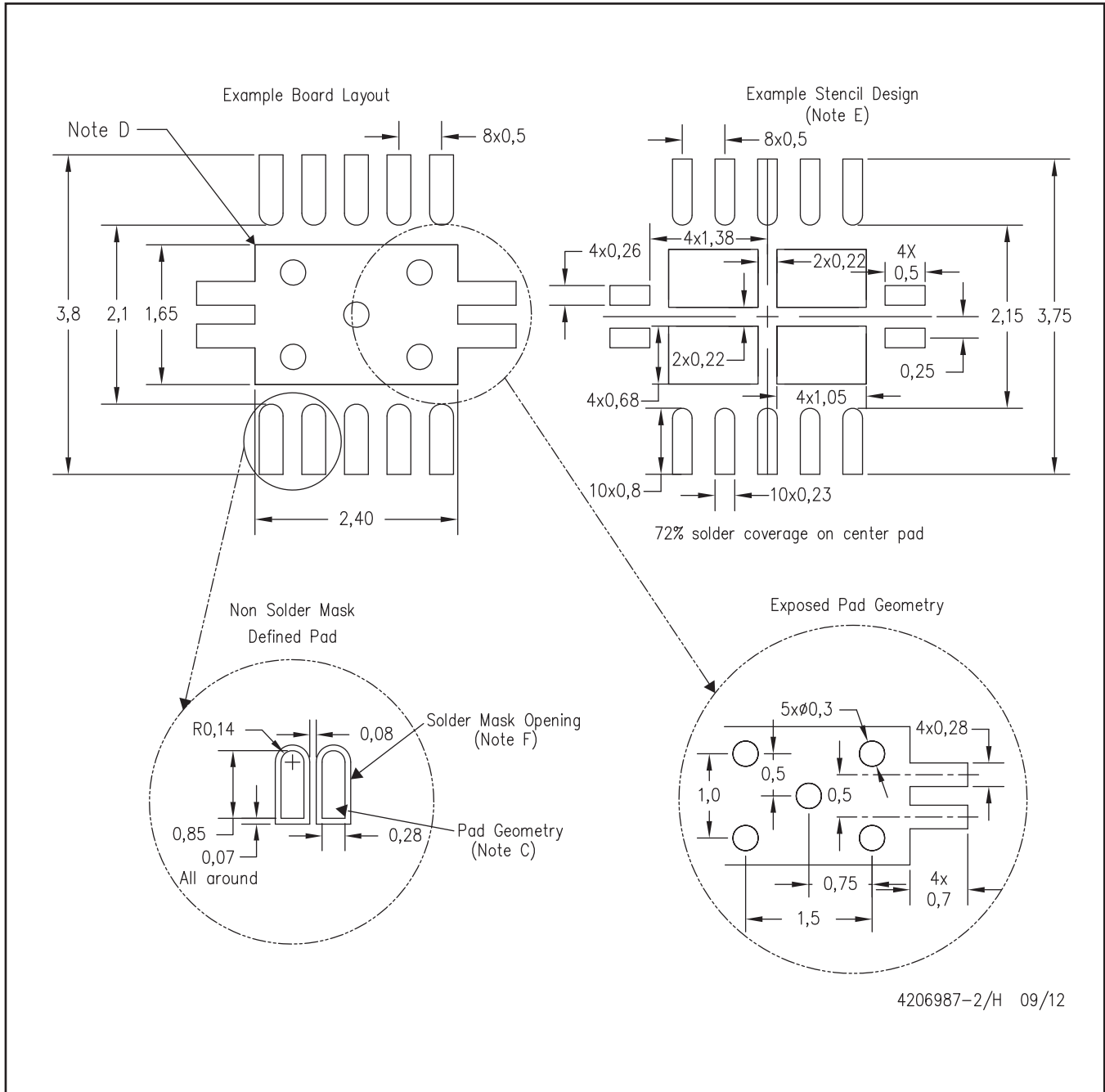
このパッケージは外部のヒートシンクに直接接続できるように設計された露出したサーマル・パッドをもっています。サーマル・パッドはプリント回路基板 (PCB) に直接はんだ付けされなければなりません。はんだ付けされることにより、PCBはヒートシンクとして使用できます。さらに、サーマル・ビアを使用することにより、サーマル・パッドはグランドまたは電源プレーン (どちらか当てはまる方)、またはもう1つの方法としてPCBに設計された特別なヒートシンク構造に直接接続することができます。この設計により、集積回路 (IC) からの熱の移動が最適化されます。

クワッド・フラットパック・ノーリード (QFN) パッケージとその利点についての情報はアプリケーション・レポート “QuadFlatpack No-Lead Logic Packages” TI 文献番号 SLUA271 を参照してください。この文献はホームページ [www.ti.com](http://www.ti.com) で入手できます。

このパッケージのサーマル・パッドの寸法は以下の図に示されています。



サーマル・パッド寸法図



注：A. 全ての線寸法の単位はミリメートルです。

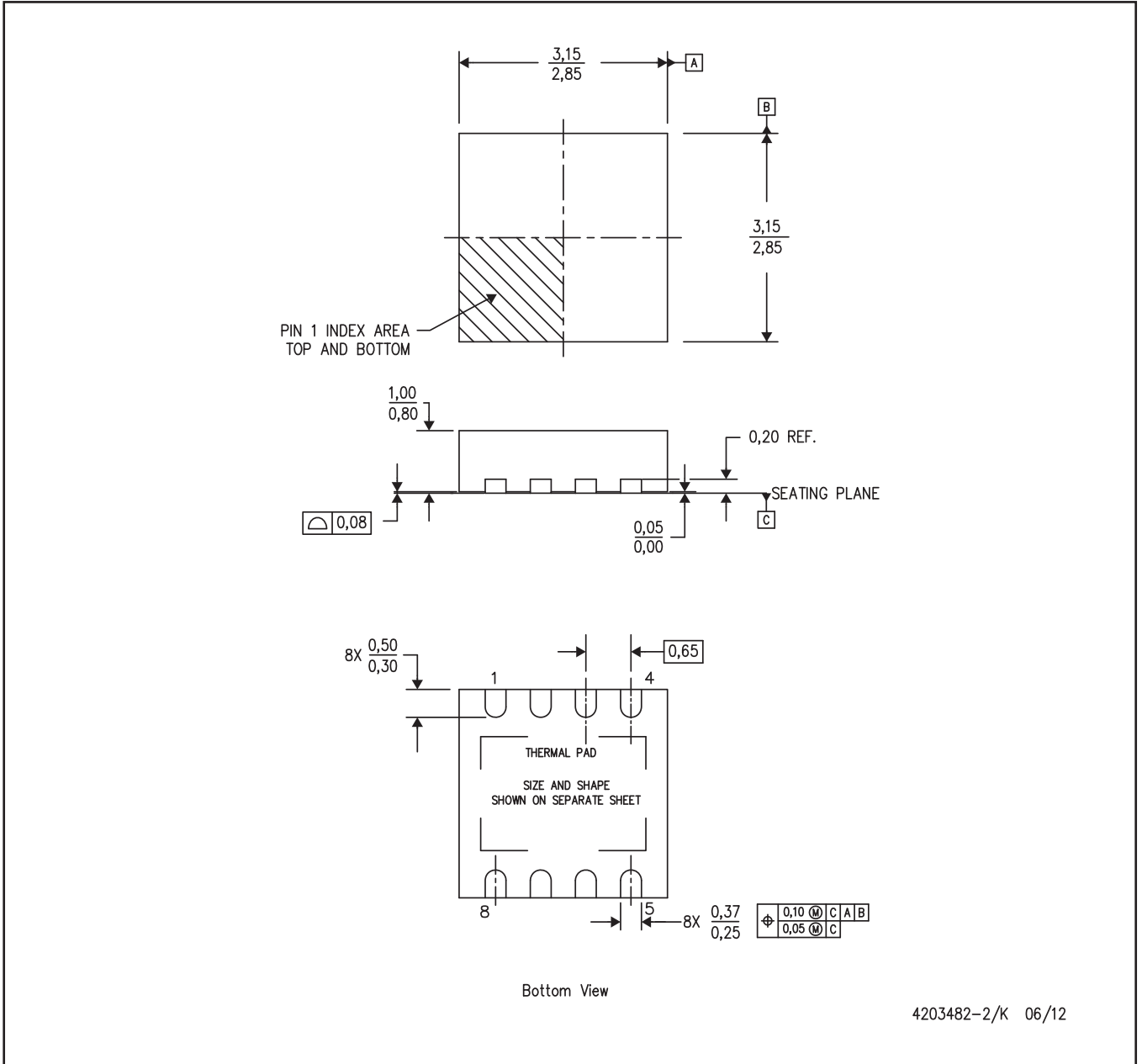
B. 図は予告なく変更することがあります。

C. 代替設計には、IPC-7351規格を推奨します。

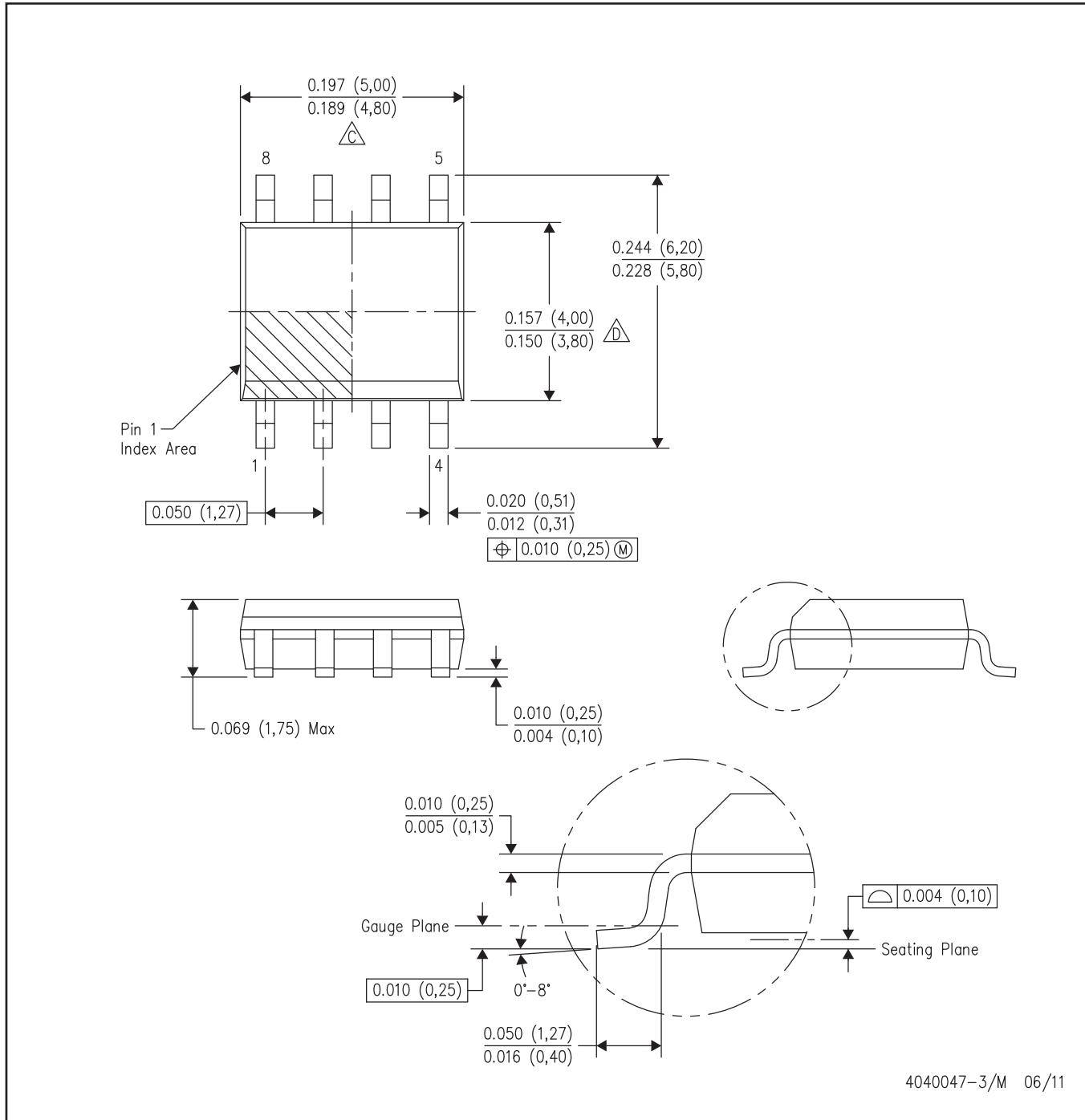
D. このパッケージは、基板上のサーマル・パッドに半田付けされるように設計されています。熱に関する具体的な情報、ビア要件、および推奨基板レイアウトについては、アプリケーション・ノート『Quad Flat-Pack Packages』(TI文献番号SLUA271) および製品データシートを参照してください。これらのドキュメントは、ホームページwww.ti.comで入手できます。

E. レーザ切断開口部の壁面を台形にし、角に丸みを付けることで、ペーストの離れがよくなります。ステンシル設計要件については、基板組み立て拠点にお問い合わせください。ステンシル設計上の考慮事項については、IPC 7525を参照してください。

F. 信号パッド間および信号パッド周囲の半田マスク許容差については、基板組み立て拠点にお問い合わせください。



- 注：A. 全ての線寸法の単位はミリメートルです。寸法と許容差はASME Y14.5M- 1994に従っています。  
 B. 図は予告なく変更することがあります。  
 C. SON(Small Outline No-Lead)パッケージ構成  
 D. 最良の熱特性および機械的特性を得るには、パッケージのサーマル・パッドを基板に半田付けする必要があります。  
 E. 露出したサーマル・パッドの寸法に関する詳細は、製品データシートを参照してください。



注：A. 寸法はすべてミリメートルです。

B. 本図は予告なく変更することがあります。

△ ボディ長には、モールド・フラッシュや突起、ゲート・バーは含みません。

モールド・フラッシュや突起、ゲート・バーは、片側で0.15を超えることはありません。

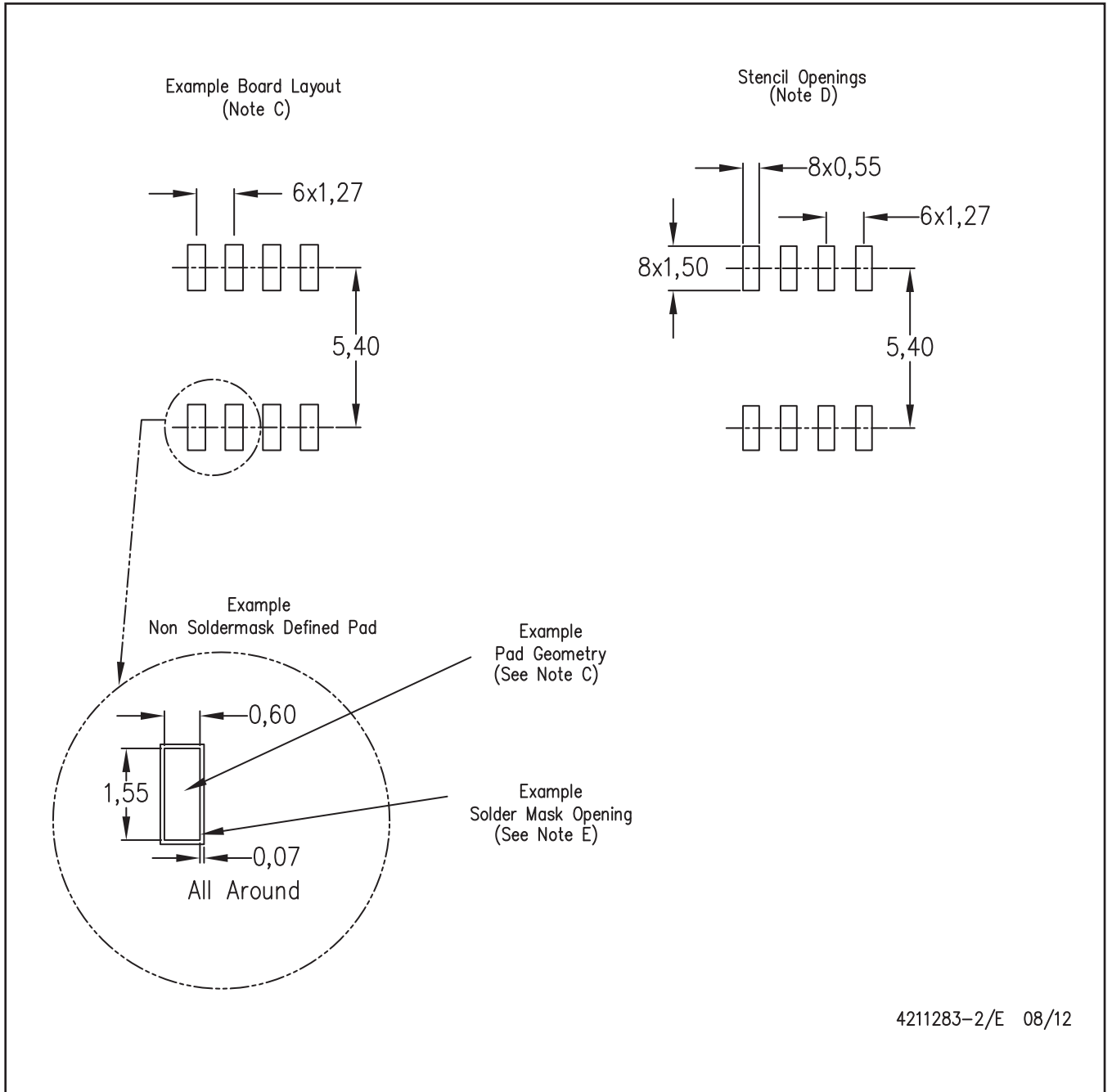
△ ボディ幅にはインターリード・フラッシュは含みません。インターリード・フラッシュは片側で0.43を超えることはありません。

E. JEDEC MO-012 variationAAに準拠

# ランド・パターン

D(R-PDSO-G8)

PowerPAD™ PLASTIC SMALL OUTLINE



4211283-2/E 08/12

- 注：A. 寸法はすべてミリメートルです。  
 B. 本図は予告なく変更することがあります。  
 C. 代替設計については、資料IPC-SM-782を推奨します。  
 D. レーザ切断開口部の壁面を台形にし、角に丸みを付けることで、ペーストの離れがよくなります。ステンシル設計要件については、基板組み立て拠点にお問い合わせください。ステンシル設計上の考慮事項については、IPC 7525を参照してください。  
 E. 信号パッド間および信号パッド周囲の半田マスク許容差については、基板組み立て拠点にお問い合わせください。

(SLVSAX6F)

# ご注意

Texas Instruments Incorporated 及びその関連会社 (以下総称して TI といいます) は、最新の JESD46 に従いその半導体製品及びサービスを修正し、改善、改良、その他の変更をし、又は最新の JESD48 に従い製品の製造中止またはサービスの提供を中止する権利を留保します。お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての半導体製品は、ご注文の受諾の際に提示される TI の標準販売契約約款に従って販売されます。

TI は、その製品が、半導体製品に関する TI の標準販売契約約款に記載された保証条件に従い、販売時の仕様に対応した性能を有していることを保証します。検査及びその他の品質管理技法は、TI が当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、適用される法令によってそれ等の実行が義務づけられている場合を除き、必ずしも行なわれておりません。

TI は、製品のアプリケーションに関する支援又はお客様の製品の設計について責任を負うことはありません。TI 製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI 製部品を使用したお客様の製品及びアプリケーションに関連する危険を最小のものとするため、適切な設計上及び操作上の安全対策は、お客様にてお取り下さい。

TI は、TI の製品又はサービスが使用されている組み合わせ、機械装置、又は方法に関連している TI の特許権、著作権、回路配置利用権、その他の TI の知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TI が第三者の製品もしくはサービスについて情報を提供することは、TI が当該製品又はサービスを使用することについてライセンスを与えるとか、保証又は是認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない、又は TI の特許その他の知的財産権に基づき TI からライセンスを得て頂かなければならない場合もあります。

TI のデータ・ブック又はデータ・シートの中にある情報の重要な部分の複製は、その情報に一切の変更を加えること無く、且つその情報と関連する全ての保証、条件、制限及び通知と共になされる限りにおいてのみ許されるものとします。TI は、変更が加えられて文書化されたものについては一切責任を負いません。第三者の情報については、追加的な制約に服する可能性があります。

TI の製品又はサービスについて TI が提示したパラメーターと異なる、又は、それを超えてなされた説明で当該 TI 製品又はサービスを再販売することは、関連する TI 製品又はサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、且つ不公正で誤認を生じさせる行為です。TI は、そのような説明については何の義務も責任も負いません。

TI からのアプリケーションに関する情報提供又は支援の一切に拘わらず、お客様は、ご自身の製品及びご自身のアプリケーションにおける TI 製品の使用に関する法的責任、規制、及び安全に関する要求事項の全てにつき、これをご自身で遵守する責任があることを認め、且つそのことに同意します。お客様は、想定される不具合がもたらす危険な結果に対する安全対策を立案し実行し、不具合及びその帰結を監視し、害を及ぼす可能性のある不具合の可能性を低減し、及び、適切な治癒措置を講じるために必要な専門的知識の一切を自ら有することを表明し、保証します。お客様は、TI 製品を安全でないことが致命的となるアプリケーションに使用したことから生じる損害の一切につき、TI 及びその代表者にその全額の補償をするものとします。

TI 製品につき、安全に関連するアプリケーションを促進するために特に宣伝される場合があります。そのような製品については、TI が目的とするところは、適用される機能上の安全標準及び要求事項を満たしたお客様の最終製品につき、お客様が設計及び製造ができるようお手伝いをすることにあります。それにも拘わらず、当該 TI 製品については、前のパラグラフ記載の条件の適用を受けるものとします。

FDA クラス III (又は同様に安全でないことが致命的となるような医療機器) への TI 製品の使用は、TI とお客様双方の権限ある役員の間で、そのような使用を行う際について規定した特殊な契約書を締結した場合を除き、一切認められていません。

TI が軍需対応グレード品又は「強化プラスチック」製品として特に指定した製品のみが軍事用又は宇宙航空用アプリケーション、若しくは、軍事的環境又は航空宇宙環境にて使用されるように設計され、かつ使用されることを意図しています。お客様は、TI がそのように指定していない製品を軍事用又は航空宇宙用に使う場合は全てご自身の危険負担において行うこと、及び、そのような使用に関して必要とされるすべての法的要求事項及び規制上の要求事項につきご自身のみの責任により満足させることを認め、且つ同意します。

TI には、主に自動車用に使われることを目的として、ISO/TS 16949 の要求事項を満たしていると特別に指定した製品があります。当該指定を受けていない製品については、自動車用に使われるようには設計されてもいませんし、使用されることを意図しておりません。従いまして、前記指定品以外の TI 製品が当該要求事項を満たしていなかったことについては、TI はいかなる責任も負いません。

Copyright © 2013, Texas Instruments Incorporated  
日本語版 日本テキサス・インスツルメンツ株式会社

## 弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

### 1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位 (外装から取り出された内装及び個装) 又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で (導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関する全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

### 2. 温・湿度環境

- 温度: 0~40℃、相対湿度: 40~85% で保管・輸送及び取り扱を行うこと。(但し、結露しないこと。)

- 直射日光があたる状態で保管・輸送しないこと。
3. 防湿梱包
    - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
  4. 機械的衝撃
    - 梱包品 (外装、内装、個装) 及び製品単品を落下させたり、衝撃を与えないこと。
  5. 熱衝撃
    - はんだ付け時は、最低限 260℃ 以上の高温状態に、10 秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)
  6. 汚染
    - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質 (硫黄、塩素等ハロゲン) のある環境で保管・輸送しないこと。
    - はんだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上