

TPS255x 調整可能な電流制限機能搭載、パワー・ディストリビューション・スイッチ

1 特長

- 調整可能な電流制限: 100mA~1100mA
- 高速な過電流応答: 2 μ s (標準値)
- 94m Ω のハイサイド MOSFET (DBV パッケージ)
- 逆入出力電圧に対する保護
- 動作範囲: 2.5V~6.5V
- グリッチ除去済みのフォルト通知
- スタンバイ時電源電流: 最大 1 μ A
- 接合部温度範囲: -40°C~125°C
- ソフトスタート機能内蔵
- 15kV の ESD 保護 (外部容量付き)
- UL 認定済み: ファイル番号 E169910
- 電流制限抵抗カリキュレータ – [SLVC163](#)

2 アプリケーション

- [USB ポート/ハブ](#)
- [携帯電話](#)
- [ノート PC](#)
- 大きな容量性負荷
- 逆電圧保護

3 概要

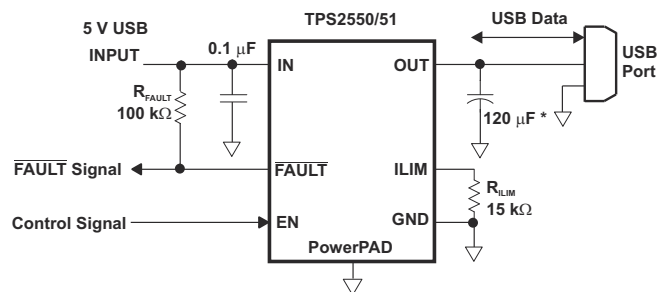
TPS2550/51 配電スイッチは、大きな容量性負荷と短絡が発生しやすいアプリケーションを対象としており、100m Ω の N チャネル MOSFET が 1 つのパッケージに組み込まれています。電流制限スレッシュホールドは、ユーザーが外付け抵抗を使用して、100mA~1.1A の範囲で調整できます。この電源スイッチの立ち上がり時間と立ち下がり時間は、スイッチング中の電流サージを最小限に抑えるように制御されます。

本デバイスは、出力負荷が電流制限スレッシュホールドを超えたとき、あるいは短絡が存在するときに、定電流モードに切り替わることにより、出力電流を好ましいレベルに制限します。内蔵の逆電圧検出コンパレータは、出力電圧が入力よりも高く駆動されたときに電源スイッチをディスエーブルにして、スイッチの入力側にあるデバイスを保護します。 $\overline{\text{FAULT}}$ ロジックの出力は、過電流状態と逆電圧状態の両方で Low をアサートします。

パッケージ情報

部品番号	パッケージ (1)	本体サイズ (公称)
TPS255x	SOT-23 (6)	2.90mm × 1.60mm
	WSON (6)	2.00mm × 2.00mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。



* USB Requirement that downstream-facing ports are bypassed with at least 120 μ F per hub

図 3-1. USB 電源スイッチとしての代表的なアプリケーション



目次

1 特長.....	1	9.2 機能ブロック図.....	12
2 アプリケーション.....	1	9.3 機能説明.....	12
3 概要.....	1	9.4 プログラミング.....	13
4 改訂履歴.....	2	10 アプリケーションと実装.....	15
5 製品比較表.....	3	10.1 アプリケーション情報.....	15
6 ピン構成および機能.....	4	10.2 代表的なアプリケーション.....	15
7 仕様.....	5	10.3 電源に関する推奨事項.....	19
7.1 絶対最大定格.....	5	10.4 レイアウト.....	20
7.2 ESD 定格.....	5	11 デバイスおよびドキュメントのサポート.....	22
7.3 推奨動作条件.....	6	11.1 ドキュメントの更新通知を受け取る方法.....	22
7.4 熱に関する情報.....	6	11.2 サポート・リソース.....	22
7.5 電気的特性.....	6	11.3 商標.....	22
7.6 代表的特性.....	8	11.4 静電気放電に関する注意事項.....	22
8 パラメータ測定情報.....	11	11.5 用語集.....	22
9 詳細説明.....	12	12 メカニカル、パッケージ、および注文情報.....	23
9.1 概要.....	12		

4 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision B (November 2008) to Revision C (October 2023)	Page
• タイトルの冒頭に GPN を追加.....	0
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1
• ハイサイド MOSFET の抵抗を 94mΩ に変更.....	1
• 製品比較表を移動.....	1
• 「パッケージ情報」表を追加し、「汎用スイッチ・カタログ」表を削除.....	1
• このセクションのタイトルを「製品比較表」に変更し、「改訂履歴」セクションの後になるように再構成.....	3
• このセクションのタイトルを「ピン構成および機能」に変更し、「ピンの機能」表の前にピン配置図を追加.....	4
• 「ESD 項目」と脚注を更新.....	5
• 「ESD 定格」セクションを追加.....	5
• 「ESD 定格」セクションの続きにトピックを移動.....	6
• このセクションのタイトルを「熱に関する情報」に変更.....	6
• 「熱評価基準」セクションの続きにトピックを移動.....	6
• 「機能ブロック図」セクションを追加.....	12
• 「デバイスの機能モード」セクションを追加.....	13
• 「設計要件」セクションを追加.....	15
• 「電源に関する推奨事項」セクションを追加.....	19
• 「レイアウト」セクションを追加.....	20

5 製品比較表

デバイス	周囲温度 ⁽¹⁾	イネーブル	SON ⁽²⁾ (DRV)	SOT23 ⁽²⁾ (DBV)	推奨最大 連続負荷電流
TPS2550	-40°C~85°C	アクティブ Low	TPS2550DRV	TPS2550DBV	1.1A
TPS2551		アクティブ High	TPS2551DRV	TPS2551DBV	1.1A

- (1) 最大周囲温度は、デバイスの接合部温度とシステム・レベルの検討事項 (許容損失、基板レイアウトなど) の関数です。これらのデバイスに固有の情報については、許容損失定格表と推奨動作条件を参照してください。
- (2) テープ・アンド・リールの場合、デバイス・タイプの末尾に R を付けます。

6 ピン構成および機能

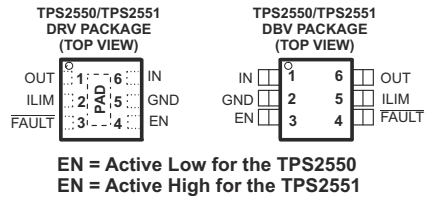


表 6-1. ピンの機能

名称	ピン				I/O	説明
	TPS2550DBV	TPS2551DBV	TPS2550DRV	TPS2551DRV		
EN	3	–	4	–	I	イネーブル入力。ロジック Low にするとパワー・スイッチがターンオンします。
EN	–	3	–	4	I	イネーブル入力。ロジック High にするとパワー・スイッチがターンオンします。
GND	2	2	5	5		グラウンド接続を外部的にパワー・パッドに接続します。
IN	1	1	6	6	I	入力電圧。IN と GND の間に 0.1μF 以上のセラミック・コンデンサを IC にできる限り近づけて接続します。
FAULT	4	4	3	3	O	アクティブ Low のオープン・ドレイン出力。過電流、過熱、逆電圧条件時にアサートされます。
OUT	6	6	1	1	O	パワー・スイッチ出力
ILIM	5	5	2	2	I	外付け抵抗を使って電流制限スレッシュホールドを設定します。14.3kΩ ≤ R _{ILIM} ≤ 80.6kΩ を推奨します。
PowerPAD™	–	–	PAD	PAD		内部で GND に接続されています。本デバイスから基板トレースへの放熱のために使います。GND ピンに接続します。

7 仕様

7.1 絶対最大定格

自由空気での動作温度範囲内 (特に記述のない限り) (1) (2)

	値	単位
IN、OUT、EN または $\overline{\text{EN}}$ 、 $\overline{\text{ILIM}}$ 、 $\overline{\text{FAULT}}$ の電圧の範囲	-0.3~7	V
IN と OUT の間の電圧の範囲	-7~7	V
I _{OUT} 連続出力電流	内部的に制限	
連続総許容損失	「熱に関する情報」表を参照してください。	
FAULT シンク電流	25	mA
ILIM ソース電流	1	mA
T _J 最大接合部温度	-40~150	°C
T _{Sgt} 保存温度	-65~150	°C
リード温度: ケースから 1.6mm (1/16 インチ) 離れた点で 10 秒間	300	°C

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの恒久的な損傷の原因となる可能性があります。絶対最大定格は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。絶対最大定格の範囲内であっても推奨動作条件の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
- (2) 電圧は GND 基準です (特に記述のない限り)。

7.2 ESD 定格

		値	単位
V _(ESD) 静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 (1)	±2000	V
	デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 準拠 (2)	±500	

- (1) JEDEC のドキュメント JEP155 には、500V HBM であれば標準的な ESD 制御プロセスにより安全な製造が可能であると記載されています。
- (2) JEDEC のドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

7.3 推奨動作条件

			最小値	最大値	単位
V_{IN}	入力電圧、IN		2.5	6.5	V
V_{EN}	イネーブル電圧	TPS2550	0	6.5	V
$V_{/EN}$		TPS2551	0	6.5	
I_{OUT}	連続出力電流、OUT		0	1.1	A
R_{ILIM}	ILIM と GND との間に接続された電流制限設定抵抗		14.3	80.6	k Ω
$I_{/FAULT}$	\overline{FAULT} シンク電流		0	10	mA
T_J	動作時の仮想接合部温度		-40	125	$^{\circ}\text{C}$

7.4 熱に関する情報

基板	パッケージ	熱抵抗 (θ_{JA})	熱抵抗 (θ_{JC})	$T_A \leq 25^{\circ}\text{C}$ の 電力 定格	$T_A = 25^{\circ}\text{C}$ を 超える場合の ディレーティング 係数	$T_A = 70^{\circ}\text{C}$ の 電力 定格	$T_A = 85^{\circ}\text{C}$ の 電力 定格	$T_A = 110^{\circ}\text{C}$ の 電力 定格
Low-K (1)	DBV	350 $^{\circ}\text{C}/\text{W}$	55 $^{\circ}\text{C}/\text{W}$	285mW	2.85mW/ $^{\circ}\text{C}$	155mW	114mW	42mW
High-K (2)	DBV	160 $^{\circ}\text{C}/\text{W}$	55 $^{\circ}\text{C}/\text{W}$	625mW	6.25mW/ $^{\circ}\text{C}$	340mW	250mW	93mW
Low-K (1)	DRV	140 $^{\circ}\text{C}/\text{W}$	20 $^{\circ}\text{C}/\text{W}$	715mW	7.1mW/ $^{\circ}\text{C}$	395mW	285mW	107mW
High-K (2)	DRV	75 $^{\circ}\text{C}/\text{W}$	20 $^{\circ}\text{C}/\text{W}$	1330mW	13.3mW/ $^{\circ}\text{C}$	730mW	530mW	200mW

- (1) このデータを導き出すために使用した JEDEC low-K (1s) 基板は 3 インチ × 3 インチの 2 層基板であり、基板の上面に 2 オンスの銅パターンを持っています。
- (2) このデータを導き出すために使用した JEDEC high-K (2s2p) 基板は 3 インチ × 3 インチの多層基板であり、内層に 1 オンスの電源およびグラウンド・プレーン、基板の上面と下面に 2 オンスの銅パターンを持っています。

7.5 電気的特性

動作時の接合部温度の推奨範囲内、 $2.5\text{V} \leq V_{IN} \leq 6.5\text{V}$ 、 $R_{ILIM} = 14.3\text{k}\Omega$ 、 $V_{/EN} = 0\text{V}$ 、 $V_{EN} = 5.0\text{V}$ (特に記述のない限り)

パラメータ	テスト条件 (1)	最小値	代表値	最大値	単位
パワー・スイッチ					
$r_{DS(on)}$ ドレイン - ソース間オン抵抗	DBV パッケージ、 $T_J = 25^{\circ}\text{C}$	94	100		m Ω
	DBV パッケージ、 $-40^{\circ}\text{C} \leq T_J \leq 125^{\circ}\text{C}$			140	
	DRV パッケージ、 $T_J = 25^{\circ}\text{C}$	100	115		
	DRV パッケージ、 $-40^{\circ}\text{C} \leq T_J \leq 105^{\circ}\text{C}$			145	
	DRV パッケージ、 $-40^{\circ}\text{C} \leq T_J \leq 125^{\circ}\text{C}$			150	
t_r 立ち上がり時間、出力	$V_{IN} = 6.5\text{V}$	1.0	0.65	1.5	ms
	$V_{IN} = 2.5\text{V}$				
t_f 立ち下がり時間、出力	$V_{IN} = 6.5\text{V}$	0.2	0.5	0.5	
	$V_{IN} = 2.5\text{V}$				
注: $C_L = 1\mu\text{F}$ 、 $R_L = 100\Omega$ (図 8-1 を参照)					
イネーブル入力 EN または \overline{EN}					
V_{IH} High レベル入力電圧		1.1			V
V_{IL} Low レベル入力電圧			0.66		
I_{EN} 入力電流	$V_{EN} = 0\text{V}$ または 6.5V 、 $V_{/EN} = 0\text{V}$ または 6.5V	-0.5		0.5	μA
t_{on} ターンオン時間	$C_L = 1\mu\text{F}$ 、 $R_L = 100\Omega$ (図 8-1 を参照)			3	ms
t_{off} ターンオフ時間				3	ms
電流制限					

7.5 電気的特性 (続き)

動作時の接合部温度の推奨範囲内、 $2.5V \leq V_{IN} \leq 6.5V$ 、 $R_{ILIM} = 14.3k\Omega$ 、 $V_{IEN} = 0V$ 、 $V_{EN} = 5.0V$ (特に記述のない限り)

パラメータ		テスト条件 (1)	最小値	代表値	最大値	単位		
I_{OS}	短絡電流、OUT を GND に接続	$R_{ILIM} = 80.6k\Omega$	160	265	350	mA		
		$R_{ILIM} = 38.3k\Omega$	350	550	700			
		$R_{ILIM} = 15k\Omega$	1100	1450	1700			
I_{OC}	過電流スレッシュヨルド (負荷に供給される最大 DC 出力電流 I_{OUT})	$R_{ILIM} = 80.6k\Omega$	340	365	390	mA		
		$R_{ILIM} = 38.3k\Omega$	670	715	755			
		$R_{ILIM} = 15k\Omega$	1600	1700	1800			
t_{IOS}	短絡に対する応答時間	$V_{IN} = 5.0V$ (図 8-2 を参照)	2			μs		
逆電圧保護								
コンパレータの逆電圧トリップ・ポイント ($V_{OUT} - V_{IN}$)			95	135	190	mV		
逆電圧条件から MOSFET がターンオフするまでの時間		$V_{IN} = 5.0V$	3	5	7	ms		
電源電流								
I_{IN_off}	消費電流、Low レベル出力	$V_{IN} = 6.5V$ 、OUT は無負荷、 $V_{EN} = 6.5V$ または $V_{EN} = 0V$ 、 $14.3k\Omega \leq R_{ILIM} \leq 80.6k\Omega$	0.1			1	μA	
I_{IN_on}	消費電流、High レベル出力	$V_{IN} = 6.5V$ 、OUT は無負荷、 $V_{EN} = 0V$ または $V_{EN} = 6.5V$	$R_{ILIM} = 15k\Omega$			150	μA	
			$R_{ILIM} = 80.6k\Omega$			130		μA
I_{REV}	逆リーク電流	$V_{OUT} = 6.5V$ 、 $V_{IN} = 0V$	$T_J = 25^\circ C$			0.01	1	μA
低電圧誤動作防止								
V_{UVLO}	Low レベル入力電圧、IN	V_{IN} の立ち上がり	2.35			2.45	V	
ヒステリシス、IN		$T_J = 25^\circ C$	25				mV	
FAULT フラグ								
V_{OL}	出力 Low 電圧、 \overline{FAULT}	$I_{FAULT} = 1mA$				180	mV	
オフ状態リーク電流		$V_{FAULT} = 6.5V$				1	μA	
\overline{FAULT}	グリッチ除去	過電流条件による \overline{FAULT} のアサートまたはデアサート	5	7.5	10	ms		
		逆電圧条件による \overline{FAULT} のアサートまたはデアサート	2	4	6	ms		
サーマル・シャットダウン								
サーマル・シャットダウン・スレッシュヨルド			155				$^\circ C$	
電流制限のサーマル・シャットダウン・スレッシュヨルド			135				$^\circ C$	
ヒステリシス			15				$^\circ C$	

(1) パルス・テスト手法を使用することで、接合部温度を周囲温度に近い値に維持できますが、熱による影響は別途考慮に入れる必要があります。

7.6 代表的特性

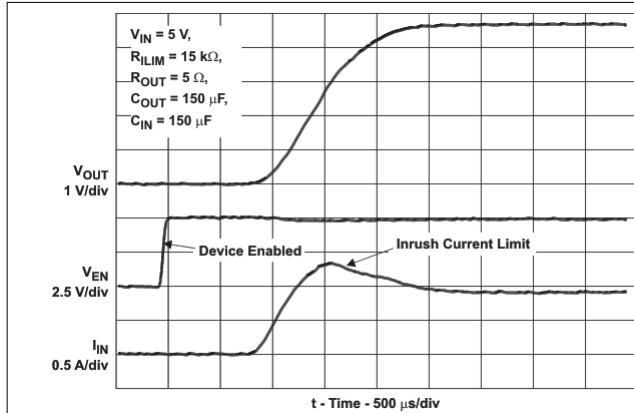


図 7-1. ターンオン遅延と立ち上がり時間との関係

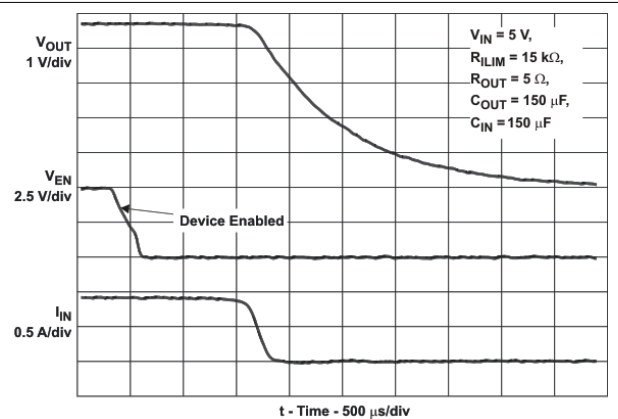


図 7-2. ターンオフ遅延と立ち下がり時間との関係

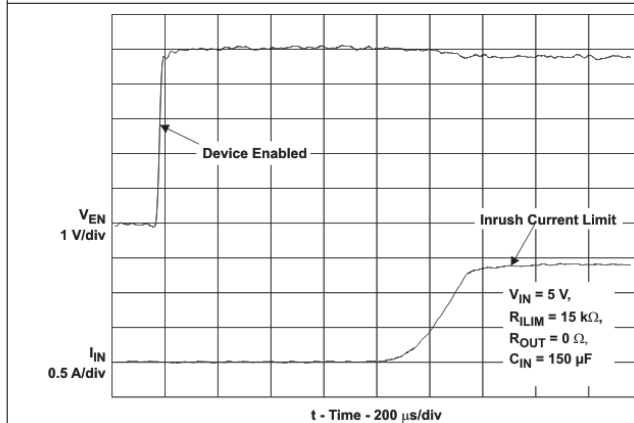


図 7-3. 出力が短絡された状態でのデバイスの有効化

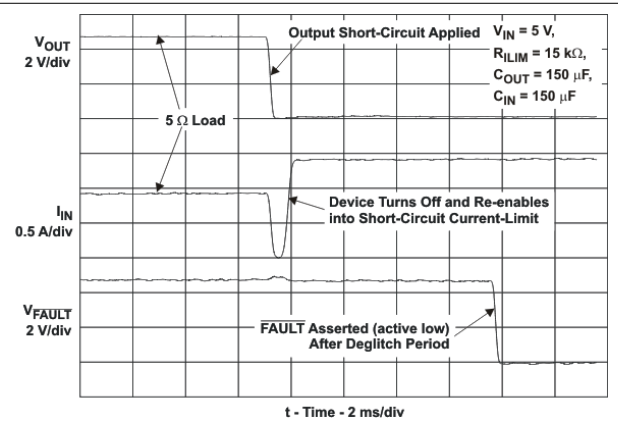


図 7-4. 全負荷から短絡への過渡応答

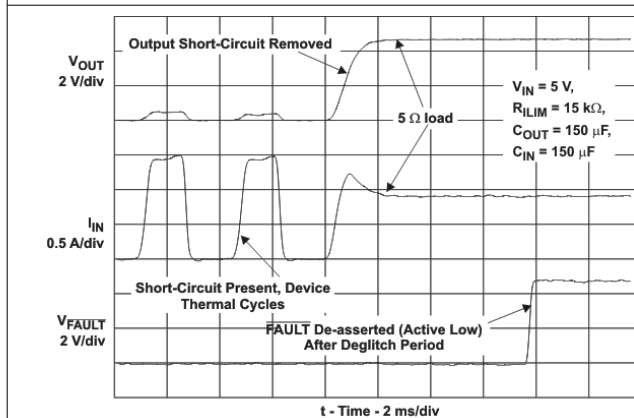


図 7-5. 短絡から全負荷への回復の応答

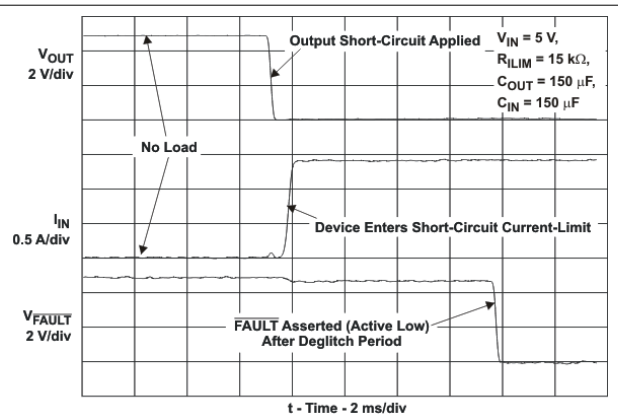


図 7-6. 無負荷時から短絡への過渡の応答

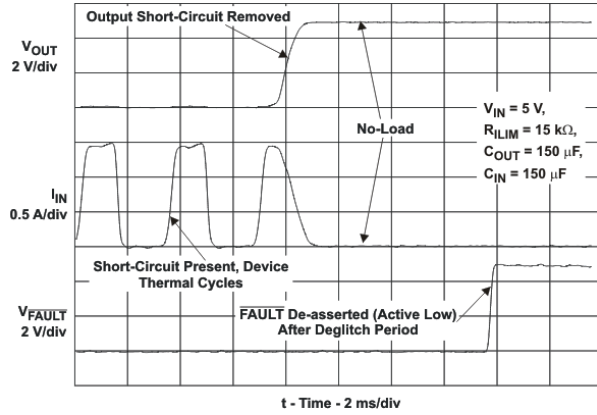


図 7-7. 短絡から無負荷への回復の応答

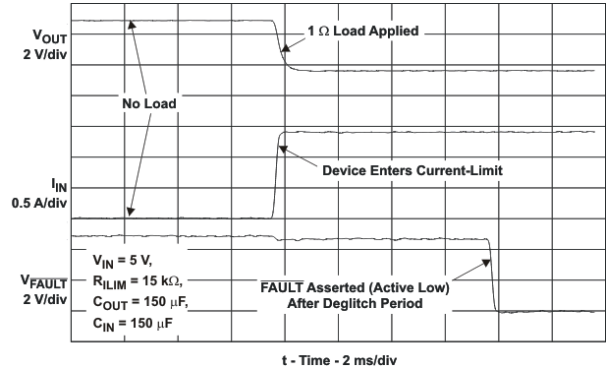


図 7-8. 無負荷から 1Ω への過渡の応答

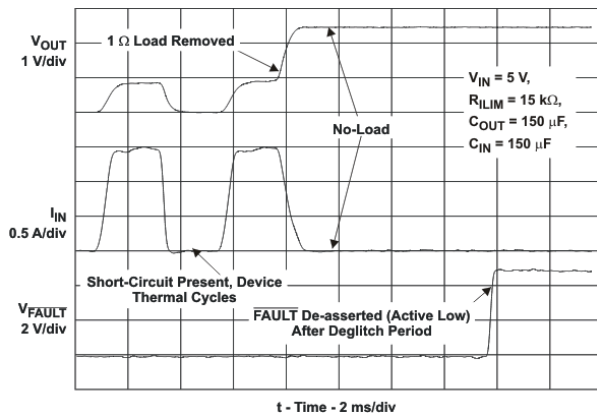


図 7-9. 1Ω から無負荷への過渡の応答

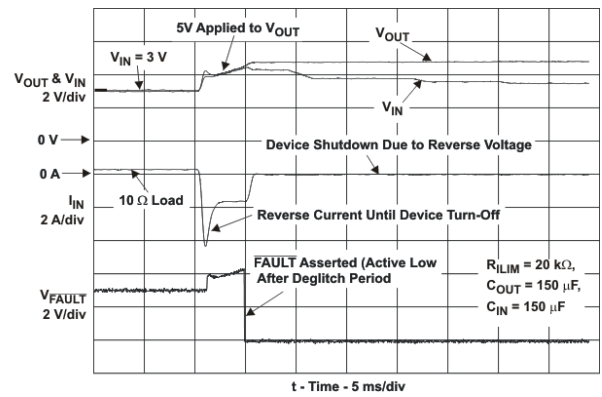


図 7-10. 逆電圧保護の応答

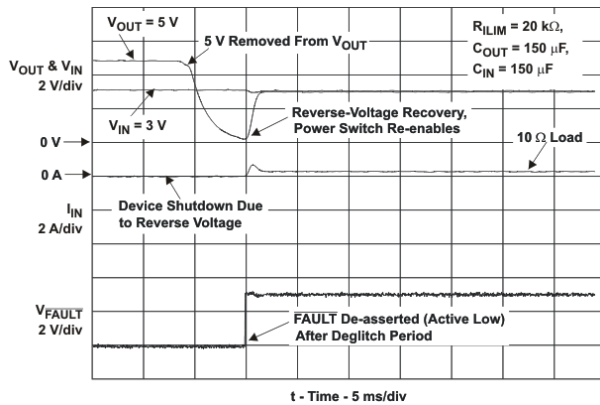


図 7-11. 逆電圧保護の回復

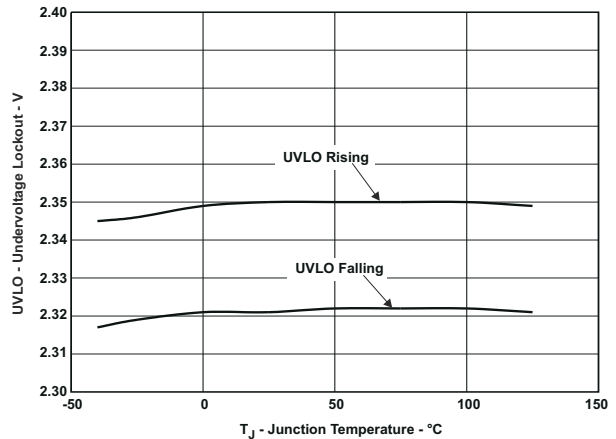


図 7-12. UVLO – 低電圧誤動作防止 – V

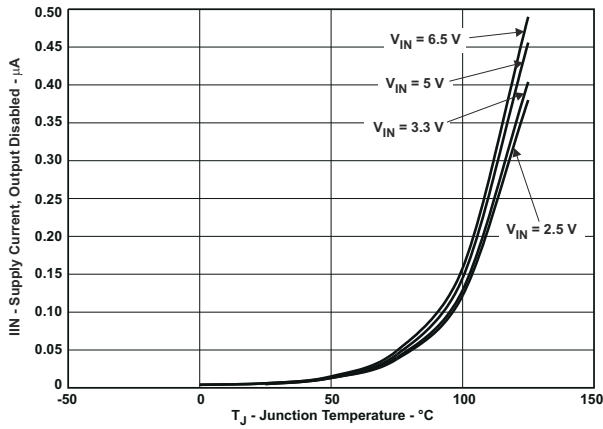


図 7-13. I_{IN} – 電源電流、出力ディスエーブル – μA

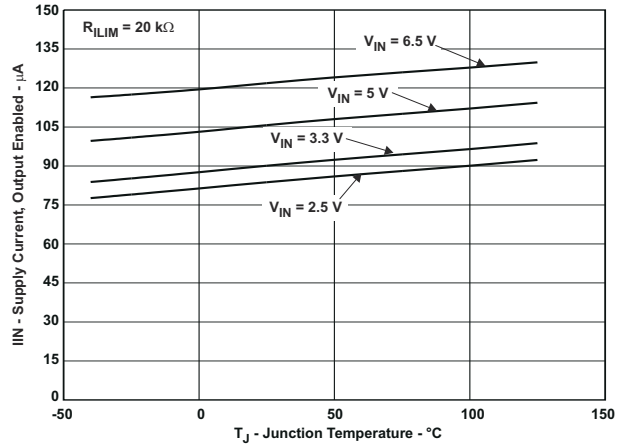


図 7-14. I_{IN} – 電源電流、出力イネーブル – μA

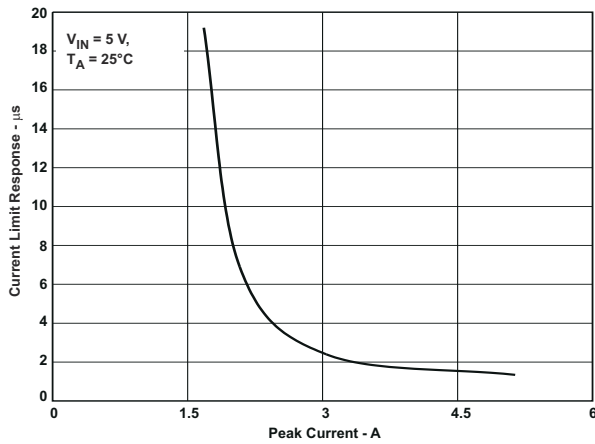


図 7-15. 電流制限の応答 – μs

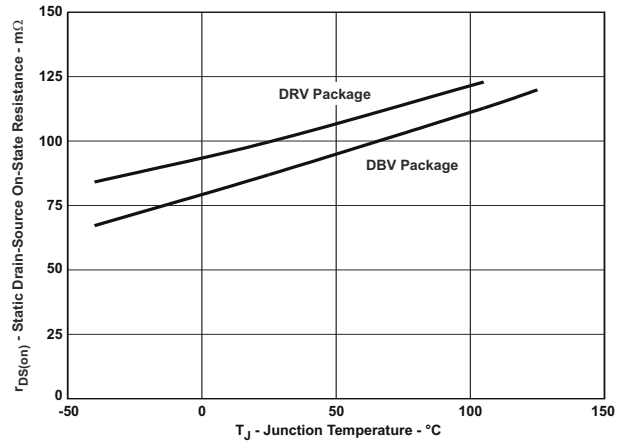


図 7-16. MOSFET の $r_{DS(on)}$ と接合部温度との関係

8 パラメータ測定情報

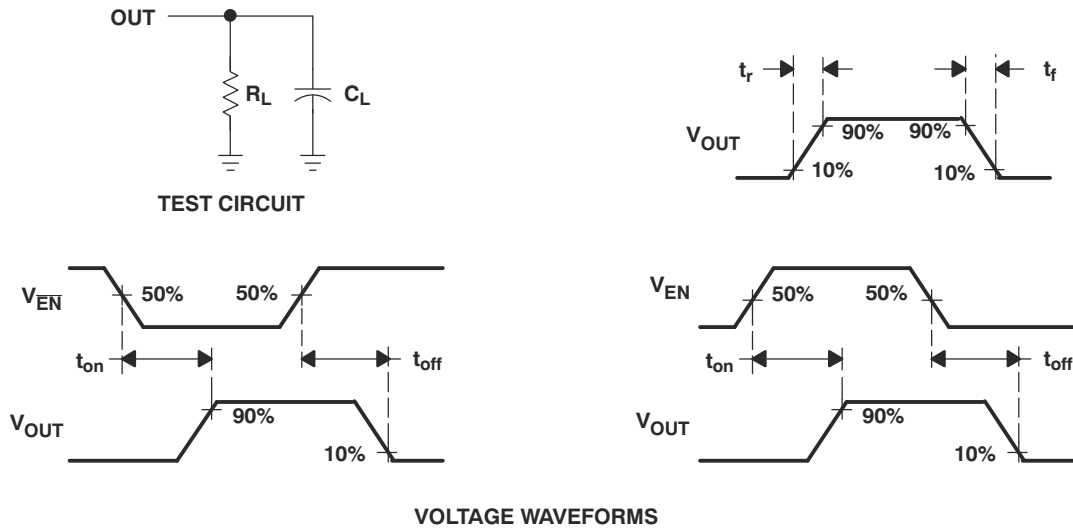


図 8-1. テスト回路と電圧波形

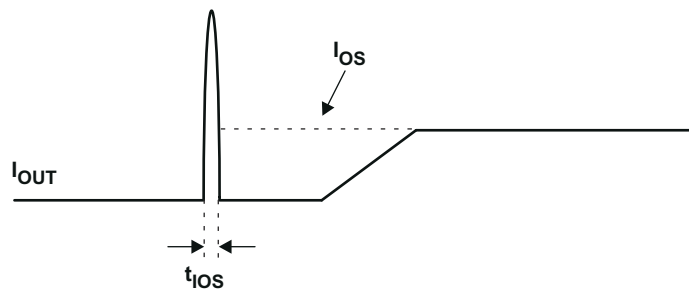


図 8-2. 短絡に対する応答時間の波形

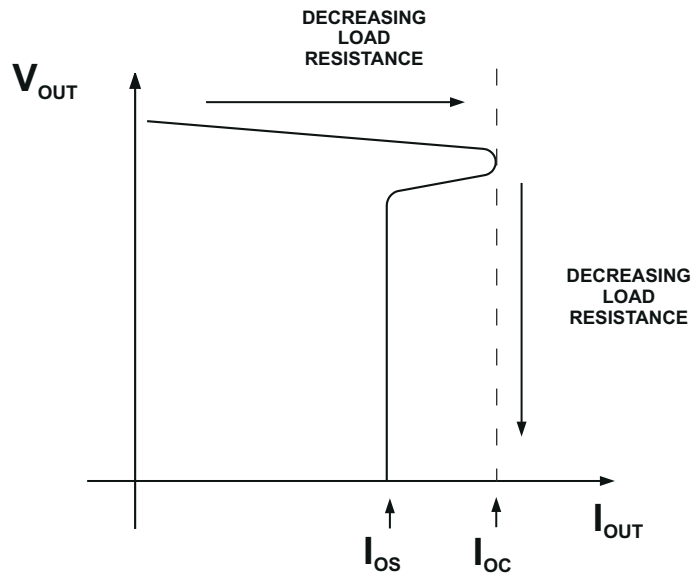


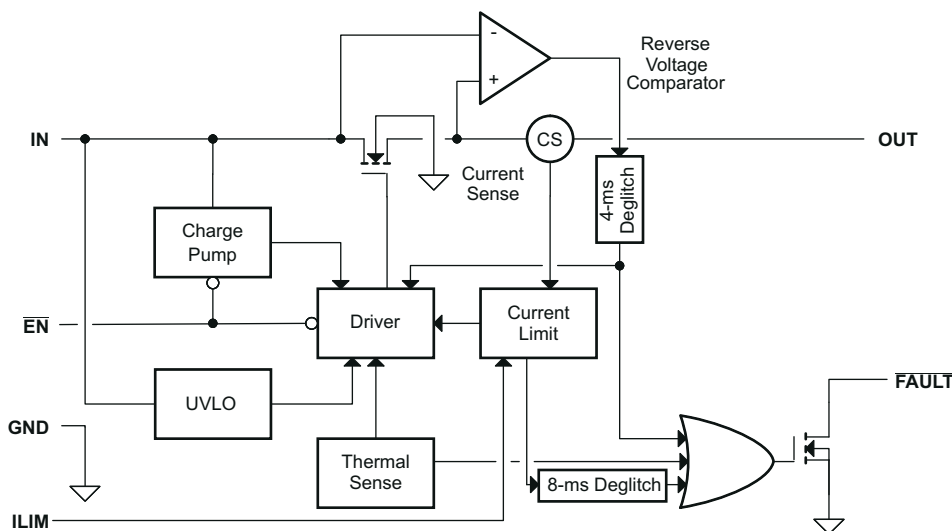
図 8-3. 出力電圧と電流制限スレッシュホールドとの関係

9 詳細説明

9.1 概要

TPS2550/51 は、短絡または大きな容量性負荷に対応する必要があるアプリケーションのための、N チャネル MOSFET を使った電流制限機能付き配電スイッチです。これらのデバイスでは、外付け抵抗を使用して、電流制限スレッショルドを 100mA~1.1A の範囲でプログラムできます。その他のデバイス・シャットダウン機能には、過熱保護と逆電圧保護が含まれます。本デバイスは、N チャネル MOSFET を駆動するために必要なチャージ・ポンプとゲート駆動回路を内蔵しています。チャージ・ポンプは、ドライバ回路に電力を供給し、MOSFET のゲートをソースよりも高く引き上げるのに必要な電圧を生成します。チャージ・ポンプは最低 2.5V の入力電圧で動作し、電源電流をほとんど必要としません。ドライバは、パワー・スイッチのゲート電圧を制御します。このドライバは、大電流および電圧サージを制限するために出力電圧の立ち上がりおよび立ち下がり時間を制御する回路と、ソフトスタート機能を内蔵しています。

9.2 機能ブロック図



9.3 機能説明

9.3.1 過電流

TPS2550/51 は、過電流条件に応答して、出力電流を I_{OC} と I_{OS} のレベルに制限します (図 9-1 を参照)。負荷条件に応じて 3 つの応答プロファイルがあり得ます。図 8-3 に、それらをまとめます。

第 1 の応答プロファイルは、TPS2550/51 の出力が短絡された状態で、TPS2550/51 が有効化された場合に使われます。出力電圧は、グラウンドに対してほぼゼロ電位に保持され、TPS2550/51 は出力電流を I_{OS} まで上昇させます (図 7-3 を参照)。

第 2 の応答プロファイルは、TPS2550/51 が有効化された後で、出力に短絡が発生した場合に使われます。本デバイスは、時間 t_{IOS} 以内に過電流条件に応答します (図 8-2 を参照)。この期間中、電流検出アンプが過度に駆動され、内部の電流制限 MOSFET が一時的にターンオフします。電流検出アンプは徐々に回復し、出力電流を I_{OS} に制限します。

第 3 の応答プロファイルは、負荷電流が徐々に増加した場合に使われます。本デバイスは最初に負荷電流を I_{OC} に制限します。 I_{OC} より大きい電流を負荷が要求する場合、TPS2550/51 は I_{OS} に電流をフォールドバックし、抵抗性負荷の場合、出力電圧は $I_{OS} \times R_{LOAD}$ まで低下します (図 8-3 を参照)。

上記のいずれかのケースで、過熱制限機能が作動するほどの長い間、過負荷状態にあると、TPS2550/51 のサーマル・サイクルが起動します。接合部温度が 135°C (標準値) を超えると、本デバイスはターンオフします。接合部温度が 15°C (標準値) 下がるまで、本デバイスはオフ状態に維持され、その後再起動します。過負荷が解消されるまで、TPS2550/51 はオン/オフを繰り返します (図 7-5 と図 7-7 を参照)。

9.3.2 逆電圧保護

出力電圧が 4ms にわたって入力電圧を 135mV (標準値) 上回ると常に、逆電圧保護機能が N チャネル MOSFET をターンオフさせます。この機能は、入力容量に大電流が流れ込まないようにすることで、TPS2550/51 の入力側に接続されたデバイスが損傷しないようにします。同じ 4ms のグリッチ除去時間にわたって出力電圧が入力電圧を下回ると、N チャネル MOSFET はターンオンできるようになります。4ms 後に逆電圧コンパレータも $\overline{\text{FAULT}}$ 出力 (アクティブ Low) をアサートします。

9.3.3 $\overline{\text{FAULT}}$ 応答

過電流、過熱、逆電圧条件の間、 $\overline{\text{FAULT}}$ オープン・ドレイン出力はアサートされます (アクティブ Low)。フォルト条件が解消されるまで、出力はアサートされたまま維持されます。TPS2550/51 は、内部遅延「グリッチ除去」回路を使用することで、過電流 (7.5ms) および逆電圧 (4ms) 条件の $\overline{\text{FAULT}}$ の誤通知を防止するよう設計されています。外部回路は不要です。この「グリッチ除去」回路により、大きな容量性負荷を接続した状態での起動などの通常動作によって、 $\overline{\text{FAULT}}$ が誤ってアサートされることがないようにしています。このグリッチ除去回路は、フォルト条件の開始と終了を遅延させます。過熱条件はグリッチ除去されず、 $\overline{\text{FAULT}}$ 信号は即座にアサートされます。

9.3.4 低電圧誤動作防止 (UVLO)

低電圧誤動作防止 (UVLO) 回路は、入力電圧が UVLO ターンオン・スレッシュホールドに達するまで、パワー・スイッチを無効化しています。ヒステリシスが組み込まれているため、大きな電流サージによる入力の電圧降下に起因する不要なオン/オフの繰り返しが防止されます。

9.3.5 イネーブル ($\overline{\text{EN}}$ または EN)

ロジック・イネーブルを使うと、パワー・スイッチ、チャージ・ポンプのバイアス、ドライバ、その他の回路を制御して、消費電流を低減できます。 $\overline{\text{EN}}$ にロジック High が印加されると、または EN にロジック Low が印加されると、消費電流は 1 μ A 未満に低減されます。 $\overline{\text{EN}}$ にロジック Low 入力が入力されると、または EN にロジック High 入力が入力されると、ドライバ、制御回路、パワー・スイッチは有効化されます。イネーブル入力は TTL と CMOS の両方のロジック・レベルと互換性があります。

9.3.6 温度検出

TPS2550/51 は、パワー・スイッチの動作温度をモニタする 2 つの独立したサーマル・センシング回路でデバイス自身を保護し、温度が推奨動作条件を超えると動作を無効化します。過電流条件中、本デバイスは定電流モードで動作するため、パワー・スイッチの両端の電圧降下が増加します。パッケージ内の許容損失はパワー・スイッチでの電圧降下に比例するため、過電流条件中、接合部温度が上昇します。ダイ温度が 135°C を上回り、かつ本デバイスが電流制限中である場合、第 1 のサーマル・センサがパワー・スイッチをターンオフします。ダイ温度が 155°C を上回ると、パワー・スイッチが電流制限中かどうかにかかわらず、第 2 のサーマル・センサがパワー・スイッチをターンオフします。どちらのサーマル・センサにもヒステリシスが組み込まれており、本デバイスの温度が約 15°C 下がるとスイッチはターンオンします。フォルトが解消されるまで、このスイッチはオフとオンを繰り返します。過熱シャットダウン条件が発生すると、オープン・ドレインのフォルト通知出力 $\overline{\text{FAULT}}$ は即座にアサートされます (アクティブ Low)。

9.3.7 デバイスの機能モード

その他の機能モードはありません。

9.4 プログラミング

9.4.1 電流制限スレッシュホールドのプログラミング

過電流スレッシュホールドは、外付け抵抗を使って設定できます。多くのアプリケーションでは、特定の値を下回る電流に対して電流制限が行われず、または特定の値を必ず下回るように電流が制限される必要があるため、 R_{ILIM} の値を選択する際に過電流スレッシュホールドの許容誤差を考慮することが重要です。以下の式と図 9-1 を使うと、特定の外付け抵抗値 ILIM によって設定される過電流スレッシュホールドを計算できます。図 9-1 には、温度とプロセスによって生じる変動に起因する電流制限の許容誤差が含まれます。電流制限の精度に対する寄生素子の影響を低減するため、 R_{ILIM} 抵抗を TPS2550/51 に配線するパターンは、できるだけ短くします。

本デバイスは 2 つの重要な電流制限スレッシュホールドを持っており、それらの関係を図 8-3 に示します。第 1 のスレッシュホールドは短絡電流スレッシュホールド I_{OS} です。 I_{OS} とは、出力が短絡された状態で本デバイスが有効化された場合、または通常動作中に出力が短絡された場合に、負荷に供給される電流です。第 2 のスレッシュホールドは過電流スレッシュホールド I_{OC} です。 I_{OC} とは、本デバイスが電流制限を開始する前に、負荷に供給できるピーク DC 電流です。負荷の変化や低速な過渡がよく発生するアプリケーションの場合、 I_{OC} は重要です。 R_{ILIM} を選択するにあたって、 I_{OS} と I_{OC} の両方を考慮することが重要です。 R_{ILIM} は、1) その値を上回る電流分が制限される電流制限の下限、または 2) その値を必ず下回るように電流が制限される過電流スレッシュホールドが得られるように選択できます。

電流制限の下限 (その値を上回る電流分が制限される) を設計するには、 $I_{OS(min)}$ 曲線上の最大負荷電流の目標値と R_{ILIM} との交点を求め、それを下回る R_{ILIM} 値を選択します。全負荷または重い容量性負荷を接続した状態で確実に起動させる上で、電流制限の下限 (その値を上回る電流分が制限される) の設定が重要です。その結果として得られる最大 DC 負荷電流は、選択された R_{ILIM} 値と $I_{OC(max)}$ 曲線との交点です。

最大 DC 電流レベルを下回るように設計するには、 $I_{OC(max)}$ 曲線上の最大負荷電流の目標値と R_{ILIM} との交点を求め、それを上回る R_{ILIM} 値を選択します。上流の電源の電流制限が入力電圧バスのドループの原因にならないようにする上で、過電流スレッシュホールド (その値を必ず下回るように電流が制限される) の設定が重要です。その結果として得られる短絡電流の最小値は、選択された R_{ILIM} 値と $I_{OS(min)}$ 曲線との交点です。

過電流スレッシュホールドの式 (I_{OC}):

- $I_{OC(max)} \text{ (mA)} = (24500\text{V}) / (R_{ILIM} \text{ k}\Omega)^{0.975} + 50$
- $I_{OC(typ)} \text{ (mA)} = (23800\text{V}) / (R_{ILIM} \text{ k}\Omega)^{0.985} + 50$
- $I_{OC(min)} \text{ (mA)} = (23100\text{V}) / (R_{ILIM} \text{ k}\Omega)^{0.996} + 50$

短絡電流の式 (I_{OS}):

- $I_{OS(max)} \text{ (mA)} = (25500\text{V}) / (R_{ILIM} \text{ k}\Omega)^{1.013} + 50$
- $I_{OS(typ)} \text{ (mA)} = (28700\text{V}) / (R_{ILIM} \text{ k}\Omega)^{1.114} + 50$
- $I_{OS(min)} \text{ (mA)} = (39700\text{V}) / (R_{ILIM} \text{ k}\Omega)^{1.342} + 50$

ここで、 $14.3\text{k}\Omega \leq R_{ILIM} \leq 80.6\text{k}\Omega$ 。グラフを分かりやすくするため、 $I_{OS(typ)}$ と $I_{OS(max)}$ はプロットしていません。

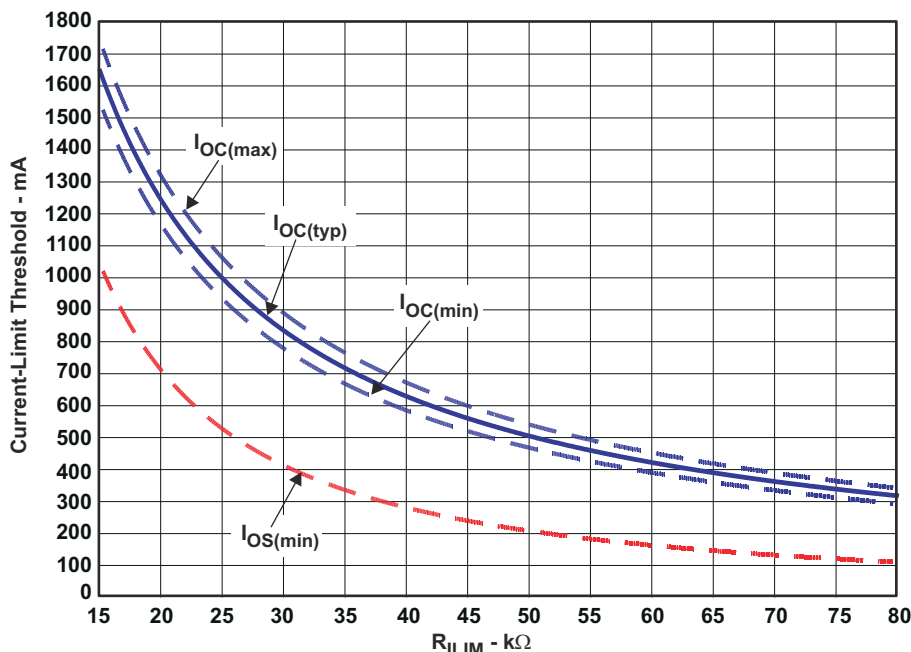


図 9-1. 電流制限スレッシュホールドと R_{ILIM} との関係

10 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

10.1 アプリケーション情報

TPS255x 電流制限機能付きパワー・スイッチは、連続的な負荷電流が求められるアプリケーションのために N チャネル MOSFET を使っています。負荷電流が電流制限スレッショルドを上回ると、本デバイスは定電流モードに移行します。

10.2 代表的なアプリケーション

10.2.1 2 レベル電流制限回路

一部のアプリケーションでは、外部システムの状態に応じて異なる電流制限スレッショルドが必要とされます。図 10-1 に、外部的に制御された 2 レベル電流制限回路の実装を示します。電流制限スレッショルドは、ILIM と GND の間の合成抵抗値によって設定されます (前述の「電流制限スレッショルドのプログラミング」セクションを参照)。ロジック・レベル入力は、MOSFET Q1 をオン / オフさせ、ILIM と GND の間の合成抵抗値を変えると、電流制限スレッショルドが変わります。Q1/R2 と並列に、MOSFET / 抵抗の組み合わせを追加することで、電流制限レベルの数をさらに増やすことができます。

注

外部信号を使って ILIM を直接駆動することはできません。

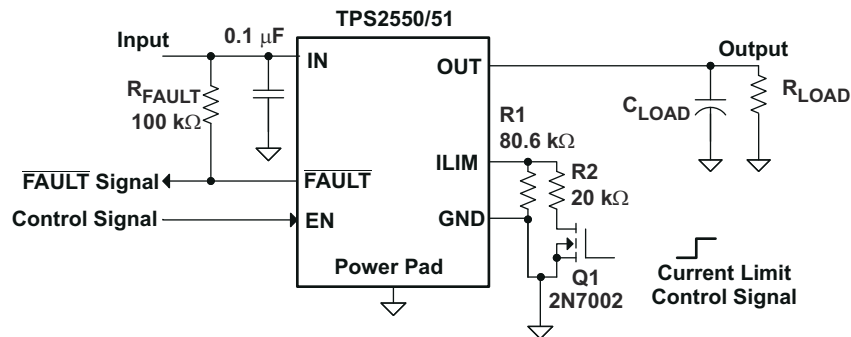


図 10-1. 2 レベル電流制限回路

10.2.2 設計要件

この例では、表 10-1 に記載されているパラメータを使用します。

表 10-1. 設計要件

パラメータ	値
入力電圧	5V
出力電圧	5V
電流制限の下限 (その値を上回る電流分が制限される)	1000mA
過電流スレッショルド (その値を必ず下回るように電流が制限される)	1250mA

10.2.3 詳細設計手順

10.2.3.1 最小電流制限を超える設計

一部のアプリケーションでは、特定の値を下回る電流に対して電流制限が行われないことが求められます。この例では、1A を負荷に供給する必要がある (つまり、1000mA を上回る電流分が制限される) ものと仮定します。I_{OS} の式と [図 9-1](#) を使って、R_{ILIM} を選択します。

- I_{OS(min)} (mA) = 1000mA
- I_{OS(min)} (mA) = (39700V) / (R_{ILIM} (kΩ))^{1.342} + 50
- R_{ILIM} (kΩ) = [(39700V) / (I_{OS(min)} (mA) - 50)]^{1/1.342}
- R_{ILIM} = 16.14kΩ

計算値よりも小さい、最も近い 1% 抵抗を選択すると、R_{ILIM} = 16kΩ が得られます。この選択により、電流制限の下限 (その値を上回る電流分が制限される) が 1A に設定されます。I_{OC} の式、[図 9-1](#)、上記の R_{ILIM} の計算値を使って得られる過電流スレッショルドの最大値を計算します。

- R_{ILIM} = 16kΩ
- I_{OC(max)} (mA) = (24500V) / (R_{ILIM} (kΩ))^{0.975} + 50
- I_{OC(max)} (mA) = (24500V) / (16 (kΩ))^{0.975} + 50
- I_{OC(max)} = 1691mA

16kΩ の抵抗を使用した場合に得られる過電流スレッショルドの最大値は 1.69A です。

10.2.3.2 最大電流制限を下回る設計

一部のアプリケーションでは、特定の値を必ず下回るように電流が制限されることが求められます。この例では、上流の電源を保護するため、目的の過電流スレッショルドの最大値を 1.25A 未満にする必要があるものと仮定します。I_{OC} の式と [図 9-1](#) を使って、R_{ILIM} を選択します。

- I_{OC(max)} (mA) = 1250mA
- I_{OC(max)} (mA) = (24500V) / (R_{ILIM} (kΩ))^{0.975} + 50
- R_{ILIM} (kΩ) = [(24500V) / (I_{OC(max)} (mA) - 50)]^{1/0.975}
- R_{ILIM} = 22.05kΩ

計算値よりも大きい、最も近い 1% 抵抗を選択すると、R_{ILIM} = 22kΩ が得られます。この選択により、過電流スレッショルドの最大値 (1.25A) が設定されます。I_{OS} の式、[図 9-1](#)、上記の R_{ILIM} の計算値を使って得られる電流制限の下限 (その値を上回る電流分が制限される) を計算します。

- R_{ILIM} = 22kΩ
- I_{OS(min)} (mA) = (39700V) / (R_{ILIM} (kΩ))^{1.342} + 50
- I_{OS(min)} (mA) = (39700V) / (22 (kΩ))^{1.342} + 50
- I_{OS(min)} = 677mA

22kΩ の抵抗を使用した場合に得られる電流制限の下限 (その値を上回る電流分が制限される) は 677mA です。

10.2.3.3 入力および出力容量

入力および出力容量は本デバイスの性能を向上させます。個別のアプリケーションに対して実際の容量を必ず最適化するようにします。すべてのアプリケーションにおいて、局所的なノイズ・デカップリングのため、IN と GND の間に 0.01μF ~ 0.1μF のセラミック・バイパス・コンデンサを本デバイスにできる限り近づけて配置することを推奨します。この対策により、電源過渡に起因する入力でのリングングが低減されます。大きな過渡事象中に電圧オーバーシュートが本デバイスの絶対最大電圧を超えないようにするため、追加の入力容量が必要となる場合があります。これは、長い誘導性ケーブルを使って評価ボードをベンチ電源に接続するベンチ・テスト時に特に重要です。

出力に大きな過渡電流が発生することが予想される場合、大きな値の電解コンデンサを出力ピンに配置することを推奨します。また、0.01μF ~ 0.1μF のセラミック・コンデンサで出力をバイパスすると、短絡過渡に対するデバイスの耐性が向上します。

10.2.4 自動再試行機能

一部のアプリケーションでは、過電流条件が発生すると、本デバイスがフォルト条件の間一時的に無効化され、あらかじめ設定された時間が経過すると、再度有効化されることが求められます。この自動再試行機能は、外付けの抵抗とコンデンサを使用して実装できます。フォルト条件の間、FAULT は Low にプルされ、本デバイスは無効化されます。EN が Low にプルされると、本デバイスは無効化され、FAULT がハイ・インピーダンスになるため、C_{RETRY} は充電を開始できます。EN の電圧がターンオン・スレッシュホールドに達すると、本デバイスは再度有効化され、その自動再試行時間は抵抗 / コンデンサの時定数によって決定されます。フォルト条件が解消されるまで、本デバイスはこのように再試行を繰り返します。

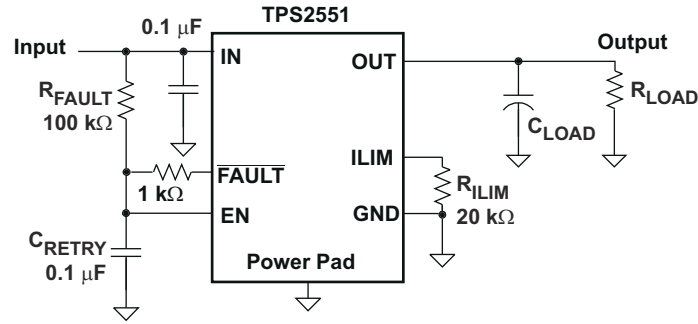


図 10-2. 自動再試行機能

一部のアプリケーションでは、自動再試行機能と、外部ロジック信号によって有効化 / 無効化する機能が求められます。下図に、外部ロジック信号が R_{FAULT} を通して EN を駆動し、自動再試行機能を維持する方法を示します。抵抗 / コンデンサの時定数が自動再試行のタイムアウト期間を決定します。

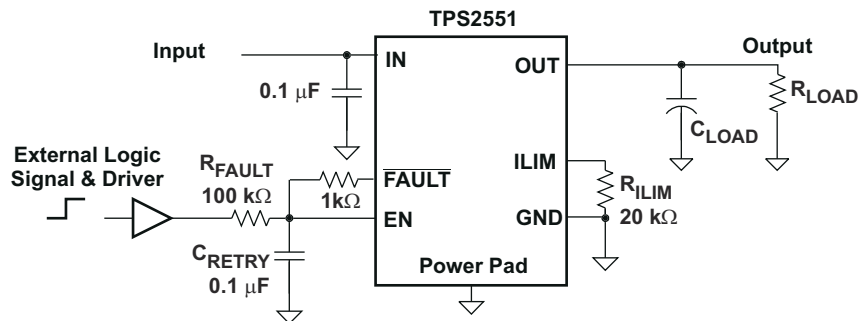


図 10-3. 外部 EN 信号による自動再試行機能

10.2.5 ラッチオフ機能

図 10-4 の回路では、過電流ラッチオフ機能を実装するため、SN74HC00 クラウド NAND ゲートを使用しています。TPS2550/51 の動作電圧 (2.5V~6.5V) の全範囲にわたって動作するように、SN74HC00 ハイスピード CMOS ロジック・ゲートが選択されています。

この回路は、アクティブ High の TPS2551 と組み合わせて動作するよう設計されています。スイッチがオフ状態の間に確実に初期化されるように、V_{IN} が安定するまでの間、起動中、イネーブルをロジック Low にしておく必要があります。V_{IN} が安定した後、イネーブルをロジック High にすると、スイッチがターンオンします。過電流条件時に FAULT が一時的に Low にプルされると、STAT ロジックが Low にラッチされ、スイッチはターンオフします。ホストは、STAT を監視することで、過電流条件の有無を判断できます。イネーブルをトグルすると、STAT がリセットされ、スイッチが再度ターンオンします。

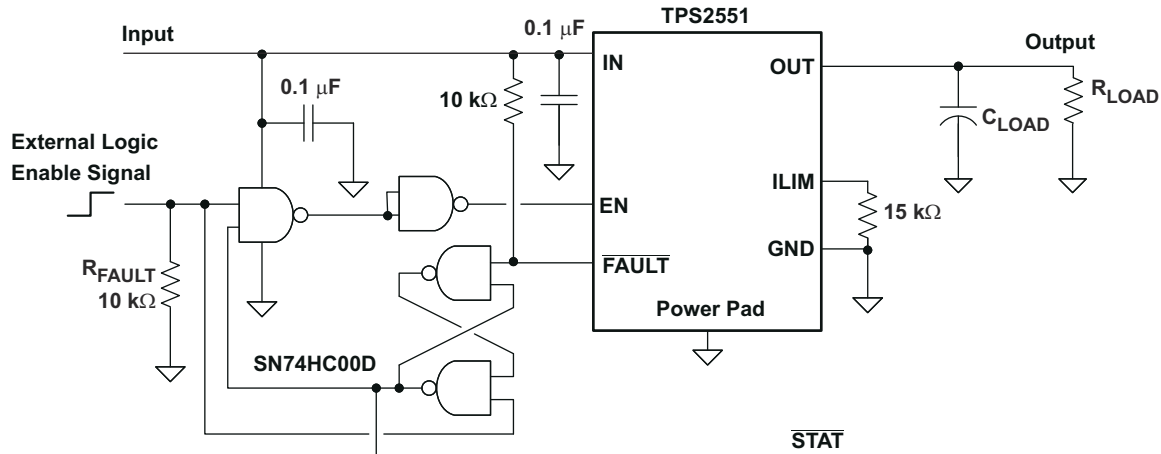
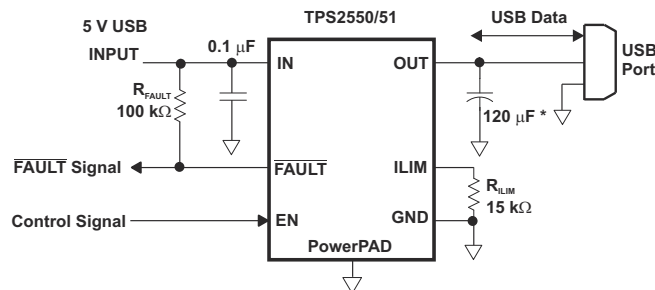


図 10-4. クワッド NAND ゲートを使用した過電流ラッチオフ

10.2.6 USB 電源スイッチとしての代表的なアプリケーション



* USB Requirement that downstream-facing ports are bypassed with at least 120 μF per hub

図 10-5. USB 電源スイッチとしての代表的なアプリケーション

10.2.6.1 設計要件

この例では、表 10-2 に記載されているパラメータを使用します。

表 10-2. 設計要件

パラメータ	値
入力電圧	5V
出力電圧	5V
電流	1250mA

10.2.6.1.1 USB パワー・ディストリビューションの要件

USB は、開発中の USB デバイスの種類に関係なく、複数の方法で実装できます。複数の電力分配機能を実装する必要があります。

- SPH の要件：
 - ダウンストリーム・ポートの電流制限
 - 過電流条件の通知
- BPH の要件：
 - ダウンストリーム・ポートへの電力の有効化 / 無効化
 - 100mA 未満の電流で起動
 - 突入電流の制限 (44Ω および 10μF 未満)

- ファンクションの要件:
 - 突入電流の制限
 - 100mA 未満の電流で起動

TPS2550/51 の機能セットはこれらの各要件を満たしています。セルフ・パワー型ハブには、内蔵型の電流制限機能と過電流通知機能が必要です。ロジック・レベルのイネーブルと制御された立ち上がり時間は、バス・パワー型ハブの入力および出力ポートと、バス・パワー型ファンクションの入力ポートの要求を満たしています。

10.2.6.2 詳細設計手順

10.2.6.2.1 ユニバーサル・シリアル・バス (USB) の配電要件

このデバイスの用途の 1 つは、ユニバーサル・シリアル・バス (USB) アプリケーションでの電流制限です。初期の USB インターフェイスは、低～中帯域幅の PC 周辺機器 (キーボード、プリンタ、スキャナ、マウスなど) 用に設計された 12Mb/s または 1.5Mb/s の多重化シリアル・バスでした。帯域幅拡大の要求が高まるにつれて、USB 2.0 規格が導入され、最大データ・レートは 480Mb/s に増加しました。4 線式 USB インターフェイスは、ペリフェラルを動的に接続 / 取り外し (ホットプラグ / アンプラグ) できるように考案されています。差動データ用に 2 本のライン、5V 電力分配用に 2 本のラインが用意されています。

USB データは 3.3V レベルの信号ですが、長いケーブルにわたって複数のハブを通して電力が分配される場合の電圧降下を許容するため、電力は 5V で分配されます。各ファンクションは、5V 入力または自身の内部電源から自身のレギュレートされた 3.3V を生成する必要があります。USB 仕様では、最大供給電流に応じて 2 種類のデバイス・クラスに分類されます。ローパワーに分類されたデバイスは、規格の定義に従い、最大 100mA の電流を供給できます。ハイパワーに分類されたデバイスは、最大 500mA の電流を供給できます。電流制限パワー・スイッチの電流制限の下限 (その値を上回る電流分が制限される) が、目的のアプリケーションの消費電流の最大値を上回っていることが重要です。電流制限スレッショルドを検討する際は常に、最新の USB 規格を参照してください。

USB 仕様では、ハブとファンクションという 2 種類のデバイスが定義されています。USB ハブとは、各種 USB デバイスが接続するための複数のポートを備えたデバイスであり、セルフ・パワー (SPH) またはバス・パワー (BPH) とすることができます。ファンクションとは、バスを介してデータまたは制御情報を送受信できる USB デバイスのことです。USB ファンクションは、USB ハブに組み込むことができます。USB ファンクションは、以下に示す 3 つのタイプのいずれかとすることができます。

- ローパワー、バス・パワー型ファンクション
- ハイパワー、バス・パワー型ファンクション
- セルフ・パワー型ファンクション

SPH と BPH はデータと電力を下流のファンクションに分配します。TPS2550/51 は、1 つの USB ポートで必要とされるよりも高い電流能力を備えているため、複数の下流ポートに電力を供給できます。

10.3 電源に関する推奨事項

10.3.1 セルフ・パワーおよびバス・パワーのハブ

SPH は、組み込みファンクションとダウンストリーム・ポートに電力を供給するローカル電源を備えています。この電源は全負荷および無負荷条件下で 4.75V~5.25V を下流側のデバイスに供給する必要があります。SPH は電流制限保護機能を備えている必要があり、過電流条件を USB コントローラに報告する必要があります。代表的な SPH はデスクトップ PC、モニタ、プリンタ、スタンドアロン・ハブです。

BPH はアップストリーム・ポートからすべての電力を調達し、しばしば組み込みファンクションを内蔵しています。BPH は 100mA 未満の電流で起動する必要があります。BPH は通常 1 つの組み込みファンクションを備えており、ハブのコントローラは常に電力を利用できます。電源投入時に組込みファンクションとハブが 100mA を超える電流を必要とする場合、エニュメレーションが完了するまで、組込みファンクションへの電力をオフに維持する必要がある場合があります。これは、組込みファンクションへの電力を切るか、組込みファンクションへのクロックを止めることで行われます。組み込みファンクションとコントローラが流す電流の合計が 100mA 未満の場合、組み込みファンクションの電力の切り換えは不要です。

バス・パワー型デバイスが流す電流の合計は、コントローラ、組み込みファンクション、ダウンストリーム・ポートへの電流の合計であり、上流ポートによって 500mA に制限されています。

10.3.2 低消費電力バス駆動および高電力バス駆動の機能

ローパワー・バス・パワー型ファンクションとハイパワー・バス・パワー型ファンクションは、どちらも上流ポートからすべての電力を調達します。ローパワー・ファンクションは常に 100mA 未満の電流を流します。ハイパワー・ファンクションは、パワーアップ時に 100mA 未満の電流を流す必要があり、エニュメレーション後に最大 500mA の電流を流すことができます。パワーアップ時のファンクションの負荷が 44Ω と 10μF の並列接続より大きい場合、そのデバイスに突入電流制限を実装する必要があります。

10.3.3 許容損失と接合部温度

オン抵抗が小さい N チャネル MOSFET を使っているため、小型の表面実装パッケージでも大電流を通すことができます。許容損失と接合部温度を見積もることは、設計のためのよい練習になります。以下の解析から、パッケージ内の許容損失に基づいて接合部温度を計算するための概算値が得られます。ただし、熱解析はその他のシステム・レベル要因に大きく依存することに注意することが重要です。そのような要因には、空気流量、基板レイアウト、銅箔の厚さと表面積、電力を散逸しているその他のデバイスとの近さが含まれます。優れた熱設計手法には、個々の部品の解析に加えて、すべてのシステム・レベル要因が含まれている必要があります。

最初に、入力電圧と動作温度に対する N チャネル MOSFET の $r_{DS(on)}$ を決定します。初期的な推定値として、注目する動作時周囲温度の最大値を使い、代表的特性のグラフから $r_{DS(on)}$ を読み取ります。この値を使って、許容損失は次の式で計算できます。

$$P_D = r_{DS(on)} \times I_{OUT}^2$$

ここで

$$P_D = \text{総許容損失 (W)}$$

$$r_{DS(on)} = \text{パワー・スイッチのオン抵抗 (\Omega)}$$

$$I_{OUT} = \text{過電流スレッショルド (負荷に供給される最大 DC 出力電流) (A)}$$

この手順では、N チャネル MOSFET の総許容損失を計算します。

その結果、接合部温度は次の式で計算できます。

$$T_J = P_D \times R_{\theta JA} + T_A$$

ここで

$$T_A = \text{周囲温度 (}^\circ\text{C)}$$

$$R_{\theta JA} = \text{接合部から周囲への熱抵抗 (}^\circ\text{C/W)}$$

$$P_D = \text{総許容損失 (W)}$$

接合部温度の計算値を初期的な推定値と比較します。それらの差が数度以内でない場合、上記の計算による「改良された」 $r_{DS(on)}$ を新しい推定値として使って、計算を繰り返します。目的の結果を得るのに、通常 2 回または 3 回の反復で十分です。最終的な接合部温度は熱抵抗 $R_{\theta JA}$ に大きく依存し、この熱抵抗は個々のパッケージと基板レイアウトに大きく依存します。このドキュメントの冒頭の「許容損失定格表」には、特定のパッケージと基板レイアウトに対する熱抵抗の例が記載されています。

10.4 レイアウト

10.4.1 レイアウトのガイドライン

- 100nF のバイパス・コンデンサを IN および GND ピンの近くに配置し、低インダクタンスのパターンを使って接続することを推奨します。
- 出力に大きな過渡電流が想定される場合、出力ピンに大容量の電解コンデンサと 100nF のバイパス・コンデンサを配置することを推奨します。

- 電流制限の精度に対する寄生素子の影響を低減するため、RILIM 抵抗を本デバイスに配線するパターンは、できるだけ短くする必要があります。
- PowerPAD は、幅広で短い銅パターンを使って、PCB のグランド・プレーンに直接接続する必要があります。

10.4.2 レイアウト例

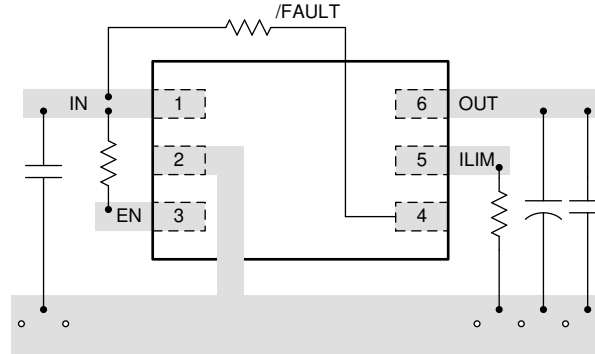


図 10-6. レイアウトに関する推奨事項

11 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

11.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、ti.com のデバイス製品フォルダを開いてください。「更新の通知を受け取る」をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取れます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

11.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

11.3 商標

PowerPAD™ and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

11.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

11.5 用語集

[テキサス・インスツルメンツ用語集](#)

この用語集には、用語や略語の一覧および定義が記載されています。

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに対して提供されている最新のデータです。このデータは、予告なしに、またドキュメントの改訂なしに変更される場合があります。本データシートのブラウザ版を使用している場合は、画面左側のナビゲーションをご覧ください。

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
TPS2550DBVR	NRND	SOT-23	DBV	6	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 85	2550	
TPS2550DBVT	NRND	SOT-23	DBV	6	250	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 85	2550	
TPS2550DRVR	NRND	WSON	DRV	6	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 85	CKJ	
TPS2550DRVT	NRND	WSON	DRV	6	250	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 85	CKJ	
TPS2551DBVR	NRND	SOT-23	DBV	6	3000	RoHS & Green	NIPDAU SN	Level-1-260C-UNLIM	-40 to 85	2551	
TPS2551DBVT	NRND	SOT-23	DBV	6	250	RoHS & Green	NIPDAU SN	Level-1-260C-UNLIM	-40 to 85	2551	
TPS2551DRVR	NRND	WSON	DRV	6	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 85	CKK	
TPS2551DRVT	NRND	WSON	DRV	6	250	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 85	CKK	

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "-" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TPS2551 :

- Automotive : [TPS2551-Q1](#)

NOTE: Qualified Version Definitions:

- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS2550DBVR	SOT-23	DBV	6	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS2550DBVT	SOT-23	DBV	6	250	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS2550DRVR	WSO	DRV	6	3000	179.0	8.4	2.2	2.2	1.2	4.0	8.0	Q2
TPS2550DRVT	WSO	DRV	6	250	179.0	8.4	2.2	2.2	1.2	4.0	8.0	Q2
TPS2551DBVR	SOT-23	DBV	6	3000	179.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS2551DBVR	SOT-23	DBV	6	3000	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
TPS2551DBVT	SOT-23	DBV	6	250	179.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS2551DBVT	SOT-23	DBV	6	250	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
TPS2551DRVR	WSO	DRV	6	3000	179.0	8.4	2.2	2.2	1.2	4.0	8.0	Q2
TPS2551DRVT	WSO	DRV	6	250	179.0	8.4	2.2	2.2	1.2	4.0	8.0	Q2

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS2550DBVR	SOT-23	DBV	6	3000	200.0	183.0	25.0
TPS2550DBVT	SOT-23	DBV	6	250	200.0	183.0	25.0
TPS2550DRVR	WSON	DRV	6	3000	200.0	183.0	25.0
TPS2550DRVT	WSON	DRV	6	250	200.0	183.0	25.0
TPS2551DBVR	SOT-23	DBV	6	3000	200.0	183.0	25.0
TPS2551DBVR	SOT-23	DBV	6	3000	180.0	180.0	18.0
TPS2551DBVT	SOT-23	DBV	6	250	203.0	203.0	35.0
TPS2551DBVT	SOT-23	DBV	6	250	180.0	180.0	18.0
TPS2551DRVR	WSON	DRV	6	3000	200.0	183.0	25.0
TPS2551DRVT	WSON	DRV	6	250	200.0	183.0	25.0

GENERIC PACKAGE VIEW

DRV 6

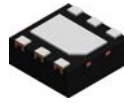
WSON - 0.8 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4206925/F



NOTES:

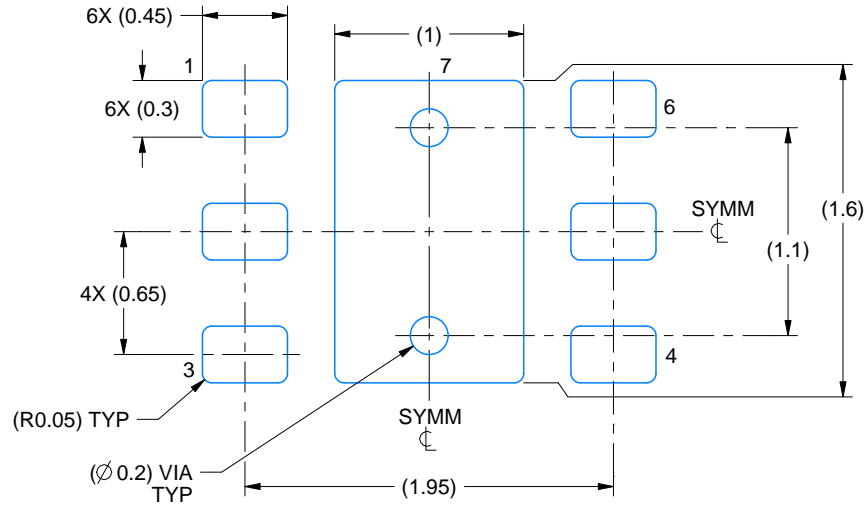
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

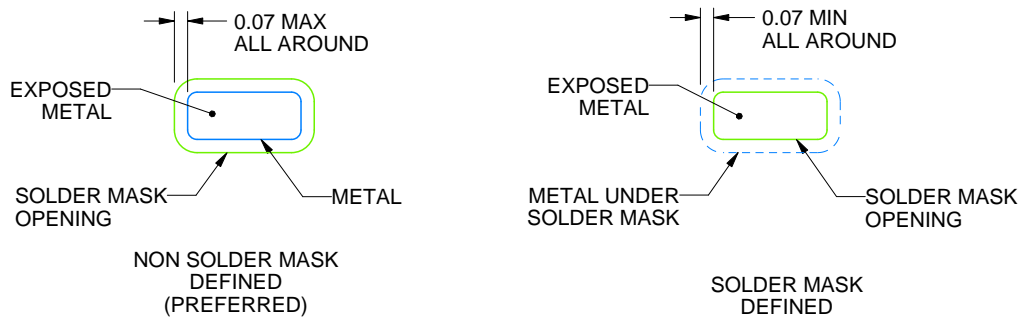
DRV0006D

WSON - 0.8 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:25X



SOLDER MASK DETAILS

4225563/A 12/2019

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).
5. Vias are optional depending on application, refer to device data sheet. If some or all are implemented, recommended via locations are shown.

EXAMPLE STENCIL DESIGN

DRV0006D

WSON - 0.8 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD #7
88% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:30X

4225563/A 12/2019

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

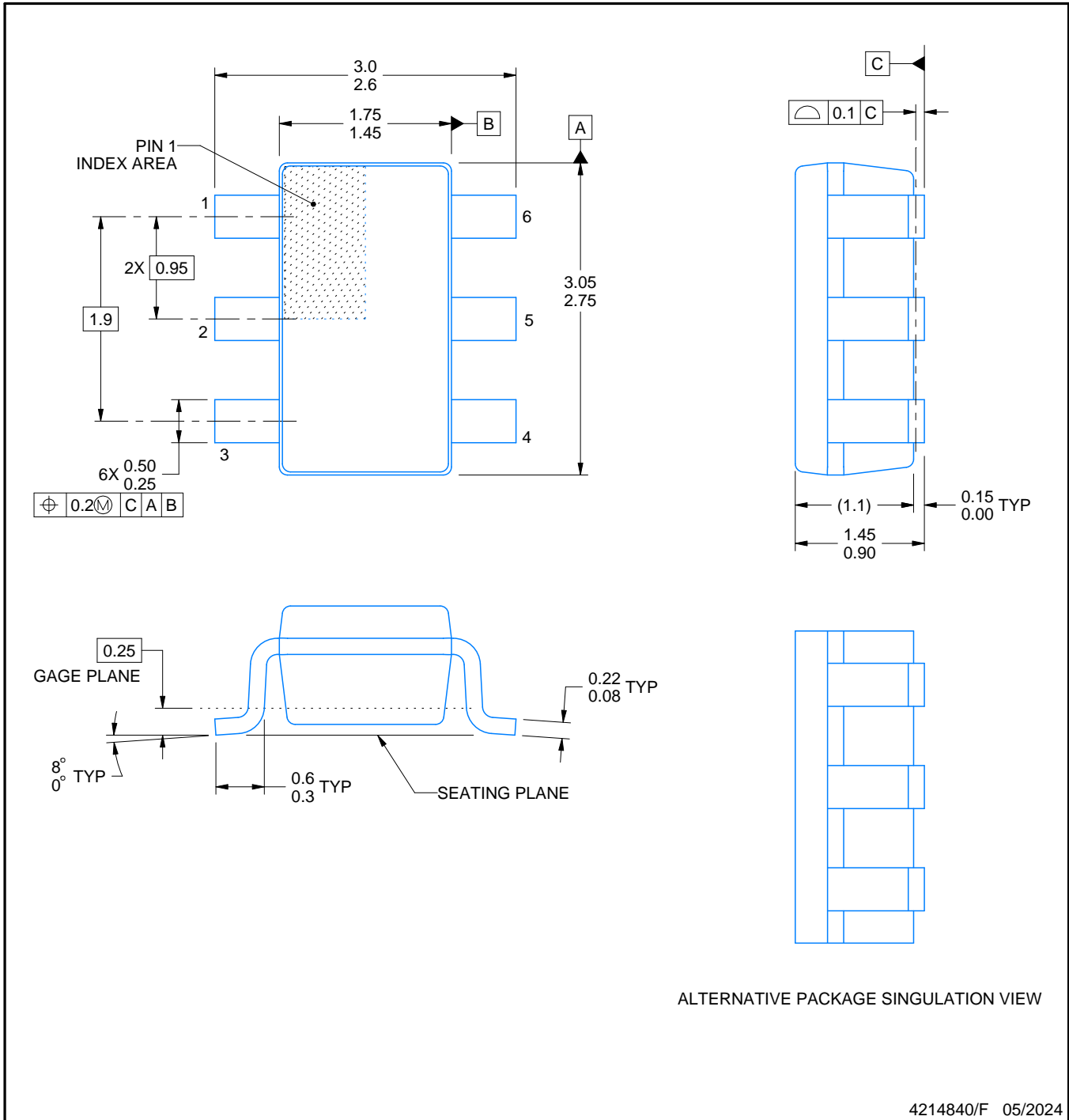
DBV0006A



PACKAGE OUTLINE

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



NOTES:

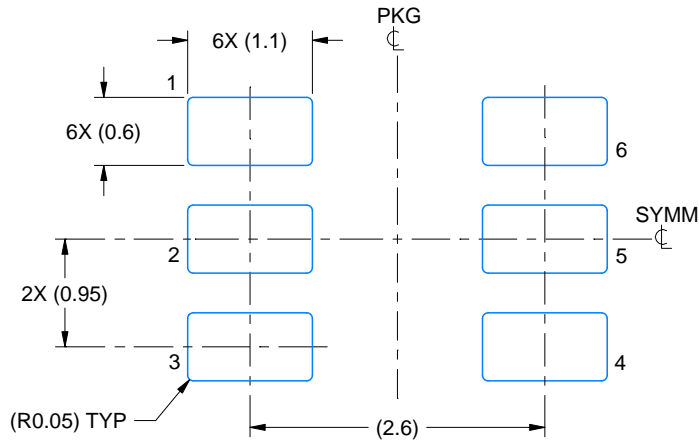
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Body dimensions do not include mold flash or protrusion. Mold flash and protrusion shall not exceed 0.25 per side.
4. Leads 1,2,3 may be wider than leads 4,5,6 for package orientation.
5. Reference JEDEC MO-178.

EXAMPLE BOARD LAYOUT

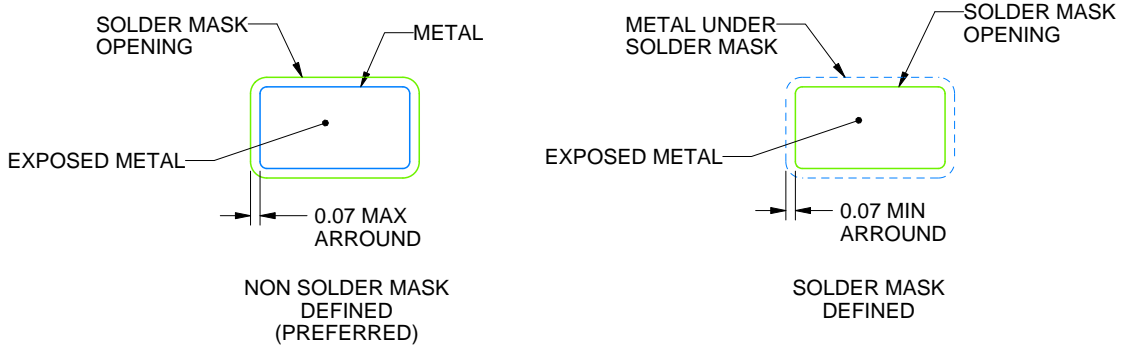
DBV0006A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4214840/F 05/2024

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DBV0006A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214840/F 05/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](#) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated