

TPS3435 Nano IQ 高精度タイムアウト・ウォッチドッグ・タイマ付き

1 特長

- 工場出荷時にプログラム済みまたはユーザーがプログラム可能なウォッチドッグ タイムアウト
 - ±10% 精度のタイマ (最大値)
 - 工場出荷時にプログラム済み: 1ms~100s
- 工場出荷時にプログラム済みまたはユーザーがプログラム可能なリセット遅延
 - ±10% 精度のタイマ (最大値)
 - 工場出荷時にプログラム済みのオプション: 2ms~10s
- 入力電圧範囲: $V_{DD} = 1.04V \sim 6.0V$
- 超低電源電流: $I_{DD} = 250\mu A$ (標準値)
- オープンドレイン、プッシュプル、アクティブ Low 出力
- 各種のプログラマビリティ オプション:
 - ウォッチドッグ イネーブル / ディセーブル
 - ウォッチドッグ スタートアップ遅延: 遅延なし~10s
 - オンザフライ (動作中) のタイマ拡張: 1X~256X
 - ラッチ付き出力オプション
- \overline{MR} 機能のサポート

2 アプリケーション

- ロボット向けサーボ・ドライブ
- 混合モジュール (AI, AO, DI, DO)
- HVAC コントローラ
- 電気メーター
- 点滴用ポンプ
- 外科用機器

3 概要

TPS3435 は、超低消費電力 (標準値 250nA) のデバイスであり、プログラム可能なタイムアウト ウォッチドッグ タイマを搭載しています。

TPS3435 は、さまざまなアプリケーションに対応する多くの機能を備えた高精度のタイムアウト ウォッチドッグ タイマを提供します。このタイムアウト ウォッチドッグ タイマは工場出荷時にプログラムするか、または、外付けコンデンサを使用してユーザーがプログラムするか、いずれかが可能です。このタイマ値は、ロジック ピンの組み合わせを使用して、即座に変更できます。また、このウォッチドッグは、イネーブル / ディセーブル、スタートアップ遅延などの独自の機能も備えています。

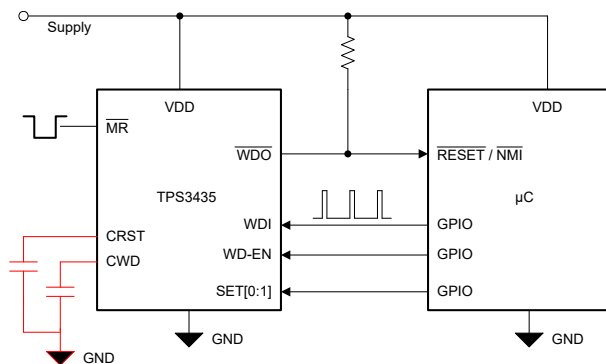
\overline{WDO} 遅延は、工場出荷時にプログラムされるデフォルトの遅延設定で設定するか、または外付けコンデンサでプログラムできます。また、このデバイスはラッチ付き出力動作も備えており、ウォッチドッグのフォルトがクリアされるまで出力がラッチされます。

TPS3435 は、TPS3431 デバイス ファミリーに代わる性能アップグレード製品です。TPS3435 は、小型の 6 ピン WSON および 8 ピン SOT-23 パッケージで供給されます。

製品情報

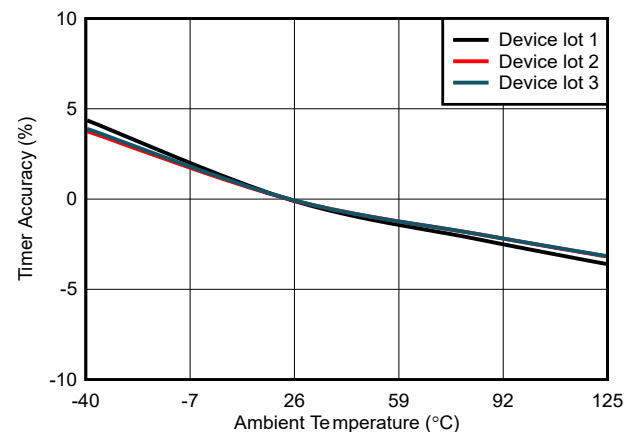
部品番号	パッケージ (1)	本体サイズ (公称) (3)
TPS3435	DDF (8)	2.90mm × 1.60mm
TPS3435	DSE (6) ²	1.50mm × 1.50mm

- 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
- パッケージのプレビュー。
- パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



TPS3435 offers various pinout options to support different features.
Choose suitable pinout based on application needs

代表的なアプリケーション回路



目次

1 特長.....	1	7.1 概要.....	15
2 アプリケーション.....	1	7.2 機能ブロック図.....	15
3 概要.....	1	7.3 機能説明.....	16
4 デバイスの比較.....	3	7.4 デバイスの機能モード.....	24
5 ピン構成および機能.....	5	8 アプリケーションと実装.....	25
6 仕様.....	7	8.1 アプリケーション情報.....	25
6.1 絶対最大定格.....	7	8.2 代表的なアプリケーション.....	26
6.2 ESD 定格.....	7	8.3 電源に関する推奨事項.....	27
6.3 推奨動作条件.....	7	8.4 レイアウト.....	28
6.4 熱に関する情報.....	8	9 デバイスおよびドキュメントのサポート.....	29
6.5 熱に関する情報.....	8	9.1 ドキュメントの更新通知を受け取る方法.....	29
6.6 電気的特性.....	9	9.2 サポート・リソース.....	29
6.7 タイミング要件.....	10	9.3 商標.....	30
6.8 スイッチング特性.....	11	9.4 静電気放電に関する注意事項.....	30
6.9 タイミング図.....	12	9.5 用語集.....	30
6.10 代表的特性.....	13	10 改訂履歴.....	30
7 詳細説明.....	15	11 メカニカル、パッケージ、および注文情報.....	30

4 デバイスの比較

図 4-1 に、TPS3435 のデバイス命名規則を示します。可能なすべての出力タイプ、ウォッチドッグ時間オプション、および出力アサート遅延オプションの詳細については、セクション 7 または 表 4-1 を参照してください。他のオプションの詳細と提供状況については、テキサス・インスツルメンツの販売代理店またはテキサス・インスツルメンツの E2E フォーラムにお問い合わせください。

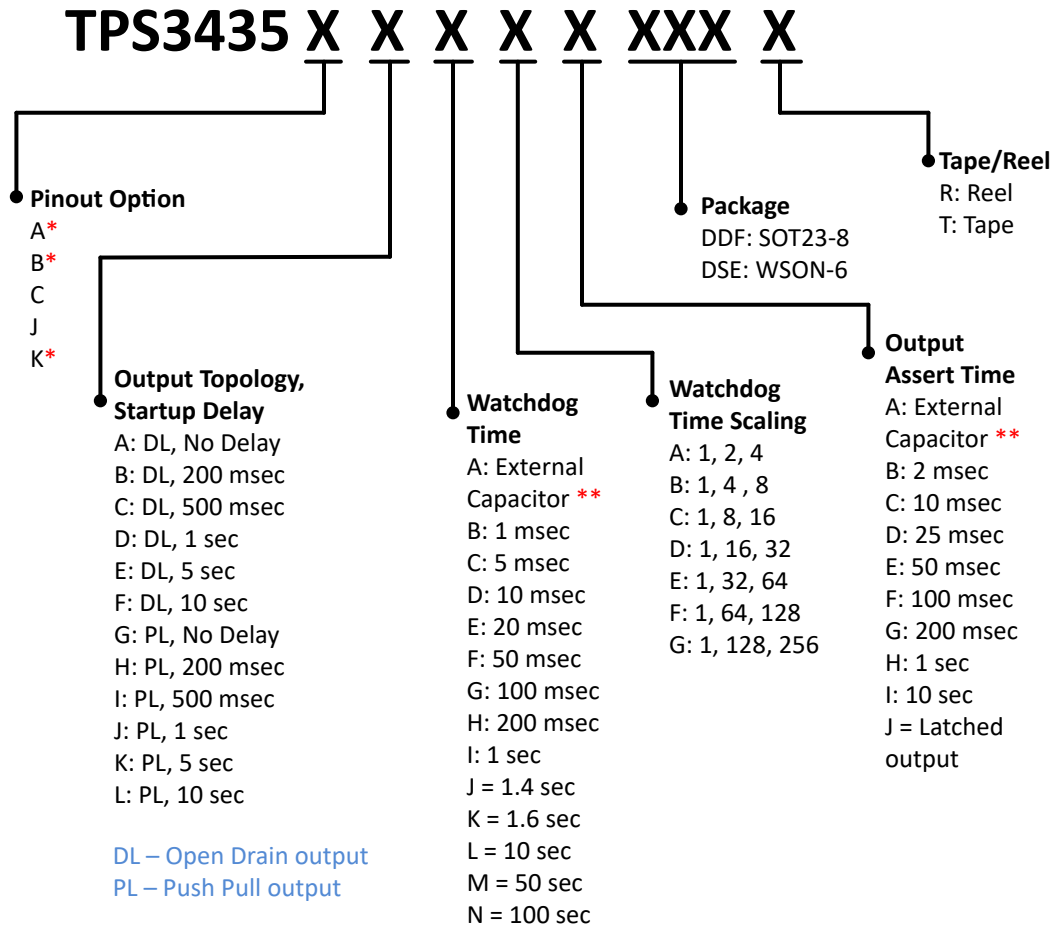
表 4-1. 入手可能なデバイス

デバイス	機能 ⁽²⁾	ピン配置 ⁽³⁾	WD タイムアウト	スタートアップ遅延	時間スケールリング	出力パルス	出力ポロジ	Vit-
TPS3435CAEBJDDFR ⁽¹⁾	WD	C	20ms	0	1, 4, 8	ラッチ	オープンドレイン	該当なし
TPS3435CAGBJDDFRQ1 ⁽¹⁾	WD	C	100ms	0	1, 4, 8	ラッチ	オープンドレイン	該当なし
TPS3435CBHAJDDFR ⁽¹⁾	WD	C	200ms	200ms	1, 2, 4	ラッチ	オープンドレイン	該当なし
TPS3435CCGAJDDFR ⁽¹⁾	WD	C	100ms	500ms	1, 2, 4	ラッチ	オープンドレイン	該当なし
TPS3435CECAJDDFRQ1 ⁽¹⁾	WD	C	5ms	5s	1, 2, 4	ラッチ	オープンドレイン	該当なし
TPS3435CGLEFDDFR ⁽¹⁾	WD	C	10s	0	1, 32, 64	100ms	プッシュプル	該当なし
TPS3435CAKAGDDFR	WD	C	1.6s	0	1, 2, 4	200ms	オープンドレイン	該当なし
TPS3435AFACADDFRQ1	WD	A	可変	10s	1, 8	可変	オープンドレイン	該当なし
TPS3435CAKAGDDFRQ1	WD	C	1.6s	0	1, 2, 4	200ms	オープンドレイン	該当なし
TPS3435CAIEGDDFR	WD	C	1s	0	1, 32, 64	200ms	オープンドレイン	該当なし
TPS3435JAJJDSER ⁽¹⁾	WD	J	1.4s	0	1, 2	ラッチ	オープンドレイン	該当なし
TPS3435JMAFDSER ⁽¹⁾	WD	J	50s	10s	1, 2	100ms	オープンドレイン	該当なし
TPS35CA38GACDDFRQ1 ⁽¹⁾	WD + SVS	C	100ms	0	1, 2, 4	10ms	オープンドレイン	2.9 V
TPS35DA40GCJDDFR ⁽¹⁾	WD + SVS	D	100ms	0	1, 8, 16	ラッチ	オープンドレイン	3 V
TPS35DA69GADDDFRQ1 ⁽¹⁾	WD + SVS	D	100ms	0	1, 2, 4	25ms	オープンドレイン	4.45 V
TPS35JE42IADDSER ⁽¹⁾	WD + SVS	J	1s	20ms	1, 2	25ms	オープンドレイン	3.1 V
TPS35AA17AGADDFR	WD + SVS	A	可変	0	1, 128	可変	オープンドレイン	1.85 V
TPS35JE35JADDSER	WD + SVS	J	1.4s	5s	1, 2	25ms	オープンドレイン	2.75 V
TPS35AA38AGADDFRQ1	WD + SVS	A	可変	0	1, 128	可変	オープンドレイン	2.9 V
TPS35CA43DACDDFRQ1	WD + SVS	C	10ms	0	1, 2, 4	10ms	オープンドレイン	3.15 V
TPS35CA38IAGDDFRQ1 ⁽¹⁾	WD + SVS	C	1s	0	1, 2, 4	200ms	オープンドレイン	2.9 V

(1) 製品プレビュー。供給状況については、テキサス・インスツルメンツの担当者までお問い合わせください。

(2) WD = ウォッチドッグ、SVS = 電圧スーパーバイザ

(3) ピン配置情報については、セクション 5 を参照してください。



* Pinout option supports Start up Delay settings of “No Delay” and “10 sec” only.
 ** Capacitor programmable time feature available with pinout options A, B & K. For fixed time and latched output features use pinout options C & J.
 Refer ‘Mechanical, Packaging and Orderable Information’ section for list of released orderable.
 For any other orderable, contact local TI support.

図 4-1. デバイスの命名規則

TPS3435 は、表 4-2 に示すように、さまざまな機能セットを提供するピン互換デバイス ファミリに属します。

表 4-2. ピン互換デバイス ファミリ

デバイス	電圧監視	ウォッチドッグのタイプ
TPS35	あり	タイムアウト
TPS36	あり	ウィンドウ
TPS3435	なし	タイムアウト
TPS3436	なし	ウィンドウ

5 ピン構成および機能

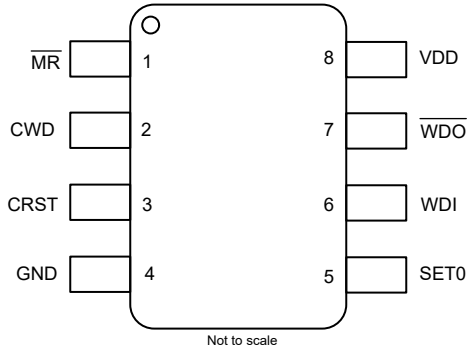


図 5-1. ピン構成オプション A
 DDF パッケージ、8 ピン SOT-23、
 TPS3435 上面図

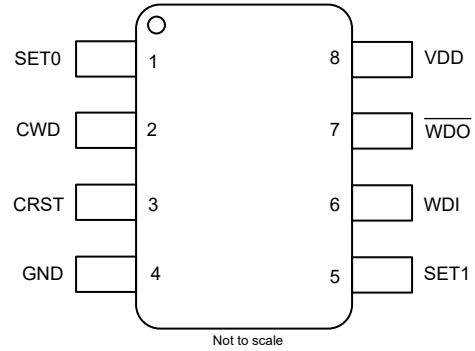


図 5-2. ピン構成オプション B
 DDF パッケージ、8 ピン SOT-23、
 TPS3435 上面図

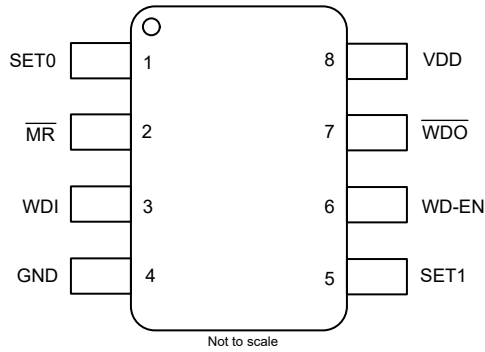


図 5-3. ピン構成オプション C
 DDF パッケージ、8 ピン SOT-23、
 TPS3435 上面図

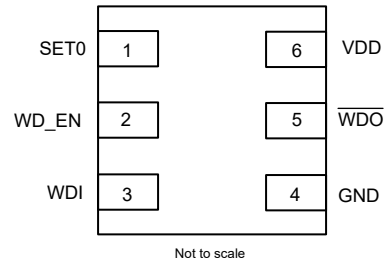


図 5-4. ピン構成オプション J
 DSE パッケージ、6 ピン WSON、
 TPS3435 上面図

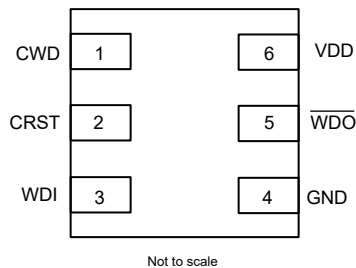


図 5-5. ピン構成オプション K
 DSE パッケージ、6 ピン WSON
 TPS3435 上面図

表 5-1. ピンの機能

ピン名	ピン番号					I/O	説明
	ピン配置 A	ピン配置 B	ピン配置 C	ピン配置 J	ピン配置 K		
CRST	3	3	—	—	2	I	プログラム可能な WDO アサート時間ピン。このピンと GND の間にコンデンサを接続して、WDO のアサート時間を設定します。詳細については、 セクション 7.3.3 を参照してください。
CWD	2	2	—	—	1	I	プログラム可能なウォッチドッグ タイムアウト入力。ウォッチドッグ タイムアウトは、このピンとグラウンドの間にコンデンサを接続することで設定します。詳細については、 セクション 7.3.1.1 を参照してください。
GND	4	4	4	4	4	—	グラウンドピン
$\overline{\text{MR}}$	1	—	2	—	—	I	手動のリセットピン。このピンがロジック Low になると、 $\overline{\text{WDO}}$ 出力がアサートされます。詳細については、 セクション 7.3.2 を参照してください。
$\overline{\text{WDO}}$	7	7	7	5	5	O	ウォッチドッグ出力。オープンドレイン出力を使用する場合は、プルアップ抵抗を使用して $\overline{\text{WDO}}$ を VDD に接続します。ウォッチドッグ エラーが発生するか、または $\overline{\text{MR}}$ ピンが Low に駆動されると、 $\overline{\text{WDO}}$ がアサートされます。詳細については、 セクション 7.3.3 を参照してください。
SET0	5	1	1	1	—	I	ロジック入力。SET0、SET1、WD-EN ピンは、ウォッチドッグ タイマのスケーリングを選択し、ウォッチドッグをイネーブル / ディセーブルします。詳細については、 セクション 7.3.1.4 を参照してください。
SET1	—	5	5	—	—	I	ロジック入力。SET0、SET1、WD-EN ピンは、ウォッチドッグ タイマのスケーリングを選択し、ウォッチドッグをイネーブル / ディセーブルします。詳細については、 セクション 7.3.1.4 を参照してください。
VDD	8	8	8	6	6	I	電源電圧ピン。ノイズの多いシステムでは、0.1 μ F のバイパスコンデンサを接続することを推奨します。
WD-EN	—	—	6	2	—	I	ロジック入力。ロジック High になると、ウォッチドッグ監視機能がイネーブルになります。詳細については、 セクション 7.3.1.2 を参照してください。
WDI	6	6	3	3	3	I	ウォッチドッグ入力。 $\overline{\text{WDO}}$ がアサートされないようにするには、タイムアウトが終了する前にこのピンで立ち下がり遷移 (エッジ) が発生する必要があります。詳細については、 セクション 7.3.1 を参照してください。

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)⁽¹⁾

		最小値	最大値	単位
電圧	VDD	-0.3	6.5	V
電圧	C _{WD} 、C _{RST} 、WD-EN、SETx、WDI、MR ⁽²⁾ 、WDO (プッシュプル)	-0.3	V _{DD} +0.3 ⁽³⁾	V
	WDO (オープンドレイン)	-0.3	6.5	
電流	WDO ピン	-20	20	mA
温度 ⁽⁴⁾	動作時周囲温度、T _A	-40	125	°C
温度	保存、T _{stg}	-65	150	

- (1) 「絶対最大定格」を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについての話で、絶対最大定格において、またはこのデータシートの「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
- (2) MR を駆動するロジック信号が V_{DD} を下回ると、追加の電流が V_{DD} から MR に流れます。
- (3) 絶対最大定格は、(V_{DD} + 0.3)V または 6.5V のどちらか小さい方です。
- (4) このデバイスの消費電力は低いいため、T_J = T_A と想定されます。

6.2 ESD 定格

			値	単位
V _(ESD)	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	±2000	V
		荷電デバイス モデル (CDM)、JEDEC 仕様 JESD22-C101 準拠 ⁽²⁾	±750	

- (1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
- (2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

6.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
電圧	VDD (アクティブ Low 出力)	0.9		6	V
	C _{WD} 、C _{RST} 、WD-EN、SETx、WDI、MR ⁽¹⁾	0		VDD	
	WDO (オープンドレイン)	0		6	
	WDO (プッシュプル)	0		VDD	
電流	WDO ピン電流	-5		5	mA
C _{RST}	C _{RST} ピンのコンデンサ範囲	1.5		1800	nF
C _{WD}	C _{WD} ピンのコンデンサ範囲	1.5		1000	nF
T _A	動作時の周囲温度	-40		125	°C

- (1) MR を駆動するロジック信号が V_{DD} を下回ると、追加の電流が V_{DD} から MR に流れます。V_{MR} は V_{DD} 以下にする必要があります。

6.4 熱に関する情報

熱評価基準 ⁽¹⁾		TPS3435	単位
		DDF (SOT23-8)	
		8 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	175.3	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	94.7	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	92.4	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	8.4	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	91.9	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション レポートを参照してください。

6.5 熱に関する情報

熱評価基準 ⁽¹⁾		TPS3435	単位
		DSE (WSON-6)	
		6 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	199.0	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	121.4	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	104.3	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	11.3	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	103.8	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション レポートを参照してください。

6.6 電気的特性

1.04V ≤ V_{DD} ≤ 6V、 \overline{MR} = オープン、 \overline{WDO} の VDD へのプルアップ抵抗 (R_{pull-up}) = 100kΩ、出力負荷 (C_{LOAD}) = 10pF、自由気流での動作温度範囲内 -40°C ~ 125°C (特に記述のない限り)VDD ランプレート ≤ 1V/μs。代表値は T_A = 25°C 時に測定

パラメータ		テスト条件	最小値	標準値	最大値	単位
共通パラメータ						
V _{DD}	入力電源電圧	アクティブ Low 出力	1.04		6	V
I _{DD}	VDD ピンへの電源電流 (1)	T _A = -40°C ~ 85°C		0.25	0.8	μA
				0.25	3	
V _{IL}	Low レベル入力電圧 WD-EN、WDI、SETx、 \overline{MR} (1)				0.3V _{DD}	V
V _{IH}	High レベル入力電圧 WD-EN、WDI、SETx、 \overline{MR} (1)		0.7V _{DD}			V
R _{MR}	手動リセットの内部プルアップ抵抗			100		kΩ
WDO (オープンドレイン アクティブ Low)						
V _{OL}	Low レベル出力電圧	V _{DD} = 1.5V I _{OUT(Sink)} = 500μA			300	mV
		V _{DD} = 3.3V I _{OUT(Sink)} = 2mA			300	
I _{kg(OD)}	オープンドレイン出力リーク電流	V _{DD} = V _{PULLUP} = 6V T _A = -40°C ~ 85°C		10	30	nA
		V _{DD} = V _{PULLUP} = 6V		10	60	nA
WDO (プッシュプル アクティブ Low)						
V _{POR}	パワーオン \overline{WDO} 電圧 (2)	V _{OH(min)} = 0.8V _{DD} I _{out(source)} = 15μA			900	mV
V _{OL}	Low レベル出力電圧	V _{DD} = 1.5V I _{OUT(Sink)} = 500μA			300	mV
		V _{DD} = 3.3V I _{OUT(Sink)} = 2mA			300	
V _{OH}	High レベル出力電圧	V _{DD} = 1.8V I _{OUT(Source)} = 500μA			0.8V _{DD}	V
		V _{DD} = 3.3V I _{OUT(Source)} = 500μA			0.8V _{DD}	
		V _{DD} = 6V I _{OUT(Source)} = 2mA			0.8V _{DD}	

(1) \overline{MR} を駆動するロジック信号が V_{DD} を下回ると、追加の電流が V_{DD} から \overline{MR} に流れます。

(2) V_{POR} は、制御された出力状態の最小 V_{DD} 電圧レベルです。

6.7 タイミング要件

$1.04V \leq V_{DD} \leq 6V$ 、 $\overline{MR} = \text{オープン}$ 、 \overline{WDO} の V_{DD} へのプルアップ抵抗 ($R_{\text{pull-up}} = 100k\Omega$)、出力 RESET / WDO の負荷 ($C_{\text{LOAD}} = 10pF$)、自由気流での動作温度範囲内 $-40^{\circ}\text{C} \sim 125^{\circ}\text{C}$ (特に記述のない限り) V_{DD} ランプ レート $\leq 1V/\mu\text{s}$ 。代表値は $T_A = 25^{\circ}\text{C}$ 時に測定

パラメータ		テスト条件	最小値	標準値	最大値	単位
$t_{\text{MR_PW}}$	出力をアサートするための \overline{MR} ピンのパルス期間			100		ns
$t_{\text{P-WD}}$	次のフレームを開始するための WDI パルス期間 (1)		500			ns
$t_{\text{HD-WDEN}}$	WD 動作をイネーブルまたはディセーブルにするための $\overline{WD-EN}$ のホールド時間 (1)		200			μs
$t_{\text{HD-SETx}}$	WD タイマ設定を変更するための SETx のホールド時間 (1)		150			μs
t_{WD}	ウォッチドッグのタイムアウト期間	注文可能なオプション: TPS3435xxB	0.8	1	1.2	ms
		注文可能なオプション: TPS3435xxC	4	5	6	
		注文可能なオプション: TPS3435xxD	9	10	11	
		注文可能なオプション: TPS3435xxE	18	20	22	
		注文可能なオプション: TPS3435xxF	45	50	55	
		注文可能なオプション: TPS3435xxG	90	100	110	
		注文可能なオプション: TPS3435xxH	180	200	220	
		注文可能なオプション: TPS3435xxI	0.9	1	1.1	s
		注文可能なオプション: TPS3435xxJ	1.26	1.4	1.54	
		注文可能なオプション: TPS3435xxK	1.44	1.6	1.76	
		注文可能なオプション: TPS3435xxL	9	10	11	
		注文可能なオプション: TPS3435xxM	45	50	55	
		注文可能なオプション: TPS3435xxN	90	100	110	

(1) 量産では検査していません。

6.8 スイッチング特性

$1.04V \leq V_{DD} \leq 6V$ 、 \overline{MR} = オープン、 \overline{WDO} の V_{DD} へのプルアップ抵抗 ($R_{pull-up}$) = 100k Ω 、出力 RESET / WDO の負荷 (C_{LOAD}) = 10pF、自由気流での動作温度範囲内 -40°C ~ 125°C (特に記述のない限り) V_{DD} ランプ レート $\leq 1V/\mu s$ 。代表値は $T_A = 25^\circ C$ 時に測定

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{STRT}	スタートアップ遅延 (1)				500	μs
t_{SD}	ウォッチドッグのスタートアップ遅延	注文可能な部品番号: TPS3435xA、TPS3435xG		0		ms
		注文可能な部品番号: TPS3435xB、TPS3435xH	180	200	220	
		注文可能な部品番号: TPS3435xC、TPS3435xI	450	500	550	
		注文可能な部品番号: TPS3435xD、TPS3435xJ	0.9	1	1.1	s
		注文可能な部品番号: TPS3435xE、TPS3435xK	4.5	5	5.5	
		注文可能な部品番号: TPS3435xF、TPS3435xL	9	10	11	
t_{WDO}	ウォッチドッグのアサート時間遅延	注文可能な部品番号: TPS3435xxxxB	1.6	2	2.4	ms
		注文可能な部品番号: TPS3435xxxxC	9	10	11	ms
		注文可能な部品番号: TPS3435xxxxD	22.5	25	27.5	ms
		注文可能な部品番号: TPS3435xxxxE	45	50	55	ms
		注文可能な部品番号: TPS3435xxxxF	90	100	110	ms
		注文可能な部品番号: TPS3435xxxxG	180	200	220	ms
		注文可能な部品番号: TPS3435xxxxH	0.9	1	1.1	s
		注文可能な部品番号: TPS3435xxxxI	9	10	11	s
t_{MR_WDO}	\overline{MR} が Low になってから WDO がアサートされるまでの伝搬遅延	$V_{DD} \geq 1.25V$ 、 $\overline{MR} = V_{MR_H}$ から V_{MR_L}		100		ns

(1) 設計パラメータにより規定されています。

6.9 タイミング図

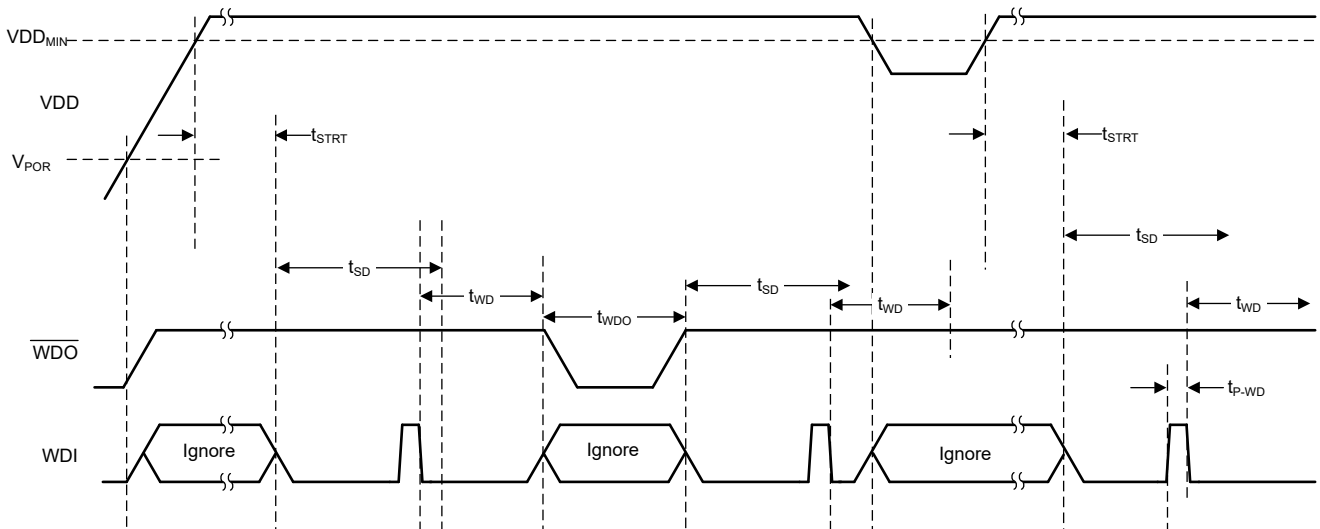


図 6-1. 動作時のタイミング図

6.10 代表的特性

すべての曲線は $T_A = 25^\circ\text{C}$ で測定 (特に記述のない限り)

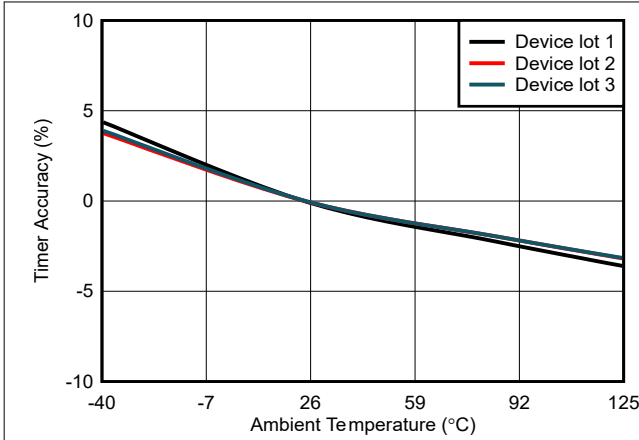


図 6-2. タイマの精度と温度との関係

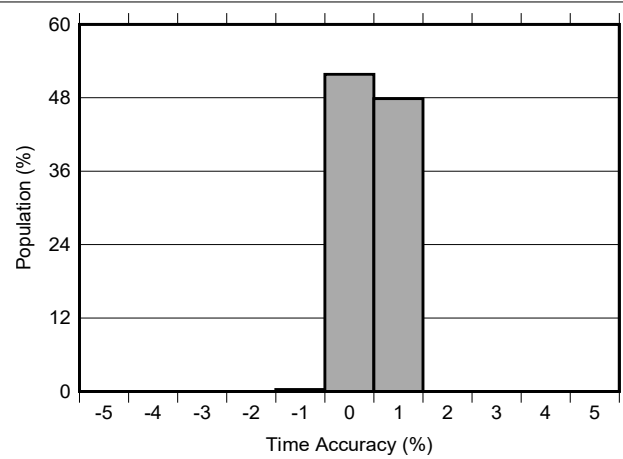


図 6-3. タイマの精度ヒストグラム

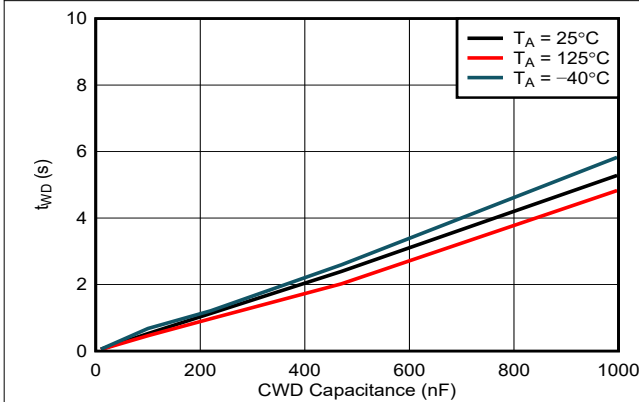


図 6-4. T_{WD} と容量との関係

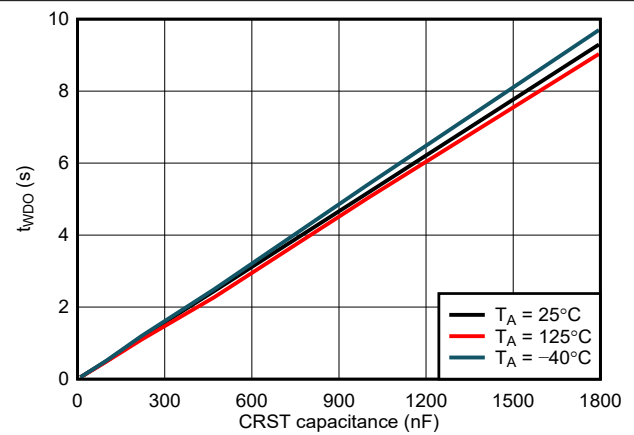


図 6-5. T_{WDO} と容量との関係

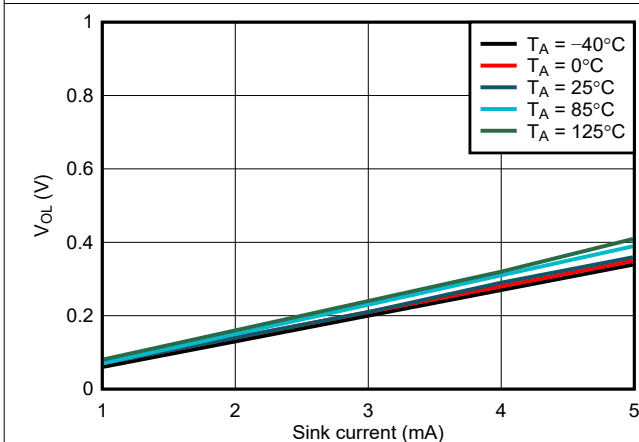


図 6-6. WDO V_{OL} と I_{sink} との関係、 $V_{DD} = 1.5\text{V}$

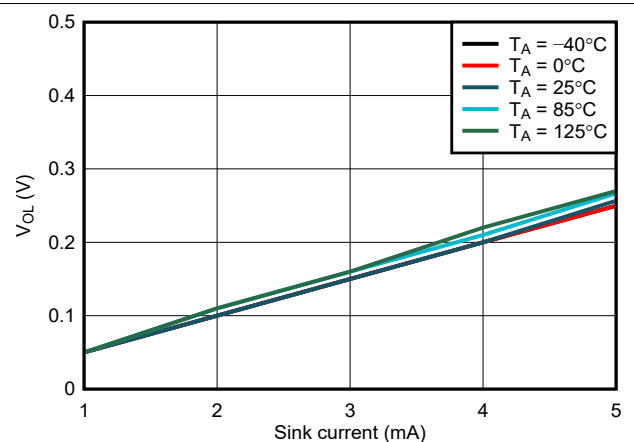
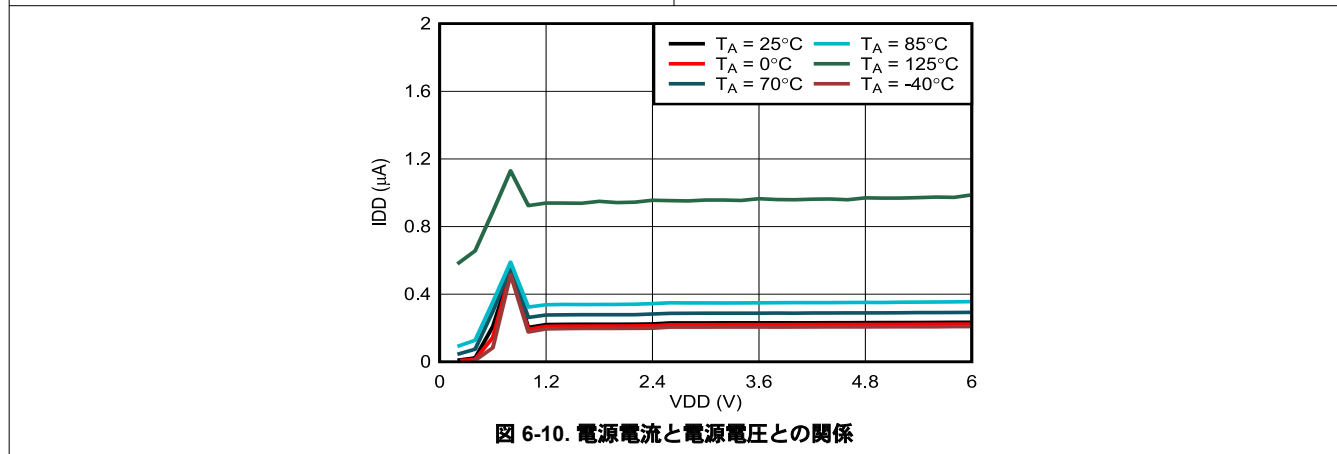
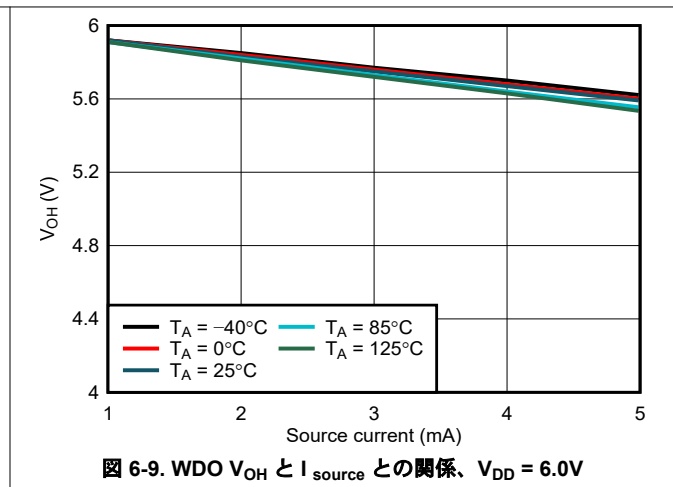
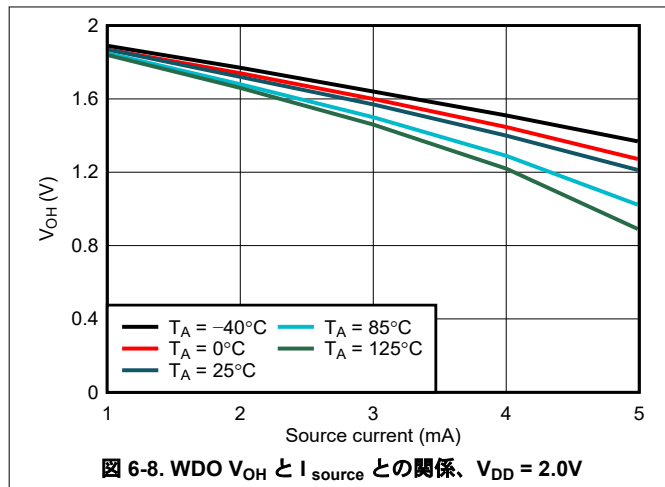


図 6-7. WDO V_{OL} と I_{sink} との関係、 $V_{DD} = 3.3\text{V}$

6.10 代表的特性 (続き)

すべての曲線は $T_A = 25^\circ\text{C}$ で測定 (特に記述のない限り)



7 詳細説明

7.1 概要

TPS3435 は、タイムアウト ウォッチドッグ タイマ デバイスが内蔵された高精度のです。このデバイス ファミリは、ウォッチドッグ動作に関連する複数の機能をサポートしており、小型の 6 ピン WSON および 8 ピン SOT23 パッケージで提供されています。このデバイスには、5 個の異なるピン配置構成があります。ピン配置によって、さまざまなアプリケーション要件を満たす異なる機能を使用できます。

7.2 機能ブロック図

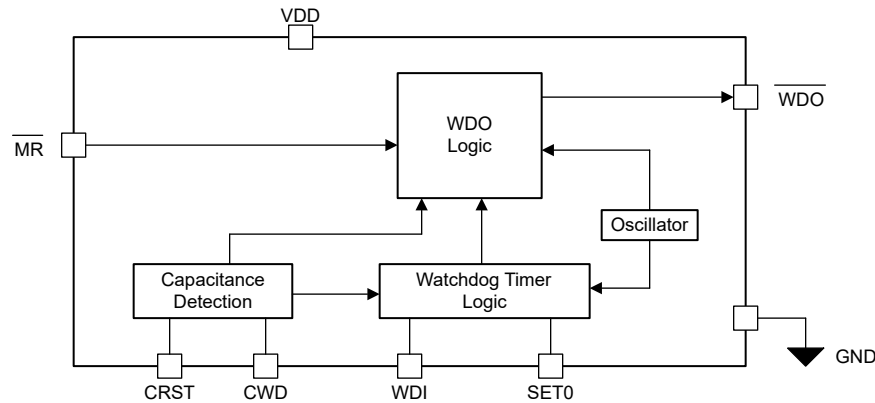


図 7-1. ピン配置オプション A

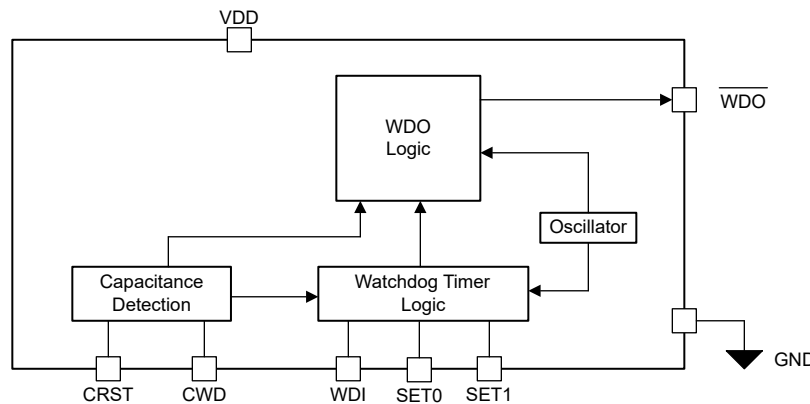


図 7-2. ピン配置オプション B

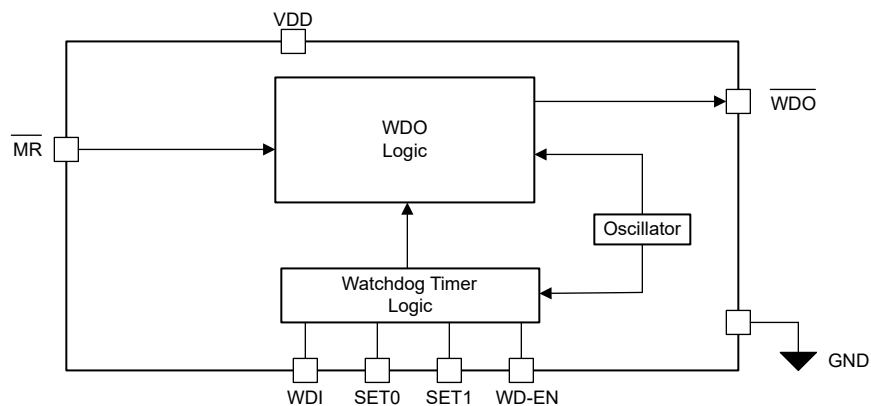


図 7-3. ピン配置オプション C

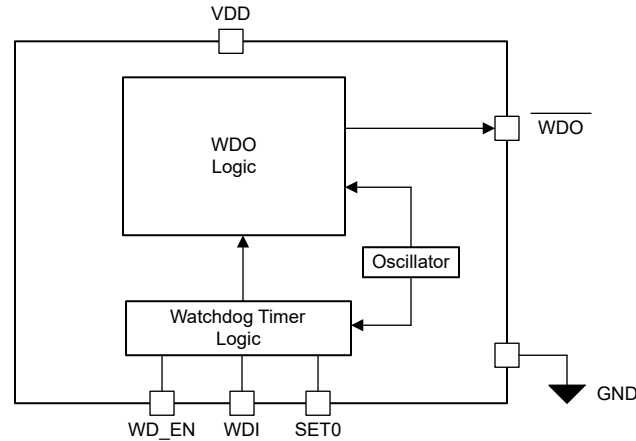


図 7-4. ピン配置オプション J

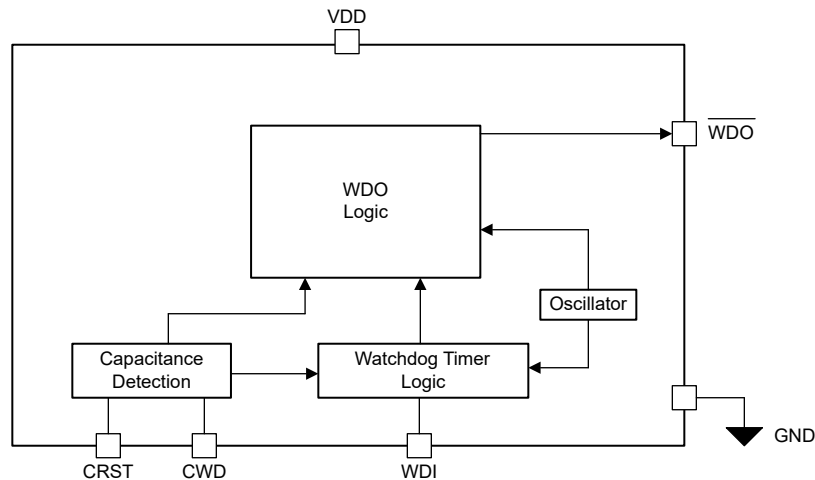


図 7-5. ピン配置オプション K

7.3 機能説明

7.3.1 タイムアウト ウォッチドッグ タイマ

TPS3435 は、高精度のタイムアウト ウォッチドッグ タイマ監視機能を備えています。このデバイスは、複数の機能をサポートする A~K の複数のピン配置オプションで提供されており、さまざまなアプリケーションの高まるニーズに対応しています。アプリケーションのニーズを満たす適切なピン配置が選択されていることを確認してください。

タイムアウト ウォッチドッグは、VDD 電圧が $V_{DD_{MIN}}$ を上回っており、 \overline{MR} 電圧が $0.7 \times V_{DD}$ よりも高く保持され、ウォッチドッグがイネーブルのときにアクティブになります。TPS3435 ファミリーには、ホストがブート動作を完了するのに十分な時間を確保できるように、さまざまなスタートアップ時間遅延オプションが用意されています。詳細については、[セクション 7.3.1.3](#) を参照してください。

タイムアウト ウォッチドッグ タイマは、 t_{WD} で定義されたタイムフレームの間、WDI ピンの立ち下がりエッジを監視します。アプリケーションに必要な t_{WD} 値の算出方法については、[セクション 7.3.1.1](#) セクションを参照してください。 t_{WD} の期間内に WDI ピンで有効な立ち下がりエッジが検出されると、タイマ値はリセットされます。 t_{WD} の期間内に有効な WDI 遷移が検出されない場合、WDO 出力がアサートされます。WDO は、 t_{WDO} の期間アサートされます。アプリケーションに必要な t_{WDO} 値の算出方法については、[セクション 7.3.3](#) を参照してください。

[図 7-6](#) に、タイムアウト ウォッチドッグ タイマの基本動作を示します。TPS3435 のウォッチドッグは、複数の機能をサポートしています。詳細については、以下のサブセクションを参照してください。

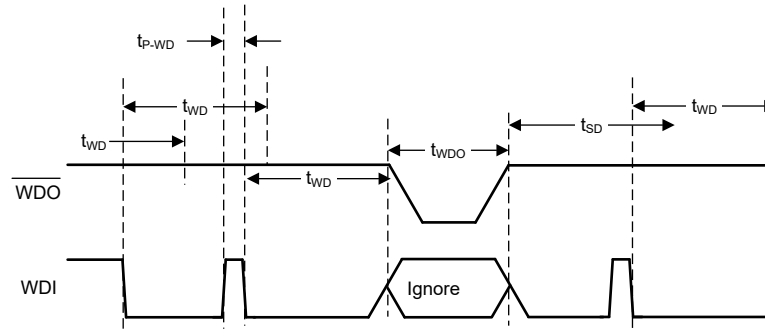


図 7-6. タイムアウト ウォッチドッグ タイマの動作

7.3.1.1 t_{WD} タイマ

TPS3435 の t_{WD} タイマは、CWD ピンと GND ピンの間に接続された外付けコンデンサを使用して設定できます。この機能は、ピン配置オプション A、B、K で利用できます。スペースに制約があるアプリケーションや、提供されているタイマ オプションを満たすタイマ値が必要なアプリケーションでは、ピン配置オプション C または J を使用すると便利です。TPS3435 は、1ms ~ 100s の範囲で複数の固定タイマ オプションを提供しています。

TPS3435 では、容量ベースのタイマを使用すると、電源オン時に容量値が検出されます。容量値を検出するため、既知の内部電流源を使用してコンデンサを 1 サイクル充電および放電します。検出された値を使用して、ウォッチドッグ動作の t_{WD} タイマを求めます。この独自の実装により、コンデンサの連続充電 / 放電電流を低減し、全体的な消費電流を低減できます。容量の連続充電と放電により、コンデンサ放電中のデッドタイムが長くなります (ウォッチドッグ モニタ機能なし)。容量の値が大きいと、デッドタイムは長くなります。TPS3435 の独自の実装により、通常動作中は容量が連続的に充電または放電されることがないため、デッドタイムを回避できます。容量を正確にキャリブレーションするため、 C_{CWD} が $200 \times C_{CRST}$ 未満であることを確認してください。式 1 に、 t_{WD} (秒) と CWD 容量 (ファラッド) の関係を示します。 t_{WD} タイマは、理想的なコンデンサに対して 20% の精度になります。容量の精度は、 t_{WD} 時間にさらに影響を与えます。容量が推奨動作範囲を満たしていることを確認してください。容量が推奨範囲外の場合、デバイスの誤動作につながる可能性があります。

$$t_{WD}(\text{sec}) = 4.95 \times 10^6 \times C_{CWD}(F) \quad (1)$$

TPS3435 は、業界標準のさまざまな値を含め、1ms ~ 100s の範囲で幅広い高精度の固定タイマ オプションを提供しています。TPS3435 の固定時間オプションでは、 $t_{WD} \geq 10\text{ms}$ での精度は $\pm 10\%$ です。 t_{WD} が 10ms 未満の場合、精度は $\pm 20\%$ です。アプリケーションに関連する t_{WD} の値は、注文可能な部品番号から識別できます。注文可能な部品番号と t_{WD} 値のマッピングについては、セクション 4 セクションを参照してください。

TPS3435 では、SETx ピンのロジック レベルを制御することで、 t_{WD} 値を動作中に変更できる柔軟性を備えています。セクション 7.3.1.4 セクションでは、この機能の利点と、さまざまな SETx ピンの組み合わせによるデバイスの動作について説明します。

7.3.1.2 ウォッチドッグのイネーブル / ディセーブル動作

TPS3435 では、ウォッチドッグをイネーブルまたはディセーブルする機能がサポートされています。この機能は、以下に示すさまざまな使用事例で重要です。

- ホストのリセットを回避するため、ファームウェアの更新中にウォッチドッグをディセーブルする。
- ソフトウェアのステップバイステップ・デバッグ動作中にウォッチドッグをディセーブルする。
- ウォッチドッグのエラー割り込みを回避するため、重要なタスクを実行するときにウォッチドッグをディセーブルする。
- ホストが起動するまで、ウォッチドッグをディセーブルに保持する。

TPS3435 では、WD-EN ピン (ピン構成 C)、SET[1:0] = 0b'01 (ピン構成 B) ロジックの組み合わせにより、ウォッチドッグのイネーブルまたはディセーブル機能がサポートされています。特定のピン配置でユーザーがウォッチドッグ動作をディセーブルにするのに使用できるのは、これらの方法のいずれか 1 つのみです。

WD-EN ピンのあるピン配置では、ウォッチドッグのイネーブル / ディセーブルは WD-EN ピンのロジック状態で制御されます。WD-EN を 1 に駆動するとウォッチドッグ動作がイネーブルになり、WD-EN を 0 に駆動するとウォッチドッグ動作がディセーブルになります。WD-EN ピンは、デバイスの動作中いつでも切り替えることができます。図 7-7 の図に、WD-EN ピンの制御によるタイミング動作を示します。

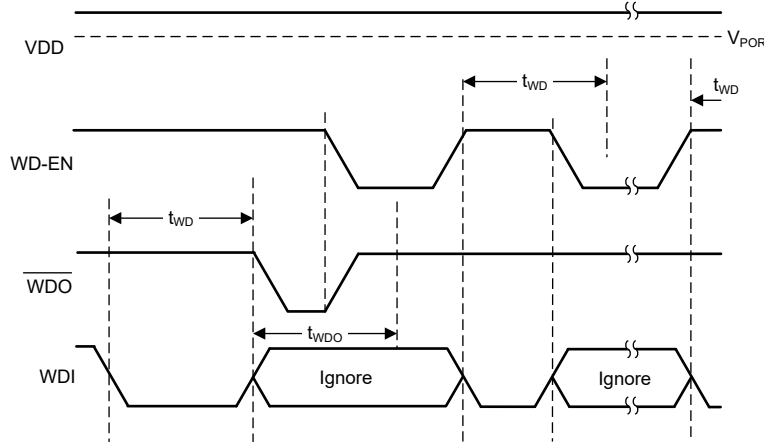


図 7-7. ウォッチドッグのイネーブル : WD-EN ピンの制御

SET[1:0] = 0b'01 の組み合わせは、SET1 ピンと SET0 ピンがあり、WD-EN ピンがないピン配置でウォッチドッグ動作をディセーブルにするのに使用できます。SET ピンのロジック状態は、ウォッチドッグ動作中いつでも変更できます。SET[1:0] ピンの動作の詳細については、セクション 7.3.1.4 セクションを参照してください。

ピン配置オプション A、B、K では、CWD ピンと GND ピンの間に接続された容量を使用して、ウォッチドッグ・タイマを制御できます。容量値が推奨値よりも大きいと、GND に接続すると、ウォッチドッグ機能がディセーブルになります。容量ベースのディセーブル動作は、上記の他の 2 つのオプションよりも優先されます容量を動作中に変更しても、ウォッチドッグ動作はイネーブルまたはディセーブルになりません。容量の変化を検出するには、電源リサイクルが必要です。

ウォッチドッグがディセーブルになると、進行中のウォッチドッグ・フレームは終了します。ウォッチドッグ動作がディセーブルの場合、WDO はデアサートされたままになります。イネーブルになると、デバイスは直ちに t_{WD} フレームに入り、ウォッチドッグ監視動作を開始します。

7.3.1.3 t_{SD} ウォッチドッグのスタートアップ遅延

TPS3435 は、ウォッチドッグのスタートアップ遅延機能をサポートしています。この機能は、電源オン後または WDO アサート イベント後にアクティブになります。 t_{SD} フレームがアクティブになると、デバイスは WDI ピンを監視しますが、WDO 出力はアサートされません。この機能により、ウォッチドッグ監視が開始する前に、ホストがブートプロセスを完了することができます。スタートアップ遅延を使用すると、起動中の予期しない WDO アサート イベントを回避できます。 t_{SD} 時間は、選択したデバイスの部品番号に基づいてあらかじめ決められています。部品番号と t_{SD} 時間のマッピングの詳細については、セクション 4 セクションを参照してください。ピン配置オプション A、B、K には、遅延なし、または 10 秒のスタートアップ遅延オプションのみがあります。

t_{SD} フレームを終了するには、次のいずれかのイベントが発生する必要があります。

- ホストが WDI ピン上で有効なパルス遷移を供給。
- SET[1:0] のロジック状態の変化。
- WD_EN ピンの切り替え。

デバイスは、 t_{SD} フレームを終了すると、ウォッチドッグ監視フェーズに入ります。

t_{SD} 内に終了条件の 1 つが発生しない場合、WDO 出力ピンが t_D の間アサートされ、ウォッチドッグ エラーがトリガされます。これは、図 7-8 に示されています。

セクション 7.3.1.2 セクションで説明されているように、WD-EN ピン、SET[1:0] ピンの組み合わせを使用してウォッチドッグ機能がイネーブルになっている場合、 t_{SD} フレームは開始しません。

図 7-8 に、 t_{SD} タイムフレームの動作を示します。

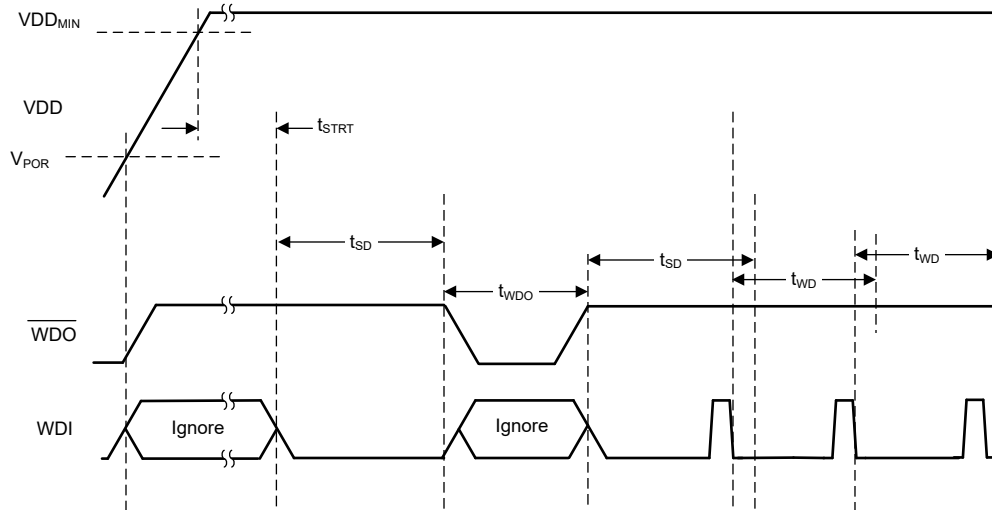


図 7-8. t_{SD} フレームの動作

7.3.1.4 SET ピンの動作

TPS3435 には、選択したピン配置オプションによって、1 本または 2 本の SET ピンがあります。SET ピンを使用すると、さまざまなアプリケーション要件に合わせて、 t_{WD} タイマを動作中にプログラムすることができます。SET ピンを使用できる代表的な使用事例は次のとおりです。

- ホストがスリープモードのときは広いタイムアウトタイマを使用し、ホストが動作しているときはタイムアウトの短い動作に変更。ウォッチドッグを使用して、長時間経過した後にホストをウェイクアップし、スリープに戻る前にアプリケーション関連のアクティビティを実行することが可能。
- ウォッチドッグにより重要なタスクが中断されないように、システムクリティカルなタスクを実行するときに幅の広いタイムアウトタイマに変更。重要なタスクの完了後は、タイマをアプリケーション指定の間隔に変更。

デバイスの t_{WD} タイマ値は、CWD ピンまたは固定タイマ値に基づくタイマの選択と、SET ピンのロジックレベルを組み合わせで決定されます。ベース t_{WD} タイマ値は、セクション 4 セクションのウォッチドッグ時間セレクトタに基づいて決定されます。SET ピンのロジックレベルは、デバイスの電源投入時にデコードされます。SET ピンの値は、動作中いつでも変更できます。SETx ピンが変化すると、ウォッチドッグタイマ値またはイネーブル/ディセーブル状態が変化し、進行中のウォッチドッグフレームがただちに終了します。SETx ピンは、WDO 出力がアサートされたときにも更新されます。更新された t_{WD} タイマ値は、出力がデアサートされ、 t_{SD} タイマが終了した後に適用されます。

SET0 ピンのみを持つピン配置の場合、 t_{WD} の乗数値は、セクション 4 セクションに示すウォッチドッグ時間スケーリングセレクトタに基づいて決定されます。表 7-1 に、ウォッチドッグ時間をオプション D = 10ms に設定した場合の、異なる SET0 ロジックレベルの t_{WD} 値の例を示します。

表 7-1. SET0 ピンのみの場合の t_{WD} スケーリング (ピン構成 A、J)

ウォッチドッグ時間スケーリングの選択	t_{WD}	
	SET0 = 0	SET0 = 1
A	10ms	20ms
B	10ms	40ms
C	10ms	80ms
D	10ms	160ms
E	10ms	320ms

表 7-1. SET0 ピンのみの場合の t_{WD} スケーリング (ピン構成 A、J) (続き)

ウォッチドッグ時間スケーリングの選択	t_{WD}	
	SET0 = 0	SET0 = 1
F	10ms	640ms
G	10ms	1280ms

SET0 と SET1 ピンの両方を持つピン配置の場合、 t_{WD} の乗数値は、[セクション 4](#) セクションに示すウォッチドッグ時間スケーリング セレクタに基づいて決定されます。2 本の SETx ピンにより、3 つの時間スケーリング オプションが提供されます。SET[1:0] = 0b'01 の場合、ウォッチドッグ動作はディセーブルになります。表 7-2 に、ウォッチドッグ時間をオプション G = 100ms に設定した場合の、異なる SET[1:0] ロジックレベルの t_{WD} 値の例を示します。選択されたパッケージ ピン配置には、WD-EN ピンはありません。

表 7-2. SET0 および SET1 ピンの両方がある場合の t_{WD} スケーリング、WD-EN ピンなし (ピン構成 B)

ウォッチドッグ時間スケーリングの選択	t_{WD}			
	SET[1:0] = 0b'00	SET[1:0] = 0b'01	SET[1:0] = 0b'10	SET[1:0] = 0b'11
A	100ms	ウォッチドッグはディセーブル	200ms	400ms
B	100ms	ウォッチドッグはディセーブル	400ms	800ms
C	100ms	ウォッチドッグはディセーブル	800ms	1600ms
D	100ms	ウォッチドッグはディセーブル	1600ms	3200ms
E	100ms	ウォッチドッグはディセーブル	3200ms	6400ms
F	100ms	ウォッチドッグはディセーブル	6400ms	12800ms
G	100ms	ウォッチドッグはディセーブル	12800ms	25600ms

選択されたパッケージ ピン配置には、SET[1:0] に加えて WD-EN ピンがあります (ピン構成 C)。このピン配置では、WD-EN ピンでウォッチドッグのイネーブル / ディセーブル動作を制御します。SET[1:0] = 0b'01 の場合は、SET[1:0] = 0b'00 と同様に動作します。

SETx 乗数を適用した t_{WD} 値が 640 秒を超えないようにしてください。タイマと乗数の選択によって t_{WD} が 640 秒を超えた場合、タイマ値は 640 秒に制限されます。

[図 7-9](#)～[図 7-11](#) の図に、SETx ステータスの変化に対するタイミング動作を示します。

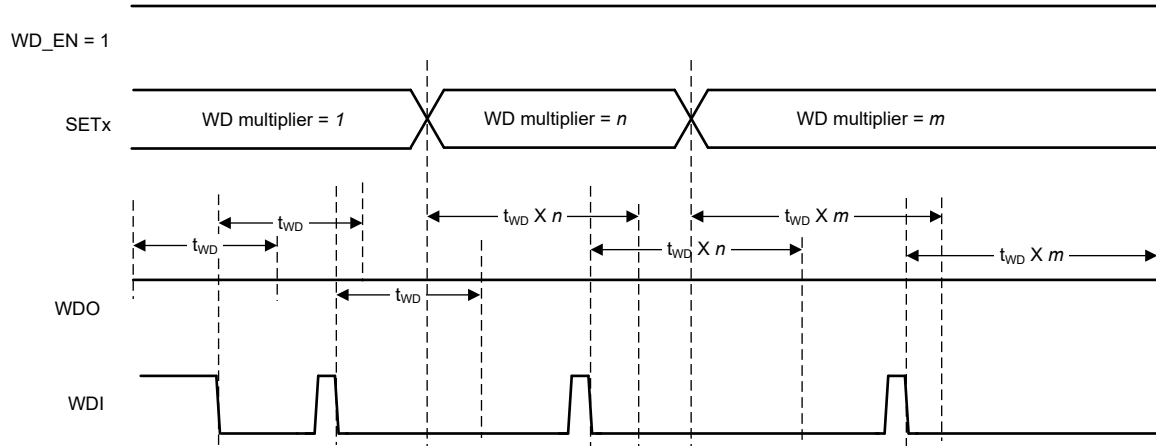
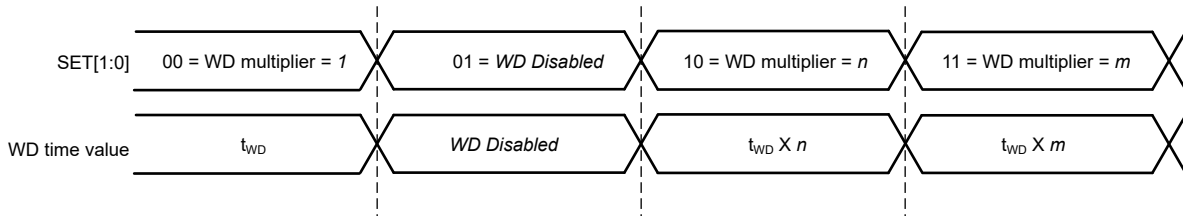
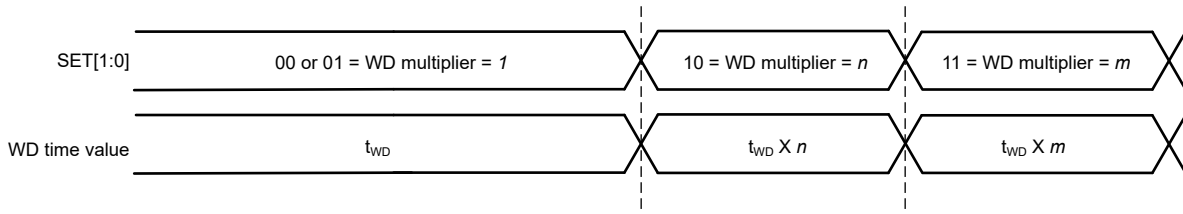


図 7-9. SETx ピンのステータスによるウォッチドッグ動作

SET Pin (2 Pins) Operation; WD_EN Pin Not Available

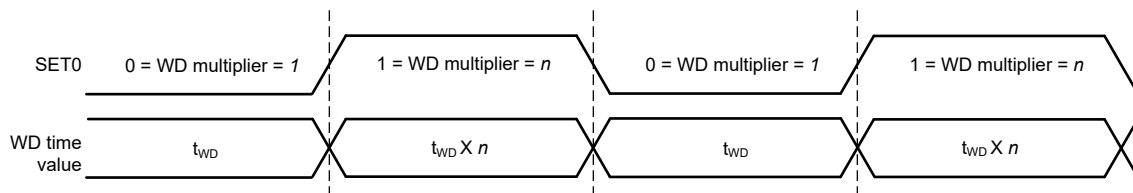


SET Pin (2 Pins) Operation; WD_EN Available = 1



t_{WD} = Fixed based on OPN or programmable using capacitor
 n, m = Fixed based on timeset multiplier chosen

図 7-10. 2 本の SET ピンによるウォッチドッグ動作



t_{WD} = Fixed based on OPN or programmable using capacitor
 n = Fixed based on timeset multiplier chosen

図 7-11. 1 本の SET ピンによるウォッチドッグ動作

7.3.2 手動リセット

TPS3435 では、 $\overline{\text{MR}}$ ピンを使用した手動リセット機能がサポートされています。 $\overline{\text{MR}}$ ピンを $0.3 \times V_{\text{DD}}$ より低い電圧で駆動すると、 $\overline{\text{WDO}}$ 出力がアサートされます。 $\overline{\text{MR}}$ ピンは $100\text{k}\Omega$ のプルアップ抵抗で V_{DD} に接続されています。 $\overline{\text{MR}}$ ピンはフローティングのままかまいません。内部プルアップにより、 $\overline{\text{MR}}$ ピンがトリガされたときに出力がアサートされないようになっています。

$\overline{\text{MR}}$ ピンの電圧が $0.7 \times V_{\text{DD}}$ 電圧を超えると、出力がデアサートされます。詳細については、[図 7-12](#) を参照してください。

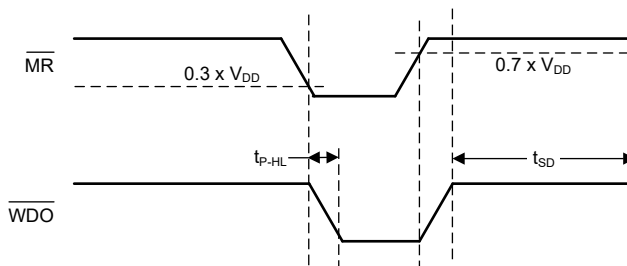


図 7-12. $\overline{\text{MR}}$ ピンの応答

7.3.3 WDO 出力

TPS3435 デバイスは、WDO 出力ピンを備えています。 $\overline{\text{MR}}$ ピンの電圧が $0.3 \times V_{\text{DD}}$ を下回るか、ウォッチドッグ タイマのエラーが検出されると、WDO 出力がアサートされます。

$\overline{\text{MR}}$ イベントを除く上記の関連イベントが検出されると、出力が t_{WDO} の間アサートされます。 t_{WDO} の時間は、CRST ピンと GND の間にコンデンサを接続することでプログラムできます。または、注文可能な部品番号で選択された期間 t_{WDO} がアサートされます。利用可能なオプションについては、セクション 4 セクションを参照してください。

式 2 に、コンデンサ値と t_{WDO} の期間との関係を示します。容量が推奨動作範囲を満たしていることを確認してください。容量が推奨範囲外の場合、デバイスの誤動作につながる可能性があります。

$$t_{\text{WDO}} (\text{sec}) = 4.95 \times 10^6 \times C_{\text{CRST}} (\text{F}) \quad (2)$$

TPS3435 には、ラッチ付き出力のオプションも備えています。ラッチ付き出力を備えた注文可能な部品番号では、デバイスの電源を切って再投入するか、エラー状態を解消するまで、出力がアサート状態に保持されます。 $\overline{\text{MR}}$ ピンの電圧が低くなったために出力がラッチされた場合、 $\overline{\text{MR}}$ ピンの電圧が $0.7 \times V_{\text{DD}}$ レベルを上回ると、出力ラッチが解除されます。ウォッチドッグ タイマのエラーが原因で出力がラッチされた場合、WDI で負のエッジが検出されたとき、またはデバイスがシャットダウンされて再度電源が投入されたときに、出力ラッチが解除されます。図 7-13 に、ラッチ付き出力構成でのデバイスのタイミング動作を示します。

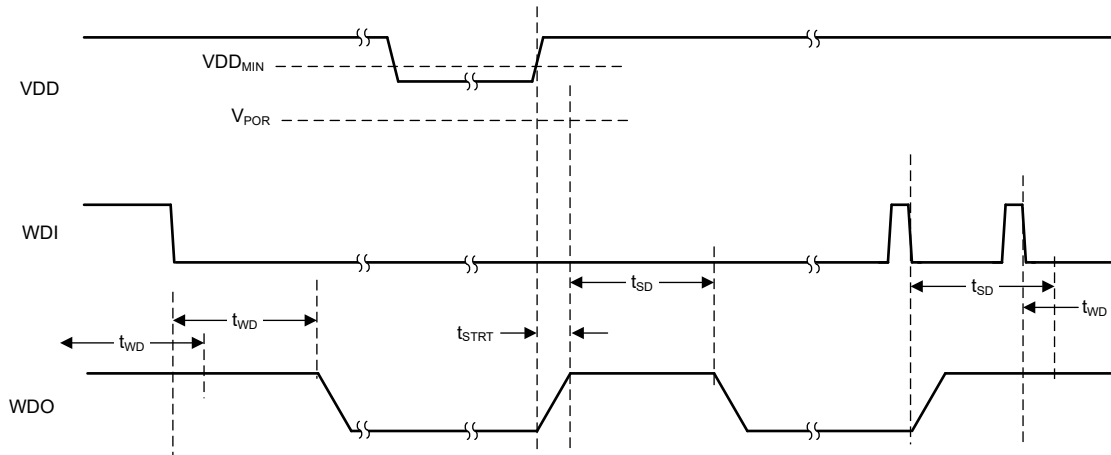


図 7-13. 出力ラッチのタイミング動作

7.4 デバイスの機能モード

表 7-3 に、TPS3435 の機能モードを示します。

表 7-3. デバイスの機能モード

VDD	ウォッチドッグ・ステータス	WDI	WDO
$V_{DD} < V_{POR}$	該当なし	—	未定義
$V_{POR} \leq V_{DD} < V_{DDmin}$	該当なし	無視	High
$V_{DD} \geq V_{DDmin}$	無効化	無視	High
	イネーブル	$t_{pulse}^1 < t_{WD(min)}$	High
	イネーブル	$t_{pulse}^1 > t_{WD(max)}$	Low

(1) t_{pulse} は WDI の立ち下がりエッジ間の時間です。

8 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

以下のセクションでは、最終アプリケーションの要件に応じた適切なデバイス実装について詳しく説明します。

8.1.1 出力アサート遅延

TPS3435 には、出力アサート遅延 (t_{WDO}) を設定するのに、固定タイミングを使用する方法と、外付けコンデンサを使用してタイミングをプログラミングする方法の 2 つのオプションがあります。

8.1.1.1 出荷時にプログラムされた出力アサート遅延タイミング

固定出力アサート遅延タイミングは、ピン配置 C および J で使用できます。これらのタイミングを使用すると、高精度で 10% 精度の出力アサート遅延タイミングを実現できます。

8.1.1.2 調整可能なキャパシタ タイミング

TPS3435 は、プログラマブル出力アサート遅延も利用し、高精度の電流源を使用して、デバイスのスタートアップ時に外部コンデンサを充電します。CRST ピンの外部容量により発生する遅延時間の代表値は、式 3 で計算できます。ここで、 t_{WDO} は出力アサート遅延時間 (秒)、 C_{CRST} は容量 (マイクロファラッド) です。

$$t_{WDO} \text{ (sec)} = 4.95 \times 10^6 \times C_{CRST} \text{ (F)} \quad (3)$$

計算された出力アサート遅延時間と実際の出力アサート遅延時間との差を最小限に抑えるため、高品質のセラミック誘電 COG、X5R、または X7R コンデンサを使用して、このピン周辺の寄生基板容量が最小になるようにしてください。表 8-1 に、理想的なコンデンサ値に対する出力アサート遅延時間を示します。

表 8-1. 一般的な理想コンデンサ値における出力アサート遅延時間

C_{CRST}	出力アサート 遅延時間 (t_{WDO})			単位
	最小値 ⁽¹⁾	標準値	最大値 ⁽¹⁾	
10nF	39.6	49.5	59.4	ms
100nF	396	495	594	ms
1 μ F	3960	4950	5940	ms

(1) 最小値と最大値は、理想的なコンデンサを使用して計算されています。

8.1.2 ウォッチドッグ・タイマの機能

TPS3435 には、ウォッチドッグ・タイマ (t_{WD}) を設定するのに、固定タイミングを使用する方法と、外付けコンデンサを使用してタイミングをプログラミングする方法の 2 つのオプションがあります。

8.1.2.1 出荷時にプログラムされたタイミング・オプション

固定ウォッチドッグ・タイムアウト・オプションは、ピン配置 C および J で使用できます。これらのタイミングを使用すると、高精度で 10% 精度のウォッチドッグ・タイマ t_{WD} を実現できます。

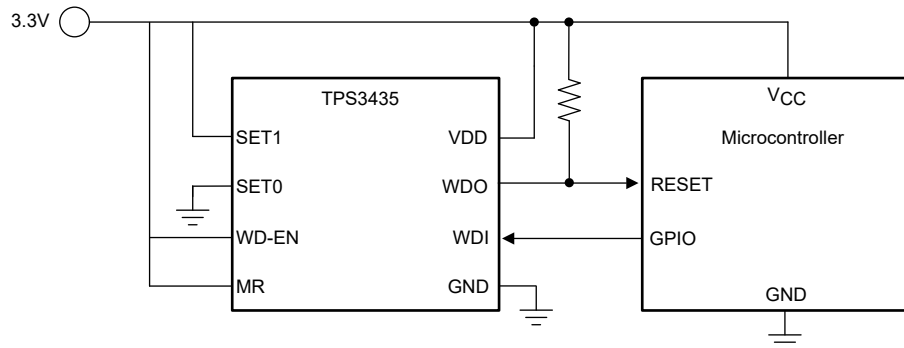
8.1.2.2 コンデンサのタイミングを調整可能

コンデンサを CWD ピンに接続すると、 t_{WD} のタイミングを調整できます。この方法を使用する場合は、理想的なコンデンサを使用した t_{WD} の代表値を計算する方法について、式 1 を参照してください。コンデンサの許容誤差により、デバイスの実際のタイミングにおいて t_{WD} の最小値が減少し、 t_{WD} の最大値が増加することがあります。タイミングを正確なものにするため、COG 誘電体で製造されたセラミック・コンデンサを使用してください。

8.2 代表的なアプリケーション

8.2.1 設計 1：タイムアウトのための標準マイクロコントローラの監視

このサンプル アプリケーションは、TPS3435CDDBBDDFR を使用してマイクロコントローラを監視し、動作中に停止していないことを確認します。



Copyright © 2022, Texas Instruments Incorporated

図 8-1. マイクロコントローラ ウォッチドッグ監視回路

8.2.1.1 設計要件

パラメータ	設計要件	設計結果
ウォッチドッグのタイムアウト期間	タイムアウト期間の代表値 40ms	タイムアウト期間の代表値 40ms
ウォッチドッグ出力アサート遅延	出力アサートの代表値 2ms	出力アサートの代表値 2ms
スタートアップ遅延	最小スタートアップ遅延 700ms	最小スタートアップ遅延 900ms
出力ロジック電圧	オープンドレイン	オープンドレイン
最大デバイス消費電流	20 μ A	250nA (標準値)、3.0 μ A (最大値) ⁽¹⁾

(1) TPS3435 の消費電流のみが含まれます。

8.2.1.2 詳細な設計手順

8.2.1.2.1 ウォッチドッグタイムアウト期間の設定

ウォッチドッグ タイムアウトの設計要件は、TPS3435 の固定タイムアウト バージョンを使用するか、CWD ピンと GND の間にコンデンサを接続することで満たすことができます。代表値は、事前にプログラムされた固定時間オプションで満たすことができるため、固定時間オプションのあるピン配置を選択します。固定タイムアウトのリストについては、「[セクション 6.7](#)」を参照してください。CWD 機能を使用する場合は、タイムアウト期間のプログラム方法について、[セクション 7.3.1.1](#) を参照してください。このアプリケーション例では、ウォッチドッグ時間 10ms (オプション D) とウォッチドッグ時間スケール 4 (オプション B) を使用して、タイムアウト ウォッチドッグ期間 40ms を実現しています。SET[1:0] = 0b'10 に接続して、ウォッチドッグ時間スケール 4 を選択します。

8.2.1.2.2 出力アサート遅延の設定

固定タイムアウトのリストについては、「[セクション 6.8](#)」を参照してください。代表的なタイムアウト 2ms の設計要件を満たすため、タイムアウト オプション B が選択されています。

8.2.1.2.3 スタートアップ遅延の設定

スタートアップ遅延が 1 秒のスタートアップ遅延オプション D を選択します。これは、最小仕様 700ms を考慮したものです。

8.2.1.2.4 WDO プルアップ抵抗の計算

図 8-2 に示すように、TPS3435 は WDO 出力にオープン ドレイン構成を使用します。FET がオフになると、抵抗によってトランジスタのドレインが VDD にプルアップされ、FET がオンになると、出力がグランドにプルダウンされて、実質的に分圧抵抗を形成します。この分圧器の抵抗は、 V_{OL} が最大値未満になるよう選択する必要があります。適切なプルアップ抵抗を選択するには、プルアップ電圧 (V_{PU})、WDO ピンに推奨される最大電流 (I_{Sink})、 V_{OL} の 3 つの仕様を考慮する必要があります。最大 V_{OL} は 0.3V です。これは、作成する実効分圧抵抗によって RESET ピンの電圧を 0.3V 未満にできるようにし、 I_{Sink} を $V_{DD} \geq 3V$ の場合は 2mA 未満、 $V_{DD} = 1.5V$ の場合は 500 μ A に維持する必要があることを意味します。この例では、 $V_{PU} = V_{DD} = 1.5V$ の場合、 I_{RSink} を許容される最大消費電流である 500 μ A 未満に維持するように抵抗を選択する必要があります。この仕様を確実に満たすため、WDO がアサートされたときに最大 150 μ A をシンクする 10k Ω のプルアップ抵抗値が選択されています。

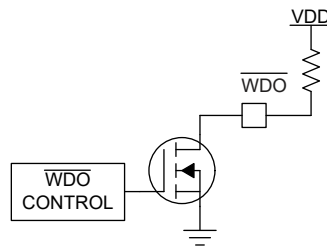


図 8-2. オープン ドレイン WDO の構成

8.2.1.3 アプリケーション曲線

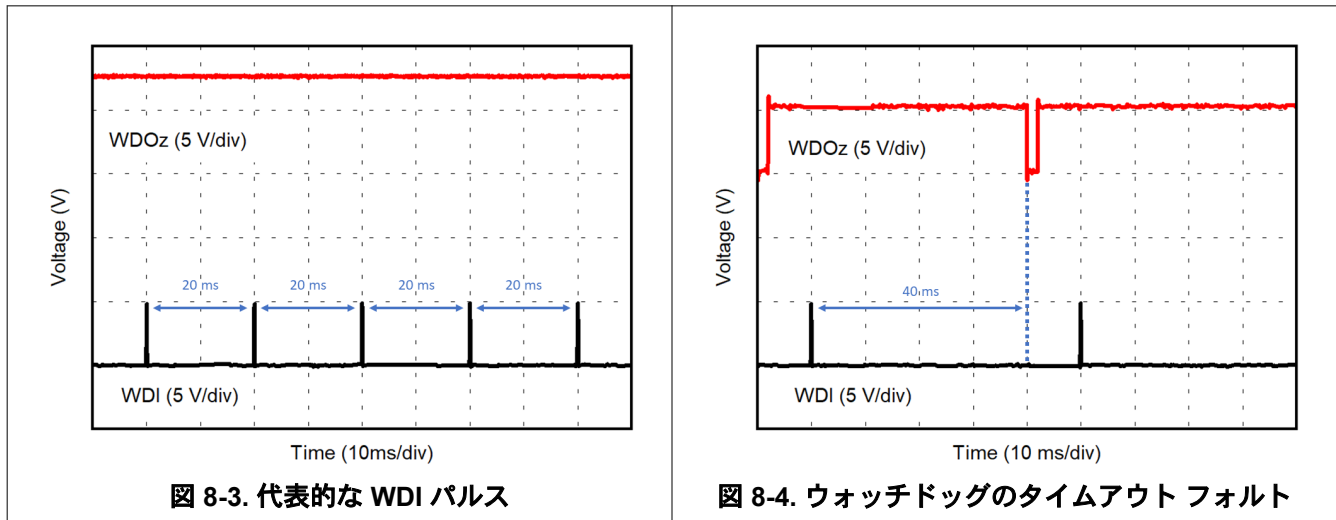


図 8-3. 代表的な WDI パルス

図 8-4. ウォッチドッグのタイムアウト フォルト

8.3 電源に関する推奨事項

このデバイスは、1.04V~6V の入力電源電圧範囲で動作するように設計されています。このデバイスには入力電源コンデンサは必要ありませんが、入力電源にノイズが多い場合は、VDD ピンと GND ピンの間に 0.1 μ F コンデンサを配置するのがアナログ手法として適切です。

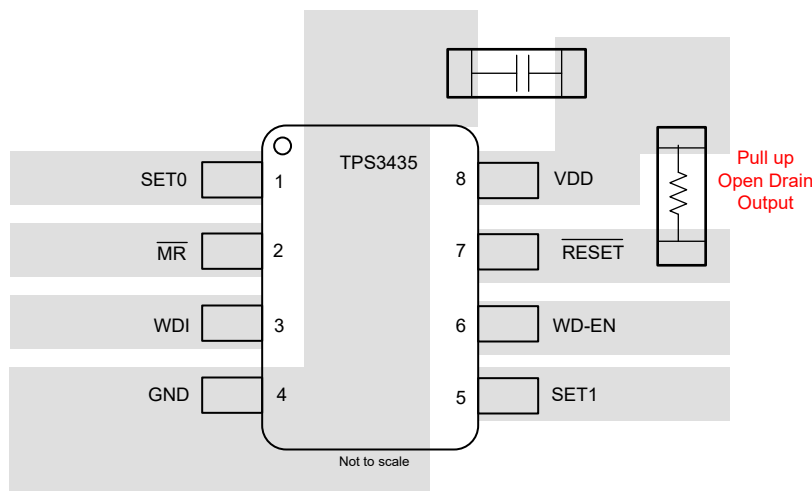
8.4 レイアウト

8.4.1 レイアウトのガイドライン

VDD ピンへの接続が低インピーダンスであることを確認します。適切なアナログ設計手法では、 $0.1\mu\text{F}$ のセラミックコンデンサを VDD ピンのできるだけ近くに配置することが推奨されます。CRST ピンにコンデンサが接続されていない場合、このピンの寄生容量を最小限に抑え、WDO 遅延時間に悪影響を与えないようにします。

- VDD ピンへの接続が低インピーダンスであることを確認します。適切なアナログ設計手法では、 $0.1\mu\text{F}$ のセラミックコンデンサを VDD ピンのできるだけ近くに配置することが推奨されます。
- C_{CRST} コンデンサを CRST ピンのできるだけ近くに配置します。
- C_{CWD} コンデンサを CWD ピンのできるだけ近くに配置します。
- プルアップ抵抗は、WDO ピンのできるだけ近くに配置します。

8.4.2 レイアウト例



Copyright © 2023, Texas Instruments Incorporated

図 8-5. 以下のデバイスのピン配置 C の代表的なレイアウト：TPS3435

9 デバイスおよびドキュメントのサポート

9.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

9.3 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

9.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.5 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (December 2022) to Revision A (August 2024)	Page
• 入手可能なデバイス部品の表を追加.....	3
• DSE パッケージの「熱に関する情報」の表を追加.....	8
• t _{SD} 終了条件を追加.....	18

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスについて利用可能な最新のデータです。このデータは予告なく変更されることがあり、ドキュメントが改訂される場合もあります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
TPS3435CAEBJDDFR	ACTIVE	SOT-23-THIN	DDF	8	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	NLHOS	Samples
TPS3435CAIEGDDFR	ACTIVE	SOT-23-THIN	DDF	8	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM		NLHOG	Samples
TPS3435CAKAGDDFR	ACTIVE	SOT-23-THIN	DDF	8	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	NLHOA	Samples
TPS3435CCGAJDDFR	ACTIVE	SOT-23-THIN	DDF	8	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	NLHOK	Samples
TPS3435CGLEFDDFR	ACTIVE	SOT-23-THIN	DDF	8	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	NLHOR	Samples
TPS3435JFMAFDSER	ACTIVE	WSON	DSE	6	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	P4	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

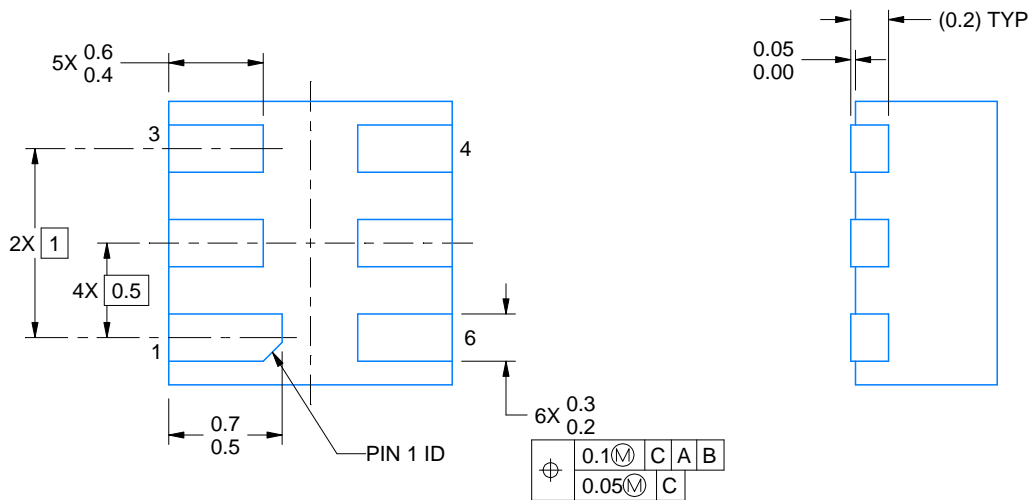
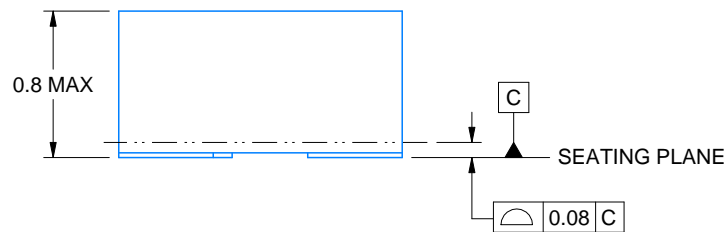
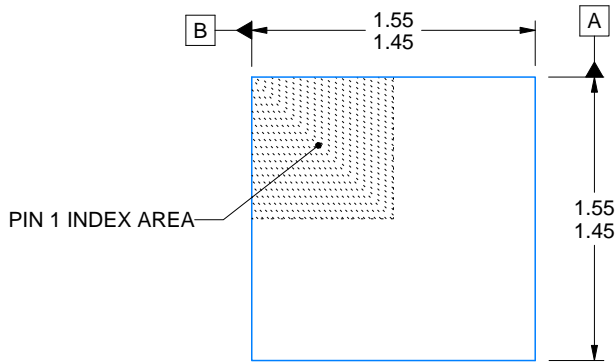
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TPS3435 :

- Automotive : [TPS3435-Q1](#)

NOTE: Qualified Version Definitions:

- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects



4220552/B 01/2024

NOTES:

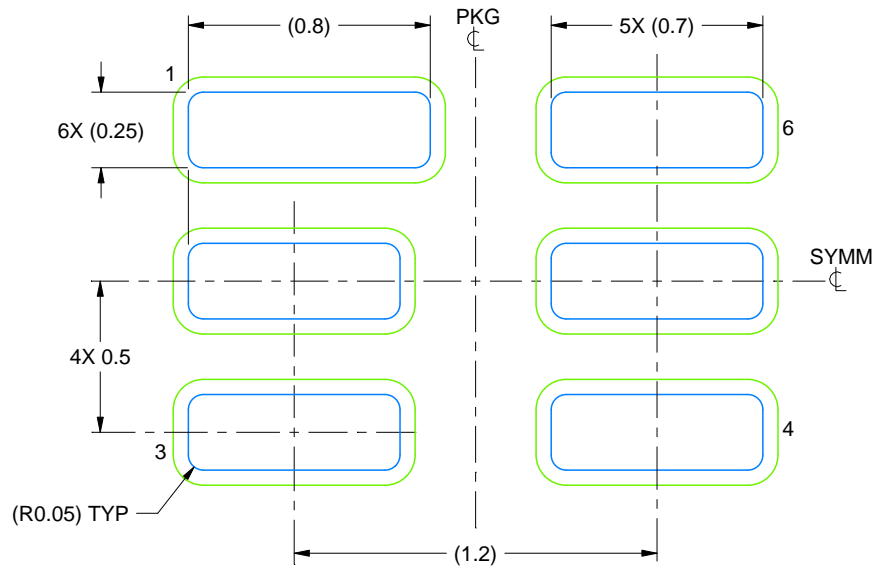
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

EXAMPLE BOARD LAYOUT

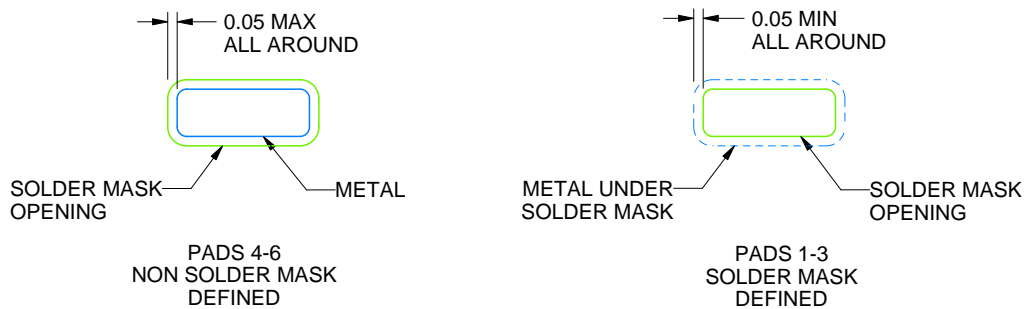
DSE0006A

WSON - 0.8 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



LAND PATTERN EXAMPLE
SCALE:40X



SOLDER MASK DETAILS

4220552/B 01/2024

NOTES: (continued)

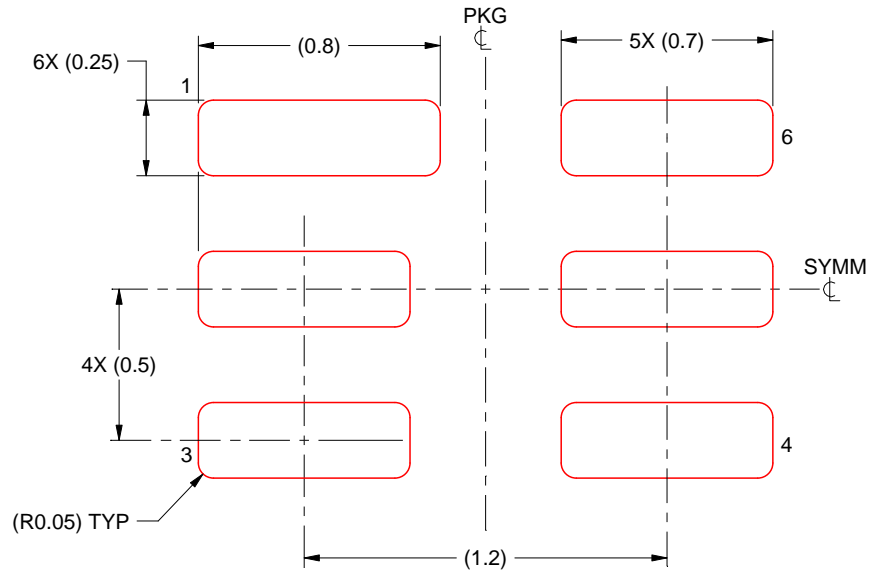
3. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).

EXAMPLE STENCIL DESIGN

DSE0006A

WSON - 0.8 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:40X

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

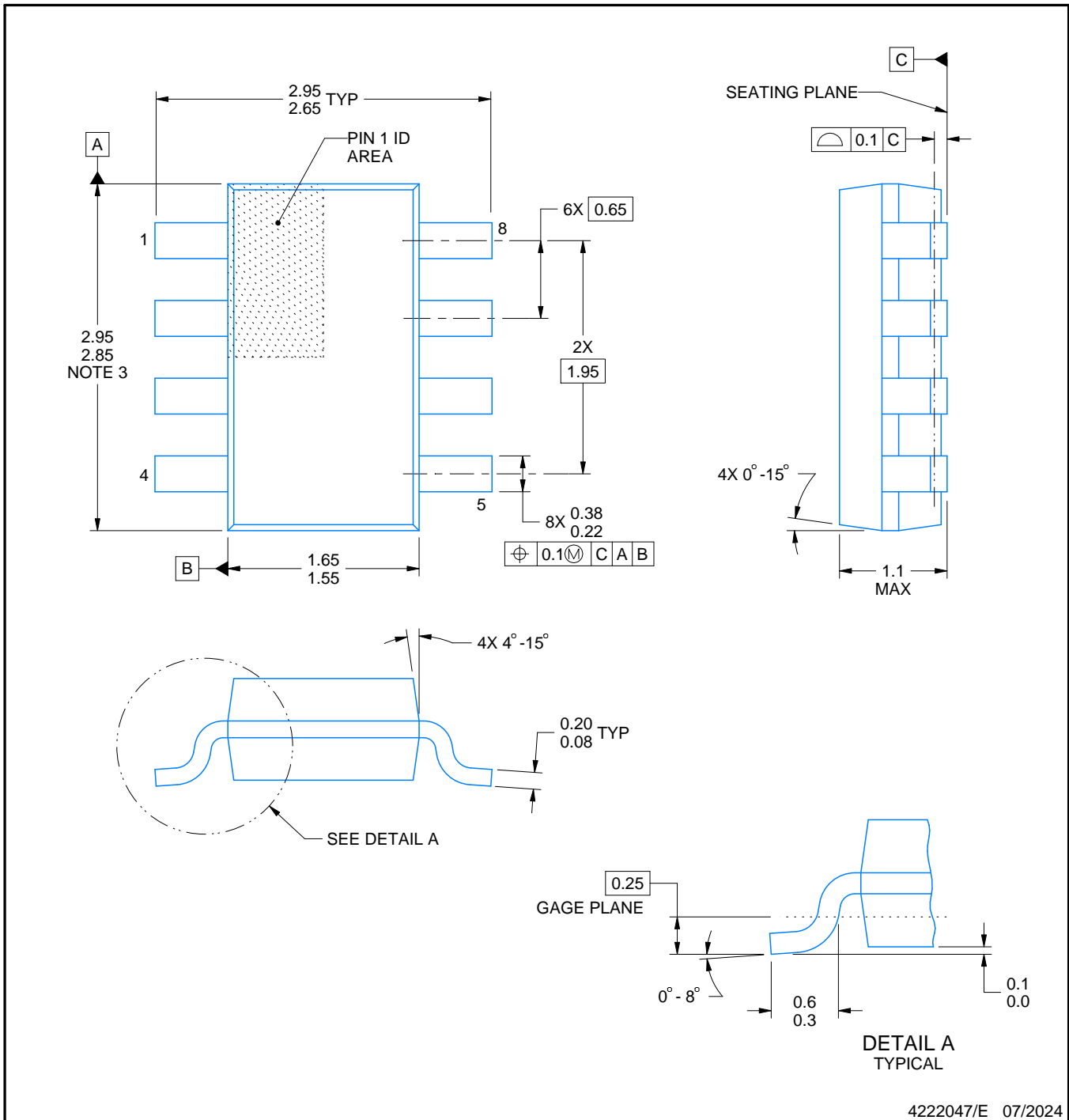
DDF0008A



PACKAGE OUTLINE

SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE



4222047/E 07/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.

EXAMPLE BOARD LAYOUT

DDF0008A

SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4222047/E 07/2024

NOTES: (continued)

- 4. Publication IPC-7351 may have alternate designs.
- 5. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DDF0008A

SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4222047/E 07/2024

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
7. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適したテキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されているテキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかるテキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated