

低静止時自己消費電流 プログラマブル遅延 電圧監視回路

特長

- 遅延時間を設定可能なリセット遅延タイマー：
コンデンサ (CT) を使用して1.25msから10秒の可変または300ms/20msの固定をプルアップ/オープンで選択可能
- 超低静止時自己消費電流：2.4μA (標準)
- 高いスレッシュホールド電圧精度：0.5% (標準)
- 0.9Vから5Vの範囲の標準電圧用の固定電圧製品と検出電圧0.4Vの可変電圧設定製品をラインアップ
- マニュアル・リセット (MR) 入力
- オープン・ドレインのRESET出力
- 動作温度範囲：-40°C ~ +125°C
- 小型SOT23パッケージと2mm × 2mmのQFNパッケージ

アプリケーション

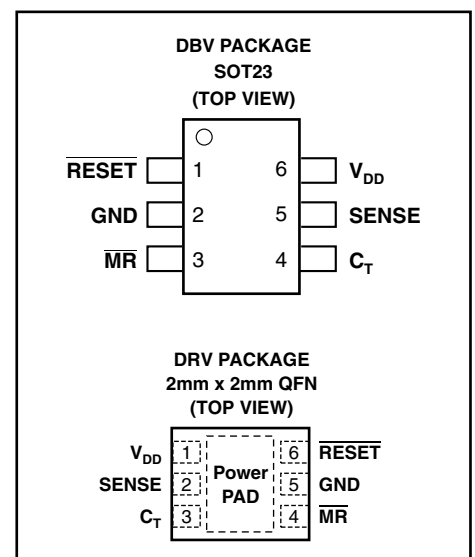
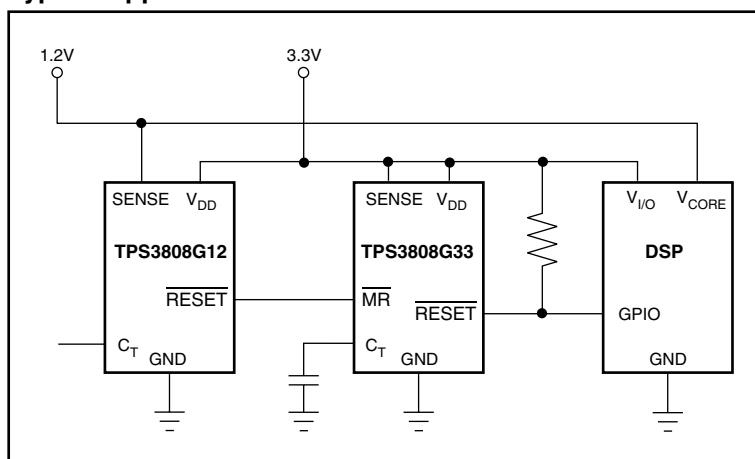
- DSPまたはマイクロコントローラ・アプリケーション
- ノートブック/デスクトップ・コンピュータ
- PDA/携帯型製品
- ポータブル/バッテリー駆動機器
- FPGA/ASICアプリケーション

概要

TPS3818xxxファミリーはマイクロプロセッサ用電圧監視ICで0.4Vから5.0Vまでのシステムの電圧を監視し、SENSE電圧が設定スレッシュホールドより下がるか、またはマニュアル・リセット (MR) ピンがロジック“L”レベルに低下した時、オープン・ドレイン出力のRESET信号をアクティブ状態にします。RESET出力はSENSE電圧とマニュアル・リセット (MR) がそれぞれのスレッシュホールド電圧より上に戻った後もユーザが設定可能な遅延時間の間“L”レベルを維持します。

TPS3818は高精度な基準電圧を用いているためV_{IT}が3.3V以下では0.5%のスレッシュホールド電圧精度を実現しています。リセットの遅延時間はC_Tピンを接続しない場合20ms、C_Tピンを抵抗でV_{DD}にプルアップした場合300ms、もしくはC_Tピンにコンデンサを外付けすると容量により1.25msから10秒の間に設定することができます。外部コンデンサを使用する時、TPS3818は類似のTPS3808製品より遅延時間が高精度となります。TPS3818の静止時自己消費電流は2.4μA (標準) と極めて低いため、電池駆動のアプリケーションに適しています。パッケージは小型のSOT23と、超小型で2mm × 2mmのQFN PowerPAD™で、動作温度範囲 (T_J) は-40°C ~ +125°Cです。

Typical Application Circuit



PowerPADは、テキサス・インスツルメンツの登録商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本TI) が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。



SBVS106A 翻訳版

最新の英語版資料
<http://focus.ti.com/lit/ds/symlink/tps3818>



静電気放電対策

これらのデバイスは、限定的なESD (静電破壊) 保護機能を内蔵しています。保存時または取り扱い時に、MOSゲートに対する静電破壊を防止するために、リード線どうしを短絡しておくか、デバイスを導電性のフォームに入れる必要があります。

製品情報 (1)

PRODUCT	NOMINAL SUPPLY VOLTAGE ⁽²⁾	THRESHOLD VOLTAGE (V_{IT})
TPS3818G01	Adjustable	0.405V
TPS3818G09	0.9V	0.84V
TPS3818G12	1.2V	1.12V
TPS3818G125	1.25V	1.16V
TPS3818G15	1.5V	1.40V
TPS3818G18	1.8V	1.67V
TPS3818G25	2.5V	2.33V
TPS3818G30	3.0V	2.79V
TPS3818G33	3.3V	3.07V
TPS3818G50	5.0V	4.65V

(1) 最新のパッケージ及び発注情報については、このデータシートの終わりの添付パッケージ・オプションまたは、TIホームページwww.ti.comを参照してください。

(2) 0.82Vから3.3V、4.4Vから5.0Vのカスタム仕様のスレッシュホールド電圧は工場ではEEPROMをプログラムすることで可能になります。最低注文数量があります。詳細及び可用性についてはお問い合わせください。

絶対最大定格 (1)

Over operating junction temperature range, 特に記述のない限り

	TPS3818	単位
Input voltage range, V_{DD}	-0.3 ~ 7.0	V
C_T voltage range, V_{CT}	-0.3 ~ $V_{DD} + 0.3$	V
Other voltage ranges: V_{RESET} , V_{MR} , V_{SENSE}	-0.3 ~ 7	V
\overline{RESET} pin current	5	mA
Operating junction temperature range, T_J ⁽²⁾	-40 ~ +150	°C
Storage temperature range, T_{STG}	-65 ~ +150	°C
ESD rating, HBM	2	kV
ESD rating, CDM	500	V

(1) 絶対最大定格以上のストレスは、製品に恒久的・致命的なダメージを製品に与えることがあります。これはストレスの定格のみについて示しており、このデータシートの「電気的特性」に示された値を越える状態での本製品の機能動作を意味するものではありません。

絶対最大定格の状態に長時間置くことは、本製品の信頼性に影響を与えることがあります。

(2) このデバイスは低消費電力であるため $T_J = T_A$ であると見なされます。

電気的特性

1.7V ≤ V_{DD}, R_{LRSET} = 100kΩ, C_{LRSET} = 50pF, over operating temperature range (T_J = -40°C to +125°C), (特に記述のない限り)。標準値はT_J = +25°Cでの値です。

パラメータ		テスト条件	MIN	TYP	MAX	単位	
V _{DD}	Input supply range	-40°C < T _J < +125°C	1.7		6.5	V	
		0°C < T _J < +85°C	1.65		6.5		
I _{DD}	Supply current (current into V _{DD} pin)	V _{DD} = 3.3V, $\overline{\text{RESET}}$ not asserted MR, $\overline{\text{RESET}}$, C _T open		2.4	5.0	μA	
		V _{DD} = 6.5V, $\overline{\text{RESET}}$ not asserted MR, $\overline{\text{RESET}}$, C _T open		2.7	6.0	μA	
V _{OL}	Low-level output voltage	1.3V ≤ V _{DD} < 1.8V, I _{OL} = 0.4mA			0.3	V	
		1.8V ≤ V _{DD} ≤ 6.5V, I _{OL} = 1.0mA			0.4	V	
	Power-up reset voltage ⁽¹⁾	V _{OL} (max) = 0.2V, I _{RESET} = 15μA			0.8	V	
V _{IT}	Negative-going input threshold accuracy	TPS3818G01		-2.0	±1.0	+2.0	%
		V _{IT} ≤ 3.3V		-1.5	±0.5	+1.5	
		3.3V < V _{IT} ≤ 5.0V		-2.0	±1.0	+2.0	
		V _{IT} ≤ 3.3V	-40°C < T _J < +85°C	-1.25	±0.5	+1.25	
V _{HYS}	Hysteresis on V _{IT} pin	TPS3818G01			1.5	3.0	%V _{IT}
		Fixed versions	-40°C < T _J < +85°C		1.0	2.0	
					1.0	2.5	
R _{MR}	$\overline{\text{MR}}$ Internal pull-up resistance		70	90		kΩ	
I _{SENSE}	Input current at SENSE pin	TPS3818G01	V _{SENSE} = V _{IT}			25	nA
		Fixed versions	V _{SENSE} = 6.5V		1.7		μA
I _{OH}	$\overline{\text{RESET}}$ leakage current	V _{RESET} = 6.5V, $\overline{\text{RESET}}$ not asserted				300	nA
C _{IN}	Input capacitance, any pin	C _T pin	V _{IN} = 0V to V _{DD}		5		pF
		Other pins	V _{IN} = 0V to 6.5V		5		
V _{IL}	$\overline{\text{MR}}$ logic low input		0		0.3 V _{DD}	V	
V _{IH}	$\overline{\text{MR}}$ logic high input		0.7 V _{DD}		V _{DD}		
t _w	Input pulse width to $\overline{\text{RESET}}$	SENSE	V _{IH} = 1.05V _{IT} , V _{IL} = 0.95V _{IT}		20		μs
		$\overline{\text{MR}}$	V _{IH} = 0.7V _{DD} , V _{IL} = 0.3V _{DD}		0.001		
t _d	$\overline{\text{RESET}}$ delay time ⁽²⁾	C _T = Open	See Timing Diagram	12	20	28	ms
		C _T = V _{DD}		180	300	420	ms
V _{CT}	CT pin ($\overline{\text{RESET}}$ delay time) comparator threshold ⁽³⁾		1.211	1.23	1.249	V	
I _{CT}	CT pin ($\overline{\text{RESET}}$ delay time) charging current ⁽³⁾	R _{CT} = 2MΩ (resistor between C _T and GND)	190	220	250	nA	
t _{pHL}	Propagation delay	$\overline{\text{MR}}$ to $\overline{\text{RESET}}$	V _{IH} = 0.7V _{DD} , V _{IL} = 0.3V _{DD}		150		ns
	High to low level $\overline{\text{RESET}}$ delay	SENSE to $\overline{\text{RESET}}$	V _{IH} = 1.05V _{IT} , V _{IL} = 0.95V _{IT}		20		μs
θ _{JA}	Thermal resistance, junction-to-ambient			290			°C/W

(1) The lowest supply voltage (V_{DD}) at which $\overline{\text{RESET}}$ becomes active. T_{rise(VDD)} ≥ 15μs/V.

(2) The delay time accuracy without external capacitor is the same as that of the TPS3808xxx. This specification is included here for TPS3808xxx device comparison.

(3) The combined $\overline{\text{RESET}}$ delay time accuracy from V_{CT} and I_{CT} is ±15%.

ブロック図

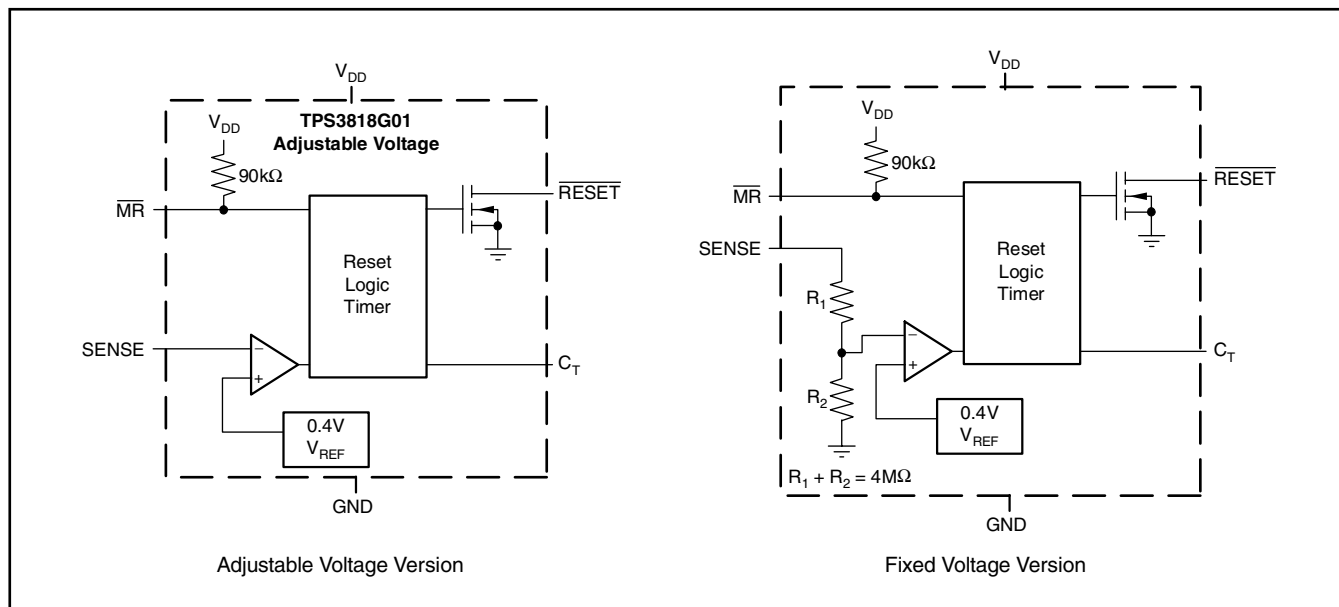
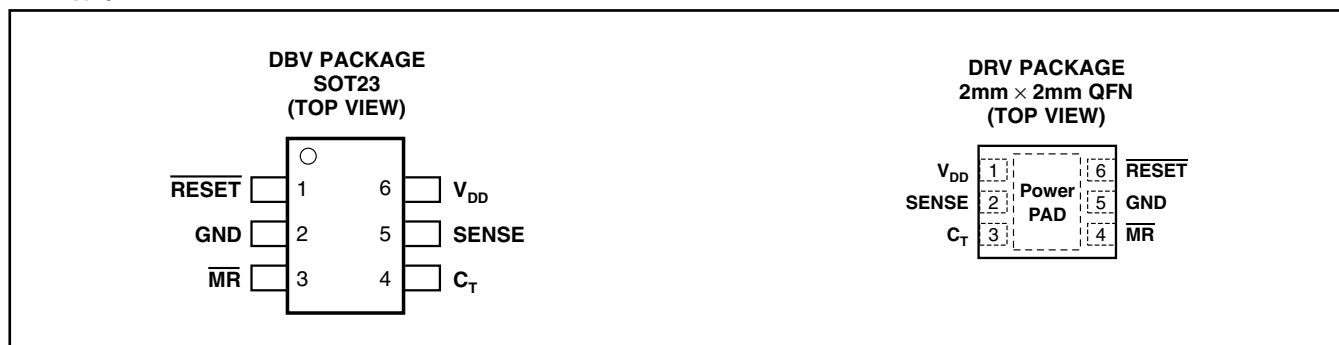


図 1. Adjustable and Fixed Voltage Versions

ピン配置



ピン構成

TERMINAL		説明
NAME	SOT23 (DBV) PIN NO.	
RESET	1	RESETはオープン・ドレイン出力で、RESETがアクティブ状態になった時 (SENSE入力がスレッショルド電圧 (V_{IT}) より低いか、またはMRピンがロジック “L” レベルにセットされた場合) 低インピーダンス状態になります。RESETはSENSEが V_{IT} より高くなり、かつMRがロジック “H” レベルにセットされた後もリセット時間の間 “L” レベル (アクティブ状態) を保持します。このピンには10kΩから1MΩのプルアップ抵抗を使用する必要があります。リセット・ピンの電圧は V_{DD} より高い電圧を印加することができます。
GND	2	グラウンド
MR	3	マニュアル・リセット・ピン (MR) を “L” レベルにするとRESETがアクティブ状態になります。MRは90kΩのプルアップ抵抗でVDDに内部接続されています。
CT	4	リセット遅延時間を設定するピンです。このピンを40kΩから200kΩの抵抗を介してVDDに接続するか、またはオープン状態にしておくと、遅延時間は固定になります (電気的特性を参照)。このピンとグラウンド間に100pF以上のコンデンサに接続すると遅延時間はユーザーが自由に設定できるようになります。詳細情報についてはリセット遅延時間の選択の項を参照してください。
SENSE	5	このピンは監視される電圧に接続されます。この端子の電圧がスレッショルド電圧 V_{IT} より低くなるとRESETはアクティブ状態になります。
VDD	6	電源電圧です。アナログ設計を適切に行うにはこのピンの近くに0.1μFのセラミック・コンデンサを配置します。
PowerPAD		PowerPAD。パッケージの熱性能を向上させるためグラウンド・プレーンに接続します。

表 1. TERMINAL FUNCTIONS

タイミング図

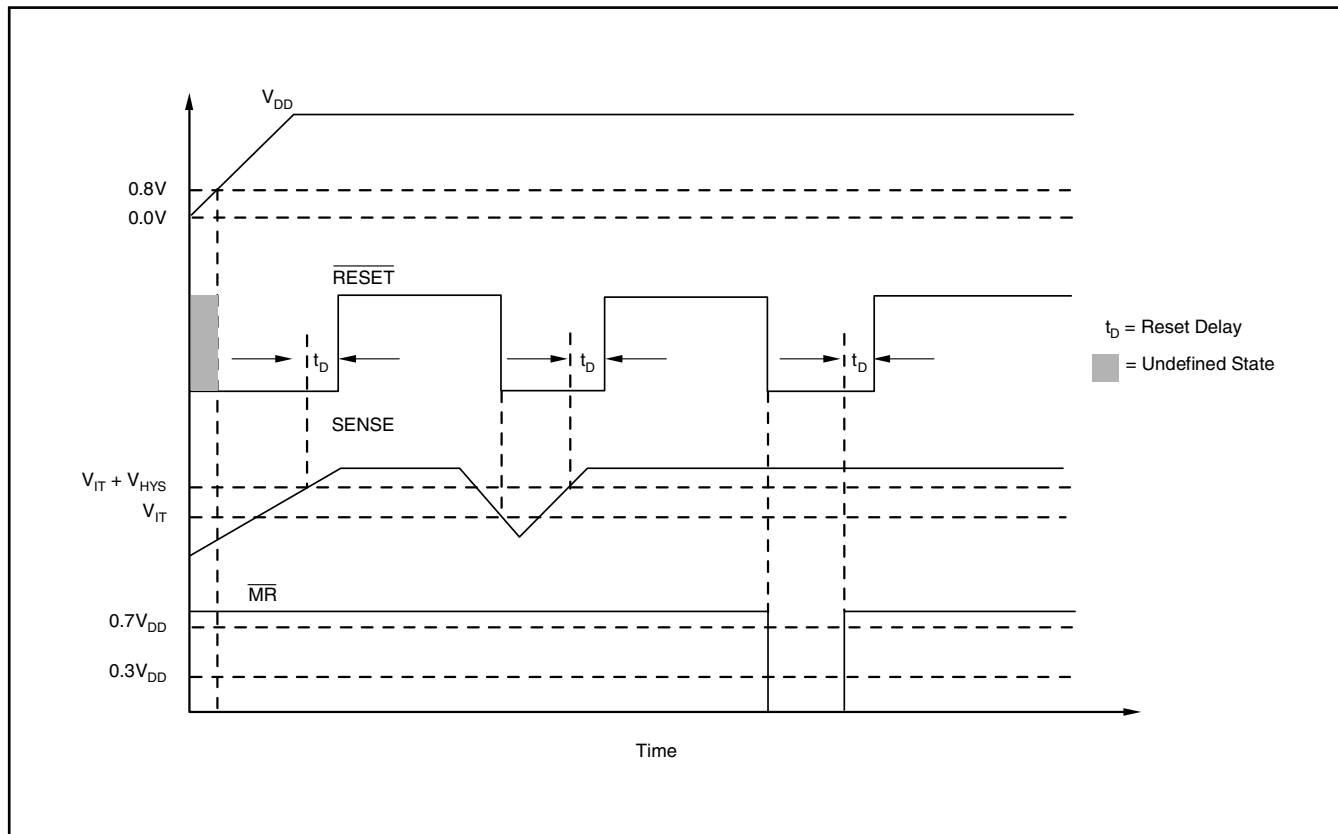


図 2. TPS3818 Timing Diagram Showing MR and SENSE Reset Timing

TRUTH TABLE

MR	SENSE > V _{IT}	RESET
L	0	L
L	1	L
H	0	L
H	1	H

代表的特性

$T_J = +25^\circ\text{C}$, $V_{DD} = 3.3\text{V}$, $R_{LRESET} = 100\text{k}\Omega$, and $C_{LRESET} = 50\text{pF}$, 特に記述のない限り。

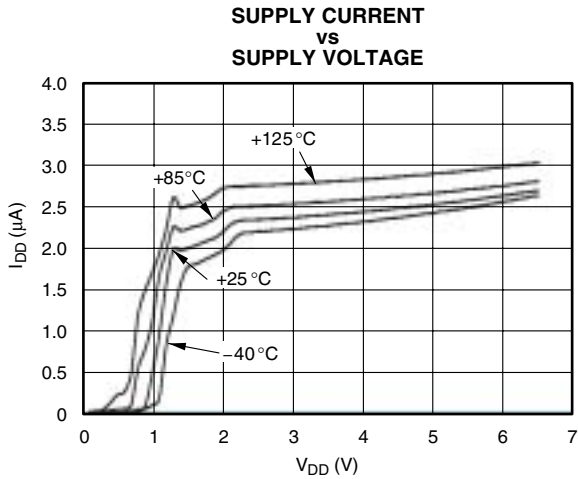


図 3

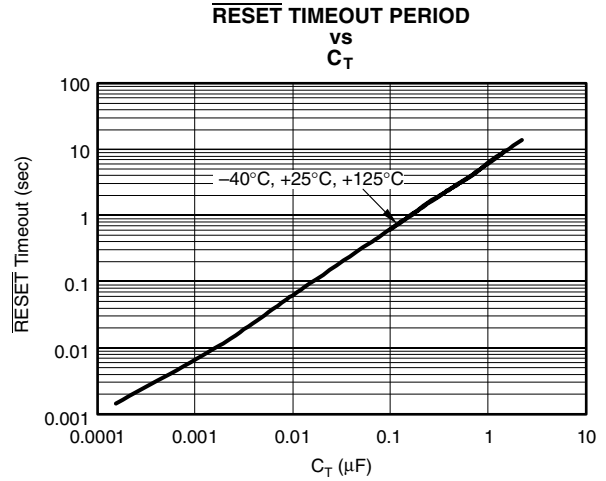


図 4

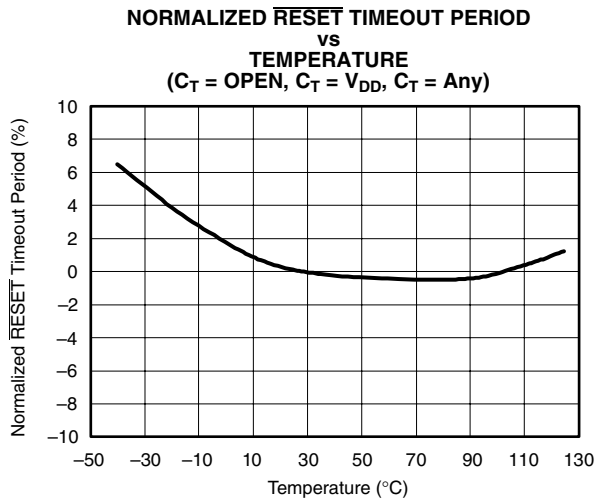


図 5

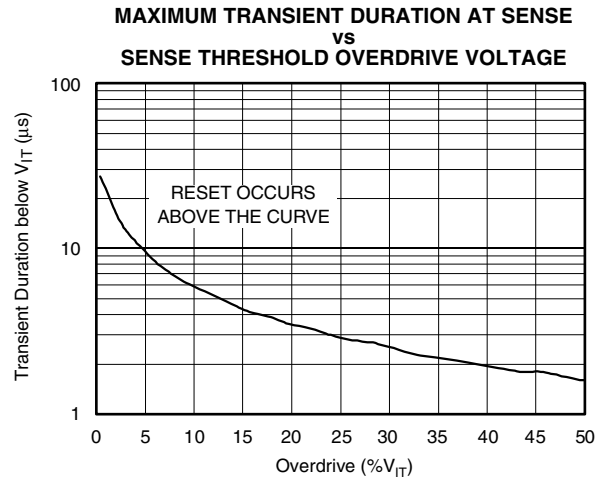


図 6

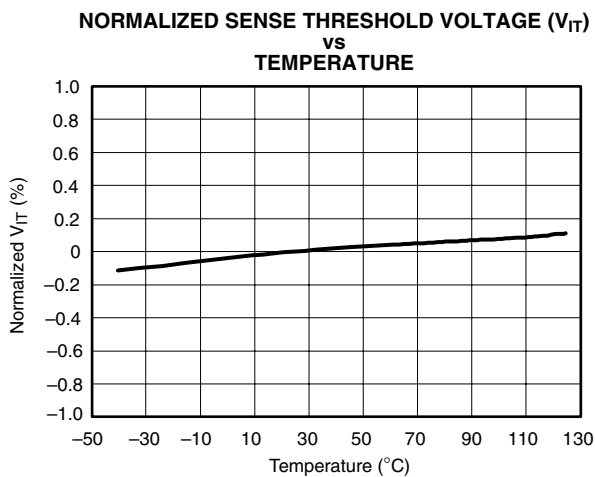


図 7

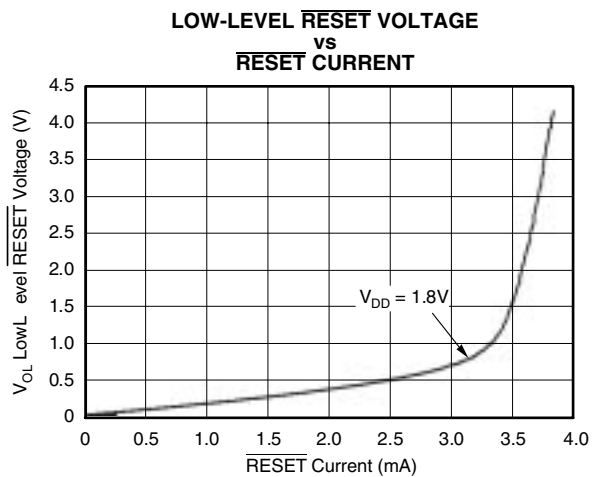


図 8

代表的特性

$T_J = +25^\circ\text{C}$, $V_{DD} = 3.3\text{V}$, $R_{LRESET} = 100\text{k}\Omega$, and $C_{LRESET} = 50\text{pF}$, 特に記述のない限り。

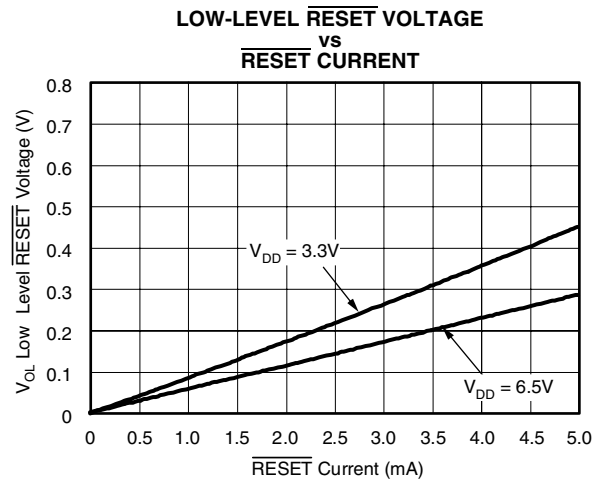


図 9

デバイスの動作

TPS3818マイクロプロセッサ電圧監視製品ファミリーは、SENSEピンの電圧が V_{IT} より下がるか、またはマニュアル・リセット (\overline{MR}) が“L”レベルになった時、 \overline{RESET} 信号をアクティブ状態にするよう設計されています。 \overline{RESET} 出力はマニュアル・リセット (\overline{MR}) の電圧とSENSE電圧の両方ともそれぞれのスレッシュホールドより上に戻った後もユーザが設定可能な時間の間アクティブ状態のままです。スレッシュホールド電圧とリセット遅延時間を広範囲に調整できるため、このデバイスは多様なアプリケーションに使用することができます。固定電圧製品のリセットのスレッシュホールド電圧は工場での出荷時設定により0.82Vから3.3V、または4.4Vから5.0Vに設定することができます。可変電圧製品であるTPS3818G01は外付けの抵抗デバイダを用いて0.405Vより高い電圧に設定することができます。また、2つのプリセット遅延時間がユーザで選択可能です。 C_T ピンを V_{DD} に接続するとリセット遅延時間は300ms、 C_T ピンをオープン状態にしておくとリセット遅延時間は20msになります。さらに、 C_T とGND間にコンデンサを接続するとリセット遅延時間を1.25msから10秒の間の任意の値に設定することができます。

リセット出力

TPS3818G25の代表的なアプリケーションとしてOMAP1510プロセッサとともに用いられる例を図10に示します。オープン・ドレイン出力の \overline{RESET} は一般的にマイクロプロセッサのRESET入力に接続されます。 \overline{RESET} がアクティブ状態でない時このラインを“H”レベルに保持するようプルアップ抵抗を使用しなければなりません。 \overline{RESET} 出力は電源電圧が0.8Vより低い場合未定義となりますが、ほとんどのマイクロプロセッサはこの電圧より低いと動作しないため通常は問題とはなりません。 \overline{RESET} はSENSEがそのスレッシュホールド (V_{IT}) より高く、マニュアル・リセット (\overline{MR}) がロジック“H”レベルであれば“H”レベルを維持します (非アクティブ状態)。SENSEが V_{IT} より低くなるか、または \overline{MR} が“L”レベルになると、 \overline{RESET} はアクティブ状態になり、 \overline{RESET} ピンをGNDに対して低インピーダンスの状態にします。

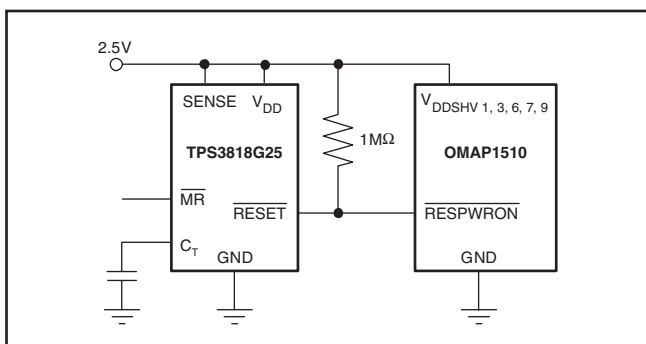


図 10. Typical Application of the TPS3818 with an OMAP Processor

\overline{MR} が再度ロジック“H”レベルになり、SENSEが $V_{IT} + V_{HYS}$ (スレッシュホールドのヒステリシス) より高くなると、遅延回路がイネーブルになり設定されたリセット遅延時間の間

\overline{RESET} を“L”レベルのまま保持します。リセット遅延時間が終了すると、 \overline{RESET} ピンはハイ・インピーダンス状態になります。マイクロプロセッサへのリセット信号の電圧が V_{DD} より高い場合でもオープン・ドレイン出力の \overline{RESET} から電源ライン (最大6.5V) へ抵抗でプルアップすることができます。このプルアップ抵抗は抵抗値が小さいとRESET回路のON抵抗が最大値の場合に“L”レベル範囲の電位が確保できなくなる場合があるので10kΩ以上の抵抗を使用する必要があります。

SENSE入力

SENSE端子には監視するシステムの電圧を接続します。このピンの電圧が V_{IT} より下がると、 \overline{RESET} はアクティブ状態になります。 \overline{RESET} のアクティブ状態/非アクティブ状態の遷移が確実かつ円滑に行われるようコンパレータにはヒステリシスが設定されています。寄生容量や寄生インダクタンスなどによって発生する過渡的な電圧振動による誤動作を緩和するためSENSE入力に1nFから10nFのバイパス・コンデンサを接続します。

TPS3818G01は図11に示されている回路を用いて0.405V以上の任意の電圧レールを監視するのに使用することができます。

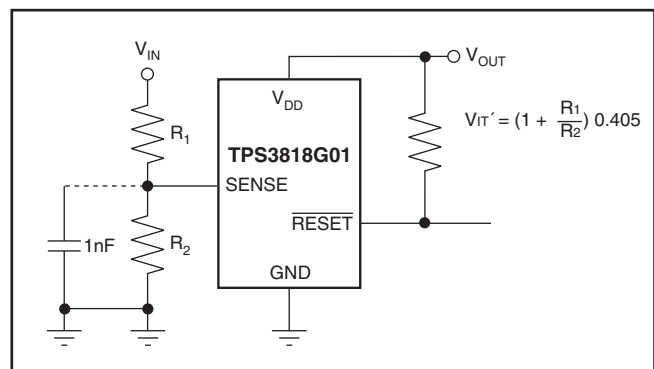


図 11. Using the TPS3818G01 to Monitor a User-Defined Threshold Voltage

マニュアル・リセット (\overline{MR}) 入力

マニュアル・リセット (\overline{MR}) 入力によりプロセッサまたは他のロジック回路からリセットを起動することができます。 \overline{MR} がロジック“L”レベル ($0.3V_{DD}$ 以下) であると \overline{RESET} はアクティブ状態になります。 \overline{MR} がロジック“H”レベルに戻り、SENSEがそのリセット・スレッシュホールドより高くなった後、 \overline{RESET} はユーザが定義したリセット遅延時間の終了後に非アクティブ状態になります。 \overline{MR} は90kΩの抵抗で V_{DD} に内部接続されているためこのピンは \overline{MR} を使用しない場合未接続のままにしておくことができます。

\overline{MR} を複数のシステム電圧を監視するのに使用する方法については図12を参照してください。 \overline{MR} を駆動するロジック信号が V_{DD} より低いと、 \overline{MR} にプルアップ抵抗が内蔵されているため V_{DD} に余分な電流が流れるということに注意してください。この電流を最小限に抑えるには、図13に示されているようにFETを使用してロジック・レベルを変更することができます。

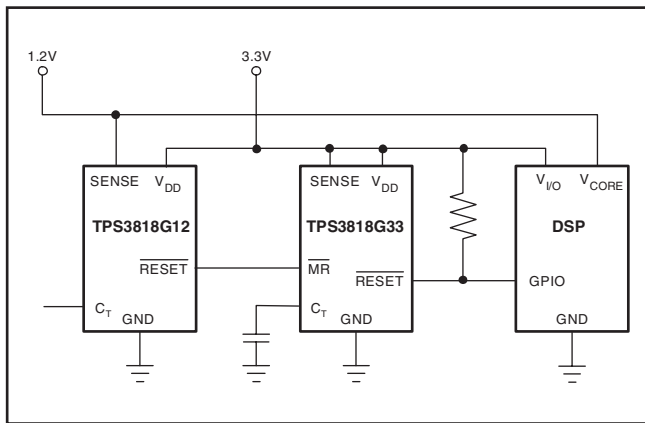


図 12. Using MR to Monitor Multiple System Voltages

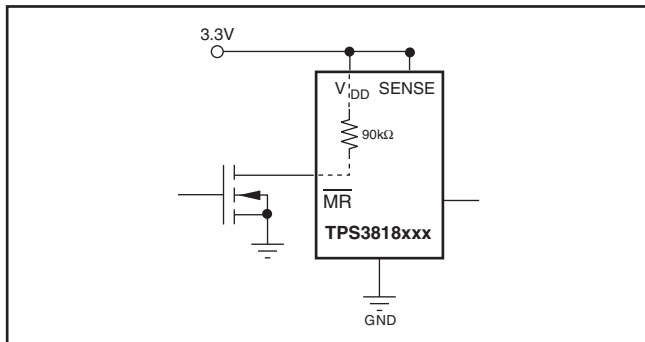


図 13. GND Using an External MOSFET to Minimize I_{DD} When MR Signal Does Not Go to V_{DD}

リセット遅延時間の選択

TPS3818には図14に示されているように、RESETの遅延時間を設定するのに3つの選択肢があります。図14aに C_T ピンを V_{DD} にプルアップすることで固定の300msの標準遅延時間を設定する構成を示します。この場合40kΩから200kΩの抵抗を使用しなければなりません。抵抗の選択による消費電流への影響はありません。図14bに C_T ピンをオープン状態にしておくことによる固定の20msの遅延時間を示します。図14cでは C_T ピンとグランド間にコンデンサを接続して1.25msから10秒の間のユーザ定義の時間をプログラムする方法を示します。

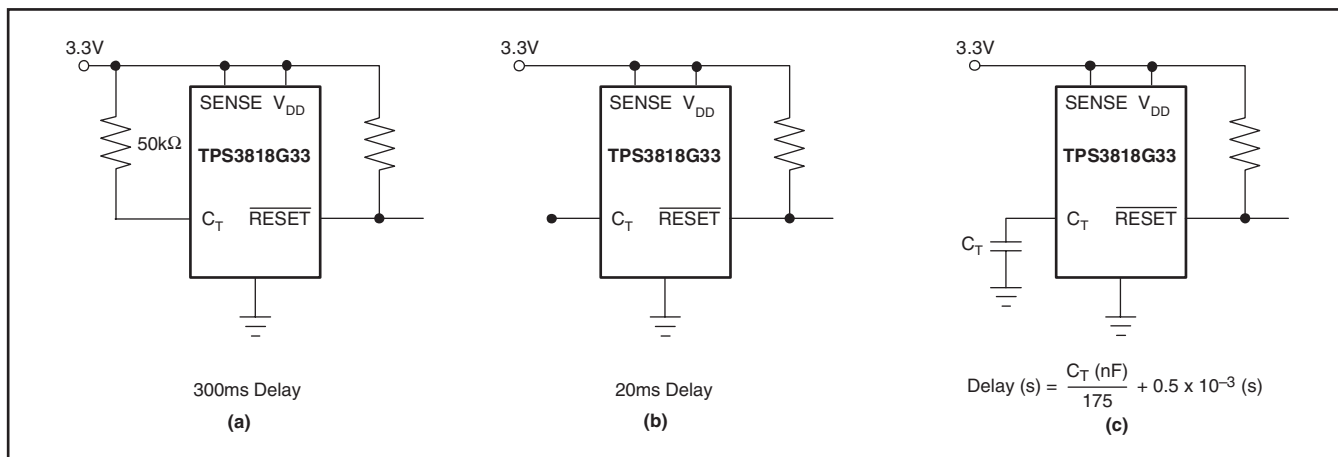


図 14. Configuration Used to Set the RESET Delay Time

コンデンサ C_T はTPS3818xxxがコンデンサの存在を認識できるように標準値で100nF以上でなければなりません。与えられた遅延時間に対するコンデンサ値は以下の式を用いて計算することができます。

$$C_T \text{ (nF)} = [t_D \text{ (s)} - 0.5 \times 10^{-3} \text{ (s)}] \times 175 \quad (1)$$

リセット遅延時間は内蔵されている220nAの精密電流源が外付けコンデンサを1.23Vに充電するのに要する時間で決まります。RESETがアクティブ状態になった時、このコンデンサは放電されます。RESET状態がクリアされた時、内部の電流源がイネーブルになり、外付けコンデンサの充電を開始します。このコンデンサの電圧が1.23Vに達した時、RESETは非アクティブ状態になります。セラミックなどの低リークのタイプのコンデンサを使用しなければならないことと、このピンの周りの浮遊容量によりリセット遅延時間に誤差が生じる可能性があることに注意してください。

SENSEピンでの過渡的な瞬時電圧降下への応答

TPS3818はSENSEピンでの過渡的な短時間の電圧降下に対し無応答とするフィルタ機能をもっています。代表的特性の項の“MAXIMUM TRANSIENT DURATION AT SENSE vs SENSE THRESHOLD OVERDRIVE VOLTAGE”のグラフ(図6)に示されているように、過渡的なパルス幅に対する応答の有無はスレッシュホールド電圧に対するオーバードライブ量に依存します。

パッケージ情報

製品情報

Orderable Device	Status ⁽¹⁾	Package Type	Package Drawing	Pins	Package Qty	Eco Plan ⁽²⁾	Lead/Ball Finish	MSL Peak Temp ⁽³⁾
TPS3818G01DRVR	PREVIEW	SON	DRV	6		TBD	Call TI	Call TI
TPS3818G01DRVVT	PREVIEW	SON	DRV	6		TBD	Call TI	Call TI
TPS3818G09DRVR	PREVIEW	SON	DRV	6		TBD	Call TI	Call TI
TPS3818G09DRVVT	PREVIEW	SON	DRV	6		TBD	Call TI	Call TI
TPS3818G125DRVR	PREVIEW	SON	DRV	6		TBD	Call TI	Call TI
TPS3818G125DRVVT	PREVIEW	SON	DRV	6		TBD	Call TI	Call TI
TPS3818G12DRVR	PREVIEW	SON	DRV	6		TBD	Call TI	Call TI
TPS3818G12DRVVT	PREVIEW	SON	DRV	6		TBD	Call TI	Call TI
TPS3818G15DRVR	PREVIEW	SON	DRV	6		TBD	Call TI	Call TI
TPS3818G15DRVVT	PREVIEW	SON	DRV	6		TBD	Call TI	Call TI
TPS3818G18DRVR	PREVIEW	SON	DRV	6		TBD	Call TI	Call TI
TPS3818G18DRVVT	PREVIEW	SON	DRV	6		TBD	Call TI	Call TI
TPS3818G25DRVR	ACTIVE	SON	DRV	6	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
TPS3818G25DRVRG4	ACTIVE	SON	DRV	6	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
TPS3818G25DRVVT	ACTIVE	SON	DRV	6	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
TPS3818G25DRVVTG4	ACTIVE	SON	DRV	6	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
TPS3818G30DRVR	PREVIEW	SON	DRV	6		TBD	Call TI	Call TI
TPS3818G30DRVVT	PREVIEW	SON	DRV	6		TBD	Call TI	Call TI
TPS3818G33DRVR	PREVIEW	SON	DRV	6		TBD	Call TI	Call TI
TPS3818G33DRVVT	PREVIEW	SON	DRV	6		TBD	Call TI	Call TI

(1) マーケティング・ステータスは次のように定義されています。

ACTIVE：製品デバイスが新規設計用に推奨されています。

LIFEBUY：TIによりデバイスの生産中止予定が発表され、ライフタイム購入期間が有効です。

NRND：新規設計用に推奨されていません。デバイスは既存の顧客をサポートするために生産されていますが、TIでは新規設計にこの部品を使用することを推奨していません。

PREVIEW：デバイスは発表済みですが、まだ生産が開始されていません。サンプルが提供される場合と、提供されない場合があります。

OBSOLETE：TIによりデバイスの生産が中止されました。

(2) エコ・プラン - 環境に配慮した製品分類プランであり、Pb-Free (RoHS)、Pb-Free (RoHS Expert) およびGreen (RoHS & no Sb/Br) があります。最新情報および製品内容の詳細については、<http://www.ti.com/productcontent>でご確認ください。

TBD：Pb-Free/Green変換プランが策定されていません。

Pb-Free (RoHS)：TIにおける“Lead-Free”または“Pb-Free”(鉛フリー)は、6つの物質すべてに対して現在のRoHS要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が0.1%を超えないという要件も含まれます。高温で半田付けするように設計されている場合、TIの鉛フリー製品は指定された鉛フリー・プロセスでの使用に適しています。

Pb-Free (RoHS Exempt)：この部品は、1) ダイとパッケージの間に鉛ベースの半田バンパ使用、または 2) ダイとリードフレーム間に鉛ベースの接着剤を使用、が除外されています。それ以外は上記の様にPb-Free (RoHS)と考えられます。

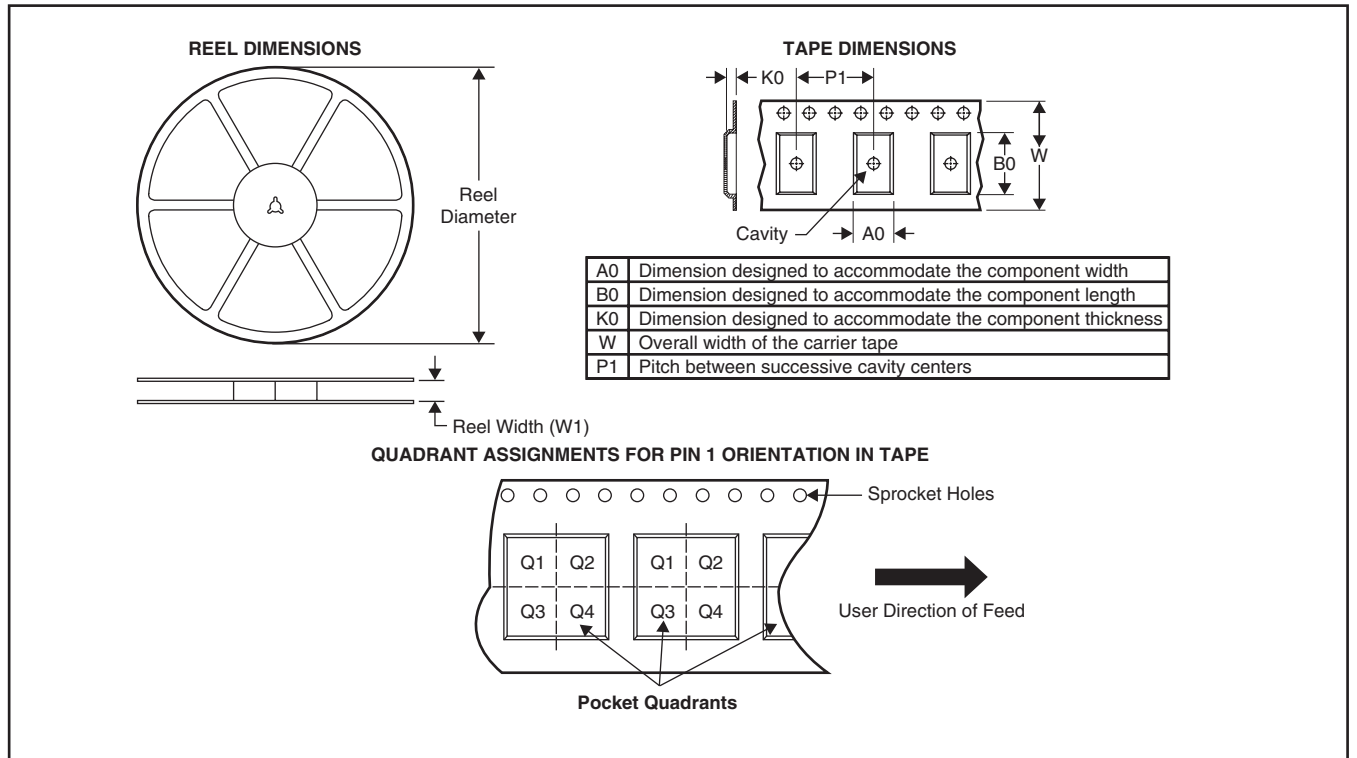
Green (RoHS & no Sb/Br)：TIにおける“Green”は、“Pb-Free”(RoHS互換)に加えて、臭素 (Br) およびアンチモン (Sb) をベースとした難燃材を含まない(均質な材質中のBrまたはSb重量が0.1%を超えない)ことを意味しています。

(3) MSL、ピーク温度 -- JEDEC業界標準分類に従った耐湿性レベル、およびピーク半田温度です。

重要な情報および免責事項：このページに記載された情報は、記載された日付時点でのTIの知識および見解を表しています。TIの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行いません。第三者からの情報をより良く統合するための努力は続けております。TIでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。TIおよびTI製品の供給者は、特定の情報を機密情報として扱っているため、CAS番号やその他の制限された情報が公開されない場合があります。

パッケージ・マテリアル情報

テープおよびリール・ボックス情報

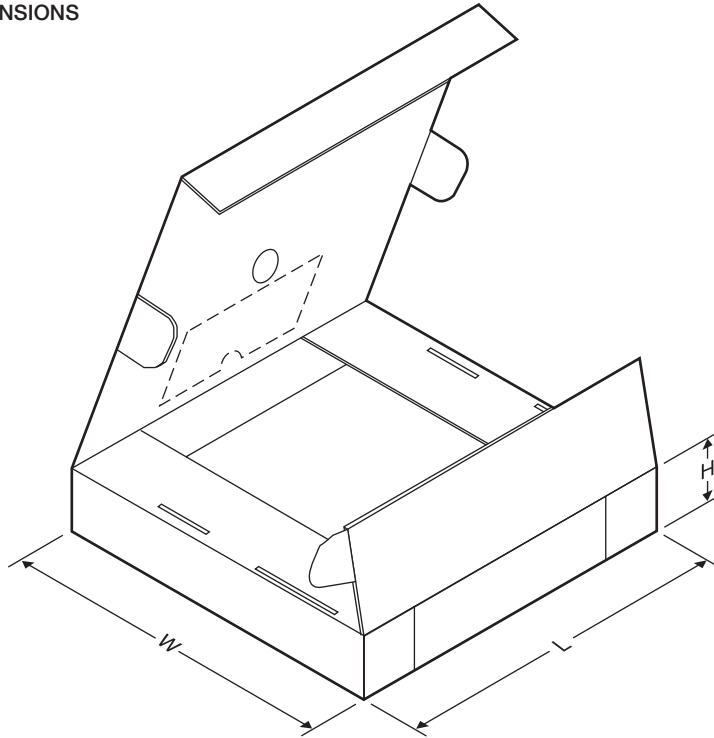


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS3818G25DRVR	SON	DRV	6	3000	179.0	8.4	2.2	2.2	1.2	4.0	8.0	Q2
TPS3818G25DRVT	SON	DRV	6	250	179.0	8.4	2.2	2.2	1.2	4.0	8.0	Q2

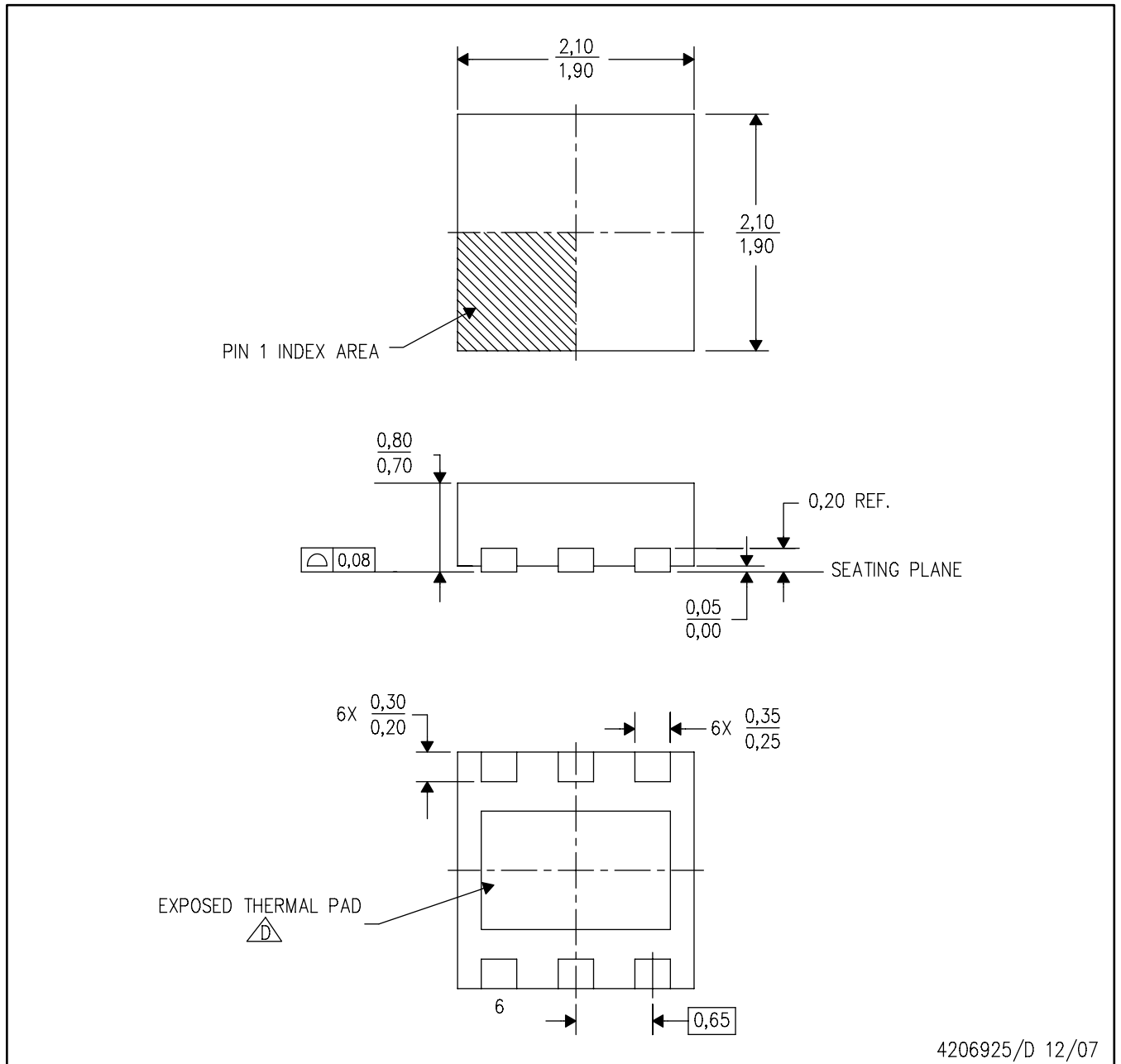
パッケージ・マテリアル情報

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS3818G25DRVR	SON	DRV	6	3000	195.0	200.0	45.0
TPS3818G25DRVT	SON	DRV	6	250	195.0	200.0	45.0



- 注： A. 全ての線寸法の単位はミリメートルです。寸法/公差はASME Y14.5M-1994によります。
 B. 図は予告なく変更することがあります。
 C. スモール・アウトライン・ノーリード (SON) パッケージ構成です。
 D. パッケージのサーマル・パッドは熱的/機械的特性のためボードに半田付けしなければなりません。露出サーマル・パッドの寸法についての詳細はデータシートを参照してください。

サーマルパッド・メカニカル・データ

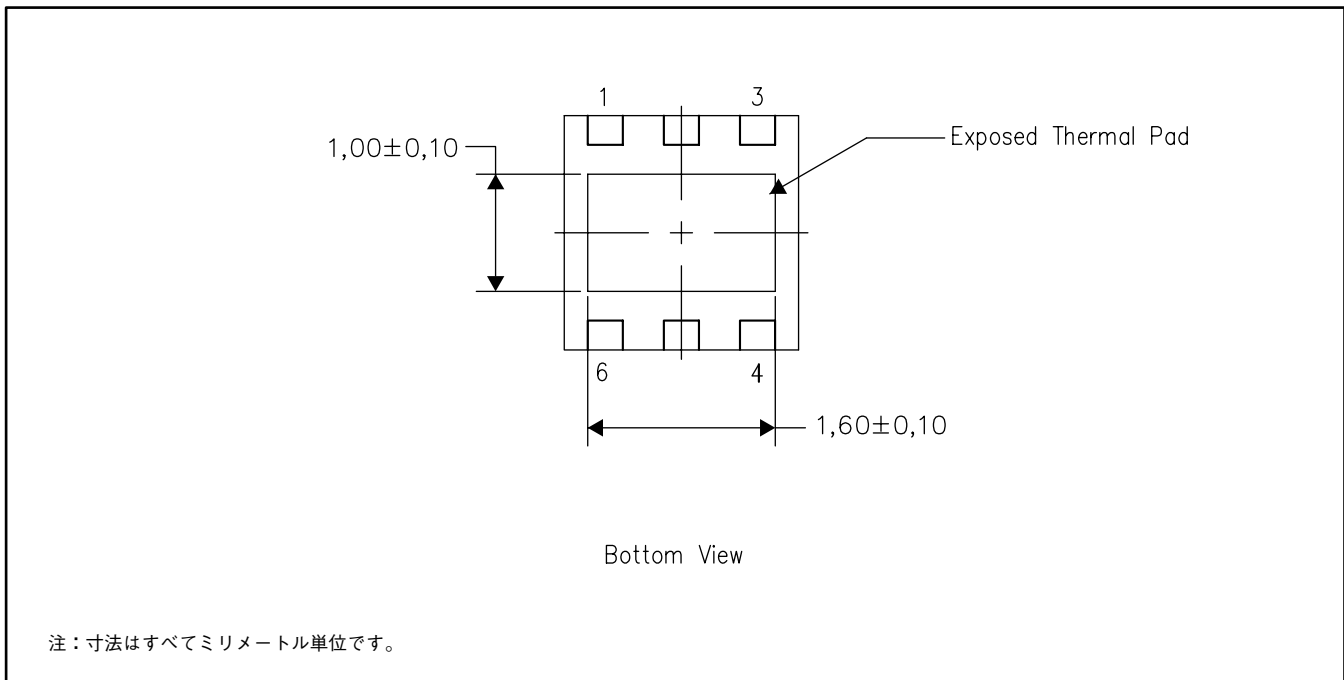
DRV (S-PWSON-N6)

熱特性について

このパッケージは外部のヒートシンクに直接接続できるように設計された露出したサーマルパッドをもっています。サーマルパッドはプリント回路基板(PCB)に直接はんだ付けされなければなりません。はんだ付けされる事によりPCBはヒートシンクとして使用できます。さらに、サーマルビアを使用することにより、サーマルパッドをデバイスの回路図に示されている銅の層に直接接続するか、あるいは、PCBに設計された特別なヒートシンク構造に接続することができます。この設計により、集積回路(IC)からの熱の拡散が最適化されます。

クワッド・フラットパック・ノーリード(QFN)パッケージとその利点についての情報はアプリケーション・レポート“Quad Flatpack No-Lead Logic Packages” TI文献番号SCBA017を参照してください。この文献はホームページwww.ti.comで入手できます。

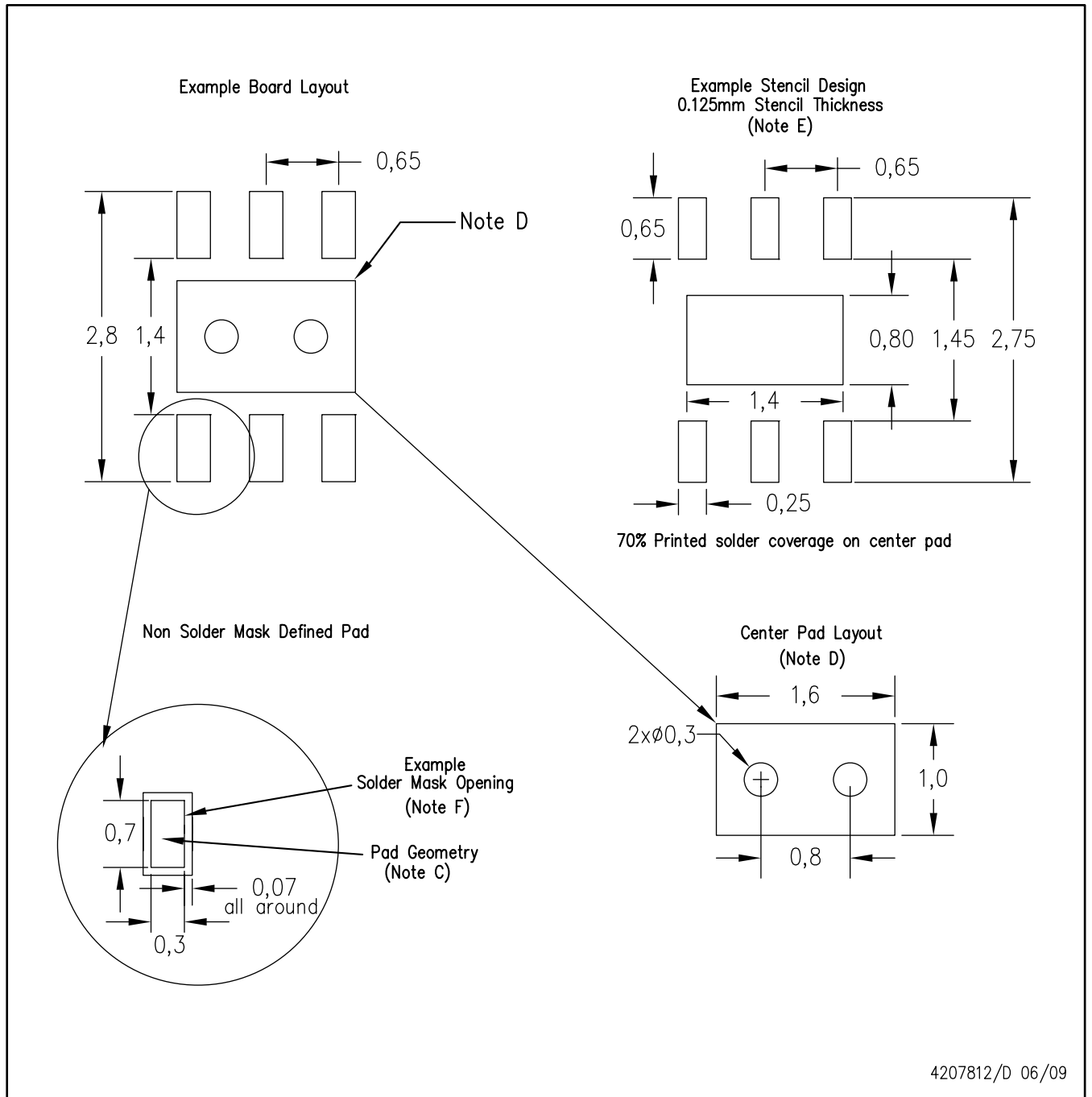
このパッケージの露出サーマルパッドの寸法は以下の図に示されています。



露出サーマルパッドの寸法

ランド・パターン

DRV (S-PDSO-N6)



4207812/D 06/09

- 注： A. 全ての線寸法の単位はミリメートルです。
 B. 図は予告なく変更することがあります。
 C. 出版番号IPC-7351は設計代案についての推奨です。
 D. このパッケージはボードのサーマル・パッドにはんだ付けされるよう設計されています。個別の熱情報、ビアの要件、推奨するボード・レイアウトについてはアプリケーション・ノート "QFN Packages" TI文献番号SCBA017とSLUA271、およびプロダクト・データシートを参照してください。これらの文献はホームページwww.ti.comで入手できます。
 E. レーザーカットの開口部に台形の壁をつけ、角に丸みをつけるとペースト離れがよくなります。カスタマはステンシルの設計についてボード製作側に提案しなければなりません。ステンシルを設計する際の考察についてはIPC-7525を参照してください。
 F. カスタマははんだマスクの公差についてボード製作側に連絡しなければなりません。

(SBVS106A)

ご注意

日本テキサス・インスツルメンツ株式会社(以下TIJといひます)及びTexas Instruments Incorporated(TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといひます)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIJは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメータに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIJは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIJは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは承認をすることを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIJにより示された数値、特性、条件その他のパラメータと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIJは、そのような説明については何の義務も責任もありません。

TIJは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション(例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの)に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIJがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2009, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。

弊社出荷梱包単位(外装から取り出された内装及び個装)又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で(導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使用すること。

マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

温度: 0~40、相対湿度: 40~85%で保管・輸送及び取り扱いを行うこと。(但し、結露しないこと。)

直射日光があたる状態で保管・輸送しないこと。

3. 防湿梱包

防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。

4. 機械的衝撃

梱包品(外装、内装、個装)及び製品単品を落下させたり、衝撃を与えないこと。

5. 熱衝撃

はんだ付け時は、最低限260以上の高温状態に、10秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)

6. 汚染

はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質(硫黄、塩素等ハロゲン)のある環境で保管・輸送しないこと。はんだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上