

# TPS536C5 デュアル・チャネル (N + M ≤ 12 相) D-CAP+™、降圧、マルチフェーズ・コントローラ、AMD-SVI3 および PMBus インターフェイス付き

## 1 特長

- 入力電圧範囲: 4.5V~17V
- 出力電圧範囲: 0.25 V~5.5V
- N + M ≤ 12 相、M ≤ 6 相をサポートするデュアル出力
- ネイティブのトランスインダクタ電圧レギュレータ (TLVR) トポロジをサポート
- AMD® SVI3 に準拠
- D-CAP+™ 制御の強化により、優れた過渡性能と優れた動的電流共有を実現
- ループ補償をプログラム可能
- フレキシブルな相ファイアリング・シーケンス
- 個別の相電流較正およびレポート
- 設定可能な電流スレッシュホールドによる動的な位相シェディングで軽負荷時および重負荷時の効率を最適化
- 高速な位相加算によるアンダーシュート低減 (USR)
- ドライバ不要の構成で効率的な高周波数のスイッチング
- TI NexFET™ 電力段との完全な互換性による高密度ソリューション
- 正確な可変電圧ポジションニング
- 特許取得済みの AutoBalance™ 位相バランス機能
- 相ごとに選択可能な電流制限
- 電圧、電流、電力、温度、フォルト状態の遠隔測定に対応する PMBus™ システム・インターフェイス
- 6.00 × 6.00 mm、48 ピン、0.4 mm ピッチ、QFN パッケージ

## 2 アプリケーション

- ラック・サーバー
- マイクロサーバーおよびタワー・サーバー
- 高性能コンピューティング
- ベースバンド・ユニット (BBU)

## 3 概要

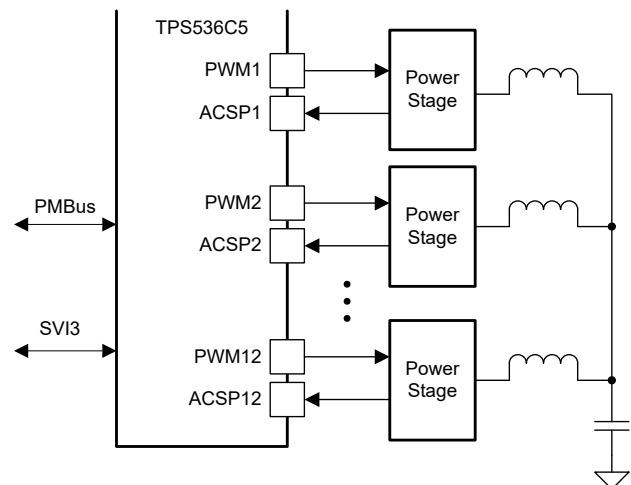
TPS536C5 は、デュアル・チャネル、内蔵不揮発性メモリ (NVM)、PMBus™ インターフェイスを備えた、AMD SVI3 完全準拠の降圧コントローラであり、TI NexFET™ スマート電力段と完全に互換性があります。アンダーシュート低減機能 (USR) を備えた D-CAP+™ アーキテクチャなどの高度な制御機能により、高速過渡応答、低出力容量、良好な電流共有を実現します。また、新しい位相インターリーブ方式と動的な位相シェディングにより、さまざまな負荷で効率が向上します。V<sub>CORE</sub> のスルーレートと電圧ポジションニングの可変制御により、AMD SVI3 の機能はさらに強化されます。さらに、PMBus 通信インターフェイスをサポートしているため、電圧、電流、電力、温度、フォルト状態の遠隔測定レポートをシステムに送信できます。プログラム可能なパラメータは、いずれも PMBus インターフェイスを介して設定し、新しいデフォルト値として NVM に保存できるため、外付け部品点数を最小限に抑えることができます。

TPS536C5 デバイスは、放熱特性に優れた 48 ピン QFN パッケージで供給され、-40°C~125°C の温度範囲で仕様が規定されています。

### 製品情報

部品番号 (1)	パッケージ	本体サイズ (公称)
TPS536C5	QFN (48)	6.00 × 6.00 mm

- (1) 利用可能なパッケージについては、このデータシートの末尾にある注文情報を参照してください。



Copyright © 2021, Texas Instruments Incorporated



## Table of Contents

<b>1 特長</b> .....	<b>1</b>	5.3 サポート・リソース.....	<b>3</b>
<b>2 アプリケーション</b> .....	<b>1</b>	5.4 Trademarks.....	<b>3</b>
<b>3 概要</b> .....	<b>1</b>	5.5 Electrostatic Discharge Caution.....	<b>3</b>
<b>4 Revision History</b> .....	<b>2</b>	5.6 Glossary.....	<b>3</b>
<b>5 Device and Documentation Support</b> .....	<b>3</b>	<b>6 Mechanical, Packaging, and Orderable Information</b> ....	<b>4</b>
5.1 Documentation Support.....	<b>3</b>	6.1 Tape and Reel Information.....	<b>4</b>
5.2 Receiving Notification of Documentation Updates.....	<b>3</b>		

## 4 Revision History

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

DATE	REVISION	NOTES
December 2022	*	Initial Release

## 5 Device and Documentation Support

### 5.1 Documentation Support

#### 5.1.1 Related Documentation

For related documentation see the following:

- Texas Instruments, Dual channel DCAP+ multiphase controllers: TPS53685, TPS536C5 Technical Reference Manual SLUUCN5

#### 5.2 Receiving Notification of Documentation Updates

To receive notification of documentation updates, navigate to the device product folder on [ti.com](https://www.ti.com). Click on *Subscribe to updates* to register and receive a weekly digest of any product information that has changed. For change details, review the revision history included in any revised document.

#### 5.3 サポート・リソース

**TI E2E™ サポート・フォーラム**は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、該当する貢献者により、現状のまま提供されるものです。これらは TI の仕様を構成するものではなく、必ずしも TI の見解を反映したものではありません。TI の [使用条件](#)を参照してください。

#### 5.4 Trademarks

D-CAP+™, NexFET™, AutoBalance™, TI E2E™ are trademarks of Texas Instruments.

PMBus™ is a trademark of SMIF, Inc..

AMD® is a registered trademark of Advanced Micro Devices, Inc..

すべての商標は、それぞれの所有者に帰属します。

#### 5.5 Electrostatic Discharge Caution



This integrated circuit can be damaged by ESD. Texas Instruments recommends that all integrated circuits be handled with appropriate precautions. Failure to observe proper handling and installation procedures can cause damage.

ESD damage can range from subtle performance degradation to complete device failure. Precision integrated circuits may be more susceptible to damage because very small parametric changes could cause the device not to meet its published specifications.

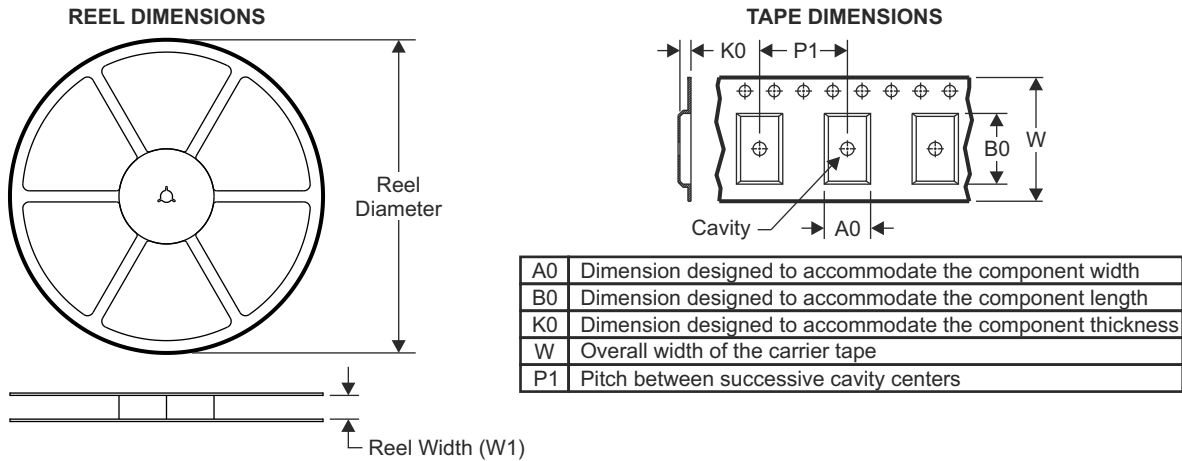
#### 5.6 Glossary

[TI Glossary](#) This glossary lists and explains terms, acronyms, and definitions.

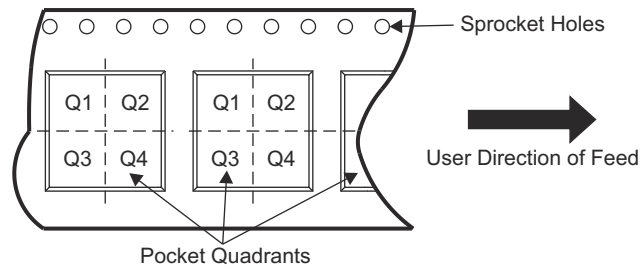
## 6 Mechanical, Packaging, and Orderable Information

The following pages include mechanical, packaging, and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser-based versions of this data sheet, refer to the left-hand navigation.

### 6.1 Tape and Reel Information

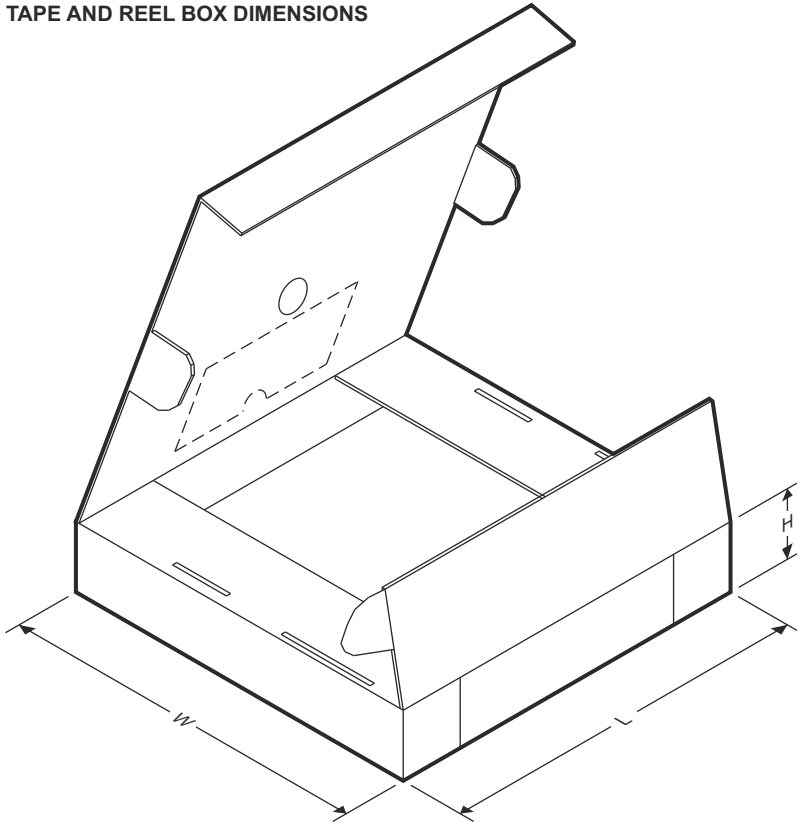


#### QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS536C5RSLR	VQFN	RSL	48	3000	330.0	16.4	6.3	6.3	1.1	12.0	16.0	Q2

**TAPE AND REEL BOX DIMENSIONS**

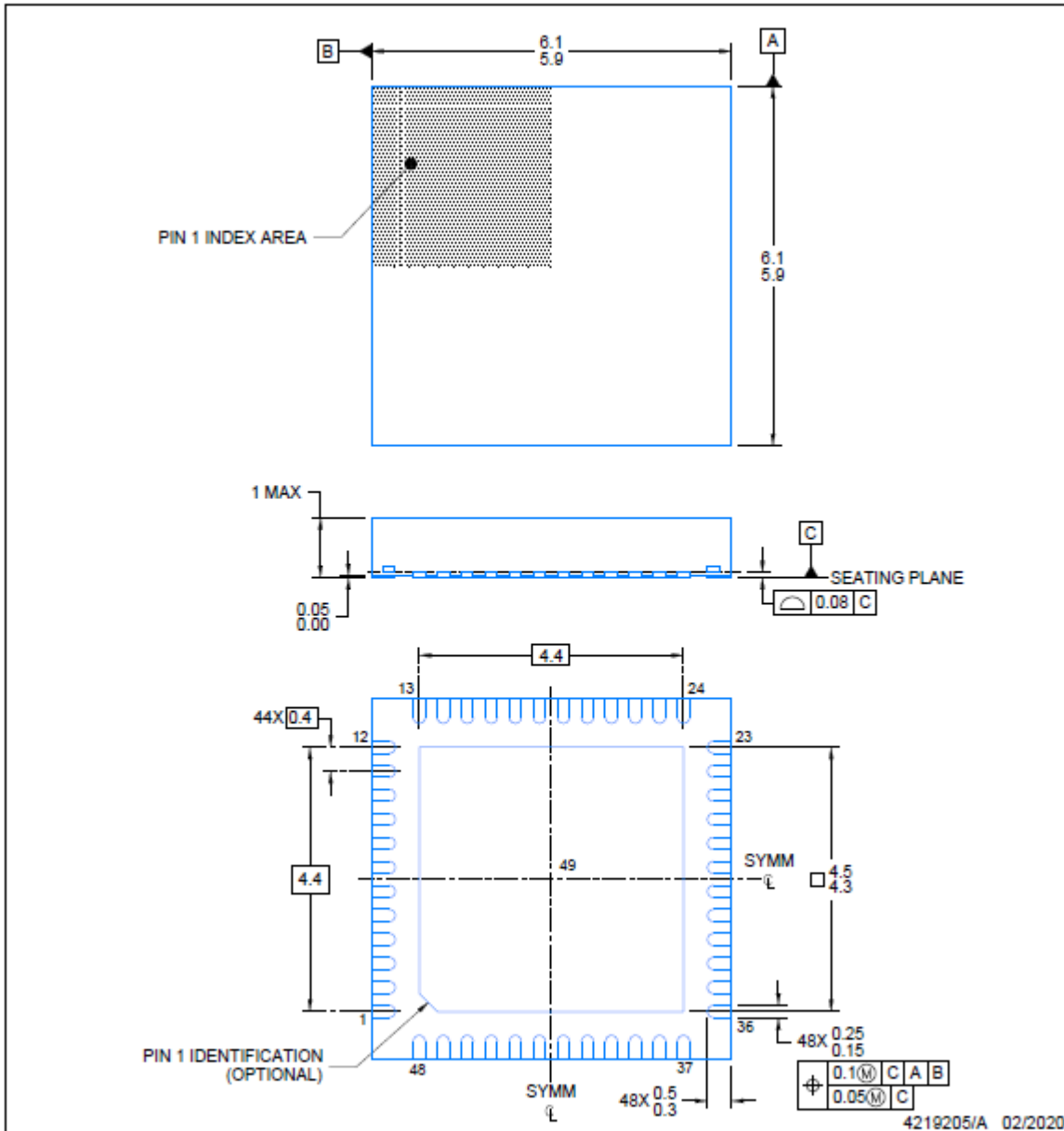


Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS536C5RSLR	VQFN	RSL	48	3000	367.0	367.0	38.0

**RSL0048B**

**PACKAGE OUTLINE**  
**VQFN - 1 mm max height**

PLASTIC QUAD FLATPACK- NO LEAD



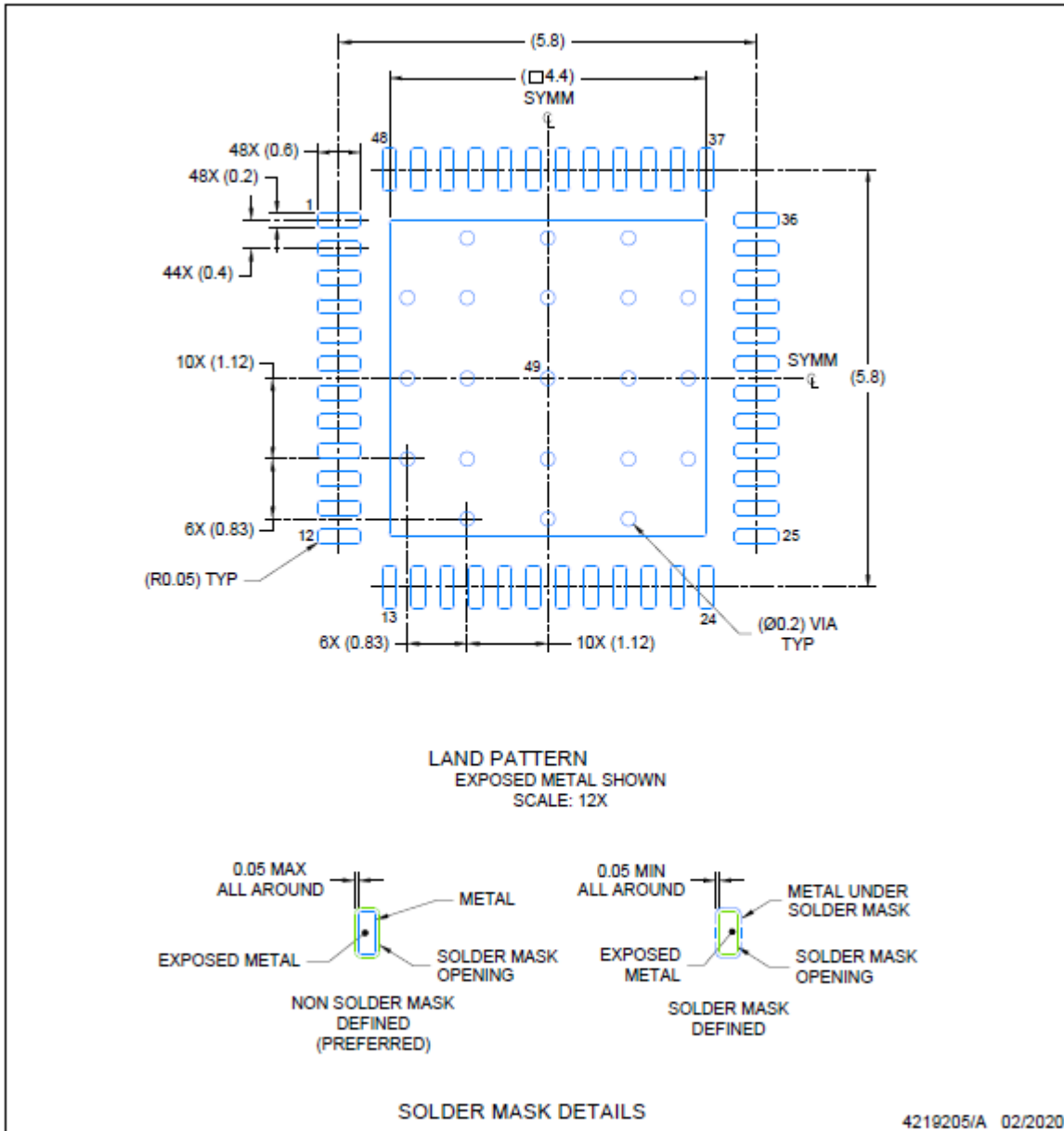
**NOTES:**

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.

**RSL0048B**

**BOARD LAYOUT**  
**VQFN - 1 mm max height**

PLASTIC QUAD FLATPACK- NO LEAD



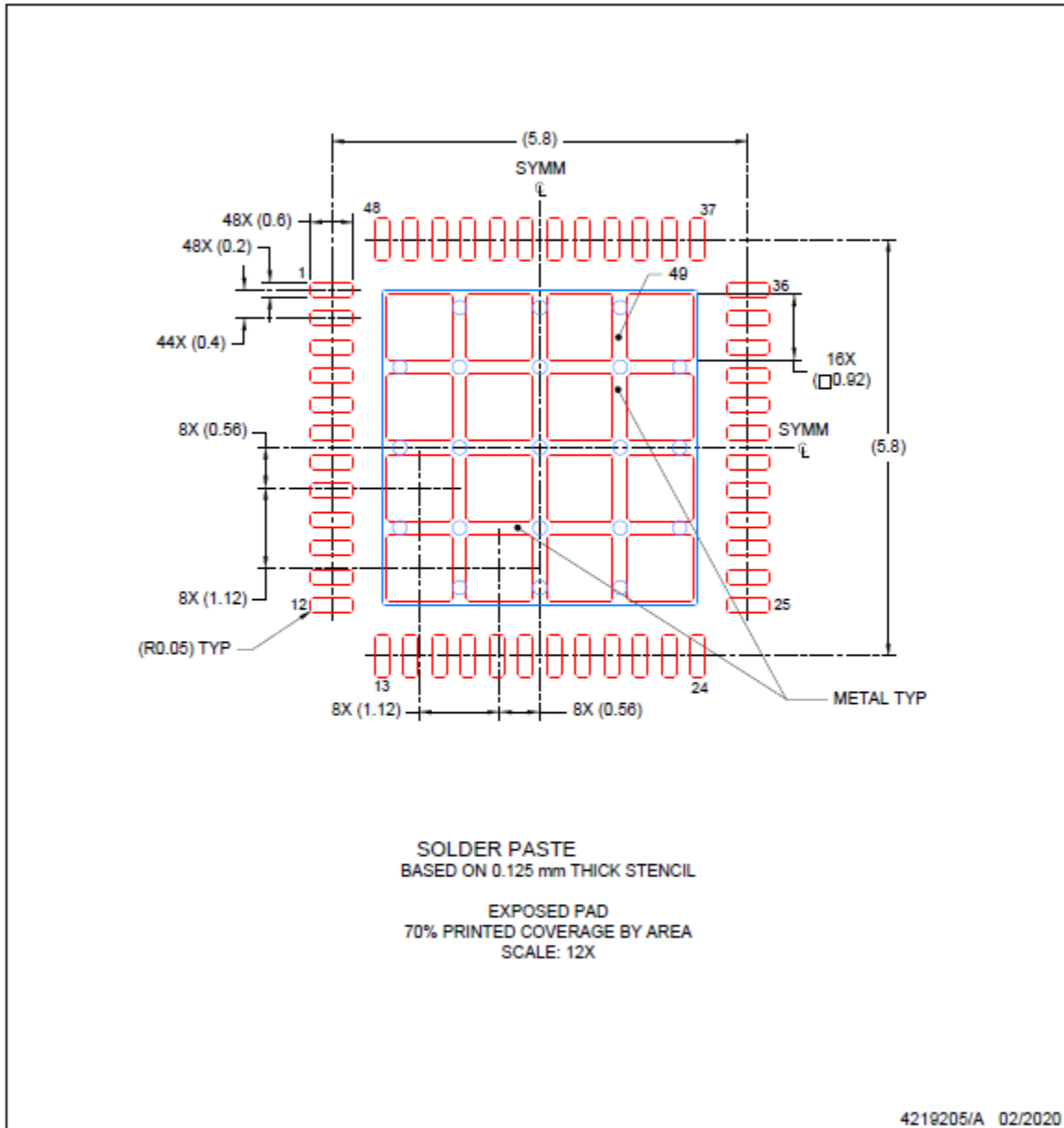
NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 ([www.ti.com/lit/slua271](http://www.ti.com/lit/slua271)).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

**RSL0048B**

**STENCIL DESIGN**  
**VQFN - 1 mm max height**

PLASTIC QUAD FLATPACK- NO LEAD




NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.



**PACKAGING INFORMATION**

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
TPS536C5RSLR	ACTIVE	VQFN	RSL	48	3000	RoHS & Green	NIPDAUAG	Level-3-260C-168 HR	-40 to 105	TPS 536C5	

(1) The marketing status values are defined as follows:

**ACTIVE:** Product device recommended for new designs.

**LIFEBUY:** TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

**NRND:** Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

**PREVIEW:** Device has been announced but is not in production. Samples may or may not be available.

**OBsolete:** TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

**RoHS Exempt:** TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

**Green:** TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=100ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

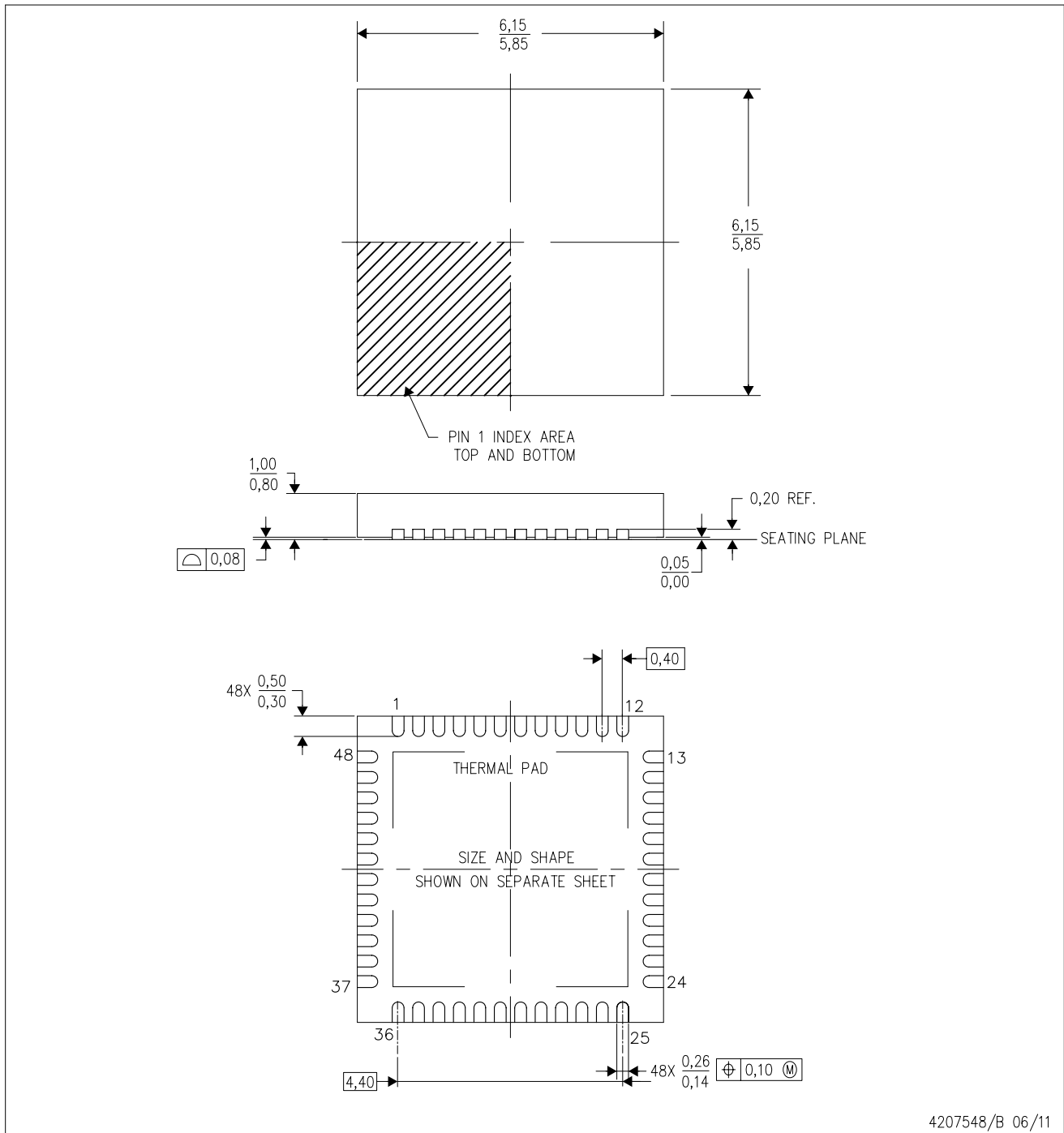
**Important Information and Disclaimer:**The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

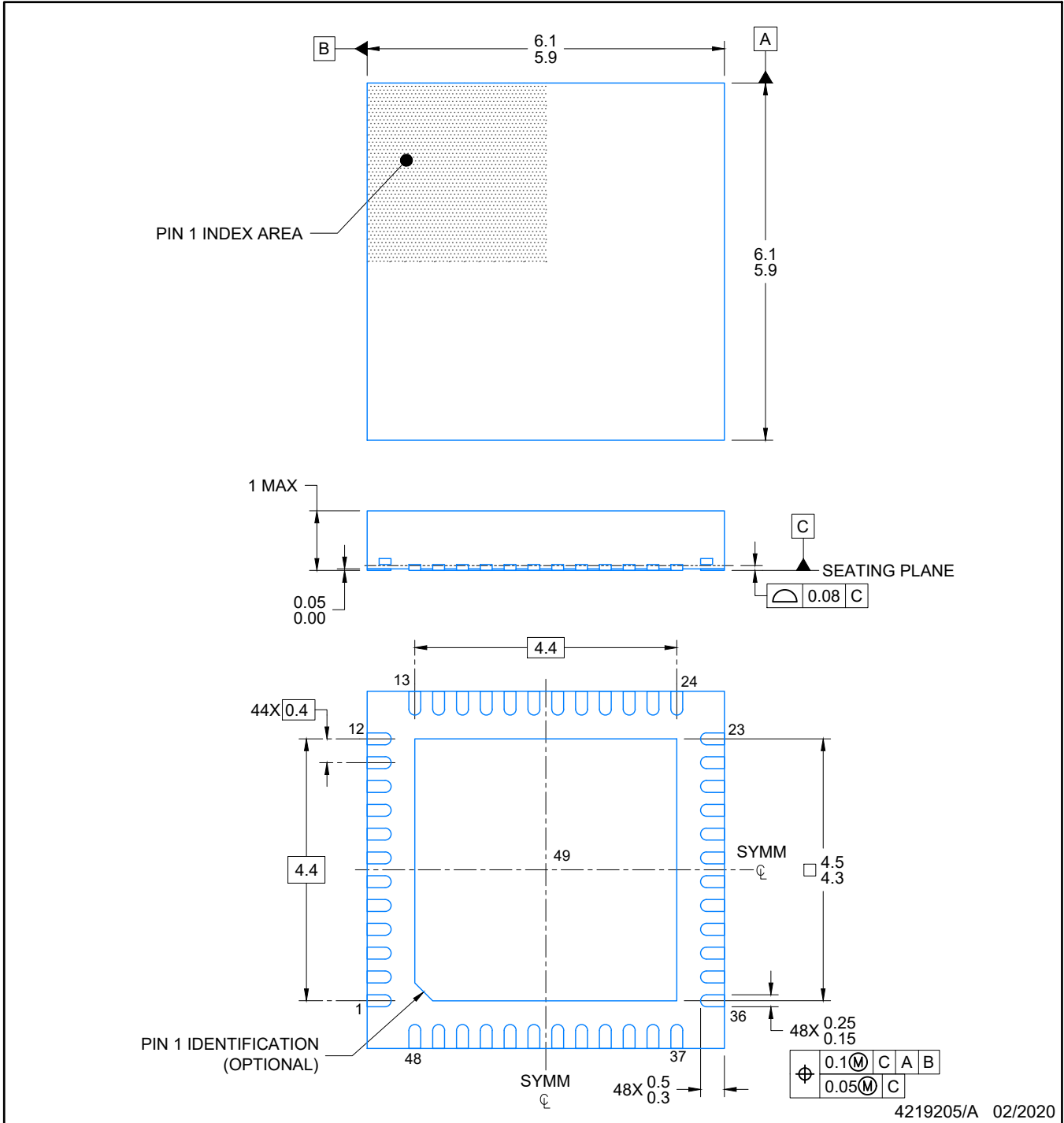
# MECHANICAL DATA

RSL (S-PVQFN-N48)

PLASTIC QUAD FLATPACK NO-LEAD



- NOTES:
- All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M-1994.
  - This drawing is subject to change without notice.
  - Quad Flatpack, No-leads (QFN) package configuration.
  - The package thermal pad must be soldered to the board for thermal and mechanical performance.
  - See the additional figure in the Product Data Sheet for details regarding the exposed thermal pad features and dimensions.



NOTES:

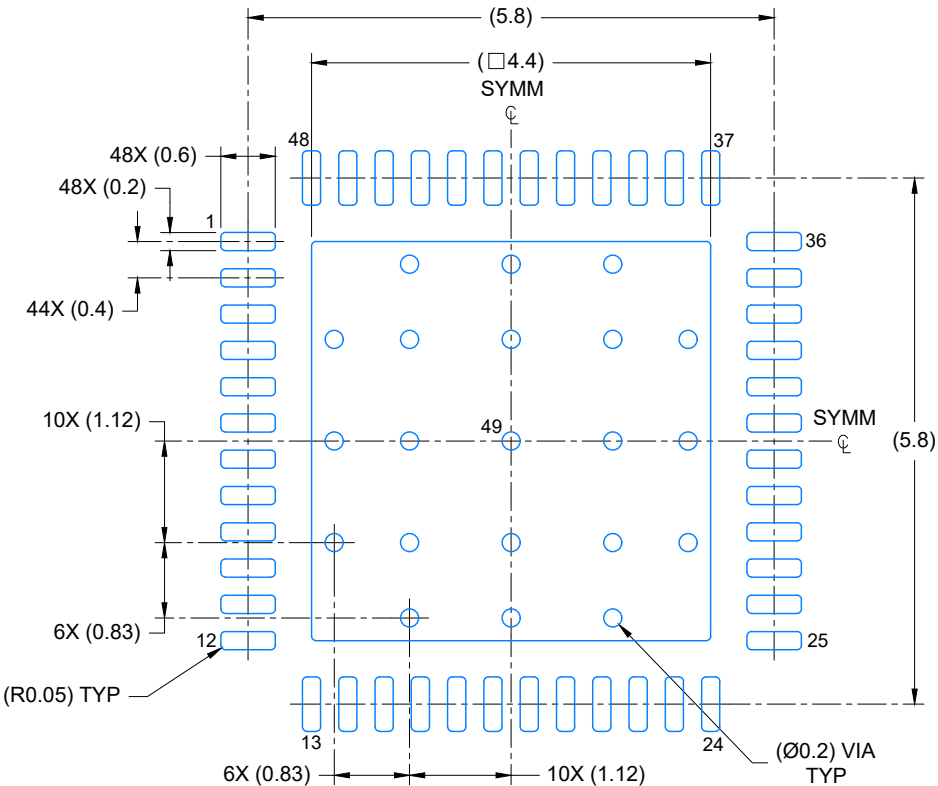
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.

# EXAMPLE BOARD LAYOUT

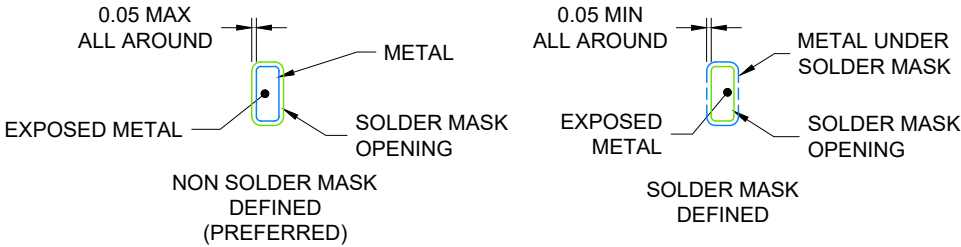
RSL0048B

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK- NO LEAD



LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE: 12X



SOLDER MASK DETAILS

4219205/A 02/2020

NOTES: (continued)

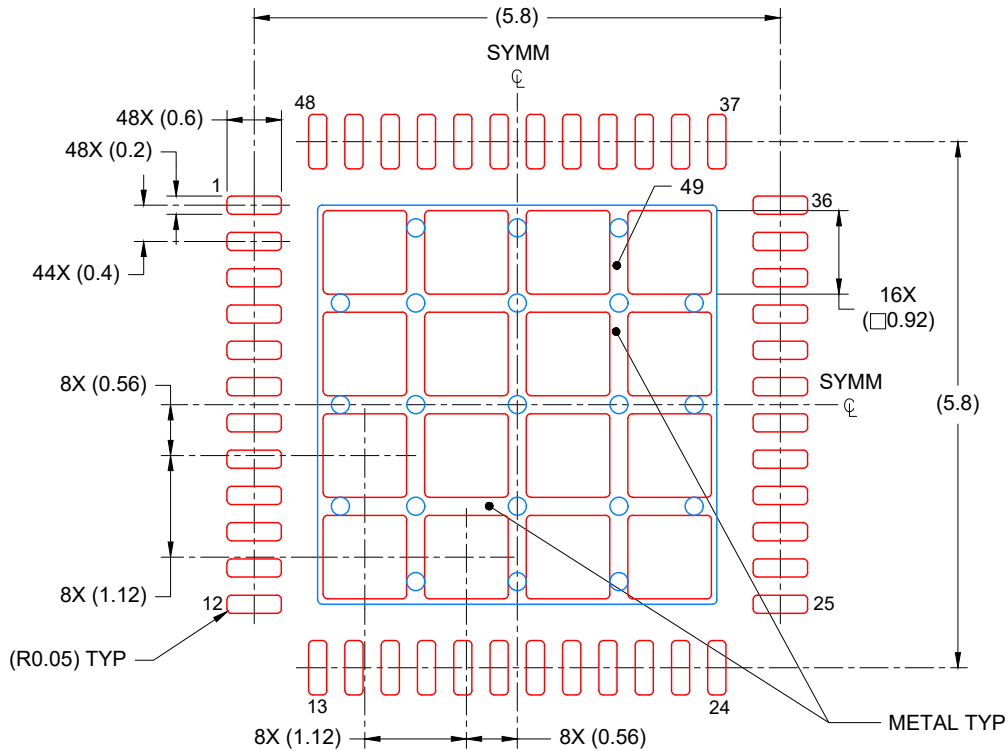
- 4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 ([www.ti.com/lit/slua271](http://www.ti.com/lit/slua271)).
- 5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

# EXAMPLE STENCIL DESIGN

RSL0048B

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK- NO LEAD



SOLDER PASTE EXAMPLE  
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD  
70% PRINTED COVERAGE BY AREA  
SCALE: 12X

4219205/A 02/2020

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

## 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](https://www.ti.com) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265  
Copyright © 2023, Texas Instruments Incorporated