



Eco-mode™搭載、3.5V~42V、 降圧型SWIFT™ DC/DCコンバータ

特 長

- 入力電圧範囲：3.5V ~ 42V
- ハイサイドMOSFET：200mΩ
- パルス・スキップEco-mode™により軽負荷で高い効率を実現
- 静止時動作電流：138μA
- シャットダウン電流：1.3μA
- スイッチング周波数：100kHz~2.5MHz
- 外部クロックに同期
- 調整可能なスロー・スタート/シーケンシング
- パワー・グッド出力：UV、OV
- 調整可能なUVLO電圧およびヒステリシス
- 内部電圧リファレンス：0.8V
- MSOP10 PowerPAD™パッケージ
- SwitcherPro™ソフトウェア・ツールによるサポート (www.tij.co.jp/switcherpro)
- SWIFT™関連のドキュメントについては、TIのWebサイト <http://www.tij.co.jp/swiftdoc> をご覧ください。

アプリケーション

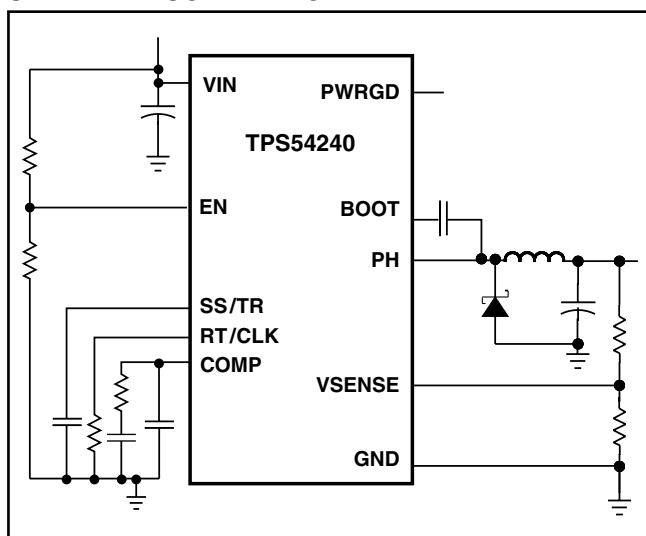
- 12Vおよび24Vの産業用および民生用低電力システム
- 車両管理、Eメーター、セキュリティ・システム用のGSM、GPRSモジュール

概 要

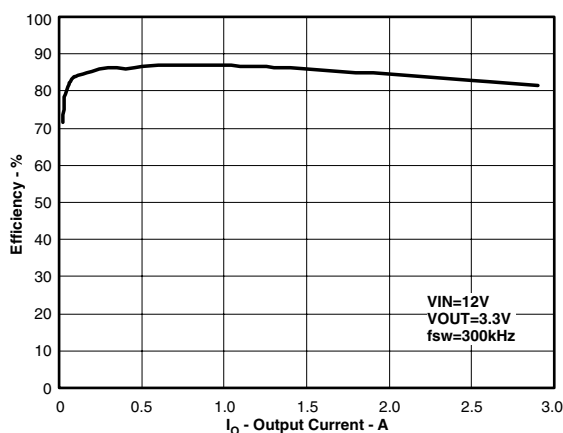
TPS54240は、ハイサイドMOSFETを内蔵した42V、2.5Aの降圧型レギュレータです。電流モード制御により、外部補償が単純化され、柔軟な部品選択が可能になります。低リップルのパルス・スキップ・モードでは、無負荷でのレギュレーション出力時の消費電流を138μAまで低減できます。また、イネーブル・ピンが“Low”のときには、シャットダウン時消費電流が1.3μAまで低減されます。

低電圧ロックアウトは内部で2.5Vに設定されていますが、イネーブル・ピンを使用してさらに高い電圧に設定することができます。出力電圧のスタートアップ・ランプはスロー・スタート・ピンで制御され、このピンはシーケンシング/トラッキング用としても使用可能です。オープン・ドレインのパワー・グッド信号は、出力が公称電圧の94%~107%の範囲内であることを

SIMPLIFIED SCHEMATIC



EFFICIENCY vs LOAD CURRENT



Eco-Mode, PowerPAD, SwitcherPro, SWIFTは、テキサス・インスツルメンツの登録商標です。

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本TI) が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。

示します。

スイッチング周波数の範囲が広いため、効率および外部部品のサイズを最適化できます。周波数フォールドバックと過熱シャットダウン機能によって、過負荷状態時にデバイスを保護します。

TPS54240は、熱特性が強化された10ピンMSOP PowerPAD™パッケージで提供されます。



静電気放電対策

これらのデバイスは、限定的なESD (静電破壊) 保護機能を内蔵しています。保存時または取り扱い時に、MOSゲートに対する静電破壊を防止するために、リード線どうしを短絡しておくか、デバイスを導電性のフォームに入れる必要があります。

製品情報⁽¹⁾

T _J	パッケージ	部品番号 ⁽²⁾
-40°C ~ 150°C	10ピンMSOP	TPS54240DGQ

(1) 最新のパッケージ情報とご注文情報については、このデータシートの巻末にある「付録：パッケージ・オプション」を参照するか、またはTIのWebサイト (www.ti.com または www.tij.co.jp) をご覧ください。

(2) DGQパッケージはテープリールでも供給できます。デバイス・タイプの末尾にRを付けてください (すなわち、TPS54240DGQR)。

絶対最大定格⁽¹⁾

動作温度範囲内 (特に記述のない限り)

		VALUE	単位
Input voltage	VIN	-0.3 ~ 47	V
	EN	-0.3 ~ 5	
	BOOT	55	
	VSENSE	-0.3 ~ 3	
	COMP	-0.3 ~ 3	
	PWRGD	-0.3 ~ 6	
	SS/TR	-0.3 ~ 3	
	RT/CLK	-0.3 ~ 3.6	
Output voltage	BOOT-PH	8	V
	PH	-0.6 ~ 47	
	PH, 10-ns Transient	-2 ~ 47	
Voltage difference	PAD to GND	±200	mV
Source current	EN	100	μA
	BOOT	100	mA
	VSENSE	10	μA
	PH	Current Limit	A
	RT/CLK	100	μA
Sink current	VIN	Current Limit	A
	COMP	100	μA
	PWRGD	10	mA
	SS/TR	200	μA
Electrostatic discharge (HBM) QSS 009-105 (JEDEC22-A114A)		2	kV
Electrostatic discharge (CDM) QSS 009-147 (JEDEC22-C101B.01)		500	V
Operating junction temperature		-40 ~ 150	°C
Storage temperature		-65 ~ 150	°C

(1) 絶対最大定格以上のストレスは、致命的なダメージを製品に与えることがあります。これはストレスの定格のみについて示してあり、このデータシートの「推奨動作条件」に示された値を越える状態での本製品の機能動作は含まれていません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。

パッケージ定格消費電力⁽¹⁾

PACKAGE	THERMAL IMPEDANCE JUNCTION TO AMBIENT
MSOP	57 °C/W

(1) テスト・ボードの条件は以下の通りです。

- A. サイズ: 3インチ×3インチ、2層、厚さ0.062インチ
- B. PCBの上面および底面に重量2オンスの銅配線
- C. デバイス・パッケージ下に6個(直径13mil)のサーマル・ビア

電気的特性

$T_J = -40^{\circ}\text{C} \sim 150^{\circ}\text{C}$ 、 $V_{IN} = 3.5\text{V} \sim 42\text{V}$ (特に記述のない限り)

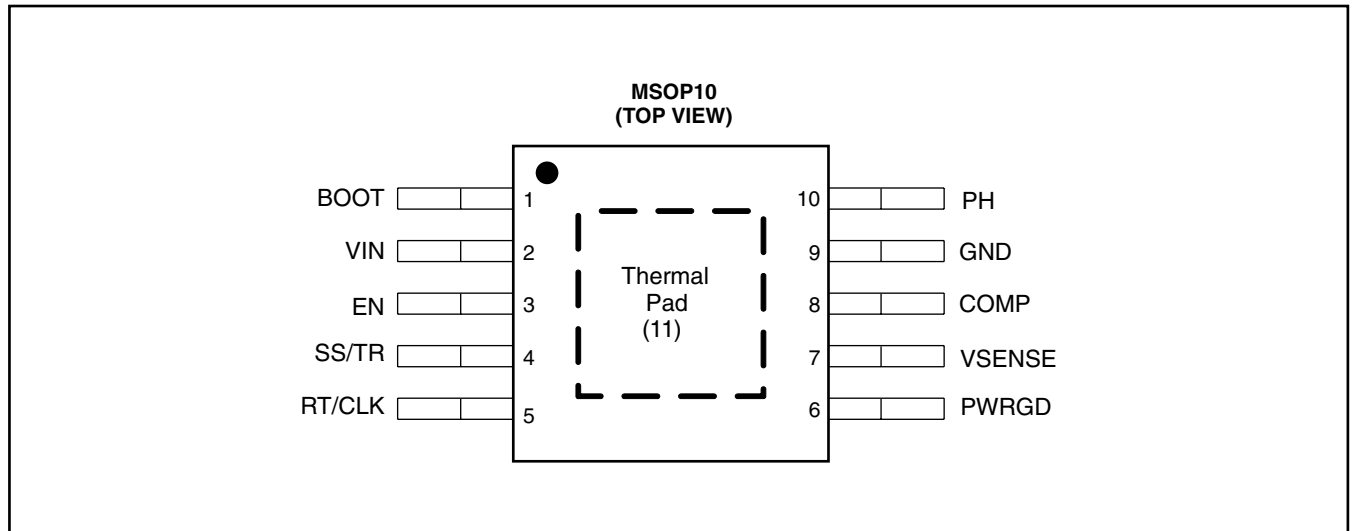
パラメータ	テスト条件	MIN	TYP	MAX	単位
SUPPLY VOLTAGE (VIN PIN)					
Operating input voltage		3.5		42	V
Internal undervoltage lockout threshold	No voltage hysteresis, rising and falling		2.5		V
Shutdown supply current	$EN = 0\text{ V}$, 25°C , $3.5\text{ V} \leq V_{IN} \leq 42\text{ V}$		1.3	4	μA
Operating : nonswitching supply current	$V_{SENSE} = 0.83\text{ V}$, $V_{IN} = 12\text{ V}$, 25°C		138	200	
ENABLE AND UVLO (EN PIN)					
Enable threshold voltage	No voltage hysteresis, rising and falling, 25°C	1.15	1.25	1.36	V
Input current	Enable threshold +50 mV		-3.8		μA
	Enable threshold -50 mV		-0.9		
Hysteresis current			-2.9		μA
VOLTAGE REFERENCE					
Voltage reference	$T_J = 25^{\circ}\text{C}$	0.792	0.8	0.808	V
		0.784	0.8	0.816	
HIGH-SIDE MOSFET					
On-resistance	$V_{IN} = 3.5\text{ V}$, $BOOT-PH = 3\text{ V}$		300		$\text{m}\Omega$
	$V_{IN} = 12\text{ V}$, $BOOT-PH = 6\text{ V}$		200	410	
ERROR AMPLIFIER					
Input current			50		nA
Error amplifier transconductance (g_M)	$-2\ \mu\text{A} < I_{COMP} < 2\ \mu\text{A}$, $V_{COMP} = 1\text{ V}$		310		μMhos
Error amplifier transconductance (g_M) during slow start	$-2\ \mu\text{A} < I_{COMP} < 2\ \mu\text{A}$, $V_{COMP} = 1\text{ V}$, $V_{SENSE} = 0.4\text{ V}$		70		μMhos
Error amplifier dc gain	$V_{SENSE} = 0.8\text{ V}$		10,000		V/V
Error amplifier bandwidth			2700		kHz
Error amplifier source/sink	$V_{(COMP)} = 1\text{ V}$, 100 mV overdrive		± 27		μA
COMP to switch current transconductance			10.5		A/V
CURRENT LIMIT					
Current limit threshold	$V_{IN} = 12\text{ V}$, $T_J = 25^{\circ}\text{C}$	3.5	6.1		A
THERMAL SHUTDOWN					
Thermal shutdown			182		$^{\circ}\text{C}$

電気的特性

$T_J = -40^{\circ}\text{C} \sim 150^{\circ}\text{C}$ 、 $V_{IN} = 3.5\text{V} \sim 42\text{V}$ (特に記述のない限り)

パラメータ		テスト条件	MIN	TYP	MAX	単位
TIMING RESISTOR AND EXTERNAL CLOCK (RT/CLK PIN)						
	Switching Frequency Range using RT mode		100		2500	kHz
f_{sw}	Switching frequency	$R_T = 200\text{ k}\Omega$	450	581	720	kHz
	Switching Frequency Range using CLK mode		300		2200	kHz
	Minimum CLK input pulse width			40		ns
	RT/CLK high threshold			1.9	2.2	V
	RT/CLK low threshold		0.5	0.7		V
	RT/CLK falling edge to PH rising edge delay	Measured at 500 kHz with RT resistor in series		60		ns
	PLL lock in time	Measured at 500 kHz		100		μs
SLOW START AND TRACKING (SS/TR)						
	Charge current	$V_{\text{SS/TR}} = 0.4\text{ V}$		2		μA
	SS/TR-to-VSENSE matching	$V_{\text{SS/TR}} = 0.4\text{ V}$		45		mV
	SS/TR-to-reference crossover	98% nominal		1.15		V
	SS/TR discharge current (overload)	$V_{\text{SENSE}} = 0\text{ V}$, $V(\text{SS/TR}) = 0.4\text{ V}$		382		μA
	SS/TR discharge voltage	$V_{\text{SENSE}} = 0\text{ V}$		54		mV
POWER GOOD (PWRGD PIN)						
V_{VSENSE}	VSENSE threshold	VSENSE falling		92%		
		VSENSE rising		94%		
		VSENSE rising		109%		
		VSENSE falling		107%		
	Hysteresis	VSENSE falling		2%		
	Output high leakage	$V_{\text{SENSE}} = V_{\text{REF}}$, $V(\text{PWRGD}) = 5.5\text{ V}$, 25°C		10		nA
	On resistance	$I(\text{PWRGD}) = 3\text{ mA}$, $V_{\text{SENSE}} < 0.79\text{ V}$		50		Ω
	Minimum V_{IN} for defined output	$V(\text{PWRGD}) < 0.5\text{ V}$, $I(\text{PWRGD}) = 100\text{ }\mu\text{A}$		0.95	1.5	V

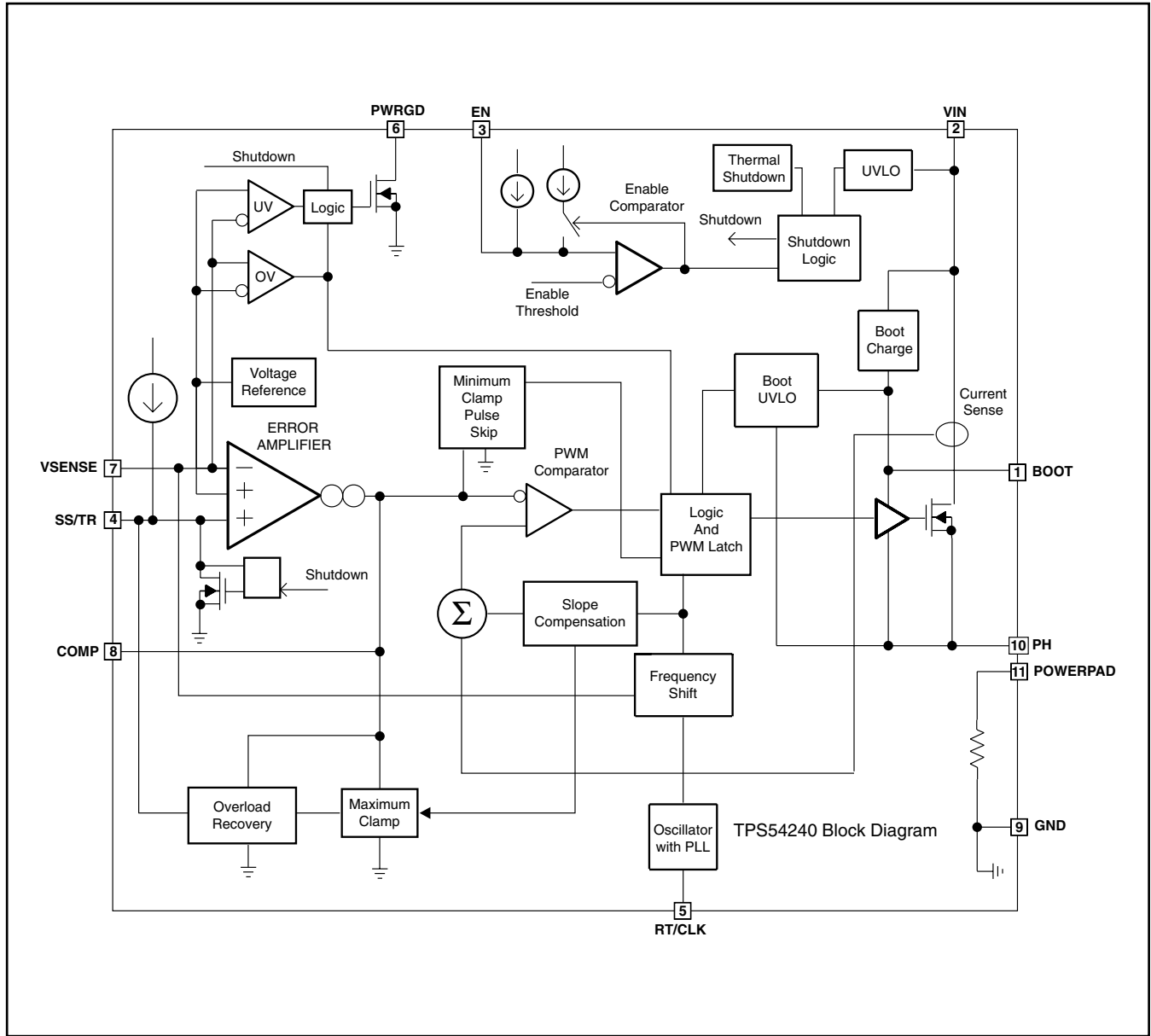
製品情報 ピン構成



ピン機能

ピン		I/O	説明
名前	番号		
BOOT	1	O	BOOTとPHの間にブートストラップ・コンデンサが必要です。このコンデンサの電圧が出力デバイスに対して必要な最小値を下回った場合、出力はコンデンサがリフレッシュされるまで強制的にオフになります。
COMP	8	O	誤差増幅器の出力、および出力スイッチ電流コンパレータの入力。このピンに周波数補償部品を接続します。
EN	3	I	イネーブル・ピン、内部プルアップ電流源。ディスエーブルにするには、1.2V未満にプルダウンします。イネーブルにするには、フローティングにします。2つの抵抗を使用して入力低電圧ロックアウトを調整します。
GND	9	-	グラウンド
PH	10	I	内部ハイサイド・パワーMOSFETのソース。
POWERPAD	11	-	適切な動作のためには、GNDピンをプリント基板上の露出したパッドに電気的に接続する必要があります。
PWRGD	6	O	過熱シャットダウン、ドロップアウト、過電圧、またはENシャットダウンによって出力電圧が規定値を外れた場合にアサートされる、オープン・ドレイン出力です。
RT/CLK	5	I	タイミング抵抗接続および外部クロック入力端子。スイッチング周波数を設定するために、このピンとグラウンドの間に外部抵抗を接続すると、内部アンプによってこのピンが固定電圧に保持されます。このピンをPLLの上限スレッシュホールドより高くプルアップすると、モード遷移が発生し、ピンは同期入力となります。内部アンプはディスエーブルになり、このピンは内部PLLへのハイ・インピーダンス・クロック入力となります。クロック・エッジが停止すると、内部アンプが再イネーブルされ、モードは抵抗設定機能に戻ります。
SS/TR	4	I	スロー・スタートおよびトラッキング入力。このピンに接続する外部コンデンサによって、出力の立ち上がり時間が設定されます。このピンの電圧は内部リファレンスよりも優先されるため、トラッキングおよびシーケンシングにも使用できます。
VIN	2	I	入力電源電圧、3.5V~42V
VSENSE	7	I	トランスコンダクタンス (gm) 誤差増幅器の反転ノード。

機能ブロック図



代表的特性

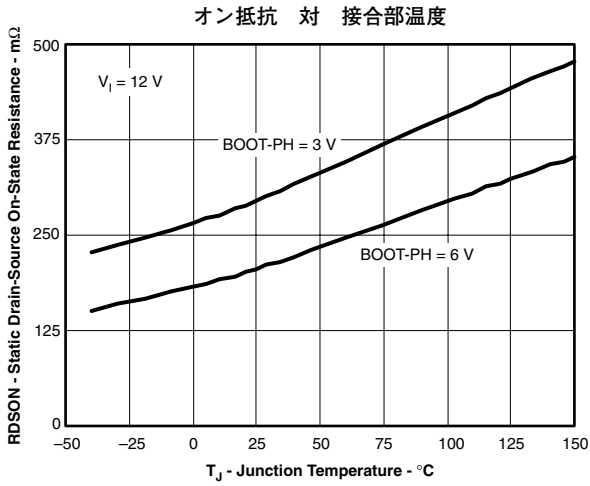


図 1

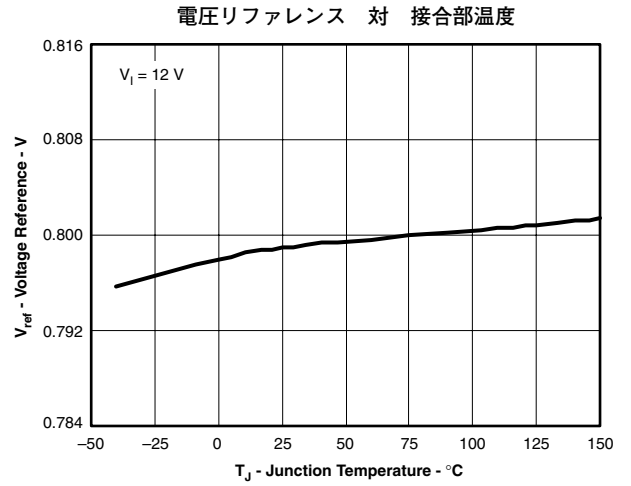


図 2

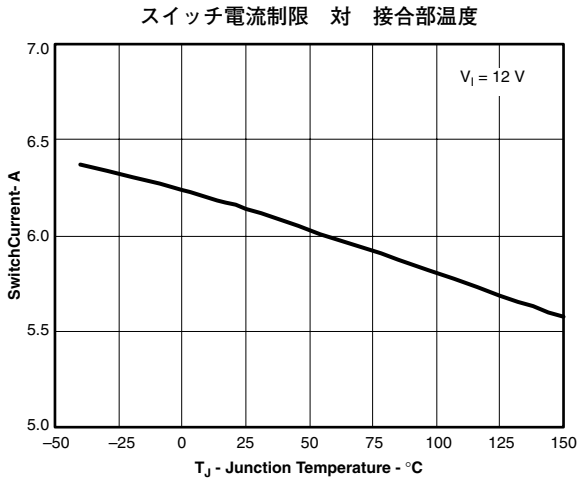


図 3

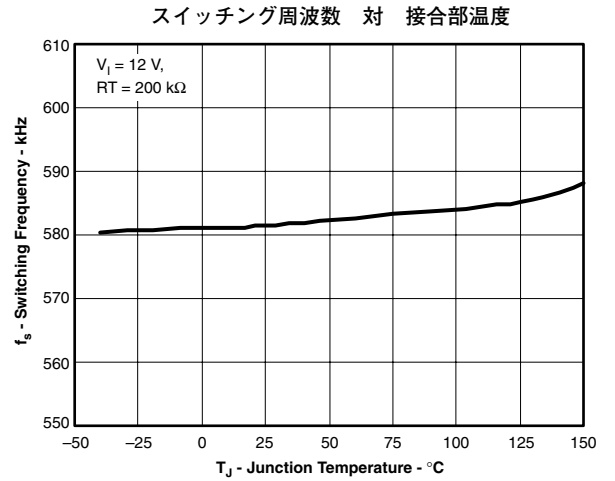


図 4

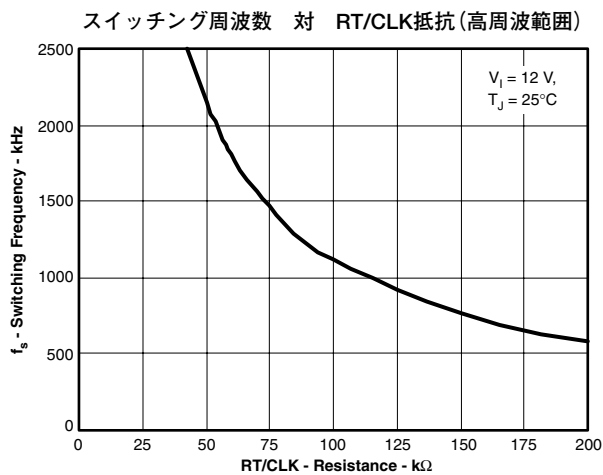


図 5

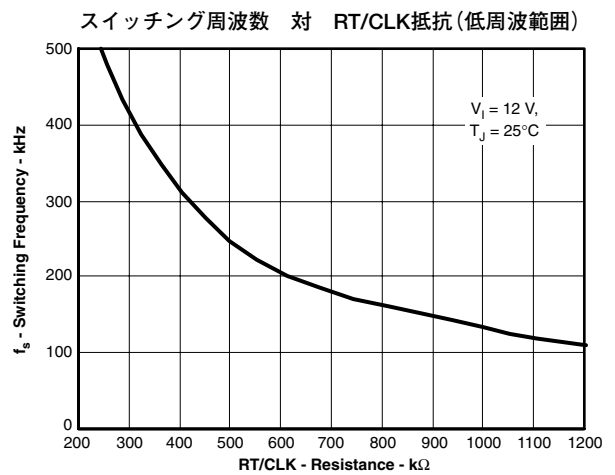


図 6

代表的特性

スロー・スタート中のEAトランスコンダクタンス
対
接合部温度

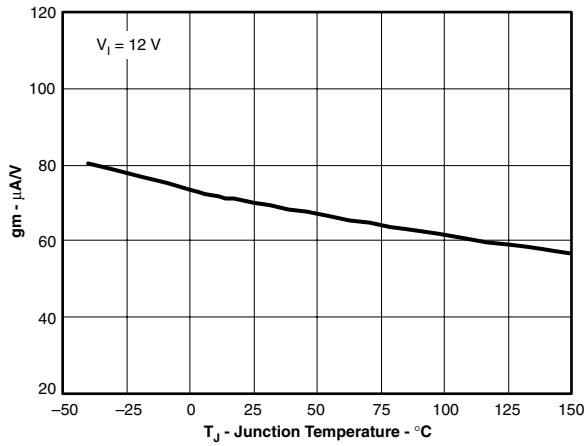


図 7

EAトランスコンダクタンス 対 接合部温度

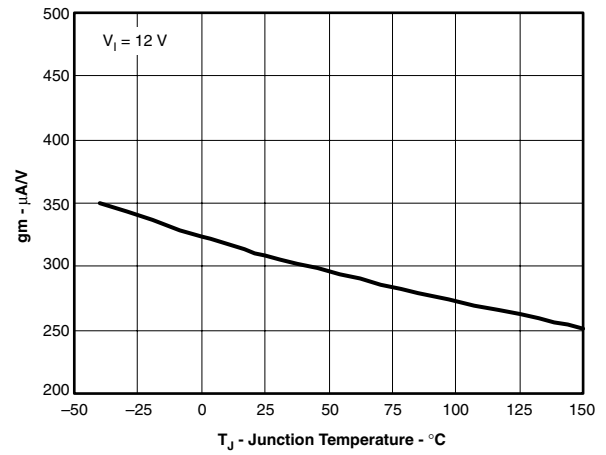


図 8

ENピン電圧 対 接合部温度

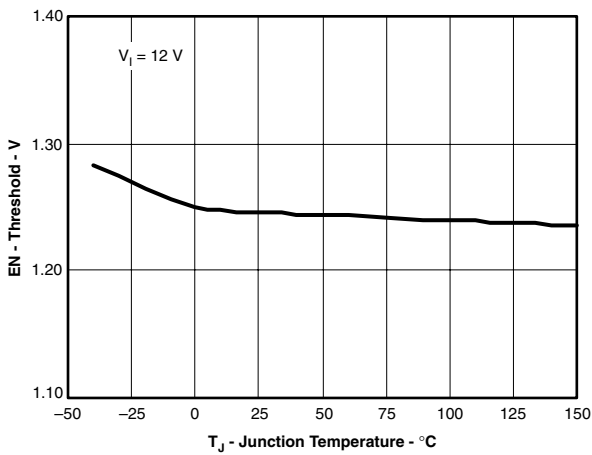


図 9

ENピン電流 対 接合部温度

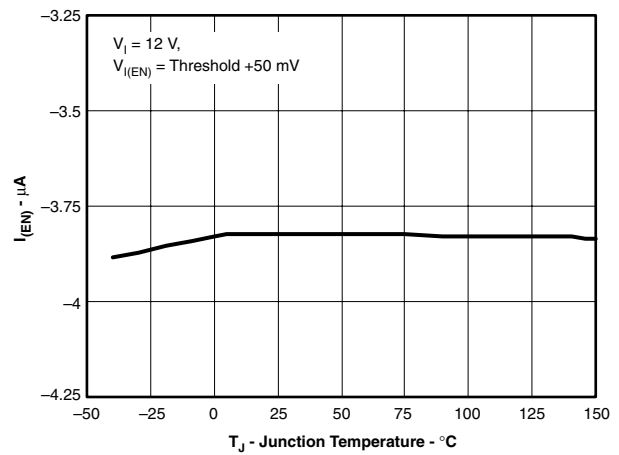


図 10

ENピン電流 対 接合部温度

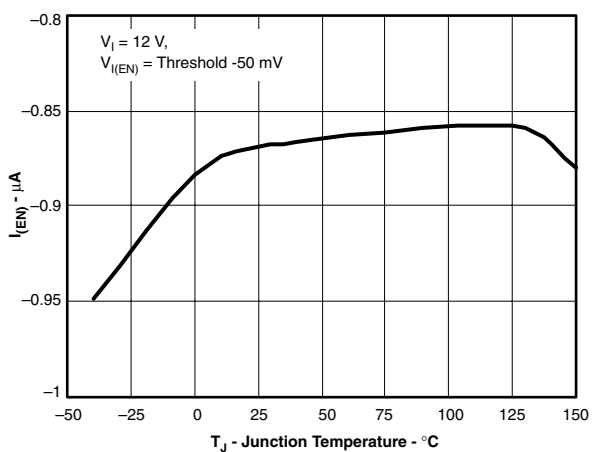


図 11

SS/TR充電電流 対 接合部温度

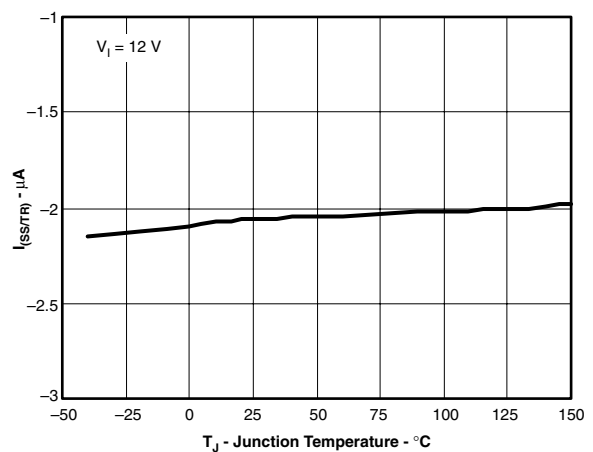


図 12

代表的特性

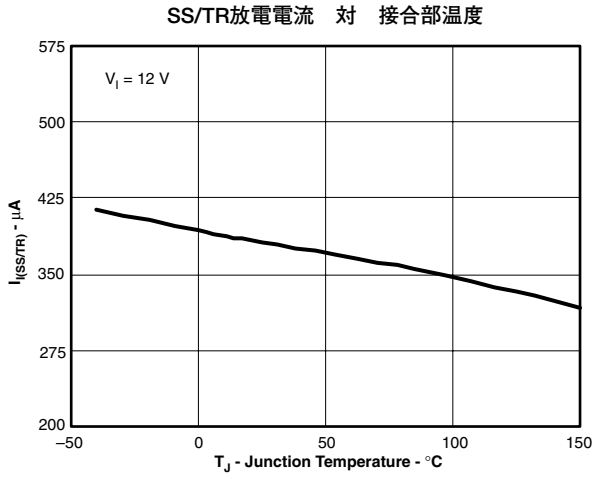


図 13

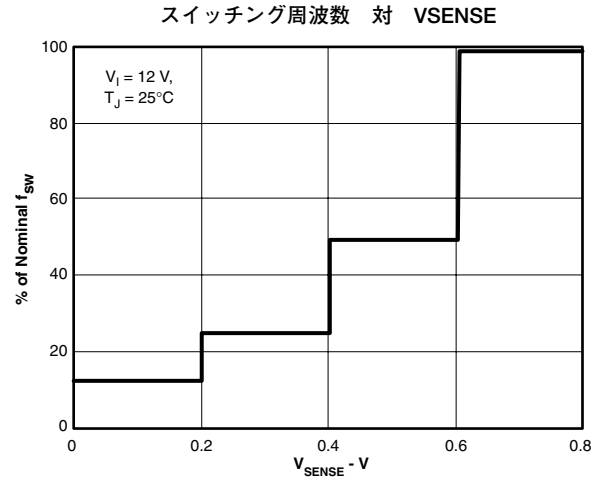


図 14

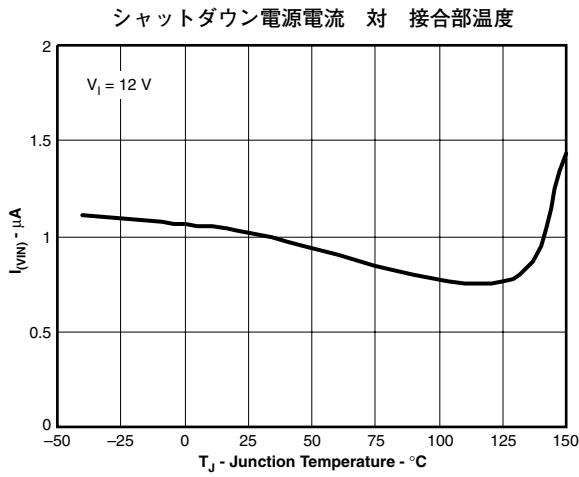


図 15

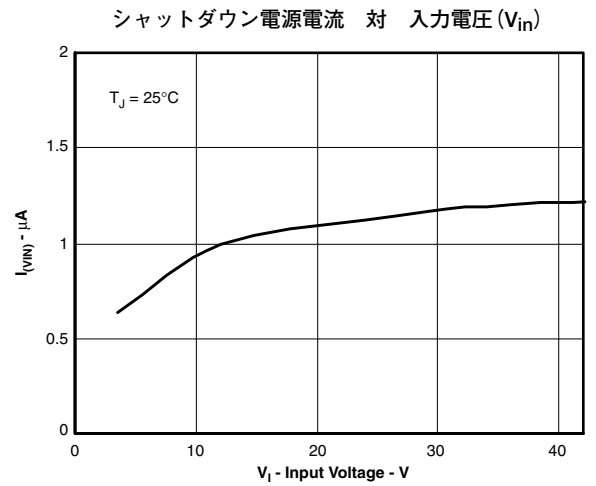


図 16

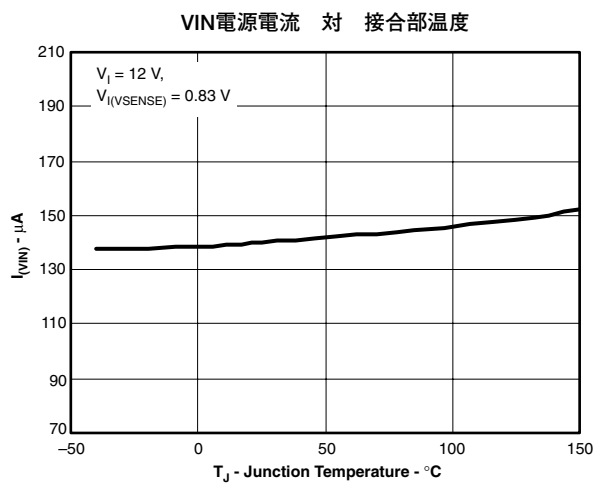


図 17

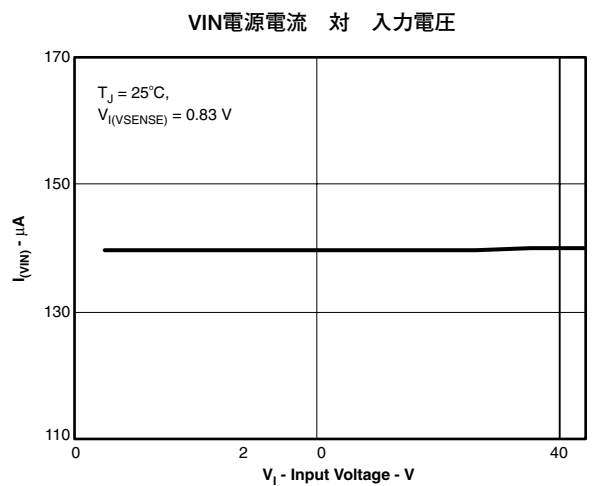


図 18

代表的特性

PWRGDオン抵抗 対 接合部温度

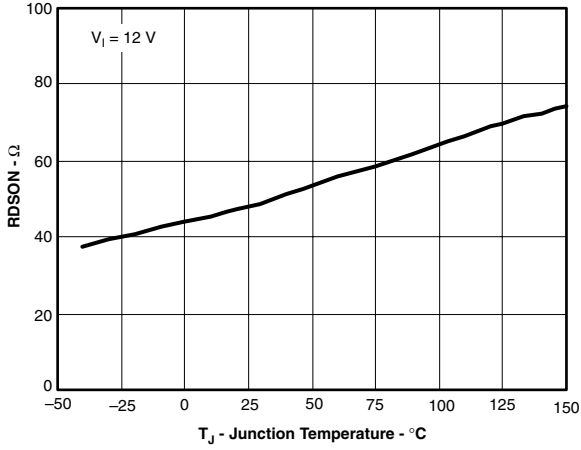


図 19

PWRGDスレッシュホールド 対 接合部温度

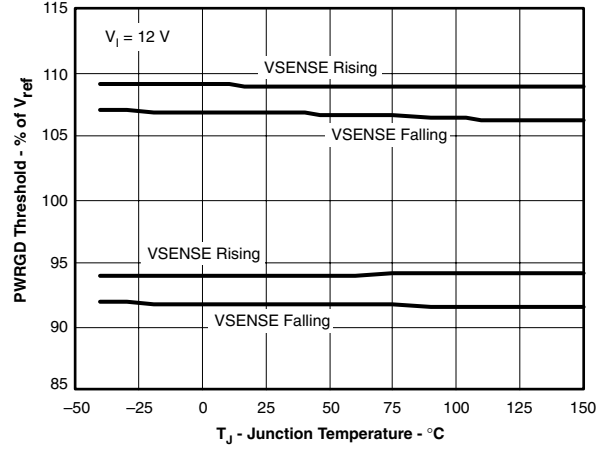


図 20

BOOT-PH UVLO 対 接合部温度

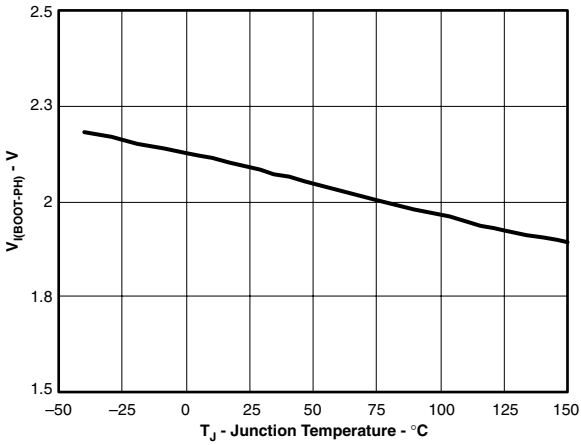


図 21

入力電圧 (UVLO) 対 接合部温度

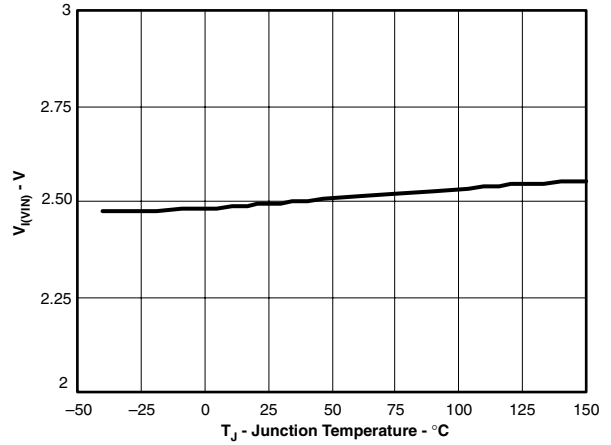


図 22

SS/TR-VSENSEオフセット 対 VSENSE

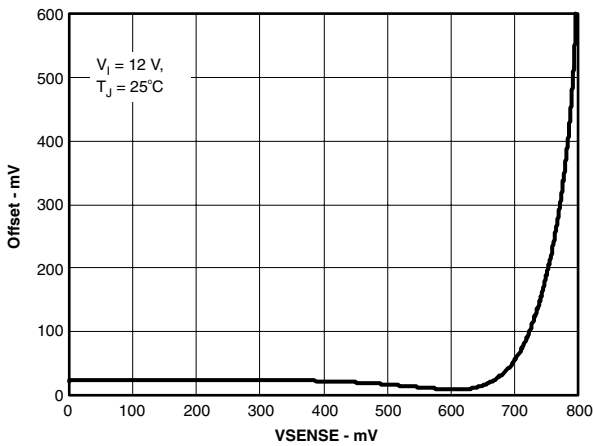


図 23

SS/TR-VSENSEオフセット 対 接合部温度

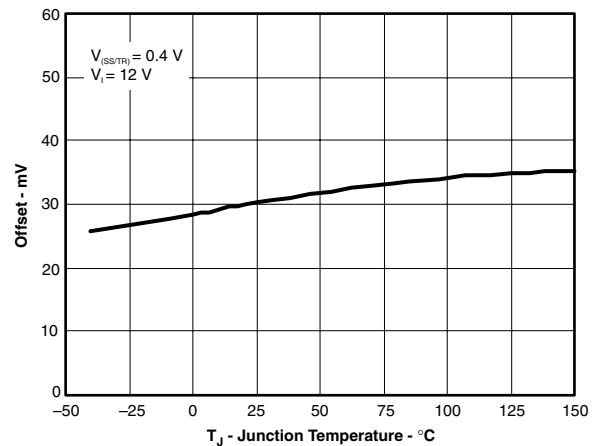


図 24

概要

TPS54240は、ハイサイドNチャネルMOSFETを内蔵した、42V、2.5Aの降圧型(バック)レギュレータです。ラインおよび負荷の過渡状態における性能を向上させるため、定周波数の電流モード制御で動作し、出力容量の低減、外部周波数補償設計の簡易化を実現しています。スイッチング周波数の範囲が100kHz~2500kHzと広いため、出力フィルタ部品の選択時に効率およびサイズを最適化できます。スイッチング周波数は、RT/CLKピンからグランドへの抵抗を使用して調整します。RT/CLKピンには内部フェーズロックループ(PLL)が備えられ、パワー・スイッチをオンにするタイミングを外部システム・クロックの立ち下がりエッジに同期させることができます。

TPS54240のスタートアップ電圧はデフォルトで約2.5Vです。ENピンの内部プルアップ電流源を使用して、入力低電圧ロックアウト(UVLO)のスレッシュホールドを2つの外部抵抗により調整可能です。また、このプルアップ電流によってデフォルト状態を設定できます。ENピンがフローティングになると、デバイスが動作します。無負荷で非スイッチング時の動作電流は、138 μ Aです。デバイスがディスエーブル時の消費電流は、1.3 μ Aです。

内蔵の200m Ω ハイサイドMOSFETにより、2.5Aの連続電流を負荷に供給できる高効率の電源設計が可能になります。TPS54240は、ブート再充電ダイオードを内蔵しているため、外部部品数を低減できます。内蔵ハイサイドMOSFETのバイアス電圧は、BOOT-PHピン間のコンデンサによって供給されます。このブート・コンデンサ電圧はUVLO回路によって監視され、内部設定されたスレッシュホールドを下回ると、ハイサイドMOSFETがオフになります。このブートUVLOにより、TPS54240は高いデューティ・サイクルで動作が可能です。出力電圧は、0.8Vのリファレンスと同じ値まで降圧させることができます。

TPS54240はパワー・グッド・コンパレータ(PWRGD)を備え、これはレギュレーション出力電圧が公称出力電圧の92%未満または109%を超えたときにアサートされます。PWRGDピンはオープン・ドレイン出力であり、VSENSEピンの電圧が公称出力電圧の94%~107%の範囲内のときにデアサートされ、プルアップ抵抗を使用した場合には“High”に遷移します。

TPS54240では、OVパワー・グッド・コンパレータを利用して、過度の出力過電圧(OV)を最小限に抑えています。OVコンパレータが作動すると、ハイサイドMOSFETはオフになり、出力電圧が107%を下回るまでオンになりません。

SS/TR(スロー・スタート/トラッキング)ピンは、パワーアップ時に突入電流を最小限に抑え、或は電源シーケンシングを構成するために使用できます。スロー・スタート時間を調整するには、このピンに小容量のコンデンサを接続します。電源シーケンシングの要件が重要である場合には、このピンに分圧抵抗を接続できます。SS/TRピンは、出力のパワーアップ前に放電されます。この放電によって、過熱障害、UVLO障害、またはディスエーブル状態の後に、再起動を繰り返すことが可能になります。

また、TPS54240は、過負荷回復回路によって過負荷状態時にスロー・スタート・コンデンサを放電します。過負荷回復回路は、過負荷状態が解消されると、出力を障害電圧から公称レ

ギュレーション電圧へとスロー・スタートさせます。周波数フォールドバック回路により、起動時および過電流障害時にスイッチング周波数が低くなり、インダクタ電流を制御しやすくなります。

詳細説明

固定周波数PWM制御

TPS54240は、調整可能な固定周波数のピーク電流モード制御を使用します。COMPピンを駆動する誤差増幅器により、出力電圧がVSENSEピンの外付け抵抗を通して内部電圧リファレンスと比較されます。内部発振器により、ハイサイド・パワー・スイッチのオン動作が開始され、誤差増幅器の出力がハイサイド・パワー・スイッチ電流と比較されます。パワー・スイッチ電流がCOMP電圧で設定されたレベルに達すると、パワー・スイッチがオフになります。出力電流が増加および減少すると、COMPピン電圧も増加および減少します。デバイスではCOMPピン電圧を最大レベルにクランプすることで電流制限を実現しています。また、COMPピンの最小クランプによってEco-mode™を実現しています。

スロー補償出力電流

TPS54240は、スイッチ電流信号に補償ランプを追加します。このスロー補償により、低調波発振を防いでいます。使用可能なピーク・インダクタ電流は、デューティ・サイクルの範囲全体にわたって一定です。

パルス・スキップEco-mode

TPS54240は、軽負荷電流時にはパルス・スキップEcoモードで動作し、スイッチング損失やゲート駆動損失の低減によって効率を向上させます。出力電圧がレギュレーション範囲内のときに、任意のスイッチング・サイクルの終わりでピーク・スイッチ電流がパルス・スキップ電流スレッシュホールドを下回っている場合、TPS54240はEcoモードに入るよう設計されています。この電流スレッシュホールドは、公称COMP電圧(500mV)に対応した電流レベルです。

Eco-modeでは、COMPピンの電圧が500mVにクランプされ、ハイサイドMOSFETがディスエーブルになります。負荷電流または出力電圧がさらに低下しても、COMPピンはこのクランプ電圧レベルを下回りません。

デバイスはスイッチングを停止しているため、出力電圧は低下し始めます。電圧制御ループによって出力電圧の低下が補償されるため、COMPピンの電圧は上昇を開始します。このとき、ハイサイドMOSFETがイネーブルとなり、次のスイッチング・サイクルでスイッチング・パルスが開始されます。ピーク電流は、COMPピンの電圧によって設定されます。出力電圧がレギュレーション値に再上昇した後、ピーク・スイッチ電流は減少し始め、さらに減少してEcoモード・スレッシュホールドを下回ると、デバイスは再度Ecoモードに入ります。

Ecoモード動作に関して、TPS54240は(平均電流や負荷電流ではなく)ピーク電流をセンスするため、デバイスがEcoモードに入る負荷電流は出力インダクタ値によって異なります。例

例えば、図49の回路は、出力電流が約5mAになるとEcoモードに入ります。負荷電流が低く、出力電圧がレギュレーション内のとき、デバイスはスリープ・モードに入り、静止時入力電流はわずか138 μ Aとなります。スリープ・モード中、内部PLLは動作を継続します。軽負荷時にパルス・スキップ・モードで動作している間は、外部クロック信号に同期してスイッチング遷移が行われます。

低ドロップアウト動作とブートストラップ電圧 (BOOT)

TPS54240にはブート・レギュレータが内蔵され、ハイサイドMOSFETのゲート駆動電圧を提供するために、BOOTピンとPHピンの間に小さなセラミック・コンデンサが必要です。BOOTコンデンサは、ハイサイドMOSFETがオフでローサイド・ダイオードが導通しているときにリフレッシュされます。このセラミック・コンデンサの値は、0.1 μ Fとしてください。温度および電圧に対して安定した特性を持つため、X7RまたはX5Rクラスの誘電体を持つ電圧定格10V以上のセラミック・コンデンサを推奨します。

ドロップ・アウトを改善するため、TPS54240は、BOOT-PHピン間の電圧が2.1V以上であれば、100%のデューティ・サイクルで動作するよう設計されています。BOOT-PH間の電圧が2.1Vを下回ると、UVLO回路によってハイサイドMOSFETがオフになることで、ローサイド・ダイオードが導通してBOOTコンデンサの電荷がリフレッシュされます。BOOTコンデンサからソースされる電源電流は低いため、ハイサイドMOSFETはコンデンサのリフレッシュに必要な時間よりも多くのスイッチング・サイクルにわたってオンに保持でき、結果として、スイッチング・レギュレータの実効的なデューティ・サイクルが大きくなります。

レギュレータのドロップアウト時の実効デューティ・サイクルは、主に、パワーMOSFET、インダクタ抵抗、ローサイド・ダイオード、プリント基板抵抗のそれぞれにおける電圧降下に

よって影響を受けます。入力電圧が低下し、レギュレータが連続動作モードで動作している状態では、BOOT-PH間の電圧が2.1Vを下回るまで、出力レギュレーションを維持するように、デューティ・サイクルの100%にわたってハイサイドMOSFETをオンに保持できます。

軽負荷または無負荷での最大デューティ・サイクルのアプリケーションでは、注意が必要です。BOOTコンデンサ両端の電圧が2.1VのUVLOスレッシュホールドを下回ると、ハイサイドMOSFETがオフになりますが、PHピンをプルダウンしてBOOTコンデンサを再充電するほど十分なインダクタ電流は得られない可能性があります。BOOTコンデンサの電圧が2.1V未満であるため、レギュレータのハイサイドMOSFETはスイッチングを停止します。それにより、入力電圧と出力電圧の差が2.1Vを超えるまで出力コンデンサの電圧は低下し続けます。差が2.1Vを超えてBOOT UVLOスレッシュホールドを上回ると、デバイスは目的の出力電圧に達するまで再度スイッチングを開始します。この動作状況が、入力電圧または負荷電流が上昇するまで継続します。ENピンの抵抗による可変VIN UVLO機能を使用して、アプリケーションの最小負荷時のBOOT UVLOトリガ条件を上回るようVIN停止電圧を調整することを推奨します。

標準的な3.3Vおよび5V出力アプリケーションでの開始および停止電圧をそれぞれ図25および図26に示します。電圧は負荷電流に対してプロットされています。開始電圧は、1%以内の出力レギュレーションに必要な入力電圧として定義されます。停止電圧は、出力が5%低下するかまたはスイッチングが停止するときの入力電圧として定義されます。

高デューティ・サイクルの状況では、BOOTコンデンサが再充電されて出力のリプル電圧が増加する間、インダクタの電流リップルが増加します。これは、スイッチングが毎サイクル発生するときに、ブート・コンデンサの再充電時間が標準的なハイサイド・オフ時間よりも長いからです。

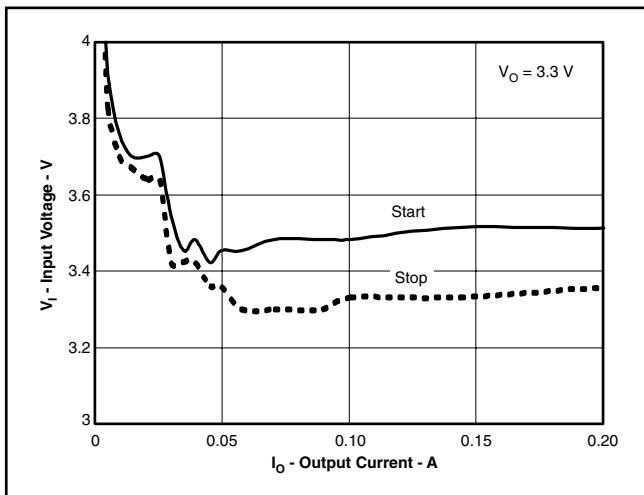


図 25. 3.3Vアプリケーションの開始/停止電圧

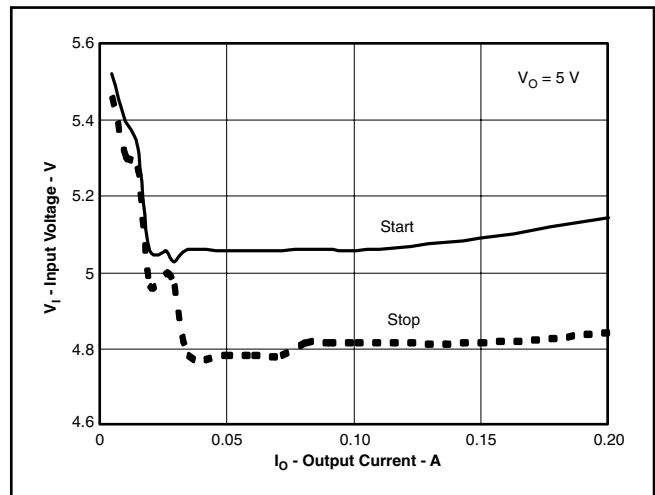


図 26. 5.0Vアプリケーションの開始/停止電圧

誤差増幅器

TPS54240は、誤差増幅器としてトランスコンダクタンス・アンプを内蔵しています。誤差増幅器は、VSENSEの電圧を、SS/TRピンの電圧または内部の0.8V電圧リファレンスのいずれか低い方と比較します。誤差増幅器のトランスコンダクタンス (gm) は、通常動作時には310 μ A/Vです。スロー・スタート動作時には、トランスコンダクタンスは通常動作時のgmよりずっと低くなります。VSENSEピンの電圧が0.8V未満で、デバイスがSS/TR電圧を使用してレギュレーションを行っている場合、gmは70 μ A/Vとなります。

COMPピンとグランドとの間に周波数補償部品 (コンデンサ、直列抵抗およびコンデンサ) が追加されます。

電圧リファレンス

電圧リファレンス・システムは、温度に対し安定なバンドギャップ回路の出力をスケールすることで、温度に対して $\pm 2\%$ の高い精度を持つ電圧リファレンスを生成します。

出力電圧の調整

出力電圧は、出力ノードとVSENSEピンとの間の分圧抵抗によって設定されます。公差1%以内の分圧抵抗を使用することを推奨します。最初はR2抵抗に10k Ω を使用し、式(1)を使ってR1を計算します。軽負荷時の効率を向上させるには、より大きな値の抵抗の使用を検討します。値が大きすぎると、レギュレータがノイズの影響を受けやすくなり、VSENSE入力電流からの電圧誤差が目立つようになります。

$$R1 = R2 \times \left(\frac{V_{out} - 0.8V}{0.8V} \right) \quad (1)$$

イネーブルおよび低電圧ロックアウトの調整

VINピンの電圧が2.5Vを下回ると、TPS54240はディスエーブルになります。アプリケーションで、より高い値での低電圧ロックアウト (UVLO) を必要とする場合は、図27のようにENピンを使用し、2個の外付け抵抗で入力電圧UVLOを調整します。UVLO調整抵抗の使用は必須ではありませんが、一貫したパワーアップ動作を実現するために強く推奨します。ENピンには0.9 μ Aの内部プルアップ電流源I1があり、ENピンがフローティングのときにTPS54240が動作するデフォルト状態を提供します。ENピンの電圧が1.25Vを超えると、2.9 μ AのヒステリシスI_{hys}が追加されます。この追加電流により、入力電圧のヒステリシスを実現できます。入力電圧の外部ヒステリシスは、式(2)を使って設定します。入力スタート電圧は、式(3)を使って設定します。

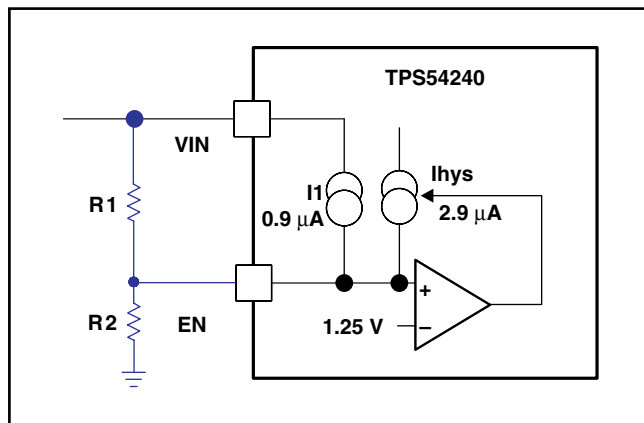


図 27. 調整可能な低電圧ロックアウト (UVLO)

$$R1 = \frac{V_{START} - V_{STOP}}{I_{HYS}} \quad (2)$$

$$R2 = \frac{V_{ENA}}{\frac{V_{START} - V_{ENA}}{R1} + I_1} \quad (3)$$

入力電圧ヒステリシスを追加するもう1つの手法を図28に示します。前の方法で抵抗値が高く、より広い電圧ヒステリシスが必要である場合に、この方法を使用できます。抵抗R3は、追加のヒステリシス電流をENピンに供給します。

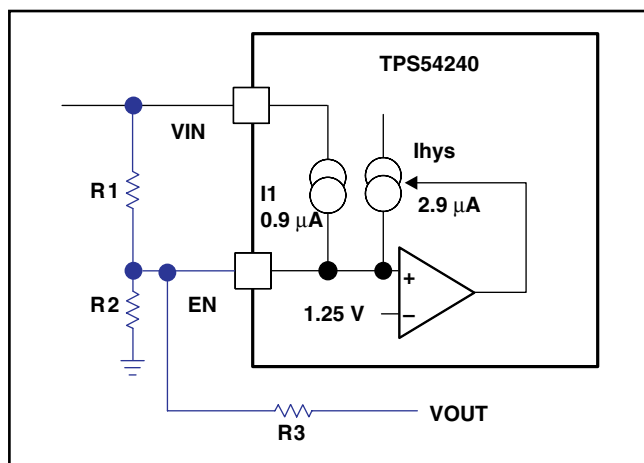


図 28. 追加ヒステリシスの提供

$$R1 = \frac{V_{START} - V_{STOP}}{I_{HYS} + \frac{V_{OUT}}{R3}} \quad (4)$$

$$R2 = \frac{V_{ENA}}{\frac{V_{START} - V_{ENA}}{R1} + I_1 - \frac{V_{ENA}}{R3}} \quad (5)$$

スロー・スタート/トラッキング・ピン (SS/TR)

TPS54240では、SS/TRピン電圧または内部電圧リファレンスのいずれか低い方の電圧を電源リファレンス電圧として使用し、それに従って出力のレギュレーションを行います。SS/TRピンとグラウンド間のコンデンサにより、スロー・スタート時間が実装されます。TPS54240には、外部のスロー・スタート・コンデンサを充電する2 μ Aのプルアップ電流源が内蔵されています。スロー・スタート時間(10%~90%)は式(6)で計算されます。電圧リファレンス(V_{REF})は0.8Vで、スロー・スタート電流(I_{SS})は2 μ Aです。スロー・スタート・コンデンサは、0.47 μ F未満、0.47nF以上とする必要があります。

$$C_{SS}(nF) = \frac{T_{SS}(ms) \times I_{SS}(\mu A)}{V_{ref}(V) \times 0.8} \quad (6)$$

パワーアップ時、TPS54240は、適切なパワーアップを保証するために、スロー・スタート・ピンが放電されて40mVを下回るまでスイッチングを開始しません(図29を参照)。

また、通常動作中、VINがUVLOの値を超えるか、ENピンが1.25V未満にプルダウンされるか、または過熱シャットダウン事象が発生した場合、TPS54240はスイッチングを停止し、SS/TRは40mVまで放電される必要があります。

VSENSE電圧は、45mVのオフセットで内部電圧リファレンスの85%までSS/TRピン電圧に追従します。SS/TR電圧が内部リファレンス電圧の85%を上回ると、実効的なシステム・リファレンスがSS/TR電圧から内部電圧リファレンスへと遷移するため、オフセットが増加します(図23を参照)。SS/TR電圧は、1.7Vでクランプされるまで直線的に上昇します。

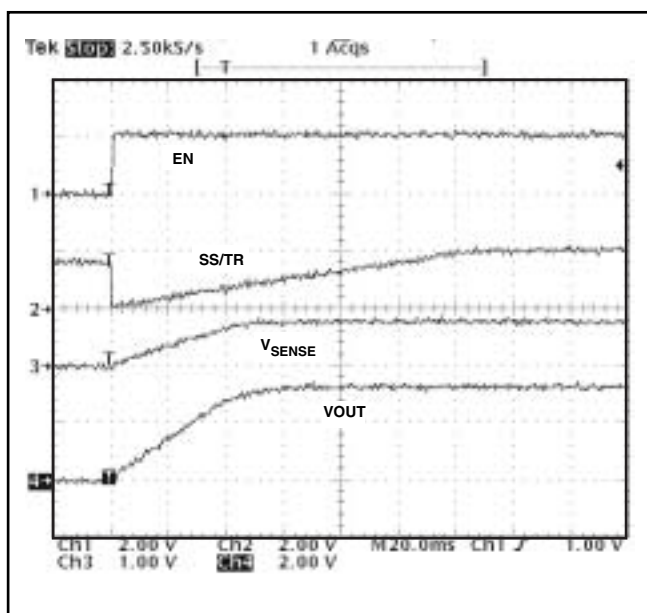


図 29. 起動時のSS/TRピンの動作

過負荷回復回路

TPS54240は、過負荷回復(OLR)回路を備えています。OLR回路は、過負荷状態が解消されると、出力を過負荷電圧から公称レギュレーション電圧へとスロー・スタートさせます。誤差増幅器が障害状態から高電圧状態へと変化すると、OLR回路は382 μ Aの内部プルダウンを使用して、SS/TRピンをVSENSEピン電圧よりわずかに高い電圧まで放電します。障害状態が解消されると、出力は障害電圧から公称出力電圧へとスロー・スタートします。

シーケンシング

SS/TR、EN、およびPWRGDピンを使用して、多くの一般的な電源シーケンシング方法を実装できます。他のデバイスのパワーオン・リセット・ピンのオープン・ドレイン出力を使用すれば、シーケンシャルな方法を実装できます。図30に、2個のTPS54240デバイスを使用したシーケンシャルな方法を示します。TPS54240のENピンにパワー・グッドを結合し、1次電源がレギュレーションに達した時点で2次電源をイネーブルにします。必要に応じて、2次電源のENピンに1nFのセラミック・コンデンサを接続することにより、1msのスタートアップ遅延を実現できます。図30の結果を図31に示します。

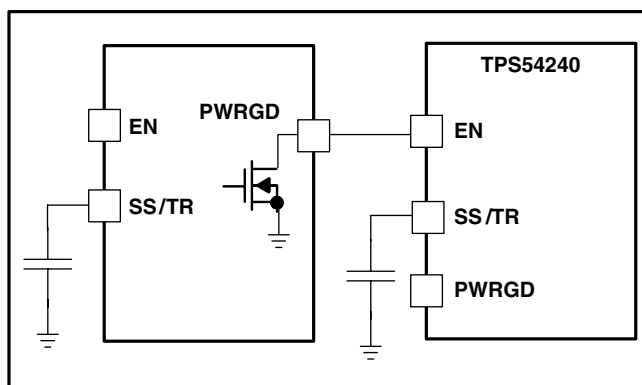


図 30. シーケンシャルなスタートアップ・シーケンスの回路図

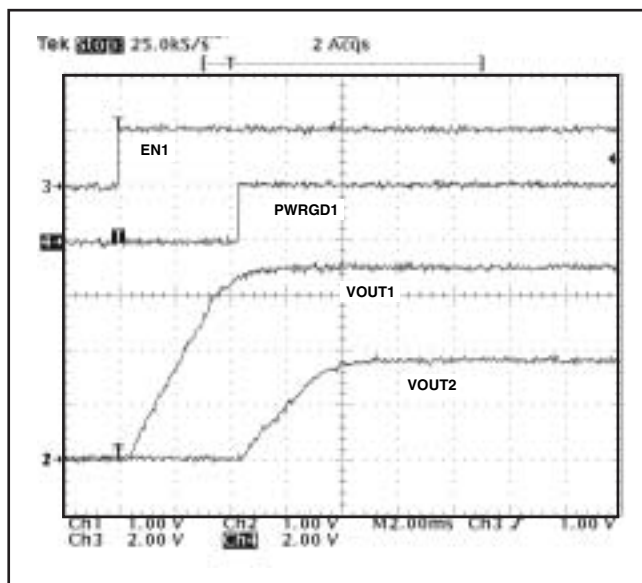


図 31. ENおよびPWRGDを使用したシーケンシャル・スタートアップ

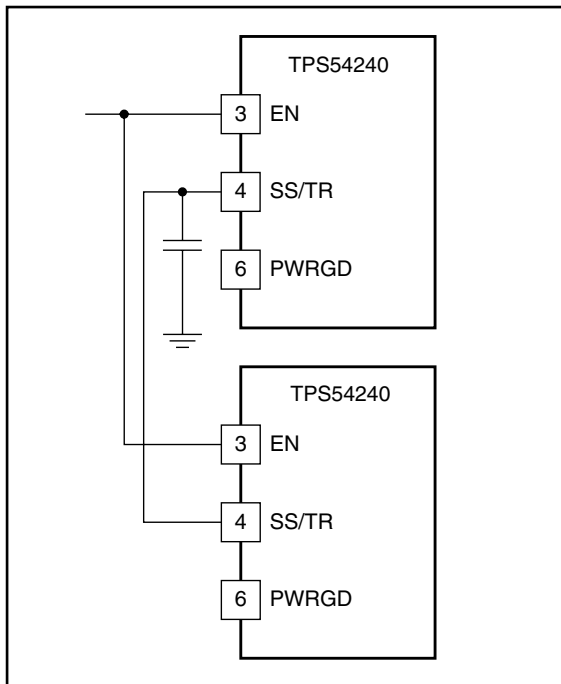


図 32. レシオメトリックなスタートアップ・シーケンスの回路図

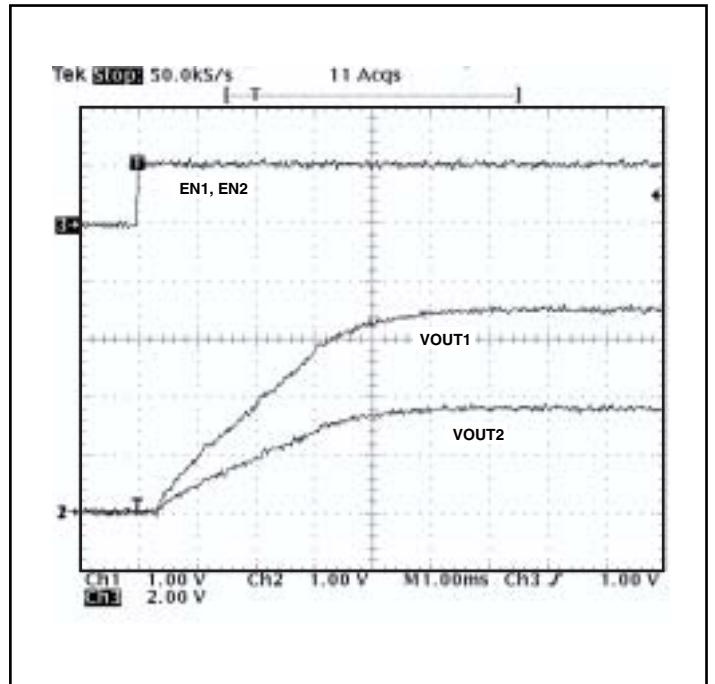


図 33. SS/TRピンの結合によるレシオメトリックなスタートアップ

図32に、SS/TRピンを互いに接続することによるレシオメトリックなスタートアップ・シーケンスの方法を示します。各レギュレータの出力は同時に上昇してレギュレーションに達します。スロー・スタート時間を計算する際には、式(6)でプルアップ電流源を2倍にする必要があります。図32の結果を図33に示します。

図34に示すようなR1とR2の抵抗ネットワークを、トラッキングが必要な電源または他の電圧リファレンス源の出力に接続することで、レシオメトリックな同時電源シーケンシングを実装

できます。式(7)と式(8)を使用して、Vout1の少し前か少し後、または同時にVout2を開始するようトラッキング抵抗を計算できます。式(9)は、公称出力レギュレーションの95%でのVout1とVout2の電圧差です。

変数 ΔV は、同時シーケンシングでは0Vです。スロー・スタート回路のSS/TR-VSENSE間の固有のオフセット($V_{ssoffset}$)、およびプルアップ電流源(I_{ss})とトラッキング抵抗によって生成されるオフセットの影響を最小限に抑えるため、 $V_{ssoffset}$ および I_{ss} が変数として式に含まれています。

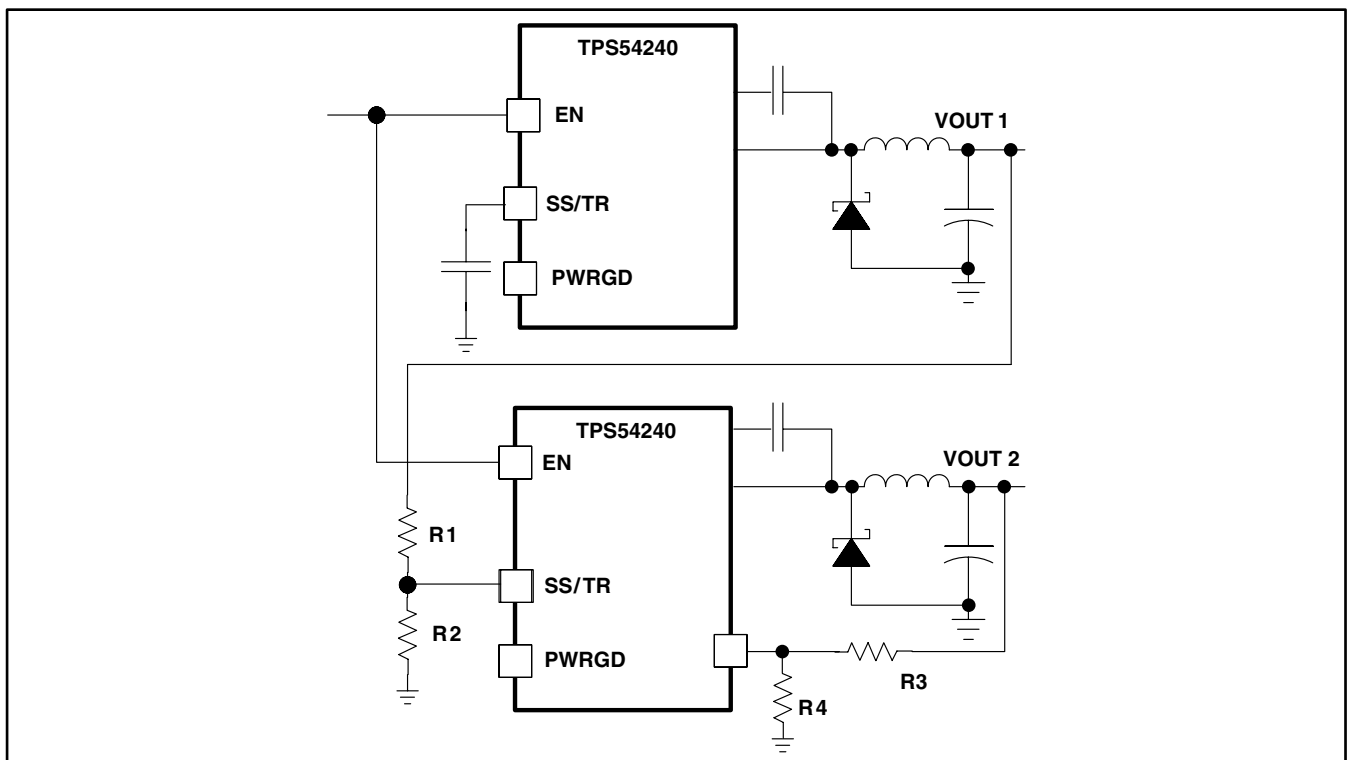


図 34. レシオメトリック/同時スタートアップ・シーケンスの回路図

Vout2がレギュレーションに達したときにVout2の電圧がVout1の電圧よりわずかに大きくなるように、レシオメトリックなスタートアップを設計するには、式(7)～式(9)でdeltaVに負の数を使用します。Vout2がレギュレーションに達したときにVout2がVout1よりわずかに低くなるアプリケーションでは、式(9)は正の数となります。

EN、UVLO、または過熱シャットダウン障害後には、起動前にSS/TRピンを40mV未満にプルダウンする必要があるため、デバイスが障害後に確実に再起動できるようトラッキング抵抗を慎重に選択する必要があります。デバイスが障害から回復できるようにするには、式(7)で計算されるR1の値が式(10)の計算値よりも大きくなる必要があります。

SS/TRの電圧が公称リファレンス電圧の85%を超えると、スロースタート回路がレギュレーション・リファレンスを徐々に内部電圧リファレンスへと移行させ、Vsoffsetが大きくなります。図23に示すように、内部電圧リファレンスへと完全に移行するには、SS/TRピンの電圧が1.3Vより大きくなる必要があります。

$$R1 = \frac{V_{out2} + \Delta V}{V_{REF}} \times \frac{V_{ssoffset}}{I_{ss}} \quad (7)$$

$$R2 = \frac{V_{REF} \times R1}{V_{out2} + \Delta V - V_{REF}} \quad (8)$$

$$\Delta V = V_{out1} - V_{out2} \quad (9)$$

$$R1 > 2800 \times V_{out1} - 180 \times \Delta V \quad (10)$$

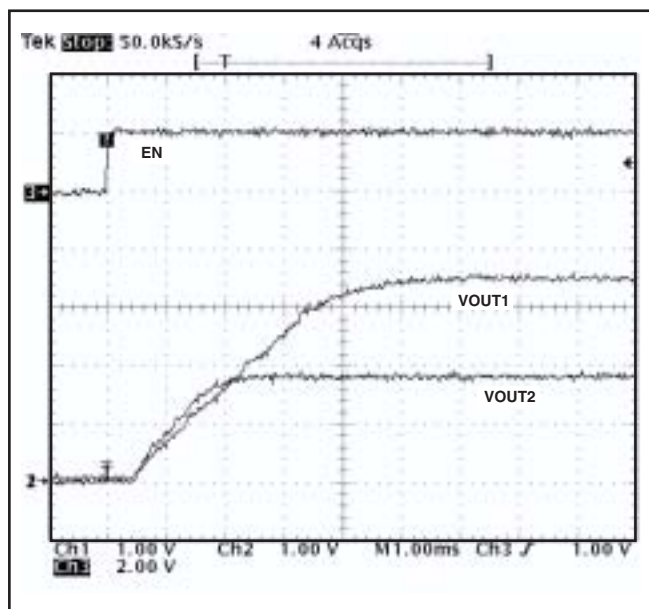


図 35. トラッキング抵抗によるレシオメトリックなスタートアップ

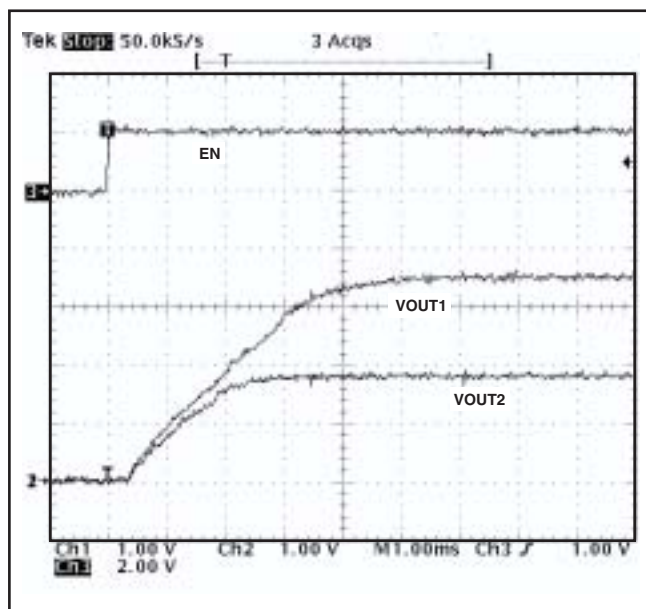


図 36. トラッキング抵抗によるレシオメトリックなスタートアップ

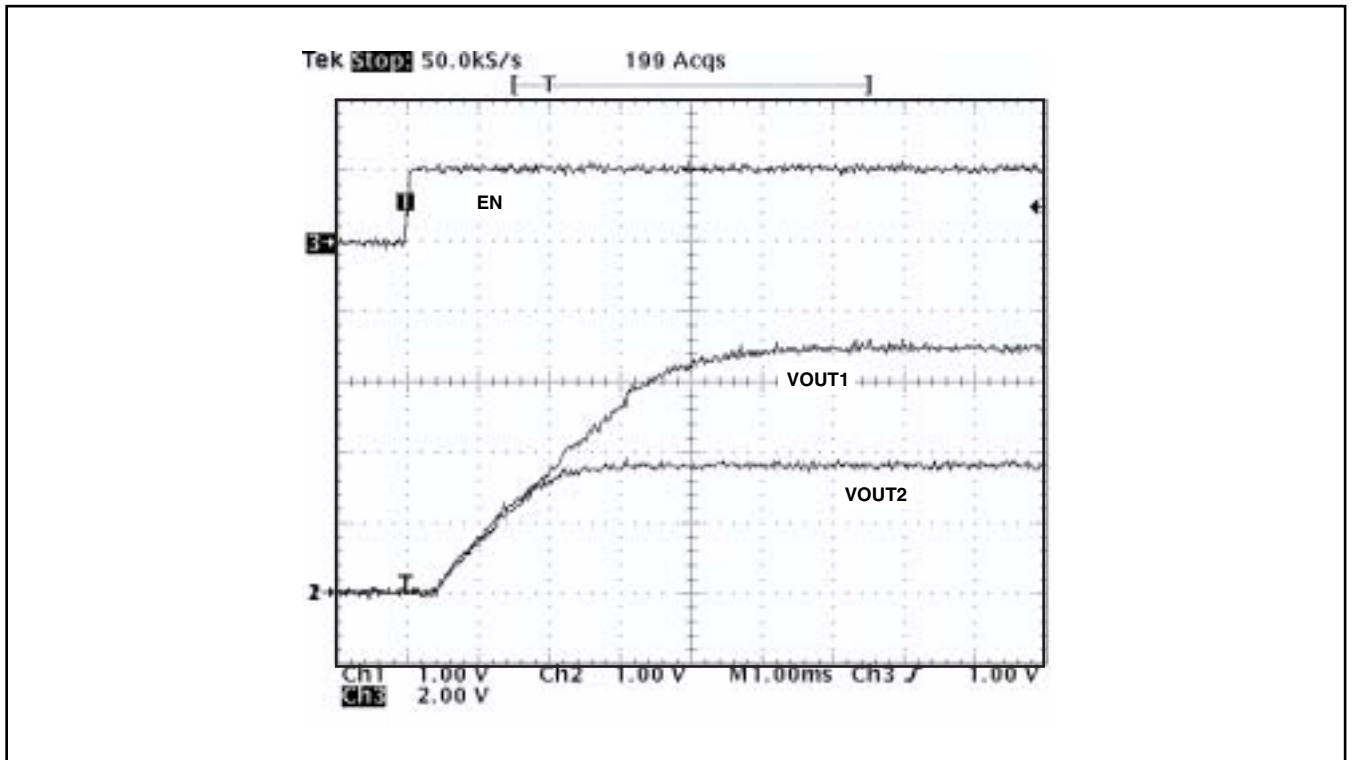


図 37. トラッキング抵抗による同時スタートアップ

一定のスイッチング周波数、およびタイミング抵抗 (RT/CLKピン)

TPS54240のスイッチング周波数は、RT/CLKピンに抵抗を接続することで、約100kHz~2500kHzという広い範囲にわたって調整可能です。RT/CLKピンの電圧は標準で0.5Vであり、スイッチング周波数を設定するにはグラウンドとの間に抵抗を接続する必要があります。特定のスイッチング周波数に対するタイミング抵抗を決定するには、式 (11) を用いるか、図38または図39の曲線を使用します。ソリューション・サイズを小さくするには、一般にスイッチング周波数をできるだけ高く設定しますが、電源効率、最大入力電圧、および最小制御可能オン時間の間でトレードオフを考慮する必要があります。

最小制御可能オン時間は標準で135nsであり、これによって最大動作入力電圧が制限されます。

最大スイッチング周波数は、周波数シフト回路によっても制限されます。最大スイッチング周波数については、以下で詳しく説明します。

$$RT \text{ (kOhm)} = \frac{206033}{f_{sw}(\text{kHz})^{1.0888}} \quad (11)$$

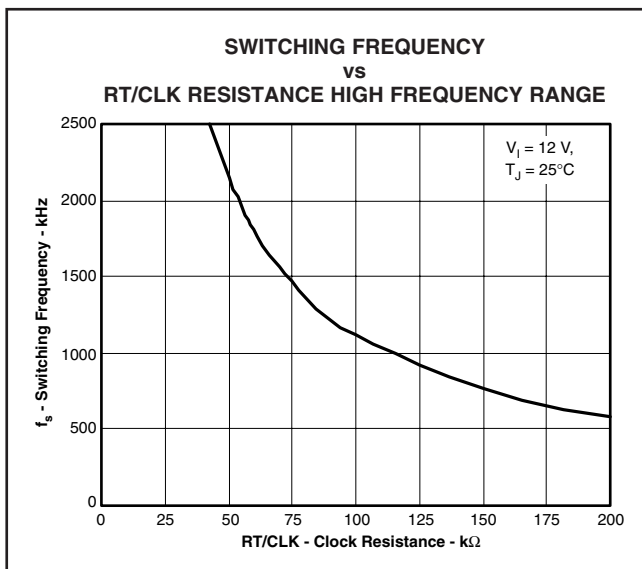


図 38. 高周波数レンジRT

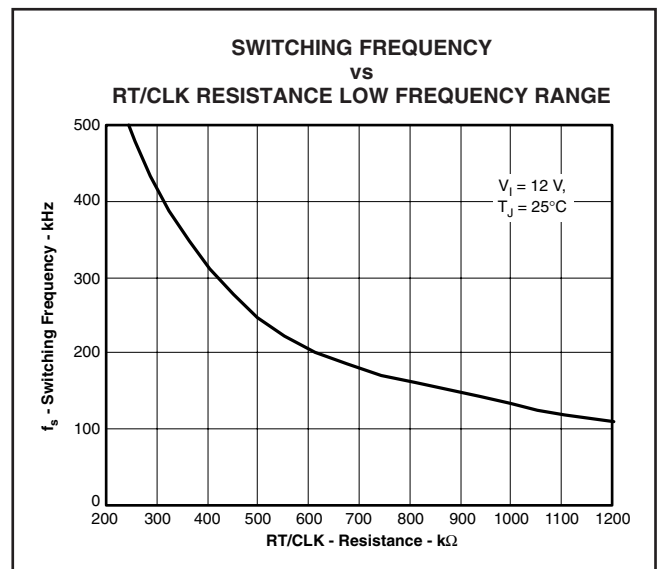


図 39. 低周波数レンジRT

過電流保護および周波数シフト

TPS54240は、電流モード制御を実装し、COMPピンの電圧を使用してハイサイドMOSFETをサイクル毎にオフにすることができます。各サイクルで、スイッチ電流とCOMPピン電圧が比較されます。ピーク・スイッチ電流がCOMP電圧と交差すると、ハイサイド・スイッチがオフになります。過電流状態で出力電圧が低下すると、誤差増幅器によってCOMPピンが“High”になり、スイッチ電流が増加します。誤差増幅器の出力は内部でクランプされ、スイッチ電流の制限として機能します。

高い入力電圧での最大動作スイッチング周波数を高めるために、TPS54240では周波数シフトを実装しています。VSENSEピンの電圧が0Vから0.8Vに上昇する際、スイッチング周波数は8、4、2、および1で分周されます。

デバイスではデジタル周波数シフトを実装することで、通常動作時および障害状態時に外部クロックとの同期を可能にしています。スイッチング周波数は8分周のみが可能のため、デバイスが動作しながら周波数シフト保護も得られる最大の入力電圧制限が存在します。

短絡発生時(特に、高入力電圧アプリケーションの場合)には、制御ループに有限の最小制御可能オン時間が存在し、出力は低電圧となります。スイッチのオン時間中は、高い入力電圧と最小オン時間により、インダクタ電流がピーク電流制限まで上昇します。スイッチのオフ時間中は、インダクタは通常、上昇したのと同じ分だけ下降するために十分なオフ時間と出力電圧を得られません。周波数シフトを行うことで、オフ時間が効果的に増加するため、電流の下降が可能となります。

スイッチング周波数の選択

選択されるスイッチング周波数は、式(12)と式(13)の2つの値のうち小さい方の値となる必要があります。式(12)は、最小制御可能オン時間によって設定される最大スイッチング周波数制限です。スイッチング周波数をこの値以上に設定すると、レギュレータがスイッチング・パルスをスキップします。

式(13)は、周波数シフト保護によって設定される最大スイッチング周波数制限です。高い入力電圧で十分な出力短絡保護を実現するには、スイッチング周波数を $f_{sw(maxshift)}$ より小さく設定する必要があります。式(13)で最大スイッチング周波数を計算するには、出力電圧が公称電圧から0Vまで減少する際に、周波数シフトに対応して $fdiv$ 整数が1から8まで増加することを考慮に入れる必要があります。

図40では、実線が周波数シフトに関する標準の安全動作領域を示し、出力電圧は0Vと仮定し、インダクタの抵抗が0.130Ω、FETのオン抵抗が0.2Ω、ダイオードの電圧降下が0.5Vです。点線は、パルスのスキップを避けるための最大スイッチング周波数です。これらの式をスプレッドシートまたは他のソフトウェアに入力するか、またはSwitcherPro設計ソフトウェアを使用してスイッチング周波数を決定します。

$$f_{SW(maxskip)} = \left[\frac{1}{t_{ON}} \right] \times \left[\frac{(I_L \times R_{dc} + V_{OUT} + V_d)}{(V_{IN} - I_L \times R_{hs} + V_d)} \right] \quad (12)$$

$$f_{SW(shift)} = \frac{fdiv}{t_{ON}} \times \left[\frac{(I_L \times R_{dc} + V_{OUTSC} + V_d)}{(V_{IN} - I_L \times R_{hs} + V_d)} \right] \quad (13)$$

I_L	インダクタ電流
R_{dc}	インダクタ抵抗
V_{IN}	最大入力電圧
V_{OUT}	出力電圧
V_{OUTSC}	短絡時の出力電圧
V_d	ダイオードの電圧降下
$R_{DS(on)}$	スイッチのオン抵抗
t_{ON}	制御可能オン時間
$fdiv$	分周数(1、2、4、または8)

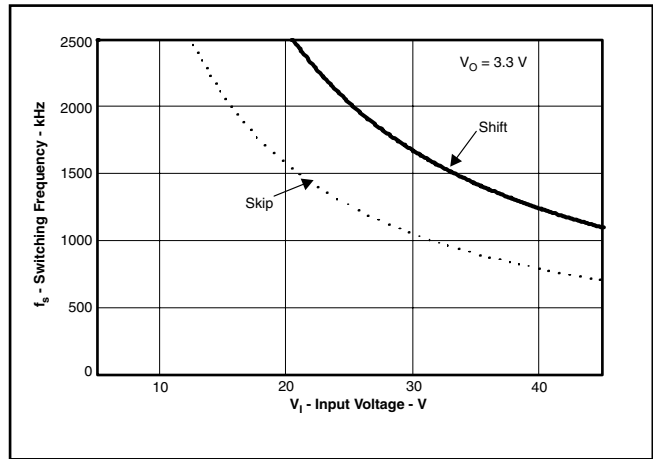


図 40. 最大スイッチング周波数 vs 入力電圧

RT/CLKピンとのインターフェイス方法

RT/CLKピンを使用して、レギュレータを外部システム・クロックに同期させることができます。同期機能を実装するには、図41に示す回路ネットワークを通してRT/CLKピンに方形波を接続します。方形波の振幅はRT/CLKピン上で0.5V未満および2.2V以上で遷移する必要があり、オン時間が40ns以上、オフ時間が40ns以上となる必要があります。同期周波数範囲は300kHz~2200kHzです。PHの立ち上がりエッジは、RT/CLKピン信号の立ち下がりエッジに同期します。外部同期回路は、同期信号がオフになったときにRT/CLKピンとグラウンドの間にデフォルトの周波数設定抵抗が接続されるよう設計される必要があります。図41に示すような周波数設定抵抗を50Ωの抵抗を介してグラウンドに接続することを推奨します。この抵抗によって、スイッチング周波数が外部CLK周波数に近い値に設定される必要があります。同期信号は10pFのセラミック・コンデンサを通してRT/CLKピンおよび4kΩ直列抵抗にAC結合することを推奨します。この直列抵抗により、重負荷アプリケーションで外部クロックと同期する場合に、および同期からRTモードに遷移するアプリケーションで、PHジッタが低減されます。CLKがCLKスレッシュホールドを最初に超えたときに、デバイスはRT抵抗周波数からPLLモードへと切り替わります。PLLが外部信号へのロックを開始すると、内部の0.5V電圧源が切り離され、

CLKピンがハイ・インピーダンスになります。レギュレータはPLLを備えているため、スイッチング周波数は外部抵抗で設定された周波数よりも高くまたは低くできます。デバイスは抵抗モードからPLLモードに移した後、PLLが100マイクロ秒以内にCLK周波数にロックするまで、スイッチング周波数を上昇または下降させます。

デバイスがPLLモードから抵抗モードに移行すると、スイッチング周波数がCLK周波数から150kHzへとスローダウンした後、0.5Vの電圧が再印加され、抵抗によりスイッチング周波数が設定されます。VSENSEピンの電圧が0Vから0.8Vに上昇する際、スイッチング周波数は8、4、2、および1で分周されます。デバイスではデジタル周波数シフトを実装することで、通常動作時および障害状態時に外部クロックとの同期を可能にしています。図42、図43、および図44に、連続導通モード(ccm)、不連続導通モード(dcm)、およびパルス・スキップ・モード(psm)

での外部システム・クロックとの同期を示します。

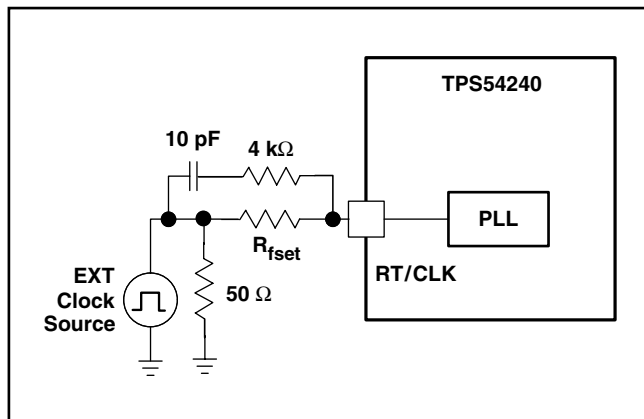


図 41. システム・クロックとの同期

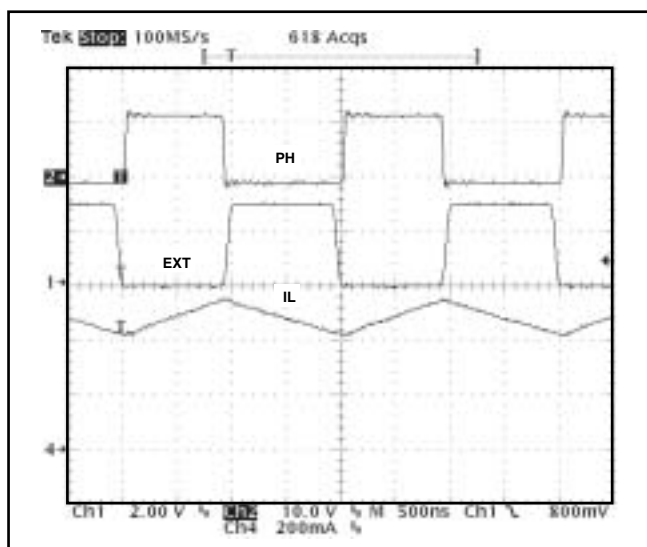


図 42. ccmでの同期プロット

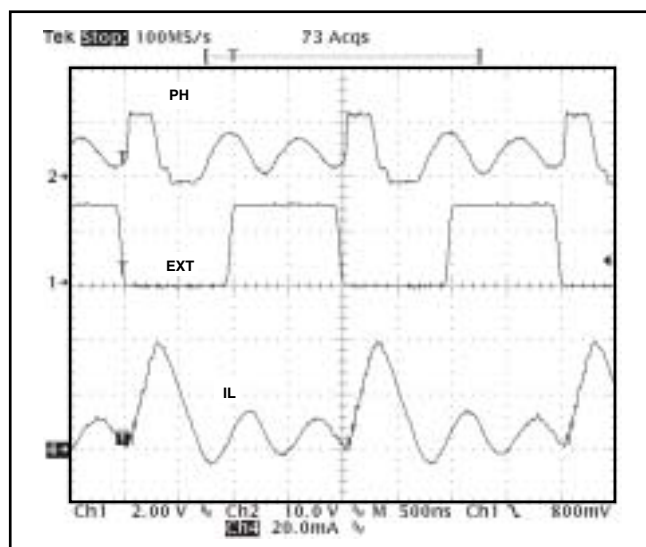


図 43. dcmでの同期プロット

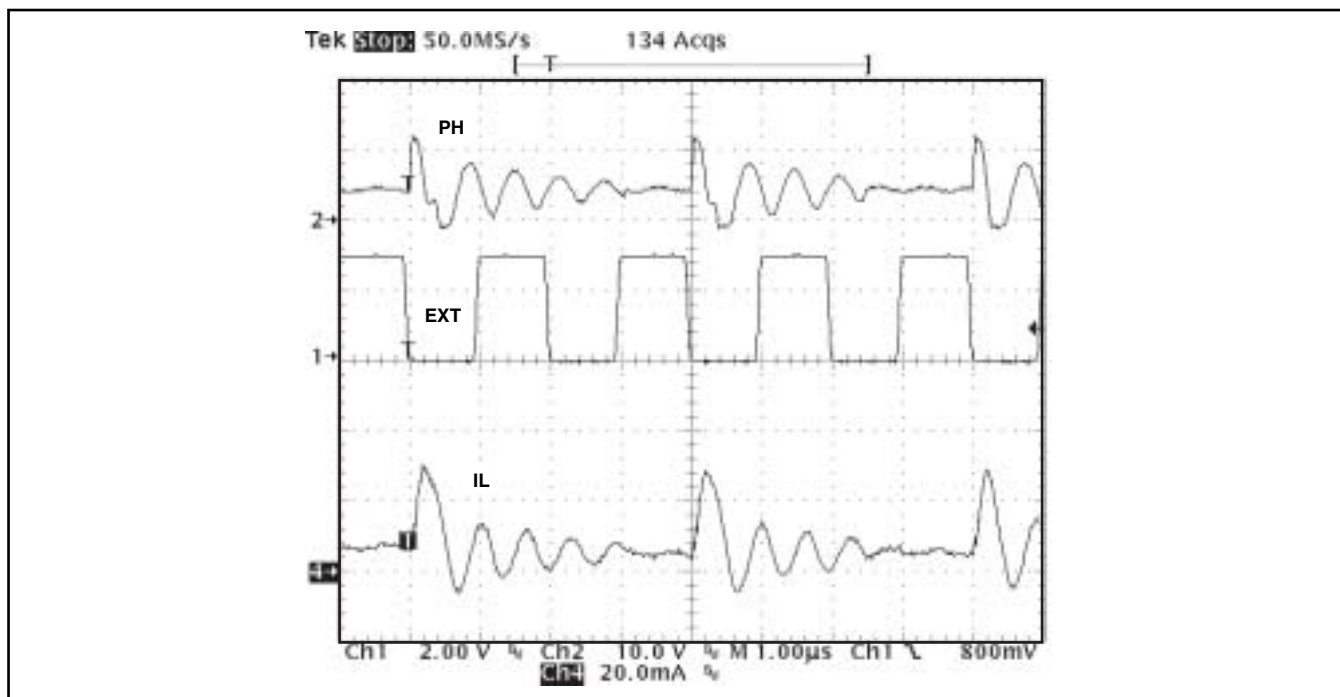


図 44. PSMでの同期プロット

パワー・グッド (PWRGDピン)

PWRGDピンは、オープン・ドレイン出力です。VSENSEピンが内部電圧リファレンスの94%~107%になると、PWRGDピンはデアサートされてフローティングになります。5.5V未満の電圧源に対して10k~100kΩのプルアップ抵抗を使用することを推奨します。VIN入力電圧が1.5Vを超えると、PWRGDは、電流シンク能力は低いですが有効となります。VIN入力電圧が3Vに近づくと、PWRGDは完全な電流シンク能力を持つようになります。

VSENSEが公称入力リファレンス電圧の92%を下回るか、または109%を上回ると、PWRGDピンは“Low”になります。また、UVLOまたは過熱シャットダウンがアサートされるか、ENピンが“Low”になった場合にも、PWRGDは“Low”になります。

過電圧過渡保護

TPS54240には、小さな出力容量の電源設計で、出力障害状態からの復帰や無負荷過渡応答時に発生する電圧オーバーシュートを最小限に抑える、過電圧過渡保護 (OVTP) 回路が備えられています。例えば、電源出力が過負荷となった場合、誤差増幅器によって実際の出力電圧が内部リファレンス電圧と比較されます。VSENSEピンの電圧が内部リファレンス電圧よりも一定時間にわたって低くなった場合、誤差増幅器の出力が高い電圧にクランプされます。これにより、最大出力電流が要求されます。この状態が解消されると、レギュレータの出力が上昇し、誤差増幅器の出力は定常状態のデューティ・サイクルに遷移します。一部のアプリケーションでは、電源出力の電圧が誤差増幅器の出力よりも速く応答する場合があります、これは実際、出力のオーバーシュートにつながる可能性があります。OVTP機能では、値の小さい出力コンデンサの使用時に、VSENSEピンの電圧を内部電圧リファレンスの109%であるOVTPスレッシ

ルドと比較する回路を実装することにより、出力のオーバーシュートを最小限に抑えます。VSENSEピンの電圧がOVTPスレッシュリドより高い場合は、ハイサイドMOSFETがディスエーブルになり、出力に電流が流れるのを防いで、出力オーバーシュートを抑えます。VSENSE電圧がOVTPスレッシュリドを下回ると、次のクロック・サイクルでハイサイドMOSFETがオンになります。

過熱シャットダウン

このデバイスは、接合部温度が182°Cを超えた場合にデバイス自身を保護する、過熱シャットダウン機能を内蔵しています。接合部温度が過熱トリップ・スレッシュリドを超えると、デバイスのスイッチングが強制的に停止されます。接合部温度が182°Cを下回ると、デバイスはSS/TRピンを放電して電源投入シーケンスを再び開始します。

ループ応答の小信号モデル

図45に、周波数応答と動的負荷応答をチェックするために回路シミュレーション・プログラムでモデル化できる、TPS54240制御ループの等価モデルを示します。誤差増幅器は、 gm_{EA} が310 μ A/Vのトランスコンダクタンス・アンプです。この誤差増幅器は、理想的な電圧制御電流源を使用してモデル化できます。抵抗 R_0 およびコンデンサ C_0 により、増幅器の開ループ・ゲインと周波数応答がモデル化されます。ノードaとbの間の1mVのAC電圧源は、周波数応答測定のために制御ループを実質的に分断します。c/aのプロットにより、周波数補償の小信号応答が示されます。a/bのプロットは、ループ全体の小信号応答を示します。 R_L の代わりに、時間ドメイン分析で適切な負荷ステップ振幅およびステップ・レートを有する電流源を使用すれば、動的ループ応答をチェックできます。この等価モデルは、連続導通モードの設計に対してのみ有効です。

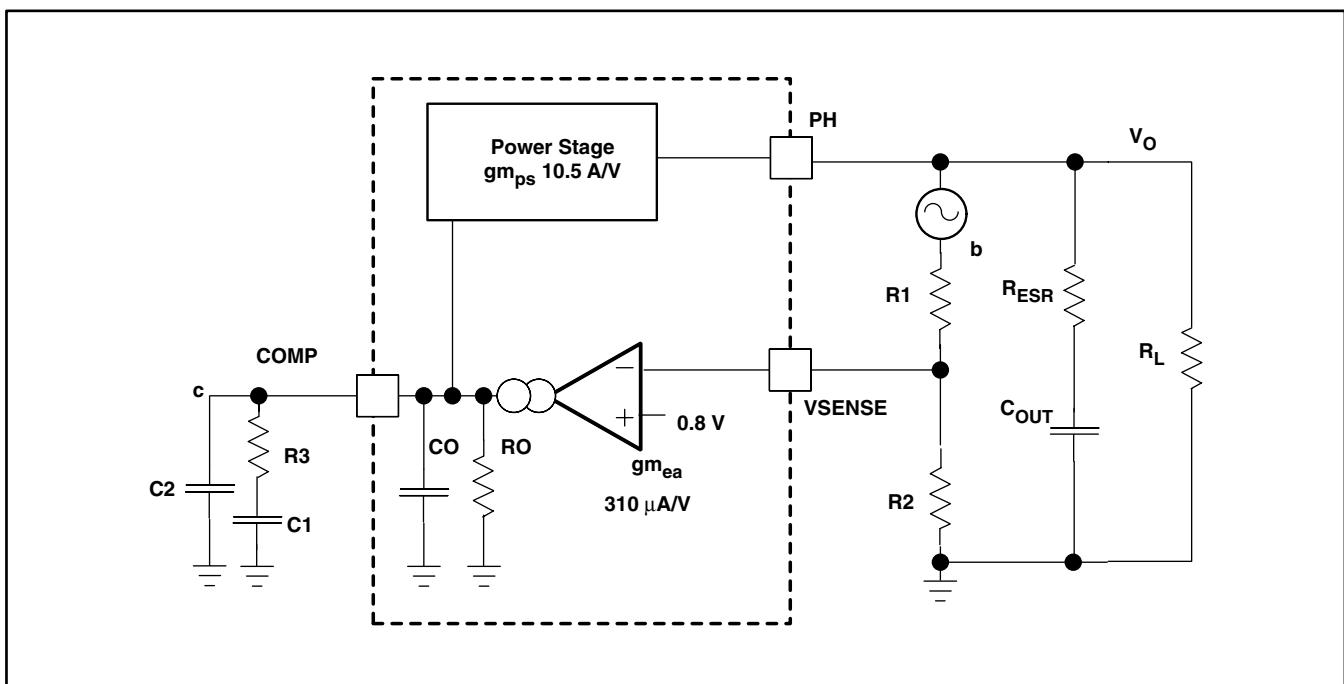


図 45. ループ応答の小信号モデル

ピーク電流モード制御の単純な小信号モデル

図46に、周波数補償の設計方法を理解するために使用できる、単純な小信号モデルを示します。TPS54240のパワー段は、出力コンデンサおよび負荷抵抗に電流を供給する電圧制御電流源（デューティ・サイクル変調器）として近似できます。制御-出力間の伝達関数は式(14)に示され、DCゲイン、1つの支配的な極、および1つのESRゼロで構成されます。スイッチ電流の変化とCOMPピン電圧（図45のノードc）の変化との比が、パワー段のトランスコンダクタンスです。TPS54240の gm_{ps} は10.5A/Vです。パワー段周波数応答の低周波ゲインは、式(15)に示すように、トランスコンダクタンスと負荷抵抗の積です。

負荷電流が増加または減少すると、低周波ゲインはそれぞれ減少または増加します。この負荷に対する変化は一見問題となりそうですが、幸い、支配的な極は負荷電流とともに移動します（式(16)を参照）。それらの組み合わせによる効果は、図46の右側に点線で示されています。負荷電流が減少すると、ゲインが増加して極周波数が低下するため、負荷状態の変化に対して0dBクロスオーバー周波数は一定に保たれ、周波数補償の設計が容易になります。選択する出力コンデンサの種類によって、ESRゼロが周波数補償設計に大きな影響を与えるかどうかが決まります。ESRの高いアルミ電解コンデンサを使用すると、低周波では位相マージンがESRゼロから増加するため、ループ全体の安定化に必要な周波数補償部品の数が少なく済む可能性があります。（式(17)を参照）

$$\frac{V_{OUT}}{V_C} = A_{dc} \times \frac{\left(1 + \frac{s}{2\pi \times f_Z}\right)}{\left(1 + \frac{s}{2\pi \times f_P}\right)} \quad (14)$$

$$A_{dc} = gm_{ps} \times R_L \quad (15)$$

$$f_P = \frac{1}{C_{OUT} \times R_L \times 2\pi} \quad (16)$$

$$f_Z = \frac{1}{C_{OUT} \times R_{ESR} \times 2\pi} \quad (17)$$

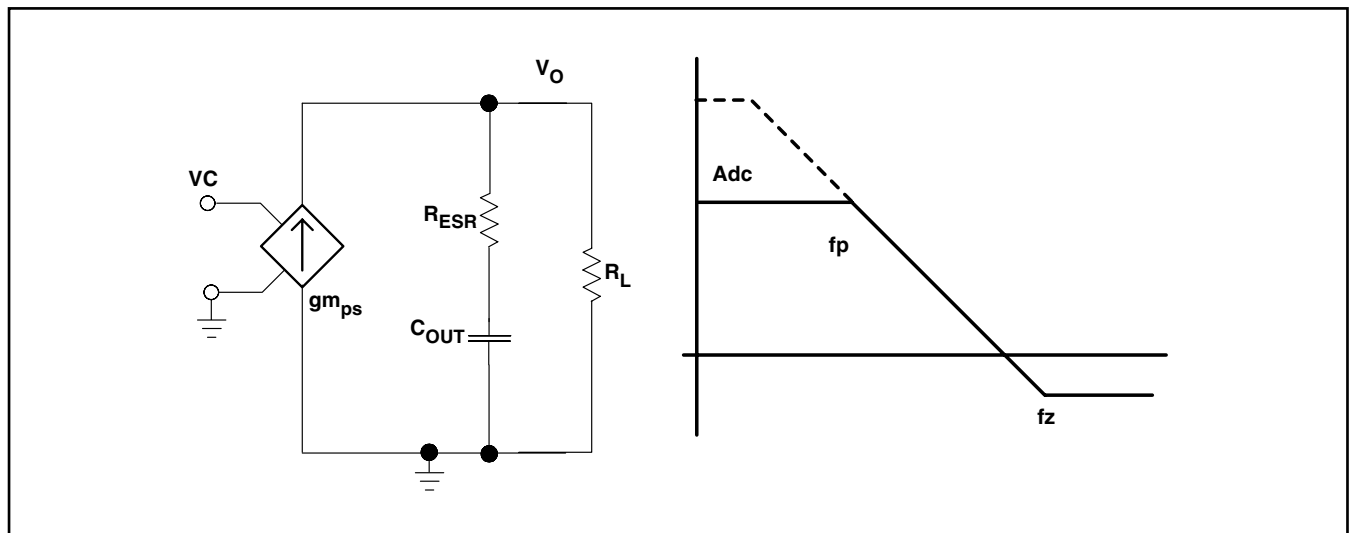


図 46. ピーク電流モード制御の単純な小信号モデルおよび周波数応答

周波数補償の小信号モデル

TPS54240では、誤差増幅器にトランスコンダクタンス・アンプを使用し、一般的に使用される周波数補償回路のうち3つを標準でサポートしています。タイプ2A、タイプ2B、およびタイプ1の補償回路を図47に示します。タイプ2の回路は、低ESRの出力コンデンサを使用した高帯域電源設計で実装されるのが最も一般的です。タイプ1の回路は、高ESRのアルミ電解コンデンサまたはタンタル・コンデンサを使用した電源設計で用いられます。式(18)および式(19)は、増幅器の周波数応答を図47の小信号モデルにどのように関連付けるかを示しています。開ループ・ゲインおよび帯域幅は、図47の R_O および C_O を使用してモデル化されます。低ESRの出力コンデンサとともにタイプ2Aネットワークを使用した設計例については、「アプリケーション情報」を参照してください。

式(18)～式(27)は、所望の方法を用いて補償を行う方への参考として記載しています。規定の方法を使用する場合には、「アプリケーション情報」で説明する方法に従うか、またはスイッチング情報を参考にしてください。

$$R_O = \frac{A_{ol}(V/V)}{g_{m_{ea}}} \quad (18)$$

$$C_O = \frac{g_{m_{ea}}}{2\pi \times BW(\text{Hz})} \quad (19)$$

$$EA = A_0 \times \frac{\left(1 + \frac{s}{2\pi \times f_{Z1}}\right)}{\left(1 + \frac{s}{2\pi \times f_{P1}}\right) \times \left(1 + \frac{s}{2\pi \times f_{P2}}\right)} \quad (20)$$

$$A_0 = g_{m_{ea}} \times R_O \times \frac{R_2}{R_1 + R_2} \quad (21)$$

$$A_1 = g_{m_{ea}} \times R_{ol} \parallel R_3 \times \frac{R_2}{R_1 + R_2} \quad (22)$$

$$P_1 = \frac{1}{2\pi \times R_O \times C_1} \quad (23)$$

$$Z_1 = \frac{1}{2\pi \times R_3 \times C_1} \quad (24)$$

$$P_2 = \frac{1}{2\pi \times R_3 \parallel R_O \times (C_2 + C_O)} \quad \text{type 2a} \quad (25)$$

$$P_2 = \frac{1}{2\pi \times R_3 \parallel R_O \times C_O} \quad \text{type 2b} \quad (26)$$

$$P_2 = \frac{1}{2\pi \times R_O \times (C_2 + C_O)} \quad \text{type 1} \quad (27)$$

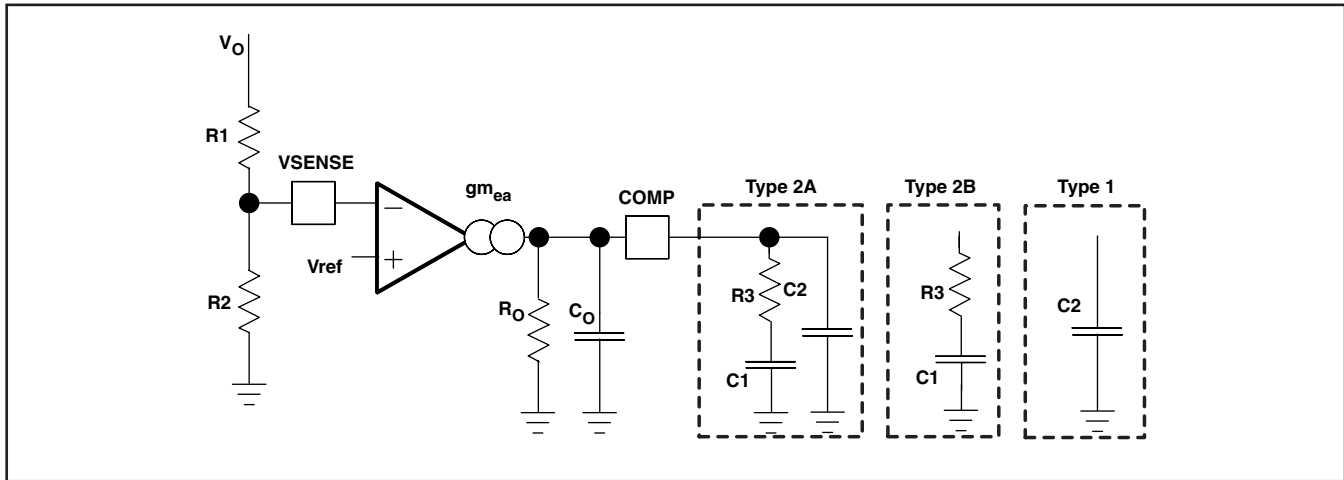


図 47. 周波数補償の種類

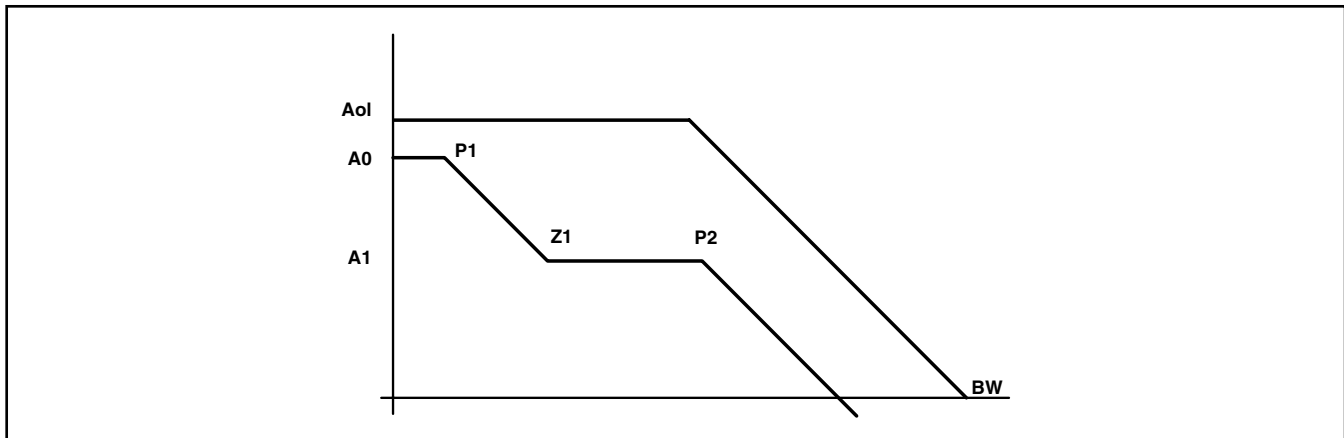


図 48. タイプ2Aおよびタイプ2B周波数補償の周波数応答

アプリケーション情報

設計ガイド – ステップ毎の設計手順

この例では、セラミック出力コンデンサを使用した高周波スイッチングレギュレータ設計の詳細を示します。設計プロセスを開始するには、いくつかのパラメータがわかっている必要があります。これらのパラメータは一般に、システムレベルで決定されます。この例では、以下に示す既知のパラメータを使用して開始します。

出力電圧	3.3 V
過渡応答、0~1.5Aの負荷ステップ	$\Delta V_{out} = 3\%$
最大出力電流	2.5 A
入力電圧	公称12V、10.8V~13.2V
出力電圧リップル Voutの1%	1% of Vout
開始入力電圧 (立ち上がりVIN)	6.0 V
停止入力電圧 (立ち下がりVIN)	5.5 V

スイッチング周波数の選択

最初の手順は、レギュレータのスイッチング周波数を決定することです。一般に、ユーザーは可能な限り高いスイッチング周波数を選択します。それによってソリューションサイズを最小にできるからです。高いスイッチング周波数では、低周波数でスイッチングする電源と比較して、低い値のインダクタと小さな出力コンデンサを使用できます。選択可能なスイッチング周波数は、内部パワー・スイッチの最小オン時間、入力電圧と出力電圧、および周波数シフト制限によって制限されます。

レギュレータの最大スイッチング周波数を求めるには、式(12)と式(13)を使用し、2つの式のうち小さい方の値を選択します。これらの値よりも高いスイッチング周波数を使用すると、パルスのスキップが発生したり、短絡時に過電流保護が機能しなかったりします。

TPS54240での標準の最小オン時間 t_{onmin} は135nsです。この例では、出力電圧が3.3Vで最大入力電圧が13.2Vであるため、式(12)にインダクタ抵抗、オン抵抗、出力電流、およびダイオード電圧を代入すると、最大2247kHzのスイッチング周波数を設定できます。設計で短絡発生時に過電流暴走が問題とならないようにするには、式(13)または図40の実線の曲線を使用して最大スイッチング周波数を決定します。最大入力電圧が13.2Vで、ダイオード電圧を0.7V、インダクタ抵抗を26mΩ、スイッチ抵抗を200mΩ、電流制限値を3.5A、短絡出力電圧を0.2Vと仮定すると、最大スイッチング周波数は約4449kHzになります。

この設計では、それよりずっと低いスイッチング周波数300kHzを使用しています。特定のスイッチング周波数に対するタイミング抵抗を決定するには、式(11)を用いるか、図39の曲線を使用します。

スイッチング周波数は、図49に示される抵抗 R_3 によって設定されます。300kHz動作の場合は、412kΩの抵抗が必要となります。

出力インダクタの選択 (L_O)

出力インダクタの最小値を計算するには、式(28)を使用します。

K_{IND} は、最大出力電流を基準としたインダクタリップル電流の大きさを表す係数です。

インダクタリップル電流は、出力コンデンサによってフィルタリングされます。したがって、大きなインダクタリップル電流を選択すると、それ以上のリップル電流定格を持つ出力コンデンサが必要となるため、出力コンデンサの選択に影響が及びます。一般に、インダクタリップル値は設計者の裁量で決定しますが、以下のガイドラインに従うことができます。

セラミックなどの低ESR出力コンデンサを使用した設計では、最大 $K_{IND} = 0.3$ の値を使用できます。よりESRの高い出力コンデンサを使用する場合は、 $K_{IND} = 0.2$ が適切です。インダクタリップル電流はPWM制御システムの一部であるため、信

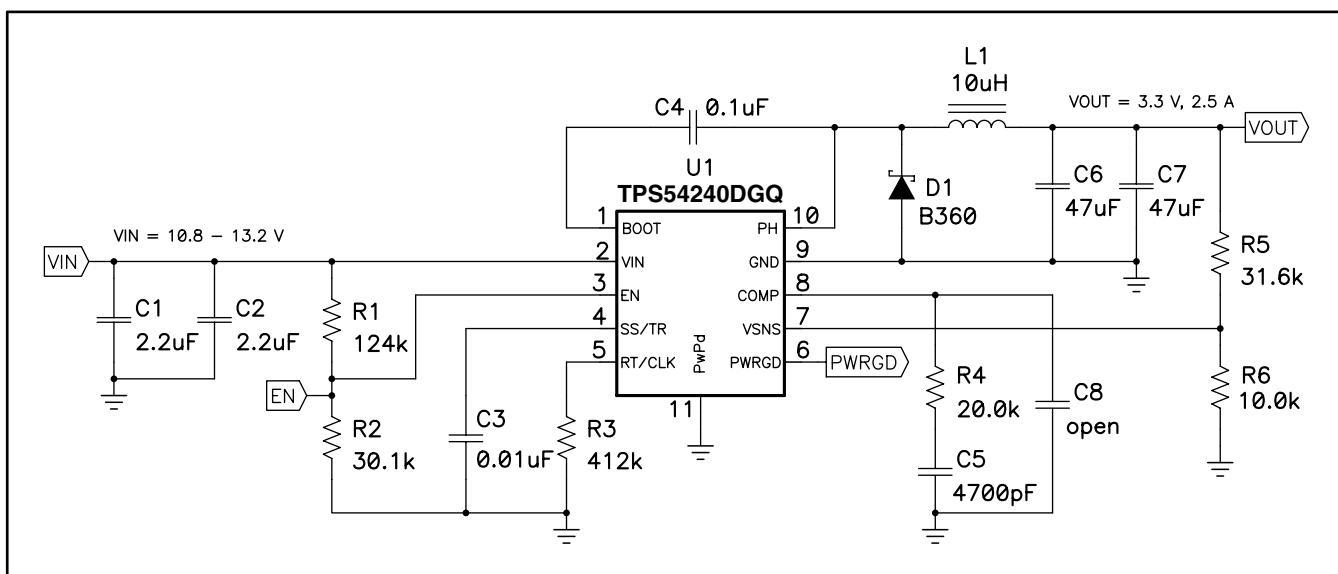


図 49. 3.3V出力のTPS54240の設計例

頼性の高い動作のためにはインダクタ・リップル電流が常に150mAを上回っている必要があります。入力電圧範囲の広いレギュレータでは、大きい側でインダクタ・リップル電流を選択するのが最善です。これにより、最小の入力電圧でもインダクタが適度なリップル電流を持つことができます。

この設計例では、 $K_{IND} = 0.3$ を使用し、最小インダクタ値は11 μ Hと計算されます。この設計では、最も近い標準値として10 μ Hが選択されています。出力フィルタ・インダクタについては、RMS電流および飽和電流の定格を超えないことが重要です。RMSおよびピーク・インダクタ電流は、式(30)および式(31)で求めることができます。

この設計では、RMSインダクタ電流は2.51A、ピーク・インダクタ電流は2.913Aです。選択したインダクタは、CoilcraftのMSS1038-103NLBです。このインダクタの飽和電流定格は4.52A、RMS電流定格は4.05Aです。

一連の式で示されるように、リップル電流が小さいとレギュレータの出力電圧リップルが減少しますが、より大きなインダクタンスが必要になります。より大きなリップル電流を選択するとレギュレータの出力電圧リップルが増加しますが、インダクタンスの値が小さくて済みます。

インダクタを流れる電流は、インダクタ・リップル電流 + 出力電流です。パワーアップ時、障害発生時、または負荷過渡状態中は、インダクタ電流が上記で計算されたピーク・インダクタ電流レベルを超えて増加する場合があります。過渡状態では、インダクタ電流がデバイスのスイッチ電流制限まで増加する場合があります。この理由により、最も保守的なアプローチは、ピーク・インダクタ電流ではなく、スイッチ電流制限以上の飽和電流定格を持つインダクタを指定することです。

$$L_{O \min} = \frac{V_{inmax} - V_{out}}{I_o \times K_{IND}} \times \frac{V_{out}}{V_{inmax} \times f_{sw}} \quad (28)$$

$$I_{RIPPLE} = \frac{V_{OUT} \times (V_{inmax} - V_{OUT})}{V_{inmax} \times L_O \times f_{SW}} \quad (29)$$

$$I_{L(rms)} = \sqrt{I_o^2 + \frac{1}{12} \times \left(\frac{V_{OUT} \times (V_{inmax} - V_{OUT})}{V_{inmax} \times L_O \times f_{SW}} \right)^2} \quad (30)$$

$$I_{Lpeak} = I_{out} + \frac{I_{ripple}}{2} \quad (31)$$

出力コンデンサ

出力コンデンサ値の選択については、3つの主要な考慮事項があります。出力コンデンサは、変調器の極、出力電圧リップル、および負荷電流の大きな変化に対するレギュレータの応答を決定します。出力容量は、これら3つの条件のうち最も厳しいものに基づいて選択する必要があります。

最初の条件は、負荷電流の大きな変化に対して求められる応答です。レギュレータが電流を供給できないときには、出力コンデンサが負荷に電流を供給する必要があります。この状況は、レギュレータに対して保持時間要件があり、入力電力の停止後に指定された時間だけ、出力コンデンサが出力電圧を特定のレベルより高く保持する必要がある場合に発生します。また、無負荷から全負荷への遷移時など、負荷の電流需要に大きく高速な変化が発生した場合、レギュレータは一時的に十分な出力電流を供給できなくなります。通常、レギュレータでは、制御ループが負荷電流および出力電圧の変化を検知して、その変化に合わせてデューティ・サイクルを調整するまでに、2クロック・サイクル以上を必要とします。出力コンデンサの大きさは、制御ループが負荷の変化に応答するまでの間、負荷に追加の電流を供給できるように決定する必要があります。出力容量は、出力電圧の降下を許容範囲内に抑えながら、2クロック・サイクルにわたって電流の差分を供給するのに十分な大きさとなければなりません。そのために必要な最小の出力容量を式(32)に示します。

ここで、 ΔI_{out} は出力電流の変化、 f_{sw} はレギュレータのスイッチング周波数、 ΔV_{out} は出力電圧の許容される変化です。この例では、負荷過渡応答が、1.5A~2.5A(全負荷)の負荷ステップに対する V_{out} の3%の変化と指定されています。この例では、 $\Delta I_{out} = 2.5 - 1.5 = 1.0A$ 、および $\Delta V_{out} = 0.03 \times 3.3 = 0.099V$ です。これらの値を使用して、67 μ Fの最小容量が得られます。この値は、出力電圧の変化について出力コンデンサのESRを考慮していません。セラミック・コンデンサの場合、ESRは通常十分に小さいため、この計算では無視できます。アルミ電解コンデンサおよびタンタル・コンデンサの場合は、ESRが比較的高いので考慮に入れる必要があります。

レギュレータのキャッチ・ダイオードは電流をシンクできないため、負荷電流が急速に減少すると、インダクタに蓄積されたエネルギーによって出力電圧にオーバーシュートが発生します(図50を参照)。また、出力コンデンサは、高負荷電流から低負荷電流への遷移時に、インダクタに蓄積されたエネルギーを吸収できるだけの容量を持つ必要があります。出力コンデンサに蓄積された余分なエネルギーにより、コンデンサの電圧は上昇します。コンデンサの容量は、これらの過渡期間中に所定の出力電圧を保持できるような大きさとなければいけません。出力電圧オーバーシュートを所定の値に保持するための最小容量は式(33)で計算します。ここで、 L はインダクタの値、 I_{OH} は重負荷時の出力電流、 I_{OL} は軽負荷時の出力電流、 V_f は最終的なピーク出力電圧、 V_i はコンデンサ電圧の初期値です。この例では、ワーストケースの負荷ステップは2.5Aから1.5Aです。この負荷遷移中は出力電圧が上昇し、仕様に規定された最大値は出力電圧の3%です。これにより、 $V_f = 1.03 \times 3.3 = 3.399$ となります。 V_i はコンデンサ電圧の初期値であり、これは公称出力電圧の3.3Vです。式(33)にこれらの値を使用すると、60 μ Fの最小容量が得られます。

式(34)は、出力電圧リップル仕様を満足するために必要な最小の出力容量を計算します。ここで、 f_{sw} はスイッチング周波数、 V_{ripple} は最大許容出力電圧リップル、 I_{ripple} はインダクタ・リップル電流です。式(34)により、12 μ Fが得られます。

式(35)は、出力電圧リップル仕様を満足するために出力コンデンサに許容される最大ESRを計算します。式(35)より、ESRは36m Ω 未満とする必要があります。

負荷過渡状態中に出力電圧のレギュレーションを維持するための、出力コンデンサに対する最も厳しい条件は、67 μ Fの容量です。

エージング、温度、およびDCバイアスに対して、追加の容量デレーティングを考慮する必要があるため、この最小値は増加します。この例では、3m Ω のESRを持つ47 μ F、10Vのセラミック・コンデンサが2個使用されます。デレーティングされた容量は72.4 μ Fであり、必要な最小容量67 μ Fを上回っています。

一般に、コンデンサでは、障害や過熱を発生させずに処理できるリップル電流の大きさに制限があります。インダクタ・リップル電流に対して対応可能な出力コンデンサを指定する必要があります。一部のコンデンサのデータシートでは、最大リップル電流の2乗平均平方根 (RMS) 値が指定されています。出力コンデンサで処理できる必要のあるRMSリップル電流値は、式(36)で計算できます。このアプリケーションでは、式(36)により238mAが得られます。

$$C_{out} > \frac{2 \times I_{out}}{f_{sw} \times \Delta V_{out}} \quad (32)$$

$$C_{out} > L_o \times \frac{(I_{oh}^2 - I_{ol}^2)}{(V_f^2 - V_i^2)} \quad (33)$$

$$C_{out} > \frac{1}{8 \times f_{sw}} \times \frac{1}{\frac{V_{ORIPPLE}}{I_{RIPPLE}}} \quad (34)$$

$$R_{ESR} < \frac{V_{ORIPPLE}}{I_{RIPPLE}} \quad (35)$$

$$I_{corms} = \frac{V_{out} \times (V_{in\ max} - V_{out})}{\sqrt{12} \times V_{in\ max} \times L_o \times f_{sw}} \quad (36)$$

キャッチ・ダイオード

TPS54240では、PHピンとGNDの間に外付けのキャッチ・ダイオードが必要です。選択するダイオードは、 $V_{in\ max}$ 以上の逆方向電圧定格を持つ必要があります。ダイオードのピーク電流定格は、最大インダクタ電流よりも大きくなければなりません。また、順方向電圧は低い必要があります。ショットキー・ダイオードは順方向電圧が低いため、一般にキャッチ・ダイオードとして優れた選択肢となります。ダイオードの順方向電圧が低いほど、レギュレータの効率は高くなります。

一般に、ダイオードの電圧および電流定格が高いと、順方向電圧は高くなります。設計例の入力電圧は最大13.2Vですが、逆方向電圧が最低60Vであるダイオードを選択します。

この設計例では、順方向電圧の低いB360B-13-Fショットキー・ダイオードを選択します。このダイオードは、小さなデバイスよりも優れた熱特性を持つ大きなパッケージ・サイズで提供されています。B360B-13-Fの標準順方向電圧は0.70Vです。

また、このダイオードは、適切な電力定格を持つ必要があります。このダイオードは、内部パワー・スイッチのオフ時間中に出力電流を導通させます。内部スイッチのオフ時間は、最大入力電圧、出力電圧、およびスイッチング周波数の関数です。オフ時間中の出力電流とダイオードの順方向電圧の積が、ダイオードの導通損失に等しくなります。高いスイッチ周波数では、ダイオードのAC損失を考慮に入れる必要があります。ダイオードのAC損失は、接合部容量の充放電および逆方向回復によって生じます。ダイオードの合計の電力損失(導通損失+AC損失)は、式(37)で求められます。

B360B-13-Fの接合部容量は200pFです。式(37)により、選択するダイオードの損失は1.32Wです。

電源が軽負荷電流やスリープ・モードで動作する時間が長い場合には、リーク電流が低く順方向電圧降下がやや大きなダイオードの使用を検討してください。

$$P_d = \frac{(V_{in\ max} - V_{out}) \times I_{out} \times V_{fd}}{V_{in\ max}} + \frac{C_j \times f_{sw} \times (V_{in} + V_{fd})^2}{2} \quad (37)$$

入力コンデンサ

TPS54240は、3 μ F以上の実効容量を持つ高品質のセラミック（タイプX5RまたはX7R）入力デカップリング・コンデンサを必要とし、アプリケーションによってはバルク容量も必要とします。実効容量には、DCバイアスの影響も含まれます。入力コンデンサの電圧定格は、最大入力電圧よりも高い必要があります。また、コンデンサのリプル電流定格は、TPS54240の最大入力電流リプルよりも大きい必要があります。入力リプル電流は、式(38)で計算できます。

セラミック・コンデンサの値は、温度およびコンデンサに印加されるDCバイアスの大きさによって大きく変化します。温度による容量の変化は、温度に対して安定な誘電体を選択することで最小限に抑えることができます。X5RおよびX7Rセラミック誘電体は、容量/体積比が大きく、温度に対してかなり安定しているため、パワー・レギュレータのコンデンサとして一般に選択されます。また、出力コンデンサはDCバイアスも考慮して選択する必要があります。コンデンサ両端にかかるDCバイアスが増加すると、コンデンサの容量値は減少します。

この設計例では、最大入力電圧に対応するために60V以上の電圧定格を持つセラミック・コンデンサが必要です。セラミック・コンデンサの一般的な標準電圧定格としては4V、6.3V、10V、16V、25V、50V、100Vがあるため、100Vのコンデンサを選択します。この例では、2.2 μ F、100Vのコンデンサを2個並列に使用しています。高電圧コンデンサの一覧を表2に示します。入力容量の値によって、レギュレータの入力リプル電圧が決まります。入力電圧リプルは、式39で計算できます。設計例の値である $I_{outmax} = 2.5A$ 、 $C_{in} = 4.4\mu F$ 、 $f_{sw} = 300kHz$ を使用すると、206mVの入力電圧リプル、および1.15AのRMS入力リプル電流が得られます。

$$I_{cirms} = I_{out} \times \sqrt{\frac{V_{out}}{V_{in\ min}} \times \frac{(V_{in\ min} - V_{out})}{V_{in\ min}}} \quad (38)$$

$$\Delta V_{in} = \frac{I_{out\ max} \times 0.25}{C_{in} \times f_{sw}} \quad (39)$$

スロー・スタート・コンデンサ

スロー・スタート・コンデンサは、パワーアップ中に出力電圧がその公称設定値に達するまでにかかる最小の時間を決定します。これは、負荷に対して制御された電圧スルー・レートが必要である場合に有用です。また、出力容量が大きく、コンデンサを出力電圧レベルまですばやく充電するのに大きな電流を必要とするような場合にも、利用されます。コンデンサの充電に必要な大きな電流によってTPS54240が電流制限に達したり、入力電源からの過剰な電流によって入力電圧レールが低下したりする場合があります。出力電圧のスルー・レートを制限することで、その両方の問題を解決できます。

スロー・スタート時間は、レギュレータが過剰な電流を引き込むことなく出力コンデンサを出力電圧まで充電できるような十分に長くする必要があります。式(40)を使用すると、出力コンデンサ C_{out} を出力電圧 V_{out} の10%から90%まで、平均スロー・スタート電流 I_{ssavg} で充電するために必要な、最小のスロー・スタート時間 t_{ss} を求めることができます。この例では、平均入力電流1Aで72.4 μ Fの実効出力容量を3.3Vまで充電するために、0.19msのスロー・スタート時間が必要です。

スロー・スタート時間がわかれば、式(6)を使用してスロー・スタート・コンデンサ値を計算できます。この例の回路では、出力コンデンサ値が2 \times 47 μ Fで、3.3Vまでの充電に大きな電流を必要としないため、スロー・スタート時間はそれほど重要ではありません。この回路ではスロー・スタート時間が任意値の3.5msに設定され、8.75nFのスロー・スタート・コンデンサが必要となります。この設計では、次に大きな標準値である10nFを使用しています。

$$T_{ss} > \frac{C_{out} \times V_{out} \times 0.8}{I_{ssavg}} \quad (40)$$

メーカー	値(μ F)	EIAサイズ	電圧	誘電体	説明
村田製作所	1.0 to 2.2	1210	100 V	X7R	GRM32シリーズ
	1.0 to 4.7		50 V		
	1.0	1206	100 V		GRM31シリーズ
	1.0 to 2.2		50 V		
Vishay	1.0 10 1.8	2220	50 V		VJ X7Rシリーズ
	1.0 to 1.2		100 V		
	1.0 to 3.9	2225	50 V		
	1.0 to 1.8		100 V		
TDK	1.0 to 2.2	1812	100 V		CシリーズC4532
	1.5 to 6.8		50 V		
	1.0. to 2.2	1210	100 V	CシリーズC3225	
	1.0 to 3.3		50 V		
AVX	1.0 to 4.7	1210	50 V	X7R誘電体シリーズ	
	1.0		100 V		
	1.0 to 4.7	1812	50 V		
	1.0 to 2.2		100 V		

表2. コンデンサの種類

ブートストラップ・コンデンサの選択

適切な動作のためには、BOOTピンとPHピンの間に0.1μFのセラミック・コンデンサを接続する必要があります。X5R以上の誘電体を持つセラミック・コンデンサの使用を推奨します。コンデンサの電圧定格は10V以上である必要があります。

低電圧ロックアウトの設定点

低電圧ロックアウト (UVLO) は、TPS54240のENピンに接続した外部分圧回路を使用して調整できます。UVLOには2つのスレッシュホールドがあり、1つは入力電圧が上昇するパワーアップ中に適用され、もう1つは入力電圧が下降するパワーダウンまたはブラウンアウト中に適用されます。この設計例では、入力電圧が6.0V以上に上昇(イネーブル)したときに、電源がオンになりスイッチングを開始する必要があります。レギュレータがスイッチングを開始した後は、入力電圧が5.5Vを下回る(UVLO停止)までの間、スイッチングを継続する必要があります。

プログラミング可能なUVLO電圧およびイネーブル電圧は、ENピンに接続されたVinおよびグランド間の分圧抵抗R1およびR2を使用して設定されます。式(2)および式(3)を使用して、必要な抵抗値を計算できます。このアプリケーション例では、6.0Vおよび5.5Vの開始および停止電圧を生成するために、VinとENの間(R1)に124kΩ、ENとグランドの間(R2)に30.1kΩが必要となります。

出力電圧および帰還抵抗の選択

分圧抵抗R5およびR6は、出力電圧の設定に使用されます。この設計例では、R6に10.0kΩが選択されています。式(1)を使用して、R5は31.25kΩと計算されます。最も近い標準1%抵抗は、31.6kΩです。VSENSEピンのリーク電流があるため、出力電圧の精度を維持するには、帰還ネットワークを流れる電流が1μAより大きい必要があります。この要件により、R2の最大値は800kΩに等しくなります。より高い抵抗値を選択すると、静止時電流が減少し、低出力電流での効率が向上しますが、ノイズ耐性の問題が生じる場合があります。

補償

DC/DCレギュレータの補償にはいくつかの手法が使用されています。ここに示す方法は、計算が簡単であり、デバイス内部のスロープ補償による影響を無視しています。スロープ補償が無視されるため、実際のクロスオーバー周波数は、計算で使用するクロスオーバー周波数よりも通常は低くなります。この方法では、クロスオーバー周波数が変調回路の極とESRゼロの間に位置し、ESRゼロが変調回路の極の10倍以上であると仮定しています。より詳細な設計には、SwitcherProソフトウェアを使用してください。

最初に、式(41)と式(42)を使用して、変調回路の極 (f_{pmod}) およびESRゼロ (f_{z1}) を計算する必要があります。C_{out}には、ディレーティング値として40μFを使用します。式(43)と式(44)を使用して、補償を設計するためのクロスオーバー周波数f_{co}の開始点を見積もります。この設計例では、f_{pmod} = 1206Hz、およびf_{zmod} = 530.5kHzです。式(43)は変調回路の極とESRゼロの相乗平均であり、式(44)は変調回路の極とスイッチング周波数の平均です。式(43)から25.3kHz、式(44)から13.4kHzが得られます。最初のクロスオーバー周波数には、式(43)と式(44)で低い方の値を使用します。この例では、過渡応答を向上させるため、より高いf_{co}が必要です。目的のf_{co}は35.0kHzです。次に、補償部品を計算します。コンデンサと直列の抵抗を使用して、補償用のゼロを生成します。この2つの部品と並列に別のコンデンサを接続することで、補償用の極を形成します。

$$f_{p \text{ mod}} = \frac{I_{outmax}}{2 \times \pi \times V_{out} \times C_{out}} \quad (41)$$

$$f_{z \text{ mod}} = \frac{1}{2 \times \pi \times R_{esr} \times C_{out}} \quad (42)$$

$$f_{co} = \sqrt{f_{p \text{ mod}} \times f_{z \text{ mod}}} \quad (43)$$

$$f_{co} = \sqrt{f_{p \text{ mod}} \times \frac{f_{sw}}{2}} \quad (44)$$

補償抵抗R4を決定するために、式(45)を使用します。電源段のトランスコンダクタンス・ゲイン g_{mps} が10.5A/Vであると仮定します。出力電圧 V_o 、リファレンス電圧 V_{REF} 、およびアンプのトランスコンダクタンス g_{mea} は、それぞれ3.3V、0.8V、および310 μ A/Vです。R4は20.2k Ω と計算され、最も近い標準値の20.0k Ω を使用します。式(46)を使用して、補償用のゼロを変調回路の極周波数に設定します。式(46)から、補償コンデンサC5に対して4740pFが得られます。この設計では4700pFを使用しています。

$$R4 = \left(\frac{2 \times \pi \times f_{co} \times C_{out}}{g_{mps}} \right) \times \left(\frac{V_{out}}{V_{ref} \times g_{mea}} \right) \quad (45)$$

$$C5 = \frac{1}{2 \times \pi \times R4 \times f_p \text{ mod}} \quad (46)$$

必要に応じて、R4とC5の直列結合と並列にコンデンサC8を追加して、補償用の極を実装できます。式(47)と式(48)の大きい方の値を使用してC8を計算し、補償用の極を設定します。この設計例では、C8は使用しません。

$$C8 = \frac{C_o \times Resr}{R4} \quad (47)$$

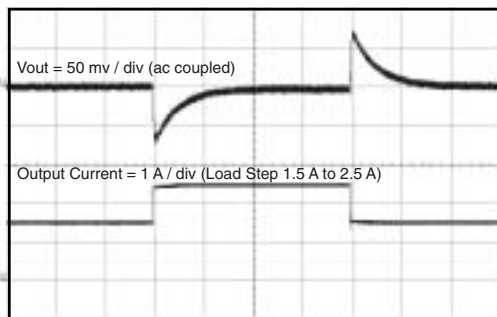
$$C8 = \frac{1}{R4 \times f_{sw} \times \pi} \quad (48)$$

不連続モードおよびEcoモードの境界

入力電圧が12Vの場合、出力電流が337mAを下回ると、電源が不連続モードになります。出力電流が5mAを下回ると、電源はEcoモードになります。

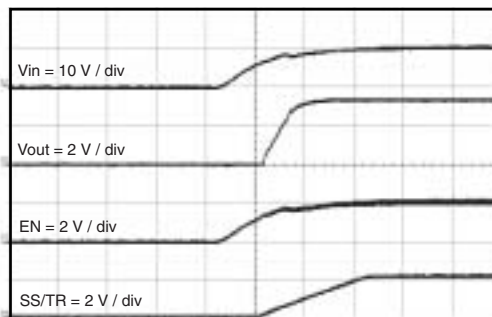
無負荷での入力電流は392 μ Aです。

アプリケーション曲線



Time = 200 usec / div

図 50. 負荷過渡



Time = 5 msec / div

図 51. VINによるスタートアップ

アプリケーション曲線

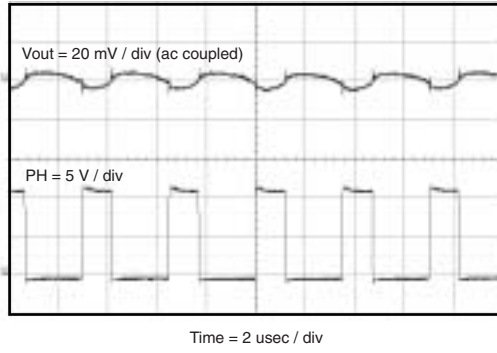


図 52. 出力リップルCCM

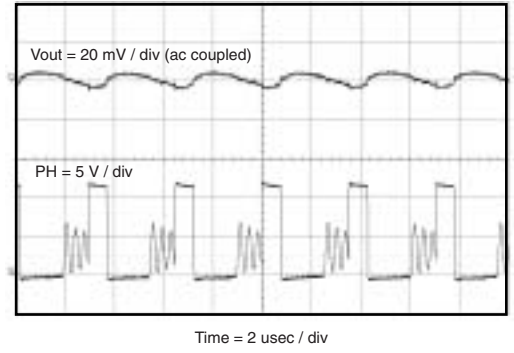


図 53. 出力リップル、DCM

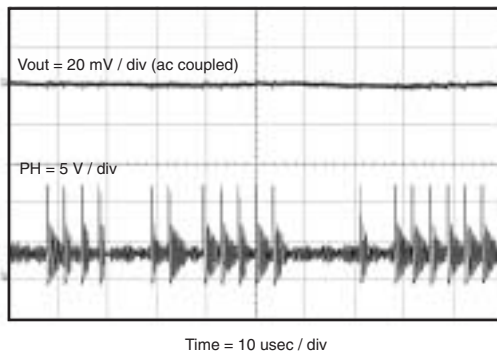


図 54. 出力リップル、PSM

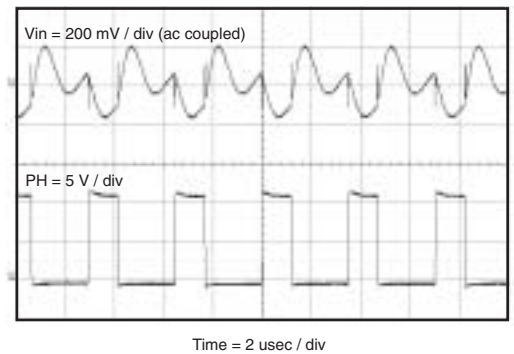


図 55. 入力リップルCCM

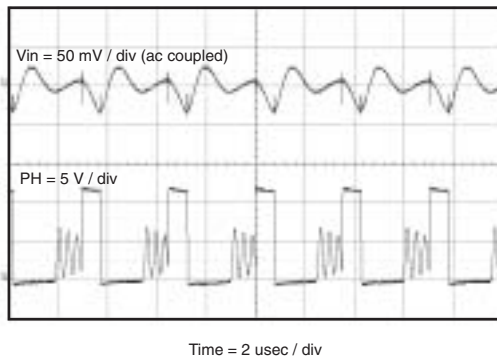


図 56. 入力リップルDCM

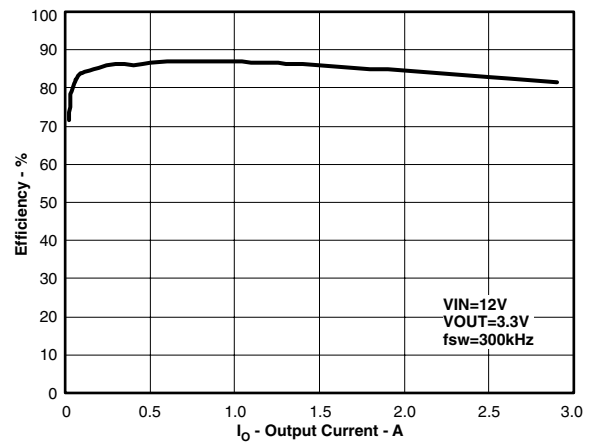


図 57. 効率 対 負荷電流

アプリケーション曲線

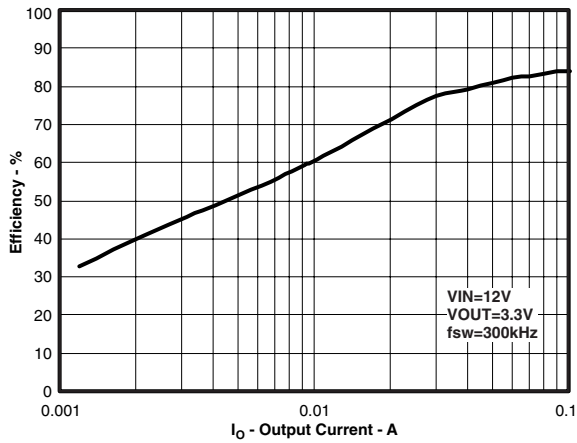


図 58. 軽負荷効率

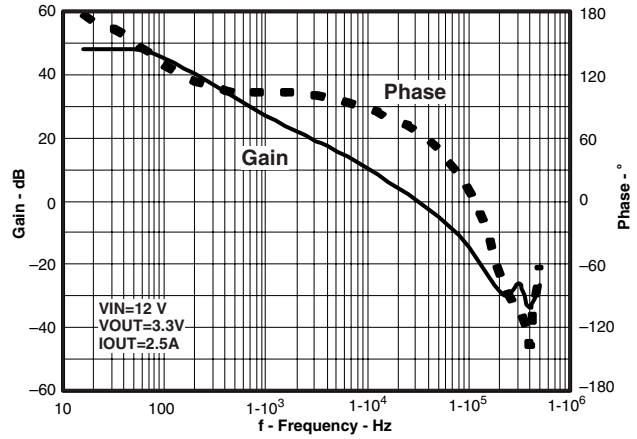


図 59. ループ全体の周波数応答

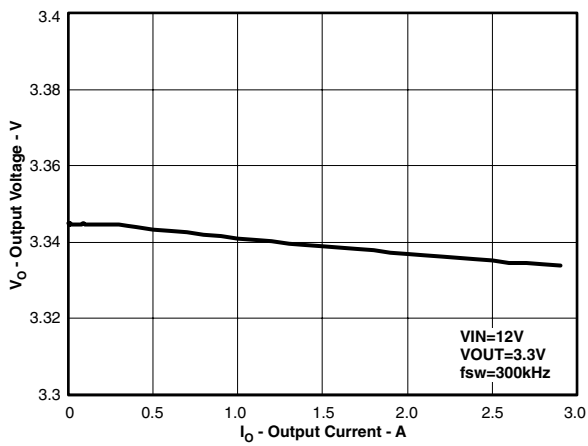


図 60. レギュレーション 対 負荷電流

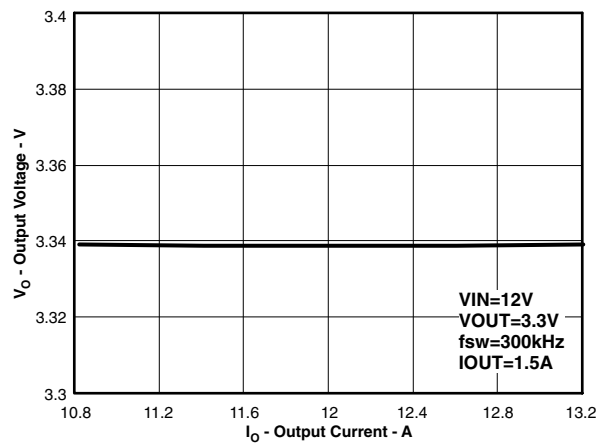


図 61. レギュレーション 対 入力電圧

消費電力の見積もり

以下の式は、連続導通モード (CCM) 動作でのICの消費電力を見積もる方法を示しています。デバイスが不連続導通モード (DCM) で動作している場合は、これらの式を使用しないでください。

ICの消費電力には、導通損失 (Pcon)、スイッチング損失 (Psw)、ゲート駆動損失 (Pgd)、および消費電流 (Pq) が含まれます。

$$P_{con} = I_o^2 \times R_{DS(on)} \times \frac{V_{out}}{V_{in}} \quad (49)$$

$$P_{sw} = V_{in}^2 \times f_{sw} \times I_o \times 0.25 \times 10^{-9} \quad (50)$$

$$P_{gd} = V_{in} \times 3 \times 10^{-9} \times f_{sw} \quad (51)$$

$$P_q = 116 \times 10^{-6} \times V_{in} \quad (52)$$

ここで

I_{OUT} = 出力電流 (A)

R_{DS(on)} = ハイサイドMOSFETのオン抵抗 (Ω)

V_{OUT} = 出力電圧 (V)

V_{IN} = 入力電圧 (V)

f_{sw} = スwitchング周波数 (Hz)

したがって、次のようになります。

$$P_{tot} = P_{con} + P_{sw} + P_{gd} + P_q \quad (53)$$

与えられたT_Aに対して：

$$T_J = T_A + R_{th} \times P_{tot} \quad (54)$$

与えられたT_{JMAX} = 150°Cに対して：

$$T_{Amax} = T_{Jmax} - R_{th} \times P_{tot} \quad (55)$$

ここで

P_{tot} = 合計デバイス消費電力 (W)

T_A = 周囲温度 (°C)

T_J = 接合温度 (°C)

R_{th} = パッケージの熱抵抗 (°C/W)

T_{JMAX} = 最大接合部温度 (°C)

T_{AMAX} = 最大周囲温度 (°C)

レギュレータ回路には、インダクタのACおよびDC損失、キャッチ・ダイオードおよびパターン抵抗による追加の電力損失があり、レギュレータ全体の効率に影響を与えます。

レイアウト

レイアウトは、優れた電源設計のために重要な要素です。高速で変化する電流または電圧を通す信号パスがいくつかあるため、浮遊インダクタンスや寄生容量によってノイズが発生したり、電源の性能が低下したりする可能性があります。これらの問題をなくすために、VINピンは、X5RまたはX7R誘電体を使用した低ESRのセラミック・バイパス・コンデンサを使用してグラウンドにバイパスする必要があります。バイパス・コンデンサ接続、VINピン、およびキャッチ・ダイオードのアノードによって形成されるループ領域は、最小限に抑えるよう注意が必要です。PCBレイアウト例については、図62を参照してください。GNDピンは、ICの下部にあるPowerPADに直接接続する必要があります。

パワー・パッドは、ICの直下にある複数のビアを使用して内部のPCBグラウンド・プレーンに接続します。PHピンは、キャッチ・ダイオードのカソード、および出力インダクタに配線します。

す。PH接続はスイッチング・ノードであるため、キャッチ・ダイオードおよび出力インダクタはPHピンに近づけて配置し、過度の容量性カップリングを避けるためにPCB導体の面積はできるだけ小さくしてください。全定格負荷で動作を行うには、上面のグラウンド領域が十分な熱放散面積を備えていなければなりません。RT/CLKピンはノイズの影響を受けやすいため、RTの抵抗はICにできるだけ近づけて配置し、最短のパターンで配線する必要があります。追加の外部部品は図に示されるように配置できます。別のPCBレイアウトでも許容される性能を得ることは可能ですが、このレイアウトは良好な結果が得られることが実証済みであり、ガイドラインとして示しています。

回路面積の見積もり

図49の設計で使用される部品に対して見積もられるプリント基板面積は、0.55in²です。この面積には、テスト・ポイントおよびコネクタは含まれません。

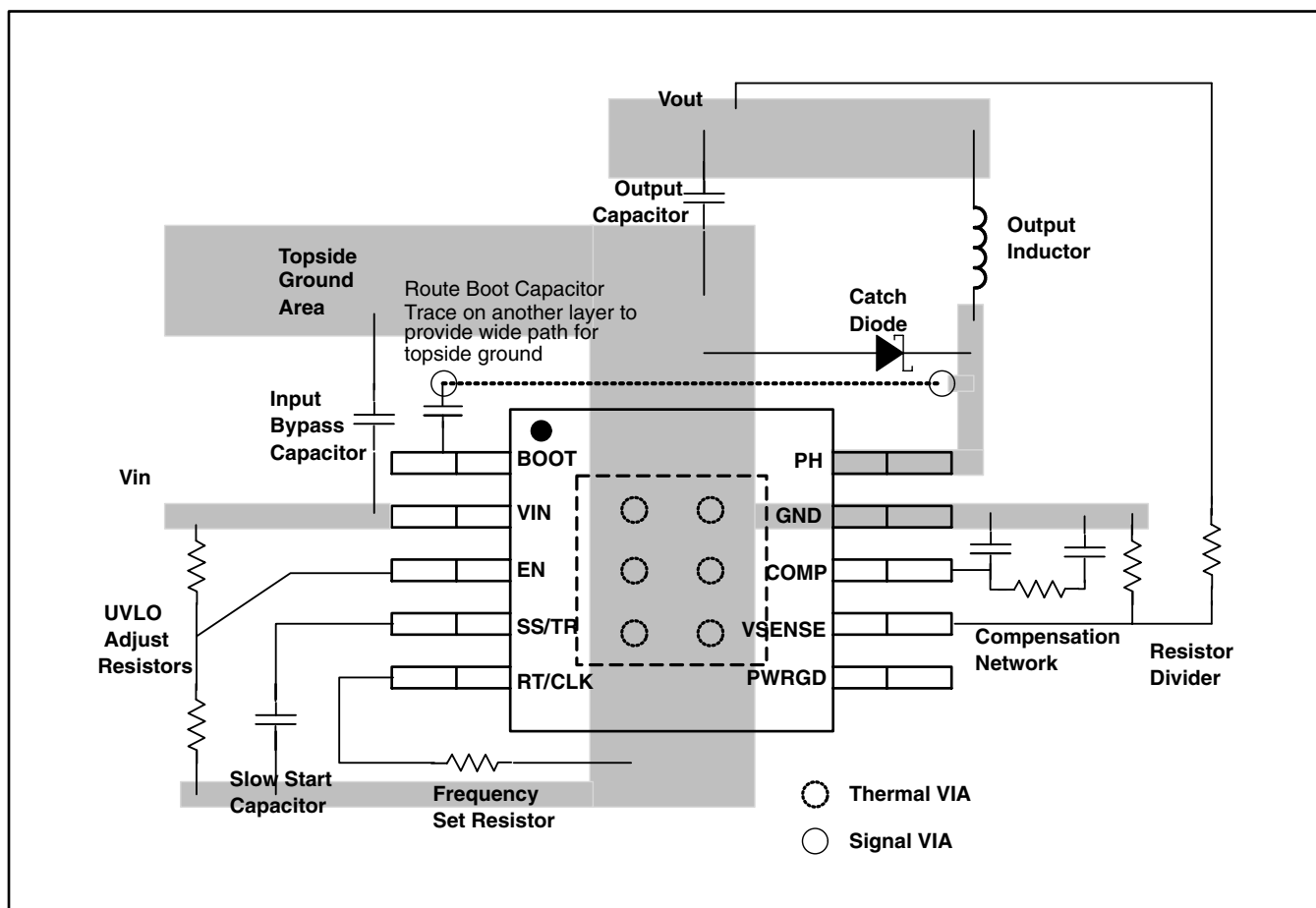


図 62. PCBレイアウト例

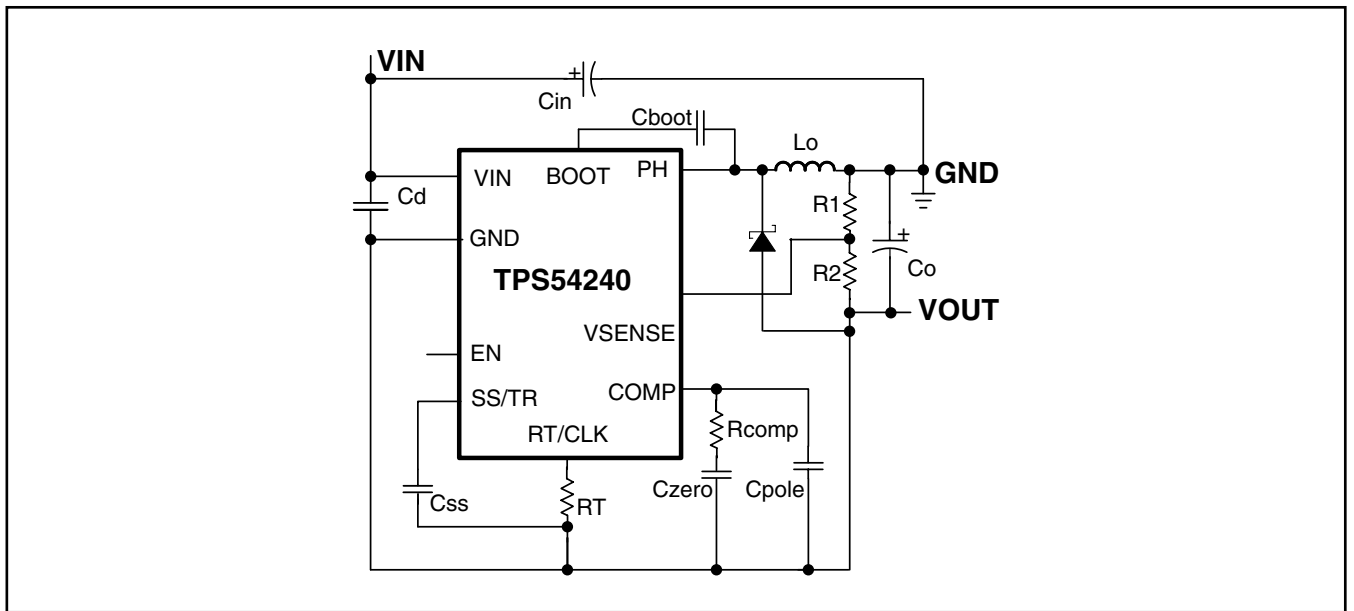


図 63. TPS54240の反転電源 (SLVA317アプリケーション・ノートより)

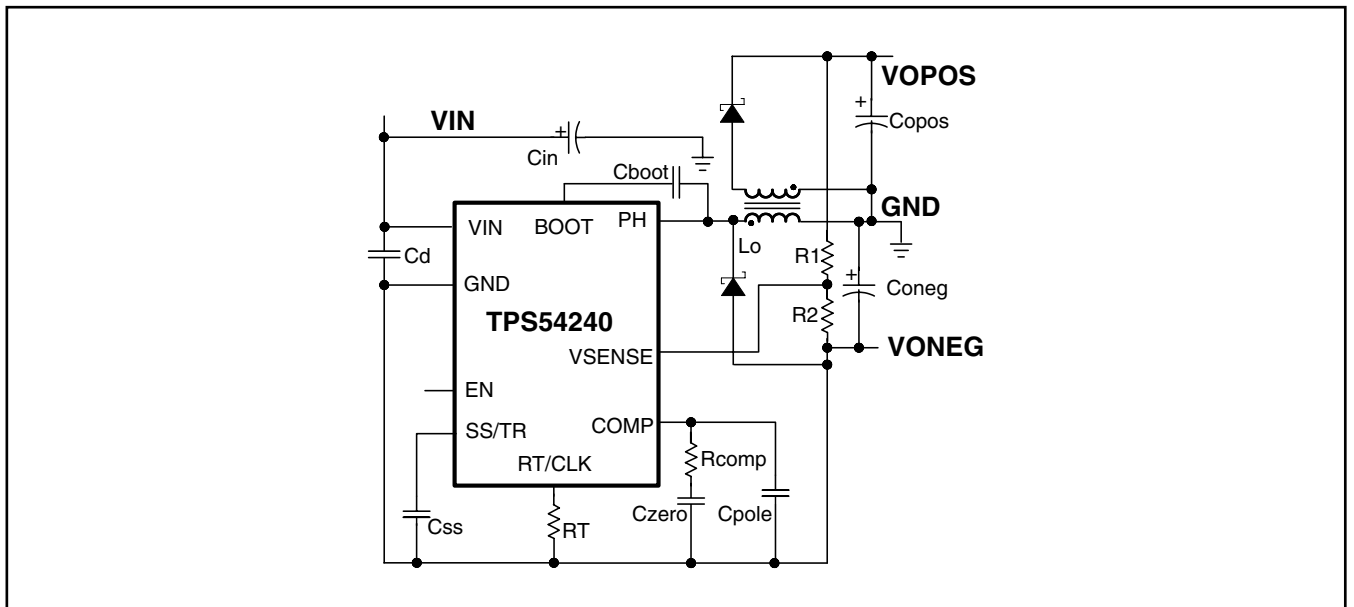


図 64. TPS54240の分割レール電源 (SLVA369アプリケーション・ノートより)

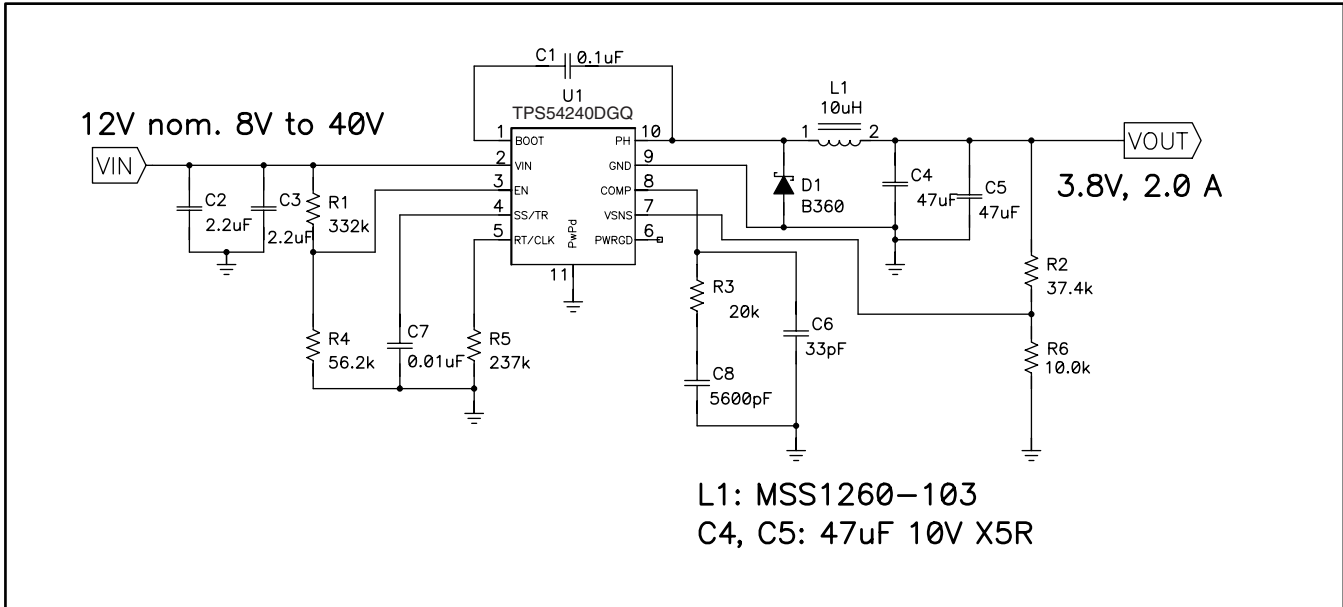


図 65. 12Vから3.8VのGSM電源

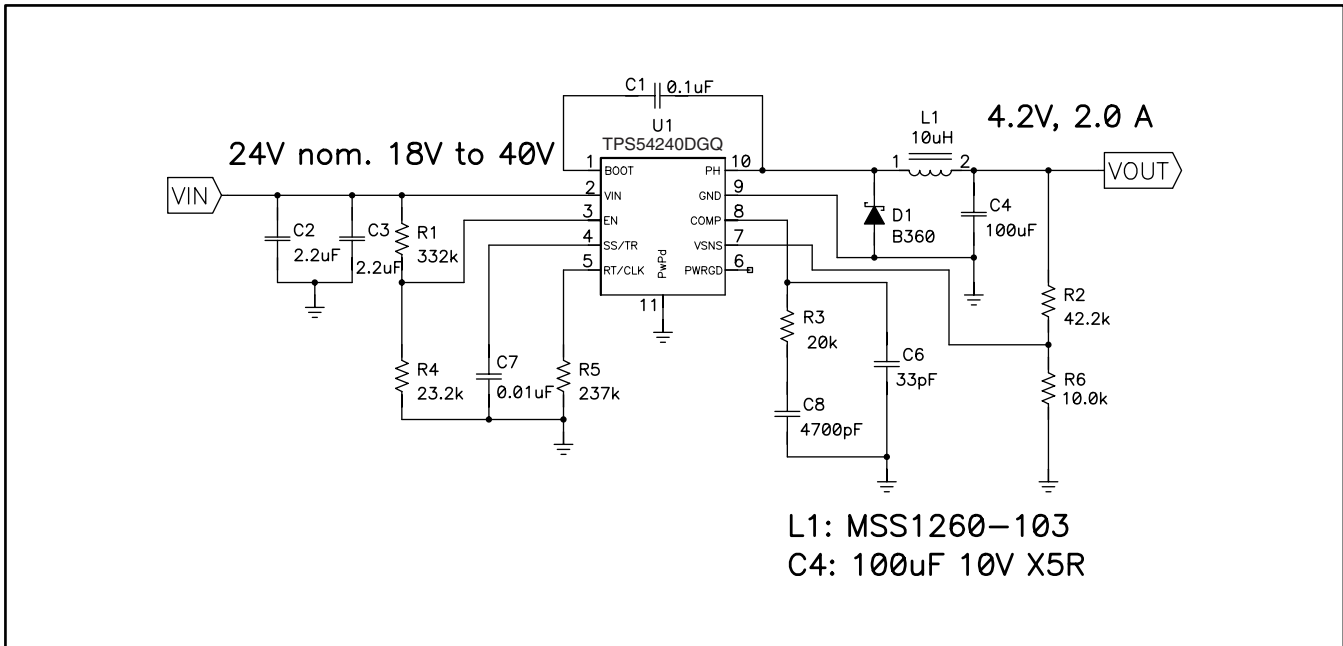


図 66. 24Vから4.2VのGSM電源

パッケージ情報

製品情報

Orderable Device	Status ⁽¹⁾	Package Type	Package Drawing	Pins	Package Qty	Eco Plan ⁽²⁾	Lead/Ball Finish	MSL Peak Temp ⁽³⁾
TPS54240DGQ	ACTIVE	MSOP-Power PAD	DGQ	10	80	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
TPS54240DGQR	ACTIVE	MSOP-Power PAD	DGQ	10	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
TPS54240EVM-605	PREVIEW			0	1	TBD	Call TI	Call TI

(1) マーケティング・ステータスは次のように定義されています。

ACTIVE：製品デバイスが新規設計用に推奨されています。

LIFEBUY：TIによりデバイスの生産中止予定が発表され、ライフタイム購入期間が有効です。

NRND：新規設計用に推奨されていません。デバイスは既存の顧客をサポートするために生産されていますが、TIでは新規設計にこの部品を使用することを推奨していません。

PREVIEW：デバイスは発表済みですが、まだ生産が開始されていません。サンプルが提供される場合と、提供されない場合があります。

OBsolete：TIによりデバイスの生産が中止されました。

(2) エコ・プラン - 環境に配慮した製品分類プランであり、Pb-Free (RoHS)、Pb-Free (RoHS Expert) およびGreen (RoHS & no Sb/Br) があります。最新情報および製品内容の詳細については、<http://www.ti.com/productcontent> でご確認ください。

TBD：Pb-Free/Green変換プランが策定されていません。

Pb-Free (RoHS)：TIにおける“Lead-Free”または“Pb-Free”(鉛フリー)は、6つの物質すべてに対して現在のRoHS要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が0.1%を超えないという要件も含まれます。高温で半田付けするように設計されている場合、TIの鉛フリー製品は指定された鉛フリー・プロセスでの使用に適しています。

Pb-Free (RoHS Exempt)：この部品は、1) ダイとパッケージの間に鉛ベースの半田バンプ使用、または 2) ダイとリードフレーム間に鉛ベースの接着剤を使用、が除外されています。それ以外は上記の様にPb-Free (RoHS) と考えられます。

Green (RoHS & no Sb/Br)：TIにおける“Green”は、“Pb-Free”(RoHS互換)に加えて、臭素(Br)およびアンチモン(Sb)をベースとした難燃材を含まない(均質な材質中のBrまたはSb重量が0.1%を超えない)ことを意味しています。

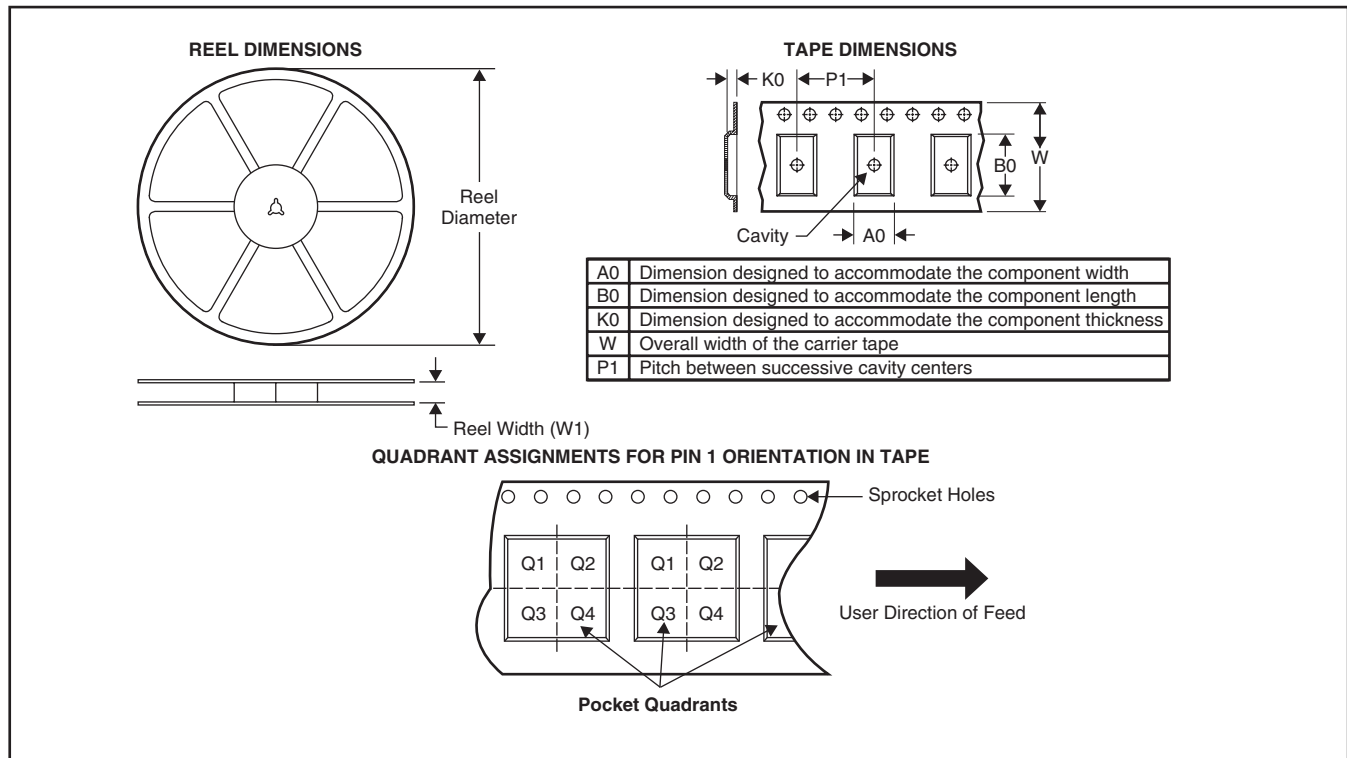
(3) MSL、ピーク温度 -- JEDEC業界標準分類に従った耐湿性レベル、およびピーク半田温度です。

重要な情報および免責事項：このページに記載された情報は、記載された日付時点でのTIの知識および見解を表しています。TIの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行わないものではありません。第三者からの情報をより良く統合するための努力は続けております。TIでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。TIおよびTI製品の供給者は、特定の情報を機密情報として扱っているため、CAS番号やその他の制限された情報が公開されない場合があります。

TIは、いかなる場合においても、かかる情報により発生した損害について、TIがお客様に1年間に販売した本書記載の問題となった TIパーツの購入価格の合計金額を超える責任を負いかねます。

パッケージ・マテリアル情報

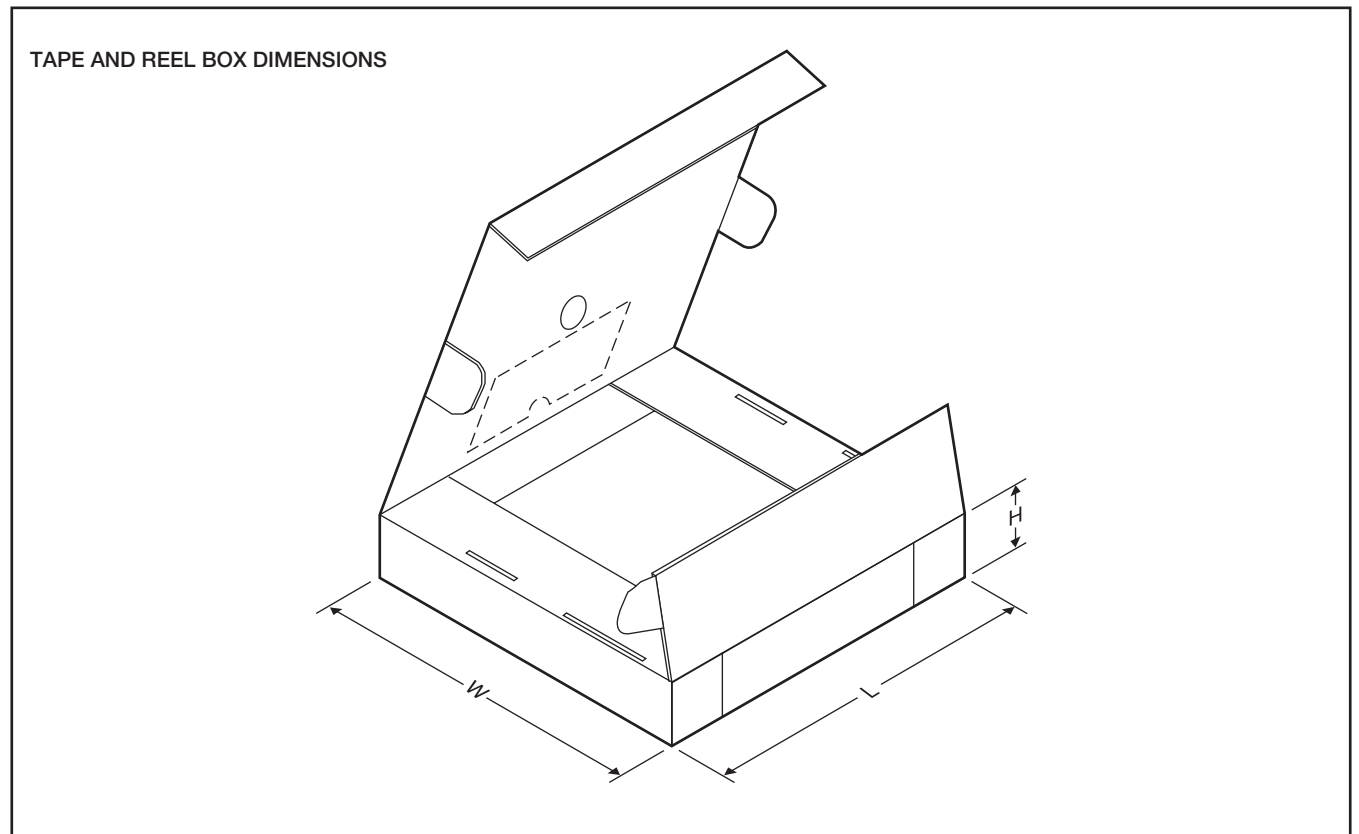
テープおよびリール・ボックス情報



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS54240DGQR	MSOP-Power PAD	DGQ	10	2500	330.0	12.4	5.3	3.3	1.3	8.0	12.0	Q1

パッケージ・マテリアル情報



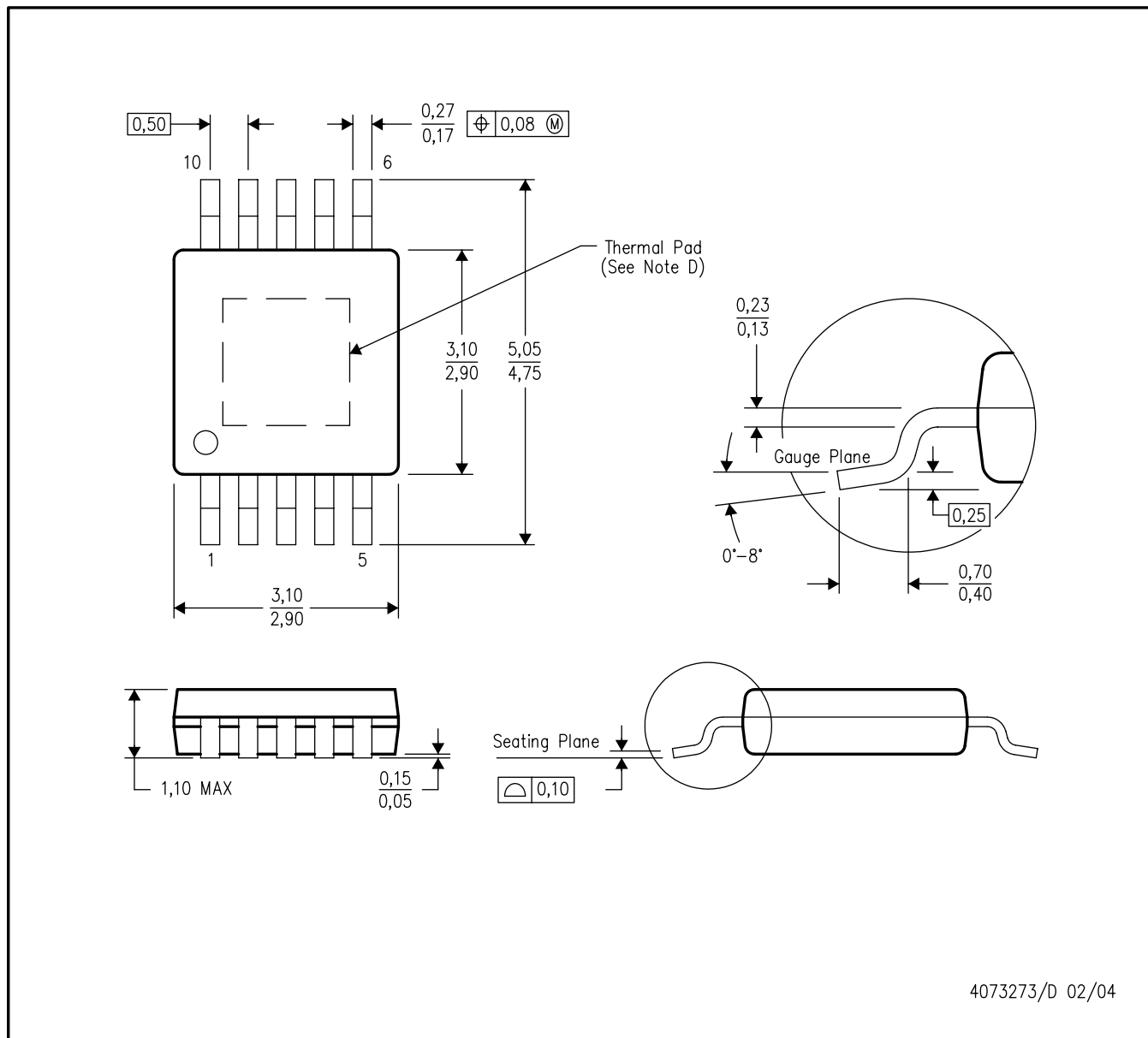
*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS54240DGQR	MSOP-PowerPAD	DGQ	10	2500	346.0	346.0	35.0

メカニカル・データ

DGQ (S-PDSO-G10)

PowerPAD™ PLASTIC SMALL-OUTLINE PACKAGE



4073273/D 02/04

- 注： A. 全ての線寸法の単位はミリメートルです。
 B. 図は予告なく変更することがあります。
 C. 本体寸法にはモールド・フラッシュや突起を含みません。
 D. このパッケージは、基板上的サーマル・パッドに半田付けされるように設計されています。推奨基板レイアウトについては、テクニカル・ブリーフ『PowerPAD Thermally Enhanced Package』（TI文献番号SLMA002）を参照してください。これらのドキュメントは、ホームページwww.ti.comで入手できます。
 E. JEDEC MO-187 バージョンBA-Tに適合しています。

サーマルパッド・メカニカル・データ

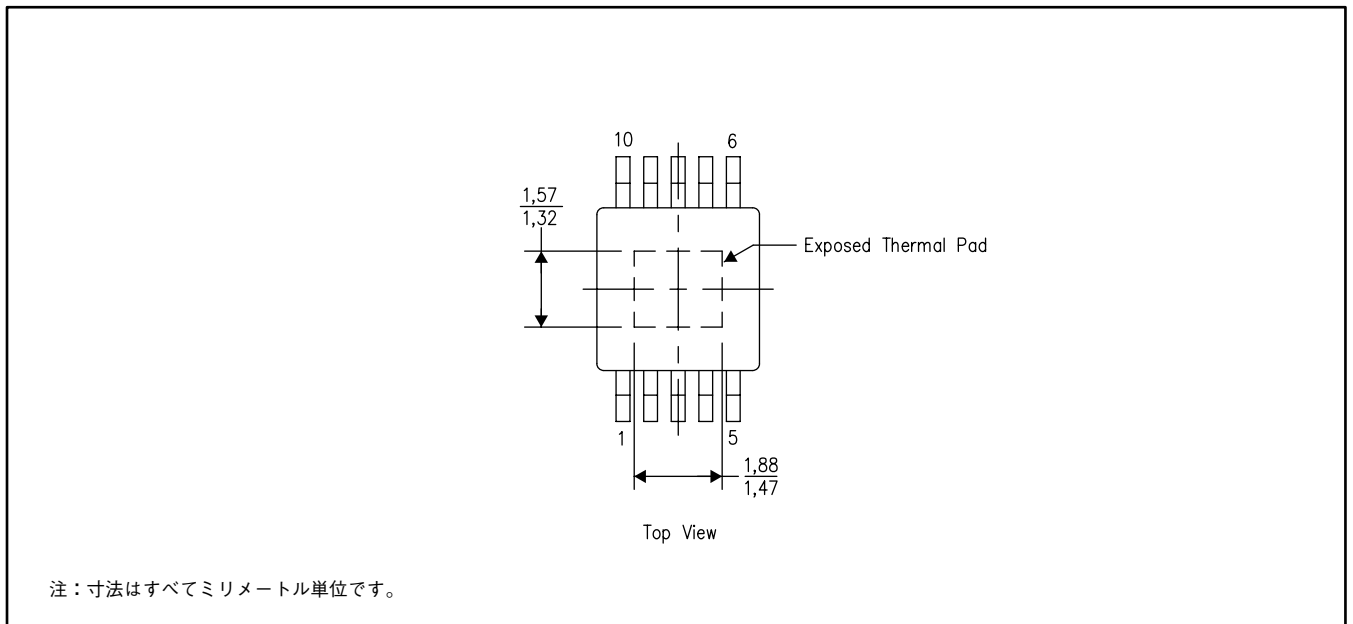
DGQ (S-PDSO-G10)

熱特性について

このPowerPAD™パッケージには、外部ヒートシンクに直接接続するように設計された、露出したサーマル・パッドが装備されています。このサーマル・パッドは、プリント基板(PCB)に直接半田付けする必要があります。半田付け後は、PCBをヒートシンクとして使用できます。また、サーマル・ビアを使用して、サーマル・パッドをデバイスの回路図に示された適切な銅プレーンに直接接続するか、あるいはPCB内に設計された特別なヒートシンク構造に接続することができます。この設計により、ICからの熱伝導が最適化されます。

PowerPAD™パッケージについての追加情報およびその熱放散能力の利用法については、テクニカル・ブリーフ『PowerPAD Thermally Enhanced Package』(TI文献番号SLMA002)およびアプリケーション・ブリーフ『PowerPAD Made Easy』(TI文献番号SLMA004)を参照してください。いずれもホームページ www.ti.com で入手できます。

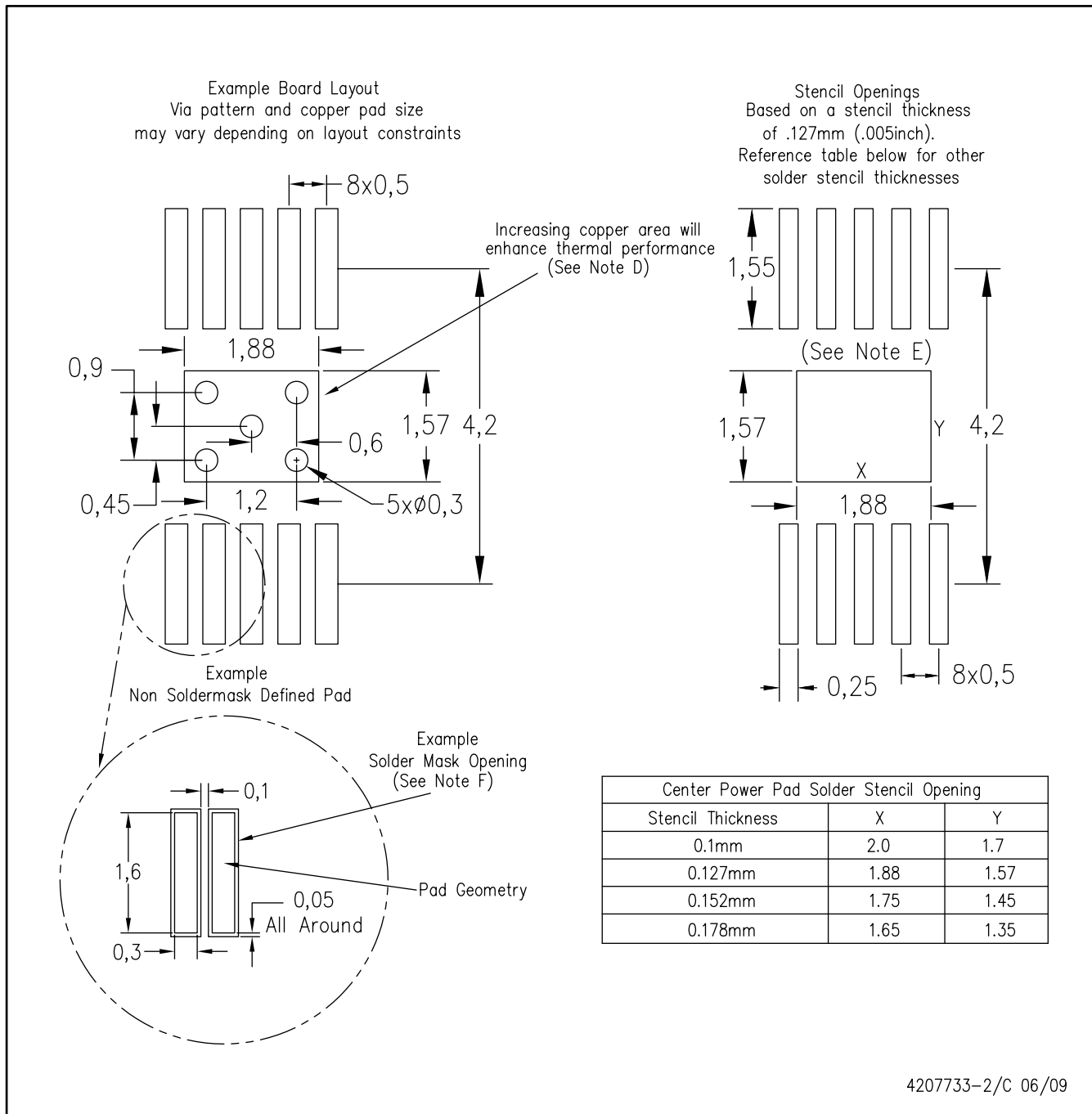
このパッケージの露出したサーマル・パッドの寸法を次の図に示します。



露出サーマル・パッドの寸法

ランド・パターン

DGQ (R-PDSO-G10) PowerPAD™



4207733-2/C 06/09

- 注： A. 全ての線寸法の単位はミリメートルです。
 B. 図は予告なく変更することがあります。
 C. 中央の半田マスク定義パッドを変更しないように、回路基板組み立て図に注記を書き込んでください。
 D. このパッケージは、基板上的のサーマル・パッドに半田付けされるように設計されています。推奨基板レイアウトについては、テクニカル・ブリーフ『PowerPAD Thermally Enhanced Package』(TI文献番号SLMA002, SLMA004)を参照してください。これらのドキュメントは、ホームページ www.ti.com で入手できます。代替設計については、資料IPC-7351を推奨します。
 E. レーザ切断開口部の壁面を台形にし、角に丸みを付けることで、ペーストの離れがよくなります。ステンシル設計要件については、基板組み立て拠点にお問い合わせください。例に示したステンシル設計は、50%容積のメタルロード半田ペーストに基づいています。ステンシルに関する他の推奨事項については、IPC-7525を参照してください。
 F. 信号パッド間および信号パッド周囲の半田マスク許容差については、基板組み立て拠点にお問い合わせください。

(SLV5AA6)

ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated (TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾することは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは承認ということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得頂かなければならない場合もあります。

TIのデータブックもしくはデータシートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されておられません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されておられません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2010, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様の実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光があたる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上