

# ハイサイドMOSFET内蔵、 3Aデュアル非同期コンバータ

## 特長

- 入力電圧範囲：4.5V ~ 28V
- 出力電圧範囲：0.8V ~ 入力電圧の90%
- 出力電流：最大3A
- 2つの固定スイッチング周波数モデル：
  - TPS54383：300kHz
  - TPS54386：600kHz
- 3つの過電流保護レベルを選択可能（出力2）
- 電圧リファレンス：0.8V、1.5%
- 内部ソフト・スタート：2.1ms
- 位相差180°のデュアルPWM出力
- レシオメトリックまたはシーケンシャルなスタートアップ・モードをピン1本で選択可能
- 内蔵ハイサイドMOSFET：85mΩ
- 電流モード制御
- 内部補償（16ページ参照）
- パルス毎の過電流保護
- 過熱保護：+148°C
- 14ピンPowerPAD™ HTSSOPパッケージ

## アプリケーション

- セットトップ・ボックス
- デジタル・テレビ
- DSP用電源
- 民生用電子機器

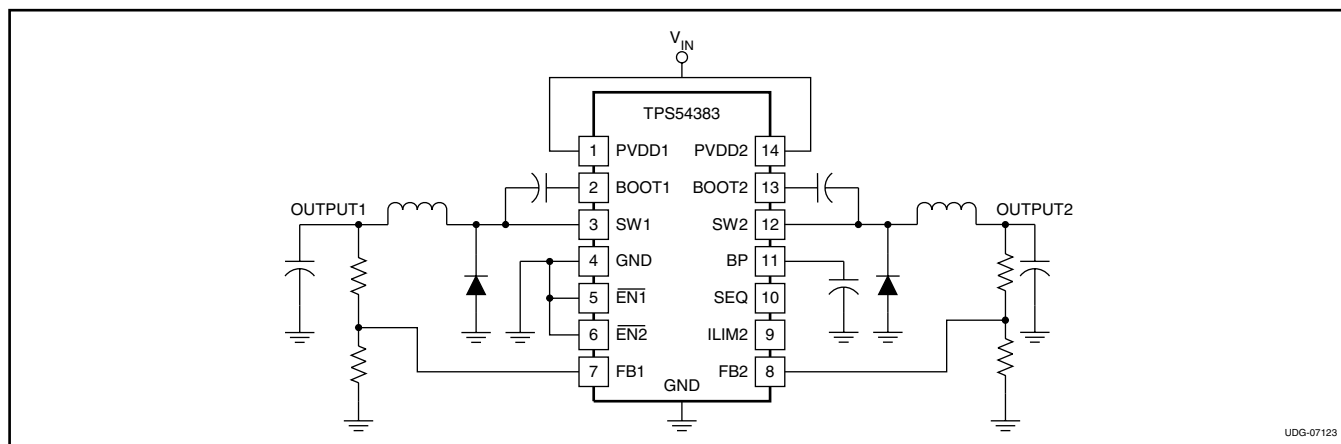
## 目次

デバイス定格	2
電気的特性	3
デバイス情報	9
アプリケーション情報	12
設計例	26
参考資料	37

## 概要

TPS54383およびTPS54386は、デュアル出力の非同期降圧型コンバータです。4.5V~28Vの入力電源電圧で動作し、0.8Vから入力電圧の90%までの出力電圧を必要とする、3A出力のアプリケーションをサポートできます。

内部固定された動作周波数、ソフト・スタート時間、および制御ループ補償により、最小限の外部部品で多くの機能を提供



PowerPADは、テキサス・インスツルメンツの登録商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本TI) が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。

できます。チャンネル1の過電流保護は4.5Aに設定されています。チャンネル2の過電流保護レベルは、ILIM2ピンをグランドまたはBPに接続、あるいはフローティングにすることで選択できます。アプリケーションで両出力の負荷能力をフルには必要としない場合、これらの設定レベルを利用して外部部品の値を調整できます。

出力はそれぞれ独立にイネーブルにすることが可能で、レシオメトリックまたはシーケンシャルなスタートアップ・シーケンスを行うよう設定することもできます。また、2つの出力はそれぞれ異なる電源から電力供給が可能です。



## 静電気放電対策

これらのデバイスは、限定的なESD（静電破壊）保護機能を内蔵しています。保存時または取り扱い時に、MOSゲートに対する静電破壊を防止するために、リード線どうしを短絡しておくか、デバイスを伝導性のフォームに入れる必要があります。

### 製品情報<sup>(1)</sup>

PART NUMBER	OPERATING FREQUENCY (kHz)	PACKAGE	MEDIA	単位 (Pieces)
TPS54383PWP	300	Plastic 14-Pin HTSSOP	Tube	90
TPS54383PWPR			Tape and Reel	2000
TPS54386PWP	600		Tube	90
TPS54386PWPR			Tape and Reel	2000

(1) 最新のパッケージおよびご注文情報については、このドキュメントの巻末にある「付録：パッケージ・オプション」を参照するか、またはTIのWebサイト(www.ti.com)をご覧ください。

### デバイス定格 絶対最大定格<sup>(1)</sup>

		VALUE	単位
Input voltage range	PVDD1, PVDD2, EN1, EN2	30	V
	BOOT1, BOOT2	$V_{SW} + 7$	
	SW1, SW2	-2 ~ 30	
	SW1, SW2 transient (< 50ns)	-3 ~ 31	
	BP	6.5	
	SEQ, ILIM2	-0.3 ~ 6.5	
	FB1, FB2	-0.3 ~ 3	
	SW1, SW2 output current	7	A
	BP load current	35	mA
$T_{stg}$	Storage temperature	-55 ~ +165	°C
$T_J$	Operating temperature	-40 ~ +150	
	Soldering temperature	+260	

(1) 絶対最大定格を超えると、致命的なダメージを製品に与えることがあります。本製品の機能動作は、このデータシートの「推奨DC動作条件」の範囲内に制限する必要があります。動作制限範囲外の状態で長時間置くと、本製品の信頼性に影響を与えることがあります。

### 推奨動作条件

		MIN	MAX	単位
$V_{PVDD2}$	Input voltage	4.5	28	V
$T_J$	Operating junction temperature	-40	+125	°C

### 静電放電 (ESD) 保護

	MIN	単位
Human body model	2k	V
CDM	1.5k	
Machine Model	250	

### パッケージ定格消費電力<sup>(1)(2)(3)</sup>

PACKAGE	THERMAL IMPEDANCE JUNCTION-TO-THERMAL PAD (°C/W)	$T_A = +25^\circ\text{C}$ POWER RATING (W)	$T_A = +85^\circ\text{C}$ POWER RATING (W)
Plastic 14-Pin HTSSOP (PWP)	2.07 <sup>(4)</sup>	1.6	1.0

- (1) PWPパッケージの詳細な情報についてはTIテクニカル・ブリーフ(SLMA002A)を参照してください。  
 (2) TIデバイスのパッケージは、JEDEC標準JESD 51-3およびJESD 51-7で規定されたプリント基板設計を使用して、熱特性のモデル化と試験が行われています。  
 (3) アプリケーション情報については、「電力デレーティング」を参照してください。  
 (4)  $T_{J-A} = +40^\circ\text{C/W}$ です。

## 電気的特性

特に指定のない限り、 $-40^{\circ}\text{C} \leq T_J \leq +125^{\circ}\text{C}$ 、 $V_{PVDD1} = V_{PVDD2} = 12\text{V}$ です。

パラメータ		測定条件	MIN	TYP	MAX	単位
<b>INPUT SUPPLY (PVDD)</b>						
$V_{PVDD1}$ — Input voltage range			4.5		28	V
$V_{PVDD2}$						
$I_{DDSDN}$ Shutdown		$V_{EN1} = V_{EN2} = V_{PVDD2}$		70	150	$\mu\text{A}$
$I_{DDQ}$ Quiescent, non-switching		$V_{FB} = 0.9\text{ V}$ , Outputs off		1.8	3.0	mA
$I_{DDSW}$ Quiescent, while-switching		SW node unloaded; Measured as BP sink current		5		
$V_{UVLO}$ Minimum turn-on voltage		PVDD2 only	3.8	4.1	4.4	V
$V_{UVLO(hys)}$ Hysteresis				400		mV
$t_{START}^{(1)(2)}$ Time from startup to softstart begin		$C_{BP} = 10\ \mu\text{F}$ , EN1 and EN2 go low simultaneously		2		ms
<b>ENABLE (EN)</b>						
$V_{EN1}$ — Enable threshold			0.9	1.2	1.5	V
$V_{EN2}$						
	Hysteresis			50		mV
$I_{EN1}$ — Enable pull-up current		$V_{EN1} = V_{EN2} = 0\text{ V}$		6	12	$\mu\text{A}$
$I_{EN2}$						
$t_{EN}^{(1)}$ Time from enable to soft-start begin		Other EN pin = GND		10		$\mu\text{s}$
<b>BP REGULATOR (BP)</b>						
BP Regulator voltage		$8\text{ V} < P_{VDD2} < 28\text{ V}$	5	5.25	5.6	V
$BP_{LDO}$ Dropout voltage		$P_{VDD2} = 4.5\text{ V}$ ; switching, no external load on BP		400		mV
$I_{BP}^{(1)}$ Regulator external load					2	mA
$I_{BPS}$ Regulator short circuit		$4.5\text{ V} < P_{VDD2} < 28\text{ V}$	10	20	30	
<b>OSCILLATOR</b>						
$f_{SW}$ Switching frequency	TPS54383		255	310	375	kHz
	TPS54386		510	630	750	
$t_{DEAD}^{(1)}$ Clock dead time				140		ns
<b>ERROR AMPLIFIER (EA) and VOLTAGE REFERENCE (REF)</b>						
$V_{FB1}$ — Feedback input voltage		$0^{\circ}\text{C} < T_J < +85^{\circ}\text{C}$	788	800	812	mV
$V_{FB2}$		$-40^{\circ}\text{C} < T_J < +125^{\circ}\text{C}$	786		812	
$I_{FB1}$ — Feedback input bias current				3	50	nA
$I_{FB2}$						
$g_{M1}^{(1)}$ — Transconductance				30		$\mu\text{S}$
$g_{M2}^{(1)}$						
<b>SOFT START (SS)</b>						
$T_{SS1}$ — Soft start time			1.5	2.1	2.7	ms
$T_{SS2}$						
<b>OVERCURRENT PROTECTION</b>						
$I_{CL1}$ Current limit channel 1			3.6	4.5	5.6	A
$I_{CL2}$ Current limit channel 2		$V_{ILIM2} = V_{BP}$	3.6	4.5	5.6	
		$V_{ILIM2} = (\text{floating})$	2.4	3.0	3.6	
		$V_{ILIM2} = \text{GND}$	1.15	1.50	1.75	
$V_{UV1}$ — Low-level output threshold to declare a fault		Measured at feedback pin.		670		mV
$V_{UV2}$						
$T_{HICCUP}^{(1)}$ Hiccup timeout				10		ms
$t_{ON1(oc)}^{(1)}$ — Minimum overcurrent pulse width				90	150	ns
$t_{ON2(oc)}^{(1)}$						

(1) 設計で確認されています。実製品のテストは行っていません。

(2) 両方の出力を同時に起動した場合、20mAの電流源によってBPコンデンサが充電されます。BPコンデンサの値を小さくすることで、時間を短縮できます。詳細については、「入力低電圧ロックアウト(UVLO)とスタートアップ」を参照してください。

## 電気的特性

特に指定のない限り、 $-40^{\circ}\text{C} \leq T_J \leq +125^{\circ}\text{C}$ 、 $V_{PVDD1} = V_{PVDD2} = 12\text{V}$ です。

パラメータ		測定条件	MIN	TYP	MAX	単位
<b>BOOTSTRAP</b>						
$R_{BOOT1}$ $R_{BOOT2}$	Bootstrap switch resistance	From BP to BOOT1 or BP to BOOT2, $I_{EXT} = 50\text{ mA}$		18		$\Omega$
<b>OUTPUT STAGE (Channel 1 and Channel 2)</b>						
$R_{DS(on)}$ <sup>(3)</sup>	MOSFET on resistance plus bond wire resistance	$T_J = +25^{\circ}\text{C}$ , $V_{PVDD2} = 8\text{ V}$		85		m $\Omega$
		$-40^{\circ}\text{C} < T_J < +125^{\circ}\text{C}$ , $V_{PVDD2} = 8\text{ V}$		85	165	
$t_{ON(min)}$ <sup>(3)</sup>	Minimum controllable pulse width	$I_{SWx}$ peak current $> 1\text{ A}$ <sup>(4)</sup>		100	200	ns
$D_{MIN}$	Minimum Duty Cycle	$V_{FB} = 0.9\text{ V}$			0	%
$D_{MAX}$	Maximum Duty Cycle	TPS54383 $f_{SW} = 300\text{ kHz}$	90	95		%
		TPS54386 $f_{SW} = 600\text{ kHz}$	85	90		%
$I_{SW}$	Switching node leakage current (sourcing)	Outputs OFF		2	12	$\mu\text{A}$
<b>THERMAL SHUTDOWN</b>						
$T_{SD}$ <sup>(3)</sup>	Shutdown temperature			148		$^{\circ}\text{C}$
$T_{SD(hys)}$ <sup>(3)</sup>	Hysteresis			20		

(3) 設計で確認されています。実製品のテストは行っていません。

(4)  $I_{SWx}$  ピーク電流が1A未満の場合については、図14を参照してください。

代表的特性

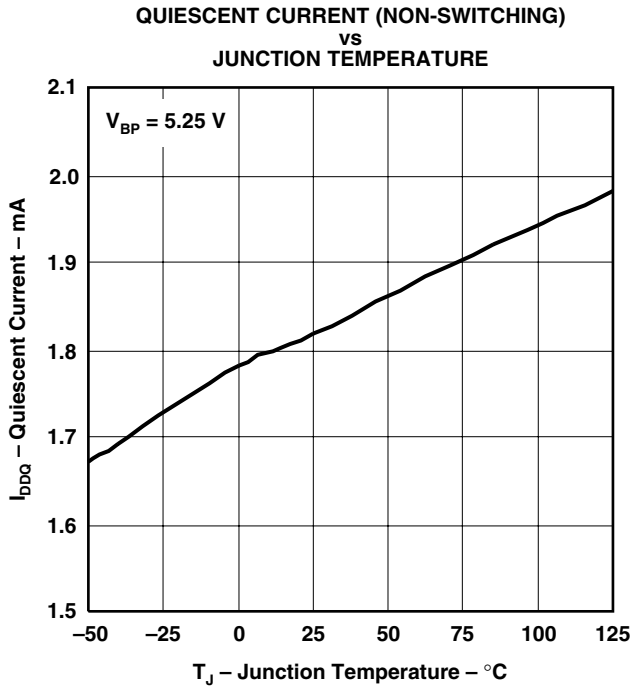


图 1

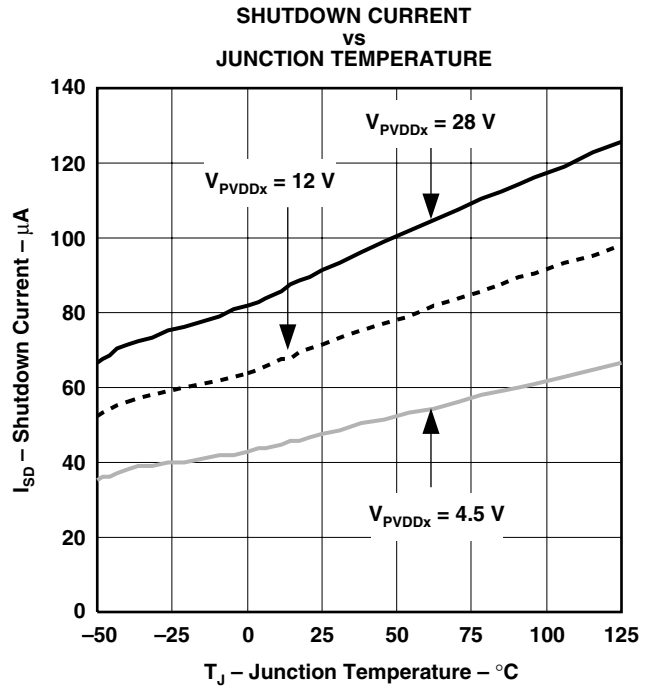


图 2

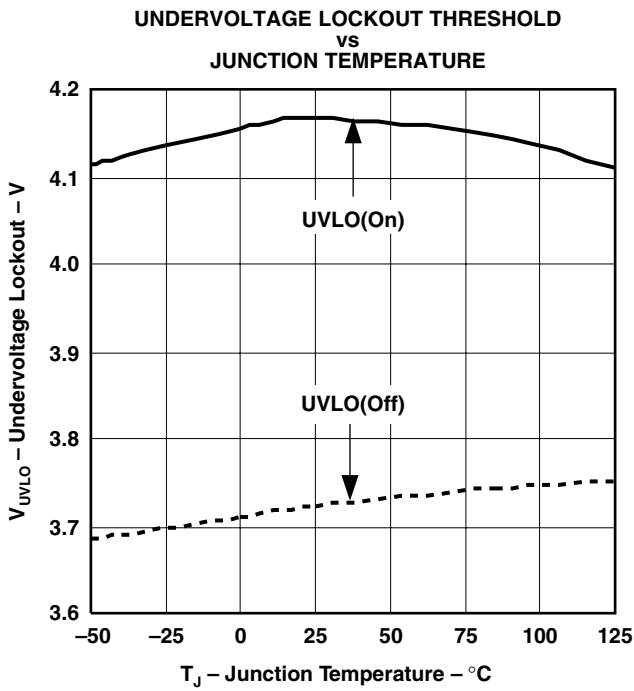


图 3

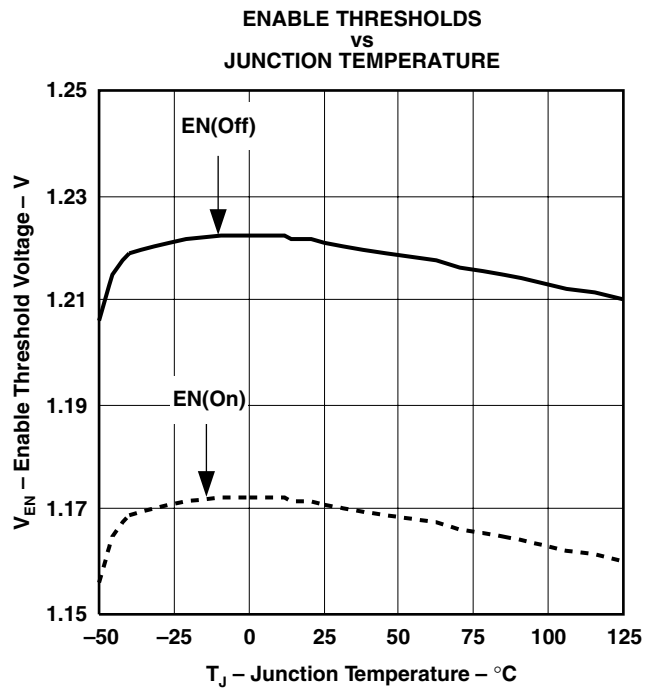


图 4

代表的特性

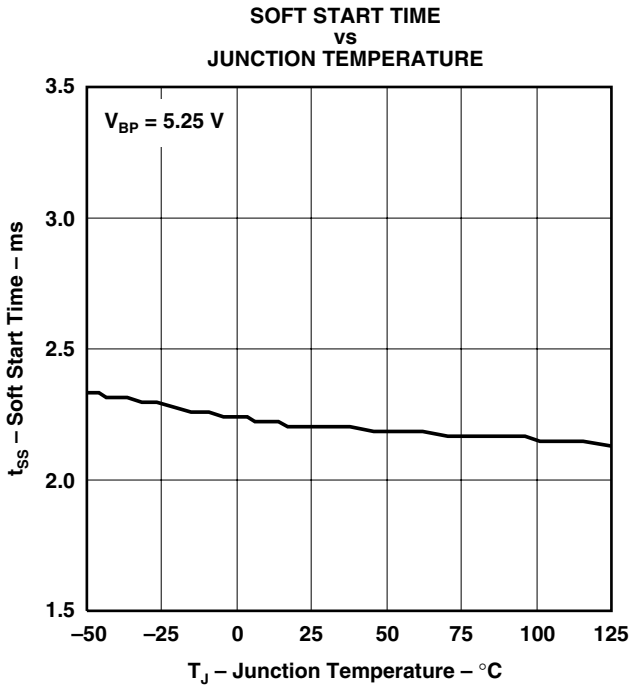


図 5

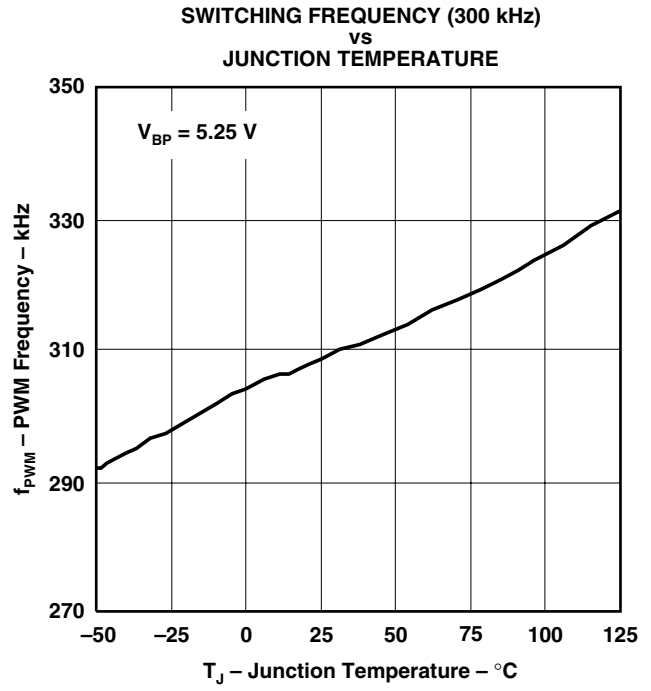


図 6

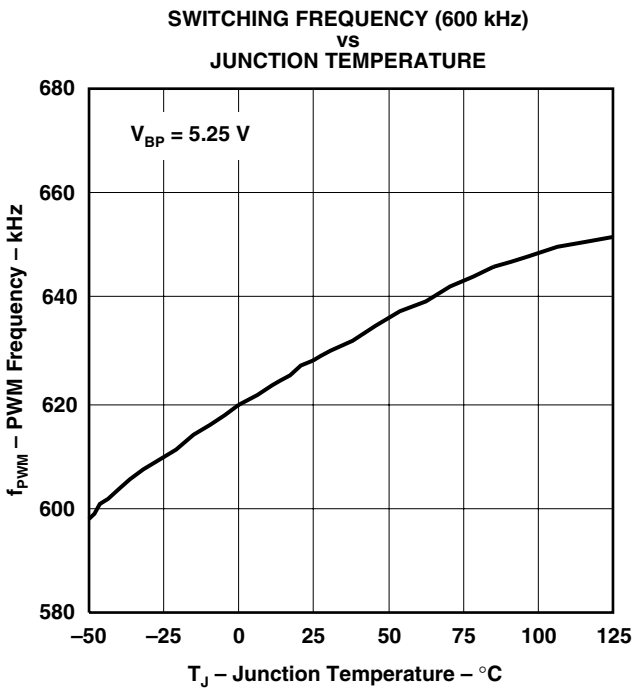


図 7

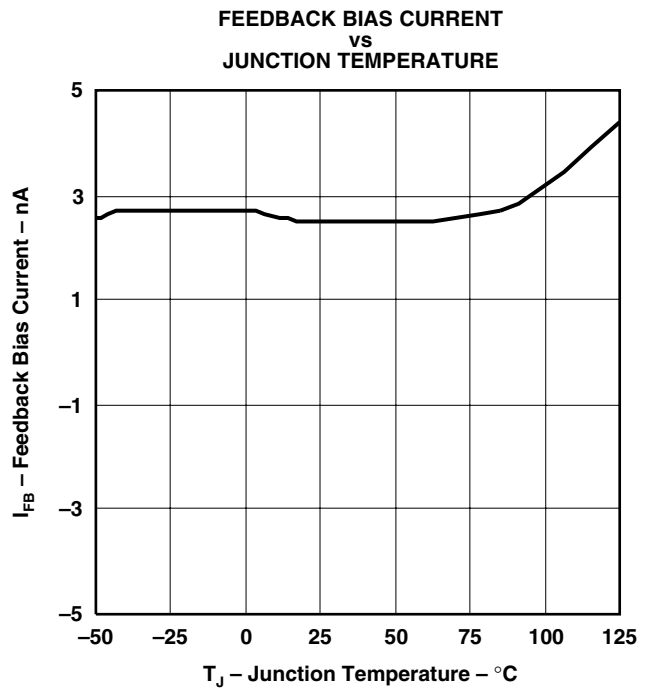


図 8

代表的特性

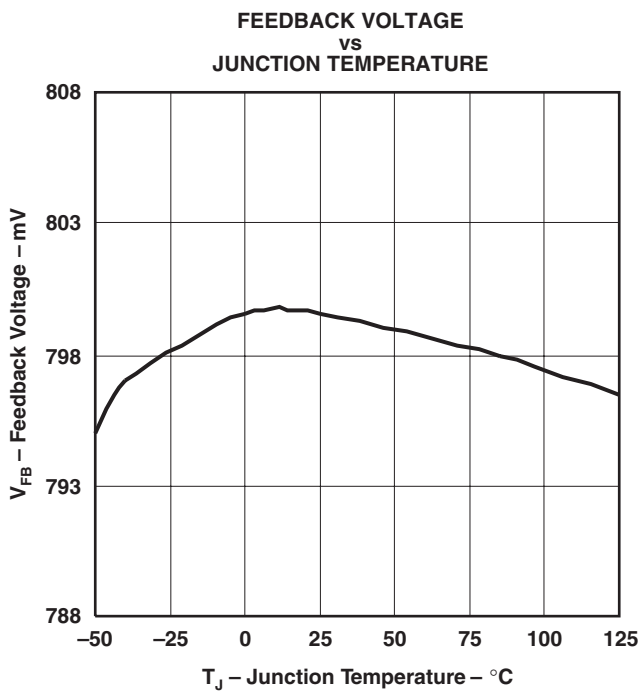


图 9

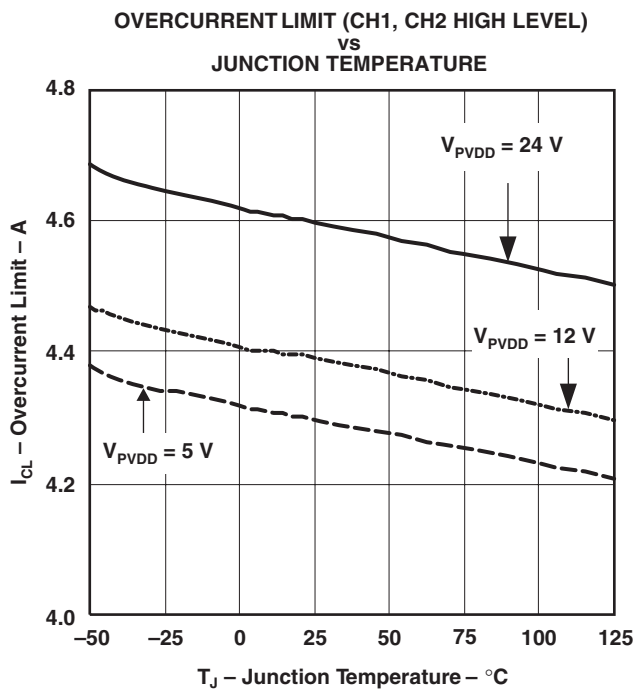


图 10

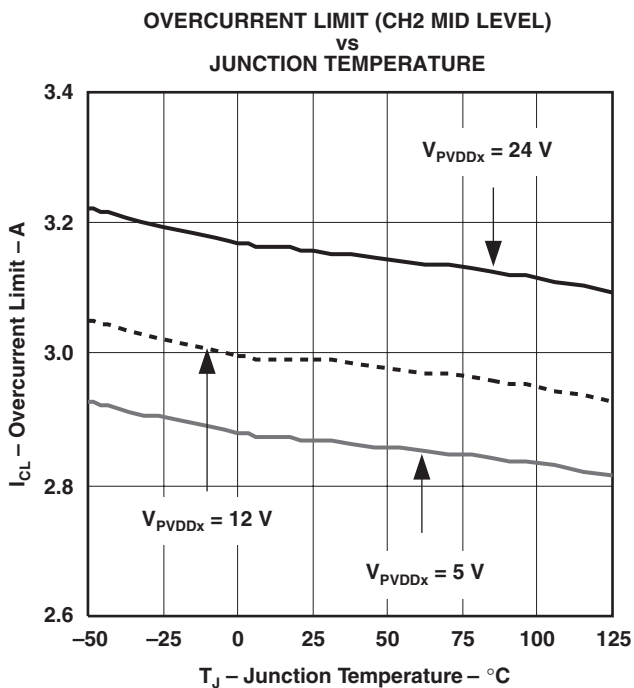


图 11

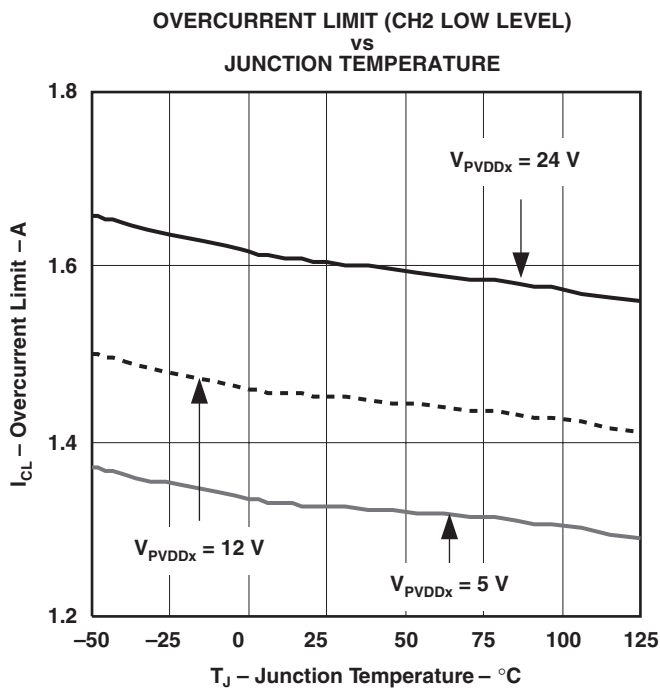


图 12

代表的特性

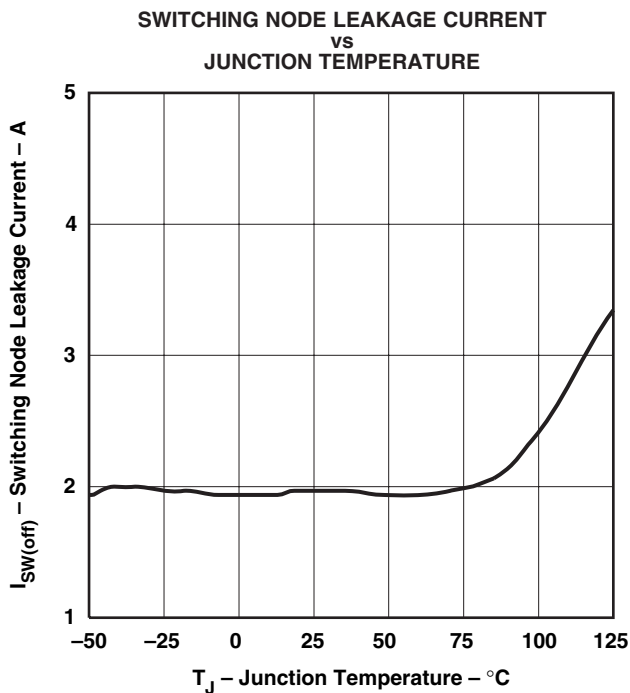


图 13

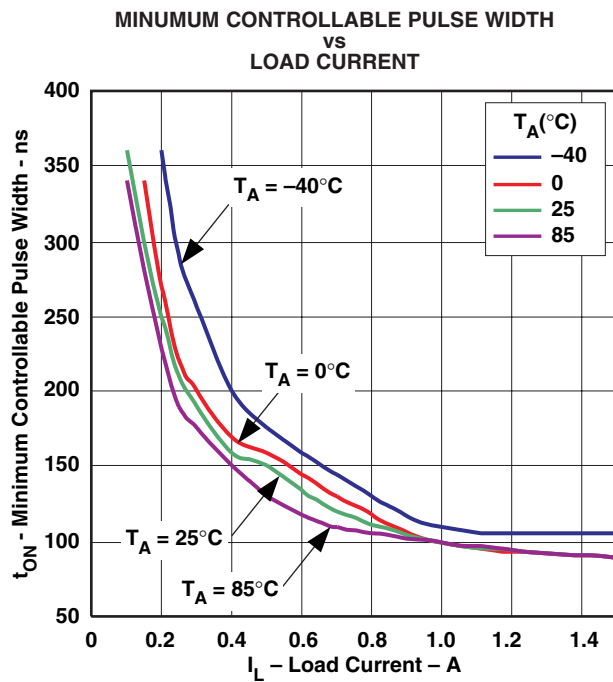


图 14

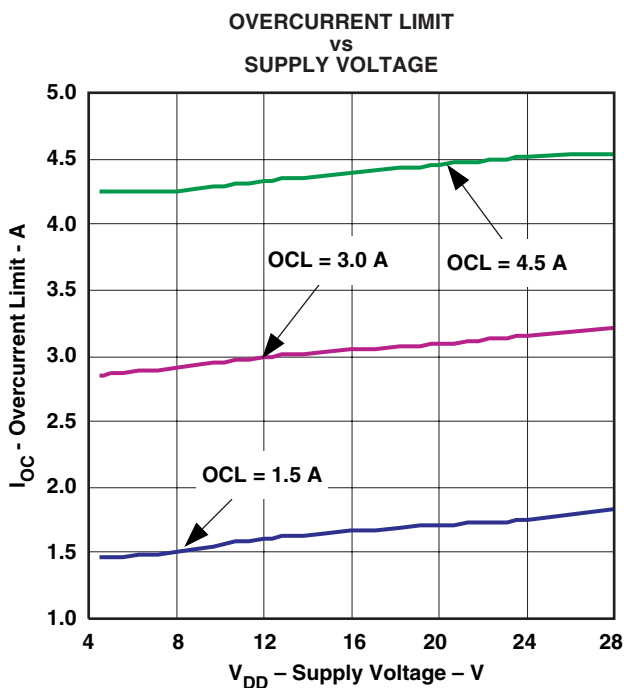
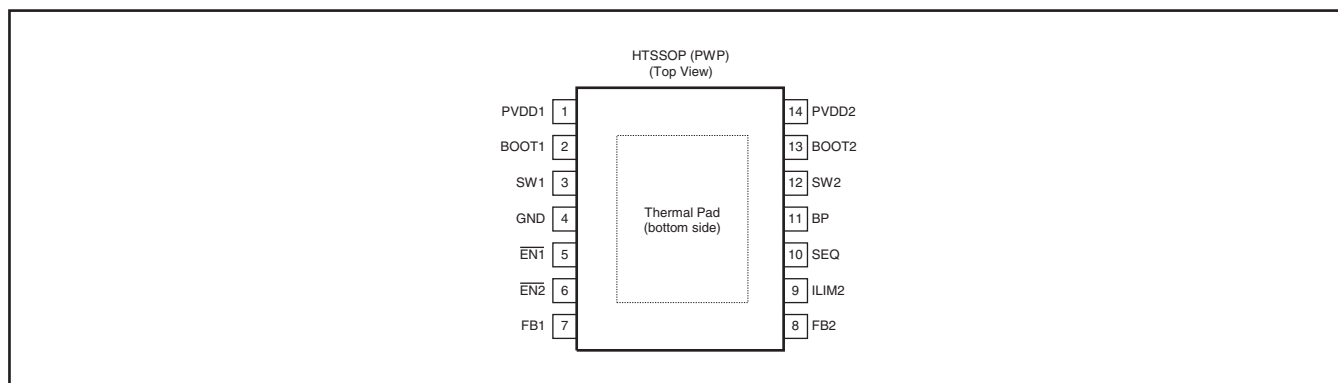


图 15



# デバイス情報

## ピン接続



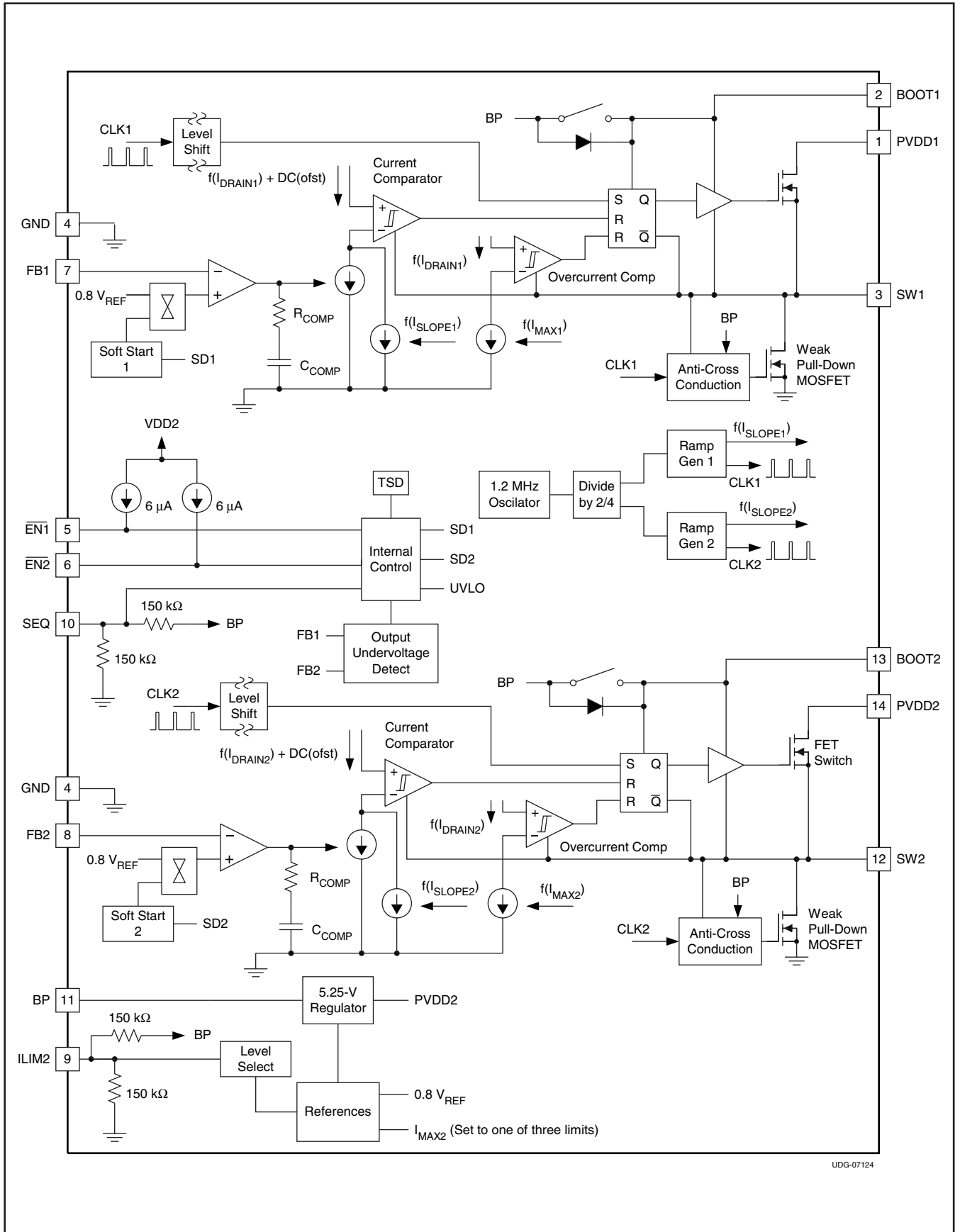
## ピン機能

端子		I/O	説明
NAME	NO.		
BOOT1	2	I	出力1用ハイサイド・ゲート・ドライバの入力電源です。このピンとSW1との間に22nF~82nFのコンデンサを接続します。このコンデンサは、内部スイッチを通して、BPピンの電圧により充電されます。コンバータのオフ期間中、このスイッチはオンになります。ブートストラップ・コンデンサと直列に小さな抵抗(1Ω~3Ω)を接続すると、内部FETのターンオンを遅くすることができます。
BOOT2	13	I	出力2用ハイサイド・ゲート・ドライバの入力電源です。このピンとSW2との間に22nF~82nFのコンデンサを接続します。このコンデンサは、内部スイッチを通して、BPピンの電圧により充電されます。コンバータのオフ期間中、このスイッチはオンになります。ブートストラップ・コンデンサと直列に小さな抵抗(1Ω~3Ω)を接続すると、内部FETのターンオンを遅くすることができます。
BP	11	-	ブートストラップ・コンデンサを充電するためのレギュレーション電圧です。このピンは、低ESR(4.7μF~10μFのX7RまたはX5R)セラミック・コンデンサを使用してGNDにバイパスします。
EN1	5	I	出力1のイネーブル入力(アクティブ・ロー)です。このピンの電圧が1.55Vより大きい場合、出力1はディセーブルされます(ハイサイド・スイッチがオフ)。電圧が0.9V未満になると、出力1がイネーブルになり、出力1のソフト・スタートが開始可能になります。フローティングにされた場合、このピンは内部の電流源によってPVDD2にドライブされます。“常時オン”の動作を行うには、このピンをGNDに接続します。
EN2	6	I	出力2のイネーブル入力(アクティブ・ロー)です。このピンの電圧が1.55Vより大きい場合、出力2はディセーブルされます(ハイサイド・スイッチがオフ)。電圧が0.9V未満になると、出力2がイネーブルになり、出力2のソフト・スタートが開始可能になります。フローティングにされた場合、このピンは内部の電流源によってPVDD2にドライブされます。“常時オン”の動作を行うには、このピンをGNDに接続します。
FB1	7	I	出力1の電圧帰還ピンです。内部のトランスコンダクタンス誤差増幅器によって出力1のPWMが調整され、このピンの電圧は内部リファレンス電圧0.8Vにレギュレーションされます。出力2とグラウンドの間に直列抵抗デバイダを接続し、その接続点をこのピンに接続することで、レギュレーション出力電圧の値を決定できます。帰還ループに対する補償は、デバイスの内部で提供されます。詳細については、「帰還ループとインダクタ/コンデンサ(L-C)フィルタの選択」を参照してください。
FB2	8	I	出力2の電圧帰還ピンです。内部のトランスコンダクタンス誤差増幅器によって出力2のPWMが調整され、このピンの電圧は内部リファレンス電圧0.8Vにレギュレーションされます。出力2とグラウンドの間に直列抵抗デバイダを接続し、その接続点をこのピンに接続することで、レギュレーション出力電圧の値を決定できます。帰還ループに対する補償は、デバイスの内部で提供されます。詳細については、「帰還ループとインダクタ/コンデンサ(L-C)フィルタの選択」を参照してください。
GND	4	-	デバイスのグラウンド・ピンです。直接サマル・パッドに接続してください。
ILIM2	9	I	出力2のみの電流制限調整ピンです。この機能の目的は、非対称の負荷電流(出力1の負荷電流が出力2の負荷電流よりもずっと大きい)を使用するユーザが、過電流障害状態で適切なディレーティングを維持しながら、低電流出力側の部品値を最適化できるようにすることです。個々のレベルは、「表2. 出力2の電流制限スレッショールド調整」に示されています。 注：内部の2抵抗によるデバイダ(各150kΩ)により、BPはILIM2およびGNDに接続されています。
PVDD1	1	I	出力1ハイサイドMOSFET専用の電源入力です。このピンは、10μF以上の低ESRセラミック・コンデンサを使用して、GNDへローカルにバイパスする必要があります。
PVDD2	14	I	PVDD2ピンは、デバイス制御回路に電力を供給します。また、EN1およびEN2ピンにプルアップを提供し、出力2のハイサイドMOSFETに電力を供給します。このピンは、10μF以上の低ESRセラミック・コンデンサを使用して、GNDへローカルにバイパスする必要があります。UVLO機能ではPVDD2が監視され、PVDD2が4.1Vを上回るとデバイスがイネーブルになります。

## ピン機能

端子		I/O	説明
NAME	NO.		
SEQ	10	I	<p>このピンは、出力のスタートアップ・モードを設定します。SEQピンをBPに接続すると、出力2がイネーブルの場合、出力2がレギュレーションに達した後で出力1がスタートアップします。つまり、出力1が出力2に従属するシーケンシャル・スタートアップを実現できます。出力が動作している状態でEN2が“High”になると、両方の出力が直ちにディスエーブルされ、現在の負荷に従って出力電圧が低下します。このシーケンス構成では、EN1をグラウンドに接続します。</p> <p>SEQピンをGNDに接続すると、出力1がイネーブルの場合、出力1がレギュレーションに達した後で出力2がスタートアップします。つまり、出力2が出力1に従属するシーケンシャル・スタートアップを実現できます。出力が動作している状態でEN1が“High”になると、両方の出力が直ちにディスエーブルされ、現在の負荷に従って出力電圧が低下します。このシーケンス構成では、EN2をグラウンドに接続します。</p> <p>このピンがフローティングの場合は、両方の出力が同時にイネーブルされたときに、出力1および出力2がレシオメトリックにスタートアップします。両方の出力は、最終出力電圧によって決定されるレートでソフト・スタートし、同時にレギュレーション状態になります。EN1およびEN2ピンが独立して動作できる場合、2つの出力も独立に動作します。</p> <p>注：内部の2抵抗(各150kΩ)によるデバイダにより、BPはSEQおよびGNDに接続されています。「シーケンス状態」の表を参照してください。</p>
SW1	3	O	出力1 PWMのソース(スイッチング)出力です。このノードでのリングングを低減するために、スナバの使用を推奨します。詳細については、「SWノードのリングング」を参照してください。
SW2	12	O	出力2 PWMのソース(スイッチング)出力です。このノードでのリングングを低減するために、スナバの使用を推奨します。詳細については、「SWノードのリングング」を参照してください。
Thermal Pad	-	-	このパッドは、外部でグラウンド・プレーンおよびGNDピンに接続する必要があります。

ブロック図



UDG-07124

# アプリケーション情報

## 機能説明

TPS54383およびTPS54386は、デュアル出力の非同期コンバータです。各PWMチャンネルに、内部補償誤差増幅器、電流モード・パルス幅変調回路(PWM)、スイッチMOSFET、イネーブル、および障害保護回路が搭載されています。2つのチャンネルに共通な回路として、内部電圧レギュレータ、電圧リファレンス、クロック発振回路、および出力電圧シーケンシング機能があります。

## 設計のヒント

TPS5438xには、内部スロープ補償およびループ補償用の部品が内蔵されています。したがって、外部L-Cフィルタは、結果的に制御ループが安定性条件を満足するよう適切に選択する必要があります。このアプローチは、外部補償制御回路の場合とは異なります。一般に、外部補償の場合は、最初にL-Cフィルタを選択してから、補償ネットワークを決定します。「帰還ループとインダクタ/コンデンサ(L-C)フィルタの選択」を参照してください。

## 注:

特に記述のない限り、“TPS5438x”はTPS54383とTPS54386の両方を意味します。また、特に記述のない限り、小文字のxを含む記号は、2つの変調回路チャンネルの両方の出力を示します。例えば、“ $\overline{ENx}$ ”は $\overline{EN1}$ と $\overline{EN2}$ の両方を表します。特に記述のない限り、記載されているパラメータ値はすべて標準値です。最大値および最小値については、電気的特性を参照してください。計算の際には、公差の値を考慮に入れる必要があります。

## 電圧リファレンス

両方の出力に共通のバンドギャップ・セルであり、800mVに設定されています。

## 発振回路

発振周波数は、SWxノードのスイッチング周波数の2倍に内部で固定されています。2つの出力は、スイッチ・サイクルを交互に行うように(つまり、位相差180°に)設定されています。

## 入力低電圧ロックアウト(UVLO)とスタートアップ

PVDD2ピンの電圧が4.1V未満の場合は、内部バイアス回路の一部だけが動作可能となり、他の機能はすべてオフに保持されます。内部MOSFETもすべてオフになります。PVDD2電圧がUVLOのオン・スレッシュホールドを上回ると、イネーブル・ピンの状態によって、残りの内部スタートアップ・シーケンスが決定されます。どちらかの出力がイネーブル( $\overline{ENx}$ が“Low”)になると、BPレギュレータがオンになり、BPコンデンサを20mAの電流で充電します。BPピンが4Vを超えると、SEQの動作モードと $\overline{EN1}$ および $\overline{EN2}$ の設定に従って、PWMがイネーブルになり、ソフト・スタートが開始されます。

内部レギュレータおよび制御回路はPVDD2を電源としていることに注意してください。PVDD1の電圧は、PVDD2より高い場合または低い場合があります。(「デュアル電源動作」を参照してください。)

## 出力のイネーブルとオン時間の調整

各出力には、専用のイネーブル・ピン(アクティブ・ロー)があります。フローティングにされた場合、このピンは内部の電流源によってPVDD2にドライブされます。 $\overline{ENx}$ ピンをグラウンドに接続するか、または外部回路で約1.2V未満にプルダウンすると、対応する出力がイネーブルになり、ソフト・スタートが開始されます。

両方のイネーブル・ピンが“High”のままであると、デバイスはシャットダウン・モードで動作し、BPレギュレータがシャットダウンされて、最小限の機能だけがアクティブになります。両方のPVDDピンからの合計スタンバイ電流は、12Vの入力電源で約70 $\mu$ Aです。

$\overline{ENx}$ ピンにR-Cを接続することで、PVDDxに電力が印加されてから対応する出力がオンになるまでの遅延時間を設定できます(図16を参照)。PVDD2に電力が印加されると、 $\overline{ENx}$ ピンの電圧はゆっくりグラウンドへと低下し始めます。電圧が約1.2Vまで低下すると、出力がイネーブルになり、スタートアップ・シーケンスが開始されます。PVDD2への電力印加後すぐにデバイスの出力をイネーブルにしたい場合は、この2つの部品を省略して、 $\overline{ENx}$ ピンをGNDに直接接続します。

R-C回路を使用してオン時間を遅延させる場合は、抵抗値を1.2V/6 $\mu$ A(200k $\Omega$ )よりずっと小さくする必要があります。推奨値は51k $\Omega$ です。この抵抗値を使用すると、6 $\mu$ Aのバイアス電流が流れている間、 $\overline{ENx}$ 電圧が1.2Vスレッシュホールド未満に低下します。

(PVDD2印加後の)スタートアップ時間の遅延に必要なコンデンサ値は、式(1)で表されます。

$$C = \frac{t_{\text{DELAY}}}{R \times \ln \left[ \frac{V_{\text{IN}} - 2 \times I_{\text{ENx}} \times R}{V_{\text{TH}} - I_{\text{ENx}} \times R} \right]} \text{ farads} \quad (1)$$

ここで

- RおよびCは、タイミング部品です。
- $V_{\text{TH}}$ は、1.2Vのイネーブル・スレッシュホールド電圧です。
- $I_{\text{ENx}}$ は、6 $\mu$ Aのイネーブル・ピン・バイアス電流です。

他のイネーブル・ピン機能は、SEQピンの状態によって決まります。(「出力電圧シーケンシング」を参照してください。)

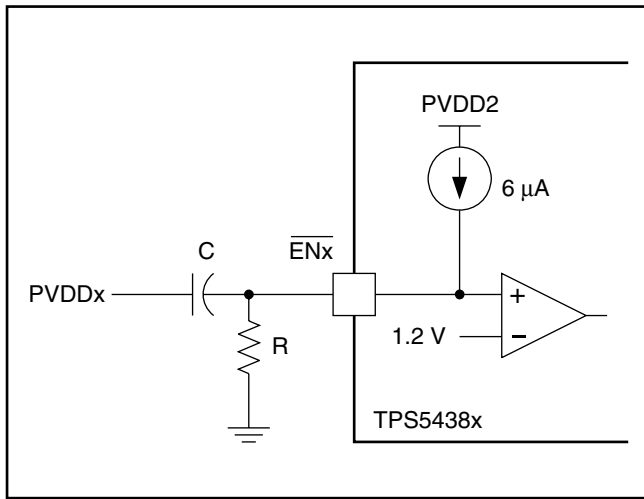


図 16. スタートアップ遅延回路図

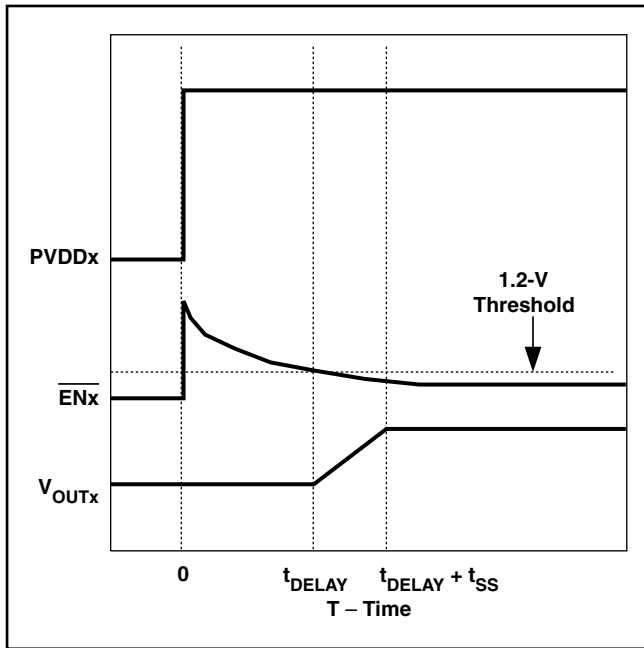


図 17. イネーブルにR-Cを接続したときのスタートアップ遅延

## 設計のヒント

出力電圧スタートアップの遅延が必要でない場合は、 $\overline{EN1}$ および $\overline{EN2}$ を直接GNDに接続してください。それにより、PVDD2に有効な電源が印加されると、出力が直ちにスタートアップされます。

出力 $x$ がレギュレーション状態になった後で $\overline{ENx}$ を“High”にすると、上側MOSFETがオフになり、出力コンデンサと負荷によって決まるレートで出力が低下します。内部のプルダウンMOSFETは、オフ状態に保持されます。([NチャネルMOSFETのブートストラップ]を参照してください。)

## 出力電圧シーケンシング

TPS5438xでは、出力電圧のスタートアップ・シーケンシングを1本のピンでプログラミングできます。パワーオン時に、SEQピンの状態が検出されます。このピンがBPに接続されているか、GNDに接続されているか、またはフローティングであるかに基づいて、出力は表1のように動作します。

SEQピンをBPに接続すると、出力2がイネーブルの場合、出力2がレギュレーションに達してから約400µs後に出力1がスタートアップします。つまり、出力1が出力2に従属するシーケンシャル・スタートアップを実現できます。出力が動作している状態で $\overline{EN2}$ が“High”になると、両方の出力が直ちにディスエーブルされ、現在の負荷に従って出力電圧が低下します。

SEQピンをGNDに接続すると、出力1がイネーブルの場合、出力1がレギュレーションに達してから約400µs後に出力2がスタートアップします。つまり、出力2が出力1に従属するシーケンシャル・スタートアップを実現できます。出力が動作している状態で $\overline{EN1}$ が“ハイ”になると、両方の出力が直ちにディスエーブルされ、現在の負荷に従って出力電圧が低下します。

SEQ PIN STATE	MODE	$\overline{EN1}$	$\overline{EN2}$
BP	Sequential, Output 2 then Output 1	Ignored by the device when $V_{\overline{EN2}} <$ enable threshold voltage	Active
		Tie $\overline{EN1}$ to $<$ enable threshold voltage for BP to be active when $V_{\overline{EN2}} >$ enable threshold voltage	
		Tie $\overline{EN1}$ to $>$ enable threshold voltage for low quiescent current (BP inactive) when $V_{\overline{EN2}} >$ enable threshold voltage	
GND	Sequential, Output 1 then Output 2	Active	Ignored by the device when $V_{\overline{EN1}} <$ enable threshold voltage
			Tie $\overline{EN2}$ to $<$ enable threshold voltage for BP to be active when $V_{\overline{EN1}} >$ enable threshold voltage
			Tie $\overline{EN2}$ to $>$ enable threshold voltage for low quiescent current (BP inactive) when $V_{\overline{EN1}} >$ enable threshold voltage
(floating)	Independent or Ratiometric, Output 1 and Output 2	Active. $\overline{EN1}$ and $\overline{EN2}$ must be tied together for Ratio-metric startup.	Active. $\overline{EN1}$ and $\overline{EN2}$ must be tied together for Ratio-metric startup.

表 1. シーケンス状態

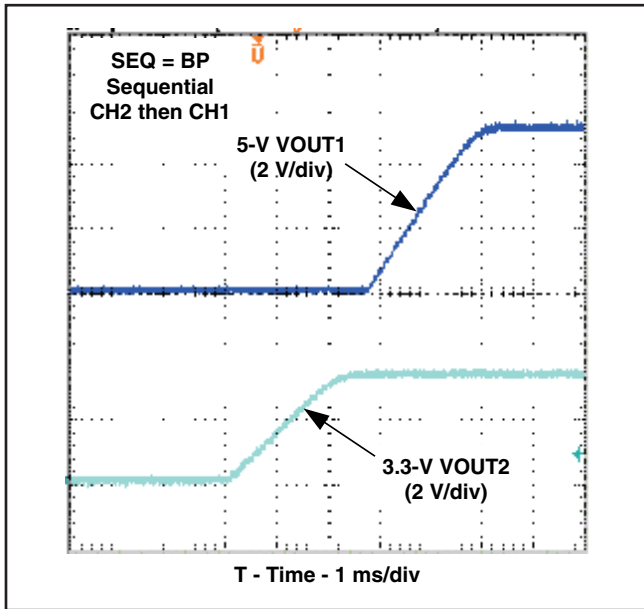


図 18. SEQピンをBPに接続

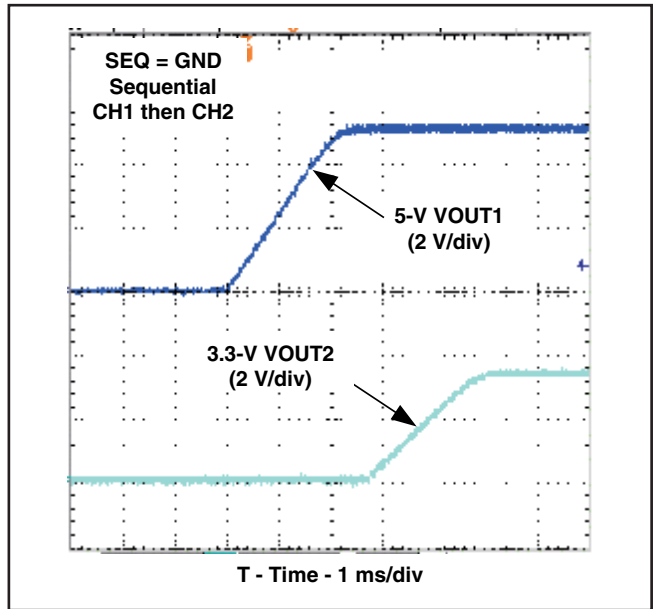


図 19. SEQピンをGNDに接続

**注：**

シーケンシャル・モードで、SEQピンに加え、 $\overline{ENx}$ ピンにR-Cネットワークを接続することで、最初の出力電圧のスタートアップを遅延させることができます。このアプローチは、多数の出力電圧が使用され、複雑な電圧シーケンシング要件が求められるようなシステムで必要となる場合があります。「出力のイネーブルとオン時間の調整」を参照してください。

SEQピンがフローティングの場合は、両方の出力が同時にイネーブルされたときに、出力1および出力2がそれぞれレシオメトリックにスタートアップします。出力1および出力2は、それぞれの最終出力電圧によって決定されるレートでソフト・スタートし、同時にレギュレーション状態になります。 $\overline{EN1}$ および $\overline{EN2}$ ピンが独立して動作できる場合、2つの出力も独立に動作します。

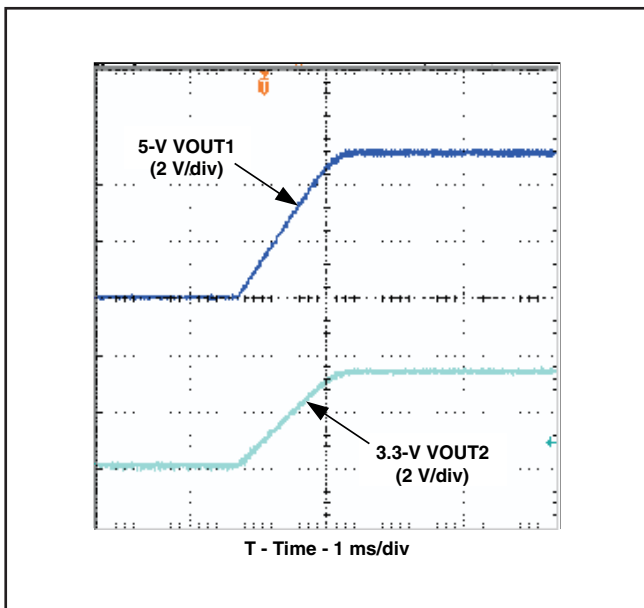


図 20. SEQピンがフローティング

**ソフト・スタート**

各出力には、専用のソフト・スタート回路があります。ソフト・スタート電圧は、誤差増幅器の2つの非反転入力的一方に入力される、内部のデジタル・リファレンス・ランプです。もう一方の入力は、(内部の)高精度0.8Vリファレンスです。FB電圧が0Vから0.8Vに充電されるまでの合計上昇時間は、約2.1msです。ソフト・スタート期間の間、TPS5438xの出力は、誤差増幅器の非反転入力への電圧をゆっくり増加させます。このようにして、出力電圧は、誤差増幅器の非反転入力の電圧が0.8Vの内部リファレンス電圧に達するまで、ゆっくり上昇します。その後、誤差増幅器の非反転入力の電圧はリファレンス電圧に維持されます。

**注：**

デジタル・ソフト・スタートの上昇中に出力電圧への外乱を避けるため、最小出力容量として50 $\mu$ Fを推奨します。「帰還ループとインダクタ/コンデンサ(LC)フィルタの選択」を参照してください。フィルタおよび補償部品が決定したら、コンバータの安定性を確認するために、物理的設計のラボ測定を行う必要があります。

ソフト・スタート期間中は、パルスごとの電流制限が適用されます。過電流パルスが検出されると、PWMパルスが6パルス分スキップされ、インダクタ電流が低下するまで次のPWMパルスが印加されないようにします。「出力過負荷保護」を参照してください。電流制限パルスが検出されない場合は、パルスはスキップされません。

**設計のヒント**

入力電圧(PVDDx)の上昇レートが遅く、入力電圧が低すぎてソフト・スタート完了時までには目的のレギュレーション電圧が得られない場合は、出力UV回路が作動して、出力電圧にヒックアップが生じる可能性があります。このような場合は、

PVDDx電圧で目的のレギュレーション電圧をサポートできるまでの間、 $\overline{ENx}$ ピンからスタートアップ遅延を使用して、出力のスタートアップを遅らせます。関連情報については、「最大デューティ・サイクル付近での動作」および「最大出力容量」を参照してください。

### 出力電圧レギュレーション

各出力には、電圧設定デバイダ、誤差増幅器、パルス幅変調回路、およびスイッチングMOSFETから構成される、専用の帰還ループがあります。レギュレーション出力電圧は、出力ノード、FBxピン、およびGNDに接続される抵抗デバイダによって決定されます(図21を参照)。上側の電圧設定デバイダ抵抗の値が既知であると仮定すると、目的の出力電圧を得るための下側デバイダ抵抗の値は、式(2)で計算されます。

$$R2 = R1 \times \left[ \frac{V_{REF}}{V_{OUT} - V_{REF}} \right] \quad (2)$$

ここで

- $V_{REF}$ は、0.8Vの内部リファレンス電圧です。

### 設計のヒント

TPS5438xの一方の出力がディスエーブルのとき、SWピンから最大12 $\mu$ Aのリーク電流があります。R1 + R2の直列インピーダンスを50k $\Omega$ 未満に保持することで、制御回路出力がオフ状態の間、出力がリファレンス電圧以上にフローティングするのを防止できます。

### 帰還ループとインダクタ/コンデンサ(L-C)フィルタの選択

帰還信号経路上で、出力電圧設定デバイダの後には、標準30 $\mu$ Sのトランスコンダクタンスを持つ $g_m$ タイプの内部誤差増幅器が配置されています。 $g_m$ 増幅器の出力とグランドとの間に内部で接続された直列R-C回路は、コンバータの補償ネットワークとして機能します。誤差増幅器出力からの信号はバッファリングされ、スロープ補償信号と結合後、ミラーリングされてSWノードにリファレンスされます。さらに、電流帰還信号と比較されて、上側MOSFETスイッチに供給されるパルス幅変調(PWM)信号が作成されます。信号制御経路の単純な等価回路を図22に示します。

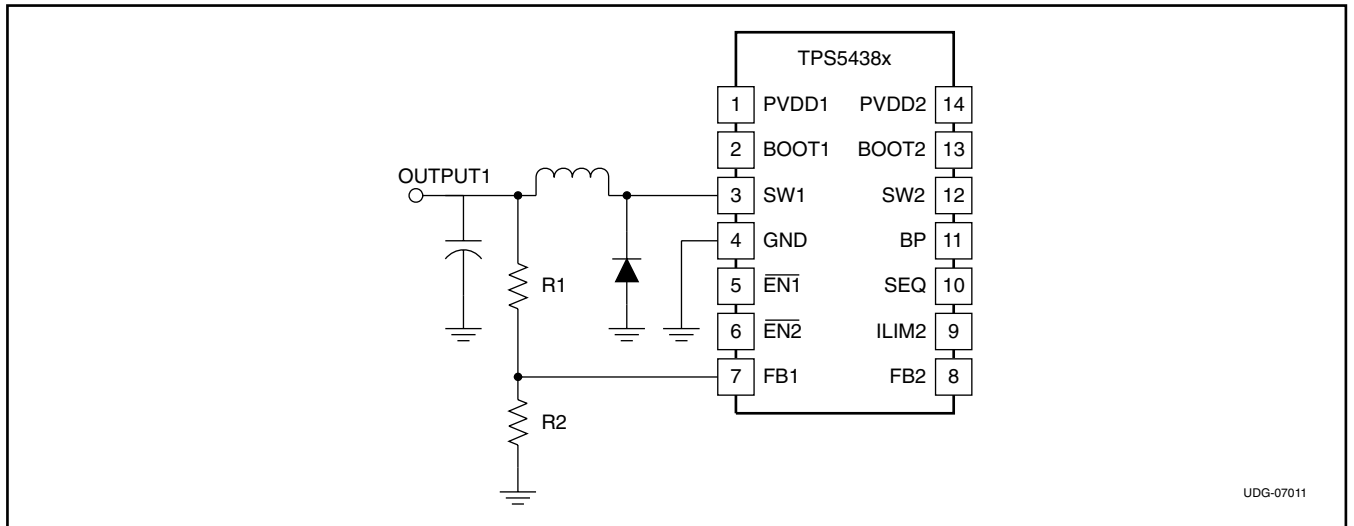


図 21. チャンネル1の帰還ネットワーク

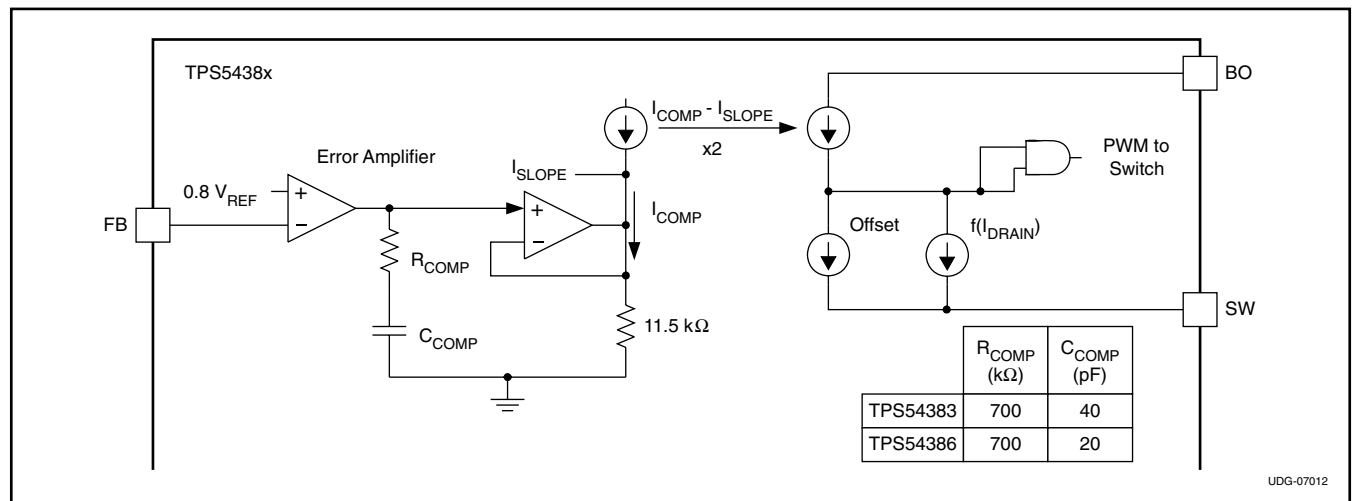


図 22. 帰還ループの等価回路

**注：**

SW<sub>x</sub>ノードからBOOT<sub>x</sub>の内部回路にノイズが結合されると、特に負荷電流が1A未満の場合に、狭いパルス幅動作に影響が出る可能性があります。SW<sub>x</sub>ノードのノイズを低減する方法については、「SWノードのリングング」を参照してください。

図23に、より一般的な小信号等価ブロック図を示します。ここでは、閉ループ信号経路の全体が示されています。TPS5438xには内部スロープ補償およびループ補償用の部品が内蔵されているため、外部LCフィルタは、結果の制御ループが安定性条件を満足するよう適切に選択する必要があります。このアプローチは、外部補償制御回路の場合とは異なります。一般に、外部補償の場合は、最初にLCフィルタを選択してから、補償ネットワークを決定します。適切なLおよびCの組み合わせを決定するために、出力V<sub>c</sub>間信号経路のゲインおよび位相のプロット(次節を参照)を他の設計基準とともに使用して、最も安定した帰還ループが得られる組み合わせを見つけることができます。

**インダクタ/コンデンサ (L-C) の選択**

以下の図は、3つのピーク・ツー・ピーク・リップル電流レベル(200mA、400mA、600mA)について、TPS5438xの出力V<sub>c</sub>間のゲインおよび位相(対周波数)を、各種のデューティ・サイクル(10%、30%、50%、70%、90%)に対してプロットしたものです。ループ補償のために選択されるループ応答曲線は、アプリケーションのデューティ・サイクルと、インダクタのリップル電流に基づきます。曲線が選択され、インダクタ値が計算されれば、帰還ループの補償に必要なLC共振周波数を計算することで、出力コンデンサを決定できます。曲線の後に、簡単な例を示しています。

内部誤差増幅器の補償は、20kHz~60kHzのESRゼロ周波数を持つ出力コンデンサに対して最適化されていることに注意してください。詳細については、以降の節を参照してください。

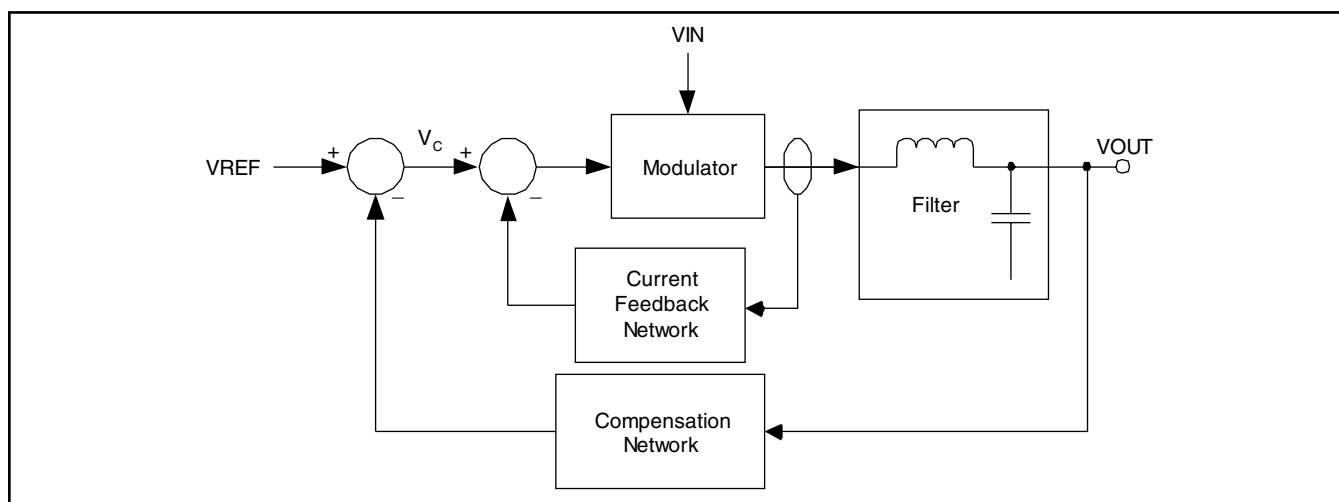


図 23. 小信号等価ブロック図

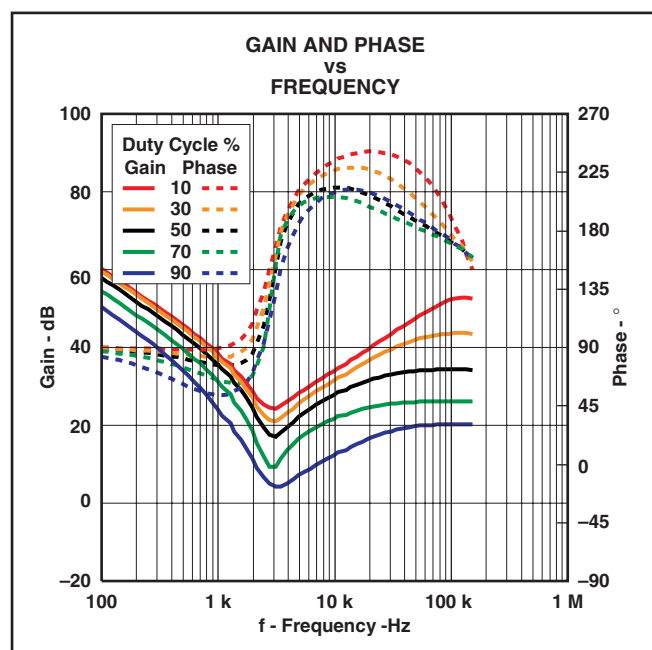


図 24. TPS54383：リップル電流200mA

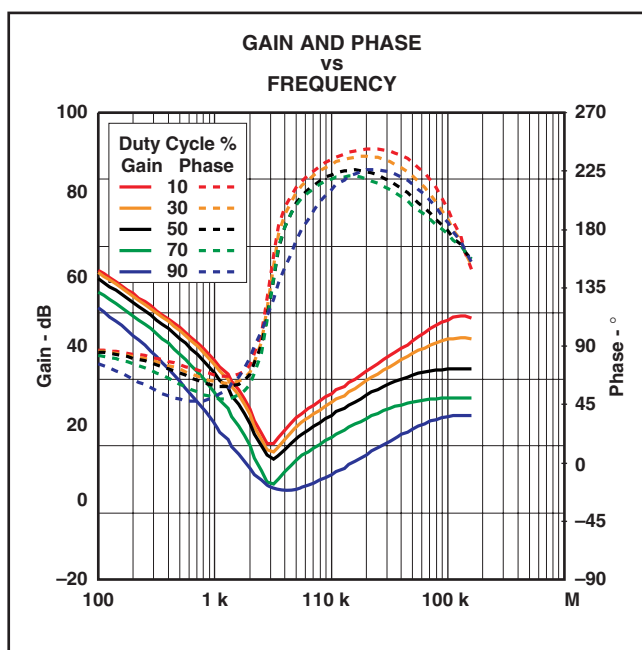


図 25. TPS54383：リップル電流400mA



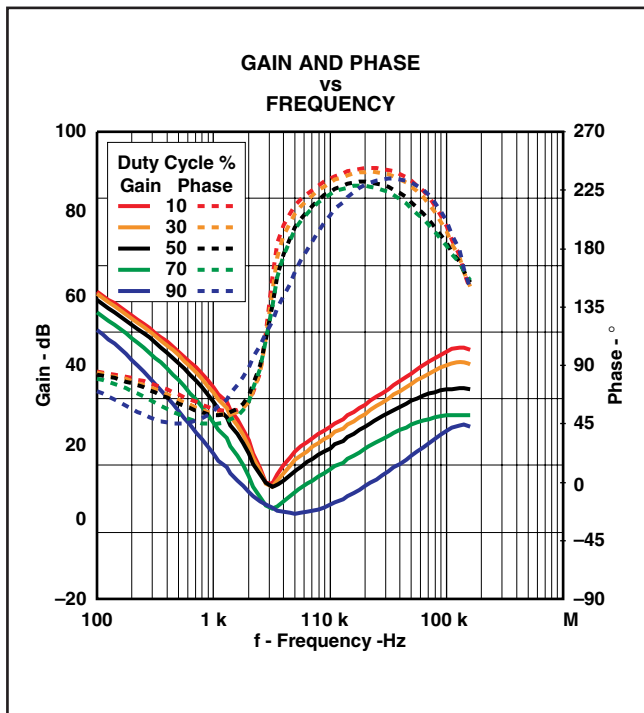


図 26. TPS54383：リップル電流600mA<sub>pp</sub>

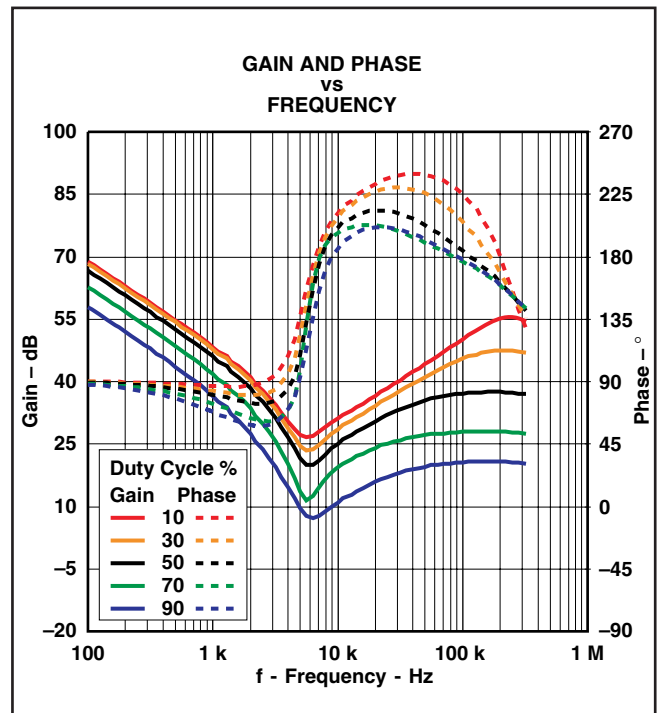


図 27. TPS54386：リップル電流200mA<sub>pp</sub>

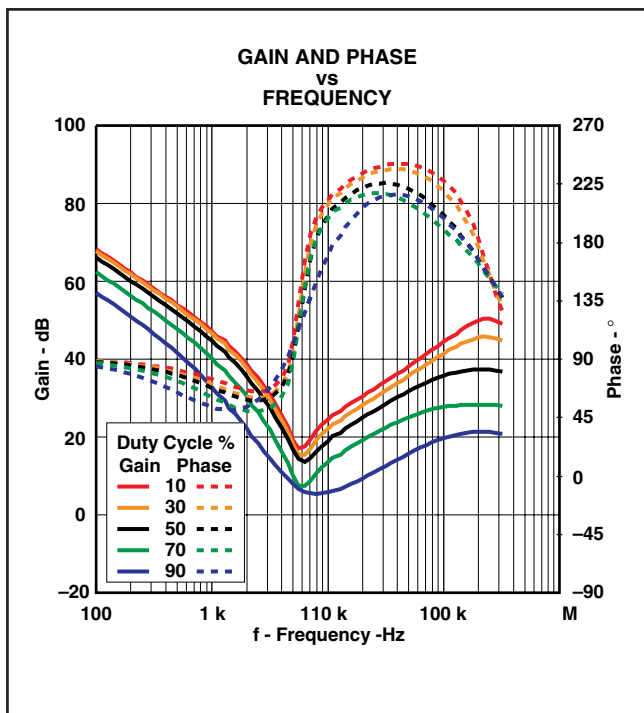


図 28. TPS54386：リップル電流400mA<sub>pp</sub>

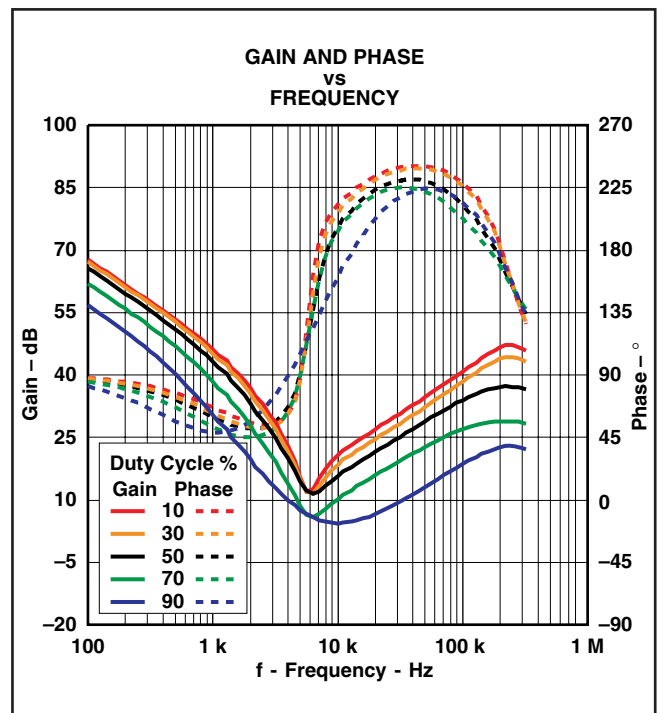


図 29. TPS54386：リップル電流600mA<sub>pp</sub>

### 最大出力容量

パルスごとの内部電流制限と、固定されたソフト・スタート時間が使用されているため、スタートアップで問題が生じない最大の出力容量制限があります。出力容量が大きすぎて、スタートアップ中にデバイスが電流制限保護モードに入ってしまう場

合は、出力がレギュレーションに到達しない可能性があります。その場合、TPS5438xは、出力がグランドに短絡した場合と同様に、単純にシャットダウンしてリスタートを試みます。最大出力容量（負荷に分散しているバイパス容量も含む）は、式 (3) で与えられます。

$$C_{OUTmax} = \frac{t_{SS}}{V_{REF}} \left[ I_{CLX} - V_{REF} \left( 1 + \frac{R1}{R2} \right) \left( 1 - \frac{V_{REF} \left( 1 + \frac{R1}{R2} \right) \times T_S}{2 \times V_{IN} \times L} + \frac{1}{R_{LOAD}} \right) \right] \quad (3)$$

## 最小出力容量

閉ループ安定性のために選択する容量の値は、ソフト・スタート要件と矛盾しないようにしてください。

## 帰還ループの変更

内部補償の制限内で、インダクタおよび出力コンデンサの値は柔軟に選択できます。インダクタが小さいと、リップル電流が増え、共振周波数が高くなるため、必要な出力容量が大きくなります。小さなコンデンサを使用することもできますが、共振周波数が高くなり、ループ全体の帯域幅が大きくなって、十分な位相マージンが得られない可能性があります。

TPS54x8xの内部補償は、20kHz～60kHzのESRゼロ周波数を持つコンデンサ用に設計されています。追加の帰還補償部品を用いることで、ESRゼロ周波数がそれより高いか、またはそれより低いコンデンサを使用することも可能です。いずれの場合も、部品C1およびR3 (図30を参照)を追加して、帰還ループを安定化のために再補償します。この構成では、低周波数の極の後に高周波数のゼロが続きます。この極ゼロのペアの配置は、使用する出力コンデンサの種類、および目的の閉ループ周波数応答によって異なります。

### 注：

フィルタおよび補償部品が決定したら、コンバータの安定性を確認するために、物理的設計のラボ測定を行う必要があります。

## 高ESR出力コンデンサの使用

出力フィルタに高ESRのコンデンサを使用した場合、ループ応答にゼロが現れ、不安定性につながる可能性があります。補償のために、下側の電圧設定デバイダ抵抗と並列に、小さなR-C

直列接続ネットワークを配置します (図30を参照)。ESRのゼロと同じ周波数に極が配置され、良好なループ安定性が得られる周波数位置に新しいゼロが配置されるように、これらの部品の値を決定します。

抵抗の値は、ESRゼロ周波数と目的のゼロ周波数との比に一致するインピーダンス比を使用して計算します。

$$R3 = \frac{R2}{\left[ \left( \frac{f_{ZERO(desired)}}{f_{ESR(zero)}} \right) - 1 \right]} \quad (4)$$

ここで

- $f_{ESR(zero)}$ は、出力コンデンサのESRゼロ周波数です。
- $f_{ZERO(desired)}$ は、帰還ループに追加される目的のゼロ周波数です。良好なループ安定性を得るには、この周波数を20kHz～60kHzの範囲内に配置する必要があります。

コンデンサの値は、式(5)で計算されます。

$$C1 = \frac{1}{2\pi \times R_{EQ} \times f_{ESR(zero)}} \quad (5)$$

ここで

- $R_{EQ}$ は、電圧設定デバイダ抵抗 ( $R1$ および $R2$ )と $R3$ との並列結合によって形成される等価インピーダンスです。

$$R_{EQ} = R3 + \frac{1}{\left( \left( \frac{1}{R1} \right) + \left( \frac{1}{R2} \right) \right)} \quad (6)$$

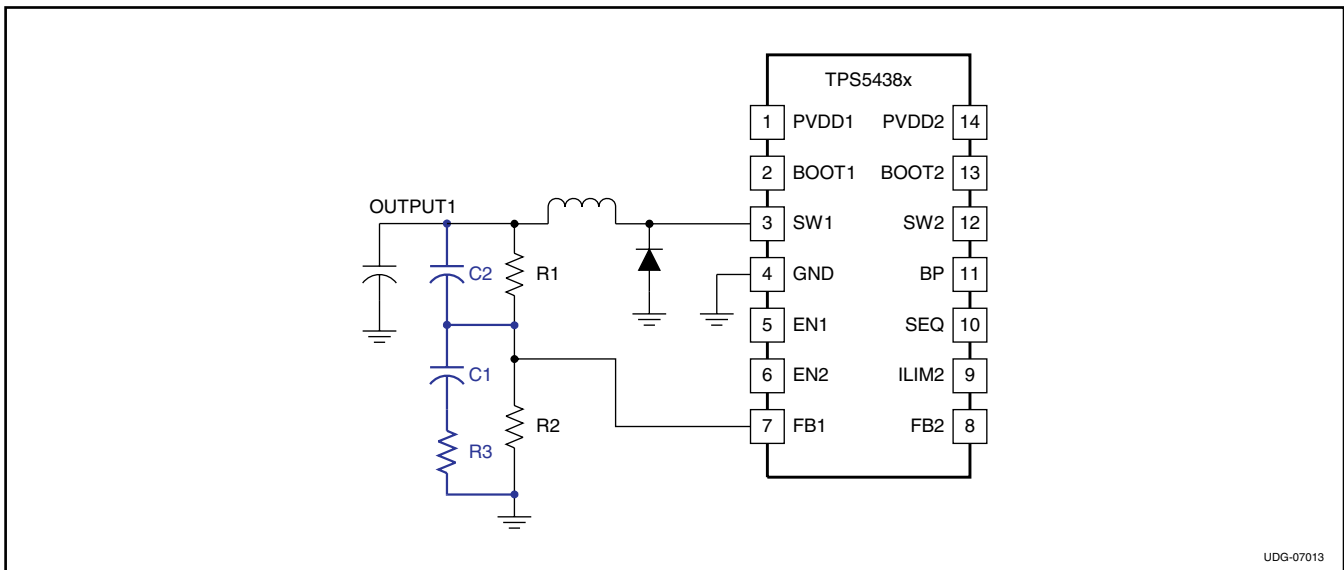


図 30. オプションのループ補償部品

## セラミック出力コンデンサの使用

低ESRのセラミック・コンデンサを使用すると、クロスオーバー周波数で十分な位相マージンが得られない場合があります。この場合、(図30を参照) 抵抗R3をR2の1/2に設定します。これにより、ゲインが6dB低下し、クロスオーバー周波数が低くなって、位相マージンが改善します。

C1の値は、低周波数極を配置する周波数に基づいて決定されます。極を配置する最小周波数は1kHzです。それより低いと、時定数が遅くなりすぎ、内部ソフト・スタートに影響が生じます(「ソフト・スタート」を参照)。極周波数の上限は、コンバータの動作周波数によって決まります。これは、TPS54x83では3kHz、TPS54x86では6kHzです。それにより、C1は式(7)で求められます。目的の極周波数を選択するには、部品の公差を考慮に入れてください。

$$C1 = \frac{1}{2\pi \times R_{EQ} \times f_{POLE(desired)}} \quad (7)$$

ここで

- $f_{POLE(desired)}$  は、目的の極周波数であり、1kHz~3kHz (TPS54x83) または1kHz~6kHz (TPS54x86) です。
- $R_{EQ}$  は、電圧設定ダイバ抵抗 (R1およびR2) とR3との並列結合によって形成される等価インピーダンスです。

$$R_{EQ} = R3 + \frac{1}{\left(\frac{1}{R1}\right) + \left(\frac{1}{R2}\right)} \quad (8)$$

位相マージンを増やす必要がある場合は、上側の電圧設定ダイバ抵抗 (式(9)のC2を参照) と並列にコンデンサを配置します。

$$C2 = \frac{1}{2\pi \times f_C \times R1} \times \sqrt{1 + \frac{R1}{\left(\frac{(R2 \times R3)}{(R2 + R3)}\right)}} \quad (9)$$

ここで

- $f_C$  は、ユニティ・ゲインのクロスオーバー周波数です(これらのガイドラインに従うほとんどの設計では、約50kHz)。

**例：入力12V、出力3.3V、リップル電流400mA<sub>(p-p)</sub>で動作するTPS54386降圧型コンバータ**

最初に、定常状態のデューティ・サイクルを計算します。整流ダイオードの電圧降下を0.5Vと仮定すると、デューティ・サイクルは式(10)により近似されます。

$$\delta = \frac{V_{OUT} + V_{DIODE}}{V_{IN} + V_{DIODE}} = \frac{3.3 + 0.5}{12 + 0.5} = 30\% \quad (10)$$

これにより、フィルタのインダクタは式(11)で計算されます。

$$L = \frac{V_{IN} - V_{OUT}}{\Delta I_L} \times \delta \times T_S$$

$$= \frac{12 - 3.3}{0.4} \times 0.3 \times \frac{1}{600000} = 10.9\mu H \quad (11)$$

アプリケーションには、カスタム設計のインダクタを使用できます。または、計算値に近い標準値も使用できます。この例では、標準の10 $\mu$ Hのインダクタを使用します。図28で、デューティ・サイクル30%の曲線を使用します。デューティ・サイクル30%の曲線は、低周波数で下に傾いた後、約6kHzから上昇しています。この曲線は、補償が必要な共振周波数を示しています。コンデンサ値を計算する際には、このピークから1オクターブ以内の任意の周波数を使用できます。この例では、6kHzを使用します。

$$C = \frac{1}{L \times (2 \times \pi \times f_{RES})^2}$$

$$= \frac{1}{10 \times 10^{-6} \times (2 \times 3.14 \times 6000)^2} = 70\mu F \quad (12)$$

バルク・コンデンサとして68 $\mu$ Fのコンデンサを使用し、さらに最大10 $\mu$ Fのセラミック・バイパス・コンデンサを使用する必要があります。ESRのゼロによってループ応答が大きな影響を受けないように、バルク・コンデンサのESRは、共振周波数の10倍の位置に配置する必要があります。

$$R_{ESR} < \frac{1}{2 \times \pi \times 10 \times f_{RES} \times C}$$

$$= \frac{1}{2 \times 3.14 \times 10 \times 6000 \times 68 \times (10)^{-6}} \approx 40m\Omega \quad (13)$$

結果のループ・ゲインおよび位相を図31に示します。測定により、ループ・クロスオーバーは45kHz、位相マージンは60度です。

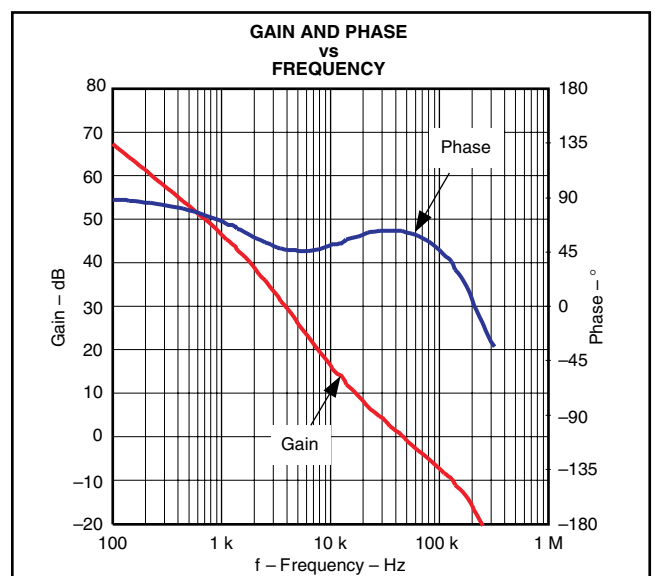


図 31. ループ結果の例

## NチャンネルMOSFETのブートストラップ

低ブートストラップ回路によって、入力電圧より高く、スイッチングMOSFETを各スイッチング・サイクルで完全にオンするのに十分なエネルギーを持つ、電圧源が提供されます。PWMデューティ・サイクルは最大90%に制限され、外部ブートストラップ・コンデンサを内部の同期スイッチ (BP-BOOTx間) を通して各サイクルで充電することができます。PWMスイッチをオンにすると、MOSFETゲートを駆動するためのエネルギーがこのコンデンサの電圧から得られます。

各スイッチング・サイクルでブートストラップ・コンデンサを充電するために、内部のプルダウンMOSFET (SW-GND間) が、各スイッチング・サイクルの開始時に約140nsの間オンになります。軽負荷動作時に、SWノードを自然にグランドまで駆動するエネルギーが不足している場合でも、このMOSFETによりSWノードが強制的にグランドにプルダウンされ、ブートストラップ・コンデンサの充電が可能になります。

これは電荷転送回路であるため、ブートストラップ・コンデンサの値の選択には注意が必要です。サイクルごとにコンデンサに蓄えられるエネルギーが、使用されるMOSFETのゲート電荷要件よりも大きい必要があります。

## 設計のヒント

ブートストラップ・コンデンサには、22nF～82nFのセラミック・コンデンサを使用します。

## 注：

5V入力アプリケーションの場合は、PVDDxを直接BPに接続してください。この接続により、内部の制御回路レギュレータがバイパスされ、ゲート駆動回路に最大電圧が供給されます。この構成では、シャットダウン・モードのIDDSDNが無信号時のIDDQと同じになります。

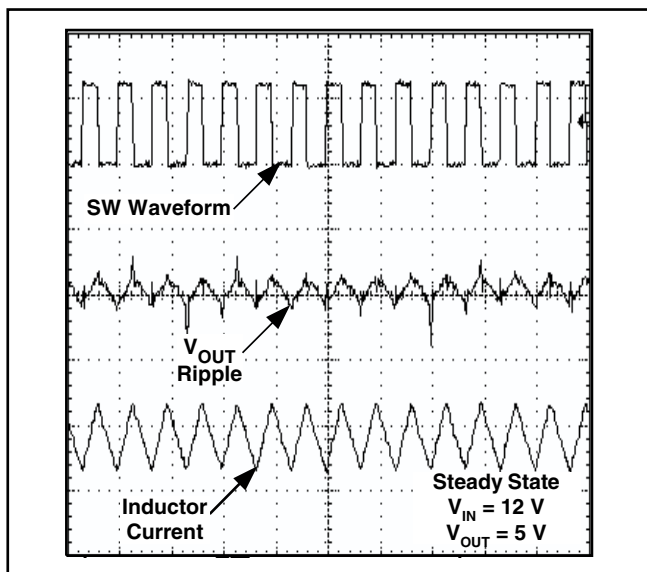


図 32. 定常状態

## 軽負荷動作

軽負荷でのパルス・スキップのための特別な回路はありません。非同期コンバータの通常の特性として、平均負荷電流がインダクタのピーク・ツー・ピーク・リップル電流の1/2未満の場合は不連続導通モード (DCM) で動作します。式 (14) に示されるように、リップル電流の振幅は入力電圧、出力電圧、インダクタ値、および動作周波数の関数であることに注意してください。

$$I_{DCM} = \frac{1}{2} \times \frac{V_{IN} - V_{OUT}}{L} \times \delta \times T_S \quad (14)$$

不連続導通モード動作中は、指令パルス幅がコンバータの分解能力よりも狭くなる場合があります。出力電圧をレギュレーション内に維持するために、このモードでは軽負荷時のスイッチング・パルスのスキップが自然に実現されます。この状況は、出力コンデンサが出力レギュレーション電圧を超える値まで充電され、それを放電するのに十分な負荷がない場合に発生します。パルスのスキップの副効果として、ピーク・ツー・ピーク出力リップル電圧が増加します。

## 設計のヒント

DCM動作中の出力電圧リップルを低減するために追加の出力容量が必要である場合は、必ず「帰還ループとインダクタ/コンデンサ (LC) フィルタの選択」および「最大出力容量」の節を再確認してください。

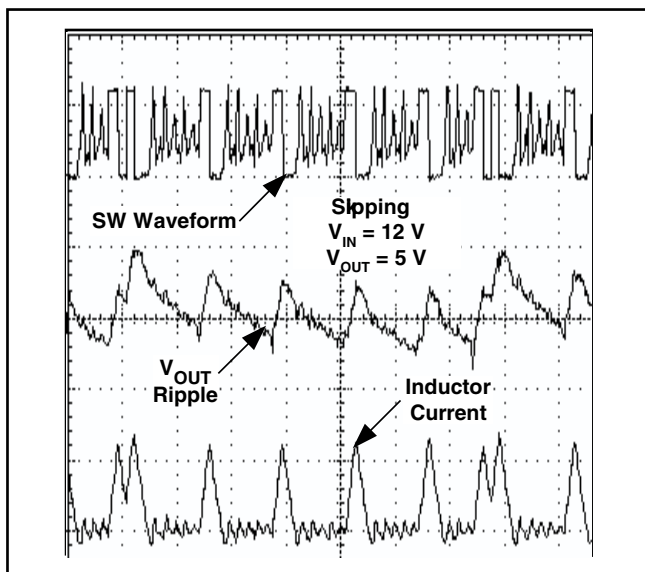


図 33. スキップ状態

## SWノードのリングング

制御回路の一部はSWノードにリファレンスされています。ジッタの発生を防ぐには、SWノードでの電圧波形のリングングを5Vピーク未満、30ns以内に抑える必要があります。適切なプリント基板(PCB)レイアウト手法に従うことに加え、リングングとノイズを減らすための設計手法がいくつかあります。

## SWノード・スナバ

SWノードで観測される電圧リングングは、高速のスイッチング・エッジと、寄生インダクタンスおよび寄生容量によって発生します。リングングによってSWノードの電圧が過大になる場合や、コンバータの動作が不規則になる場合には、R-Cスナバを使用してリングングを抑制し、負荷範囲全体にわたって適切な動作を保証することができます。

## 設計のヒント

SWとGNDの間にR-Cスナバ(C = 330pF~1nF、R = 10Ω)を直列接続すると、SWノードのリングングが低下します。

## ブートストラップ抵抗

ブートストラップ・コンデンサに直列に小さい抵抗を接続すると、内部MOSFETのターンオン時間が短くなり、SWノードの立ち上がりエッジのリングングを低減できます。

## 設計のヒント

ブートストラップ・コンデンサに直列に1Ω~3Ωの抵抗を接続することで、SWノードのリングングを低減できます。

## 設計のヒント

これらの部品が必要になった場合に備えて、初期プロトタイプPCBには、これらの部品のプレースホルダを配置してください。

## 出力過負荷保護

いずれかの出力でソフト・スタート時に過電流が発生した場合(起動時に出力が短絡した場合など)には、内部ソフト・スタート・タイマが終了するまでの間、その出力に対してパルスごとの電流制限とPWM周波数分割が適用されます。ソフト・スタート時間が終了すると、UV状態と見なされ、障害として認識されます。この障害状態の間、両方のPWM出力がディスエーブルとなり、小さなプルダウンMOSFET (SWx-GND間) がオンになります。このプロセスにより、一方の出力で過電流が発生し、もう一方が無負荷である場合に、両方の出力がGNDに放電されます。次に、コンバータは、ヒカップ・モード・タイムアウトに入ってから、再起動を試みます。“周波数分割”とは、過電流パルスが検出された場合に、6クロック・サイクル分スキップしてから次のPWMパルスを開始することを意味します。これにより、実質的に動作周波数が1/6となり、インダクタに過度の電流が蓄積されることを防ぎます。

出力がレギュレーションに達した後で、どちらかの出力に過電流が発生した場合は、その出力に対してパルスごとの電流制限が適用されます。また、出力低電圧(UV)コンパレータによってFBx電圧(出力電圧に追従)が監視され、出力がレギュレーションの85%未満に低下した場合は、障害と認識されます。この障害状態の間、両方のPWM出力がディスエーブルとなり、小さなプルダウンMOSFET (SWxとGNDの間) がオンになります。この設計により、一方の出力で過電流が発生し、もう一方が無負荷である場合に、両方の出力がGNDに放電されます。次に、コンバータは、ヒカップ・モード・タイムアウトに入ってから、再起動を試みます。

出力1の過電流スレッシュホールドは、通常4.5Aに設定されています。出力2の過電流レベルは、ILIM2ピンの状態によって決定されます。出力2のILIM設定はラッチされず、コンバータの動作中に変更可能です。

ILIM2 Connection	OCP Threshold for Output 2
BP	4.5 A nominal setting
(floating)	3.0 A nominal setting
GND	1.5 A nominal setting

表 2. 出力2の電流制限スレッシュホールド調整

## 設計のヒント

OCPスレッシュホールドは、内部スイッチのピーク電流に対して設定されます。実際の動作点がOCPスレッシュホールドにどの程度近いかを確認する場合は、DC負荷電流にピーク・インダクタ・リップル電流の1/2を加算してください。

## 最大デューティ・サイクル付近での動作

TPS5438xが最大デューティ・サイクルで動作し、入力電圧が出力電圧のサポートに不十分である(全負荷または負荷電流過渡状態)場合は、出力電圧がレギュレーション範囲から外れ、出力UVコンパレータが作動する可能性があります。そのような場合は、TPS5438xの保護回路で障害と認識され、シャットダウン再起動のサイクルに入ります。

## 設計のヒント

すべてのライン/負荷レギュレーション条件において、デューティ・サイクルが出力電圧レギュレーションを維持するのに十分であることを確認してください。

動作デューティ・サイクルを計算するには、式(15)を使用します。

$$\delta = \frac{V_{OUT} + V_{DIODE}}{V_{IN} + V_{DIODE}} \quad (15)$$

ここで

- $V_{DIODE}$ は、整流ダイオードの電圧降下です。

## デュアル電源動作

TPS5438xは、2つの電源から動作することが可能です。そのようなアプリケーションが必要な場合は、PVDD2がUVLO電圧を上回ってからPVDD1が上昇を開始するように、電源のシーケンシングを行う必要があります。このレベル要件により、PVDD1が出力にエネルギーを供給する前に、内部レギュレータおよび制御回路が動作していることが保証されます。また、出力1のレギュレーションに十分な電圧がPVDD1に得られるまで、出力1はディスエーブル状態（ $\overline{\text{EN1}}$ が“High”）に保持される必要があります。（「最大デューティ・サイクル付近での動作」を参照してください。）

推奨されるシーケンスを次に示します。

1. PVDD2が上昇して入力UVLO電圧を上回る。
2. PVDD1が出力1のレギュレーションに十分なレベルを超えるまでの間、出力1がディスエーブルの状態です。PVDD1が上昇する。この2つの条件が満足されれば、PVDD2とPVDD1の大小関係に制限はありません。

## 設計のヒント

$\overline{\text{EN1}}$ でのRC遅延を使用して、PVDD1が出力1の負荷をサポートできるまで十分に長い期間、出力1のスタートアップを遅らせることができます。

## カスケード電源動作

図34および図35に示されるように、出力2からPVDD1を供給することが可能です。入力電圧が出力1の電圧に比べて高いときには、この構成が推奨される場合があります。

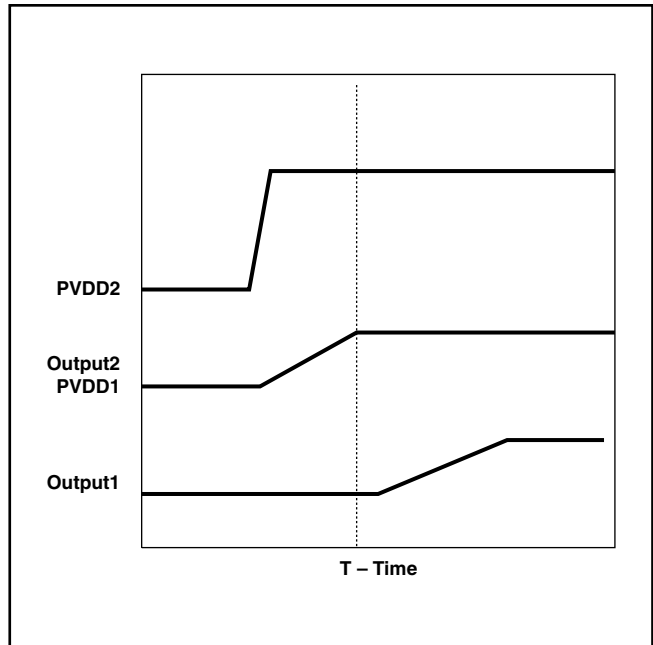


図 35. 出力2からPVDD1へのカスケード接続による波形

この構成では、以下の条件を満たす必要があります。

1. 出力2は、すべての負荷条件で出力1のレギュレーションを維持するために十分に高い電圧である。
2. 出力2の負荷へ流れる電流とPVDD1へ流れる電流との和が、出力2の過負荷保護電流レベルよりも小さい。
3. 出力2の電圧が出力1のサポートに十分なレベルに達してから出力1がイネーブルになるよう、出力シーケンシングが設定されている。この要件は、以下によって実現できます。
  - a. イネーブルの遅延機能
  - b. 出力2のレギュレーション到達後に出力1を起動させる逐次立ち上げの選択

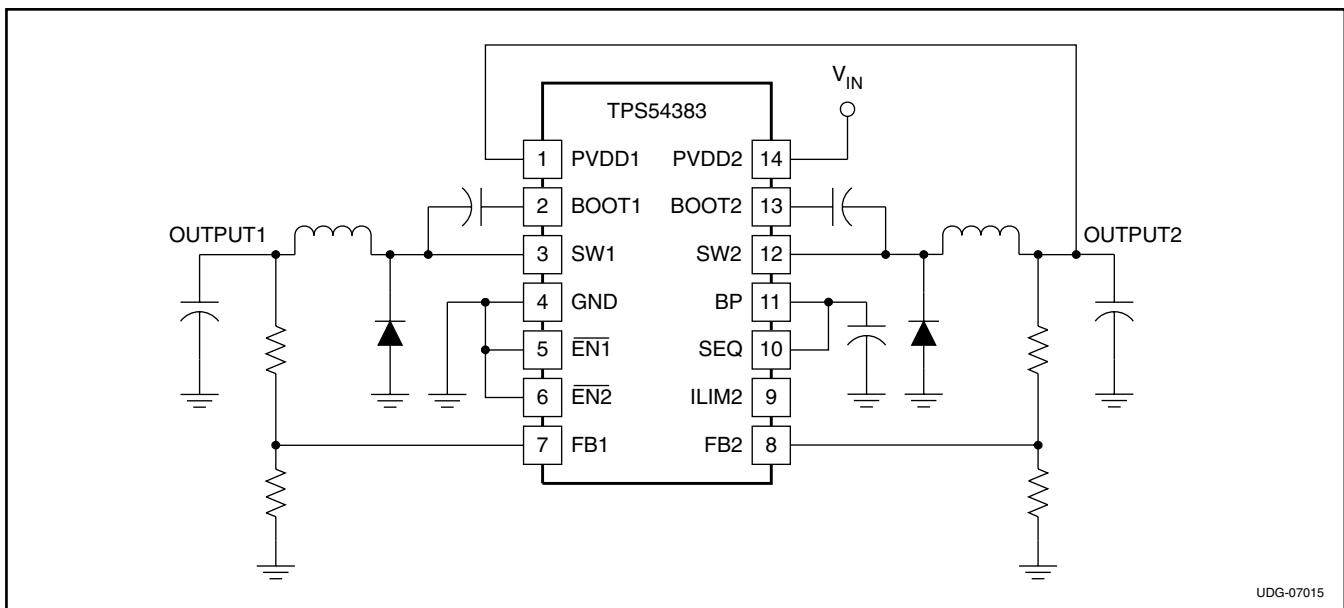


図 34. 出力2からPVDD1へのカスケード接続図

## マルチフェーズ動作

TPS5438xは、2チャンネル・マルチフェーズ・コンバータとして動作するには設計されていません。適切なデバイス選択については、<http://www.power.ti.com>をご覧ください。

## バイパスとフィルタリング

他のすべてのICと同様に、ジッタのない動作のためには電源のバイパスが重要です。コンバータのノイズ耐性を向上させるには、セラミック・バイパス・コンデンサをパッケージのできるだけ近くに配置する必要があります。

1. PVDD1-GND間：10μFのセラミック・コンデンサを使用。
2. PVDD2-GND間：10μFのセラミック・コンデンサを使用。
3. BP-GND間：4.7μF～10μFのセラミック・コンデンサを使用。

## 過熱保護と接合部温度上昇

過熱保護機能により、特定の動作周囲温度で消費される最大電力が制限されます。つまり、特定のデバイス消費電力においては、接合部の最大許容動作温度によって最大動作周囲温度が制限されます。デバイスの接合部温度は消費電力の関数であり、接合部から周囲への熱インピーダンスの関数です。内部のダイ温度が過熱シャットダウン・レベルに達した場合、TPS5438xは両方のPWMをオフにし、接合部温度がヒステリシス値未満に低下するまで、その状態を維持します。接合部温度がヒステリシス値未満に低下した時点で、デバイスは再起動します。

デバイスの接合部温度を決定する最初の手順は、消費電力を計算することです。消費電力の内訳は、2つのスイッチングMOSFETと、BP内部レギュレータが大半を占めています。各MOSFETで消費される電力は、導通損失と、外部整流ダイオードの駆動による出力（スイッチング）損失から構成されます。導通損失を求めるには、最初に、上側スイッチMOSFETに流れるRMS電流を求めます。

$$I_{\text{RMS(outputx)}} = \sqrt{D \times \left[ (I_{\text{OUTPUTx}})^2 + \left( \frac{\Delta I_{\text{OUTPUTx}}}{12} \right)^2 \right]} \quad (16)$$

ここで

- Dは、デューティ・サイクルです。
- $I_{\text{OUTPUTx}}$ は、DC出力電流です。
- $\Delta I_{\text{OUTPUTx}}$ は、出力xのインダクタを流れるピーク・リップル電流です。

結果に対する動作デューティ・サイクルの影響に注意してください。

この結果に、MOSFETの $R_{\text{DS(on)}}$ を乗算することで、導通損失が得られます。

$$P_{\text{D(cond)}} = I_{\text{RMS(outputx)}}^2 \times R_{\text{DS(on)}} \quad (17)$$

スイッチング損失は、次の式で近似できます。

$$P_{\text{D(SW)}} = \left[ \frac{(V_{\text{IN}})^2 \times C_{\text{J}} \times f_{\text{S}}}{2} \right] \quad (18)$$

ここで

- $C_{\text{J}}$ は、整流ダイオードとスナバ（使用している場合）の並列容量です。
- $f_{\text{S}}$ は、スイッチング周波数です。

$$P_{\text{D}} = P_{\text{D(cond)output1}} + P_{\text{D(SW)output1}} + P_{\text{D(cond)output2}} + P_{\text{D(SW)output2}} + V_{\text{IN}} \times I_{\text{q}} \quad (19)$$

合計の消費電力は、両方のMOSFETの電力損失を合計し、さらに内部レギュレータの損失を加算することで求められます。

デバイス接合部の温度上昇は、接合部-サーマル・パッド間の熱インピーダンス（「パッケージ定格消費電力」の表を参照）と、サーマル・パッド-周囲間の熱インピーダンスによって決まります。サーマル・パッド-周囲間の熱インピーダンスは、PCBのレイアウト（PCBに対するPowerPADインターフェイス、露出したパッド領域）およびエアフロー（使用している場合）によって決まります。「PCBレイアウトのガイドライン」および「参考資料」を参照してください。

動作接合部温度は、式(20)で示されます。

$$T_{\text{J}} = T_{\text{A}} + P_{\text{D}} \times (\theta_{\text{TH(pkg)}} + \theta_{\text{TH(pad-amb)}}) \quad (20)$$

## 電力ディレーティング

サーマル・パッドからの熱インピーダンスによって接合部温度が過熱シャットダウン・レベルを下回っていれば、TPS5438xは、+85°Cの周囲温度で電流をフルに供給できます。それより高い周囲温度では、接合部温度を過熱シャットダウン・レベル以下に保持するために、デバイスの消費電力を下げる必要があります。図36に、各種のエアフロー条件における、周囲温度上昇時の電力ディレーティングを示しています。これらの曲線は、PowerPADが推奨サーマル・パッドに適切に半田付けされていることを仮定しています。(詳細については、「参考文献」を参照してください。)

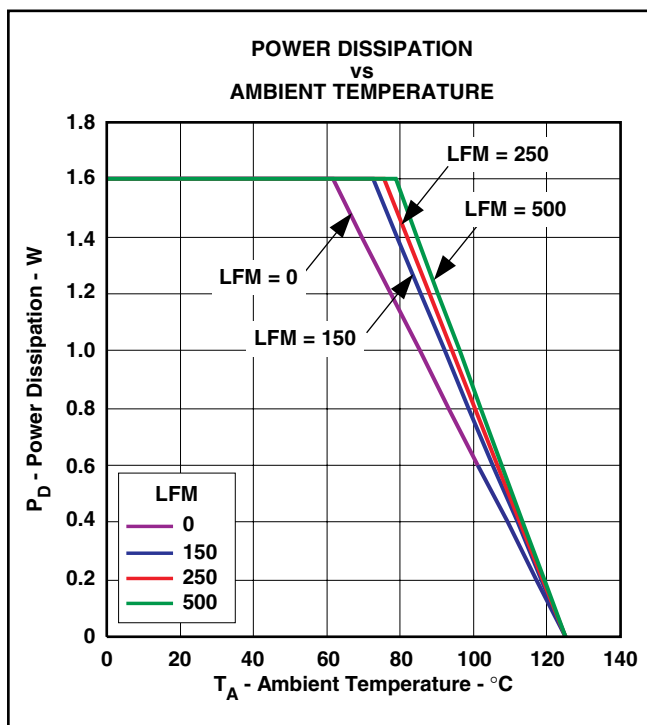


図 36. 電力ディレーティング曲線

## PowerPADパッケージ

PowerPADパッケージは、デバイスからの放熱を助けるために、低い熱インピーダンスを持っています。PowerPADの名称と低い熱インピーダンスは、デバイスの底面の大きなボンディング・パッドに由来しています。回路基板上では、パッケージの下に半田錫めっき銅領域が必要です。この領域の大きさは、PowerPADパッケージのサイズによって決まります。サーマル・ビアを使用して、この領域を内部または外部の銅プレーンに

接続します。ビアのパレルを銅でめっきしたときにビア・ホールが確実にふさがれるように、ビアのドリル径は十分に小さくしてください。このようにビア・ホールをふさぐのは、半田リフロー中に、パッケージ本体とデバイス下部の半田錫めっき領域との間の界面から半田の這い上がりを防ぐためです。ビアのパレルを同時にめっきしながら基板表面に1オンスの銅をめっきする場合、ドリル径は0.33mm (13mil) で十分です。銅めっき時にサーマル・ビアがふさがれない場合は、半田マスク材料を使用して、0.1mm以上のビア直径に等しい直径でビアをふさいてください。それにより、サーマル・ビアを通して半田が這い上がるのを防ぎ、パッケージの下に半田ボイドが発生しないようにします。(「参考資料」を参照してください。)

## PCBレイアウトのガイドライン

ここに示すレイアウトのガイドラインは、図37および図38のPCBレイアウト例に示されています。

- PowerPADは、放熱のための大きな銅領域を持つ低電流(信号)グランド・プレーンに接続する必要があります。銅領域は、ICパッケージ領域の周囲にも十分に広い面積で確保し、ICからの熱伝導を最大限に高めるようにします。
- GNDピンは、10mil (.010インチ、または0.0254mm)幅のトレースを通して、PowerPADに接続します。
- PVDD1およびPVDD2の近くにセラミック入力コンデンサを配置します。短く幅広いトレースを使用して接続します。
- SW1またはSW2から、スイッチ・ノード、インダクタ、出力コンデンサ、および整流ダイオードを通して、幅広いトレースによる緊密なループを保持します。このループ内にビアを設けるのは避けてください。
- 入力コンデンサから整流ダイオードまでの間は幅広いグランド接続を使用し、電源パスにできるだけ近づけて配置します。ダイオードおよびスイッチ・ノードの直下に配置することを推奨します。
- ブートストラップ・コンデンサをBOOTピンの近くに配置して、ゲート駆動ループを最小限にします。
- 電圧設定抵抗および帰還部品は、グランド・プレーン上に配置し、スイッチ・ノードおよび整流ダイオードから入力コンデンサへのグランド接続からは離して配置します。
- スナバ部品(使用する場合は)、整流ダイオードの近くに配置して、ループ領域を最小限にします。
- BPバイパス・コンデンサは、ICのごく近くに配置します。ループ領域を最小限にすることを推奨します。
- 出力セラミック・コンデンサが使用される場合は、インダクタと電解コンデンサ(使用している場合)の間のインダクタ出力端子付近に配置します。



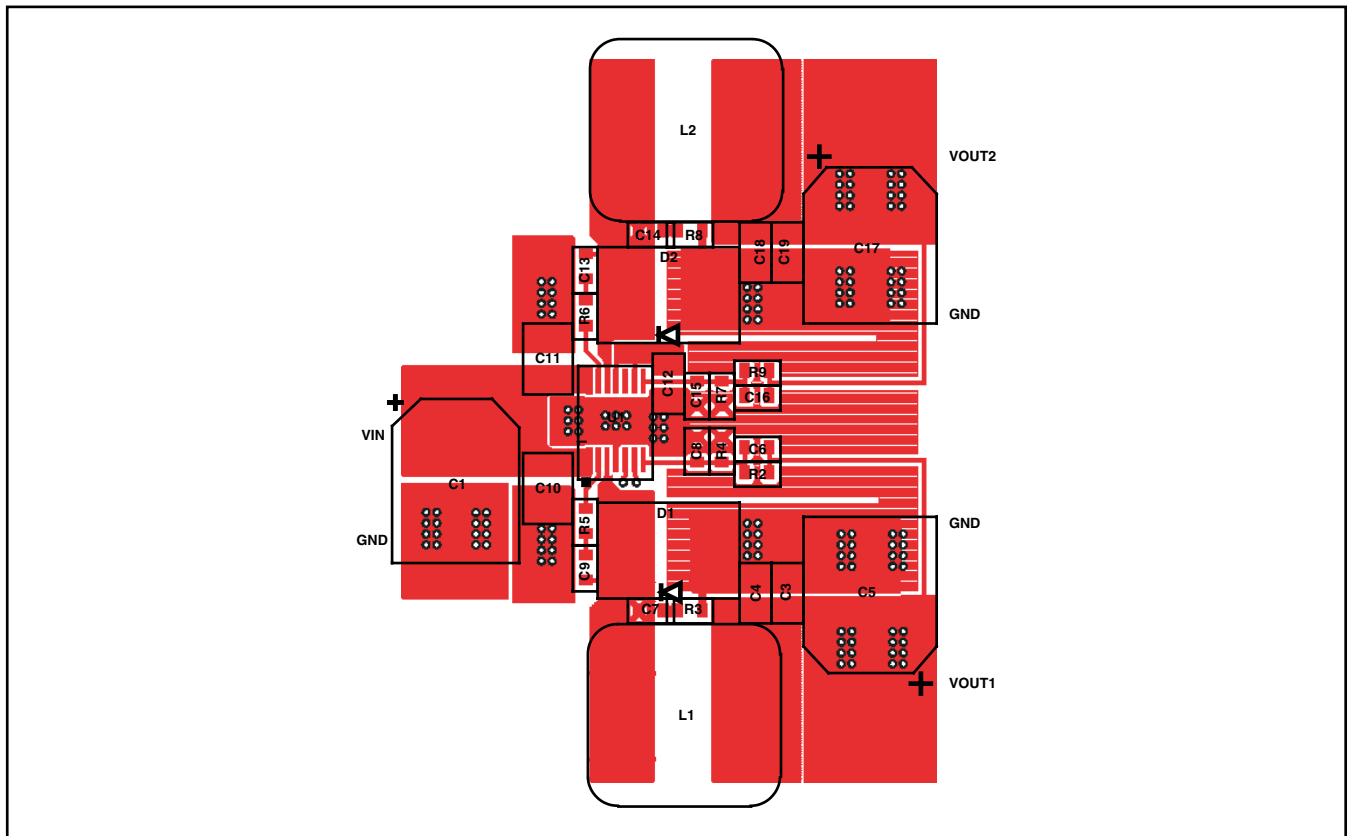


図 37. 最上層銅領域のレイアウトと部品配置

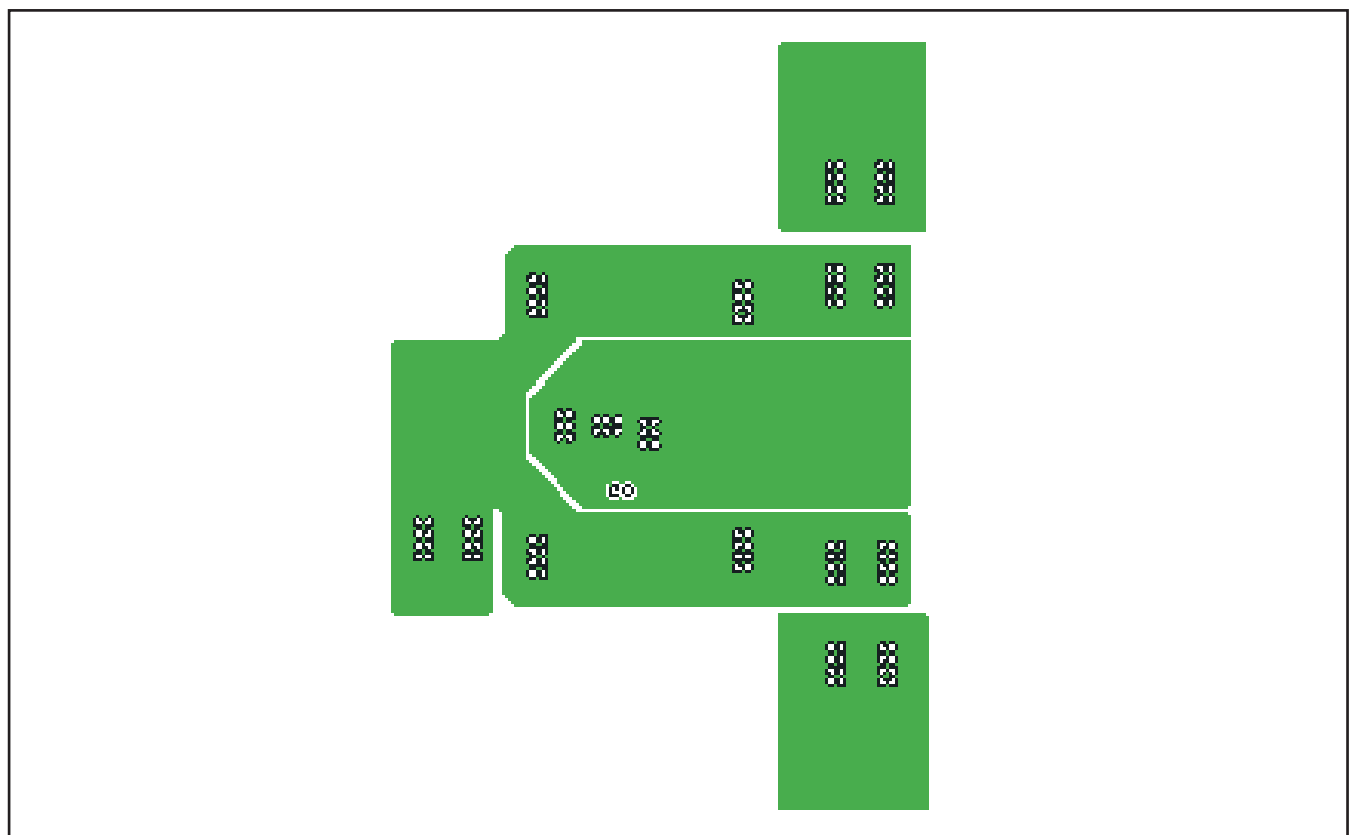


図 38. 最下層銅領域のレイアウト

# 設計例

## 例1：12V - 5V/3.3Vコンバータの詳細設計

この例では、TPS54383コンバータを使用した、12Vから5V/3.3Vへのデュアル非同期降圧型レギュレータに対する設計

プロセスおよび部品選択を示します。この節の終わりに、「表3. 設計例の部品表」と「表4. 記号の定義」を示しています。

パラメータ		NOTES AND CONDITIONS	MIN	NOM	MAX	単位
<b>INPUT CHARACTERISTICS</b>						
$V_{IN}$	Input voltage		6.9	12.0	13.2	V
$I_{IN}$	Input current	$V_{IN} = \text{nom}, I_{OUT} = \text{max}$		1.6	2.0	A
	No load input current	$V_{IN} = \text{nom}, I_{OUT} = 0 \text{ A}$		12	20	mA
<b>OUTPUT CHARACTERISTICS</b>						
$V_{OUT1}$	Output voltage 1	$V_{IN} = \text{nom}, I_{OUT} = \text{nom}$	4.8	5.0	5.2	V
$V_{OUT2}$	Output voltage 2	$V_{IN} = \text{nom}, I_{OUT} = \text{nom}$	3.2	3.3	3.4	
	Line regulation	$V_{IN} = \text{min to max}$			1%	
	Load regulation	$I_{OUT} = \text{min to max}$			1%	
$V_{OUT(\text{ripple})}$	Output voltage ripple	$V_{IN} = \text{nom}, I_{OUT} = \text{max}$			50	mV <sub>PP</sub>
$I_{OUT1}$	Output current 1	$V_{IN} = \text{min to max}$			2.0	A
$I_{OUT2}$	Output current 2	$V_{IN} = \text{min to max}$			2.0	
$I_{OCP1}$	Output overcurrent channel 1	$V_{IN} = \text{nom}, V_{OUT} = V_{OUT1} = 5\%$	2.4	3	3.5	
$I_{OCP2}$	Output overcurrent channel 2	$V_{IN} = \text{nom}, V_{OUT} = V_{OUT2} = 5\%$	2.4	3	3.5	
	Transient response $\Delta V_{OUT}$ from load transient	$\Delta I_{OUT} = 1 \text{ A @ } 3 \text{ A}/\mu\text{s}$		200		mV
	Transient response settling time			1		ms
<b>SYSTEM CHARACTERISTICS</b>						
$f_{SW}$	Switching frequency		250	310	370	kHz
$\eta$	Full load efficiency			85%		
$T_J$	Operating temperature range		0	25	60	°C

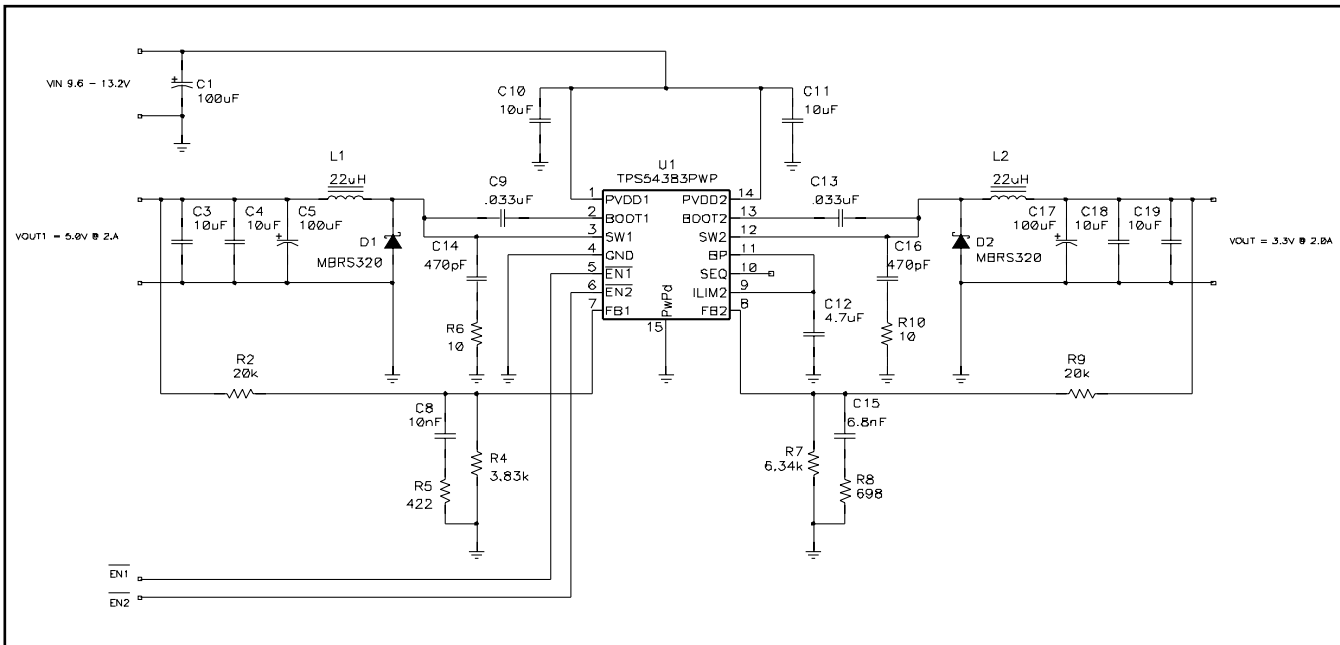


図 39. 設計例の回路図

## 設計手順

### デューティ・サイクルの見積もり

最初の手順は、各スイッチングFETのデューティ・サイクルを見積もることです。

$$D_{\max} \approx \frac{V_{\text{OUT}} + V_{\text{FD}}}{V_{\text{IN}(\min)} + V_{\text{FD}}} \quad (21)$$

$$D_{\min} \approx \frac{V_{\text{OUT}} + V_{\text{FD}}}{V_{\text{IN}(\max)} + V_{\text{FD}}} \quad (22)$$

ショットキー整流ダイオードの順方向降下を0.5Vと仮定すると、チャンネル1のデューティ・サイクルは約40.1% (最小) ~ 48.7% (最大)、チャンネル2のデューティ・サイクルは約27.7% (最小) ~ 32.2% (最大) です。

### インダクタの選択

ピーク・ツー・ピーク・リップルは、最大出力電流の30%に制限されています。これにより、ピーク電流は最小過電流検出レベルから十分に離れているため、高い信頼性が確保されます。

チャンネル1とチャンネル2の両方に対して、最大インダクタ・リップル電流は600mAです。インダクタのサイズは、式 (23) で見積もられます。

$$L_{\min} \approx \frac{V_{\text{IN}(\min)} - V_{\text{OUT}}}{L_{\text{RIP}(\max)}} \times D_{\min} \times \frac{1}{f_{\text{SW}}} \quad (23)$$

インダクタ値は次のようになります。

- L1 = 18.3μH
- L2 = 15.3μH

これより大きな最も近い標準値22μHを両方のインダクタに使用します。

その結果、リップル電流は次のようになります。

$$I_{\text{RIPPLE}} \approx \frac{V_{\text{IN}(\max)} - V_{\text{OUT}}}{L} \times D_{\min} \times \frac{1}{f_{\text{SW}}} \quad (24)$$

チャンネル1およびチャンネル2に対して、それぞれ0.498Aおよび0.416Aのピーク・ツー・ピーク・リップル電流が見積もられます。

インダクタを流れるRMS電流は、式 (25) で近似されます。

$$I_{\text{L}(\text{rms})} = \sqrt{I_{\text{L}(\text{avg})}^2 + \frac{1}{12} (I_{\text{RIPPLE}})^2} \quad (25)$$

これは、両方のチャンネルに対して、約2.0Aとなります。

ピーク・インダクタ電流は次の式で求められます。

$$I_{\text{L}(\text{peak})} \approx I_{\text{OUT}(\max)} + \frac{1}{2} I_{\text{RIPPLE}} \quad (26)$$

最小RMS電流定格が2.0A、最小飽和電流定格が2.25Aのインダクタが必要です。ここでは、Coilcraft MSS1278-223ML (22μH、6.8A) インダクタを選択しています。

### 整流ダイオードの選択

順方向電圧降下が小さいことから、ショットキー・ダイオードを整流ダイオードとして選択します。スイッチ・ノードのリングングに対してVIN上で20%を許容すると、整流ダイオードの最小逆方向降伏電圧の要件は次のようになります。

$$V_{(\text{BR})\text{R}(\min)} \geq 1.2 \times V_{\text{IN}} \quad (27)$$

ダイオードは15.8V以上の逆方向降伏電圧を持つ必要があります。したがって、20Vのデバイスを使用します。

整流ダイオードの平均電流は、式 (28) で見積もることができます。

$$I_{\text{D}(\text{avg})} \approx I_{\text{OUT}(\max)} \times (1 - D) \quad (28)$$

この設計では、チャンネル1に対して1.2A (平均) および2.25A (ピーク) が見積もられ、チャンネル2に対して1.5A (平均) および2.21A (ピーク) が見積もられます。

両方のチャンネルに対して、SMCパッケージのMBRS320 (20V、3A) ダイオードを選択します。このダイオードの順方向電圧降下は、2Aで0.4Vです。

ダイオードの消費電力は、式 (29) で見積もることができます。

$$P_{\text{D}(\max)} \approx V_{\text{FM}} \times I_{\text{D}(\text{avg})} \quad (29)$$

この設計では、全負荷での消費電力がD1で480mW、D2で580mWと見積もられます。

### 出力コンデンサの選択

出力コンデンサの選択は、TPS54383の内部補償によって制限されます。図25から、内部補償には3kHz付近に2つのゼロ共振があります。出力コンデンサは、式 (30) で選択されます。

$$C_{\text{OUT}} = \frac{1}{4 \times \pi^2 \times (f_{\text{RES}})^2 \times L} \quad (30)$$

以下の値を用いてC<sub>OUT</sub>を求めます。

- f<sub>RES</sub> = 3kHz
- L = 22μH

結果は、 $C_{OUT} = 128\mu\text{F}$ となります。コンバータの出力リップル電圧は、出力容量にかかるリップル電圧と、出力コンデンサのESRにかかるリップル電圧によって構成されます。出力リップル要件を満たすために許容される最大ESRを求めるために、合計リップルを分割して、ESRを求める式を導きます。

$$\begin{aligned} ESR_{(\text{max})} &= \frac{V_{\text{RIPPLE}(\text{tot})} - V_{\text{RIPPLE}(\text{cap})}}{I_{\text{RIPPLE}}} \\ &= \frac{V_{\text{RIPPLE}(\text{tot})}}{I_{\text{RIPPLE}}} - \frac{D}{f_s \times C_{\text{OUT}}} \end{aligned} \quad (31)$$

容量が $128\mu\text{F}$ 、スイッチング周波数が $300\text{kHz}$ 、リップル電圧が $50\text{mV}$ であり、また、リップル電流を $0.5\text{A}$ 、デューティ・サイクルを $50\%$ と近似すると、リップル電圧の容量性部分は $6.5\text{mV}$ となり、最大許容ESRは $87\text{m}\Omega$ となります。

リップル電圧要件を満たすために、ESRが $400\text{m}\Omega$ の低コストの $100\mu\text{F}$ 電解コンデンサ (C5、C17) と、ESRが $2.5\text{m}\Omega$ の2個の $10\mu\text{F}$ セラミック・コンデンサ (C3およびC4、C18およびC19) を選択しています。セラミック・コンデンサのデータシートから、この並列結合により、リップル $14\text{mV}$ に対して $300\text{kHz}$ でのインピーダンスが $28\text{m}\Omega$ となります。

## 電圧設定

$V_{\text{OUT}}$ からFBへの主要な帰還デバイダ抵抗 ( $R_2$ 、 $R_9$ ) は、消費電力とノイズ耐性とのバランスを保持するために、 $10\text{k}\Omega \sim 50\text{k}\Omega$ の範囲内で選択する必要があります。この設計では、 $20\text{k}\Omega$ を選択します。下側の抵抗 $R_4$ および $R_7$ は、次の式で求められます。

$$R_4 = \frac{V_{\text{FB}} \times R_2}{V_{\text{OUT1}} - V_{\text{FB}}} \quad (32)$$

$$R_7 = \frac{V_{\text{FB}} \times R_9}{V_{\text{OUT2}} - V_{\text{FB}}} \quad (33)$$

- $R_2 = R_9 = 20\text{k}\Omega$
- $V_{\text{FB}} = 0.80\text{V}$
- $R_4 = 3.80\text{k}\Omega$  (標準値 $3.83\text{k}\Omega$ を使用)
- $R_7 = 6.40\text{k}\Omega$  (標準値 $6.34\text{k}\Omega$ を使用)

## 補償コンデンサ

出力コンデンサのESRゼロを確認します。

$$f_{\text{ESR}(\text{zero})} = \frac{1}{2 \times \pi \times C \times \text{ESR}} \quad (34)$$

- $C = 100\mu\text{F}$
- $\text{ESR} = 400\text{m}\Omega$
- $\text{ESR}(\text{zero}) = 3980\text{Hz}$

メインの出力コンデンサのESRゼロが $20\text{kHz}$ 未満であるため、 $R_4$ および $R_7$ と並列にRCフィルタを追加することで、電解コンデンサのESRを補償し、約 $40\text{kHz}$ にゼロを追加します。

$$R_5 = \frac{R_4}{\left[ \frac{f_{\text{ZERO}(\text{desired})}}{f_{\text{ESR}(\text{zero})}} \right] - 1} \quad (35)$$

- $f_{\text{ESR}(\text{zero})} = 4\text{kHz}$
- $f_{\text{ESR}(\text{desired})} = 40\text{kHz}$
- $R_4 = 3.83\text{k}\Omega$
- $R_5 = 424\Omega$  ( $422\Omega$ を選択)
- $R_7 = 6.34\text{k}\Omega$
- $R_8 = 702\Omega$  ( $698\Omega$ を選択)

$$R_{\text{EQ}} = R_5 + \frac{1}{\left[ \frac{1}{R_2} \right] + \left[ \frac{1}{R_4} \right]} \quad (36)$$

- $R_2 = R_9 = 20\text{k}\Omega$
- $R_{\text{EQ1}} = 3.63\text{k}\Omega$
- $R_{\text{EQ2}} = 5.51\text{k}\Omega$

$$C_8 = \frac{1}{2 \times \pi \times R_{\text{EQ}} \times f_{\text{ESR}(\text{zero})}} \quad (37)$$

- $C_8 = 10.9\text{nF}$  ( $10\text{nF}$ を選択)
- $C_{15} = 7.22\text{nF}$  ( $6800\text{pF}$ を選択)

## 入力コンデンサの選択

TPS54383のデータシートでは、各PVDDピンに最小 $10\mu\text{F}$ のセラミック入力コンデンサを推奨しています。これらのコンデンサは、コンバータのRMSリップル電流を処理できる必要があります。入力コンデンサのRMS電流は、式 (38) で見積もることができます。

$$I_{\text{RMS}(\text{CIN})} = \sqrt{D \times \left[ (I_{\text{OUTPUTx}})^2 + \left[ \frac{(\Delta I_{\text{OUTPUTx}})^2}{12} \right] \right]} \quad (38)$$

- $I_{\text{RMS}(\text{CIN})} = 0.43\text{A}$

各PVDD入力に対して、 $2\text{m}\Omega$ のESRおよび $2\text{A}$  RMSの電流定格を持つ1個の $1210$  ( $10\mu\text{F}$ 、 $25\text{V}$ ) X5Rセラミック・コンデンサが選択されています。DCバイアス電圧での容量損失を最小限にするため、より高電圧のコンデンサを選択しています。それにより、コンデンサが動作電圧で十分な容量を確保できます。

## ブートストラップ・コンデンサ

ハイサイドFETゲートの適切な充電を確保し、ブースト・コンデンサのリップル電圧を制限するために、33nFのブートストラップ・コンデンサが使用されています。

## ILIM

電流制限は、ピーク・インダクタ電流 $I_{L(\text{peak})}$ より大きな値に設定する必要があります。 $I_{L(\text{peak})}$ を使用可能な最小電流制限と比較し、ILIMをBPに接続することで、最大の電流制限レベルが得られます。

## SEQ

SEQピンはフローティングにし、イネーブル・ピンを独立して機能させています。イネーブル・ピンを互いに接続すると、2つの電源がレシオメトリックに立ち上がります。あるいは、SEQをBPまたはGNDに接続して、シーケンシャル・スタートアップを行うこともできます。

## 消費電力

TPS54383における消費電力は、FETの導通損失、スイッチング損失、および内部レギュレータ損失から構成されています。RMS FET電流は、式(39)で求められます。

$$I_{\text{RMS}(\text{outputx})} = \sqrt{D \times \left[ \left( I_{\text{OUTPUTx}} \right)^2 + \left[ \frac{(\Delta I_{\text{OUTPUTx}})^2}{12} \right] \right]} \quad (39)$$

この結果、チャンネル1では1.05A RMS、チャンネル2では0.87A RMSとなります。

導通損失は、次のように見積もられます。

$$P_{\text{CON}} = R_{\text{DS(on)}} \times \left( I_{\text{QSW(rms)}} \right)^2 \quad (40)$$

チャンネル1およびチャンネル2について、それぞれ198mWおよび136mWの導通損失が見積もられます。

スイッチング損失は、式(41)で見積もられます。

$$P_{\text{SW}} \approx \frac{\left( V_{\text{IN(max)}} \right)^2 \times \left( C_{\text{DJ}} + C_{\text{OSS}} \right) \times f_{\text{SW}}}{2} \quad (41)$$

MBRS320のデータシートから、接合部容量は658pFです。これはTPS54x8xの出力容量と比べて大きいため、FET容量は無視でき、各チャンネルのスイッチング容量は17mWとなります。

レギュレータ損失は、式(42)で見積もられます。

$$P_{\text{REG}} \approx I_{\text{DD}} \times V_{\text{IN(max)}} + I_{\text{BP}} \times \left( V_{\text{IN(max)}} - V_{\text{BP}} \right) \quad (42)$$

BPに外部負荷がない( $I_{\text{BP}} = 0$ )場合、レギュレータの消費電力は66mWとなります。

デバイスの合計消費電力は、両方のチャンネルの導通損失とスイッチング損失の和に、レギュレータ損失を加えたものです。

合計消費電力は、 $P_{\text{DISS}} = 0.198 + 0.136 + 0.017 + 0.017 + .066 = 434\text{mW}$ となります。

## 設計例の試験結果

TPS54383-001 EVMで得られた結果を次に示します。

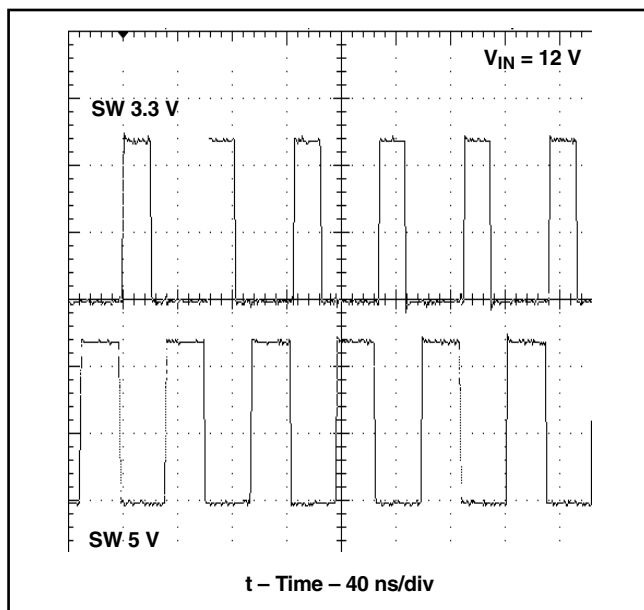


図 40. スイッチング・ノード波形

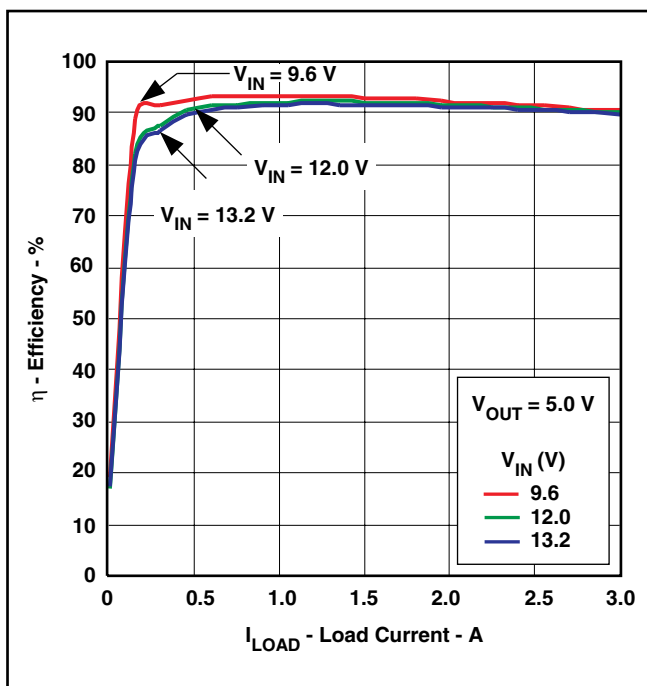


図 41. 5.0Vの出力効率 vs 負荷電流

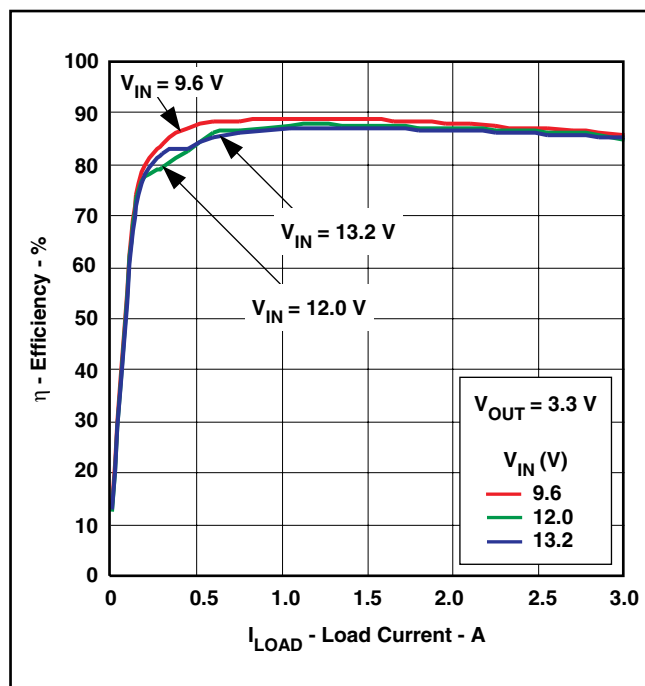


図 42. 3.3Vの出力効率 vs 負荷電流

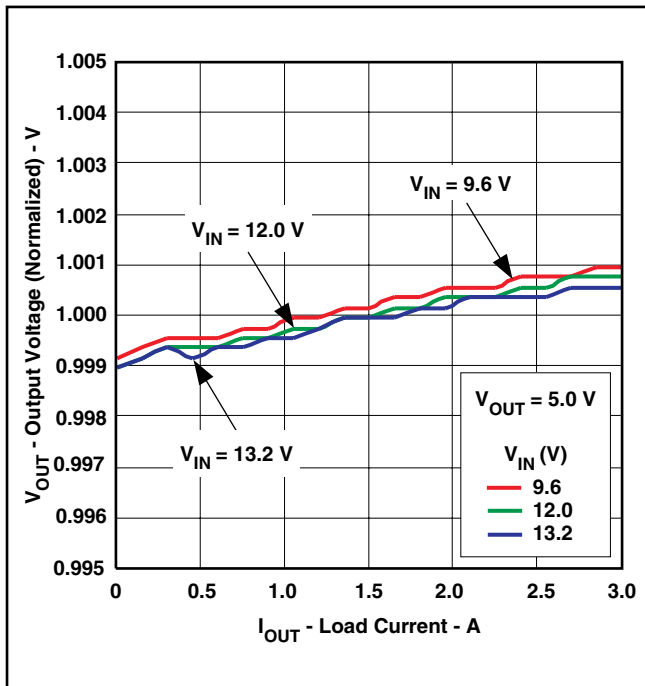


図 43. 5.0Vの出力電圧 vs 負荷電流

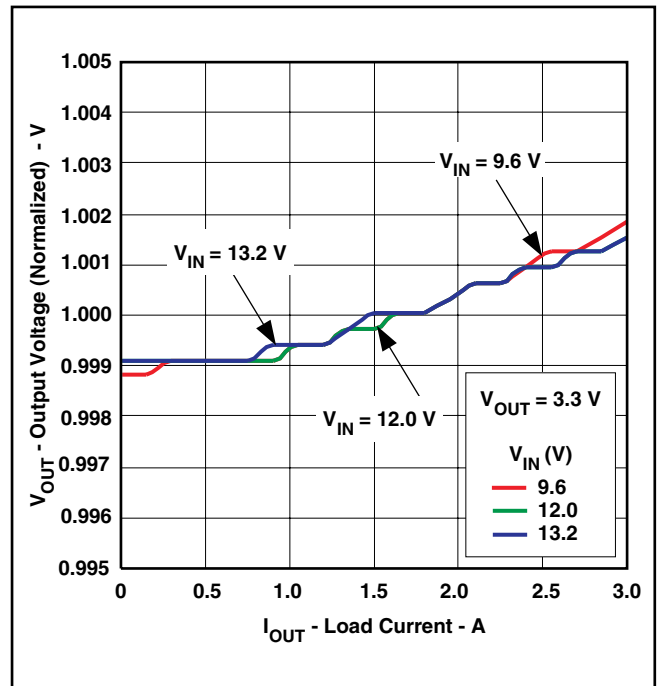


図 44. 3.3Vの出力電圧 vs 負荷電流

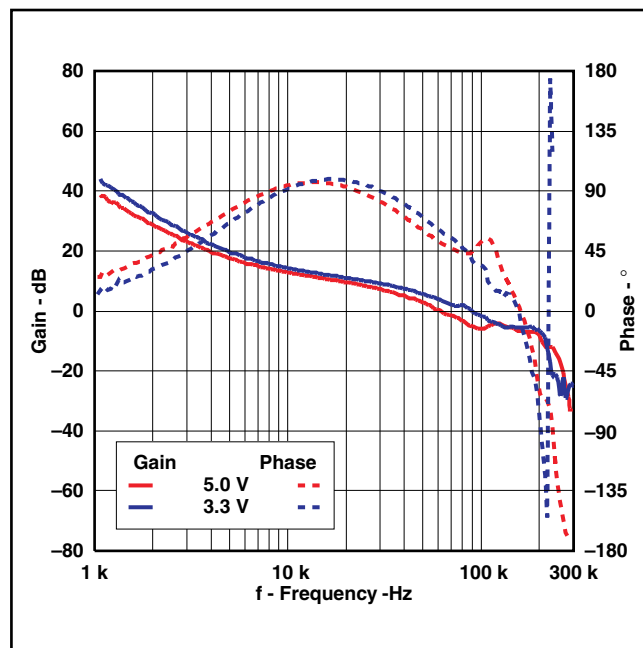


図 45. 例1のループ応答

QTY	REFERENCE DESIGNATOR	VALUE	DESCRIPTION	SIZE	PART NUMBER	MANUFACTURER
1	C1	100 $\mu$ F	Capacitor, Aluminum, 25V, 20%	E-can	EEEF1E101P	Panasonic
2	C10, C11	10 $\mu$ F	Capacitor, Ceramic, 25V, X5R 20%	1210	C3216X5R1E106M	TDK
1	C12	4.7 $\mu$ F	Capacitor, Ceramic, 10V, X5R 20%	0805	Std	Std
2	C14, C16	470 pF	Capacitor, Ceramic, 25V, X7R, 20%	0603	Std	Std
1	C15	6.8 nF	Capacitor, Ceramic, 25V, X7R, 20%	0603	Std	Std
1	C17, C5	100 $\mu$ F	Capacitor, Aluminum, 10V, 20%, FC Series	F-can	EEEF1A101P	Panasonic
4	C3, C4, C18, C19	10 $\mu$ F	Capacitor, Ceramic, 6.3V, X5R 20%	0805	C2012X5R0J106M	TDK
1	C8	10 nF	Capacitor, Ceramic, 25V, X7R, 20%	0603	Std	Std
2	C9, C13	0.033 $\mu$ F	Capacitor, Ceramic, 25V, X7R, 20%	0603	Std	Std
2	D1, D2	MBRS320	Diode, Schottky, 3-A, 30-V	SMC	MBRS330T3	On Semi
2	L1, L2	22 $\mu$ H	Inductor, Power, 6.8A, 0.038 $\Omega$	0.484 x 0.484	MSS1278-153ML	Coilcraft
2	R2, R9	20 k $\Omega$	Resistor, Chip, 1/16W, 1%	0603	Std	Std
1	R5	422 $\Omega$	Resistor, Chip, 1/16W, 1%	0603	Std	Std
2	R6, R10	10 $\Omega$	Resistor, Chip, 1/16W, 5%	0603	Std	Std
1	R8	698 $\Omega$	Resistor, Chip, 1/16W, 1%	0603	Std	Std
1	R4	3.83 k $\Omega$	Resistor, Chip, 1/16W, 1%	0603	Std	Std
1	R7	6.34 k $\Omega$	Resistor, Chip, 1/16W, 1%	0603	Std	Std
1	U1		TPS54383 DC-DC Switching Converter w/ FET	HTSSOP -14	TPS54383PWP	TI

表 3. 設計例の部品表



$C_{DJ}$	整流ダイオードの0V~VIN(max)の平均接合部容量
$C_{OSS}$	スイッチングMOSFETの0V~VIN(max)の平均出力容量
$C_{OUT}$	出力コンデンサ
$D_{(max)}$	最大定常状態動作デューティ・サイクル
$D_{(min)}$	最小定常状態動作デューティ・サイクル
$ESR_{(max)}$	出力コンデンサの最大許容ESR
$f_{SW}$	スイッチング周波数
$I_{BP}$	外部負荷によるBPレギュレータの出力電流
$I_{DD}$	無負荷時のスイッチング静止時電流
$I_{D(avg)}$	平均ダイオード導通電流
$I_{D(peak)}$	ピーク・ダイオード導通電流
$I_{IN(avg)}$	平均入力電流
$I_{IN(rms)}$	RMS入力電流
$I_{L(avg)}$	平均インダクタ電流
$I_{L(rms)}$	RMSインダクタ電流
$I_{L(peak)}$	インダクタのピーク電流
$I_{LRIP(max)}$	インダクタの最大許容リップル電流
$L_{(min)}$	目的のリップル電流を保持するための最小インダクタ値
$I_{OUT(max)}$	最大設計出力電流
$I_{RMS(cin)}$	入力コンデンサのRMS電流
$I_{RIPPLE}$	インダクタのピーク・ツー・ピーク・リップル電流
$I_{QSW(rms)}$	スイッチングMOSFETのRMS電
$P_{CON}$	スイッチングMOSFETの導通による電力損失
$P_{D(max)}$	ダイオードの最大消費電力
$R_{DS(on)}$	スイッチングMOSFETの“オン”時のドレイン-ソース間抵抗
$P_{SW}$	スイッチングによる電力損失
$P_{REG}$	内部レギュレータによる電力損失
$V_{BP}$	レギュレータの出力電圧
$V_{(BR)R(min)}$	整流ダイオードの最小逆方向降伏電圧定格
$V_{FB}$	レギュレーション帰還電圧
$V_{FD}$	整流ダイオードの順方向電圧降下
$V_{IN}$	電源段入力電圧
$V_{OUT}$	レギュレーション出力電圧
$V_{RIPPLE(cap)}$	理想的なコンデンサ (ESR = 0) によるピーク・ツー・ピーク・リップル電圧
$V_{RIPPLE(tot)}$	最大許容ピーク・ツー・ピーク出力リップル電圧

表 4. 記号の定義

## 例2：24V - 12V、および24V - 5V

より高い入力電圧に対して、スナバとブートストラップ抵抗の両方を追加してスイッチ・ノードのリングングを低減し、30Vのショットキー・ダイオードを選択しています。12V出力に

対しては、より高い抵抗の帰還ネットワークを選択して、帰還電流を低減しています。

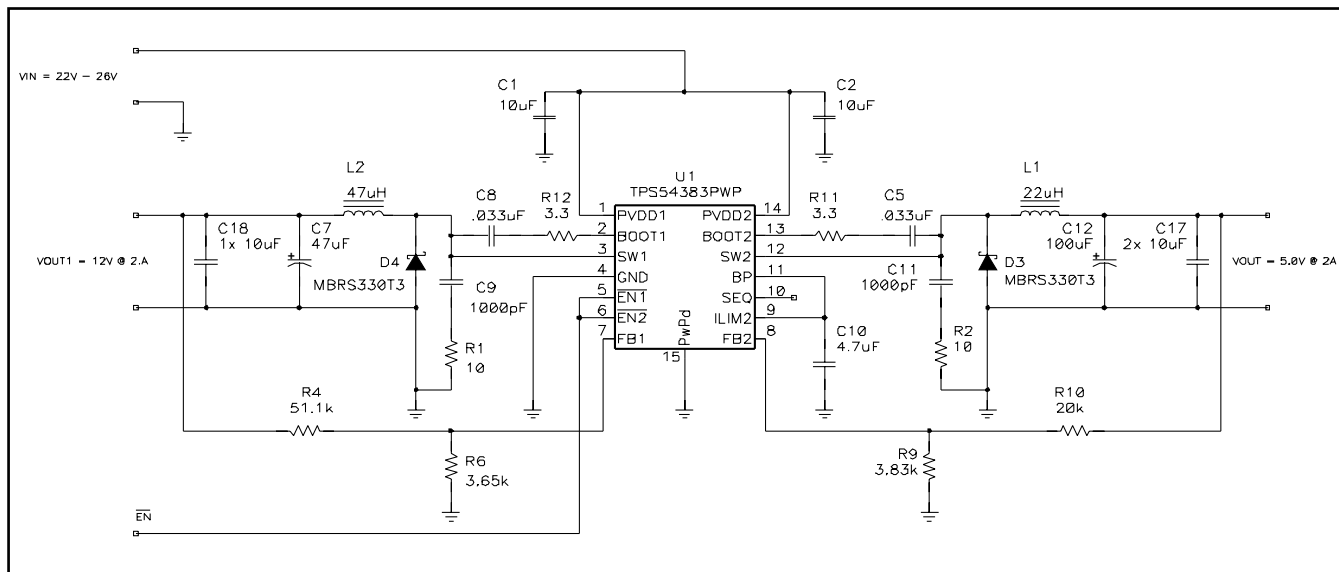


図 46. TPS54383を使用した24Vから12V、および24Vから5V出力のアプリケーション回路

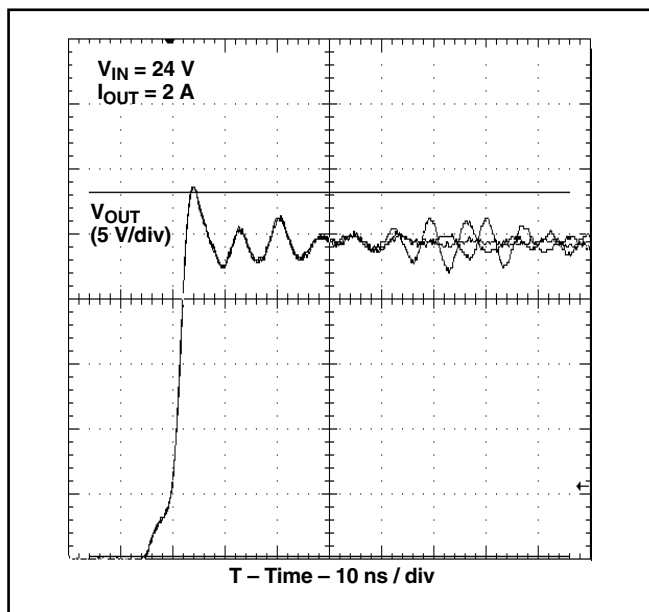


図 47. スナバとブートストラップ抵抗がない場合のスイッチ・ノードのリングング

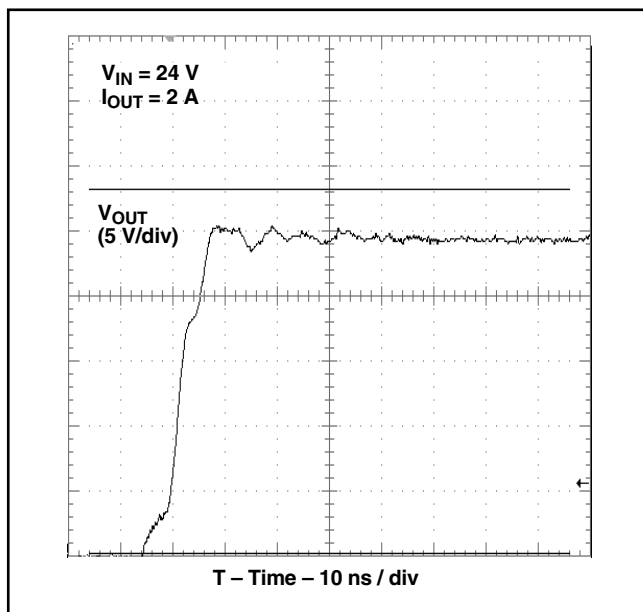


図 48. スナバとブートストラップ抵抗を使用した場合のスイッチ・ノードのリングング

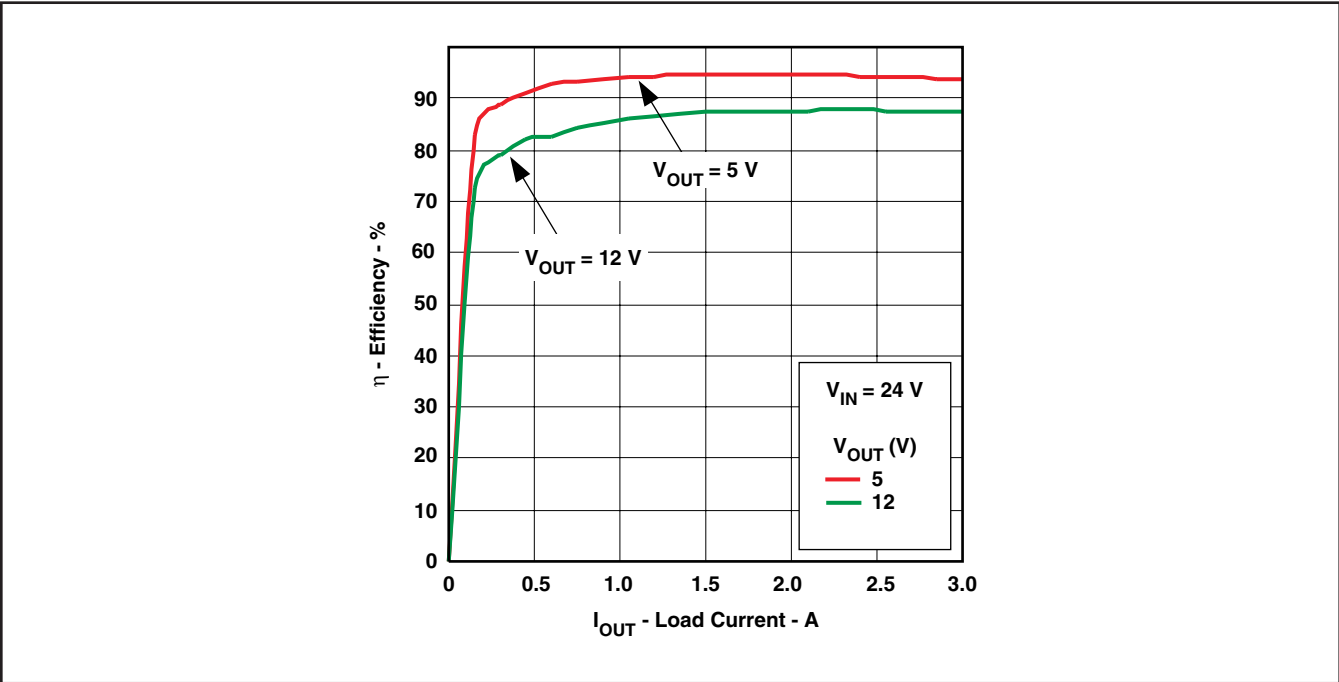


图 49. 效率 vs 负荷电流

### 例3：5V - 3.3V、および5V - 1.2V

より低い入力電圧のアプリケーションでは、TPS54386を選択してサイズを小さくし、すべてセラミック出力コンデンサを使用しています。22 $\mu$ Fの入力コンデンサを選択することで入

力リップルを低減し、帰還ループにリード・コンデンサを配置して位相マージンを増やしています。

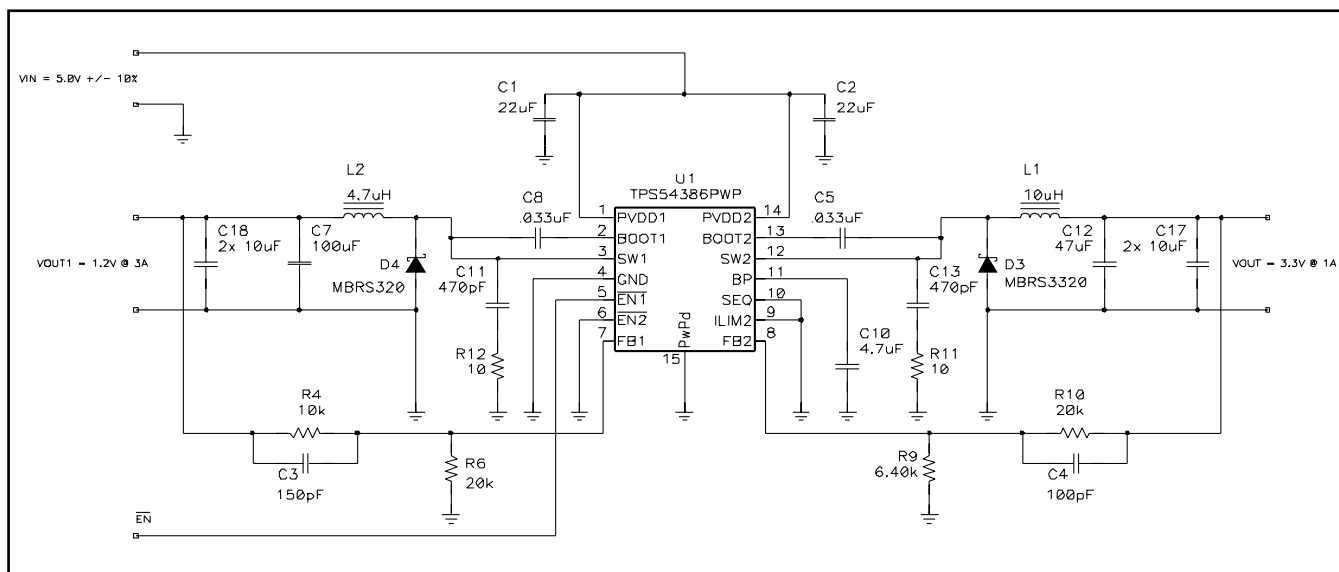


図 50. 5Vから3.3V、および5Vから1.2V出力のアプリケーション回路

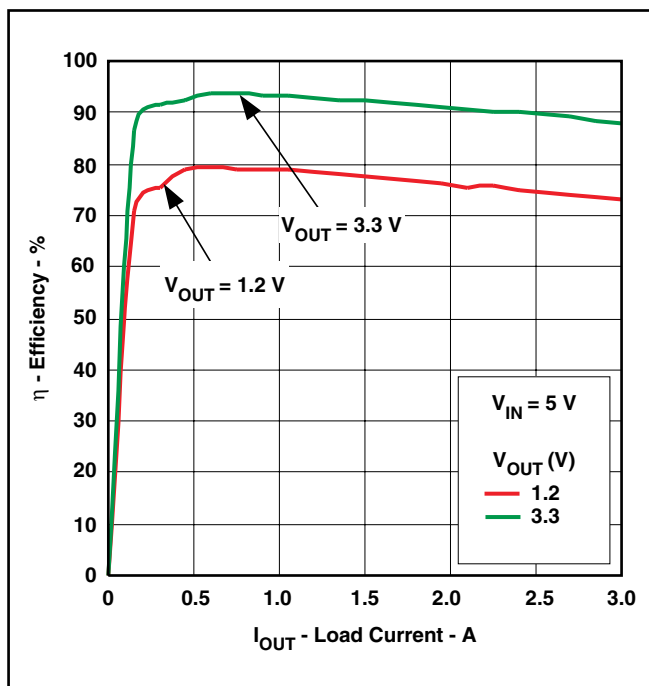


図 51. 効率 vs 負荷電流

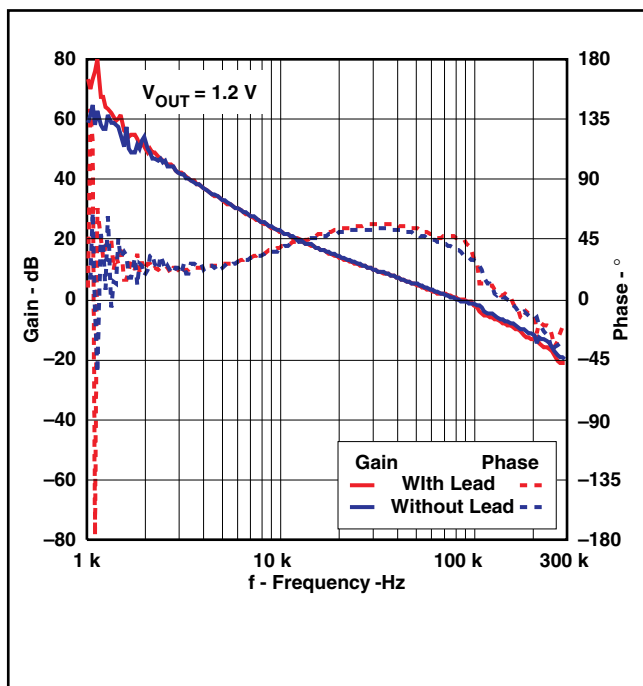


図 52. 例3のループ応答

## 参考資料

### 関連デバイス

以下のデバイスは、TPS54383/6と同様な特性を持っています。

TI LITERATURE NUMBER	デバイス	説明
SLUS642	TPS40222	5-V Input, 1.6-A Non-Synchronous Buck Converter
SLUS749	TPS54283 / TPS54286	2-A Dual Non-Synchronous Converter with Integrated High-Side MOSFET

表 5. TPS54383およびTPS54386の関連デバイス

### 参考文献

以下の参考文献、設計ツール、および設計ソフトウェアを含む他の参考資料へのリンクが、<http://www.power.ti.com>で提供されています。

TI LITERATURE NUMBER	説明
SLMA002	PowerPAD Thermally Enhanced Package Application Report
SLMA004	PowerPAD™ Made Easy
SLUP206	Under The Hood Of Low Voltage DC/DC Converters. SEM1500 Topic 5, 2002 Seminar Series
SLVA057	Understanding Buck Power Stages in Switchmode Power Supplies
SLUP173	Designing Stable Control Loops. SEM 1400, 2001 Seminar Series

表 6. 参考文献

### パッケージ概要および

### 推奨PCBフットプリント

以降のページに、14ピンPWPパッケージの機械的寸法の概要と、PCBレイアウトの推奨事項を記載しています。

# パッケージ情報

## 製品情報

Orderable Device	Status <sup>(1)</sup>	Package Type	Package Drawing	Pins	Package Qty	Eco Plan <sup>(2)</sup>	Lead/Ball Finish	MSL Peak Temp <sup>(3)</sup>
TPS54383PWP	ACTIVE	HTSSOP	PWP	14	90	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
TPS54383PWPG4	ACTIVE	HTSSOP	PWP	14	90	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
TPS54383PWPR	ACTIVE	HTSSOP	PWP	14	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
TPS54383PWPRG4	ACTIVE	HTSSOP	PWP	14	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
TPS54386PWP	ACTIVE	HTSSOP	PWP	14	90	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
TPS54386PWPG4	ACTIVE	HTSSOP	PWP	14	90	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
TPS54386PWPR	ACTIVE	HTSSOP	PWP	14	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
TPS54386PWPRG4	ACTIVE	HTSSOP	PWP	14	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR

(1) マーケティング・ステータスは次のように定義されています。

**ACTIVE**：製品デバイスが新規設計用に推奨されています。

**LIFEBUY**：TIによりデバイスの生産中止予定が発表され、ライフタイム購入期間が有効です。

**NRND**：新規設計用に推奨されていません。デバイスは既存の顧客をサポートするために生産されていますが、TIでは新規設計にこの部品を使用することを推奨していません。

**PREVIEW**：デバイスは発表済みですが、まだ生産が開始されていません。サンプルが提供される場合と、提供されない場合があります。

**OBSOLETE**：TIによりデバイスの生産が中止されました。

(2) エコ・プラン - 環境に配慮した製品分類プランであり、Pb-Free (RoHS)、Pb-Free (RoHS Expert) およびGreen (RoHS & no Sb/Br) があります。最新情報および製品内容の詳細については、<http://www.ti.com/productcontent> でご確認ください。

**TBD**：Pb-Free/Green変換プランが策定されていません。

**Pb-Free (RoHS)**：TIにおける“Lead-Free”または“Pb-Free”(鉛フリー)は、6つの物質すべてに対して現在のRoHS要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が0.1%を超えないという要件も含まれます。高温で半田付けするように設計されている場合、TIの鉛フリー製品は指定された鉛フリー・プロセスでの使用に適しています。

**Pb-Free (RoHS Exempt)**：この部品は、1) ダイとパッケージの間に鉛ベースの半田バンブ使用、または 2) ダイとリードフレーム間に鉛ベースの接着剤を使用、が除外されています。それ以外は上記の様にPb-Free (RoHS) と考えられます。

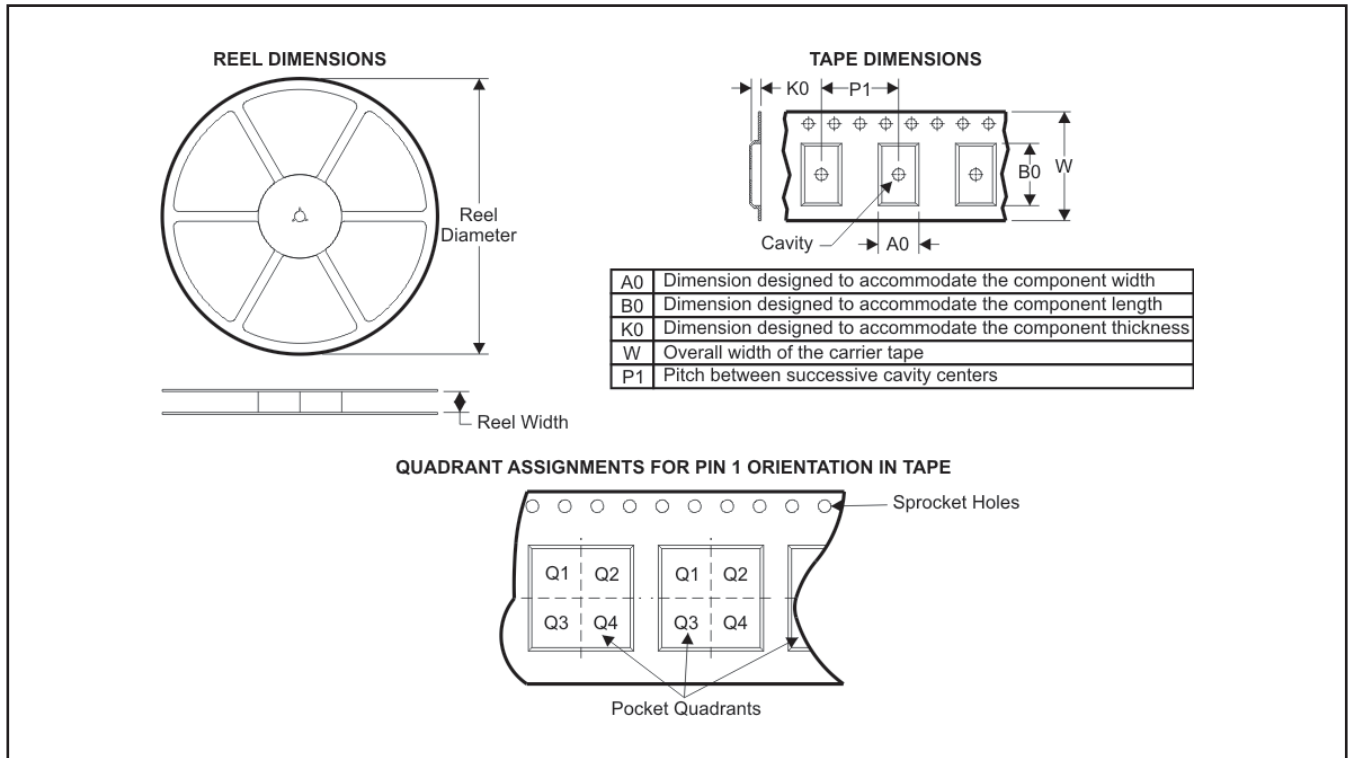
**Green (RoHS & no Sb/Br)**：TIにおける“Green”は、“Pb-Free”(RoHS互換)に加えて、臭素(Br)およびアンチモン(Sb)をベースとした難燃材を含まない(均質な材質中のBrまたはSb重量が0.1%を超えない)ことを意味しています。

(3) MSL、ピーク温度 -- JEDEC業界標準分類に従った耐湿性レベル、およびピーク半田温度です。

**重要な情報および免責事項**：このページに記載された情報は、記載された日付時点でのTIの知識および見解を表しています。TIの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行いません。第三者からの情報をより良く統合するための努力は続けております。TIでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。TIおよびTI製品の供給者は、特定の情報を機密情報として扱っているため、CAS番号やその他の制限された情報が公開されない場合があります。

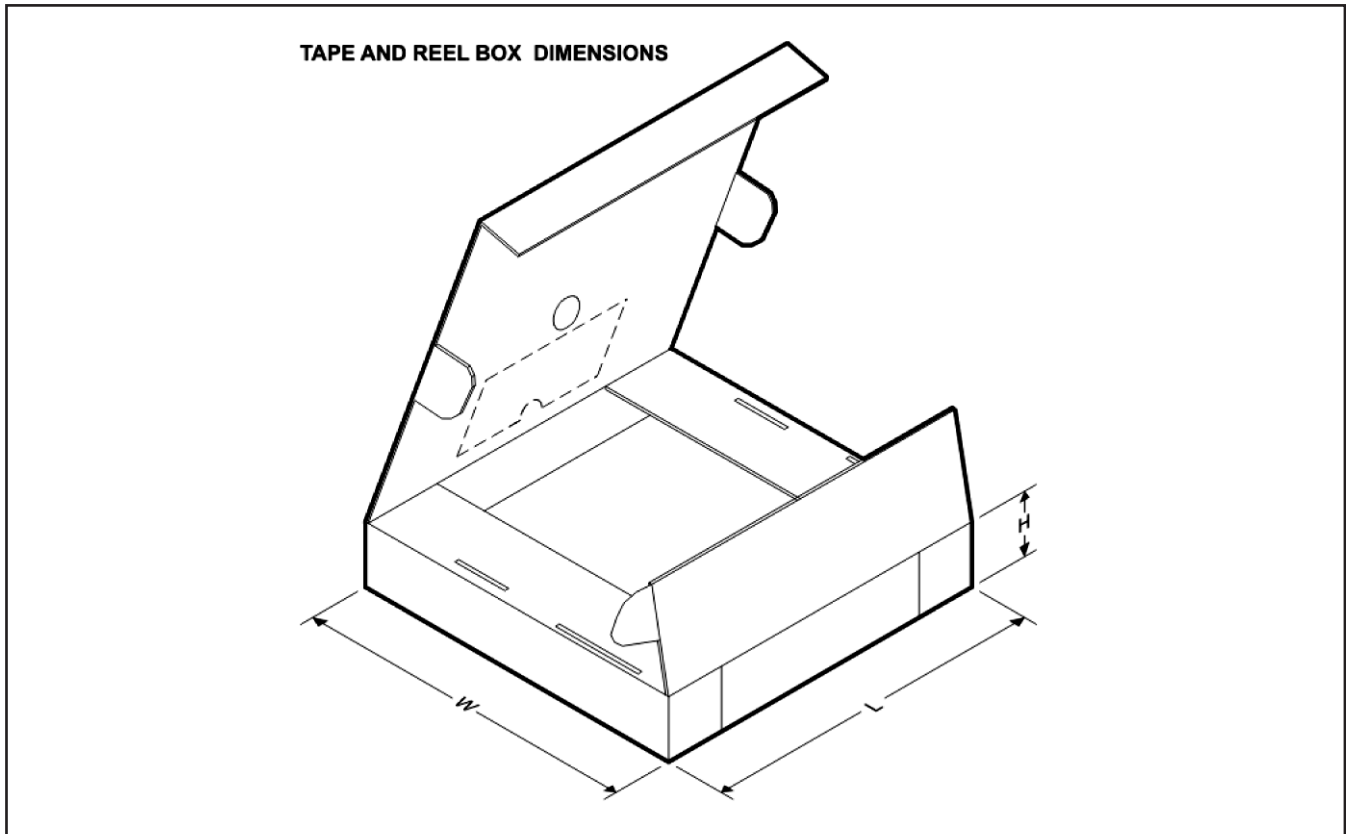
# パッケージ・マテリアル情報

## テープおよびリール・ボックス情報



Device	Package	Pins	Site	Reel Diameter (mm)	Reel Width (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS54383PWPR	PWP	14	SITE 60	330	12	7.0	6.0	2.0	8	12	Q1
TPS54386PWPR	PWP	14	SITE 60	330	12	7.0	6.0	2.0	8	12	Q1

## パッケージ・マテリアル情報



Device	Package	Pins	Site	Length (mm)	Width (mm)	Height (mm)
TPS54383PWPR	PWP	14	SITE 60	346.0	346.0	29.0
TPS54386PWPR	PWP	14	SITE 60	346.0	346.0	29.0

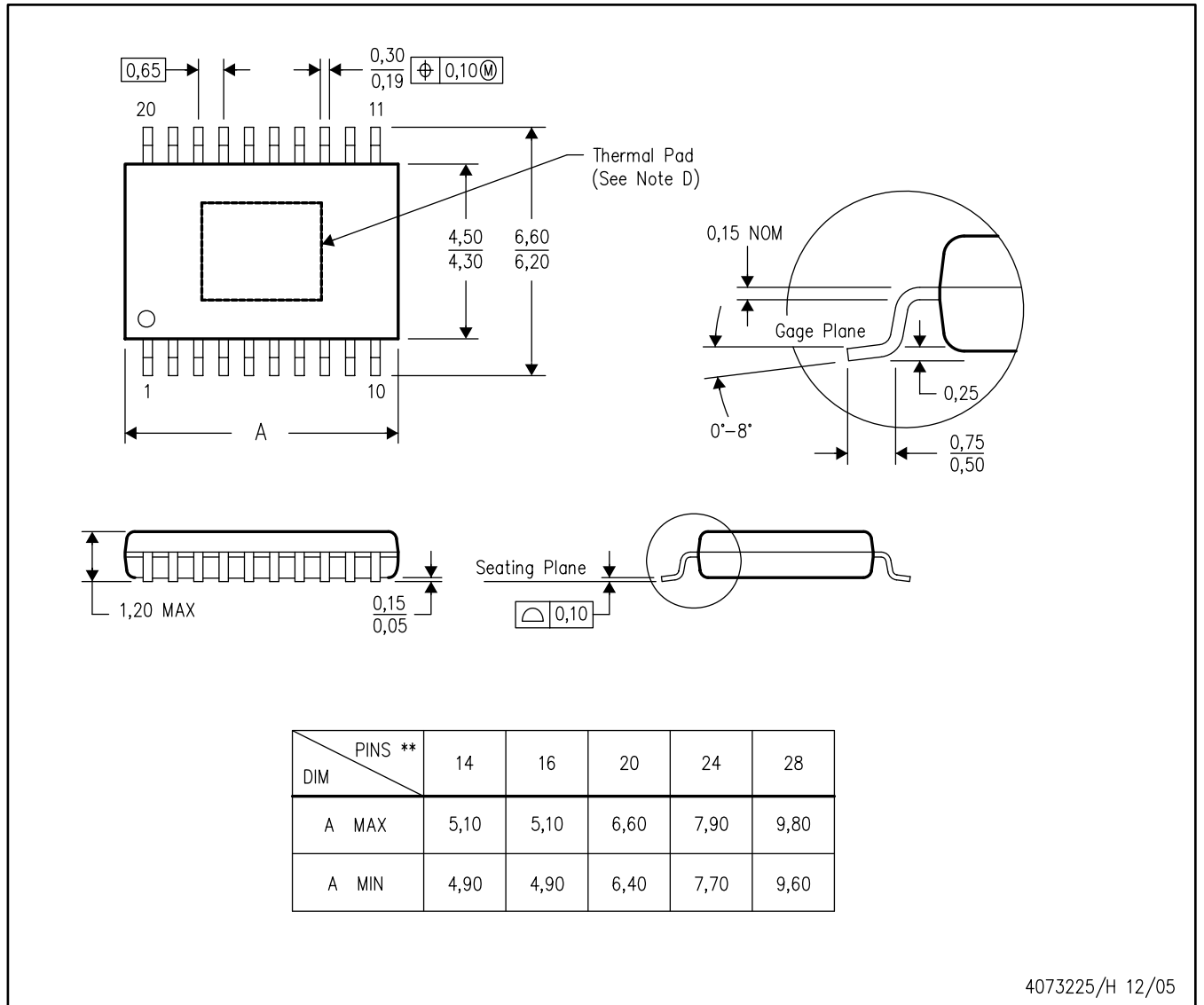


# メカニカル・データ

PW (R-PDSO-G\*\*)

20 PINS SHOWN

PowerPAD™ PLASTIC SMALL-OUTLINE PACKAGE



4073225/H 12/05

- 注： A. 全ての線寸法の単位はミリメートルです。  
 B. 図は予告なく変更することがあります。  
 C. 本体寸法にはバリや突起を含みません。バリおよび突起は、各辺0.15を超えてはなりません。  
 D. このパッケージは、基板上のサーマル・パッドに半田付けされるように設計されています。推奨基板レイアウトについては、テクニカル・ブリーフ「PowerPAD Thermally Enhanced Package」(TI文献番号SLMA002)を参照してください。これらのドキュメントは、ホームページwww.ti.comで入手できます。  
 E. JEDEC MO-153に適合しています。

# サーマルパッド・メカニカル・データ

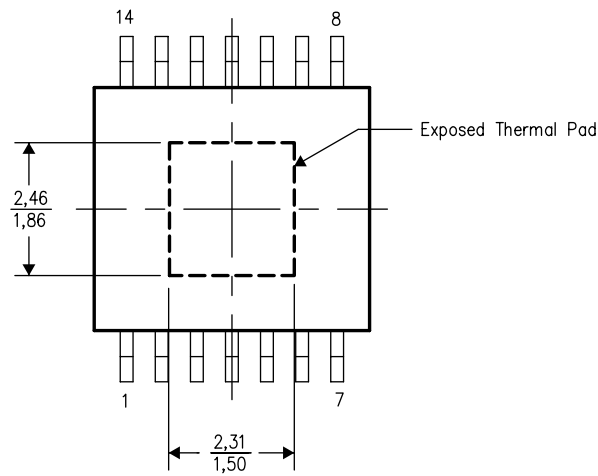
## PWP (R-PDSO-G14)

### 熱特性について

このPowerPAD™パッケージには、外部ヒートシンクに直接接続するように設計された、露出したサーマルパッドが装備されています。このサーマルパッドは、プリント基板(PCB)に直接半田付けする必要があります。半田付け後は、PCBをヒートシンクとして使用できます。また、サーマルビアを使用して、サーマルパッドをデバイスの回路図に示された適切な銅プレーンに直接接続するか、あるいはPCB内に設計された特別なヒートシンク構造に接続することができます。この設計により、ICからの熱伝導が最適化されます。

PowerPAD™パッケージについての追加情報及びその熱放散能力の利用法については、テクニカルブリーフ『PowerPAD Thermally Enhanced Package』(TI文献番号SLMA002)およびアプリケーションブリーフ『PowerPAD Made Easy』(TI文献番号SLMA004)を参照してください。いずれもホームページ [www.ti.com](http://www.ti.com) で入手できます。

このパッケージの露出したサーマルパッドの寸法を次の図に示します。

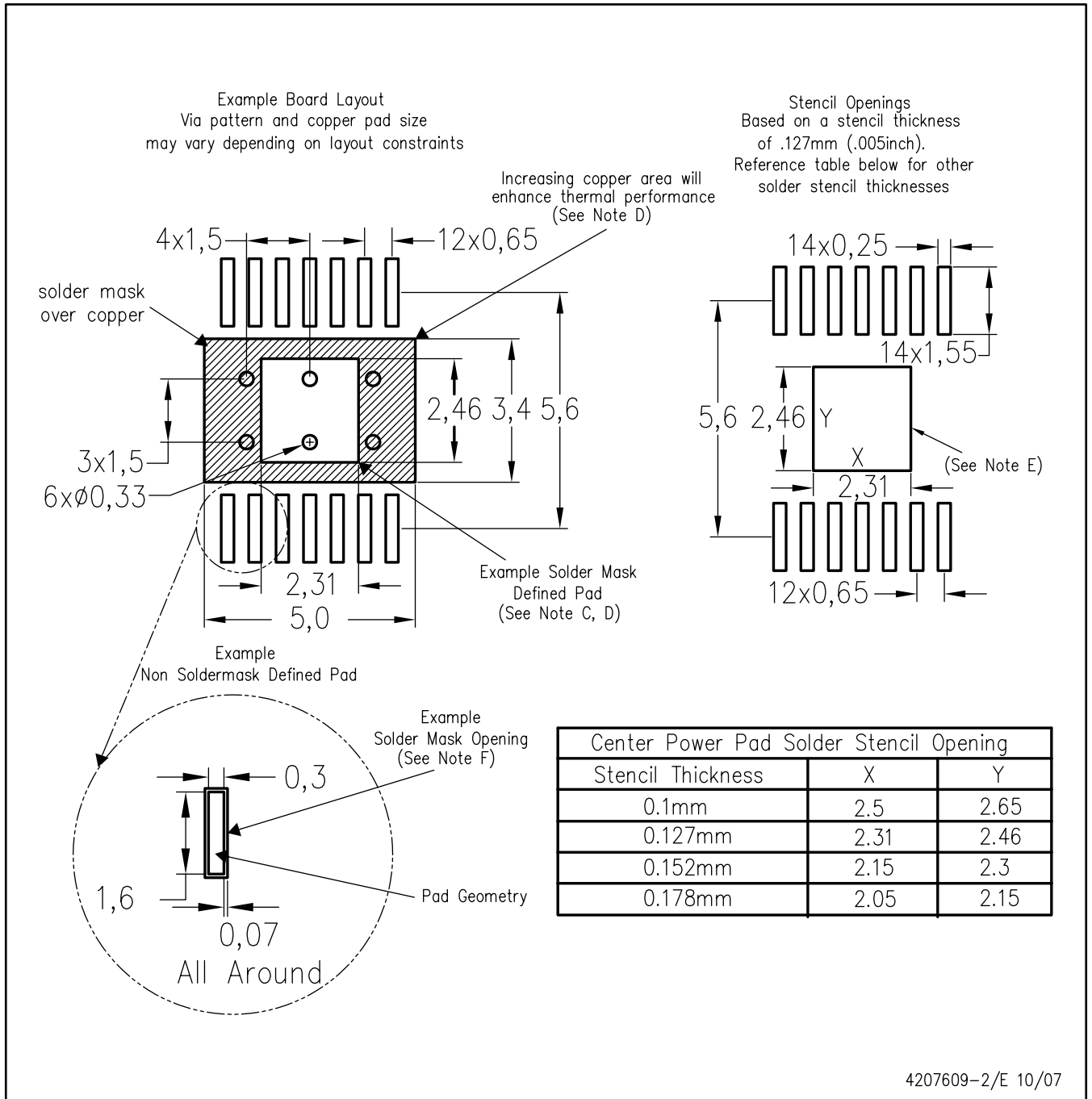


注：寸法はすべてミリメートル単位です。

露出サーマルパッドの寸法

# ランド・パターン

PWP (R-PDSO-G14) PowerPAD™



4207609-2/E 10/07

- 注： A. 全ての線寸法の単位はミリメートルです。  
 B. 図は予告なく変更することがあります。  
 C. 中央の半田マスク定義パッドを変更しないように、回路基板組み立て図に注記を書き込んでください。  
 D. このパッケージは、基板上のサーマル・パッドに半田付けされるように設計されています。推奨基板レイアウトについては、テクニカル・ブリーフ『PowerPAD Thermally Enhanced Package』(TI文献番号SLMA002)を参照してください。これらのドキュメントは、ホームページwww.ti.comで入手できます。代替設計については、資料IPC-7351を推奨します。  
 E. レーザ切断開口部の壁面を台形にし、角に丸みを付けることで、ペーストの離れがよくなります。ステンシル設計要件については、基板組み立て拠点にお問い合わせください。例に示したステンシル設計は、50%容積のメタルロード半田ペーストに基づいています。ステンシルに関する他の推奨事項については、IPC-7525を参照してください。  
 F. 信号パッド間および信号パッド周囲の半田マスク許容差については、基板組み立て拠点にお問い合わせください。

(SLUS774B)

# ご注意

日本テキサス・インスツルメンツ株式会社(以下TIJといひます)及びTexas Instruments Incorporated(TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIJといひます)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIJは、そのハードウェア製品が、TIJの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIJが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIJは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIJは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIJが第三者の製品もしくはサービスについて情報を提供することは、TIJが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは承認を意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIJにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIJは、そのような説明については何の義務も責任もありません。

TIJは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション(例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの)に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIJがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されておられません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIJが特別に指定した製品である場合は除きます。TIJが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIJが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されておられません。但し、TIJがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIJは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2008, Texas Instruments Incorporated  
日本語版 日本テキサス・インスツルメンツ株式会社

## 弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

### 1. 静電気

素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。

弊社出荷梱包単位(外装から取り出された内装及び個装)又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で(導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使用すること。

マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

### 2. 温・湿度環境

温度: 0 ~ 40 °C、相対湿度: 40 ~ 85%で保管・輸送及び取り扱うこと。(但し、結露しないこと。)

直射日光があたる状態で保管・輸送しないこと。

### 3. 防湿梱包

防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。

### 4. 機械的衝撃

梱包品(外装、内装、個装)及び製品単品を落下させたり、衝撃を与えないこと。

### 5. 熱衝撃

はんだ付け時は、最低限260 °C以上の高温状態に、10秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)

### 6. 汚染

はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質(硫黄、塩素等ハロゲン)のある環境で保管・輸送しないこと。はんだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上