

FET内蔵、4A/2A、デュアル・チャネル、同期整流・降圧型スイッチャ

特長

- D-CAP2™制御モード
 - － 高速過渡応答
 - － ループ補償に外部部品が不要
 - － セラミック出力コンデンサを使用可能
- 広い入力電圧範囲：4.5V～18V
- 出力電圧範囲：0.76V～7V
- 低デューティ・サイクルのアプリケーションに対して最適化された高効率の内蔵FET
 - － 90mΩ(ハイサイド)および60mΩ(ローサイド)
- 高い初期リファレンス精度
- 連続負荷電流：4A (CH1)/2A (CH2)
- ローサイド $r_{DS(on)}$ による電流センス
- 固定ソフト・スタート：1ms
- 非シンクのプリバイアス付きソフト・スタート
- パワー・グッド
- スイッチング周波数：700kHz
- サイクル毎の過電流制限制御
- OCL/UVLO/TSD保護
- 過負荷保護用のヒカップ・タイマ
- 昇圧PMOSスイッチを内蔵した適応型ゲート・ドライバ

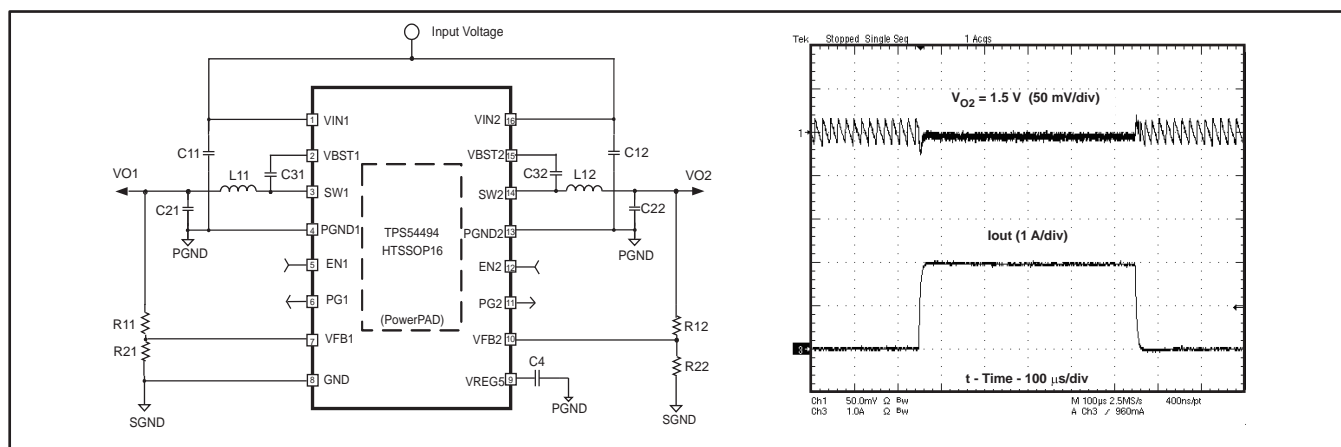
- 4000ppm/°Cの温度補償付き $r_{DS(on)}$ による一定のOCP
- 16ピンHTSSOP、16ピンVQFN
- 自動スキップEco-mode™により軽負荷時の効率を向上

アプリケーション

- 広範囲のアプリケーションに対する低電力システムでのポイント・オブ・ロード (POL) レギュレーション
 - － デジタル・テレビ用電源
 - － ネットワーク・ホーム・ターミナル
 - － デジタル・セットトップ・ボックス (STB)
 - － DVDプレーヤー/レコーダー
 - － ゲーム機など

概要

TPS54494は、適応型オン時間およびD-CAP2™モードに対応したデュアル同期整流・バック・コンバータです。TPS54494を採用することで、各種機器の電源バス・レギュレータに対して、コスト効果が高く、部品数の少ない、低スタンバイ電流のソリューションを実現できます。TPS54494の主制御ループ



D-CAP2, Eco-mode, Eco-Modeは、テキサス・インスツルメンツの商標です。

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本TI) が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。



静電気放電対策

これらのデバイスは、限定的なESD(静電破壊)保護機能を内蔵しています。保存時または取り扱い時に、MOSゲートに対する静電破壊を防止するために、リード線どうしを短絡しておくか、デバイスを導電性のフォームに入れる必要があります。

ではD-CAP2™モード制御を使用し、外部補償部品なしで非常に高速な過渡応答が得られます。適応型オン時間制御により、重負荷時にはPWMモード動作、軽負荷時にはEco-mode™動作にシームレスに移行することができます。Eco-mode™により、TPS54494は軽負荷条件時に高い効率を維持できます。また、TPS54494は、POSCAP/SP-CAPなどの低ESR(等価直列抵抗)出力コンデンサだけでなく、超低ESRのセラミック・コンデンサにも対応できます。4.5V~18Vの入力電圧により、使いやすく効率的な動作を行います。

TPS54494は4.4mm × 5mmの16ピンTSSOP(PWP)および4mm × 4mmの16ピンVQFN(RSA)パッケージで供給され、-40℃~85℃の周囲温度範囲で仕様が規定されています。

製品情報 (1)

T _A	パッケージ (2) (3)	発注用部品番号	ピン数	供給形態
-40℃ ~ 85℃	PWP	TPS54494PWPR	16	テープ・リール
		TPS54494PWP		チューブ
	RSA	TPS54494RSAR	16	テープ・リール
		TPS54494RSAT		

(1) 最新のパッケージおよびご発注情報については、このデータシートの巻末にある「付録：パッケージ・オプション」を参照するか、TIのWebサイト (www.ti.comまたはwww.tij.co.jp)をご覧ください。

(2) パッケージ図面、熱特性データ、記号の意味については、www.ti.com/packagingを参照してください。

(3) すべてのパッケージ・オプションがCu NIPdAuリード/ボール仕上げとなっています。

絶対最大定格

動作温度範囲内(特に記述のない限り) (1) (2)

		VALUE	単位
Input voltage range	VIN1, VIN2, EN1, EN2	-0.3 ~ 20	V
	VBST1, VBST2	-0.3 ~ 26	
	VBST1, VBST2 (10ns transient)	-0.3 ~ 28	
	VBST1-SW1, VBST2-SW2	-0.3 ~ 6.5	
	VFB1, VFB2	-0.3 ~ 6.5	
	SW1, SW2	-2 ~ 20	
	SW1, SW2 (10ns transient)	-3 ~ 22	
Output voltage range	VREG5, PG1, PG2	-0.3 ~ 6.5	V
	PGND1, PGND2	-0.3 ~ 0.3	
Electrostatic discharge	Human Body Model (HBM)	2	kV
	Charged Device Model (CDM)	500	V
T _A	Operating ambient temperature range	-40 ~ 85	℃
T _{STG}	Storage temperature range	-55 ~ 150	℃
T _J	Junction temperature range	-40 ~ 150	℃

(1) 絶対最大定格以上のストレスは、製品に恒久的・致命的なダメージを与えることがあります。これはストレスの定格のみについて示しており、このデータシートの「推奨動作条件」に示された値を越える状態での本製品の機能動作は含まれていません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。

(2) すべての電圧値はICのGND端子を基準としています。

熱特性について

THERMAL METRIC (1)		TPS54494		単位
		PWP (16) PINS	RSA (16) PINS	
θ _{JA}	Junction-to-ambient thermal resistance	41.4	32.8	℃/W
θ _{JCtop}	Junction-to-case (top) thermal resistance	27.8	35.4	
θ _{JB}	Junction-to-board thermal resistance	23.2	9.9	
ψ _{JT}	Junction-to-top characterization parameter	0.9	0.4	
ψ _{JB}	Junction-to-board characterization parameter	23.0	10.0	
θ _{JCbot}	Junction-to-case (bottom) thermal resistance	3.5	1.6	

(1) 従来の熱特性パラメータと新しい熱特性パラメータの詳細については、アプリケーション・レポート「IC Package Thermal Metrics」(SPRA953)を参照してください。

推奨動作条件

動作温度範囲内(特に記述のない限り)

		VALUES		単位
		MIN	MAX	
Supply input voltage range	VIN1, VIN2	4.5	18	V
Input voltage range	VBST1, VBST2	-0.1	24	V
	VBST1, VBST2 (10ns transient)	-0.1	27	
	VBST1-SW1, VBST2-SW2	-0.1	5.7	
	VFB1, VFB2	-0.1	5.7	
	EN1, EN2	-0.1	18	
	SW1, SW2	-1.0	18	
Output voltage range	SW1, SW2 (10ns transient)	-3	21	V
	VREG5, PG1, PG2	-0.1	5.7	
	PGND1, PGND2	-0.1	0.1	
VO1, VO2	0.76	7.0		
T _A	Operating free-air temperature	-40	85	°C
T _J	Operating Junction Temperature	-40	150	°C

電気的特性⁽¹⁾

推奨温度範囲内、VIN = 12V(特に記述のない限り)

パラメータ		CONDITIONS	MIN	TYP	MAX	単位
SUPPLY CURRENT						
I _{IN}	VIN supply current	T _A = 25°C, EN1 = EN2 = 5 V, VFB1 = VFB2 = 0.8 V		1200	2000	μA
I _{VINSDN}	VIN shutdown current	T _A = 25°C, EN1 = EN2 = L after H,		15	20	μA
FEEDBACK VOLTAGE						
V _{VFBTHLx}	VFBx threshold voltage	T _A = 25°C, CH1 = 3.3 V, CH2 = 1.5 V	758	765	773	mV
TC _{VFBx}	Temperature coefficient	On the basis of 25°C ⁽²⁾	-115		115	ppm/°C
I _{VFBx}	VFB Input Current	VFBx = 0.8 V, T _A = 25°C	-0.4	0.2	0.4	μA
VREG5 OUTPUT						
V _{VREG5}	VREG5 output voltage	T _A = 25°C, 6 V < VIN1 < 18 V, I _{VREG} = 5 mA		5.5		V
I _{VREG5}	Output current	VIN1 = 6 V, VREG5 = 4.0 V, T _A = 25°C ⁽²⁾		75		mA
MOSFETS						
r _{DS(on)H}	High side switch resistance	T _A = 25°C, VBSTx-SWx = 5.5 V ⁽²⁾		90		mΩ
r _{DS(on)L}	Low side switch resistance	T _A = 25°C ⁽²⁾		60		mΩ
ON-TIME TIMER CONTROL						
T _{ON1}	SW1 On Time	SW1 = 12 V, VO1 = 1.2 V		165		ns
T _{ON2}	SW2 On Time	SW2 = 12 V, VO2 = 1.2 V		165		ns
T _{OFF1}	SW1 Min off time	T _A = 25°C, VFB1 = 0.7 V ⁽²⁾		220		ns
T _{OFF2}	SW2 Min off time	T _A = 25°C, VFB2 = 0.7 V ⁽²⁾		220		ns
SOFT START						
T _{SS}	Soft-start time	Internal soft-start time		1.0		ms

(1) xは1または2を意味します。つまり、VFBxはVFB1またはVFB2を意味します。

(2) 設計で規定されています。実製品のテストは行っていません。

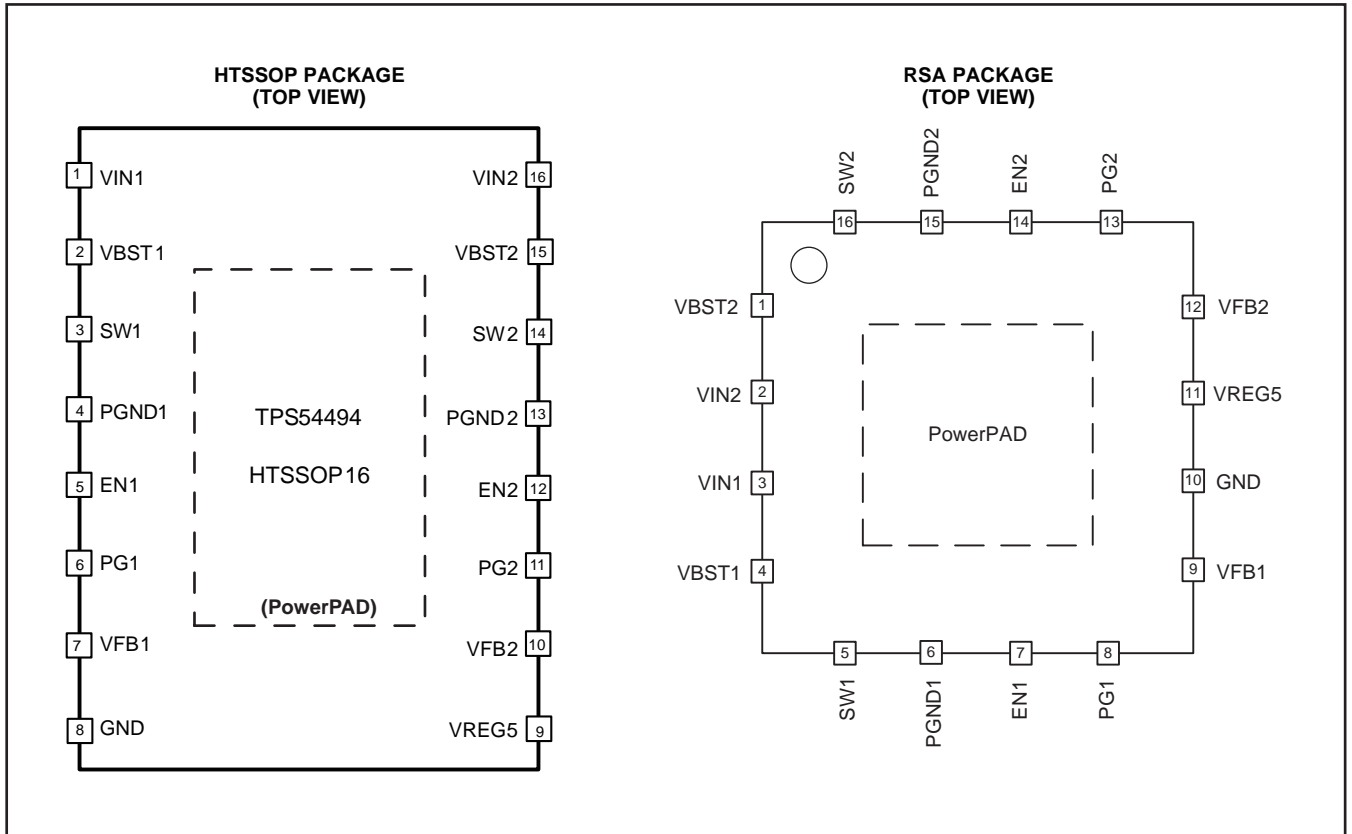
電気的特性⁽¹⁾

推奨温度範囲内、VIN = 12V(特に記述のない限り)

パラメータ		CONDITIONS	MIN	TYP	MAX	単位
POWER GOOD						
V _{PGTH}	PGx threshold	PG from lower VOx (going high)	84%			
		PG from higher VOx (going low)	116%			
R _{PG}	PGx pull-down resistance	VPGx = 0.5 V	50	75	110	Ω
T _{PGDLY}	PGx delay time	Delay for PGx going high	1.5			ms
		Delay for PGx going low	2			μs
T _{PGCOMPSS}	PGx comparator start-up delay	PGx comparator wake-up delay	1.5			ms
UVLO						
V _{UVREG5}	VREG5 UVLO threshold	VREG5 rising	3.83			V
		Hysteresis	0.6			
LOGIC THRESHOLDS						
V _{ENH}	ENx H-level threshold voltage		2.0			V
V _{ENL}	ENx L-level threshold voltage		0.4			V
R _{ENx_IN}	ENx input resistance	ENx = 12 V	225	450	900	kΩ
CURRENT LIMITS						
I _{OCL}	Current limit	L _{OUT} = 2.2 μH ⁽³⁾	3.5	4.7	6.5	A
OUTPUT UNDERVOLTAGE PROTECTION (UVP)						
V _{UVP}	Output UVP trip threshold	measured on VFBx	63%	68%	73%	
T _{UVPDEL}	Output UVP delay time		1.5			ms
T _{UVPEN}	Output UVP enable delay		1.5			ms
THERMAL SHUTDOWN						
T _{SD}	Thermal shutdown threshold	Shutdown temperature ⁽³⁾	155			°C
		Hysteresis ⁽³⁾	25			

(3) 設計で規定されています。実製品のテストは行っていません。

製品情報

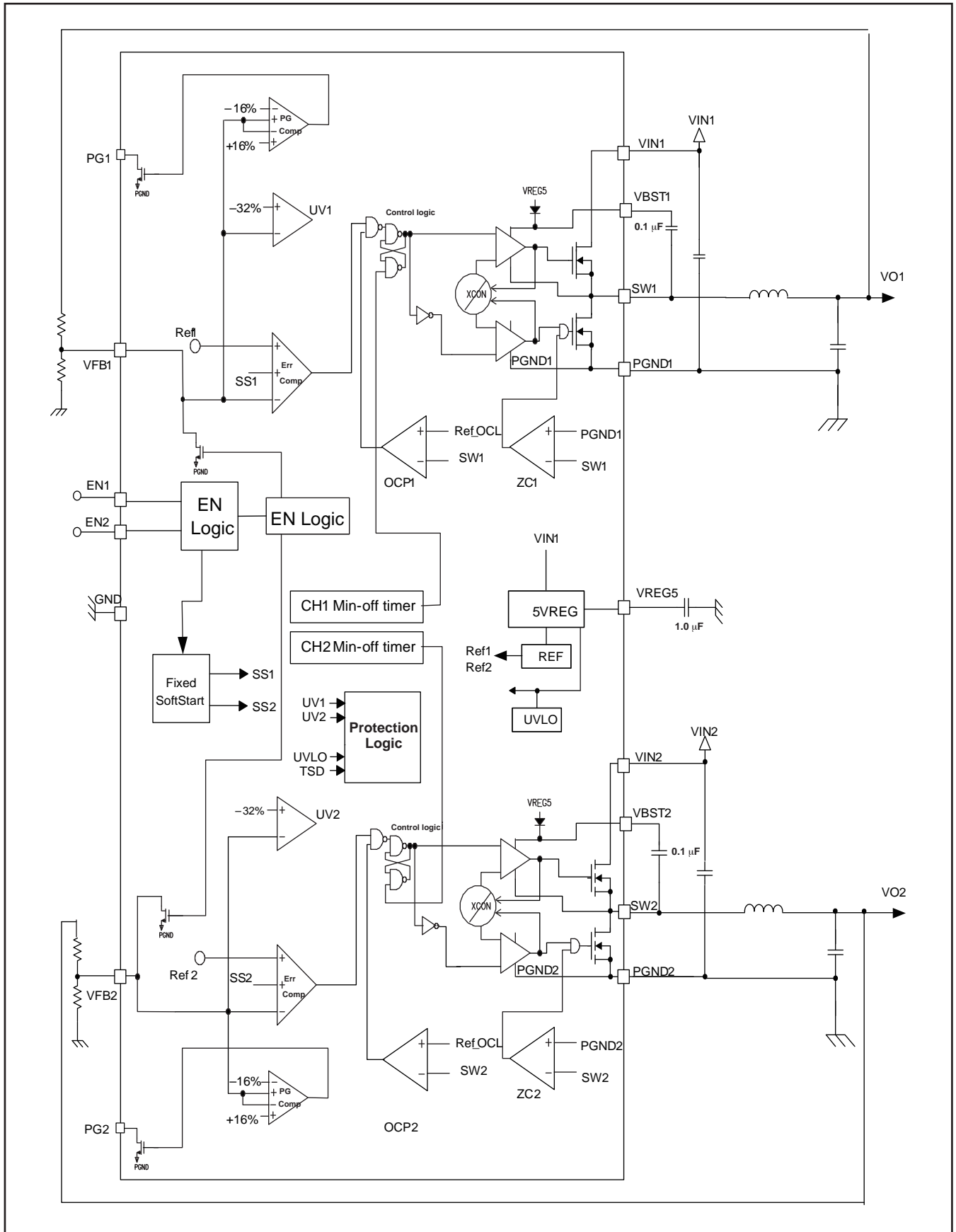


ピン機能⁽¹⁾

名前	ピン		I/O	説明
	PWP	RSA		
VIN1	1	3	I	電源入力であり、両方のハイサイドNFETのドレインに接続されています。
VIN2	16	2	I	5.5Vリニア・レギュレータの電源入力。
VBST1	2	4	I	ハイサイドNFETゲート駆動回路の電源入力。VBSTxピンとSWxピンの間には、0.1μFのセラミック・コンデンサを接続します。VREG5とVBSTxの間には、内部でダイオードが接続されています。
VBST2	15	1	I	
SW1	3	5	I/O	ハイサイドNFETとローサイドNFETの両方に対するスイッチ・ノード接続。電流コンパレータの入力。
SW2	14	16	I/O	
PGND1	4	6	I/O	ローサイドMOSFETのグラウンド・リターン。電流コンパレータの入力。
PGND2	13	15	I/O	
EN1	5	7	I	イネーブル。Highにすると、対応するコンバータがイネーブルになります。
EN2	12	14	I	
PG1	6	8	O	オープン・ドレインのパワー・グッド出力。対応する出力電圧がレギュレーション範囲外になった場合、Lowにアサートされます。
PG2	11	13	O	
VFB1	7	9	I	D-CAP2帰還入力。分圧抵抗を使用して出力電圧に接続します。
VFB2	10	12	I	
GND	8	10	I/O	信号GND。ノイズに敏感なSSxおよびVFBxのリターンは、GNDに一点接続してください。
VREG5	9	11	O	5.5Vリニア・レギュレータの出力。1μF以上の高品質セラミック・コンデンサを使用してGNDにバイパスします。VREG5は、ENxがHighのときにアクティブになります。
露出した サーマル・パッド	裏側	裏側	I/O	パッケージのサーマル・パッド。適切な放熱を実現するために、半田付けする必要があります。GNDに接続してください。

(1) xは1または2を意味します。つまり、VFBxはVFB1またはVFB2を意味します。

機能ブロック図



概要

TPS54494は、チャンネル毎に2個のNチャンネルMOSFETを内蔵した、4A/2Aのデュアル同期降圧型(バック)コンバータです。D-CAP2™制御モードを使用して動作します。D-CAP2™制御の高速過渡応答により、特定レベルの性能を満たすために必要な出力容量が小さくて済みます。独自の内部回路により、セラミックおよび特殊なポリマー・タイプを含めた低ESR出力コンデンサを使用可能です。

詳細説明

PWM動作

TPS54494のメイン制御ループは、独自のD-CAP2™制御モードをサポートする適応型オン時間パルス幅変調(PWM)コントローラとなっています。D-CAP2™制御は、一定オン時間制御を、擬似固定周波数で外部部品数の少ない構成を可能にする内部補償回路と組み合わせることで、低ESRコンデンサとセラミック出力コンデンサの両方を使用できます。出力にほとんどリップルがない状態でも安定して動作します。

各サイクルの開始時に、ハイサイドMOSFETがオンになります。内部のタイマが終了すると、このMOSFETがオフになります。このタイマの時間は、入力電圧範囲内で擬似固定周波数を維持するために、コンバータの入力電圧(VINx)と出力電圧(VOx)によって設定されます。そのため、これは適応型オン時間制御と呼ばれます。帰還電圧が公称出力電圧を下回ると、タイマがリセットされ、ハイサイドMOSFETが再度オンになります。出力電圧リップルをシミュレートするために、リファレンス電圧に内部ランプが追加され、これにより、D-CAP2™制御ではESRによる出力リップルが不要になります。

PWM周波数と適応型オン時間制御

TPS54494は、適応型オン時間制御方式を採用し、専用の発振器は内蔵していません。入力電圧および出力電圧を使用してオン時間タイマを設定することにより、700kHzの擬似固定周波数で動作します。オン時間は、入力電圧に逆比例し、出力電圧に比例するため、デューティ比がVOx/VINxのとき周波数は一定となります。

自動スキップEco-mode™制御

TPS54494は、軽負荷時の効率を向上させる自動スキップEco-mode™を備えています。重負荷状態から出力電流が減少すると、インダクタ電流も減少し、最終的にはそのリップルの谷がゼロレベルに達する点まで至ります。これは、連続導通モードと不連続導通モードの境界に当たります。ゼロインダクタ電流が検出されると、整流MOSFETがオフになります。

負荷電流がさらに減少すると、コンバータは不連続導通モードに入ります。オン時間は連続導通モードのときのほぼ1/2に保持されます。これは、より小さな負荷電流で出力コンデンサを公称出力電圧まで放電するには、より長い時間がかかるためです。軽負荷動作電流IOx(LL)への遷移点は、fSW = 700kHzとして式(1)で見積もることができます。

$$I_{Ox(LL)} = \frac{1}{2 \times L1x \times f_{SW}} \times \frac{(V_{INx} - V_{Ox}) \times V_{Ox}}{V_{INx}} \quad (1)$$

ソフト・スタートおよびプリバイアス付きソフト・スタート

TPS54494には、チャンネル毎に1.0msのソフト・スタートが内蔵されています。ENxピンがHighになると、内部DACによってPWMコンパレータに対するリファレンス電圧が上昇し始めます。スタートアップ中には出力電圧のスムーズな制御が維持されます。

出力がプリバイアスされている状態で、スタートアップ中に出力から電流が引き込むのを防止するために、TPS54494には独自の回路が搭載されています。ソフト・スタートでプリバイアスレベルよりも高い電圧が指定される(内部ソフト・スタートが内部帰還電圧VFBxよりも大きくなる)と、コントローラは、最初のローサイドFETゲート・ドライバパルスを狭いオン時間で開始することにより、ゆっくりと同期整流を起動します。次に、そのオン時間が(1-D)で示される時間と一致するまで(Dはコンバータのデューティ・サイクル)、そのオン時間をサイクル毎にインクリメントします。この方式により、プリバイアス出力の初期シンクを防ぐとともに、出力電圧(VOx)が立ち上がった後、プリバイアス・スタートアップから通常モード動作へと、スムーズにレギュレーション状態まで上昇します。

パワー・グッド

TPS54494には、VFBxで測定されるパワー・グッド出力があります。パワー・グッド機能はソフト・スタートの終了後に起動されます。出力電圧が目標値の16%以内である場合、内部のコンパレータによりパワー・グッド状態が検出され、1.5msの遅延時間後にパワー・グッド信号がHighになります。スタートアップ時には、パワー・グッド信号のグリッチを避けるために、1.5msのUVPイネーブル遅延時間が経過した後で、この内部遅延時間が開始されます。帰還電圧が目標値の±16%の範囲外になった場合は、2μs後にパワー・グッド信号がLowになります。

電流センスと過電流保護

出力過電流保護 (OCP) は、サイクル毎のバレー検出制御回路を使用して実現されています。SW_xピンとPGND_xピンの間のローサイドFETスイッチ電圧を測定することで、スイッチ電流がモニタされます。この電圧は、スイッチ電流およびFETのオン抵抗に比例します。測定精度を向上させるため、電圧センスは温度補償されます。

ハイサイドFETスイッチのオン時間中、スイッチ電流は、VIN_x、VO_x、オン時間、および出力インダクタ値によって決定されるリニアなレートで増加します。ローサイドFETスイッチのオン時間中は、この電流はリニアに減少します。スイッチ電流の平均値が、負荷電流IOUT_xです。ローサイドFET上でセンスされた電圧が、電流制限に比例した電圧より高い場合、コンバータは、測定電圧が電流制限に対応した電圧を下回り、新しいスイッチング・サイクルが開始されるまでの間、ローサイド・スイッチをオンに保持します。以降のスイッチング・サイクルでは、CCM用に決定された値にオン時間が設定され、同じ方法で電流がモニタされます。

このようなタイプの過電流保護には、いくつかの重要な考慮事項があります。負荷電流は、ピーク・ツー・ピーク・インダクタ電流の1/2だけ過電流スレッシュホールドよりも高くなります。また、電流が制限されている間は、出力電圧が低下する傾向があります。これは、必要な負荷電流が、コンバータから供給される電流よりも高い場合があるためです。過電流状態が解消されると、出力電圧がレギュレーション電圧に戻ります。これは非ラッチ方式の保護です。

低電圧保護とヒカップ・モード

ヒカップ・モードの動作によって、過電流障害の発生時に電源の損傷を防ぎます。OCLコンパレータ回路で過電流が検出された場合、出力電圧が低下します。帰還電圧がリファレンス電圧の68%より低くなると、UVPコンパレータ出力がHighになり、内部のUVP遅延カウンタがカウントを開始します。UVP遅延時間のカウント後、TPS54494は電源を所定の時間 (UVPイネーブル遅延時間×7) だけオフにしてから、電源の再起動を試みます。過負荷状態が解消されていれば、電源は通常どおりに起動して動作します。過負荷状態が継続している場合は、再び過電流が検出されて電源がオフになり、前述のサイクルが繰り返されます。ヒカップ・サイクル中は、過負荷による過熱状態が短時間しか持続しないため、パワー・デバイスの接合部温度はずっと低くなっています。

UVLO保護

低電圧誤動作防止 (UVLO) 機能は、V_{REG5}ピンの電圧を監視します。V_{REG5}の電圧がUVLOスレッシュホールドを下回ると、TPS54494はシャットダウンされます。電圧が上昇してUVLOスレッシュホールドを超えると、コンバータは直ちに再起動します。

過熱シャットダウン

TPS54494は、自身の温度を監視しています。温度がスレッシュホールド値 (標準155°C) を超えると、デバイスはシャットダウンされます。温度が低下してスレッシュホールドを下回ると、ICは再起動されます。

VIN1が立ち上がり、VREG5出力電圧がその公称値よりも低いときには、過熱シャットダウン・スレッシュホールドは155°Cよりも低くなります。VIN1が上昇している間、T_Jは110°C未満に保持される必要があります。

標準的特性

特に記述のない限り、1つの出力がイネーブル。 $V_I = V_{IN1}$ または V_{IN2} 。 $V_{IN} = 12V$ 、 $T_A = 25^\circ C$ (特に記述のない限り)

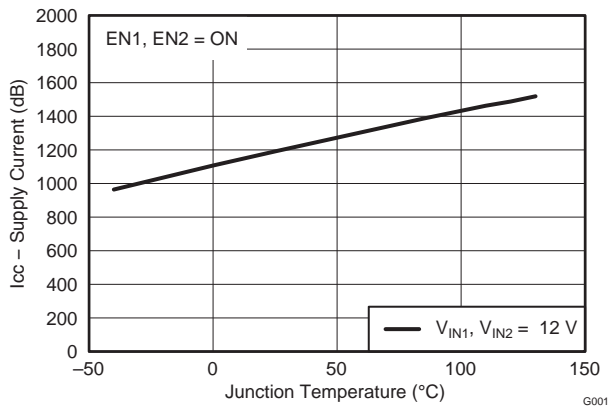


図 1. 入力電流 対 接合部温度

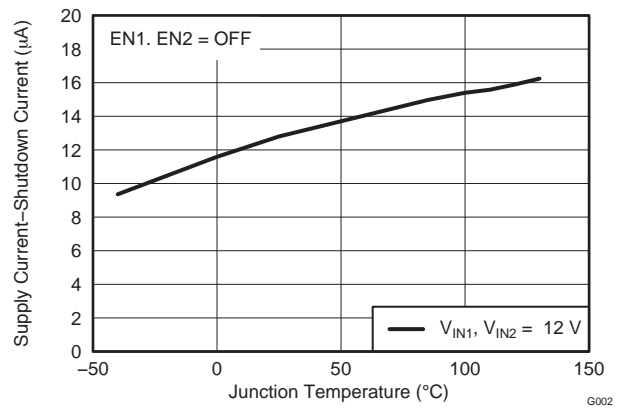


図 2. 入力シャットダウン電流 対 接合部温度

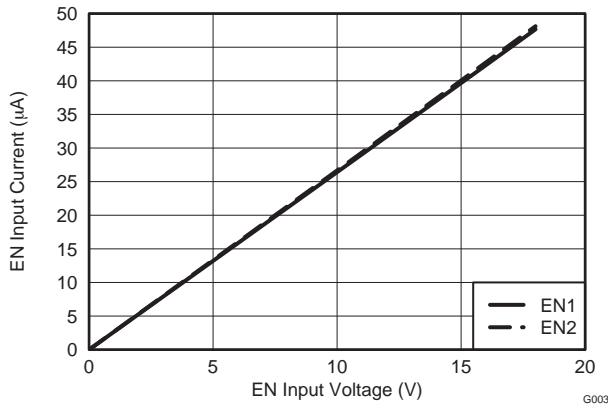


図 3. EN電流 対 EN電圧 ($V_{EN} = 12V$)

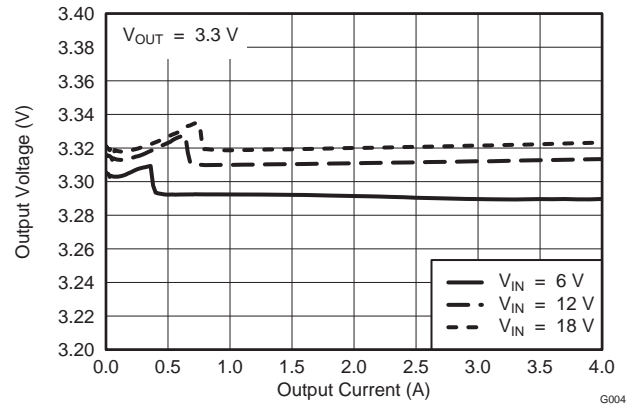


図 4. $V_{O1} = 3.3V$ 、出力電圧 対 出力電流

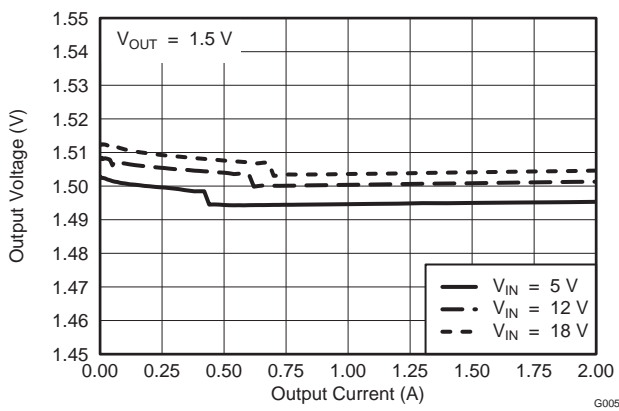


図 5. $V_{O2} = 1.5V$ 、出力電圧 対 出力電流

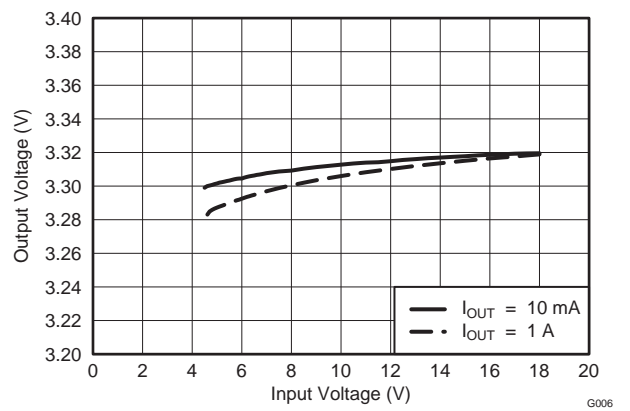


図 6. $V_{O1} = 3.3V$ 、出力電圧 対 入力電圧

標準的特性

特に記述のない限り、1つの出力がイネーブル。 $V_I = V_{IN1}$ または V_{IN2} 。 $V_{IN} = 12V$ 、 $T_A = 25^\circ C$ (特に記述のない限り)

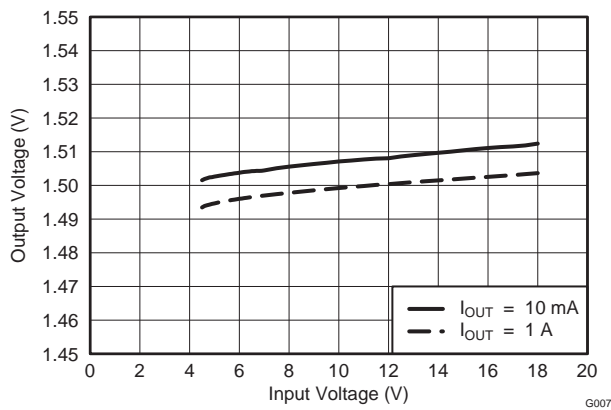


図 7. $VO2 = 1.5V$ 、出力電圧 対 入力電圧

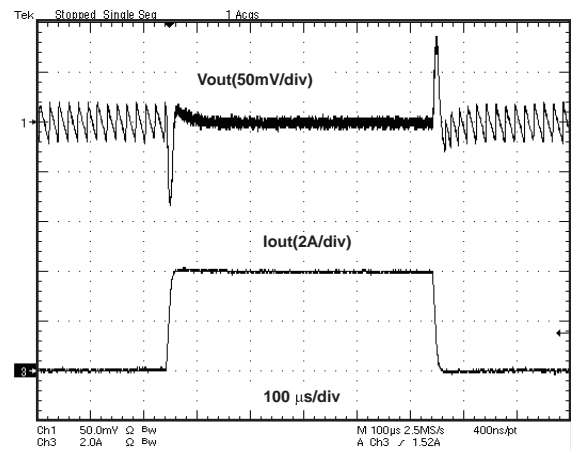


図 8. $VO1 = 3.3V$ 、0A~3A 負荷過渡応答

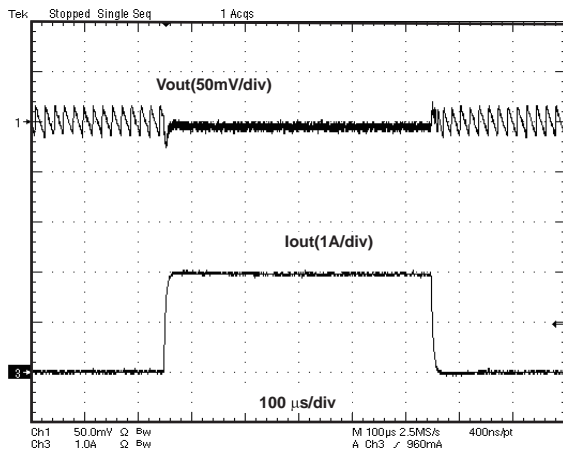


図 9. $VO2 = 1.5V$ 、0A~3A 負荷過渡応答

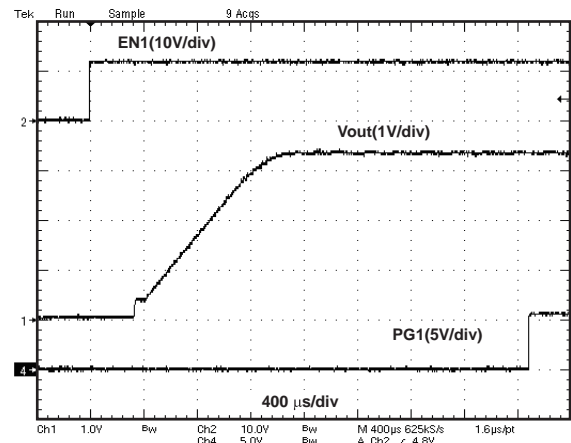


図 10. $VO1 = 3.3V$ 、PG1

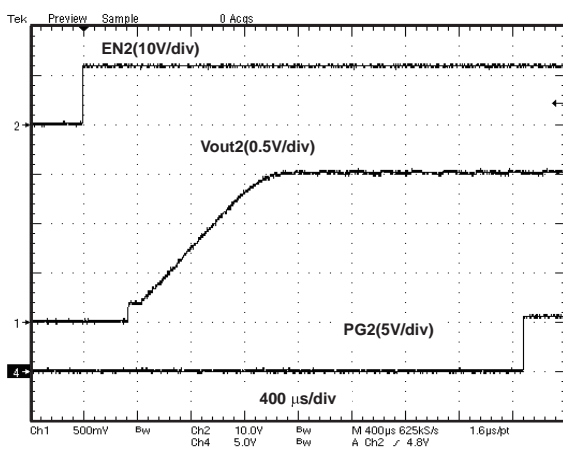


図 11. $VO2 = 1.5V$ 、PG

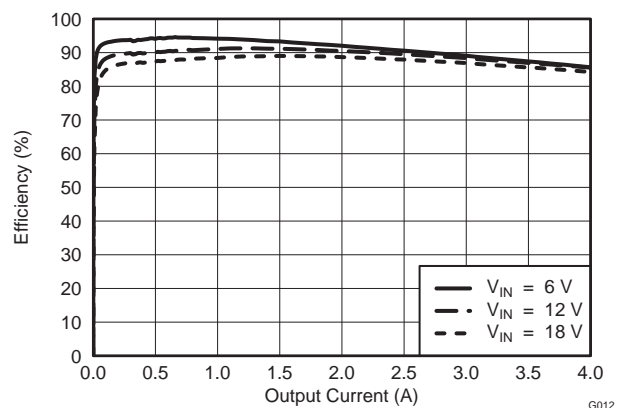


図 12. $VO1 = 3.3V$ 、効率 対 出力電流

標準的特性

特に記述のない限り、1つの出力がイネーブル。 $V_I = V_{IN1}$ または V_{IN2} 。 $V_{IN} = 12V$ 、 $T_A = 25^\circ C$ (特に記述のない限り)

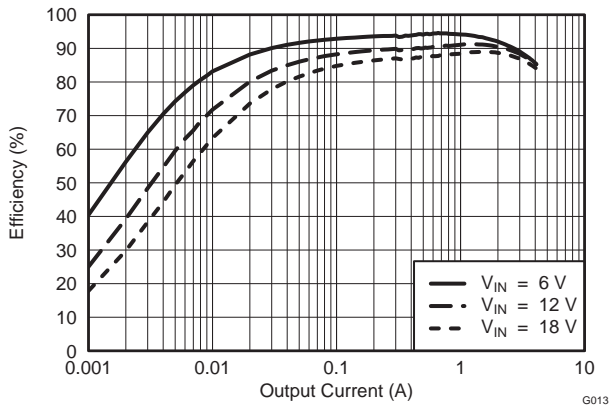


図 13. VO1 = 1.5V、効率 対 出力電流

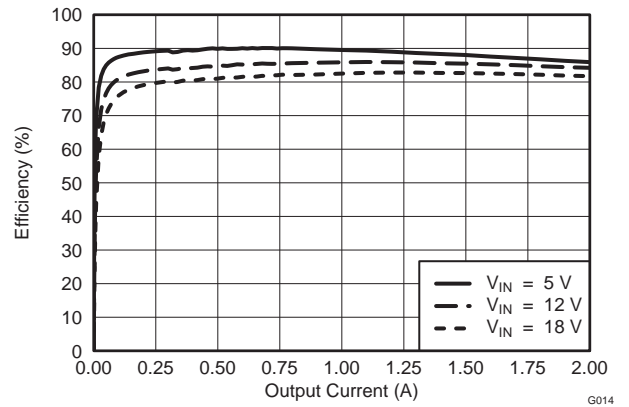


図 14. VO1 = 3.3V、効率 対 出力電流

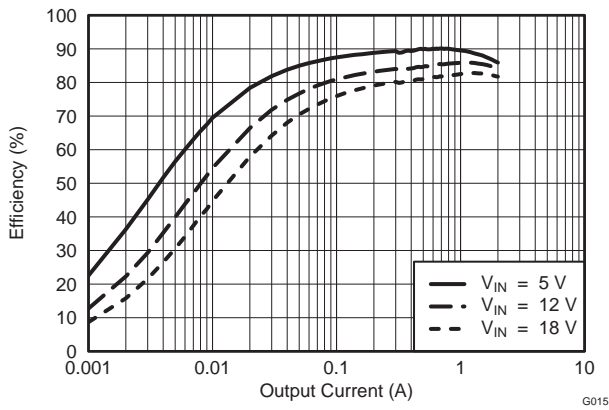


図 15. VO2 = 1.5V、効率 対 出力電流

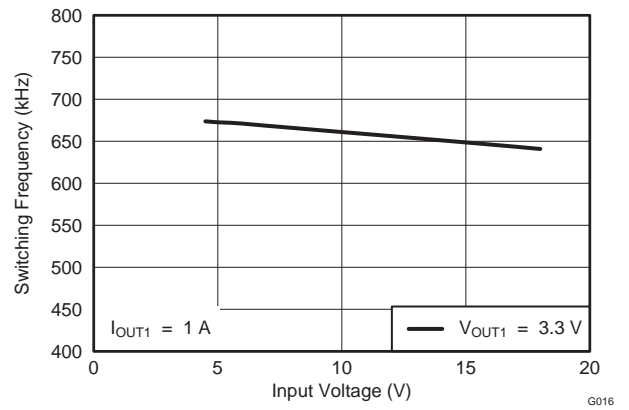


図 16. VO1 = 3.3V、スイッチング周波数 対 入力電圧

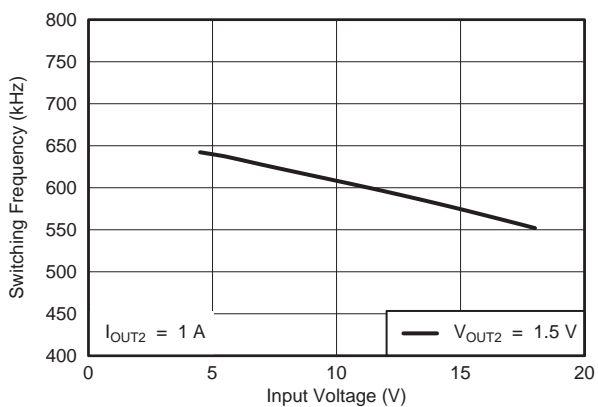


図 17. VO2 = 1.5V、スイッチング周波数 対 入力電圧

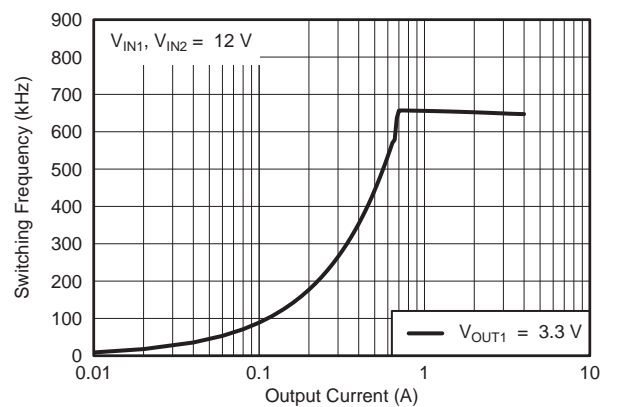


図 18. VO1 = 3.3V、スイッチング周波数 対 出力電流

標準的特性

特に記述のない限り、1つの出力がイネーブル。 $V_I = V_{IN1}$ または V_{IN2} 。 $V_{IN} = 12V$ 、 $T_A = 25^\circ C$ (特に記述のない限り)

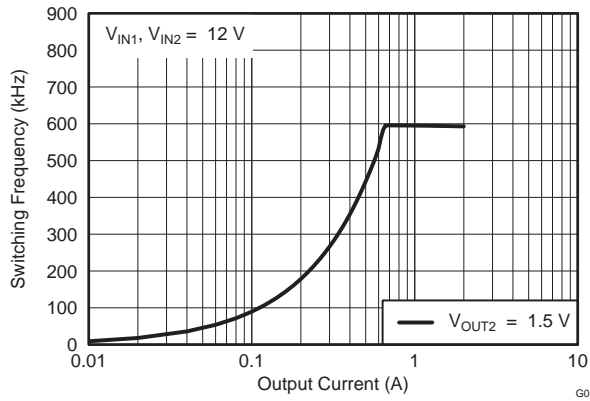


図 19. $V_{O2} = 1.5V$ 、スイッチング周波数 対 出力電流

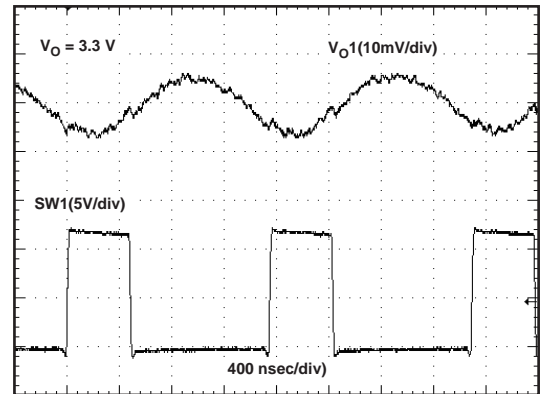


図 20. $V_{O1} = 3.3V$ 、 V_{O1} リップル電圧 ($I_{O1} = 4A$)

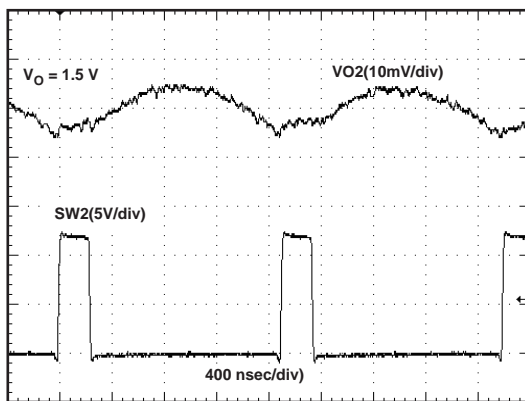


図 21. $V_{O2} = 1.5V$ 、リップル電圧 ($I_{O2} = 2A$)

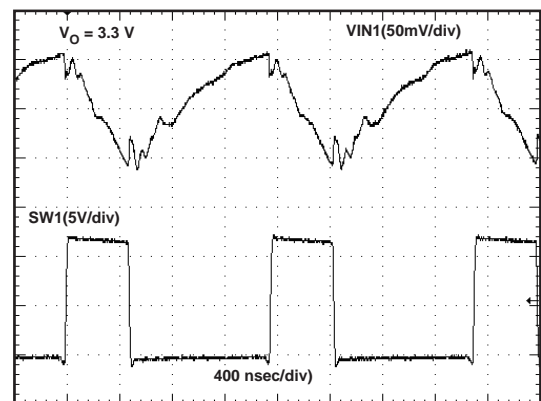


図 22. V_{IN1} 入力電圧リップル ($I_{O1} = 4A$)

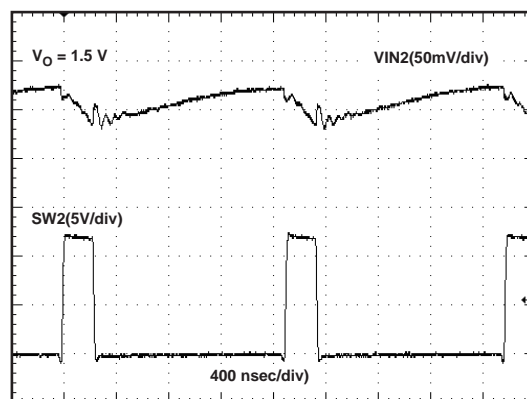


図 23. V_{IN2} 入力電圧リップル ($I_{O2} = 2A$)

設計ガイド

ステップ毎の設計手順

設計プロセスを開始するには、いくつかのアプリケーション・パラメータについて知っておく必要があります。

- 入力電圧範囲
- 出力電圧
- 出力電流

すべての式で、xは式が両方のコンバータに適用されることを示しています。計算には、スイッチング周波数の見積もりとして700kHzを使用しています。

出力電圧抵抗の選択

出力電圧は、出力ノードとVFBxピンとの間の分圧抵抗回路によって設定されます。公差1%以内の分圧抵抗を使用することを推奨します。最初は、式 (2) を使用してVOxを計算します。

非常に軽い負荷での効率を向上させるには、より大きな値の抵抗の使用を考慮します。ただし、抵抗値が大きすぎると、ノイズの影響を受けやすくなり、VFBx入力電流からの電圧誤差が目立つようになります。

$$V_{Ox} = 0.765 \text{ V} \times \left(1 + \frac{R1x}{R2x} \right) \quad (2)$$

出力フィルタの選択

TPS54494で使用する出力フィルタは、LC回路です。このLCフィルタは、下記の周波数に二重極を持ちます。

$$F_p = \frac{1}{2\pi\sqrt{L_{OUT} \times C_{OUT}}} \quad (3)$$

低周波数では、出力設定点分圧抵抗回路、およびTPS54494の内部ゲインによって、全体のループ・ゲインが設定されます。低周波数での位相は180度です。出力フィルタの極周波数では、ディケード毎にゲインが-40dBロールオフし、位相は急速に減少します。D-CAP2™によって高周波数のゼロが導入されることで、ゲインのロールオフがディケードあたり-20dBに減り、位相はゼロ周波数の1ディケード上で90度に増加します。出力フィルタに対して選択されるインダクタとコンデンサは、式 (3) の二重極が高周波ゼロより低く、かつ十分近い値 (位相ブーストが得られ、高周波ゼロによって回路安定化のための十分な位相マージンが得られるように) となるよう選択する必要があります。この要件を満足するための推奨値を表1に示します。

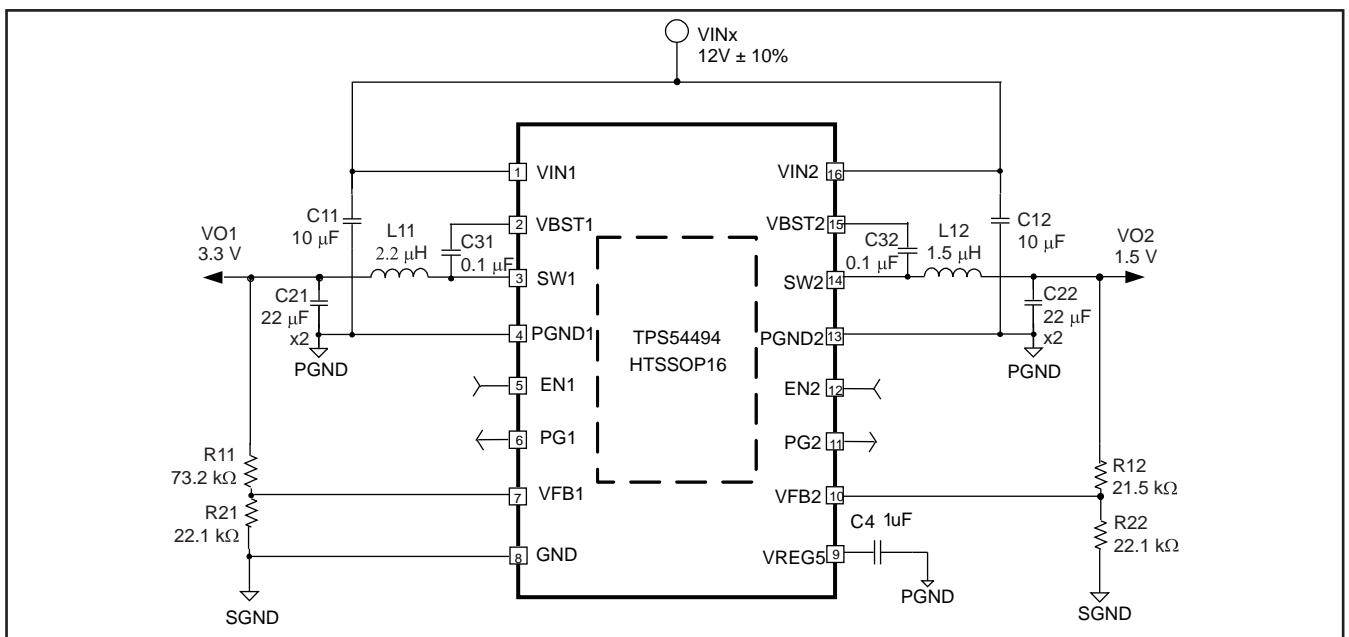


図 24. 設計例の回路図

表 1. 推奨部品値

出力電圧 (V)	R1x (kΩ)	R2x (kΩ)	Cffx (pF) ⁽¹⁾	L1x (μH)	C2x (μF)
1	6.81	22.1		1.5 - 2.2	20 - 68
1.05	8.25	22.1		1.5 - 2.2	20 - 68
1.2	12.7	22.1		1.5 - 2.2	20 - 68
1.5	21.5	22.1		1.5 - 2.2	20 - 68
1.8	30.1	22.1	5 - 22	2.2 - 3.3	20 - 68
2.5	49.9	22.1	5 - 22	2.2 - 3.3	20 - 68
3.3	73.2	22.1	5 - 22	2.2 - 3.3	20 - 68
5	124	22.1	5 - 22	4.7	20 - 68
6.5	165	22.1	5 - 22	4.7	20 - 68

(1) オプション

1.8V以上の高出力電圧では、R1と並列にフィードフォワード・コンデンサ(Cff)を追加することにより、追加の位相ブーストを実現できます。

インダクタのピーク・ツー・ピーク・リップル電流、ピーク電流、およびRMS電流は、式(4)、式(5)、および式(6)で求めることができます。インダクタの飽和電流定格は、ピーク電流の計算値より大きい必要があります。RMSまたは熱電流定格は、RMS電流の計算値より大きい必要があります。

計算には、スイッチング周波数 f_{SW} として700kHzを使用します。選択したインダクタが、式(5)のピーク電流および式(6)のRMS電流の定格を満たすことを確認してください。

$$\Delta I_{L1x} = \frac{V_{Ox}}{V_{INx(MAX)}} \times \frac{V_{INx(MAX)} - V_{Ox}}{L1x \times f_{SW}} \quad (4)$$

$$I_{Lpeakx} = I_{Ox} + \frac{\Delta I_L}{2} \quad (5)$$

$$I_{LOx(RMS)} = \sqrt{I_{Ox}^2 + \frac{1}{12} \Delta I_L^2} \quad (6)$$

この設計例では、ピーク電流の計算値が4.46A、VO1に対するRMS電流の計算値が4.01Aです。ここでは、インダクタとしてTDKのCLF7045-2R2Nを使用し、電流定格はインダクタンスの変化に対して5.5A、温度上昇に対して4.3Aです。

コンデンサの値とESRによって、出力電圧リップルの大きさが決まります。TPS54494は、セラミックまたは他の低ESRコンデンサとともに使用するよう設計されています。推奨値の範囲は20 μ F~68 μ Fです。出力コンデンサに対して必要なRMS電流定格は、式(7)で求められます。

$$I_{COx(RMS)} = \frac{V_{Ox} \times (V_{INx} - V_{Ox})}{\sqrt{12} \times V_{INx} \times L_{Ox} \times f_{SW}} \quad (7)$$

この設計では、出力コンデンサとしてTDKのC3216X5R0J226M(22 μ F)を2個使用します。標準ESRはそれぞれ2m Ω です。RMS電流の計算値は0.19Aであり、各出力コンデンサの定格は4Aです。

入力コンデンサの選択

TPS54494には、入力デカップリング・コンデンサと、アプリケーションによってはバルク・コンデンサが必要となります。デカップリング・コンデンサには、10 μ F以上のセラミック・コンデンサを推奨します。さらに、安定性を向上させ、SW_xノードでのオーバーシュートを低減するため、ピン1およびピン16とグラウンドとの間に0.1 μ Fのセラミック・コンデンサを追加することを推奨します。コンデンサの電圧定格は、最大入力電圧よりも大きい必要があります。

ブートストラップ・コンデンサの選択

適切な動作のためには、VBST_xピンとSW_xピンの間に0.1 μ Fのセラミック・コンデンサを接続する必要があります。X5R以上の誘電体を持つセラミック・コンデンサの使用を推奨します。

VREG5コンデンサの選択

適切な動作のためには、VREG5ピンとGNDピンの間に1 μ Fのセラミック・コンデンサを接続する必要があります。X5R以上の誘電体を持つセラミック・コンデンサの使用を推奨します。

熱特性について

この16ピンPWPパッケージには、露出したサーマル・パッドがあります。このサーマル・パッドは、プリント基板(PCB)に直接半田付けする必要があります。半田付け後は、PCBをヒートシンクとして使用します。また、サーマル・ビアを使用して、サーマル・パッドをデバイスの回路図に示された適切な銅プレーンに直接接続するか、あるいはPCB内に設計された特別なヒートシンク構造に接続することができます。この設計により、ICからの熱伝導が最適化されます。

露出したサーマル・パッドについての追加情報およびその熱放散能力の利用法については、テクニカル・ブリーフ『PowerPAD™ Thermally Enhanced Package』(TI文献番号SLMA002)およびアプリケーション・ブリーフ『PowerPAD™ Made Easy』(TI文献番号SLMA004)を参照してください。

このパッケージの露出したサーマル・パッドの寸法を次の図に示します。

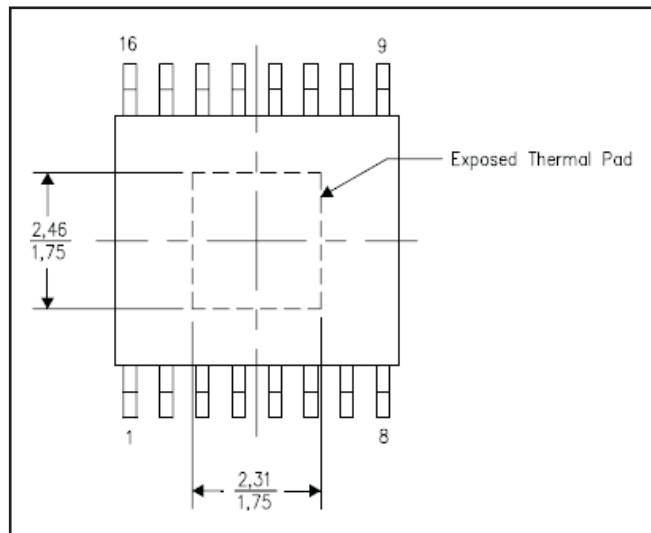


図 25. サーマル・パッドの寸法

レイアウトに関する考慮事項

1. 入力電流ループは可能な限り小さくします。また、サーマル・パッドには入力スイッチング電流が流れないようにします。
2. 寄生容量およびインダクタンスを低減し、放射を最小限に抑えるために、SWノードは物理的に可能な限り小さく、かつ短くします。
3. アナログ部品と非スイッチング部品は、スイッチング部品から離して配置します。
4. 信号グランドと電源グランドは一点接続します。
5. デバイスの下をスイッチング電流が流れないようにします。
6. VINxおよびPGNDxのパターン・ラインを幅広くします。
7. デバイスの露出したパッドは、PGNDに半田付けする必要があります。
8. VREG5コンデンサは、デバイスの近くに配置し、GNDに接続する必要があります。
9. 出力コンデンサは、幅広いパターンでPGNDに接続する必要があります。
10. 電圧帰還ループはできる限り短くし、可能であればグランド・シールドを使用します。
11. 出力とデバイスの帰還ピンとの間には、ケルビン接続を使用します。
12. VIN、SW、およびPGND接続に対しては、十分なビアを設けることを推奨します。
13. VIN、SW、およびPGNDのPCBパターンは、可能な限り幅広くします。
14. VINコンデンサは、可能な限りデバイスの近くに配置します。

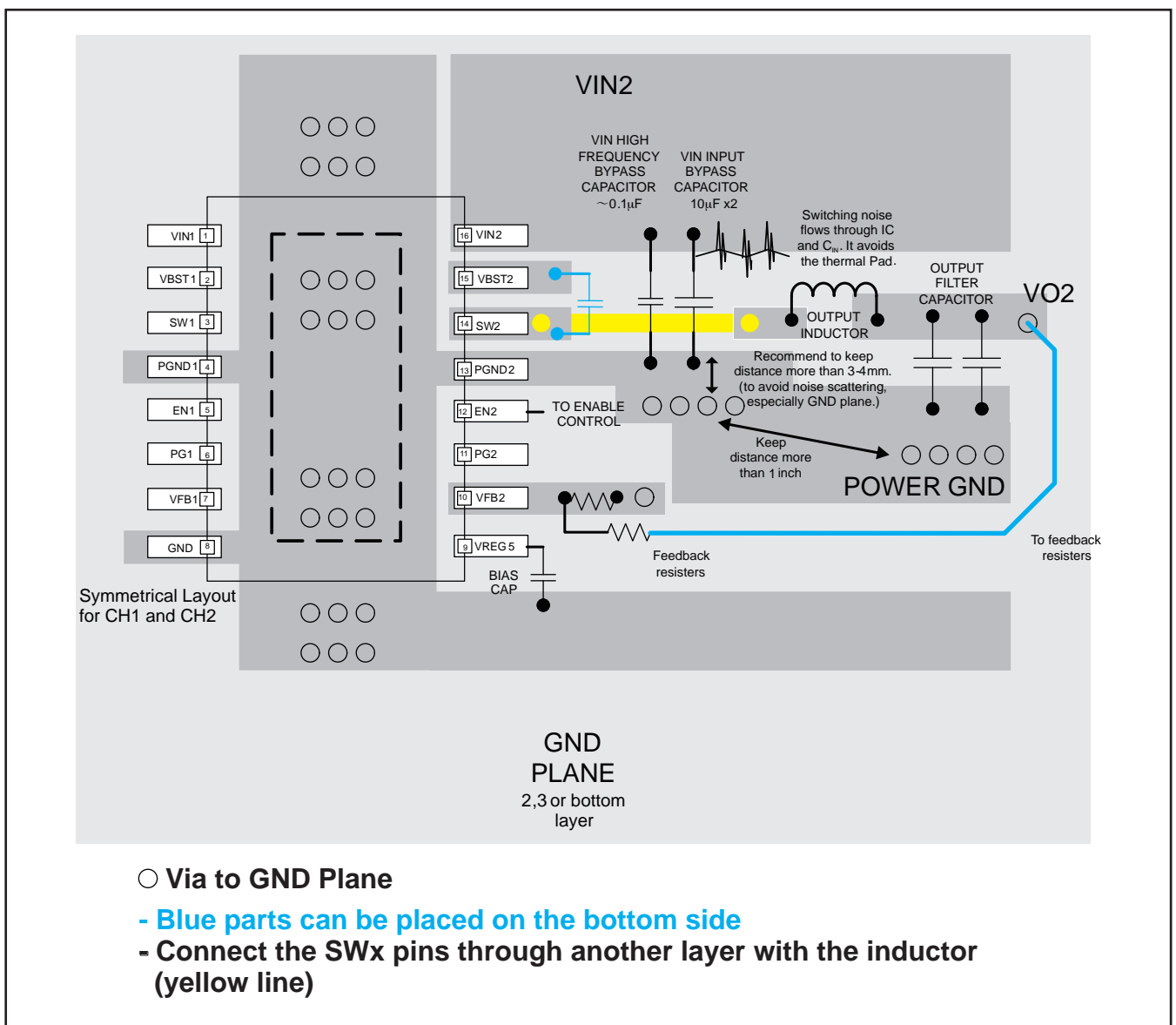


図 26. TPS54494のレイアウト

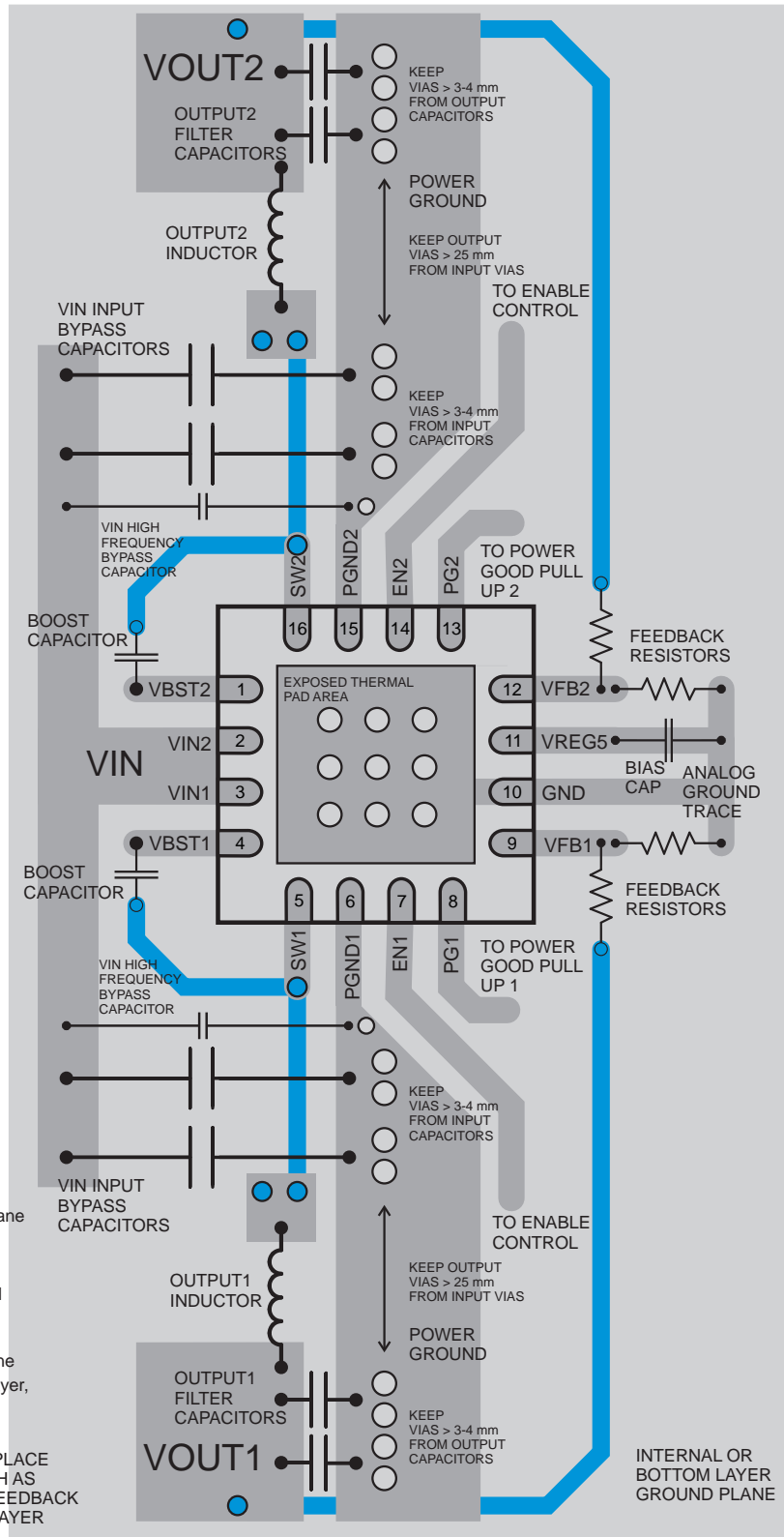


図 27. RSAパッケージのレイアウト

パッケージ情報

製品情報

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead/Ball Finish	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
TPS54494PWP	ACTIVE	HTSSOP	PWP	16	90	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 85	PS54494	Samples
TPS54494PWPR	ACTIVE	HTSSOP	PWP	16	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 85	PS54494	Samples
TPS54494RSAR	ACTIVE	QFN	RSA	16	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 85	TPS54494	Samples
TPS54494RSAT	ACTIVE	QFN	RSA	16	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 85	TPS54494	Samples

⁽¹⁾ マーケティング・ステータスは次のように定義されています。

ACTIVE: 製品デバイスが新規設計用に推奨されています。

LIFEBUY: TIによりデバイスの生産中止予定が発表され、ライフタイム購入期間が有効です。

NRND: 新規設計用に推奨されていません。デバイスは既存の顧客をサポートするために生産されていますが、TIでは新規設計にこの部品を使用することを推奨していません。

PREVIEW: デバイスは発表済みですが、まだ生産が開始されていません。サンプルが提供される場合と、提供されない場合があります。

OBsolete: TIによりデバイスの生産が中止されました。

⁽²⁾ エコ・プラン - 環境に配慮した製品分類プランであり、Pb-Free (RoHS)、Pb-Free (RoHS Expert) および Green (RoHS & no Sb/Br) があります。最新情報および製品内容の詳細については、<http://www.ti.com/productcontent> でご確認ください。

TBD: Pb-Free/Green変換プランが策定されていません。

Pb-Free (RoHS): TIにおける“Lead-Free”または“Pb-Free” (鉛フリー) は、6つの物質すべてに対して現在のRoHS要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が0.1%を超えないという要件も含まれます。高温で半田付けするように設計されている場合、TIの鉛フリー製品は指定された鉛フリープロセスでの使用に適しています。

Pb-Free (RoHS Exempt): この部品は、1) ダイとパッケージの間に鉛ベースの半田バンブ使用、または 2) ダイとリードフレーム間に鉛ベースの接着剤を使用、が除外されています。それ以外は上記の様にPb-Free (RoHS) と考えられます。

Green (RoHS & no Sb/Br): TIにおける“Green”は、“Pb-Free” (RoHS互換) に加えて、臭素 (Br) およびアンチモン (Sb) をベースとした難燃材を含まない (均質な材質中のBrまたはSb重量が0.1%を超えない) ことを意味しています。

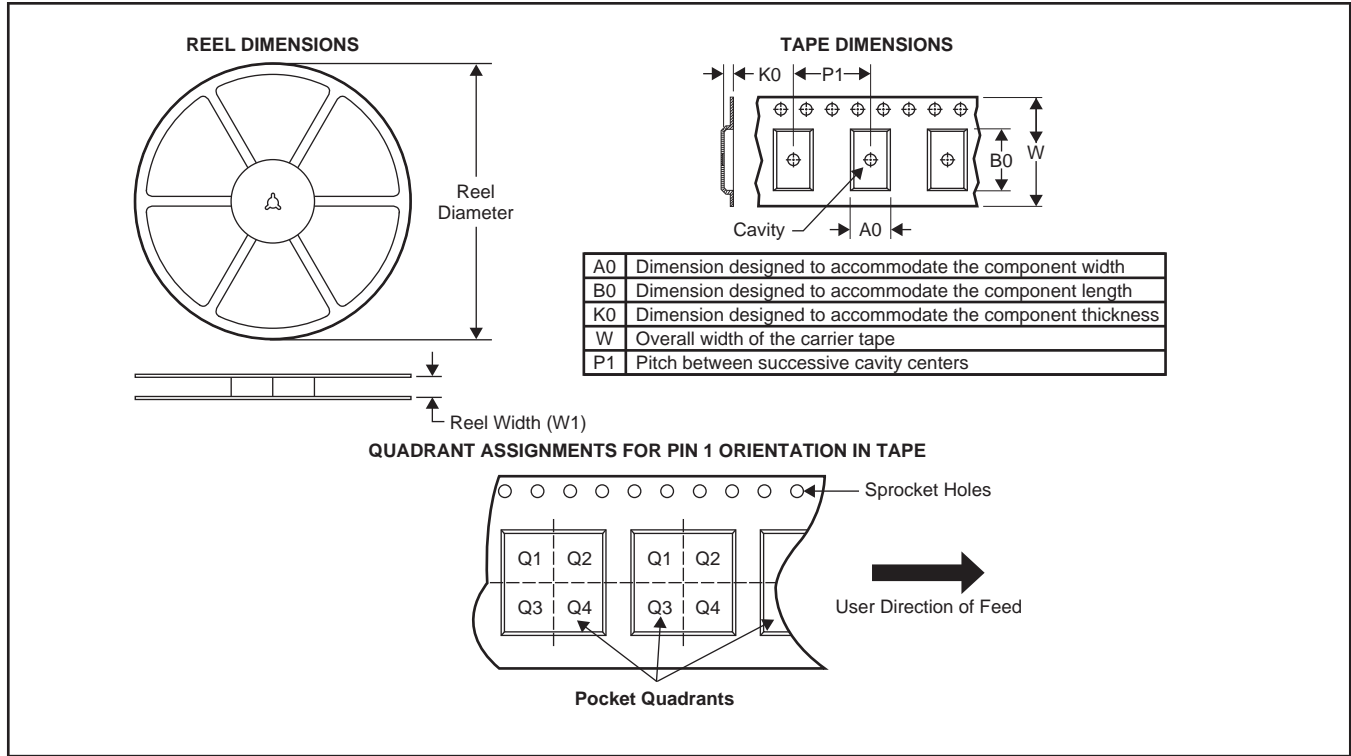
⁽³⁾ MSL、ピーク温度 -- JEDEC業界標準分類に従った耐湿性レベル、およびピーク半田温度です。

重要な情報および免責事項: このページに記載された情報は、記載された日付時点でのTIの知識および見解を表しています。TIの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行うものではありません。第三者からの情報をより良く統合するための努力は続けております。TIでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。TIおよびTI製品の供給者は、特定の情報を機密情報として扱っているため、CAS番号やその他の制限された情報が公開されない場合があります。

TIは、いかなる場合においても、かかる情報により発生した損害について、TIがお客様に1年間に販売した本書記載の問題となった TIパーツの購入価格の合計金額を超える責任は負いかねます。

パッケージ・マテリアル情報

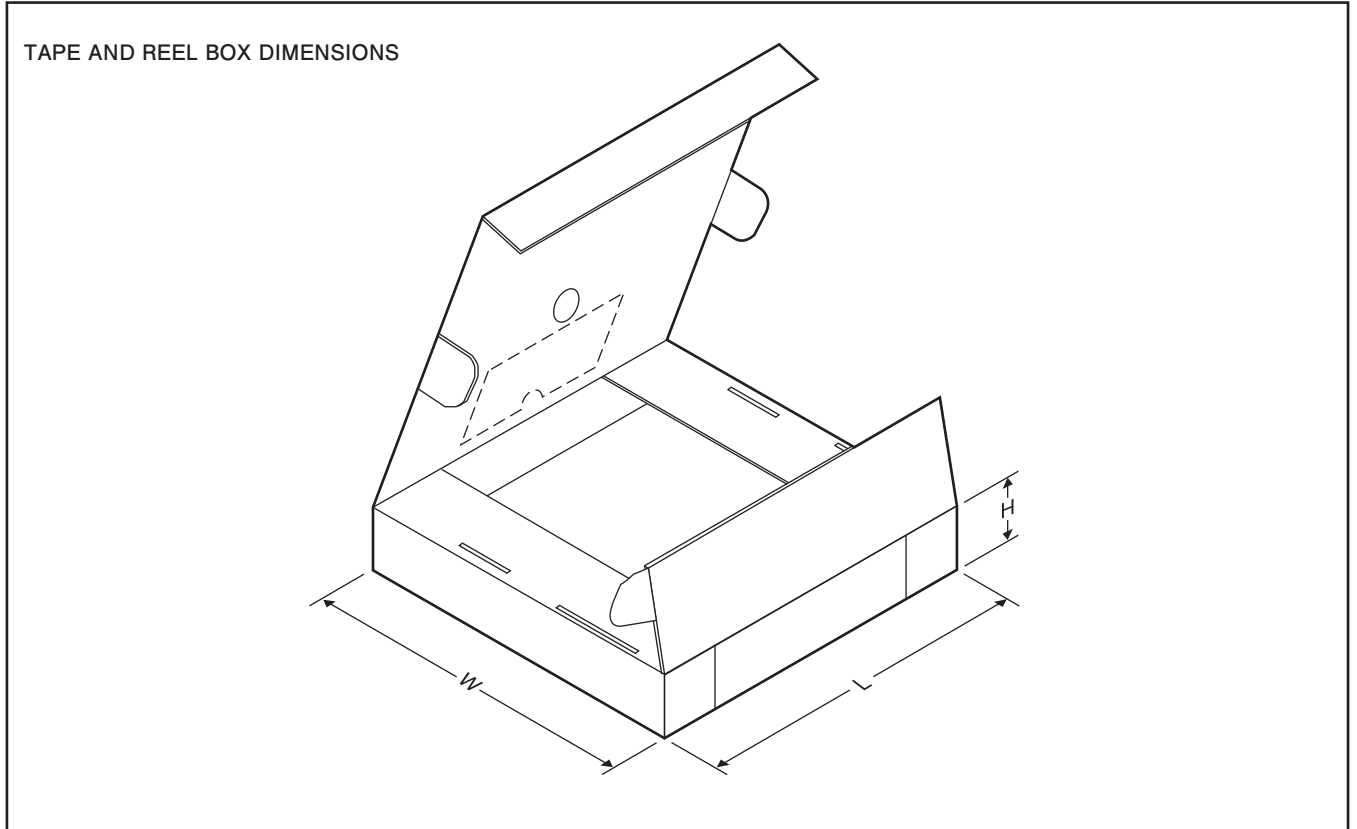
テープおよびリール・ボックス情報



*All dimensions are nominal

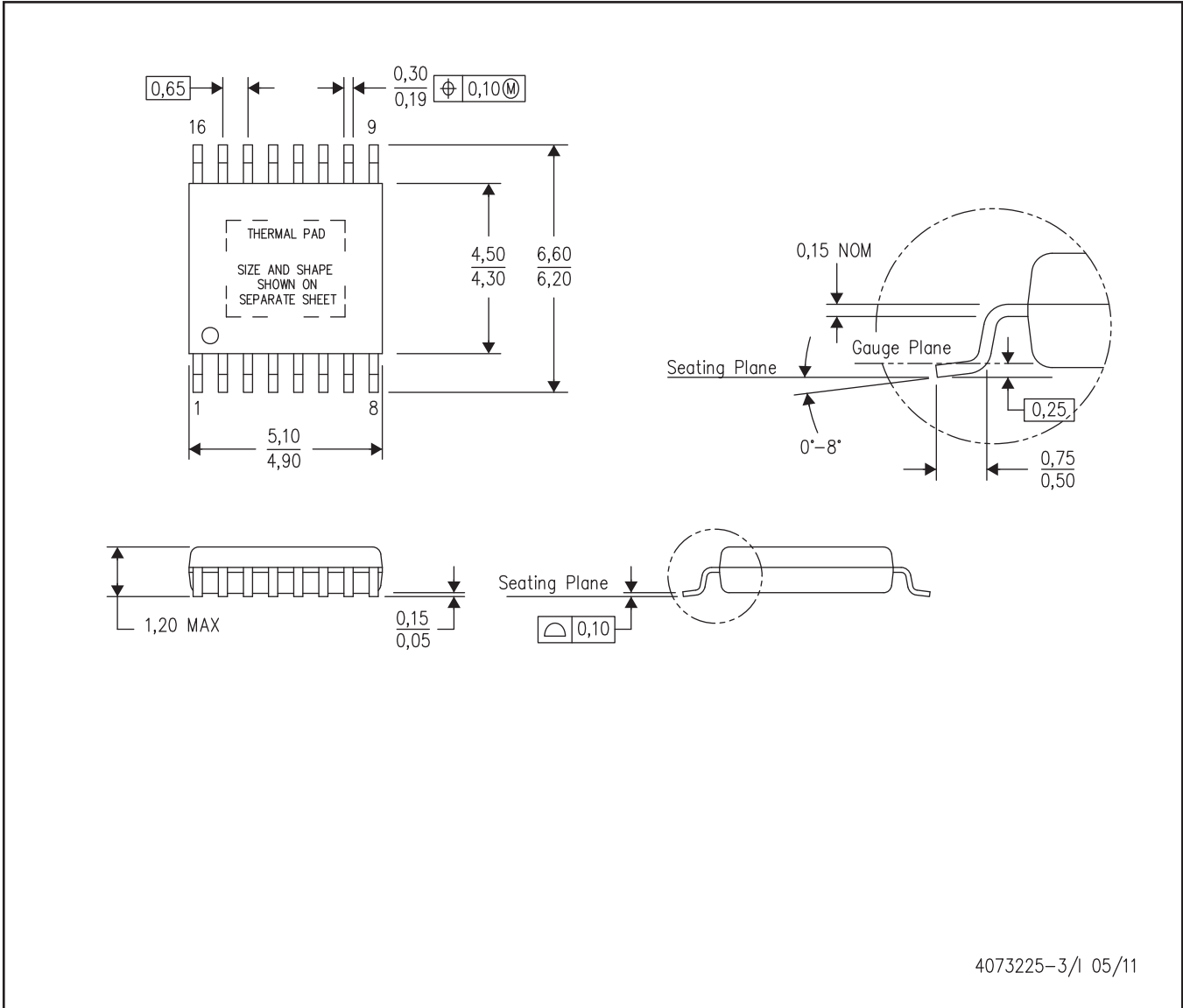
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS54494PWPR	HTSSOP	PWP	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
TPS54494RSAR	QFN	RSA	16	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
TPS54494RSAT	QFN	RSA	16	250	180.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2

パッケージ・マテリアル情報



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS54494PWPR	HTSSOP	PWP	16	2000	367.0	367.0	35.0
TPS54494RSAR	QFN	RSA	16	3000	367.0	367.0	35.0
TPS54494RSAT	QFN	RSA	16	250	210.0	185.0	35.0



4073225-3/1 05/11

- 注：A. 直線寸法はすべてミリメートル単位です。
 B. 本図は予告なしに変更することがあります。
 C. ボディ寸法には、0.15mmを超えるモールド・フラッシュや突起は含まれません。
 D. このパッケージは、基板上的のサーマル・パッドに半田付けされるように設計されています。推奨基板レイアウトについては、テクニカル・ブリーフ『PowerPAD Thermally Enhanced Package』(TI文献番号SLMA002)を参照してください。これらのドキュメントは、ホームページwww.ti.comで入手できます。
 E. 露出サーマルパッドの寸法に関する詳細は、製品データシートをご覧ください。
 F. JEDEC MO-153に準拠します。

サーマルパッド・メカニカル・データ

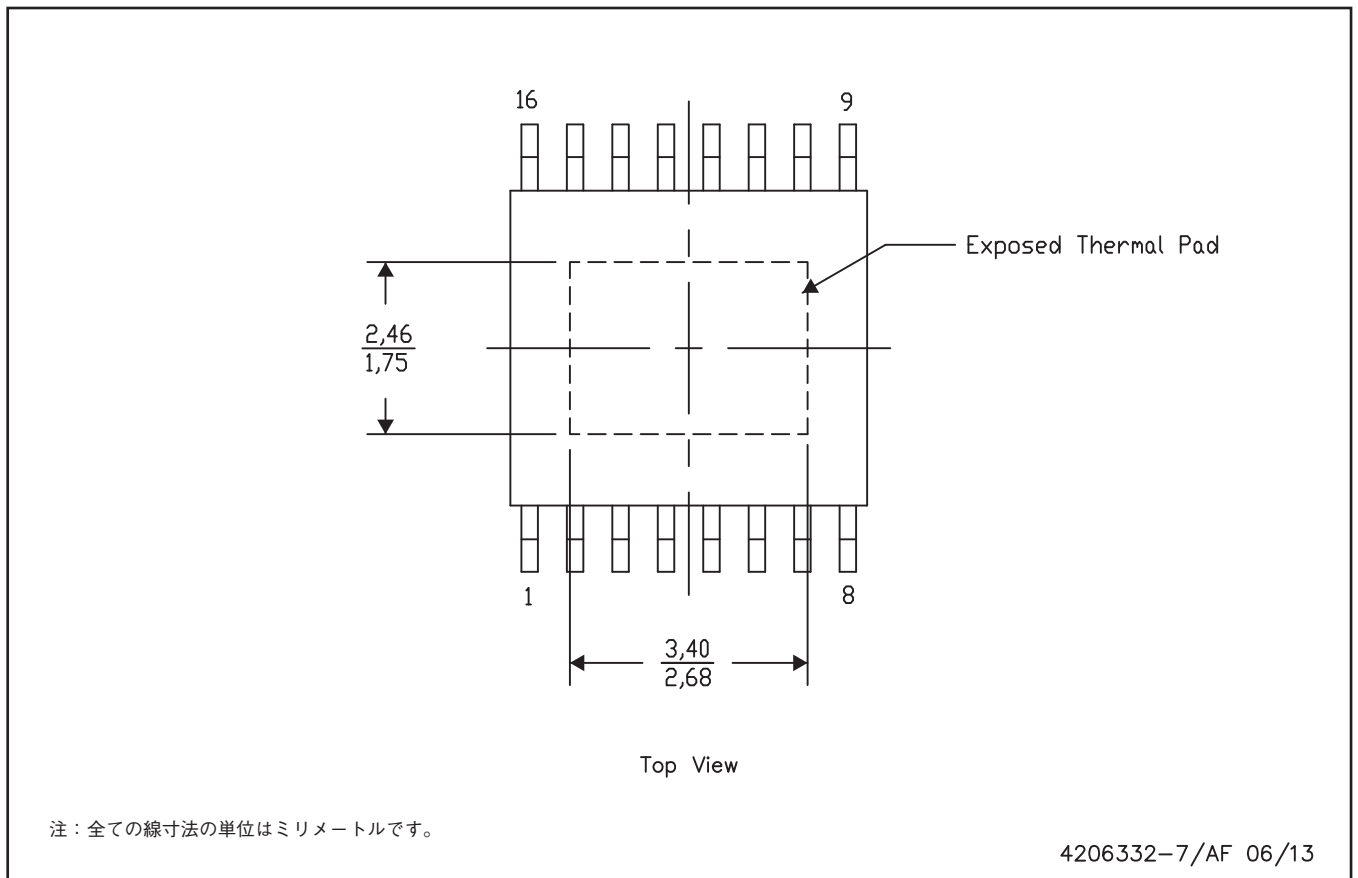
PWP(R-PDSO-G16)

熱的特性に関する資料

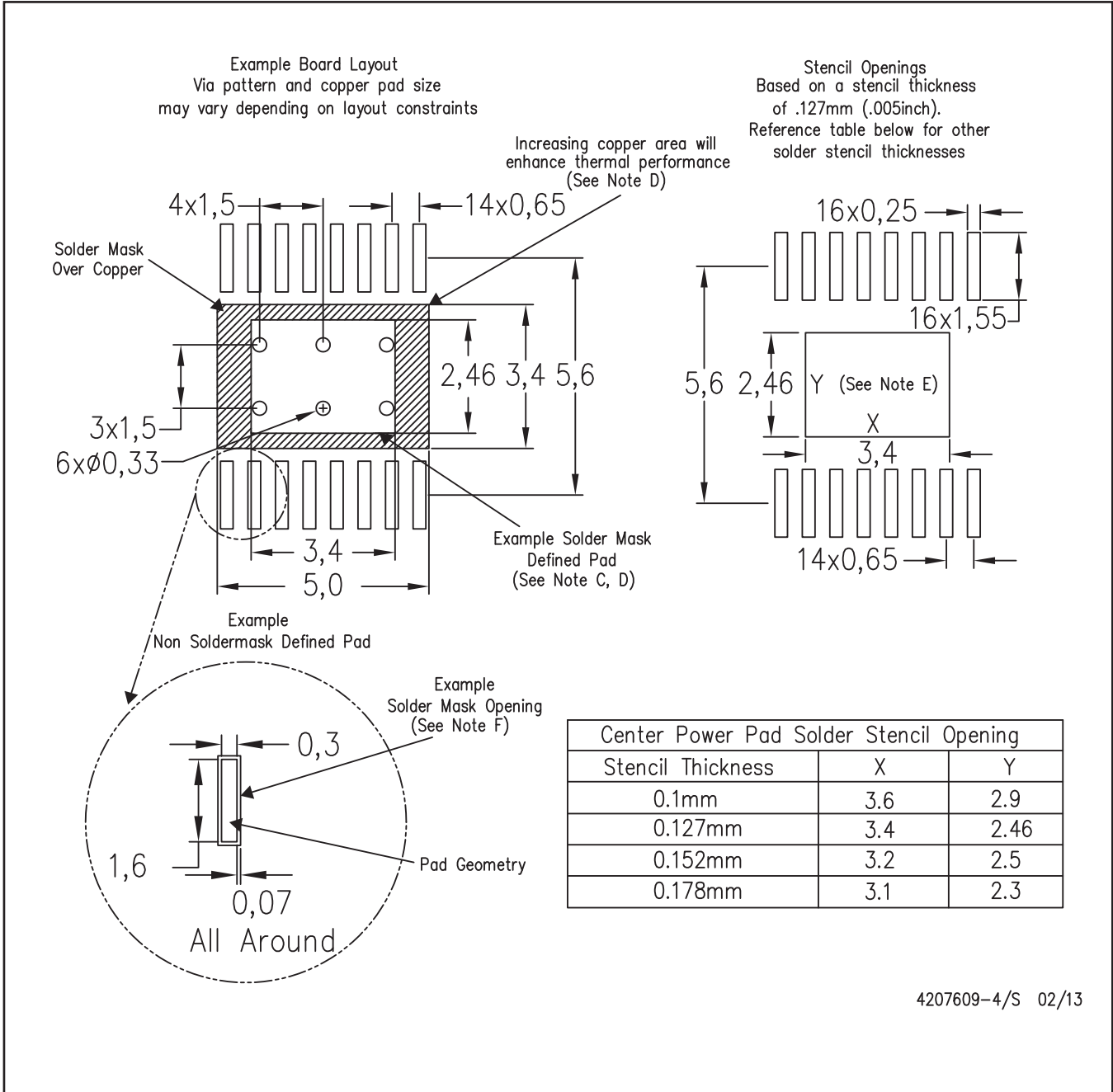
このPowerPAD™パッケージには、外部ヒートシンクに直接接続するように設計された、露出したサーマルパッドが装備されています。このサーマルパッドは、プリント基板(PCB)に直接半田付けする必要があります。半田付け後は、PCBをヒートシンクとして使用できます。また、サーマルビアを使用して、サーマルパッドをデバイスの回路図に示された適切な銅プレーンに直接接続するか、あるいはPCB内に設計された特別なヒートシンク構造に接続することができます。この設計により、ICからの熱伝導が最適化されます。

PowerPAD™パッケージについての追加情報およびその熱放散能力の利用法については、テクニカル・ブリーフ『PowerPAD Thermally Enhanced Package』(TI文献番号SLMA002)およびアプリケーション・ブリーフ『PowerPAD Made Easy』(TI文献番号SLMA004)を参照してください。いずれもホームページwww.ti.comで入手できます。

このパッケージの露出したサーマルパッドの寸法を次の図に示します。

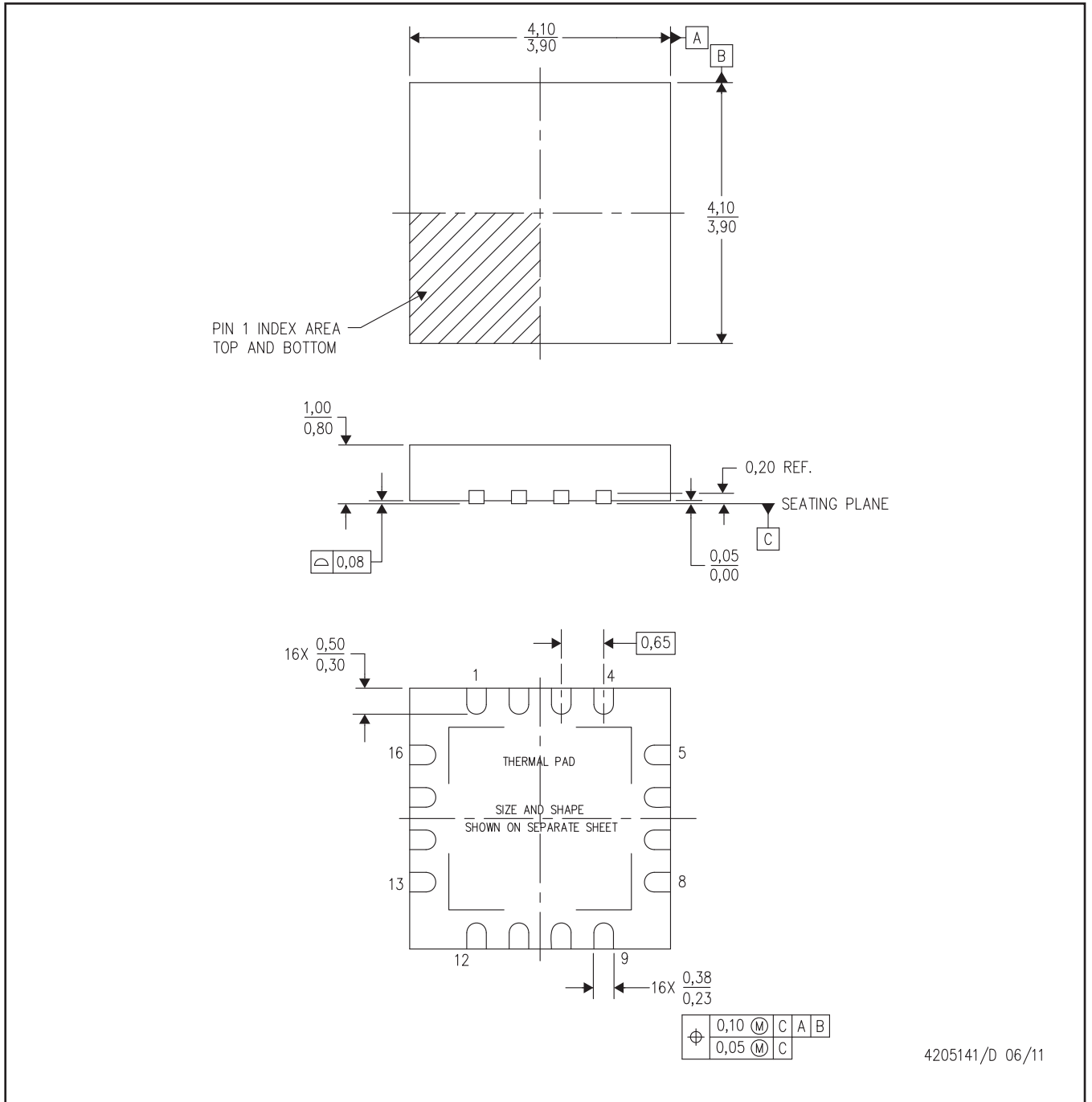


サーマルパッド寸法図



4207609-4/S 02/13

- 注：A. 全ての線寸法の単位はミリメートルです。
 B. 図は予告なく変更することがあります。
 C. 中央の半田マスク定義パッドを変更しないように、回路基板組み立て図に注記を書き込んでください。
 D. このパッケージは、基板上的のサーマルパッドに半田付けされるように設計されています。推奨基板レイアウトについては、テクニカルブリーフ「PowerPAD Thermally Enhanced Package」(TI文献番号SLMA002)を参照してください。これらのドキュメントは、ホームページwww.ti.comで入手できます。代替設計については、資料IPC-7351を推奨します。
 E. レーザ切断開口部の壁面を台形にし、角に丸みを付けることで、ペーストの離れがよくなります。ステンシル設計要件については、基板組み立て拠点にお問い合わせください。例に示したステンシル設計は、50%容積のメタルロード半田ペーストに基づいています。ステンシルに関する他の推奨事項については、IPC-7525を参照してください。
 F. 信号パッド間および信号パッド周囲の半田マスク許容差については、基板組み立て拠点にお問い合わせください。



4205141/D 06/11

- 注：A. 直線寸法はすべてミリメートル単位です。寸法および許容誤差は、ASME Y14.5M-1994によります。
 B. 本図は予告なしに変更することがあります。
 C. QFN(クワッド・フラットパック・ノーリード)パッケージ構造。
 D. パッケージのサーマルパッドは、熱的および機構的特性を得るために基板に半田付けする必要があります。
 E. 露出サーマルパッドの寸法に関する詳細は、製品データシートをご覧ください。
 F. JEDEC MO-220に準拠します。

サーマルパッド・メカニカル・データ

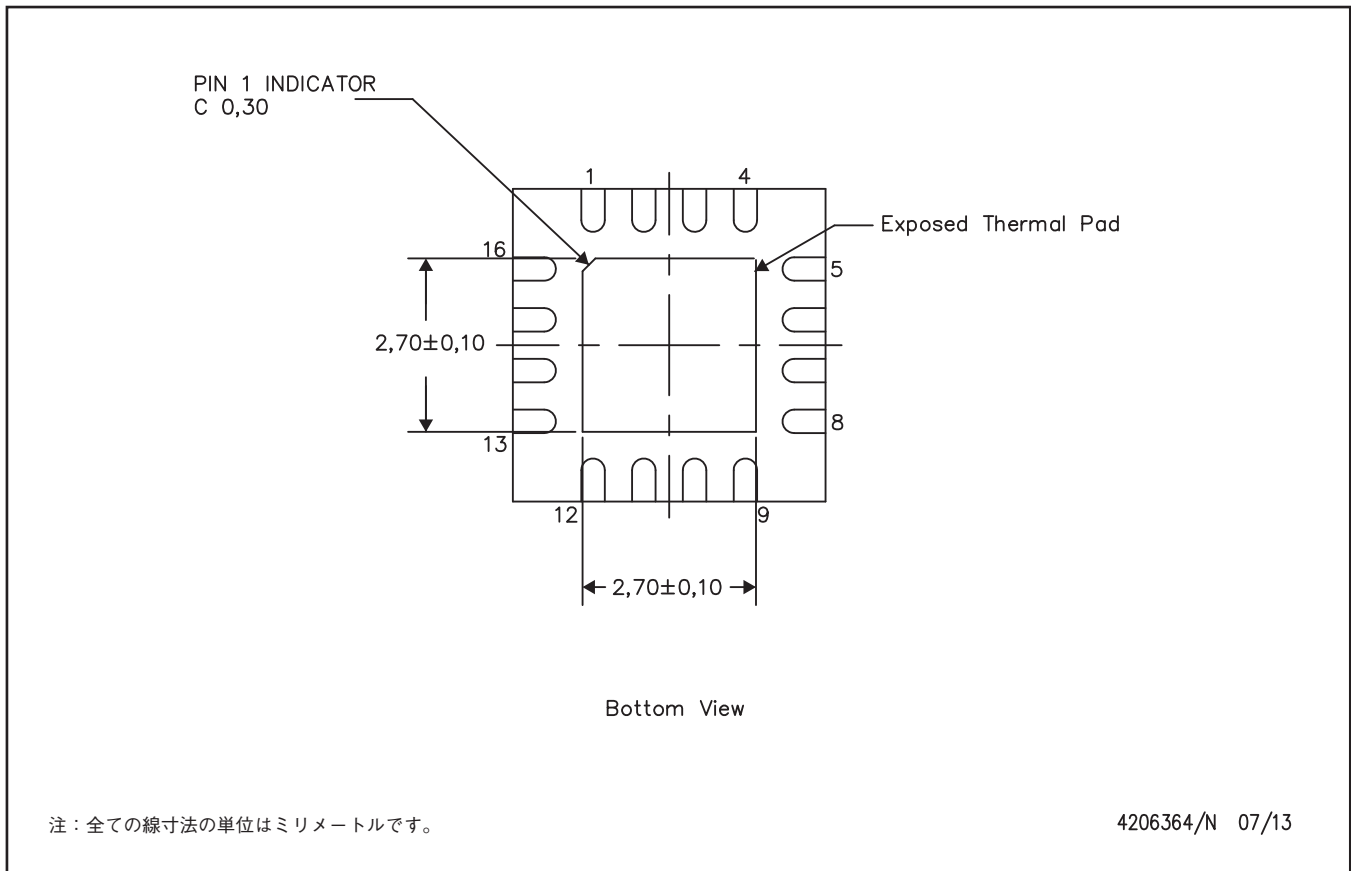
RSA (S-PVQFN-N16)

熱的特性に関する資料

このパッケージは外部のヒートシンクに直接接続できるように設計された露出したサーマルパッドをもっています。サーマルパッドはプリント回路基板 (PCB) に直接はんだ付けされなければなりません。はんだ付けされることにより、PCBはヒートシンクとして使用できます。さらに、サーマルビアを使用することにより、サーマルパッドはグランドまたは電源プレーン (どちらか当てはまる方)、またはもう1つの方法としてPCBに設計された特別なヒートシンク構造に直接接続することができます。この設計により、集積回路 (IC) からの熱の移動が最適化されます。

クワッド・フラットパック・ノーリード (QFN) パッケージとその利点についての情報はアプリケーション・レポート “QuadFlatpack No-Lead Logic Packages” TI文献番号SLUA271を参照してください。この文献はホームページ www.ti.com で入手できます。

このパッケージのサーマルパッドの寸法は以下の図に示されています。

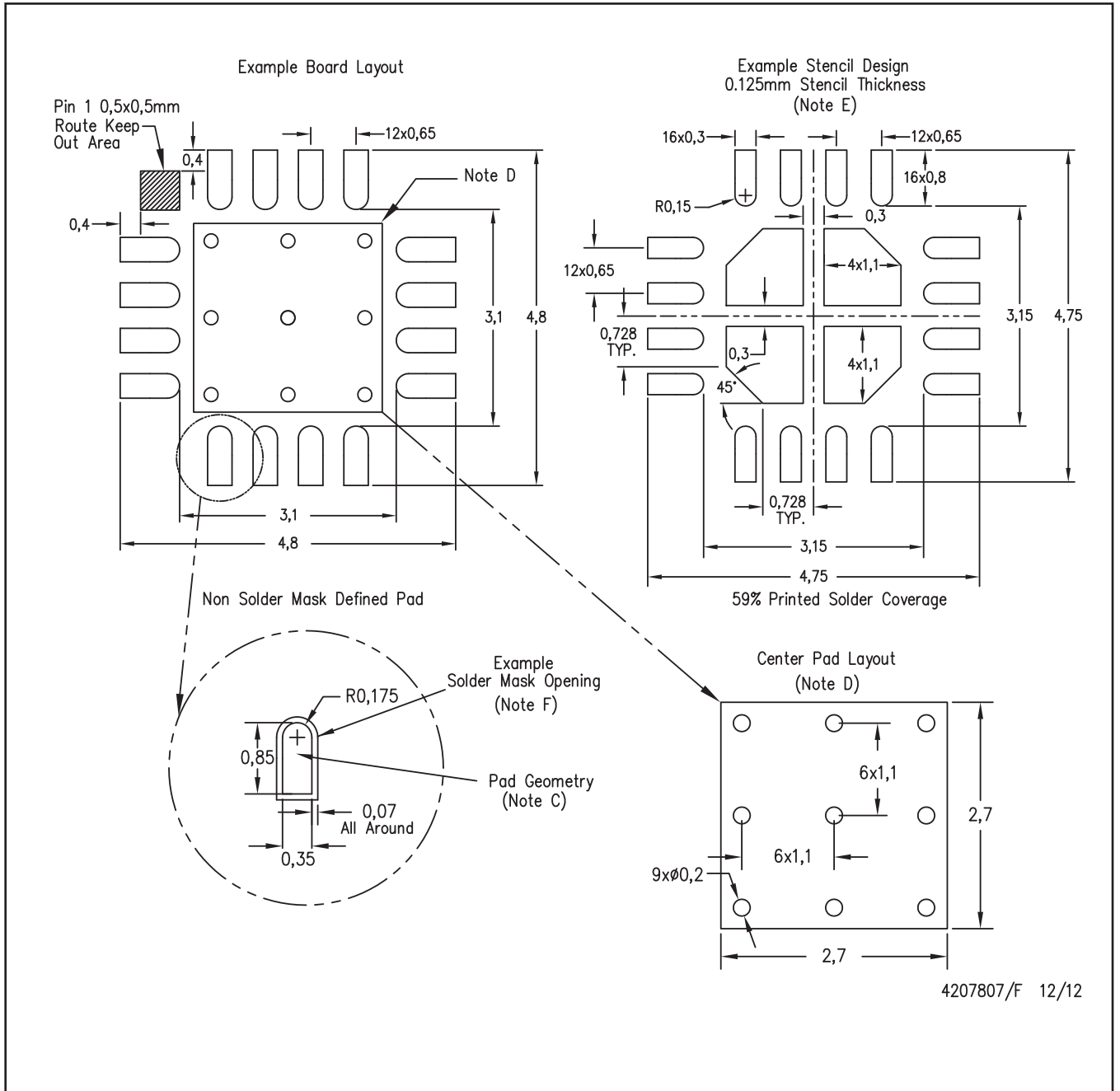


サーマルパッド寸法図

ランド・パターン

RSA(S-PVQFN-N16)

PLASTIC QUAD FLATPACK NO-LEAD



- 注：A. 全ての線寸法の単位はミリメートルです。
 B. 図は予告なく変更することがあります。
 C. 中央の半田マスク定義パッドを変更しないように、回路基板組み立て図に注記を書き込んでください。
 D. このパッケージは、基板上的サーマルパッドに半田付けされるように設計されています。推奨基板レイアウトについては、テクニカルブリーフ『PowerPAD Thermally Enhanced Package』(TI文献番号SLMA002)を参照してください。これらのドキュメントは、ホームページwww.ti.comで入手できます。代替設計については、資料IPC-7351を推奨します。
 E. レーザ切断開口部の壁面を台形にし、角に丸みを付けることで、ペーストの離れがよくなります。ステンシル設計要件については、基板組み立て拠点にお問い合わせください。例に示したステンシル設計は、50%容積のメタルロード半田ペーストに基づいています。ステンシルに関する他の推奨事項については、IPC-7525を参照してください。
 F. 信号パッド間および信号パッド周囲の半田マスク許容差については、基板組み立て拠点にお問い合わせください。

4207807/F 12/12

(SLVSBH1B)

ご注意

Texas Instruments Incorporated 及びその関連会社 (以下総称して TI といいます) は、最新の JESD46 に従いその半導体製品及びサービスを修正し、改善、改良、その他の変更をし、又は最新の JESD48 に従い製品の製造中止またはサービスの提供を中止する権利を留保します。お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての半導体製品は、ご注文の受諾の際に提示される TI の標準販売契約約款に従って販売されます。

TI は、その製品が、半導体製品に関する TI の標準販売契約約款に記載された保証条件に従い、販売時の仕様に対応した性能を有していることを保証します。検査及びその他の品質管理技法は、TI が当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、適用される法令によってそれ等の実行が義務づけられている場合を除き、必ずしも行なわれておりません。

TI は、製品のアプリケーションに関する支援又はお客様の製品の設計について責任を負うことはありません。TI 製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI 製部品を使用したお客様の製品及びアプリケーションに関連する危険を最小のものとするため、適切な設計上及び操作上の安全対策は、お客様にてお取り下さい。

TI は、TI の製品又はサービスが使用されている組み合わせ、機械装置、又は方法に関連している TI の特許権、著作権、回路配置利用権、その他の TI の知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TI が第三者の製品もしくはサービスについて情報を提供することは、TI が当該製品又はサービスを使用することについてライセンスを与えるとか、保証又は是認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない、又は TI の特許その他の知的財産権に基づき TI からライセンスを得て頂かなければならない場合もあります。

TI のデータ・ブック又はデータ・シートの中にある情報の重要な部分の複製は、その情報に一切の変更を加えること無く、且つその情報と関連する全ての保証、条件、制限及び通知と共になされる限りにおいてのみ許されるものとします。TI は、変更が加えられて文書化されたものについては一切責任を負いません。第三者の情報については、追加的な制約に服する可能性があります。

TI の製品又はサービスについて TI が提示したパラメーターと異なる、又は、それを超えてなされた説明で当該 TI 製品又はサービスを再販売することは、関連する TI 製品又はサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、且つ不公正で誤認を生じさせる行為です。TI は、そのような説明については何の義務も責任も負いません。

TI からのアプリケーションに関する情報提供又は支援の一切に拘わらず、お客様は、ご自身の製品及びご自身のアプリケーションにおける TI 製品の使用に関する法的責任、規制、及び安全に関する要求事項の全てにつき、これをご自身で遵守する責任があることを認め、且つそのことに同意します。お客様は、想定される不具合がもたらす危険な結果に対する安全対策を立案し実行し、不具合及びその帰結を監視し、害を及ぼす可能性のある不具合の可能性を低減し、及び、適切な治癒措置を講じるために必要な専門的知識の一切を自ら有することを表明し、保証します。お客様は、TI 製品を安全でないことが致命的となるアプリケーションに使用したことから生じる損害の一切につき、TI 及びその代表者にその全額の補償をするものとします。

TI 製品につき、安全に関連するアプリケーションを促進するために特に宣伝される場合があります。そのような製品については、TI が目的とするところは、適用される機能上の安全標準及び要求事項を満たしたお客様の最終製品につき、お客様が設計及び製造ができるようお手伝いすることにあります。それにも拘わらず、当該 TI 製品については、前のパラグラフ記載の条件の適用を受けるものとします。

FDA クラス III (又は同様に安全でないことが致命的となるような医療機器) への TI 製品の使用は、TI とお客様双方の権限ある役員の間で、そのような使用を行う際について規定した特殊な契約書を締結した場合を除き、一切認められていません。

TI が軍需対応グレード品又は「強化プラスチック」製品として特に指定した製品のみが軍事用又は宇宙航空用アプリケーション、若しくは、軍事的環境又は航空宇宙環境にて使用されるように設計され、かつ使用されることを意図しています。お客様は、TI がそのように指定していない製品を軍事用又は航空宇宙用を使う場合は全てご自身の危険負担において行うこと、及び、そのような使用に関して必要とされるすべての法的要求事項及び規制上の要求事項につきご自身のみの責任により満足させることを認め、且つ同意します。

TI には、主に自動車用に使われることを目的として、ISO/TS 16949 の要求事項を満たしているとして特別に指定した製品があります。当該指定を受けていない製品については、自動車用に使われるようには設計されてもいませんし、使用されることを意図しておりません。従いまして、前記指定品以外の TI 製品が当該要求事項を満たしていなかったことについては、TI はいかなる責任も負いません。

Copyright © 2013, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位 (外装から取り出された内装及び個装) 又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で (導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度: 0~40℃、相対湿度: 40~85% で保管・輸送及び取り扱を行うこと。(但し、結露しないこと。)

- 直射日光があたる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品 (外装、内装、個装) 及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限 260℃ 以上の高温状態に、10 秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質 (硫黄、塩素等ハロゲン) のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上