

# TPS546D24 2.95V~16V、40A、最大4xスタックブル、PMBus®降圧コンバータ

## 1 特長

- 分割レール対応：2.95V~16V PVIN、2.95V~18V AVIN（4V<sub>IN</sub> VDD5によるスイッチング）
- 4.5mΩ/0.9mΩのMOSFET内蔵
- 平均電流モード制御、内部補償を選択可能
- 2x、3x、4xスタックブルで最大160Aのカレント・シェア（電流共有）、出力ごとに1つのアドレスをサポート
- 選択可能な出力：ピン・ストラップで0.6V~5.5V、PMBusのVOUT\_COMMANDで0.25V~5.5V
- 豊富なPMBusコマンド・セット、V<sub>OUT</sub>、I<sub>OUT</sub>、内部ダイ温度のテレメトリ
- 内蔵FB分圧器による差動リモート・センシングで1%未満のV<sub>OUT</sub>誤差（T<sub>J</sub> = -40°C~+150°C）を実現
- PMBusによるAVSおよびマージニング機能
- MSELピンによるPMBusデフォルト値のピン設定
- 225kHz~1.5MHzで12のスイッチング周波数を選択可能（8つのピン・ストラップ・オプション）
- 周波数同期入力/同期出力
- プリバイアス出力をサポート
- 強結合インダクタをサポート
- 7mmx5mmx1.5mm、40ピンQFN、ピッチ=0.5mm
- WEBENCH® Power Designerにより、TPS546D24を使用するカスタム設計を作成

## 2 アプリケーション

- データ・センター・スイッチ、ラック・サーバー
- アクティブ・アンテナ・システム、リモート無線・ベースバンド・ユニット
- 自動試験装置、CT、PET、MRI
- ASIC、SoC、FPGA、DSPコア、I/O電圧

## 3 概要

TPS546D24は高度に統合された非絶縁型DC/DCコンバータであり、7mmx5mmのパッケージで高周波動作と40Aの電流出力を実現します。2個、3個、4個のTPS546D24を相互に接続して、単一出力で最大160Aを供給できます。VDD5ピンを介して外部5V電源で内蔵5V LDOをオーバードライブできるため、コンバータの効率向上と消費電力低減が可能です。

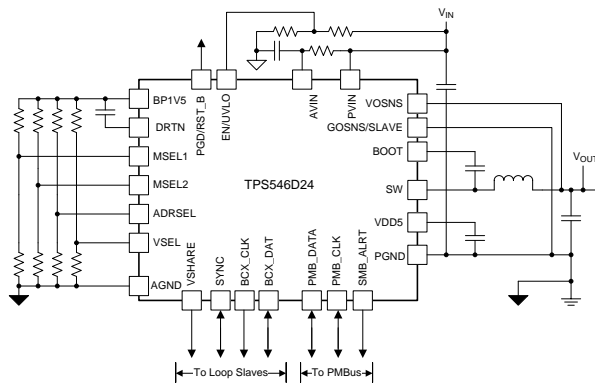
TPS546D24は入力フィードフォワードによる独自の固定周波数電流モード制御を採用しており、内部補償部品を選択可能であるため、システム・サイズを最小化し、幅広い出力容量で安定性を確保できます。

### 製品情報<sup>(1)</sup>

型番	パッケージ	本体サイズ(公称)
TPS546D24	LQFN-CLIP (40)	7.00mmx5.00mm

(1) 利用可能なすべてのパッケージについては、このデータシートの末尾にある注文情報を参照してください。

### アプリケーション概略図



## 目次

1	特長 .....	1	7.1	デバイス・サポート .....	6
2	アプリケーション .....	1	7.2	ドキュメントの更新通知を受け取る方法 .....	6
3	概要 .....	1	7.3	コミュニティ・リソース .....	7
4	改訂履歴 .....	2	7.4	商標 .....	7
5	概要 (続き) .....	3	7.5	静電気放電に関する注意事項 .....	7
6	<b>Pin Configuration and Functions</b> .....	4	7.6	Glossary .....	7
7	デバイスおよびドキュメントのサポート .....	6	8	メカニカル、パッケージ、および注文情報 .....	7

## 4 改訂履歴

2018年11月発行のものから更新

Page

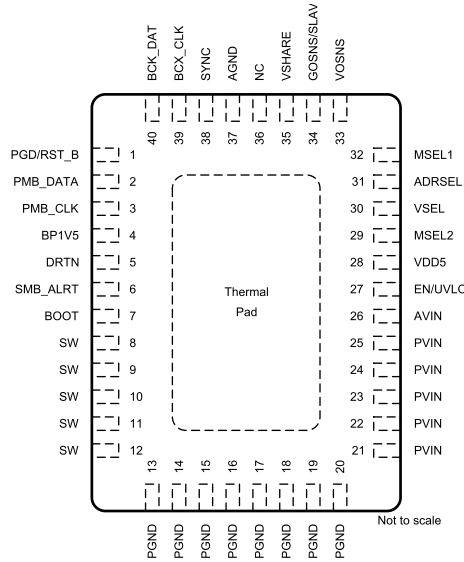
•	生産データを用いたデータシートの初版 .....	1
---	--------------------------	---

## 5 概要（続き）

1MHzクロックをサポートするPMBusインターフェイスは、出力電圧、出力電流、内部ダイ温度などの主要パラメータを監視するためだけでなく、コンバータを設定するための便利な標準化されたデジタル・インターフェイスを提供します。フォルト条件への応答は、システム要件に応じて、再起動、ラッチオフ、無視のいずれかに設定できます。スタックしたデバイス間のバックチャネル通信により、1つの出力レールに電力供給するすべてのTPS546D24コンバータが1つのアドレスを共有できるため、システム・ソフトウェア/ファームウェア設計を簡素化できます。出力電圧、スイッチング周波数、ソフトスタート時間、過電流フォルト制限などの主要なパラメータは、PMBus通信を使わないでBOM選定で設定することもでき、プログラムなしでのパワーオンをサポートしています。

## 6 Pin Configuration and Functions

**RVF Package**  
**40-Pin LQFN-CLIP With Exposed Thermal Pad**  
**Top View**



### Pin Functions

PIN		I/O	DESCRIPTION
NO.	NAME		
1	PGD/RST_B	I/O	Open-drain power good or reset#, As determined by user accessible bit (See in PMBUS Command detailed descriptions) . The default pin function is an open drain power-good indicator.
2	PMB_DATA	I/O	PMBus DATA pin. See PMBus specification.
3	PMB_CLK	I	PMBus CLK pin. See PMBus specification.
4	BP1V5	O	Output of the 1.5-V internal regulator. This regulator powers the digital circuitry and should be bypassed with a minimum of 1 $\mu$ F to DRTN. BP1V5 is not designed to power external circuit.
5	DRTN	—	Digital bypass return for bypass capacitor for BP1V5. Internally Connected to AGND. Do not Connect to PGND or AGND.
6	SMB_ALRT	O	SMBus alert pin. See SMBus specification.
7	BOOT	I	Bootstrap pin for the internal flying high side driver. Connect a typical 100 nF from this pin to SW. To reduce the voltage spike at SW, an optional BOOT resistor of up to 8 $\Omega$ may be placed in series with the BOOT capacitor to slow down turn-on of the high-side FET.
8	SW	I/O	Switched power output of the device. Connect the output averaging filter and bootstrap to this group of pins.
9			
10			
11			
12	PGND	—	Power stage ground return. These pins are internally connected to the thermal pad.
13			
14			
15			
16			
17			
18			
19			
20			

**Pin Functions (continued)**

PIN		I/O	DESCRIPTION
NO.	NAME		
21	PVIN	I	Input power to the power stage. Low-impedance bypassing of these pins to PGND is critical.
22			
23			
24			
25			
26	AVIN	I	Input power to the controller. Bypass with a minimum 1- $\mu$ F ceramic capacitor to PGND. If AVIN is connected to the same input as PVIN or VDD5, a minimum 10- $\mu$ s R-C filter is recommended to reduce switching noise on AVIN.
27	EN/UVLO	I	Enable switching as the PMBus CONTROL pin. EN/UVLO can also be connected to a resistor divider to program input voltage UVLO.
28	VDD5	O	Output of the 5-V internal regulator. This regulator powers the driver stage of the controller and should be bypassed with a minimum of 4.7 $\mu$ F to PGND at the thermal pad. Low impedance bypassing of this pin to PGND is critical.
29	MSEL2	I	Connect this pin to a resistor divider between BP1V5 and AGND for different options of soft-start time, overcurrent fault limit, and multi-phase information. See section
30	VSEL	I	Connect this pin to a resistor divider between BP1V5 and AGND for different options of internal voltage feedback divider and default output voltage. See section.
31	ADRSEL	I	Connect this pin to a resistor divider between BP1V5 and AGND for different options of PMBus addresses and frequency sync (including determination of SYNC pin as SYNC IN or SYNC OUT function). See section.
32	MSEL1	I	Connect this pin to a resistor divider between BP1V5 and AGND for different options of switching frequency and internal compensation parameters. See section.
33	VOSNS	I	The positive input of the remote sense amplifier. For a standalone device or the loop master device in a multi-phase configuration, connect VOSNS pin to the output voltage at the load. For the loop slave device in a multi-phase configuration, the remote sense amplifier is not required for output voltage sensing or regulation, this pin can be left floating.
34	GOSNS/SLAVE	I	The negative input of the remote sense amplifier for loop master device or should be pulled up high to indicate loop slave. For standalone device or the loop master device in a multi-phase configuration, connect GOSNS pin to the ground at the load. For the loop slave device in a multi-phase configuration, the GOSNS pin must be pulled up to BP1V5 to indicate the device a loop slave.
35	VSHARE	I/O	Voltage sharing signal for multi-phase operation. For stand-alone device, the VSHARE pin must be left floating.
36	NC	-	Not internally connected. Pin can be left floating or connected to PGND at the thermal pad.
37	AGND	-	Analog ground return for controller. Connect the AGND pin directly to the thermal pad on the PCB board.
38	SYNC	I/O	For frequency synchronization, can be programmed as SYNC IN or SYNC OUT pin by ADRSEL pin or the PMBus Command. The SYNC pin can be left floating when not used.
39	BCX_CLK	I/O	Clock for back-channel communications between stacked devices.
40	BCX_DAT	I/O	Data for back-channel communications between stacked devices.
—	Thermal pad	—	Package thermal pad, internally connected to PGND. The thermal pad must have adequate solder coverage for proper operation.

## 7 デバイスおよびドキュメントのサポート

### 7.1 デバイス・サポート

#### 7.1.1 デベロッパー・ネットワークの製品に関する免責事項

デベロッパー・ネットワークの製品またはサービスに関するTIの出版物は、単独またはTIの製品、サービスと一緒に提供される場合に関係なく、デベロッパー・ネットワークの製品またはサービスの適合性に関する是認、デベロッパー・ネットワークの製品またはサービスの是認の表明を意味するものではありません。

#### 7.1.2 開発サポート

##### 7.1.2.1 WEBENCH®ツールによるカスタム設計

[ここをクリック](#)すると、WEBENCH® Power Designerにより、TPS546D24を使用するカスタム設計を作成できます。

1. 最初に、入力電圧( $V_{IN}$ )、出力電圧( $V_{OUT}$ )、出力電流( $I_{OUT}$ )の要件を入力します。
2. オプティマイザのダイヤルを使用して、効率、占有面積、コストなどの主要なパラメータについて設計を最適化します。
3. 生成された設計を、テキサス・インスツルメンツが提供する他の方式と比較します。

WEBENCH Power Designerでは、カスタマイズされた回路図と部品リストを、リアルタイムの価格と部品の在庫情報と併せて参照できます。

通常、次の操作を実行可能です。

- 電氣的なシミュレーションを実行し、重要な波形と回路の性能を確認する。
- 熱シミュレーションを実行し、基板の熱特性を把握する。
- カスタマイズされた回路図やレイアウトを、一般的なCADフォーマットで出力する。
- 設計のレポートをPDFで印刷し、設計を共有する。

WEBENCHツールの詳細は、[www.ti.com/WEBENCH](http://www.ti.com/WEBENCH)でご覧になれます。

##### 7.1.2.2 Texas Instruments Fusion Digital Power Designer

TPS546D24はテキサス・インスツルメンツのDigital Power Designerでサポートされています。Fusion Digital Power Designerはグラフィカル・ユーザー・インターフェイス(GUI)で、テキサス・インスツルメンツ製のUSB-to-GPIOアダプタを使用し、PMBus経由でデバイスを設定および監視するために使用できます。

Texas Instruments Fusion Digital Power Designerソフトウェア・パッケージをダウンロードするには、このリンクをクリックしてください。

### 7.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、[ti.com](http://ti.com)のデバイス製品フォルダを開いてください。右上の「アラートを受け取る」をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取れます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

### 7.3 コミュニティ・リソース

The following links connect to TI community resources. Linked contents are provided "AS IS" by the respective contributors. They do not constitute TI specifications and do not necessarily reflect TI's views; see TI's [Terms of Use](#).

**TI E2E™オンライン・コミュニティ** *TIのE2E ( Engineer-to-Engineer )* コミュニティ。エンジニア間の共同作業を促進するために開設されたものです。e2e.ti.comでは、他のエンジニアに質問し、知識を共有し、アイデアを検討して、問題解決に役立てることができます。

**設計サポート** *TIの設計サポート* 役に立つE2Eフォーラムや、設計サポート・ツールをすばやく見つけることができます。技術サポート用の連絡先情報も参照できます。

### 7.4 商標

E2E is a trademark of Texas Instruments.

WEBENCH is a registered trademark of Texas Instruments.

PMBus is a registered trademark of System Management Interface Forum, Inc..

All other trademarks are the property of their respective owners.

### 7.5 静電気放電に関する注意事項



これらのデバイスは、限定的なESD(静電破壊)保護機能を内蔵しています。保存時または取り扱い時は、MOSゲートに対する静電破壊を防止するために、リード線同士をショートさせておくか、デバイスを導電フォームに入れる必要があります。

### 7.6 Glossary

**SLYZ022** — *TI Glossary*.

This glossary lists and explains terms, acronyms, and definitions.

## 8 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。これらの情報は、指定のデバイスに対して提供されている最新のデータです。これらのデータは、予告なしに、このドキュメントの更新なしに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

## 重要なお知らせと免責事項

TI は、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。



これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションが適用される各種規格や、その他のあらゆる安全性、セキュリティ、またはその他の要件を満たしていることを確実にする責任を、お客様のみが単独で負うものとします。上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、TI の販売条件 ([www.tij.co.jp/ja-jp/legal/termssofsale.html](http://www.tij.co.jp/ja-jp/legal/termssofsale.html))、または [ti.com](http://ti.com) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

Copyright © 2019, Texas Instruments Incorporated  
日本語版 日本テキサス・インスツルメンツ株式会社



**PACKAGING INFORMATION**

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
TPS546D24RVFR	ACTIVE	LQFN-CLIP	RVF	40	2500	RoHS-Exempt & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TPS546D24	
TPS546D24RVFT	ACTIVE	LQFN-CLIP	RVF	40	250	RoHS-Exempt & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TPS546D24	

(1) The marketing status values are defined as follows:

**ACTIVE:** Product device recommended for new designs.

**LIFEBUY:** TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

**NRND:** Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

**PREVIEW:** Device has been announced but is not in production. Samples may or may not be available.

**OBSOLETE:** TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

**RoHS Exempt:** TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

**Green:** TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

**Important Information and Disclaimer:**The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.



**TAPE AND REEL INFORMATION**

**QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE**


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS546D24RVFR	LQFN-CLIP	RVF	40	2500	330.0	16.4	5.35	7.35	1.7	8.0	16.0	Q1
TPS546D24RVFT	LQFN-CLIP	RVF	40	250	180.0	16.4	5.35	7.35	1.7	8.0	16.0	Q1

**TAPE AND REEL BOX DIMENSIONS**


\*All dimensions are nominal

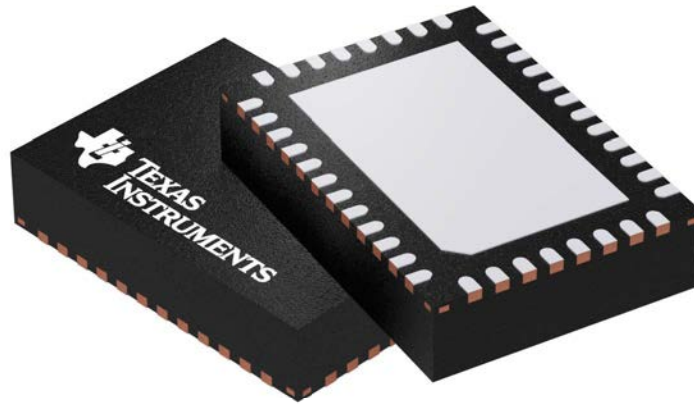
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS546D24RVFR	LQFN-CLIP	RVF	40	2500	367.0	367.0	38.0
TPS546D24RVFT	LQFN-CLIP	RVF	40	250	210.0	185.0	35.0

## GENERIC PACKAGE VIEW

**RVF 40**

**LQFN-CLIP - 1.52 mm max height**

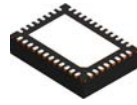
PLASTIC QUAD FLATPACK - NO LEAD



Images above are just a representation of the package family, actual package may vary.  
Refer to the product data sheet for package details.

4211383/D

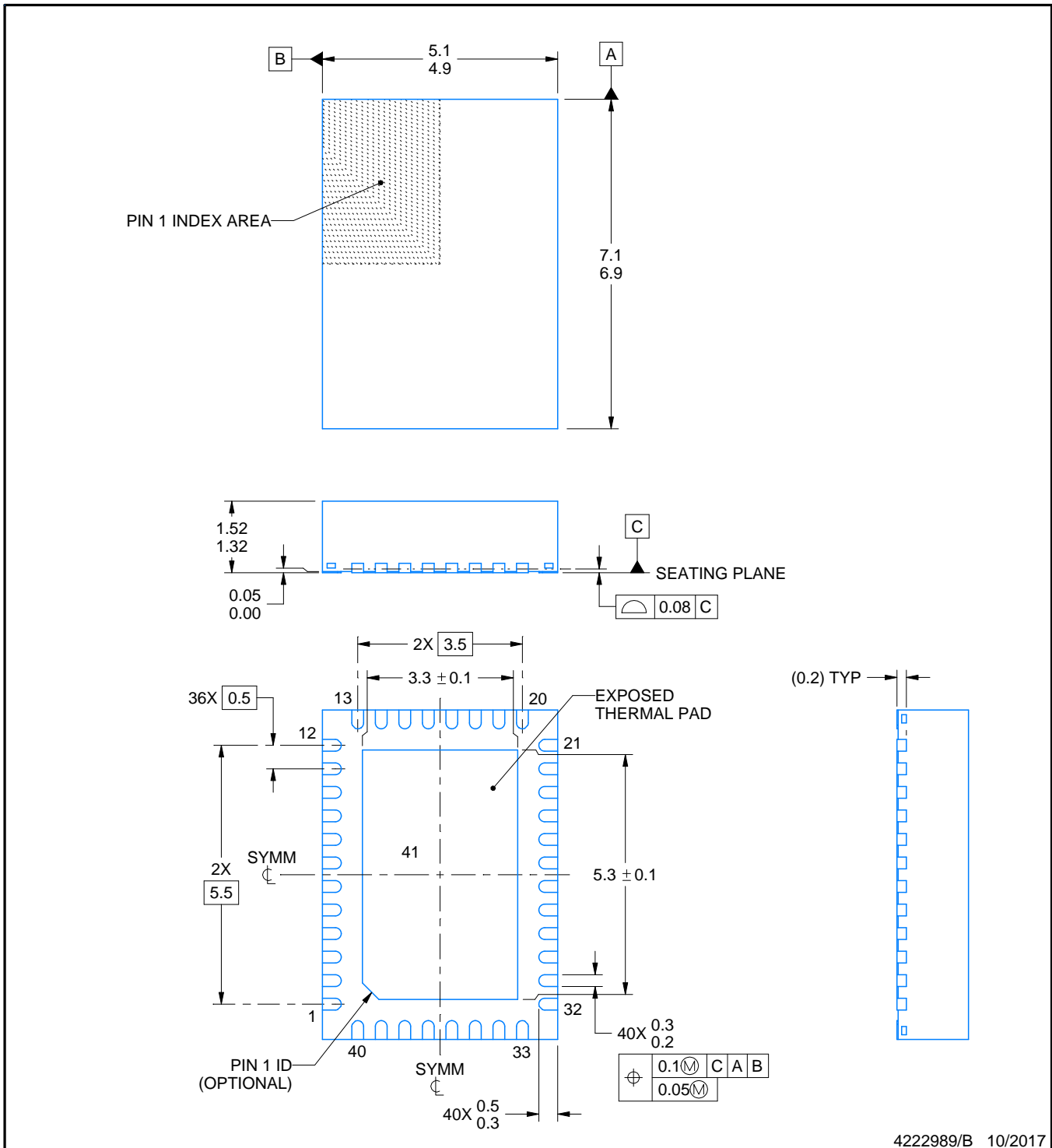
**RVF0040A**



**PACKAGE OUTLINE**

**LQFN-CLIP - 1.52 mm max height**

PLASTIC QUAD FLATPACK - NO LEAD



4222989/B 10/2017

**NOTES:**

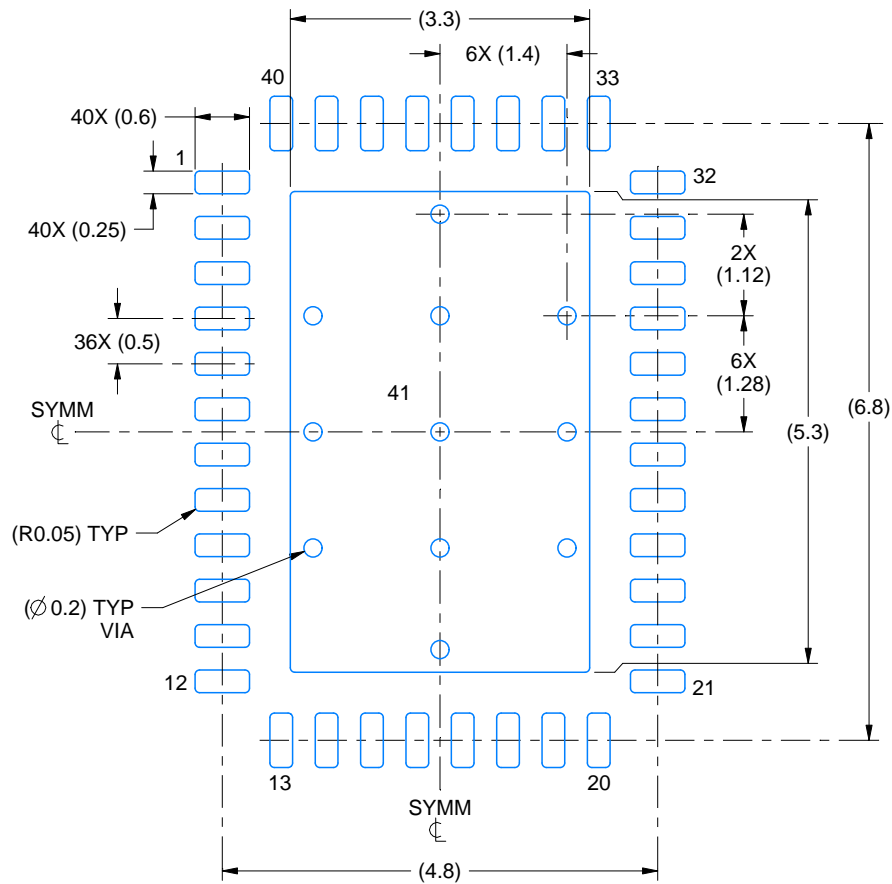
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.
4. Reference JEDEC registration MO-220.

# EXAMPLE BOARD LAYOUT

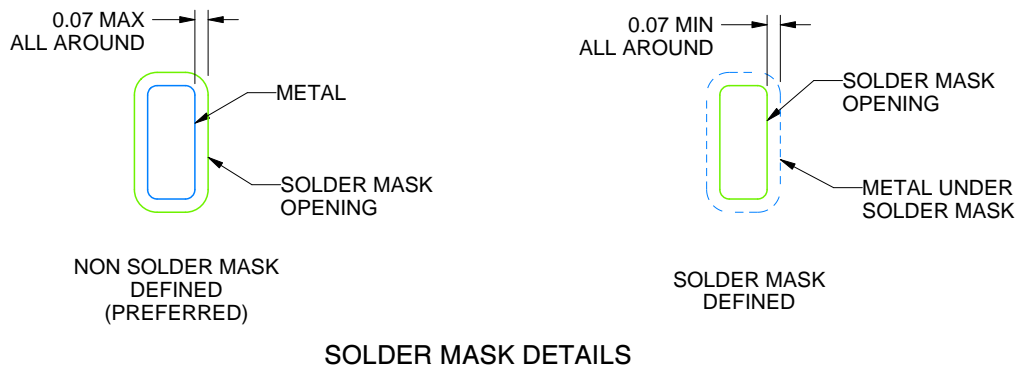
**RVF0040A**

**LQFN-CLIP - 1.52 mm max height**

PLASTIC QUAD FLATPACK - NO LEAD



**LAND PATTERN EXAMPLE**  
SCALE:12X



**SOLDER MASK DETAILS**

4222989/B 10/2017

NOTES: (continued)

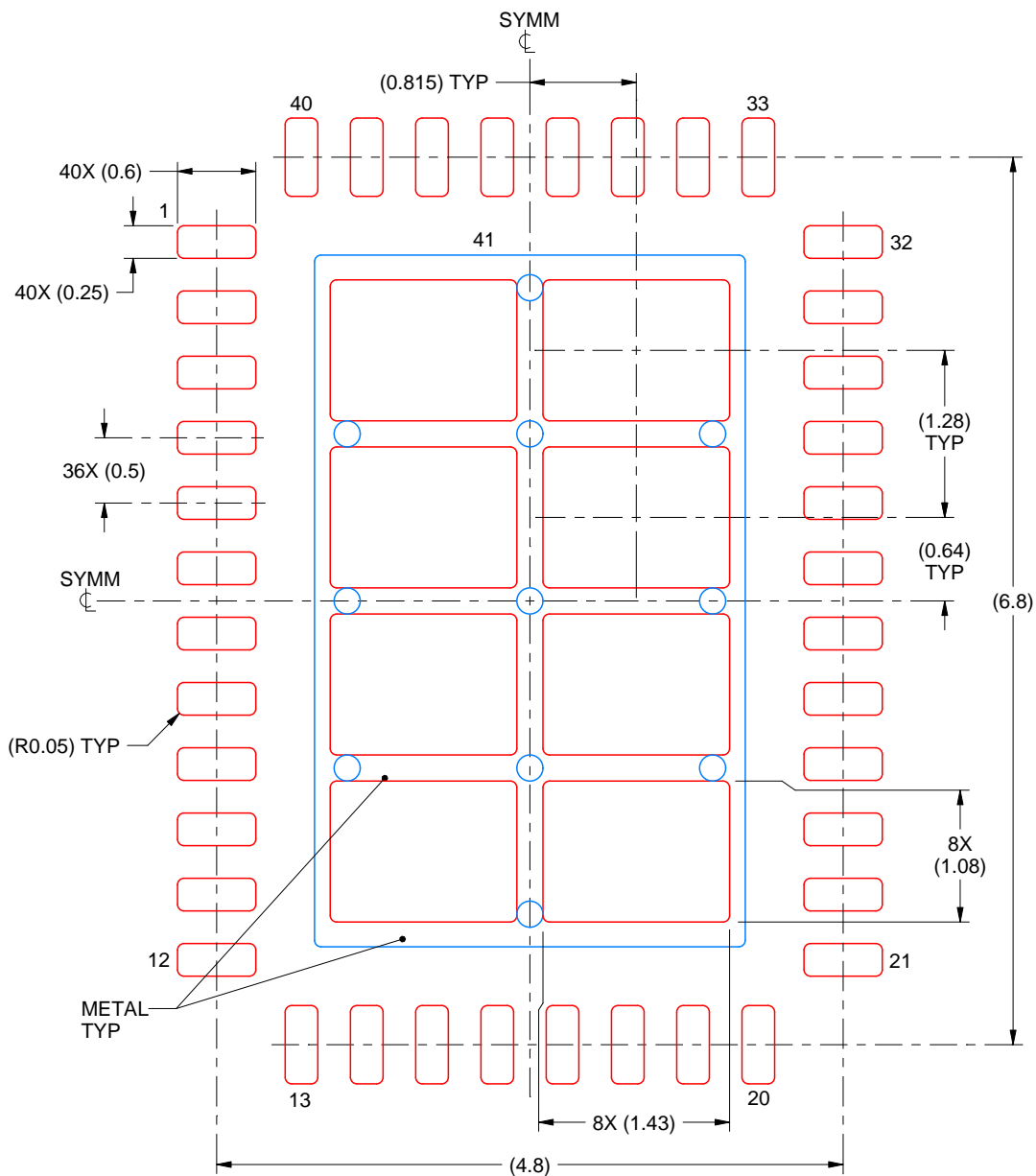
5. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 ([www.ti.com/lit/slua271](http://www.ti.com/lit/slua271)).

# EXAMPLE STENCIL DESIGN

**RVF0040A**

**LQFN-CLIP - 1.52 mm max height**

PLASTIC QUAD FLATPACK - NO LEAD



**SOLDER PASTE EXAMPLE**  
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD  
71% PRINTED SOLDER COVERAGE BY AREA  
SCALE:18X

4222989/B 10/2017

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.



## 重要なお知らせと免責事項

TI は、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションが適用される各種規格や、その他のあらゆる安全性、セキュリティ、またはその他の要件を満たしていることを確実にする責任を、お客様のみが単独で負うものとします。上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、TI の販売条件 ([www.tij.co.jp/ja-jp/legal/termsofsale.html](http://www.tij.co.jp/ja-jp/legal/termsofsale.html))、または [ti.com](http://ti.com) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

Copyright © 2020, Texas Instruments Incorporated

日本語版 日本テキサス・インスツルメンツ株式会社