



# ハイサイドMOSFET内蔵、外部補償、 3Aデュアル非同期コンバータ

## 特 長

- 入力電圧範囲：4.5V～28V
- 出力電圧：0.8V～入力電圧の90%
- 出力電流：最大3A
- 2つの固定スイッチング周波数モデル：
  - TPS55383：300kHz
  - TPS55386：600kHz
- 3つの過電流保護レベルを選択可能（出力2）
- 電圧リファレンス：0.8V、1.75%
- 内部ソフト・スタート：2.1ms
- 位相差180°のデュアルPWM出力
- レシオメトリックまたはシーケンシャルなスタートアップ・モード
- デュアル出力として、または6A供給可能な2チャネル単一出力マルチフェーズとして構成可能
- 内部ハイサイドMOSFET：85mΩ
- 外部補償による電流モード制御
- パルス毎の過電流保護
- 過熱シャットダウン保護：+148°C
- 16ピンPowerPAD™ HTSSOPパッケージ

## アプリケーション

- セットトップ・ボックス
- デジタルTV
- DSP用電源
- 民生用電子機器

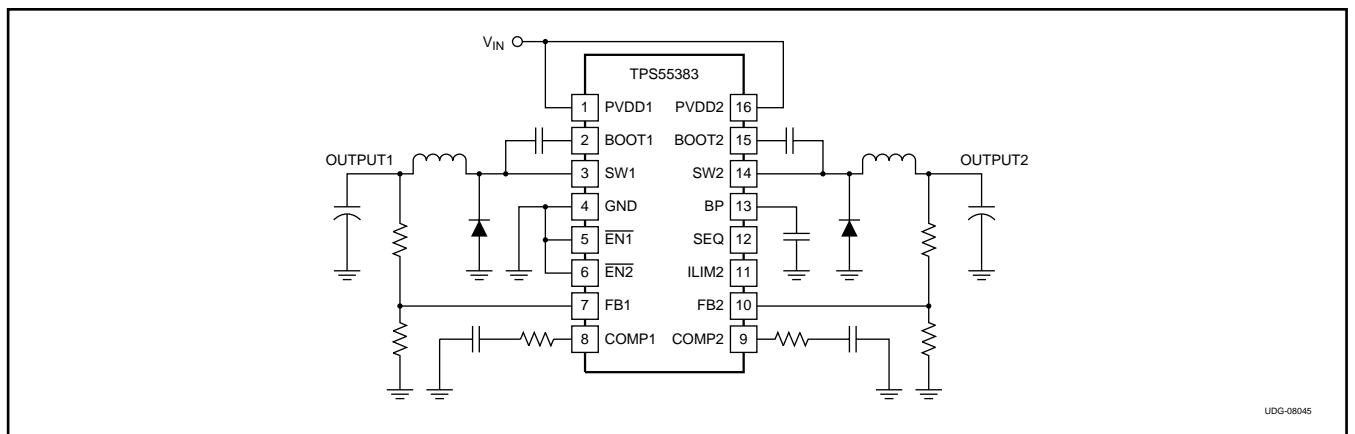
## 目 次

デバイス定格 .....	2
電气的特性 .....	3
製品情報 .....	9
アプリケーション情報 .....	12
設計例 .....	24
参考資料 .....	31

## 概 要

TPS55383およびTPS55386は、デュアル出力の非同期降圧型コンバータです。4.5V～28Vの入力電源電圧で動作し、0.8Vから入力電圧の90%までの出力電圧を必要とする、3A出力のアプリケーションをサポートできます。

内部固定された動作周波数およびソフト・スタート時間によ



PowerPADは、テキサス・インスツルメンツの登録商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本TI) が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。



り、最小限の外部部品で多くの機能を提供できます。2つの誤差増幅器の出力にアクセスでき、幅広い範囲の出力フィルタ特性で帰還ループの最適化が可能です。チャンネル1の過電流保護は4.5Aに設定されています。チャンネル2の過電流保護レベルは、ピンをグランドまたはBPに接続、あるいはフローティングにすることで選択できます。アプリケーションで両出力の負荷能力をフルには必要としない場合、これらの設定レベルを利用して外部部品の値を調整できます。

出力はそれぞれ独立にイネーブルにすることが可能で、レシオメトリックまたはシーケンシャルなスタートアップ・シーケンシングを行うよう設定することもできます。また、2つの出力はそれぞれ異なる電源から電力供給が可能です。



## 静電気放電対策

これらのデバイスは、限定的なESD（静電破壊）保護機能を内蔵しています。保存時または取り扱い時に、MOSゲートに対する静電破壊を防止するために、リード線どうしを短絡しておくか、デバイスを導電性のフォームに入れる必要があります。

## ご発注の手引き<sup>(1)</sup>

デバイス	OPERATING FREQUENCY (kHz)	パッケージ	MEDIA	単位(Pieces)
TPS55383PWP	300	Plastic 16-Pin HTSSOP	Tube	90
TPS55383PWPR			Tape and Reel	2000
TPS55386PWP	600		Tube	90
TPS55386PWPR			Tape and Reel	2000

(1) 最新のパッケージおよびご発注情報については、このドキュメントの巻末にある「付録：パッケージ・オプション」を参照するか、TIのWebサイト ([www.ti.com](http://www.ti.com) または [www.tij.co.jp](http://www.tij.co.jp)) をご覧ください。

## デバイス定格

### 絶対最大定格<sup>(1)</sup>

		VALUE	単位
Input voltage range	PVDD1, PVDD2, EN1, EN2	30	V
	BOOT1, BOOT2	$V_{SW} + 7$	
	SW1, SW2	-2 ~ 30	
	SW1, SW2 transient (< 50ns)	-3 ~ 31	
	BP	6.5	
	SEQ, ILIM2	-0.3 ~ 6.5	
	COMP1, COMP2	-0.3 ~ 3.5	
	FB1, FB2	-0.3 ~ 3	
	SW1, SW2 output current	7	A
	BP load current	35	mA
$T_{stg}$	Storage temperature	-55 ~ +165	°C
$T_J$	Operating temperature	-40 ~ +150	
	Soldering temperature	+260	

(1) 絶対最大定格を超えると、致命的なダメージを製品に与えることがあります。本製品の機能動作は、このデータシートの「推奨DC動作条件」の範囲内に制限する必要があります。動作制限範囲外の状態で長時間置くと、本製品の信頼性に影響を与えることがあります。

## 推奨動作条件

		MIN	MAX	単位
$V_{PVDD2}$	Input voltage	4.5	28	V
$T_J$	Operating junction temperature	-40	+125	°C

## 静電放電 (ESD) 保護

	MIN	単位
Human body model	2k	V
CDM	1.5k	
Machine Model	250	

## パッケージ定格消費電力<sup>(1)(2)(3)</sup>

パッケージ	THERMAL IMPEDANCE JUNCTION-TO-THERMAL PAD (°C/W)	T <sub>A</sub> = +25°C POWER RATING (W)	T <sub>A</sub> = +85°C POWER RATING (W)
Plastic 16-Pin HTSSOP (PWP)	2.07 <sup>(4)</sup>	1.6	1.0

(1) PWPパッケージの詳細な情報についてはTIテクニカルブリーフ (SLMA002A) を参照してください。

(2) TIデバイスのパッケージは、JEDEC標準JESD 51-3およびJESD 51-7で規定されたプリント基板設計を使用して、熱特性のモデル化と試験が行われています。

(3) アプリケーション情報については、「電力ディレーティング」を参照してください。

(4) T<sub>J-A</sub> = +40°C/Wです。

## 電気的特性

特に記述のない限り、-40°C ≤ T<sub>J</sub> ≤ +125°C、V<sub>PVDD1</sub> = V<sub>PVDD2</sub> = 12V

パラメータ		測定条件	MIN	TYP	MAX	単位
<b>INPUT SUPPLY (PVDD)</b>						
V <sub>PVDD1</sub>	Input voltage range		4.5		28	V
V <sub>PVDD2</sub>						
ID <sub>SDN</sub>	Shutdown	V <sub>EN1</sub> = V <sub>EN2</sub> = V <sub>PVDD2</sub>		70	150	μA
ID <sub>Q</sub>	Quiescent, non-switching	V <sub>FB</sub> = 0.9 V, Outputs OFF		1.8	3.0	mA
ID <sub>SW</sub>	Quiescent, while-switching	SW node unloaded; Measured as BP sink current		5		
V <sub>UVLO</sub>	Minimum turn-on voltage	PVDD2 only	3.8	4.1	4.4	V
V <sub>UVLO(hys)</sub>	Hysteresis			400	600	mV
t <sub>START</sub> <sup>(1)(2)</sup>	Time from startup to softstart begin	C <sub>BP</sub> = 10 μF, EN1 and EN2 go low simultaneously		2		ms
<b>ENABLE (EN)</b>						
V <sub>EN1</sub> , V <sub>EN2</sub>	Enable threshold		0.9	1.2	1.5	V
	Enable threshold hysteresis <sup>(1)</sup>			50		mV
I <sub>EN1</sub> , I <sub>EN2</sub>	Enable pull-up current	V <sub>EN1</sub> = V <sub>EN2</sub> = 0 V		6	12	μA
t <sub>EN</sub> <sup>(1)</sup>	Time from enable to soft-start begin	Other EN pin = GND		10		μs
<b>BP REGULATOR (BP)</b>						
BP	Regulator voltage	8 V < P <sub>VDD2</sub> < 28 V	5	5.25	5.6	V
BP <sub>LDO</sub>	Dropout voltage	P <sub>VDD2</sub> = 4.5 V; switching, no external load on BP		400	550	mV
I <sub>BP</sub> <sup>(1)</sup>	Regulator external load				2	mA
I <sub>BPS</sub>	Regulator short circuit	4.5 V < P <sub>VDD2</sub> < 28 V	10	20	30	
<b>OSCILLATOR</b>						
f <sub>SW</sub>	Switching frequency	TPS55383	255	310	375	kHz
		TPS55386	510	630	750	
t <sub>DEAD</sub> <sup>(1)</sup>	Clock dead time			140		ns
<b>ERROR AMPLIFIER (EA) and VOLTAGE REFERENCE (REF)</b>						
V <sub>FB1</sub> , V <sub>FB2</sub>	Feedback input voltage	0°C < T <sub>J</sub> < +85°C	786	800	812	mV
		-40°C < T <sub>J</sub> < +125°C	784		812	
I <sub>FB1</sub> , I <sub>FB2</sub>	Feedback input bias current			3	50	nA
g <sub>M1</sub> , g <sub>M2</sub> <sup>(1)</sup>	Error Amplifier transconductance		220	315	420	μS
f <sub>p1</sub> , f <sub>p2</sub> <sup>(1)</sup>	Error Amplifier dominant pole frequency		5	6		kHz
I <sub>SINK(COMP1)</sub> , I <sub>SINK(COMP2)</sub>	Error Amplifier sink current capability	V <sub>FB1</sub> = V <sub>FB2</sub> = 0.9V, V <sub>COMP</sub> = 2 V	15	30	40	μA
I <sub>SRC(COMP1)</sub> , I <sub>SRC(COMP2)</sub>	Error Amplifier source current capability	V <sub>FB1</sub> = V <sub>FB2</sub> = 0.7V, V <sub>COMP</sub> = 0 V	15	30	40	μA
<b>SOFT START (SS)</b>						
T <sub>SS1</sub> , T <sub>SS2</sub>	Soft start time		1.5	2.1	2.7	ms

(1) 設計で確認されています。実製品のテストは行っていません。

(2) 両方の出力を同時に起動した場合、20mAの電流源によってBPコンデンサが充電されます。BPコンデンサの値を小さくすることで、時間を短縮できます。詳細については、「入力低電圧ロックアウト (UVLO) とスタートアップ」を参照してください。

## 電気的特性

特に記述のない限り、 $-40^{\circ}\text{C} \leq T_J \leq +125^{\circ}\text{C}$ 、 $V_{PVDD1} = V_{PVDD2} = 12\text{V}$

パラメータ		測定条件	MIN	TYP	MAX	単位
<b>OVERCURRENT PROTECTION</b>						
$I_{CL1}$	Current limit Channel 1		3.6	4.5	5.6	A
$I_{CL2}$	Current limit Channel 2	$V_{LIM2} = V_{BP}$	3.6	4.5	5.6	
		$V_{LIM2} = (\text{floating})$	2.4	3.0	3.6	
		$V_{LIM2} = \text{GND}$	1.15	1.50	1.75	
$V_{UV1}$	Low-level output threshold to declare a fault	Measured at feedback pin.		670	730	mV
$V_{UV2}$						
$T_{HICCUP}^{(3)}$	Hiccup timeout			10		ms
$t_{ON1(oc)}^{(3)}$	Minimum overcurrent pulse width			90	150	ns
$t_{ON2(oc)}^{(3)}$						
<b>BOOTSTRAP</b>						
$R_{BOOT1}, R_{BOOT2}$	Bootstrap switch resistance	From BP to BOOT1 or BP to BOOT2, $I_{EXT} = 50\text{ mA}$		18		$\Omega$
<b>OUTPUT STAGE (Channel 1 and Channel 2)</b>						
$R_{DS(on)}^{(3)}$	MOSFET on resistance plus bond wire resistance	$T_J = +25^{\circ}\text{C}$ , $V_{PVDD2} = 8\text{ V}$		85		m $\Omega$
		$-40^{\circ}\text{C} < T_J < +125^{\circ}\text{C}$ , $V_{PVDD2} = 8\text{ V}$		85	165	
$t_{ON(min)}^{(3)}$	Minimum controllable pulse width	$I_{SWx}$ peak current $> 1\text{ A}^{(4)}$		100	200	ns
$D_{MIN}$	Minimum Duty Cycle	$V_{FB} = 0.9\text{ V}$			0	%
$D_{MAX}$	Maximum Duty Cycle	TPS55383 $f_{SW} = 300\text{ kHz}$		90	95	%
		TPS55386 $f_{SW} = 600\text{ kHz}$		85	90	%
$I_{SW}$	Switching node leakage current (sourcing)	Outputs OFF		2	12	$\mu\text{A}$
<b>THERMAL SHUTDOWN</b>						
$T_{SD}^{(3)}$	Shutdown temperature			148		$^{\circ}\text{C}$
$T_{SD(hys)}^{(3)}$	Hysteresis			20		

(3) 設計で確認されています。実製品のテストは行っていません。

(4)  $I_{SWx}$  ピーク電流が1A未満の場合については、図14を参照してください。

# 代表的特性

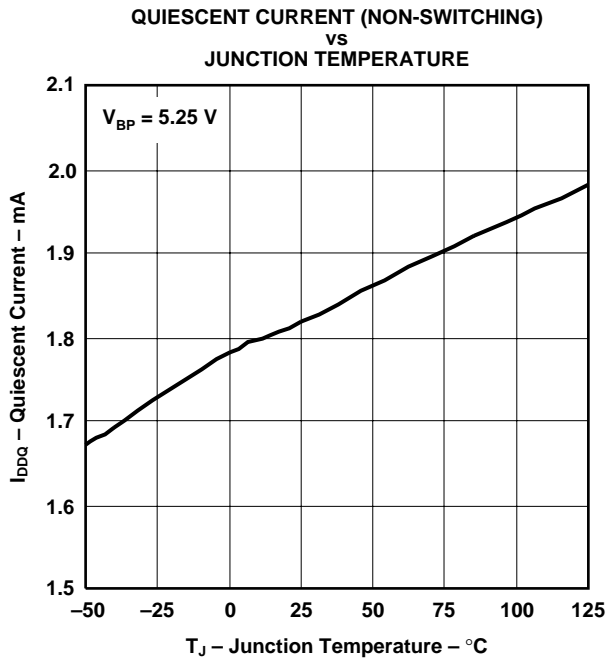


図 1

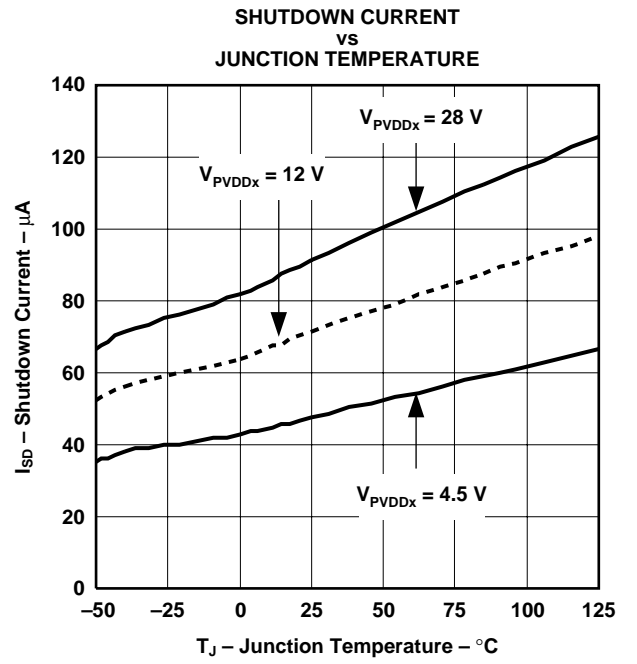


図 2

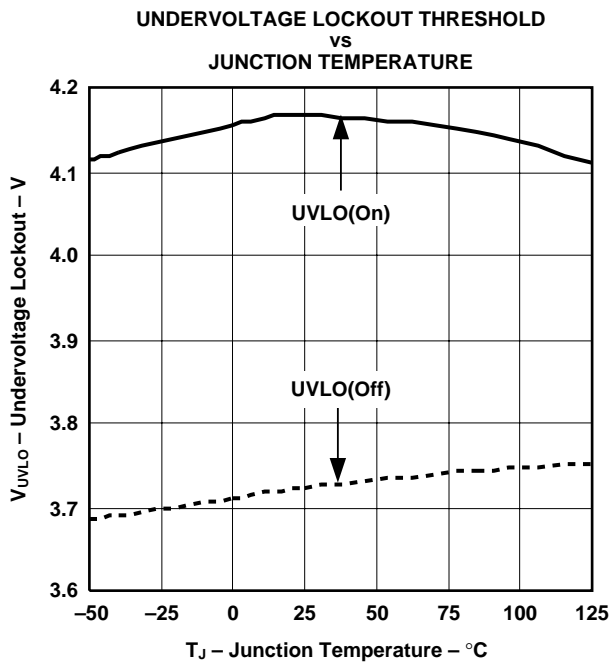


図 3

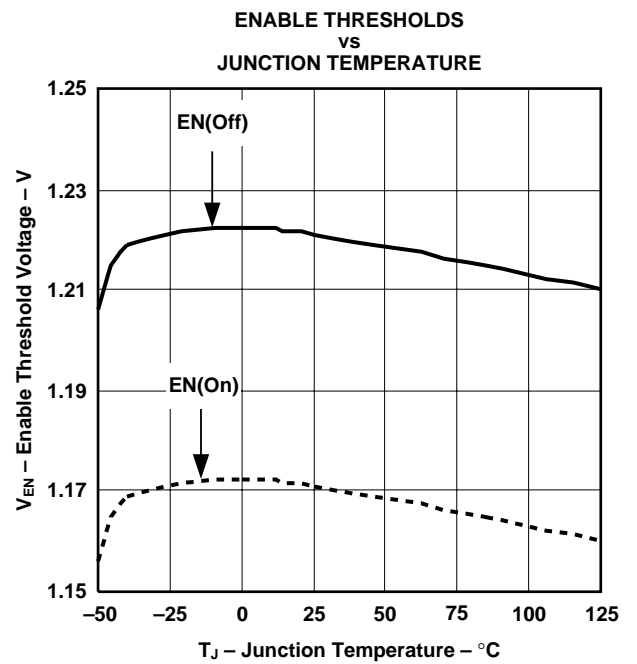


図 4

# 代表的特性

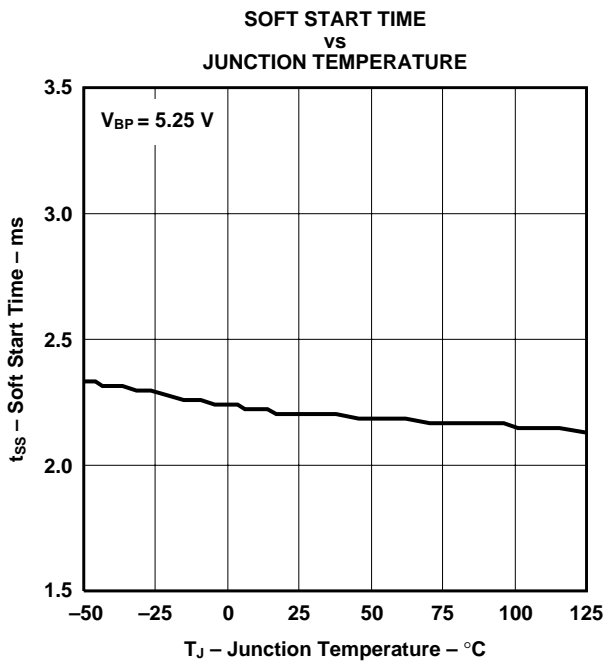


図 5

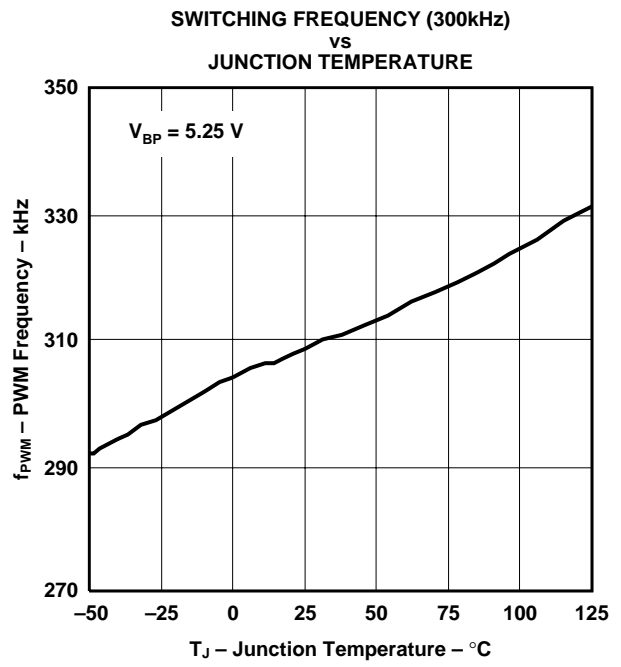


図 6

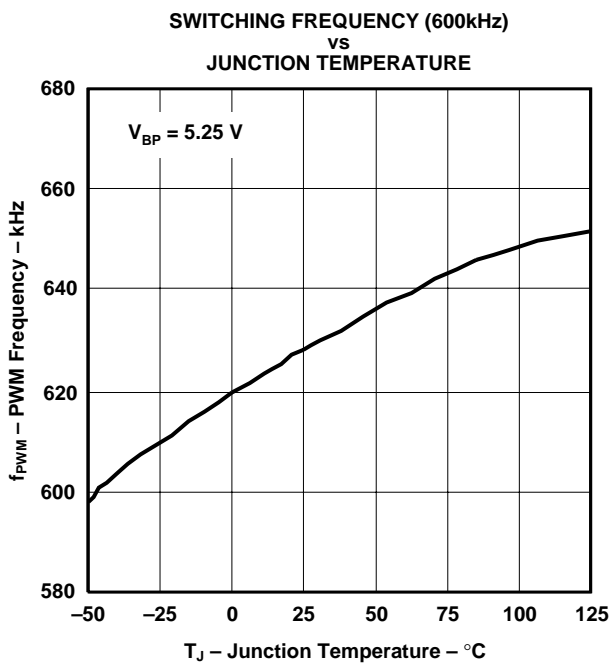


図 7

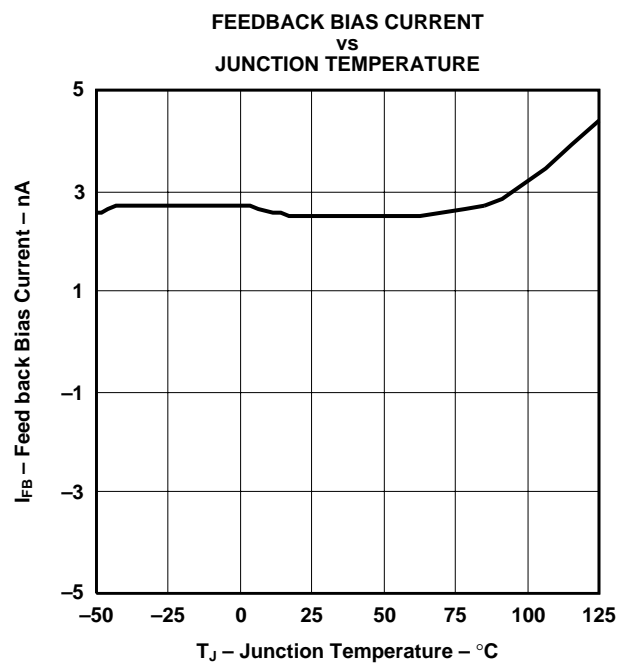


図 8

# 代表的特性

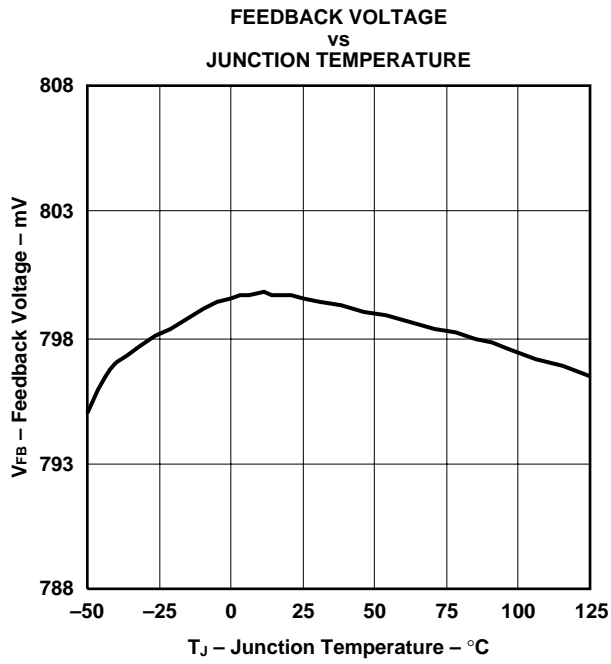


図 9

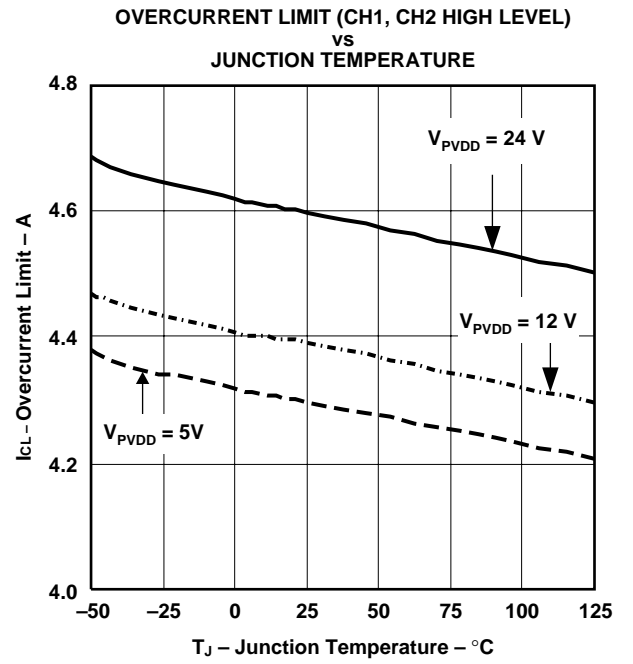


図 10

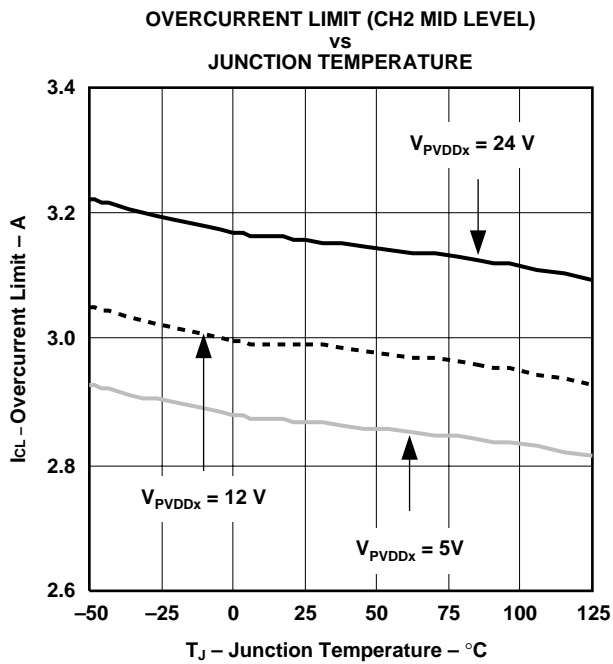


図 11

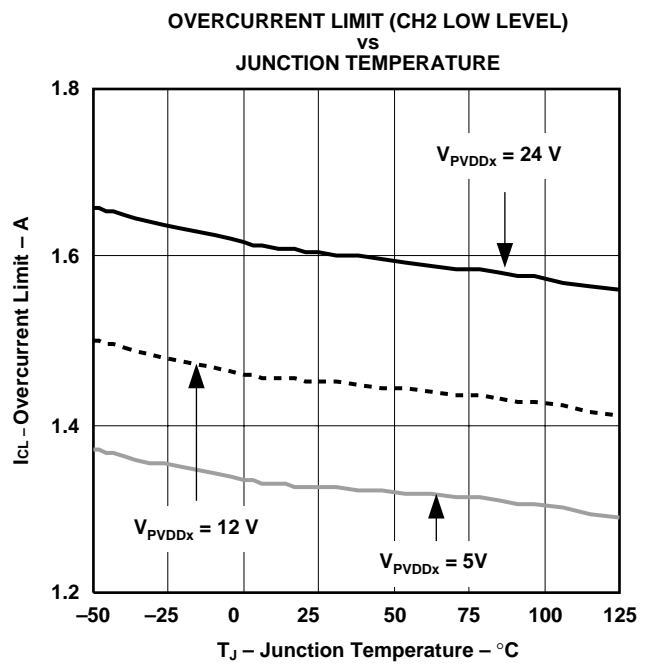


図 12

# 代表的特性

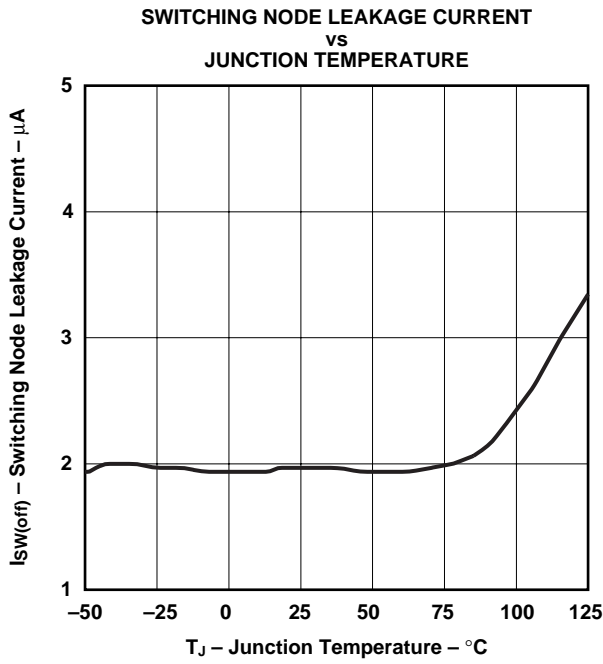


図 13

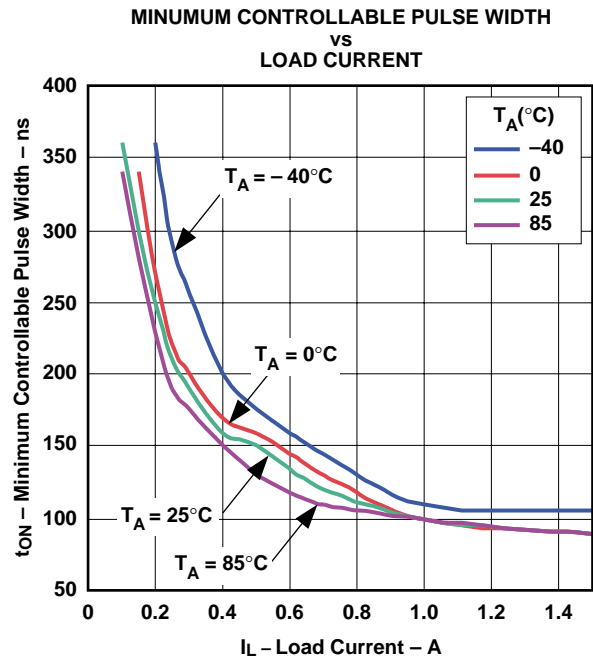


図 14

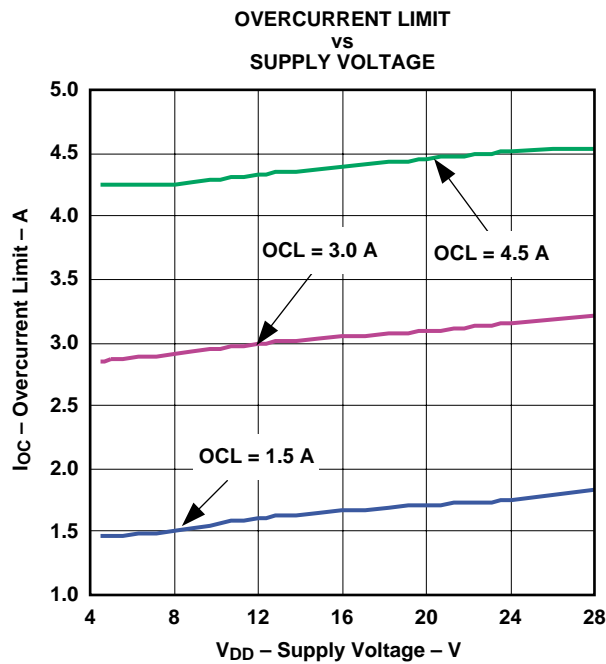
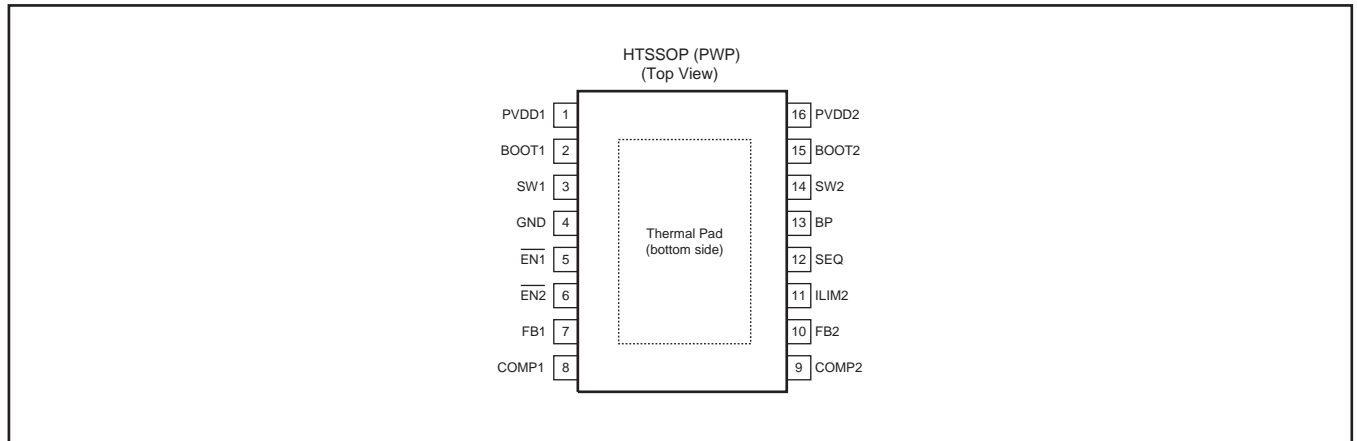


図 15



# 製品情報

## ピン接続



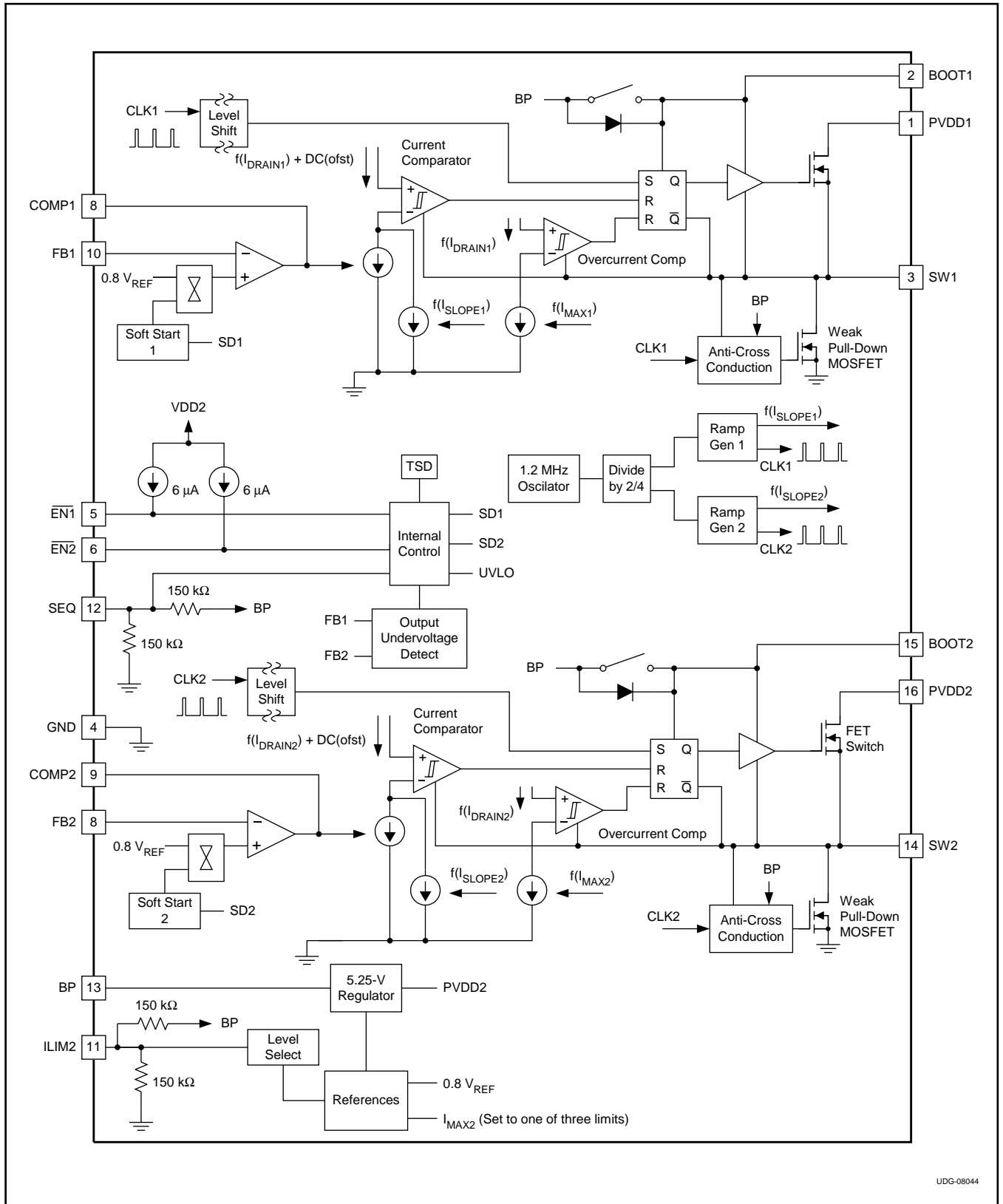
## 端子機能

TERMINAL		I/O	説明
NAME	NO.		
BOOT1	2	I	出力1用ハイサイド・ゲート・ドライバの入力電源です。このピンとSW1との間に22nF~82nFのコンデンサを接続します。このコンデンサは、内部スイッチを通して、BPピンの電圧により充電されます。コンバータのオフ期間中、このスイッチはオンになります。このブートストラップ・コンデンサと直列に小さな抵抗(1Ω~3Ω)を接続すると、内部FETのターンオンを遅くすることができます。
BOOT2	15	I	出力2用ハイサイド・ゲート・ドライバの入力電源です。このピンとSW2との間に22nF~82nFのコンデンサを接続します。このコンデンサは、内部スイッチを通して、BPピンの電圧により充電されます。コンバータのオフ期間中、このスイッチはオンになります。このブートストラップ・コンデンサと直列に小さな抵抗(1Ω~3Ω)を接続すると、内部FETのターンオンを遅くすることができます。
BP	13	-	ブートストラップ・コンデンサを充電するためのレギュレーション電圧です。このピンは、低ESR(4.7μF~10μFのX7RまたはX5R)セラミック・コンデンサを使用してGNDにバイパスします。
COMP1	8	O	出力1用誤差増幅器の出力です。このピンとGNDの間に直列接続R-Cネットワークを配置することで、帰還ループを補償します。詳細については、「帰還ループ補償部品の選択」を参照してください。
COMP2	9	O	出力2用誤差増幅器の出力です。このピンとGNDの間に直列接続R-Cネットワークを配置することで、帰還ループを補償します。詳細については、「帰還ループ補償部品の選択」を参照してください。
EN1	5	I	出力1のイネーブル入力(アクティブ・ロー)です。このピンの電圧が1.55Vより大きい場合、出力1はディスエーブルされます(ハイサイド・スイッチがオフ)。電圧が0.9V未満になると、出力1がイネーブルになり、出力1のソフト・スタートが開始可能になります。フローティングにされた場合、このピンは内部の電流源によってPVDD2にドライブされます。“常時オン”の動作を行うには、このピンをGNDに接続します。
EN2	6	I	出力2のイネーブル入力(アクティブ・ロー)です。このピンの電圧が1.55Vより大きい場合、出力2はディスエーブルされます(ハイサイド・スイッチがオフ)。電圧が0.9V未満になると、出力2がイネーブルになり、出力2のソフト・スタートが開始可能になります。フローティングにされた場合、このピンは内部の電流源によってPVDD2にドライブされます。“常時オン”の動作を行うには、このピンをGNDに接続します。
FB1	7	I	出力1の電圧帰還ピンです。内部のトランスコンダクタンス誤差増幅器によって出力1のPWMが調整され、このピンの電圧は内部リファレンス電圧0.8Vにレギュレーションされます。出力1とグラウンドの間に直列抵抗デバイダを接続し、その接続点をこのピンに接続することで、レギュレーション出力電圧の値を決定できます。帰還ループに対する補償は、デバイスの外部で提供されます。詳細については、「帰還ループ補償部品の選択」を参照してください。
FB2	10	I	出力2の電圧帰還ピンです。内部のトランスコンダクタンス誤差増幅器によって出力2のPWMが調整され、このピンの電圧は内部リファレンス電圧0.8Vにレギュレーションされます。出力2とグラウンドの間に直列抵抗デバイダを接続し、その接続点をこのピンに接続することで、レギュレーション出力電圧の値を決定できます。帰還ループに対する補償は、デバイスの外部で提供されます。詳細については、「帰還ループ補償部品の選択」を参照してください。
GND	4	-	デバイスのグラウンド・ピンです。直接サーマル・パッドに接続してください。
ILIM2	11	I	出力2のみの電流制限調整ピンです。この機能の目的は、非対称の負荷電流(出力1の負荷電流が出力2の負荷電流よりずっと大きい)を使用するユーザが、過電流障害状態で適切なディレーティングを維持しながら、低電流出力側の部品値を最適化できるようにすることです。個々のレベルは、「表 2. 出力2の電流制限スレッシュホールド調整」に示されています。注：内部の2抵抗によるデバイダ(各150kΩ)により、BPはILIM2およびGNDに接続されています。

## 端子機能

TERMINAL		I/O	説明
NAME	NO.		
PVDD1	1	I	出力1ハイサイドMOSFET専用の電源入力です。このピンは、10 $\mu$ F以上の低ESRセラミック・コンデンサを使用して、GNDへローカルにバイパスする必要があります。
PVDD2	16	I	PVDD2ピンは、デバイス制御回路に電力を供給します。また、 $\overline{\text{EN1}}$ および $\overline{\text{EN2}}$ ピンにプルアップを提供し、出力2のハイサイドMOSFETに電力を供給します。このピンは、10 $\mu$ F以上の低ESRセラミック・コンデンサを使用して、GNDへローカルにバイパスする必要があります。UVLO機能ではPVDD2が監視され、PVDD2が4.1Vを上回るとデバイスがイネーブルになります。
SEQ	12	I	<p>このピンは、出力のスタートアップ・モードを設定します。SEQピンをBPに接続すると、出力2がイネーブルの場合、出力2がレギュレーションに達した後で出力1がスタートアップします。つまり、出力1が出力2に従属するシーケンシャル・スタートアップを実現できます。出力が動作している状態でEN2が“High”になると、両方の出力が直ちにディスエーブルされ、現在の負荷に従って出力電圧が低下します。このシーケンス構成では、<math>\overline{\text{EN1}}</math>をグラウンドに接続します。</p> <p>SEQピンをGNDに接続すると、出力1がイネーブルの場合、出力1がレギュレーションに達した後で出力2がスタートアップします。つまり、出力2が出力1に従属するシーケンシャル・スタートアップを実現できます。出力が動作している状態でEN1が“High”になると、両方の出力が直ちにディスエーブルされ、現在の負荷に従って出力電圧が低下します。このシーケンス構成では、<math>\overline{\text{EN2}}</math>をグラウンドに接続します。</p> <p>このピンがフローティングの場合は、両方の出力が同時にイネーブルされたときに、出力1および出力2がレシオメトリックにスタートアップします。両方の出力は、最終出力電圧によって決定されるレートでソフト・スタートし、同時にレギュレーション状態になります。<math>\overline{\text{EN1}}</math>および<math>\overline{\text{EN2}}</math>ピンが独立して動作できる場合、2つの出力も独立に動作します。</p> <p>注：内部の2抵抗(各150k<math>\Omega</math>)によるデバイダにより、BPはSEQおよびGNDに接続されています。 「シーケンス状態」の表を参照してください。</p>
SW1	3	O	出力1 PWMのソース(スイッチング)出力です。このノードでのリングングを低減するために、スナバの使用を推奨します。詳細については、「SWノードのリングング」を参照してください。
SW2	14	O	出力2 PWMのソース(スイッチング)出力です。このノードでのリングングを低減するために、スナバの使用を推奨します。詳細については、「SWノードのリングング」を参照してください。
サーマル・パッド	-	-	このパッドは、外部でグラウンド・プレーンおよびGNDピンに接続する必要があります。

# ブロック図



UDG-08044

# アプリケーション情報

## 機能説明

TPS55383およびTPS55386は、デュアル出力の非同期コンバータです。各PWMチャンネルに、外部補償誤差増幅器、電流モードパルス幅変調回路(PWM)、スイッチMOSFET、イネーブル、および障害保護回路が搭載されています。2つのチャンネルに共通な回路として、内部電圧レギュレータ、電圧リファレンス、クロック発振回路、および出力電圧シーケンシング機能があります。

注：特に記述のない限り、“TPS5538x”はTPS55383とTPS55386の両方を意味します。また、特に記述のない限り、小文字のxを含む記号は、2つの変調回路チャンネルの両方の出力を示します。例えば、“ENx”はEN1とEN2の両方を表します。特に記述のない限り、記載されているパラメータ値はすべて標準値です。最大値および最小値については、電気的特性を参照してください。計算の際には、公差の値を考慮に入れる必要があります。

## 電圧リファレンス

両方の出力に共通のバンドギャップセルであり、800mVに設定されています。

## 発振回路

発振周波数は、SWxノードのスイッチング周波数の2倍に内部で固定されています。2つの出力は、スイッチサイクルを交互に行うように(つまり、位相差180°に)設定されています。

## 入力低電圧ロックアウト (UVLO) とスタートアップ

PVDD2ピンの電圧が4.1V未満の場合は、内部バイアス回路の一部だけが動作可能となり、他の機能はすべてオフに保持されます。内部MOSFETもすべてオフになります。PVDD2電圧がUVLOのオン・スレッシュホールドを上回ると、イネーブルピンの状態によって、残りの内部スタートアップ・シーケンスが決定されます。どちらかの出力がイネーブル(ENxが“Low”)になると、BPレギュレータがオンになり、BPコンデンサを20mAの電流で充電します。BPピンが4Vを超えると、SEQの動作モードとEN1およびEN2の設定に従って、PWMがイネーブルになり、ソフト・スタートが開始されます。

内部レギュレータおよび制御回路はPVDD2を電源としていくことに注意してください。PVDD1の電圧は、PVDD2より高い場合または低い場合があります。(「デュアル電源動作」を参照してください。)

## 出力のイネーブルとオン時間の調整

各出力には、専用のイネーブル・ピン(アクティブ・ロー)があります。フローティングにされた場合、このピンは内部の電流源によってPVDD2にドライブされます。ENxピンをグラウンドに接続するか、または外部回路で約1.2V未満にプルダウンすると、対応する出力がイネーブルになり、ソフト・スタートが開始されます。

両方のイネーブル・ピンが“High”のままであると、デバイスはシャットダウン・モードで動作し、BPレギュレータがシャットダウンされて、最小限の機能だけがアクティブになります。両方のPVDDピンからの合計スタンバイ電流は、12Vの入力電源で約70μAです。

ENxピンにR-Cを接続することで、PVDDxに電力が印加されたから対応する出力がオンになるまでの遅延時間を設定できます(図16を参照)。PVDD2に電力が印加されると、ENxピンの電圧はゆっくりグラウンドへと低下し始めます。電圧が約1.2Vまで低下すると、出力がイネーブルになり、スタートアップ・シーケンスが開始されます。PVDD2への電力印加後すぐにデバイスの出力をイネーブルにしたい場合は、この2つの部品を省略して、ENxピンをGNDに直接接続します。

R-C回路を使用してオン時間を遅延させる場合は、抵抗値を1.2V/6μA(200kΩ)よりずっと小さくする必要があります。推奨値は51kΩです。この抵抗値を使用すると、6μAのバイアス電流が流れている間にENx電圧が1.2Vスレッシュホールド未満に低下します。

(PVDD2印加後の)スタートアップ時間の遅延に必要なコンデンサ値は、式(1)で表されます。

$$C = \frac{t_{\text{DELAY}}}{R \times \ln\left(\frac{V_{\text{IN}} - 2 \times I_{\text{ENx}} \times R}{V_{\text{TH}} - I_{\text{ENx}} \times R}\right)} \text{ farads} \quad (1)$$

ここで

- RおよびCは、タイミング部品です。
- $V_{\text{TH}}$ は、1.2Vのイネーブル・スレッシュホールド電圧です。
- $I_{\text{ENx}}$ は、6μAのイネーブル・ピン・バイアス電流です。

他のイネーブル・ピン機能は、SEQピンの状態によって決まります。(「出力電圧シーケンシング」を参照してください。)

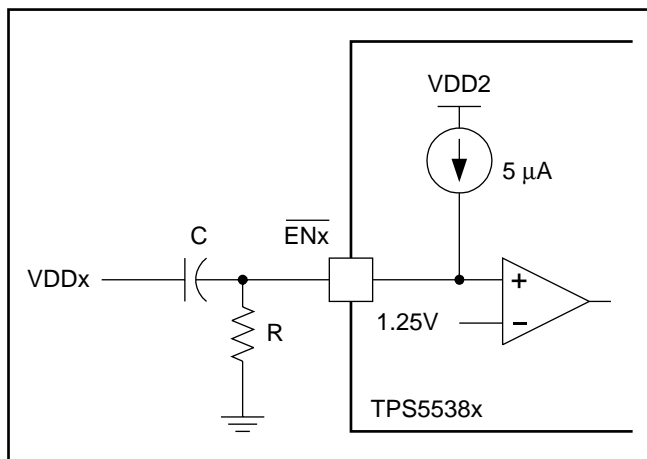


図 16. スタートアップ遅延回路図

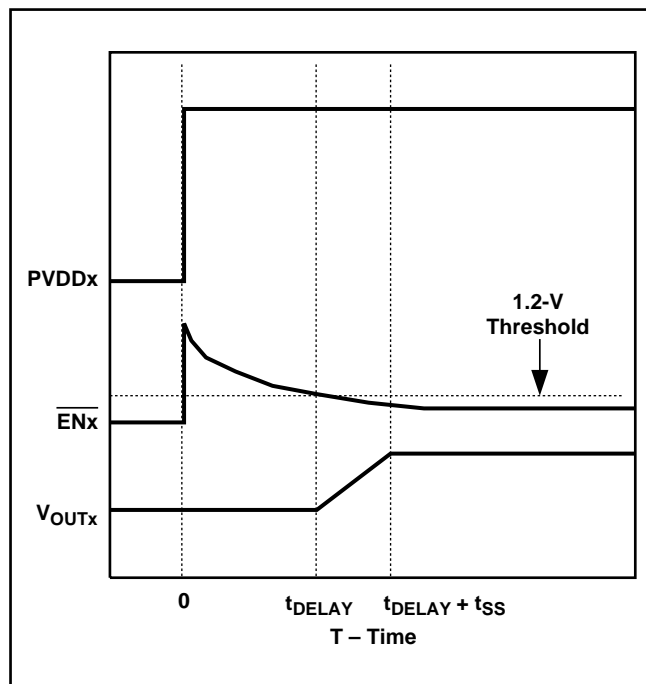


図 17. イネーブルにR-Cを接続したときのスタートアップ遅延

設計のヒント：

出力電圧スタートアップの遅延が必要でない場合は、 $\overline{EN1}$ および $\overline{EN2}$ を直接GNDに接続してください。それにより、PVDD2に有効な電源が印加されると、出力が直ちにスタートアップされます。

出力xがレギュレーション状態になった後で $\overline{ENx}$ を“High”にすると、上側MOSFETがオフになり、出力コンデンサと負荷によって決まるレートで出力が低下します。内部のプルダウンMOSFETは、オフ状態に保持されます。（「NチャネルMOSFETのブートストラップ」を参照してください。）

出力電圧シーケンシング

TPS5538xでは、出力電圧のスタートアップ・シーケンシングを1本のピンでプログラミングできます。パワーオン時に、SEQピンの状態が検出されます。このピンがBPに接続されているか、GNDに接続されているか、またはフローティングであるかに基づいて、出力は表1のように機能します。

SEQ PIN STATE	MODE	$\overline{EN1}$	$\overline{EN2}$
BP	Sequential, Output 2 then Output 1	Ignored by the device. when $V_{\overline{EN2}} <$ enable threshold voltage	Active
		Tie $\overline{EN1}$ to $<$ enable threshold voltage for BP to be active when $V_{\overline{EN2}} >$ enable threshold voltage	
		Tie $\overline{EN1}$ to $>$ enable threshold voltage for low quiescent current (BP inactive) when $V_{\overline{EN2}} >$ enable threshold voltage	
GND	Sequential, Output 1 then Output 2	Active	Ignored by the device. when $V_{\overline{EN1}} <$ enable threshold voltage
			Tie $\overline{EN2}$ to $<$ enable threshold voltage for BP to be active when $V_{\overline{EN1}} >$ enable threshold voltage
			Tie $\overline{EN2}$ to $>$ enable threshold voltage for low quiescent current (BP inactive) when $V_{\overline{EN1}} >$ enable threshold voltage
(floating)	Independent or Ratiometric ,Output 1 and Output 2	Active. $\overline{EN1}$ and $\overline{EN2}$ must be tied together for Ratio-metric startup.	Active. $\overline{EN1}$ and $\overline{EN2}$ must be tied together for Ratio-metric startup.

表 1. シーケンス状態

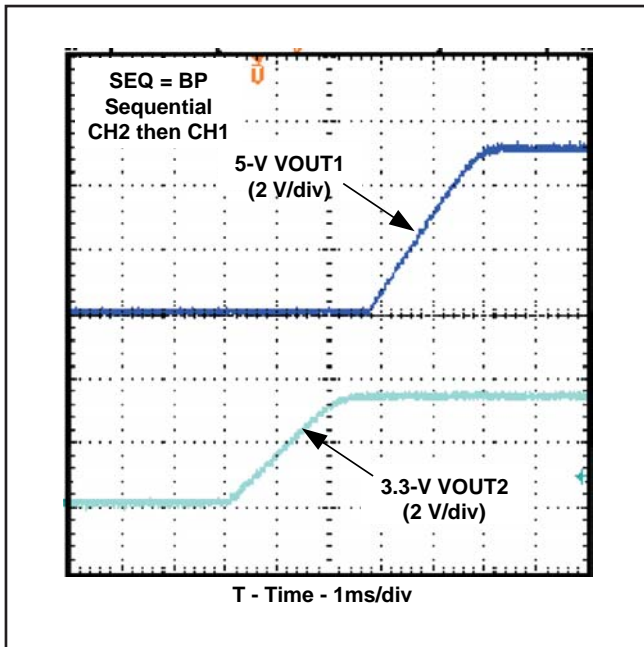


図 18. SEQピンをBPに接続

SEQピンをBPに接続すると、出力2がイネーブルの場合、出力2がレギュレーションに達してから約400 $\mu$ s後に出力1がスタートアップします。つまり、出力1が出力2に従属するシーケンシャル・スタートアップを実現できます。出力が動作している状態で $\overline{EN2}$ が“High”になると、両方の出力が直ちにディスエーブルされ、現在の負荷に従って出力電圧が低下します。

SEQピンをGNDに接続すると、出力1がイネーブルの場合、出力1がレギュレーションに達してから約400 $\mu$ s後に出力2がスタートアップします。つまり、出力2が出力1に従属するシーケンシャル・スタートアップを実現できます。出力が動作している状態で $\overline{EN1}$ が“High”になると、両方の出力が直ちにディスエーブルされ、現在の負荷に従って出力電圧が低下します。

注：シーケンシャル・モードで、SEQピンに加え、 $\overline{ENx}$ ピンにR-Cネットワークを接続することで、最初の出力電圧のスタートアップを遅延させることができます。このアプローチは、多数の出力電圧が使用され、複雑な電圧シーケンシング要件が求められるようなシステムで必要となる場合があります。「出力のイネーブルとオン時間の調整」を参照してください。

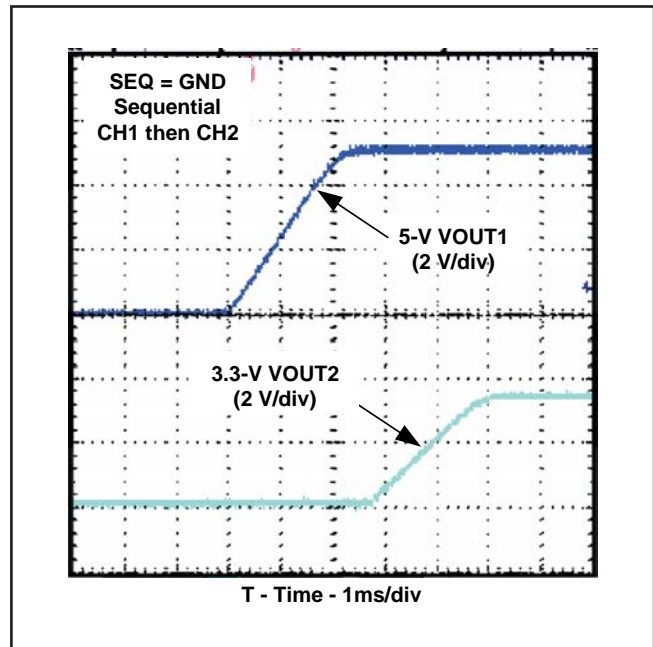


図 19. SEQピンをGNDに接続

SEQピンがフローティングの場合は、両方の出力が同時にイネーブルされたときに、出力1および出力2がそれぞれレシオメトリックにスタートアップします。出力1および出力2は、それぞれの最終出力電圧によって決定されるレートでソフト・スタートし、同時にレギュレーション状態になります。 $\overline{EN1}$ および $\overline{EN2}$ ピンが独立して動作できる場合、2つの出力も独立に動作します。

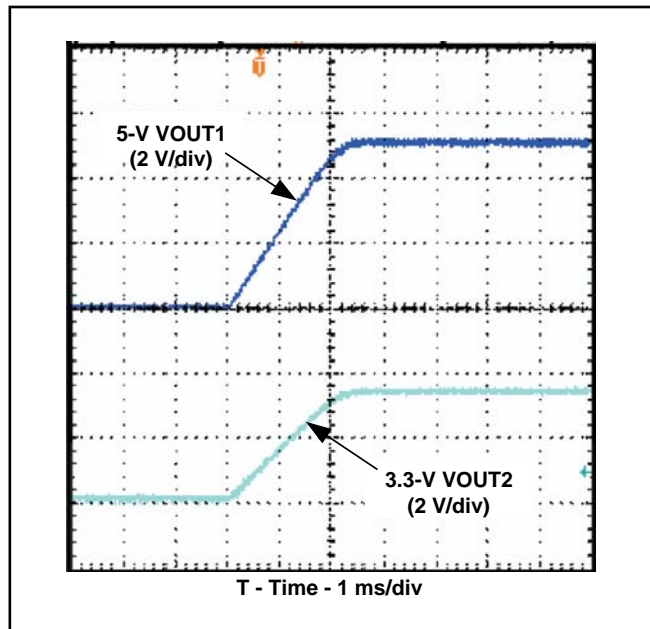


図 20. SEQピンがフローティング



## ソフト・スタート

各出力には、専用のソフト・スタート回路があります。ソフト・スタート電圧は、誤差増幅器の2つの非反転入力的一方に入力される、内部のデジタル・リファレンス・ランプです。もう一方の入力は、(内部の)高精度0.8Vリファレンスです。FB電圧が0Vから0.8Vに充電されるまでの合計上昇時間は、約2.1msです。ソフト・スタート期間の間、TPS5538xの出力は、誤差増幅器の非反転入力への電圧をゆっくり増加させます。このようにして、出力電圧は、誤差増幅器の非反転入力側の電圧が0.8Vの内部リファレンス電圧に達するまで、ゆっくり上昇します。その後、誤差増幅器の非反転入力側の電圧はリファレンス電圧に維持されます。

ソフト・スタート期間中は、パルス毎の電流制限が適用されます。過電流パルスが検出されると、PWMパルスが6パルス分スキップされ、インダクタ電流が低下するまで次のPWMパルスが印加されないようになります。(「出力過負荷保護」を参照してください。)電流制限パルスが検出されない場合は、パルスはスキップされません。

### 設計のヒント：

入力電圧 (PVDDx) の上昇レートが遅く、入力電圧が低すぎてソフト・スタート完了時までに目的のレギュレーション電圧が得られない場合は、出力UV回路が作動して、出力電圧にヒックアップが生じる可能性があります。このような場合は、PVDDx電圧で目的のレギュレーション電圧をサポートできるまでの間、 $\overline{\text{EN}}_x$ ピンからスタートアップ遅延を使用して、出力のスタートアップを遅らせます。関連情報については、「最大デューティ・サイクル付近での動作」および「最大出力容量」を参照してください。

## 出力電圧レギュレーション

各出力には、電圧設定デバイダ、誤差増幅器、パルス幅変調回路、およびスイッチングMOSFETから構成される、専用の帰還ループがあります。レギュレーション出力電圧は、出力ノード、FBxピン、およびGNDに接続される抵抗デバイダによって決定されます(図21を参照)。上側の電圧設定デバイダ抵抗の値が既知であると仮定すると、目的の出力電圧を得るための下側デバイダ抵抗の値は、式(2)で計算されます。

$$R2 = R1 \times \left[ \frac{V_{REF}}{V_{OUT} - V_{REF}} \right] \quad (2)$$

ここで

- $V_{REF}$ は、0.8Vの内部リファレンス電圧です。

### 設計のヒント：

TPS5538xの一方の出力がディスエーブルのとき、SWピンから最大12 $\mu$ Aのリーク電流があります。R1 + R2の直列インピーダンスを50k $\Omega$ 未満に保持することで、制御回路出力がオフ状態の間、出力がリファレンス電圧以上にフローティングするのを防止できます。

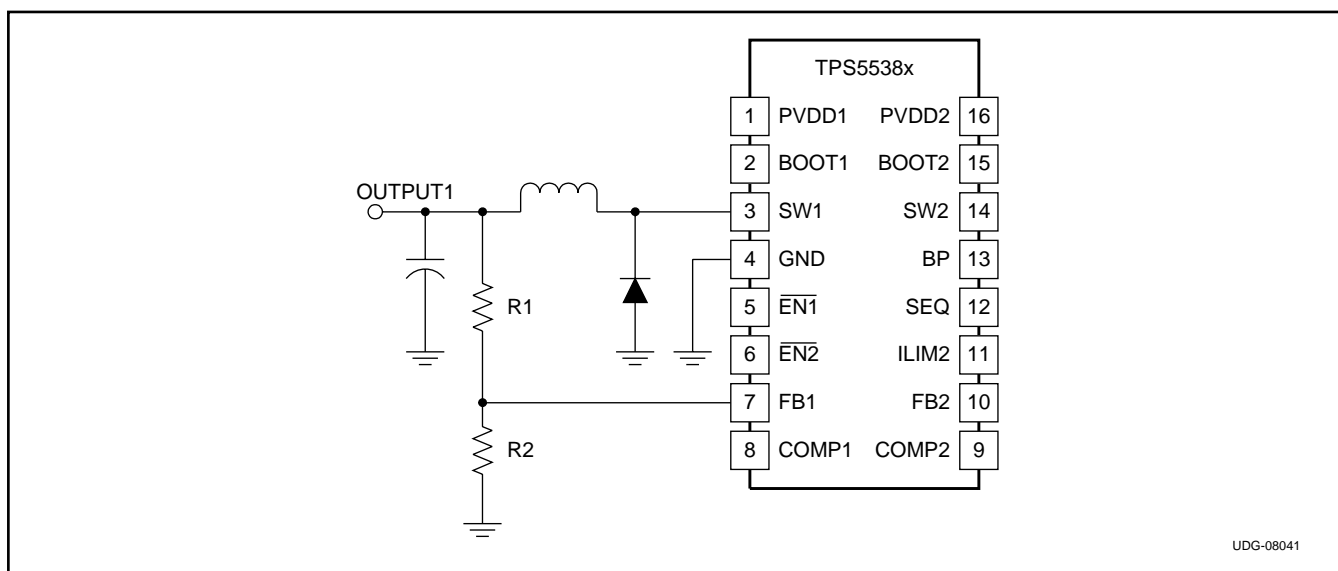


図 21. チャンネル1の電圧設定デバイダ・ネットワーク

## 帰還ループ補償部品の選択

帰還信号経路上で、出力電圧設定デバイダの後には、標準315 $\mu$ Sのトランスコンダクタンスを持つ $g_M$ タイプの内部誤差増幅器が配置されています。 $g_M$ 増幅器の出力 (COMPxピン) とグランドとの間に外部で接続された直列R-C回路は、コンバータの補償ネットワークとして機能します。誤差増幅器出力からの信号はバッファリングされ、スロープ補償信号と結合後、ミラーリングされてSWノードにリファレンスされます。さらに、電流帰還信号と比較されて、上側MOSFETスイッチに供給されるパルス幅変調 (PWM) 信号が作成されます。信号制御経路の単純な等価回路を図22に示します。

**注：** SWxノードからBOOTxの内部回路にノイズが結合されると、特に負荷電流が1A未満の場合に、狭いパルス幅動作に影響が出る可能性があります。SWxノードのノイズを低減する方法については、「SWノードのリングング」を参照してください。

図23に、より一般的な小信号等価ブロック図を示します。ここでは、閉ループ信号経路の全体が示されています。TPS5538xには内部スロープ補償が内蔵されているため、外部L-Cフィルタは、結果の制御ループが安定性条件を満足するよう適切に選択する必要があります。

## インダクタの選択

インダクタンスの値は、出力リップル電流が300mA~900mAとなるように計算します。リップル電流が低いと、DC負荷電流が低いときに不連続モード (DCM) 動作となり、リップル電流が高いと、一般に閉ループ帯域幅を大きくできます。

$$L = \frac{V_{IN} - V_{OUT}}{\Delta I_{OUT}} \quad (3)$$

**注：** 入力範囲の広いコンバータでは、入力電圧が最も高いときにリップル電圧が最大となります。

**注：** 過電流保護 (OCP) が作動する負荷電流は、リップル電流の大きさに依存します。これは、監視対象がスイッチのピーク電流であるためです。「出力過負荷保護」を参照してください。

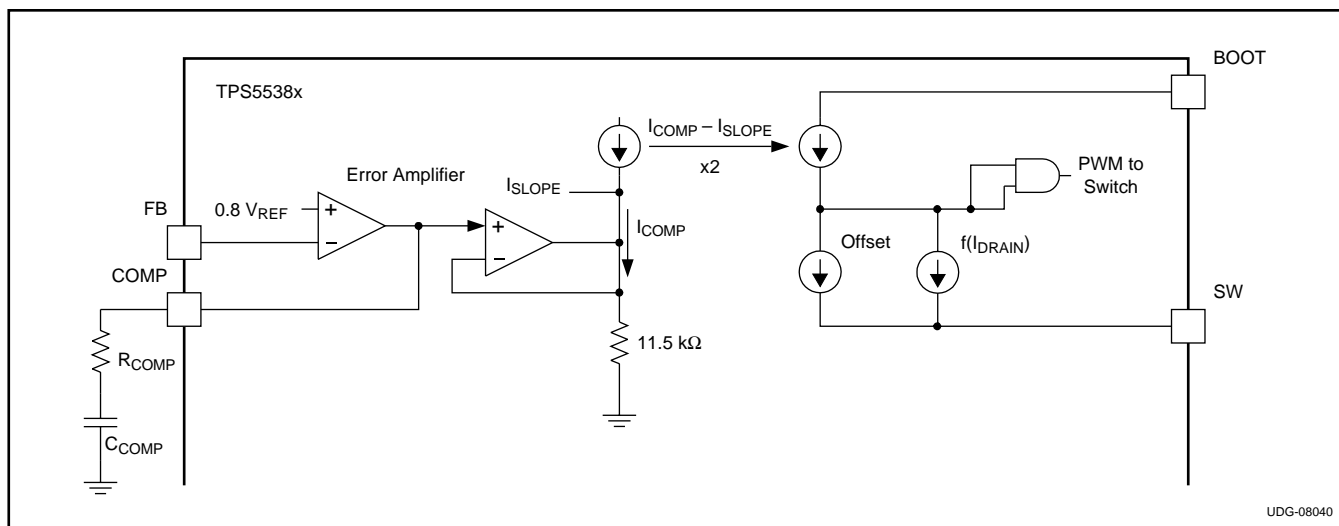


図 22. 帰還ループの等価回路

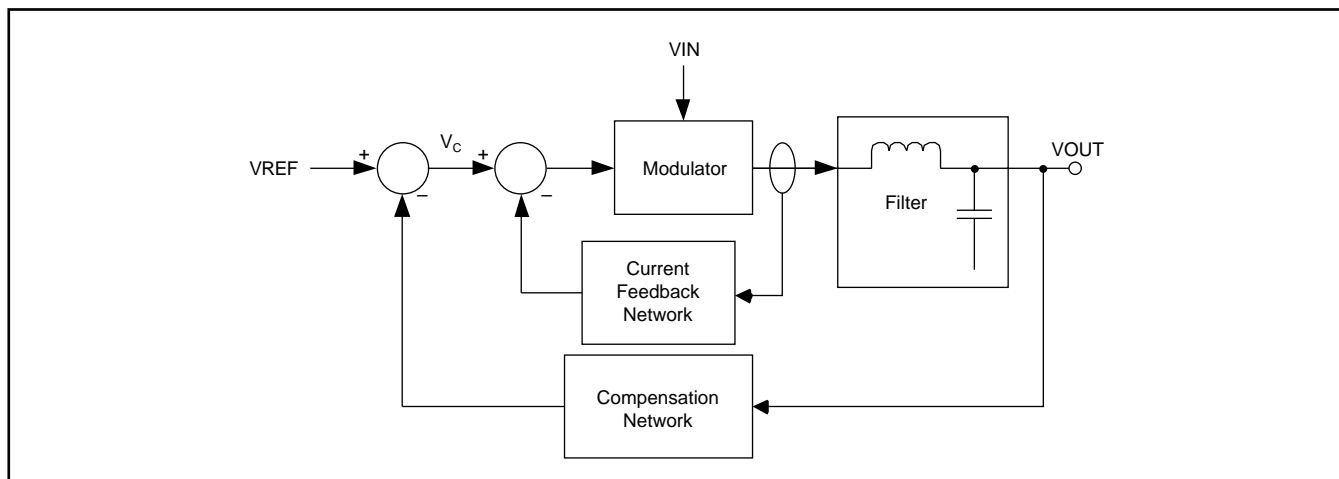


図 23. 小信号等価ブロック図



## 最大出力容量

パルス毎の内部電流制限と、固定されたソフト・スタート時間が使用されているため、スタートアップで問題が生じない最大の出力容量制限があります。出力容量が大きすぎて、スタートアップ中にデバイスが電流制限保護モードに入ってしまう場合は、出力がレギュレーションに到達しない可能性があります。その場合、TPS5538xは、出力がグランドに短絡した場合と同様に、単純にシャットダウンしてリスタートを試みます。最大出力容量（負荷に分散しているバイパス容量も含む）は、式(4)で与えられます。

$$C_{OUT(max)} = \frac{t_{SS}}{V_{OUT}} \left( I_{CLx} - \left( \frac{1}{2} \times I_{RIPPLE} \right) - I_{LOAD} \right) \quad (4)$$

## 最小出力容量

閉ループ安定性のために選択する容量の値は、ソフト・スタート要件と矛盾しないようにしてください。

## 帰還ループの補償

帰還ループの補償に必要な部品を決定するには、コントローラの周波数応答特性を理解し、望ましいクロスオーバー周波数を選択する必要があります。この閉ループ・クロスオーバー周波数としてスイッチング周波数の10%を使用すると、最良の結果が得られます。場合によっては、スイッチング周波数の最大20%までが可能です。

出力フィルタ部品を選択したら、次の手順は変調回路のDCゲインを計算することです。TPS55386の場合は、次のようになります。

$$F_{MTPS55386} = \frac{600000}{\left[ 19.7 \times e^{(1.5 \times 10^6 \times t_{ON})} + 50 \times 10^{-6} \times \left( \frac{V_{IN} - V_{OUT}}{L} \right) \right]} \quad (5)$$

TPS55383の変調回路のゲインは、次の式で近似されます。

$$F_{MTPS55383} = \frac{300000}{\left[ 19.7 \times e^{(5.6 \times 10^5 \times t_{ON})} + 50 \times 10^{-6} \times \left( \frac{V_{IN} - V_{OUT}}{L} \right) \right]} \quad (6)$$

コンバータの制御-出力間伝達関数の全体のDCゲインは、次の式で近似されます。

$$f_c = \frac{V_{IN} \times F_m \times 2 \times 10^{-4}}{\left( 1 + \left( \frac{V_{IN} \times F_m \times 50 \times 10^6}{R_{LOAD}} \right) \right)} \quad (7)$$

次の手順は、目的のクロスオーバー周波数での望ましい誤差増幅器のゲインを見つけることです。単一極でのロールオフを仮定し、目的のクロスオーバー周波数で次の式を評価します。

$$K_{EA} = -20 \times \log \left( \frac{f_c}{1 + 2\pi \times f_{CO} \times R_{LOAD} \times C_{OUT}} \right) \quad (8)$$

広いデューティ・サイクル(50%以上)で動作しているときには、電圧設定デバイダの上側抵抗と並列にコンデンサが必要となる場合があります(図24を参照)。デューティ・サイクルが50%未満の場合、このコンデンサは省略できます。

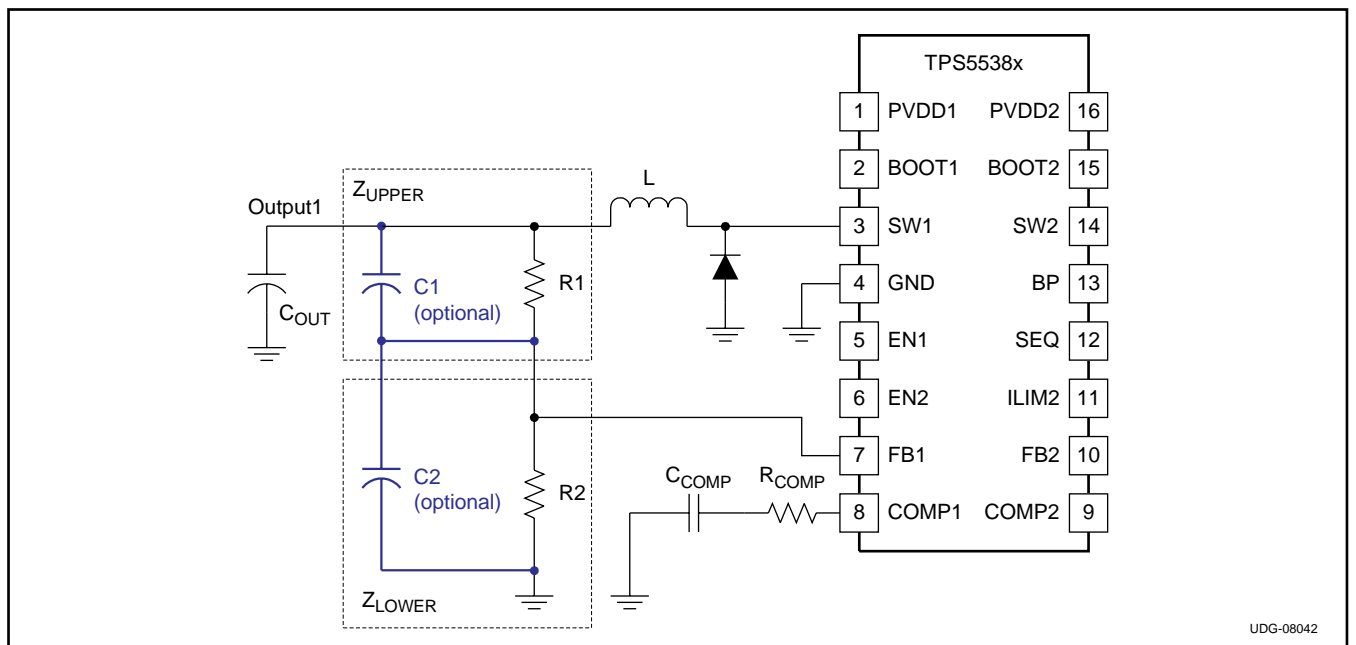


図 24. ループ補償部品

$$C1 = \frac{\sqrt{L \times C_{OUT}}}{R1} \quad (9)$$

出力フィルタに高ESRのコンデンサを使用した場合、ループ応答にゼロが現れ、不安定性につながる可能性があります。補償のために、下側の電圧設定デバイダ抵抗と並列に、小さなコンデンサを配置します(図24を参照)。このコンデンサの値は、ESRゼロと同じ周波数に極が配置されるように決定します。低ESRのコンデンサを使用する場合は、このコンデンサは省略できます。

$$C2 = C_{OUT} \times \frac{R_{ESR} \times (R2 + R1)}{R2 \times R1} \quad (10)$$

次に、誤差増幅器のゲイン設定用抵抗およびコンデンサの値を計算します。

$$R_{COMP} = \frac{10^{\frac{K_{EA}}{20}} \times (Z_{LOWER} + Z_{UPPER})}{9M \times Z_{LOWER}} \quad (11)$$

$$C_{COMP} = \frac{1}{2\pi \times f_{POLE} \times R_{COMP}} \quad (12)$$

ここで

$$f_{POLE} = \frac{1}{2\pi \times R_{LOAD} \times C_{OUT}} \quad (13)$$

注： フィルタおよび補償部品の値が決定したら、コンバータの安定性を確認するために、物理的設計のラボ測定を行う必要があります。

### NチャネルMOSFETのブートストラップ

ブートストラップ回路によって、入力電圧より高く、スイッチングMOSFETを各スイッチング・サイクルで完全にオンするのに十分なエネルギーを持つ、電圧源が提供されます。PWMデューティ・サイクルは最大90%に制限され、外部ブートストラップ・コンデンサを内部の同期スイッチ (BP-BOOTx間) を通して各サイクルで充電することができます。PWMスイッチをオンにすると、MOSFETゲートを駆動するためのエネルギーがこのコンデンサの電圧から得られます。

各スイッチング・サイクルでブートストラップ・コンデンサを充電するために、内部のプルダウンMOSFET (SW-GND間) が、各スイッチング・サイクルの開始時に約140nsの間オンになります。軽負荷動作時に、SWノードを自然にグランドまでドライブするエネルギーが不足している場合でも、このMOSFETによりSWノードが強制的にグランドにプルダウンされ、ブートストラップ・コンデンサの充電が可能になります。

これは電荷転送回路であるため、ブートストラップ・コンデンサの値の選択には注意が必要です。サイクル毎にコンデンサに蓄えられるエネルギーが、使用されるMOSFETのゲート電荷要件よりも大きい必要があります。

#### 設計のヒント：

ブートストラップ・コンデンサには、22nF～82nFのセラミック・コンデンサを使用します。

注： 5V入力アプリケーションの場合は、PVDDxを直接BPに接続してください。この接続により、内部の制御回路レギュレータがバイパスされ、ゲート駆動回路に最大電圧が供給されます。この構成では、シャットダウン・モードのIDDSDNが無信号時のIDDQと同じになります。

### 最大デューティ・サイクル付近での動作

TPS5538xが最大デューティ・サイクルで動作し、入力電圧が出力電圧のサポートに不十分である(全負荷または負荷電流過渡状態)場合は、出力電圧がレギュレーション範囲から外れ、出力UVコンパレータが作動する可能性があります。そのような場合は、TPS5538xの保護回路で障害と認識され、シャットダウン-再起動のサイクルに入ります。

#### 設計のヒント：

すべてのライン/負荷レギュレーション条件において、デューティ・サイクルが出力電圧レギュレーションを維持するのに十分であることを確認してください。

動作デューティ・サイクルを計算するには、式(14)を使用します。

$$\delta = \frac{V_{OUT} + V_{DIODE}}{V_{IN} + V_{DIODE}} \quad (14)$$

ここで

- $V_{DIODE}$ は、整流ダイオードの順方向電圧降下です。

## 軽負荷動作

軽負荷でのパルス・スキップのための特別な回路はありません。非同期コンバータの通常の特性として、平均負荷電流がインダクタのピークツーピーク・リップル電流の1/2未満の場合は不連続導通モード (DCM) で動作します。式 (15) に示されるように、リップル電流の振幅は入力電圧、出力電圧、インダクタ値、および動作周波数の関数であることに注意してください。

$$I_{DCM} = \frac{1}{2} \times \frac{V_{IN} - V_{OUT}}{L} \times \delta \times T_S \quad (15)$$

不連続モード動作中は、指令パルス幅がコンバータの分解能力よりも狭くなる場合があります。出力電圧をレギュレーション内に維持するために、このモードでは軽負荷時のスイッチング・パルスのスキップが自然に実現されます。この状況は、出力コンデンサが出力レギュレーション電圧を超える値まで充電され、それを放電するのに十分な負荷がない場合に発生します。パルスのスキップの副効果として、ピークツーピーク出力リップル電圧が増加します。

### 設計のヒント：

DCM動作中の出力電圧リップルを低減するために追加の出力容量が必要である場合は、必ず「最大出力容量」のセクションを再確認してください。

## SWノードのリングング

制御回路の一部はSWノードにリファレンスされています。ジッタの発生を防ぐには、SWノードでの電圧波形のリングングを5Vピーク未満、30ns以内に抑える必要があります。適切なプリント基板 (PCB) レイアウト手法に従うことに加え、リングングとノイズを減らすための設計手法がいくつかあります。

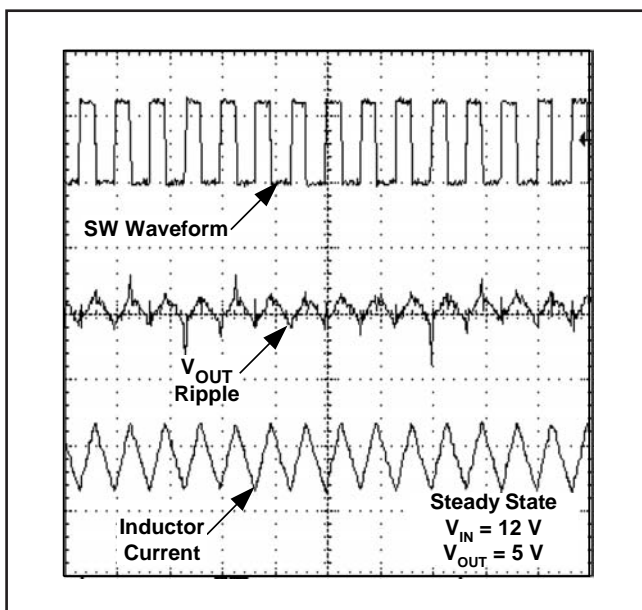


図 25. 定常状態

## SWノード・スナバ

SWノードの電圧リングングは、高速のスイッチング・エッジと、寄生インダクタンスおよび寄生容量によって発生します。リングングによってSWノードの電圧が過大になる場合や、コンバータの動作が不規則になる場合には、R-Cスナバを使用してリングングを抑制し、負荷範囲全体にわたって適切な動作を保証することができます。

### 設計のヒント：

SWとGNDの間にR-Cスナバ (C = 330pF~1nF, R = 10Ω) を直列接続すると、SWノードのリングングが低下します。

## ブートストラップ抵抗

ブートストラップ・コンデンサに直列に小さい抵抗を接続すると、内部MOSFETのターンオン時間が短くなり、SWノードの立ち上がりエッジのリングングを低減できます。

### 設計のヒント：

ブートストラップ・コンデンサに直列に1Ω~3Ωの抵抗を接続することで、SWノードのリングングを低減できます。

### 設計のヒント：

これらの部品が必要になった場合に備えて、初期プロトタイプPCBには、これらの部品のプレースホルダを配置してください。

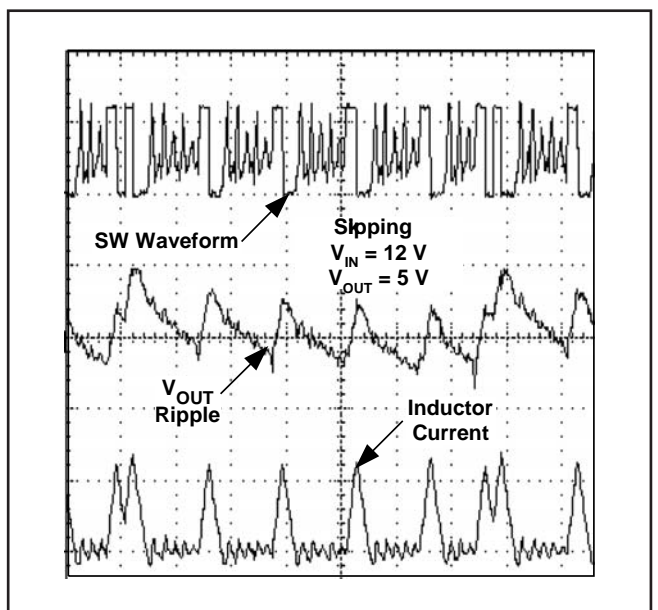


図 26. スキップ状態

## 出力過負荷保護

いずれかの出力でソフト・スタート時に過電流が発生した場合(起動時に出力が短絡した場合など)には、内部ソフト・スタート・タイマが終了するまでの間、その出力に対してパルス毎の電流制限とPWM周波数分割が適用されます。ソフト・スタート時間が終了すると、UV障害として認識されます。この障害の間、両方のPWM出力がディスエーブルとなり、小さなプルダウンMOSFET (SW<sub>x</sub>とGNDの間) がオンになります。このプロセスにより、一方の出力で過電流が発生し、もう一方が無負荷である場合に、両方の出力がGNDに放電されます。次に、コンバータは、ヒックアップ・モード・タイムアウトに入ってから、再起動を試みます。“周波数分割”とは、過電流パルスが検出された場合に、6クロック・サイクル分スキップしてから次のPWMパルスを開始する状態を意味します。これにより、実質的に動作周波数が1/6となり、インダクタに過度の電流が蓄積されることを防ぎます。

出力がレギュレーションに達した後で、どちらかの出力に過電流状態が発生した場合は、その出力に対してパルス毎の電流制限が適用されます。また、出力低電圧(UV)コンパレータによってFB<sub>x</sub>電圧(出力電圧に追従)が監視され、出力がレギュレーションの85%未満に低下した場合は、障害と認識されます。この障害状態の間、両方のPWM出力がディスエーブルとなり、小さなプルダウンMOSFET (SW<sub>x</sub>とGNDの間) がオンになります。この設計により、一方の出力で過電流が発生し、もう一方が無負荷である場合に、両方の出力がGNDに放電されます。次に、コンバータは、ヒックアップ・モード・タイムアウトに入ってから、再起動を試みます。

出力1の過電流スレッシュホールドは、通常4.5Aに設定されています。出力2の過電流レベルは、ILIM2ピンの状態によって決定されます。出力2のILIM設定はラッチされず、コンバータの動作中に変更可能です。

ILIM2 Connection	OCP Threshold for Output 2
BP	4.5 A nominal setting
(floating)	3.0 A nominal setting
GND	1.5 A nominal setting

表 2. 出力2の電流制限スレッシュホールド調整

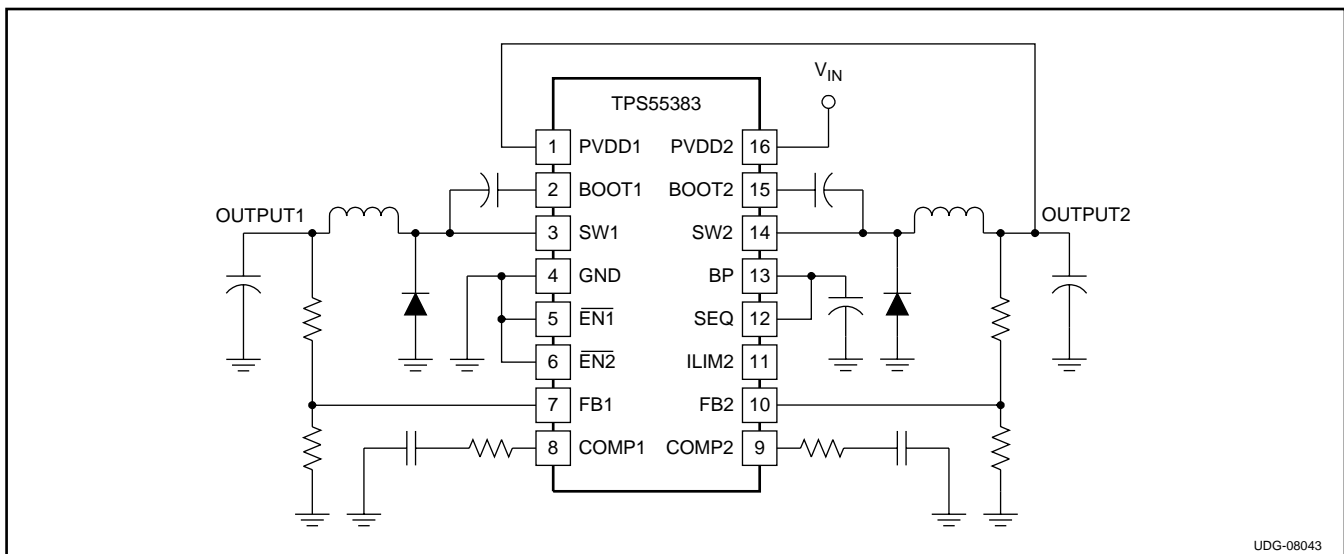


図 27. 出力2からPVDD1へのカスケード接続図

## 設計のヒント:

OCPスレッシュホールドは、内部スイッチのピーク電流に対して設定されます。実際の動作点がOCPスレッシュホールドにどの程度近いかを確認する場合は、DC負荷電流にピーク・インダクタ・リップル電流の1/2を加算してください。

## デュアル電源動作

TPS55383は、2つの電源から動作することが可能です。そのようなアプリケーションが必要な場合は、PVDD2がUVLO電圧を上回ってからPVDD1が上昇を開始するように、電源のシーケンシングを行う必要があります。このレベル要件により、PVDD1が出力にエネルギーを供給する前に、内部レギュレータおよび制御回路が動作していることが保証されます。また、出力1のレギュレーションに十分な電圧がPVDD1に得られるまで、出力1はディスエーブル状態(EN1が“High”)に保持される必要があります。(「最大デューティ・サイクル付近での動作」を参照してください。)

推奨されるシーケンスを次に示します。

1. PVDD2が上昇して入力UVLO電圧を上回る。
2. PVDD1が出力1のレギュレーションに十分なレベルを超えるまでの間、出力1がディスエーブルの状態です。PVDD1が上昇する。

この2つの条件が満足できれば、PVDD2とPVDD1の大小関係に制限はありません。

## 設計のヒント:

EN1でのR-C遅延を使用して、PVDD1が出力1の負荷をサポートできるまで十分に長い期間、出力1のスタートアップを遅らせることができます。

## カスケード電源動作

図27および図28に示されるように、出力2からPVDD1を供給することが可能です。入力電圧が出力1の電圧に比べて高いときには、この構成が推奨される場合があります。

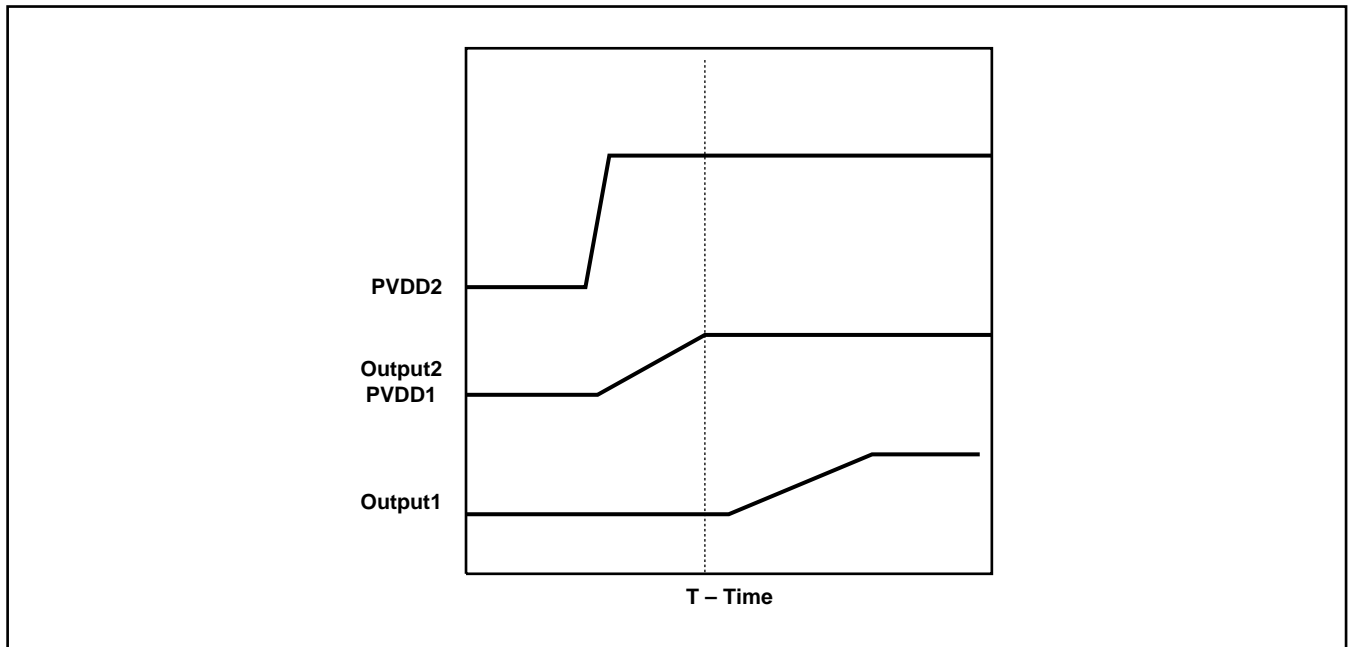


図 28. 出力2からPVDD1へのカスケード接続による波形

この構成では、以下の条件を満たす必要があります。

1. 出力2は、すべての負荷条件で出力1のレギュレーションを維持するために十分に高い電圧である。
2. 出力2の負荷へ流れる電流とPVDD1へ流れる電流との和が、出力2の過負荷保護電流レベルよりも小さい。
3. 出力2の電圧が出力1のサポートに十分なレベルに達してから出力1がイネーブルになるよう、出力シーケンシングが設定されている。この要件は、以下によって実現できます。
  - a. イネーブルの遅延機能
  - b. 出力2のレギュレーション到達後に出力1を起動させる逐次立ち上げの選択

### マルチフェーズ動作

TPS5538xは、最大6Aを供給可能な2チャンネル・マルチフェーズ・コンバータとして動作するように構成できます。図29に、推奨ピン接続を示します。この構成では、最大電流を得るためにFB2をBPに接続し、2つの出力フィルタ・インダクタを同じ値とする必要があります。単一チャンネル出力の場合と同じ手順でR<sub>COMP</sub>およびC<sub>COMP</sub>を計算してから、補償部品としてR<sub>COMP</sub>値の1/2とC<sub>COMP</sub>値の2倍を使用します。詳細については、工場にお問い合わせください。

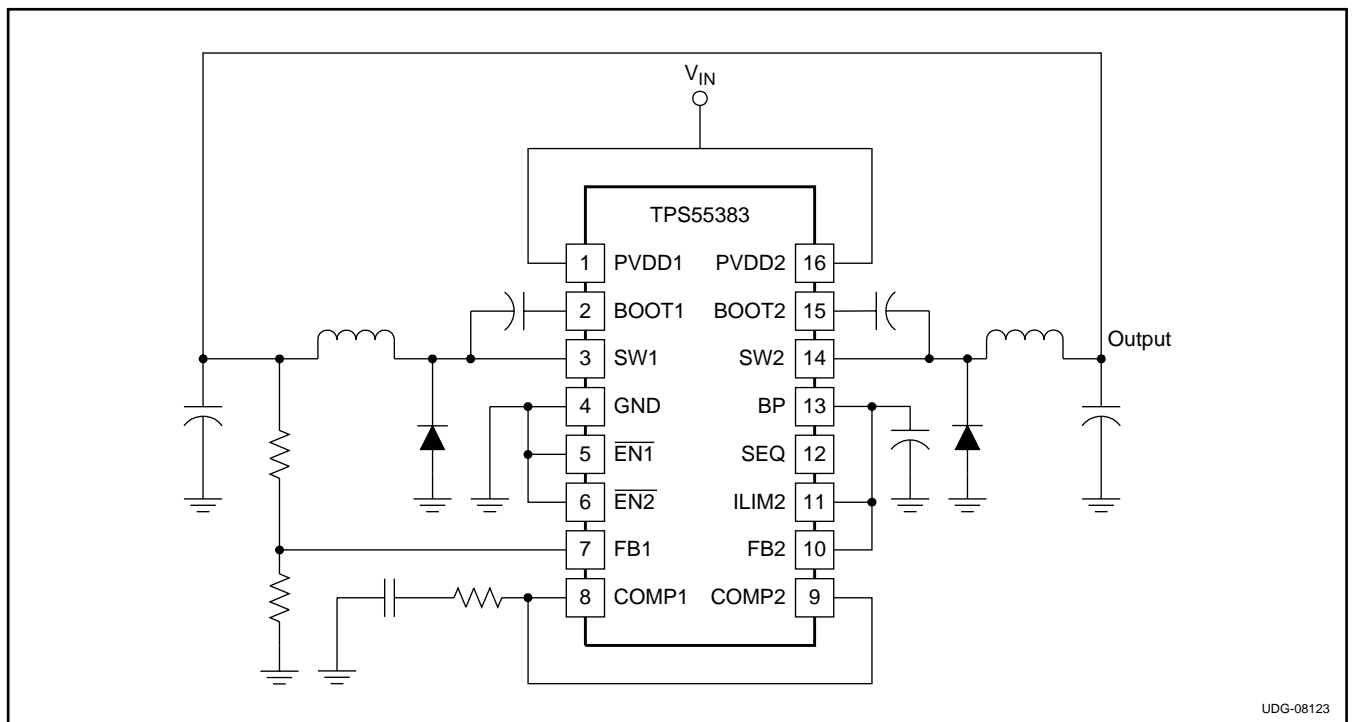


図 29. マルチフェーズ動作の回路図



## バイパスとフィルタリング

他のすべてのICと同様に、ジッタのない動作のためには電源のバイパスが重要です。コンバータのノイズ耐性を向上させるには、セラミック・バイパス・コンデンサをパッケージのできるだけ近くに配置する必要があります。

1. PVDD1-GND間：10μFのセラミック・コンデンサを使用。
2. PVDD2-GND間：10μFのセラミック・コンデンサを使用。
3. BP-GND間：4.7μF～10μFのセラミック・コンデンサを使用。

## 過熱保護と接合部温度上昇

過熱保護機能により、特定の動作周囲温度で消費される最大電力が制限されます。つまり、特定のデバイス消費電力においては、接合部の最大許容動作温度によって最大動作周囲温度が制限されます。デバイスの接合部温度は消費電力の関数であり、接合部から周囲への熱インピーダンスの関数です。内部のチップ温度が過熱シャットダウン・レベルに達した場合、TPS5538xは両方のPWMをオフにし、チップ温度がヒステリシス値未満に低下するまで、その状態を維持します。チップ温度がヒステリシス値未満に低下した時点で、デバイスは再起動します。

デバイスの接合部温度を決定する最初の手順は、消費電力を計算することです。消費電力の内訳は、2つのスイッチングMOSFETと、BP内部レギュレータが大半を占めています。各MOSFETで消費される電力は、導通損失と、外部整流ダイオードの駆動による出力（スイッチング）損失から構成されます。導通損失を求めるには、最初に、上側スイッチMOSFETに流れるRMS電流を求めます。

$$I_{RMS(outputx)} = \sqrt{D \times \left[ I_{OUTPUTx}^2 + \frac{(\Delta I_{OUTPUTx})^2}{12} \right]} \quad (16)$$

ここで

- Dは、デューティ・サイクルです。
- $I_{OUTPUTx}$ は、DC出力電流です。
- $\Delta I_{OUTPUTx}$ は、出力xのインダクタを流れるピーク・リップル電流です。

結果に対する動作デューティ・サイクルの影響に注意してください。

この結果に、MOSFETの $R_{DS(on)}$ を乗算することで、導通損失が得られます。

$$P_{D(cond)} = I_{RMS(outputx)}^2 \times R_{DS(on)} \quad (17)$$

スイッチング損失は、次の式で近似できます。

$$P_{D(SW)} = \left( \frac{V_{IN}^2 \times C_J \times f_S}{2} \right) \quad (18)$$

ここで

- $C_J$ は、整流ダイオードとスナバ（使用している場合）の並列容量です。
- $f_S$ は、スイッチング周波数です。

合計の消費電力は、両方のMOSFETの電力損失を合計し、さらに内部レギュレータの損失を加算することで求められます。

$$P_D = P_{D(cond)output1} + P_{D(SW)output1} + P_{D(cond)output2} + P_{D(SW)output2} + V_{IN} \times I_q \quad (19)$$

デバイス接合部の温度上昇は、接合部-サーマル・パッド間の熱インピーダンス（「パッケージ定格消費電力」の表を参照）と、サーマル・パッド-周囲間の熱インピーダンスによって決まります。サーマル・パッド-周囲間の熱インピーダンスは、PCBのレイアウト（PCBに対するPowerPADインターフェイス、露出したパッド領域）およびエアフロー（使用している場合）によって決まります。「PCBレイアウトのガイドライン」および「参考資料」を参照してください。

動作接合部温度は、式(20)で示されます。

$$T_J = T_A + P_D \times (\theta_{TH(pkg)} + \theta_{TH(pad-amb)}) \quad (20)$$

## 電力ディレーティング

サーマル・パッドからの熱インピーダンスによって接合部温度が過熱シャットダウン・レベルを下回っている場合、TPS5538xは、+85°Cの周囲温度でフル電流を供給することができます。それより高い周囲温度では、接合部温度を過熱シャットダウン・レベル以下に保持するために、デバイスの消費電力を下げる必要があります。図30に、各種のエアフロー条件における、周囲温度上昇時の電力ディレーティングを示しています。これらの曲線は、PowerPADが推奨サーマル・パッドに適切に半田付けされていることを仮定しています。（詳細については、「参考文献」を参照してください。）

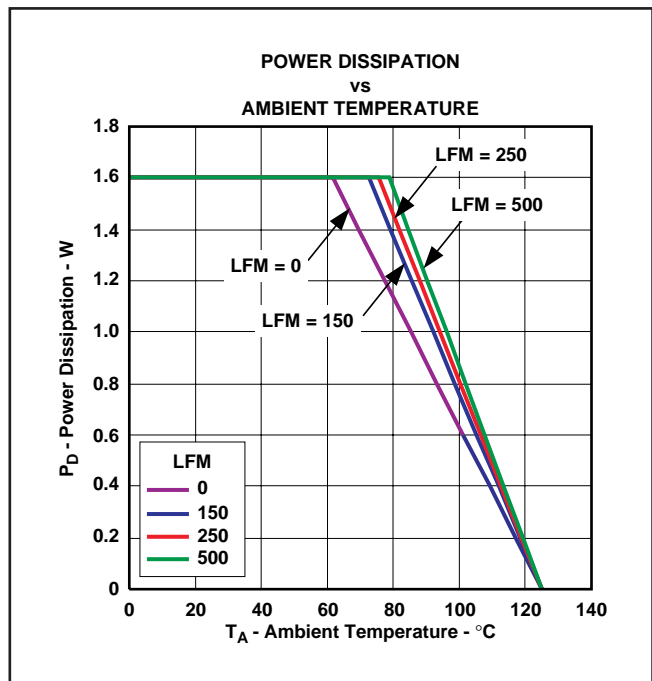


図 30. 電力ディレーティング曲線

## PowerPADパッケージ

PowerPADパッケージは、デバイスからの放熱を助けるために、低い熱インピーダンスを持っています。PowerPADの名称と低い熱インピーダンスは、デバイスの底面の大きなボンディング・パッドに由来しています。回路基板上では、パッケージの下に半田錫めっき銅領域が必要です。この領域の大きさは、PowerPADパッケージのサイズによって決まります。サーマル・ビアを使用して、この領域を内部または外部の銅プレーンに接続します。ビアのパレルを銅でめっきしたときにビア・ホールが確実にふさがれるように、ビアのドリル径は十分に小さくしてください。このようにビア・ホールをふさぐのは、半田リフロー中に、パッケージ本体とデバイス下部の半田錫めっき領域との間の界面から半田の這い上がりを防ぐためです。ビアのパレルを同時にめっきしながら基板表面に1オンスの銅をめっきする場合、ドリル径は0.33 mm (13mil) で十分です。銅めっき時にサーマル・ビアがふさがれない場合は、半田マスク材料を使用して、0.1 mm以上のビア直径に等しい直径でビアをふさいでください。それにより、サーマル・ビアを通して半田が這い上がるのを防ぎ、パッケージの下に半田空隙が発生しないようにします。〔参考資料〕を参照してください。

## PCBレイアウトのガイドライン

ここに示すレイアウトのガイドラインは、図31および図32のPCBレイアウト例に示されています。

- 放熱のために、PowerPADを表面の使用可能な銅領域を通じて低電流グラウンドに接続する必要があります。デバイスのパッケージ領域の外までグラウンド・ランドを拡張することを推奨します。

- 10mil (.010インチ、または0.0254mm)の幅広いパターンを通して、GNDピンをPowerPADに接続します。
- PVDD1およびPVDD2の近くにセラミック入力コンデンサを配置します。セラミック入力コンデンサのグラウンドは、50mil以上の幅広いパターンを通してPowerPADに接続する必要があります。
- SW1またはSW2から、スイッチ・ノード、インダクタ、出力コンデンサ、および整流ダイオードを通して、幅広いパターンによる緊密なループを保持します。このループ内にビアを設けるのは避けてください。
- 入力コンデンサから整流ダイオードまでの間は幅広いグラウンド接続を使用し、電源パスにできるだけ近づけて配置します。ダイオードおよびスイッチ・ノードの直下を推奨します。
- ブートストラップ・コンデンサをBOOTピンの近くに配置して、ゲート駆動ループを最小限にします。
- 帰還部品および補償部品は、GND上に配置し、スイッチ・ノードおよび整流ダイオードから入力コンデンサへのグラウンド接続からは離して配置します。
- スナバ部品は、整流ダイオードの近くに配置して、ループ面積を最小限にします。
- BPバイパス・コンデンサは、デバイスのできるだけ近くに配置します。ループ面積は最小限にすることを推奨します。
- 出力セラミック・コンデンサは、インダクタと電解コンデンサ(使用している場合)の間のインダクタ出力端子付近に配置します。

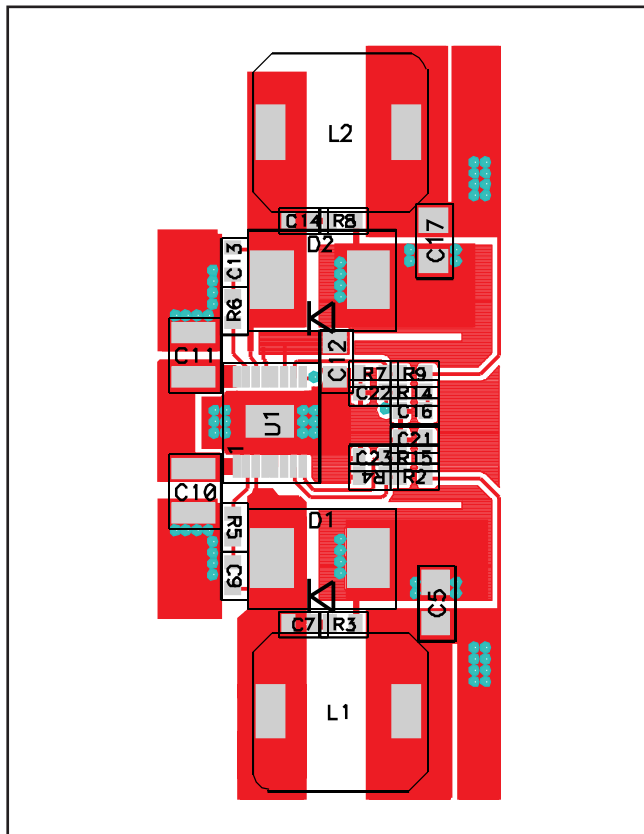


図 31. 最上層銅領域のレイアウトと部品配置

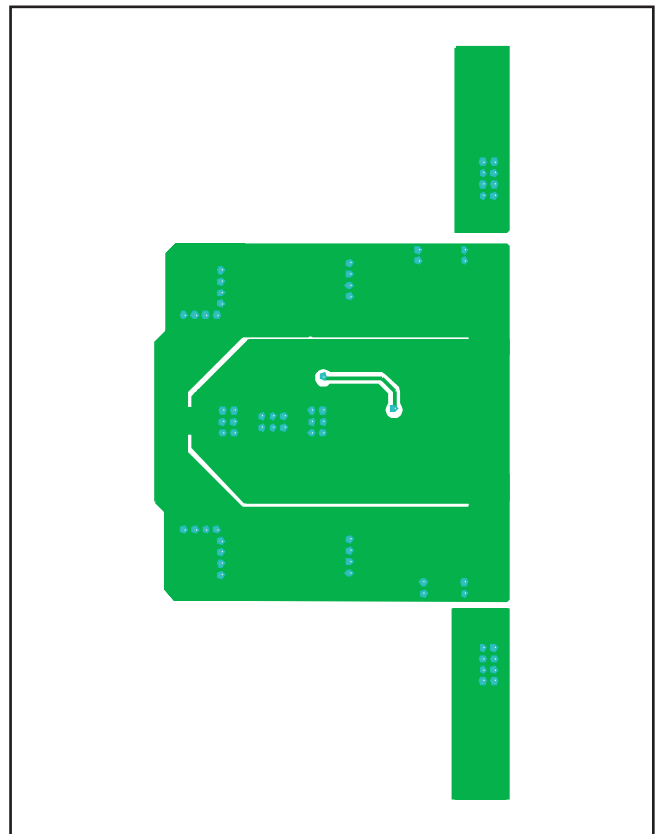


図 32. 最下層銅領域のレイアウト

# 設計例

## 例1：12V-5V/3.3Vコンバータの詳細設計

### 設計例1の概要

この例では、TPS55386コンバータを使用した、12Vから5V/3.3Vへのデュアル非同期降圧型レギュレータに対する設計プロセスおよび部品選択を示します。このセクションの終わりに、設計例と部品表を示しています。

パラメータ	NOTES AND CONDITIONS	MIN	NOM	MAX	単位
<b>INPUT CHARACTERISTICS</b>					
$V_{IN}$	Input Voltage	9.6	12.0	13.2	V
$I_{IN}$	Input Current	$V_{IN} = \text{Nom}, I_{OUT1} = I_{OUT2} = \text{Max}$		2.4	A
	No Load Input Current	$V_{IN} = \text{Nom}, I_{OUT} = 0\text{A}$		12	mA
$V_{IN\_UVLO}$	Input UVLO	$I_{OUT} = \text{Min to Max}$		4.4	V
<b>OUTPUT CHARACTERISTICS</b>					
$V_{OUT1}$	Output Voltage 1	$V_{IN} = \text{Nom}, I_{OUT} = \text{Nom}$		5.20	V
$V_{OUT2}$	Output Voltage 2	$V_{IN} = \text{Nom}, I_{OUT} = \text{Nom}$		3.40	V
	Line Regulation	$V_{IN} = \text{Min to Max}$		1%	
	Load Regulation	$I_{OUT} = \text{Min to Max}$		1%	
$V_{OUT\_ripple}$	Output Voltage Ripple	$V_{IN} = \text{Nom}, I_{OUT} = \text{Max}$		50	mVpp
$I_{OUT1}$	Output Current 1	$V_{IN} = \text{Min to Max}$		3.0	A
$I_{OUT2}$	Output Current 2	$V_{IN} = \text{Min to Max}$		3.0	A
$I_{OCP1}$	Output Over Current Channel 1	$V_{IN} = \text{Nom}, V_{OUT} = V_{OUT1} - 5\%$		5.2	A
$I_{OCP2}$	Output Over Current Channel 2	$V_{IN} = \text{Nom}, V_{OUT} = V_{OUT2} - 5\%$		5.2	A
	Transient Response				
	$\Delta V_{out}$ from load transient	$\Delta I_{OUT} = 1\text{A}$ at $3\text{A}/\mu\text{s}$		200	mV
	Settling Time	To 1% of $V_{out}$		1	ms
<b>SYSTEM CHARACTERISTICS</b>					
$f_{SW}$	Switching Frequency	500	600	700	kHz
$\eta_{pk}$	Peak Efficiency	$V_{IN} = \text{Nom}, I_{OUT1} = I_{OUT2}$		93%	
$\eta$	Full Load Efficiency	$V_{IN} = \text{Nom}, I_{OUT1} = I_{OUT2} = \text{Max}$		86%	
Top	Operating Temperature Range	$V_{IN} = \text{Min to Max}, I_{OUT} = \text{Min to Max}$		60	$^{\circ}\text{C}$

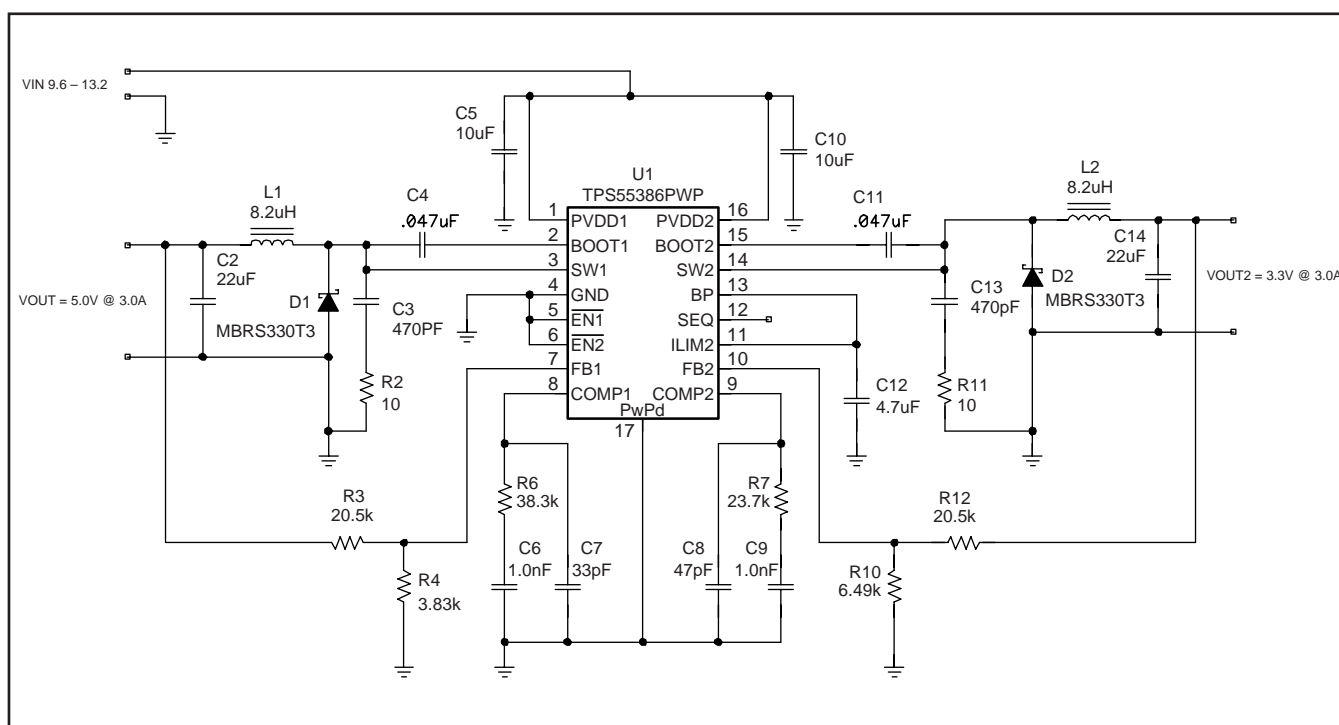


図 33. 設計例の回路図



このアプリケーションの部品表は、表3に示されています。この設計を使用して構築された基板の効率、ラインおよび負荷レギュレーションの測定値は、図34および図35に示されています。

## 設計例1：ステップ毎の設計手順

### デューティ・サイクルの見積もり

各チャンネルのメイン・スイッチングFETのデューティ・サイクルは、以下の式で見積もられます。

$$D_{MAX1} \approx \frac{V_{OUT1} + V_{FD}}{V_{IN(min)} + V_{FD}} = \frac{5.0 + 0.4}{9.6 + 0.4} = 0.540 \quad (21)$$

$$D_{MAX2} \approx \frac{V_{OUT2} + V_{FD}}{V_{IN(min)} + V_{FD}} = \frac{3.3 + 0.4}{9.6 + 0.4} = 0.370 \quad (22)$$

$$D_{MIN1} \approx \frac{V_{OUT1} + V_{FD}}{V_{IN(max)} + V_{FD}} = \frac{5.0 + 0.4}{13.2 + 0.4} = 0.370 \quad (23)$$

$$D_{MIN2} \approx \frac{V_{OUT2} + V_{FD}}{V_{IN(max)} + V_{FD}} = \frac{3.3 + 0.4}{13.2 + 0.4} = 0.272 \quad (24)$$

### インダクタの選択

ピークツーピーク・リップルが最大出力電流の25%に制限されるとすると、次のようになります。

$$I_{Lrip(max)} = 0.25 \times I_{OUT(max)} = 0.25 \times 3.0A = 0.750A \quad (25)$$

最小インダクタ・サイズは次の式で見積もられます。

$$\begin{aligned} L_{min1} &\approx \frac{V_{IN(max)} - V_{OUT1}}{I_{Lrip1(max)}} \times D_{min1} \times \frac{1}{f_{SW}} \\ &= \frac{13.2 - 5.0}{0.75 A} \times 0.397 \times \frac{1}{600kHz} = 7.23 \mu H \end{aligned} \quad (26)$$

$$\begin{aligned} L_{min2} &\approx \frac{V_{IN(max)} - V_{OUT2}}{I_{Lrip2(max)}} \times D_{min2} \times \frac{1}{f_{SW}} \\ &= \frac{13.2 - 3.3}{0.75 A} \times 0.272 \times \frac{1}{600kHz} = 6.0 \mu H \end{aligned} \quad (27)$$

チャンネル1とチャンネル2の両方に対して、標準インダクタ値の8.2μHを選択します。その結果、リップル電流は次のようになります。

$$\begin{aligned} L_{RIPPLE1} &\approx \frac{V_{IN(max)} - V_{OUT1}}{L_1} \times D_{min1} \times \frac{1}{f_{SW}} \\ &= \frac{13.2 - 5.0}{8.2 \mu H} \times 0.397 \times \frac{1}{600kHz} = 0.661A \end{aligned} \quad (28)$$

$$\begin{aligned} L_{RIPPLE2} &\approx \frac{V_{IN(max)} - V_{OUT2}}{L_2} \times D_{min2} \times \frac{1}{f_{SW}} \\ &= \frac{13.2 - 3.3}{8.2 \mu H} \times 0.272 \times \frac{1}{600kHz} = 0.547A \end{aligned} \quad (29)$$

インダクタを流れるRMS電流は、次の式で近似されます。

$$\begin{aligned} I_{L1(rms)} &= \sqrt{\left(I_{L1(avg)}\right)^2 + \frac{1}{12}\left(I_{RIPPLE1}\right)^2} \\ &\approx \sqrt{\left(I_{OUT1(max)}\right)^2 + \frac{1}{12}\left(I_{RIPPLE1}\right)^2} \\ &= \sqrt{(3.0)^2 + \frac{1}{12}(0.661)^2} A = 3.0A \end{aligned} \quad (30)$$

$$\begin{aligned} I_{L2(rms)} &= \sqrt{\left(I_{L2(avg)}\right)^2 + \frac{1}{12}\left(I_{RIPPLE2}\right)^2} \\ &\approx \sqrt{\left(I_{OUT2(max)}\right)^2 + \frac{1}{12}\left(I_{RIPPLE2}\right)^2} \\ &= \sqrt{(3.0)^2 + \frac{1}{12}(0.547)^2} A = 3.0A \end{aligned} \quad (31)$$

両方のチャンネルに対して、RMSインダクタ電流は3.0Aとなります。

DC電流のピークツーピーク・リップルが30%の場合、RMS電流は平均電流より約0.4%大きくなります。

ピーク・インダクタ電流は次の式で見積もられます。

$$\begin{aligned} I_{L1(peak)} &\approx I_{OUT1(max)} + \frac{1}{2} I_{RIPPLE} \\ &= 3.0A + \frac{1}{2} 0.661A = 3.3A \end{aligned} \quad (32)$$

$$\begin{aligned} I_{L2(peak)} &\approx I_{OUT2(max)} + \frac{1}{2} I_{RIPPLE} \\ &= 3.0A + \frac{1}{2} 0.547A = 3.3A \end{aligned} \quad (33)$$

RMS電流定格が3.0A、最小飽和電流定格が3.3Aの8.2μHインダクタを選択する必要があります。ここでは、両方の出力に対してCoilcraft MSS1048-822ML (8.2μH、4.38A) インダクタを選択しています。

## 整流ダイオードの選択

順方向電圧降下の小さいショットキー・ダイオードを整流ダイオードとして使用することで、消費電力を最小限に抑え、最大の効率を得ています。

$$\begin{aligned} V_{(BR)R(\min)} &\geq \frac{V_{IN(\max)}}{0.8} = 1.25 \times V_{IN(\max)} \\ &= 1.25 \times 13.2\text{V} = 16.5\text{V} \end{aligned} \quad (34)$$

スイッチ・ノードのリンギングに対してVINで20%を許容すると、整流ダイオードの最小逆方向降伏電圧は次の式で与えられます。

$$\begin{aligned} I_{D1(\text{avg})} &\approx I_{OUT1(\max)} \times (1 - D_{\text{MIN}1}) \\ &= 3.0\text{A} \times (1 - 0.397) = 1.81\text{A} \end{aligned} \quad (35)$$

$$\begin{aligned} I_{D2(\text{avg})} &\approx I_{OUT2(\max)} \times (1 - D_{\text{MIN}2}) \\ &= 3.0\text{A} \times (1 - 0.272) = 2.18\text{A} \end{aligned} \quad (36)$$

$$I_{D(\text{peak})} = I_{L(\text{peak})} \quad (37)$$

20Vおよび30Vのショットキー・ダイオードを考慮し、SMCパッケージのMBRS330T3 (30V, 3A) ダイオードを両方のチャネルに対して選択します。このダイオードの順方向電圧降下は3Aで0.4Vであるため、導通電力損失は次のようになります。

$$P_{D1(\max)} \approx V_{FM} \times I_{D1(\text{avg})} \approx 0.4\text{V} \times 1.81 = 0.72\text{W} \quad (38)$$

$$P_{D2(\max)} \approx V_{FM} \times I_{D2(\text{avg})} \approx 0.4\text{V} \times 2.18 = 0.87\text{W} \quad (39)$$

この設計の場合、最大消費電力はそれぞれ0.72Wおよび0.87Wと見積もられます。

## 出力コンデンサの選択

出力コンデンサは、負荷過渡および出力リップル電流に対応できるよう選択します。過渡仕様を満足する最小出力容量は、次の式で与えられます。

$$\begin{aligned} C_{OUT1(\min)} &= \frac{(I_{\text{TRAN}(\text{MAX})})^2 \times L}{(V_{OUT1}) \times V_{\text{OVER}}} \\ &= \frac{(1\text{A})^2 \times 8.2\mu\text{H}}{5.0\text{V} \times 0.2\text{V}} = 8.2\mu\text{F} \end{aligned} \quad (40)$$

$$\begin{aligned} C_{OUT2(\min)} &= \frac{(I_{\text{TRAN}(\text{MAX})})^2 \times L}{(V_{OUT2}) \times V_{\text{OVER}}} \\ &= \frac{(1\text{A})^2 \times 8.2\mu\text{H}}{3.3\text{V} \times 0.2\text{V}} = 12.4\mu\text{F} \end{aligned} \quad (41)$$

リップル仕様を満足する最大ESRは、次の式で与えられます。

$$\begin{aligned} ESR1_{(\max)} &= \frac{V_{\text{RIPPLE}1(\text{total})} - \left[ \frac{I_{\text{RIPPLE}1}}{8 \times C_{OUT1} \times f_{\text{SW}}} \right]}{I_{\text{RIPPLE}1}} \\ &= \frac{0.050\text{V} - \left[ \frac{0.661\text{A}}{8 \times 8.2\mu\text{F} \times 600\text{kHz}} \right]}{0.661\text{A}} = 0.024\ \Omega\text{F} \end{aligned} \quad (42)$$

$$\begin{aligned} ESR_{(\max)} &= \frac{V_{\text{RIPPLE}(\text{total})} - \left[ \frac{I_{\text{RIPPLE}}}{8 \times C_{OUT1} \times f_{\text{SW}}} \right]}{I_{\text{RIPPLE}}} \\ &= \frac{0.050\text{V} - \left[ \frac{0.547\text{A}}{8 \times 12.4\mu\text{F} \times 600\text{kHz}} \right]}{0.547\text{A}} = 0.033\ \Omega\text{F} \end{aligned} \quad (43)$$

DC電圧バイアスによる容量損失に対して十分な余裕を得るために、ESRが約2.5mΩである1個の22μFセラミック・コンデンサを選択します。

## 入力コンデンサの選択

TPS55386のデータシートでは、各PVDDピンに10μF(最小)のセラミック・バイパス・コンデンサを推奨しています。逆位相の動作では入力RMS電流が減少しますが、一方のチャネルが最大負荷でもう一方が無負荷という動作を可能とするために、入力コンデンサのサイズは2つのRMS電流のうち大きい方、または1.5Aに対応できるよう選択する必要があります。セラミック・コンデンサは、コンバータのRMS入力リップル電流を処理できる必要があります。

入力コンデンサのRMS電流は、次の式で見積もることができます。

$$\begin{aligned} I_{\text{RMS\_CIN}} &= I_{\text{OUT}} \times \sqrt{D \times (1-D)} \\ &= 3\text{A} \times \sqrt{0.5 \times (1-0.5)} = 1.5\text{A} \end{aligned} \quad (44)$$

各PVDD入力バイパスとして、2mΩのESRおよび2A RMSの電流定格を持つ1個の1210サイズ(10μF, 25V) X5Rセラミック・コンデンサが選択されています。DCバイアス電圧での容量損失を最小限にするため、より高電圧のコンデンサを選択することで、コンデンサが動作電圧で十分な容量を確保できます。

## 電圧帰還

$V_{OUT}$ からFBへの主要な帰還デバイダ抵抗 ( $R_{FB}$ ) は、消費電力とノイズ耐性とのバランスを保持するために、 $10k\Omega \sim 100k\Omega$ の範囲内で選択する必要があります。3.3Vおよび5V出力に対して $20.5k\Omega$ を選択するため、下側抵抗は次の式で与えられます。

$$R_{BIAS} = \frac{V_{FB} \times R_{FB}}{V_{OUT} - V_{FB}} \quad (45)$$

$R_{FB} = R_2 = R_9 = 20.5k\Omega$ および $V_{FB} = 0.80V$ により、5.0Vおよび3.3Vに対してそれぞれ $R_{BIAS1} = 3.90k\Omega$ および $R_{BIAS2} = 6.5k\Omega$ となります ( $R_4 = 3.83k\Omega$ および $R_7 = 6.49k\Omega$ を選択)。

## 補償部品

TPS55386コントローラでは、内部にトランスコンダクタンス誤差増幅器を使用しています。この誤差増幅器は、帰還電圧を内部の0.80Vリファレンスと比較し、その結果の誤差に比例した電流をCOMPピンから出力します。グラウンドとの間に直列接続される抵抗とコンデンサによってゼロを含む積分器が形成される一方、高周波コンデンサによって第2の極が生成され、高周波ゲインが低下します。補償ループ部品は以下の式で選択され、ここでは例として5.0V出力を使用しています。

DCでの変調回路ゲインを計算します。

$$\begin{aligned} F_{M1} &= \frac{600000}{19.7 \times e^{(1.5 \times 10^6 \times t_{ON})} + 50 \times 10^{-6} \times \left[ \frac{V_{IN} - V_{OUT1}}{L} \right]} \\ &= \frac{600000}{19.7 \times e^{(1.5 \times 10^6 \times 6.68 \times 10^{-7})} + 50 \times 10^{-6} \times \left[ \frac{13.2 - 5.0}{8.2 \mu H} \right]} \\ &= 5.82 \times 10^3 \end{aligned} \quad (46)$$

次に、DCでのコンバータ・ゲインを計算します。

$$\begin{aligned} f_{c1} &= \frac{V_{IN} \times F_m \times 2 \times (10)^{-4}}{1 + \left[ \frac{V_{IN} \times F_m \times 50 \times (10)^{-6}}{R_{LOAD1}} \right]} \\ &= \frac{13.2 \times 5.82 \times (10)^3 \times 2 \times (10)^{-4}}{1 + \left[ \frac{13.2 \times 5.82 \times (10)^3 \times 50 \times (10)^{-6}}{1.67 \Omega} \right]} = 4.63 \end{aligned} \quad (47)$$

目的のクロスオーバー周波数35kHzで必要な誤差増幅器ゲインを計算します。

$$\begin{aligned} K_{EA1} &= -20 \times \log \left[ \frac{f_{c1}}{1 + 2\pi \times f_{CO} \times R_{LOAD1} \times C_{OUT1}} \right] \\ &= -20 \times \log \left[ \frac{4.65}{1 + 2\pi \times 35 \text{ kHz} \times 1.67 \Omega \times 22 \mu F} \right] \\ &= 5.80 \text{ dB} \end{aligned} \quad (48)$$

これにより、誤差増幅器の出力での補償抵抗は次のようになります。

$$\begin{aligned} R_{COMP1} &= \frac{10^{\frac{K_{EA}}{20}} \times (Z_{LOWER} + Z_{UPPER})}{9M \times Z_{LOWER}} \\ &= \frac{10^{\frac{5.80 \text{ dB}}{20}} \times (3.83k\Omega + 20.5k\Omega)}{315 \mu S \times 3.83k\Omega} = 38.5k\Omega \\ &\Rightarrow R_{15} = 38.3k\Omega \end{aligned} \quad (49)$$

必要な補償ゼロ周波数を計算します。

$$\begin{aligned} f_{ZERO1} &= \frac{1}{2\pi \times C_{OUT1} \times R_{LOAD1}} \\ &= \frac{1}{2\pi \times 22 \mu F \times 1.67 \Omega} = 4.4 \text{ kHz} \end{aligned} \quad (50)$$

次に、補償コンデンサを計算します。

$$\begin{aligned} C_{COMP1} &= \frac{1}{2\pi \times f_{POLE1} \times R_{COMP1}} \\ &= \frac{1}{2\pi \times 4.4 \text{ kHz} \times 3.83k\Omega} = 967 \text{ pF} \\ &\Rightarrow C_{21} = 1 \text{ nF} \end{aligned} \quad (51)$$

高周波極はクロスオーバー周波数の8倍の位置に配置されます。

$$\begin{aligned} C_{HF1} &= \frac{1}{2\pi \times 4 \times f_{CO} \times R_{COMP}} \\ &= \frac{1}{2\pi \times 4 \times 35 \text{ kHz} \times 38.3k\Omega} = 29.6 \text{ pF} \\ &\Rightarrow C_{23} = 33 \text{ pF} \end{aligned} \quad (52)$$

## ブートストラップ・コンデンサ

ハイサイドFETゲートの適切な充電を確保し、ブースト・コンデンサのリプル電圧を制限するために、47nFのブートストラップ・コンデンサが使用されています。

## ILIM2

電流制限は、ピーク・インダクタ電流  $I_{Lpeak}$  より大きな値に設定する必要があります。  $I_{Lpeak}$  を使用可能な最小電流制限と比較し、  $I_{LIM}$  をBPに接続することで、3.6Aの最小電流制限が得られます。

## SEQ

SEQピンはフローティングにし、イネーブル・ピンを独立して機能させています。イネーブル・ピンを互いに接続すると、2つの電源がレシオメトリックに立ち上がります。SEQをBPまたはGNDに接続して、シーケンシャル・スタートアップを行うこともできます。

## 消費電力

TPS55386における消費電力は、FETの導通損失、スイッチング損失、およびレギュレータ損失から構成されています。

導通損失は、次のように見積もられます。

$$P_{CON1} = R_{DS(on)} \times (I_{QSW(RMS)})^2 \approx R_{DS(on)} \times (I_{OUT})^2 \times \sqrt{D}$$

$$= 0.085 \Omega \times (3 A)^2 \times \sqrt{0.540} = 0.562 W \quad (53)$$

$$P_{CON2} = R_{DS(on)} \times (I_{QSW(RMS)})^2 \approx R_{DS(on)} \times (I_{OUT})^2 \times \sqrt{D}$$

$$= 0.085 \Omega \times (3 A)^2 \times \sqrt{0.370} = 0.465 W \quad (54)$$

スイッチング損失は、次のように見積もられます。

$$P_{SW1} = P_{SW2} \approx \frac{(V_{IN(max)})^2 \times (C_{Dj} + C_{OSS}) \times f_{SW}}{2}$$

$$= \frac{(13.2)^2 \times (200 pF + 250 pF) \times 600 kHz}{2}$$

$$= 23.5 mW \quad (55)$$

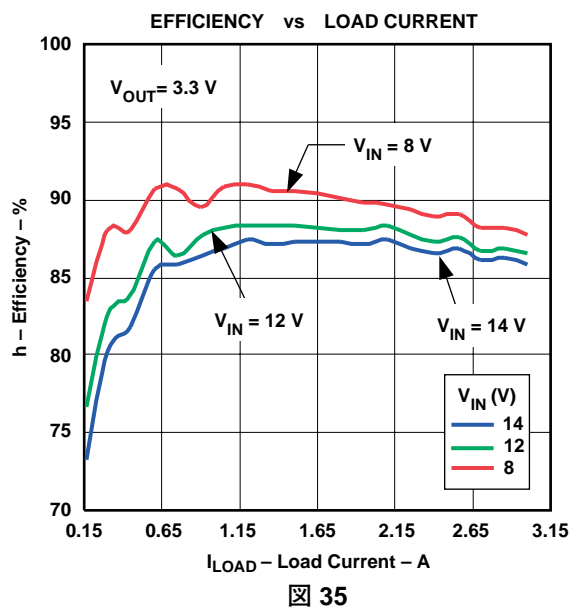
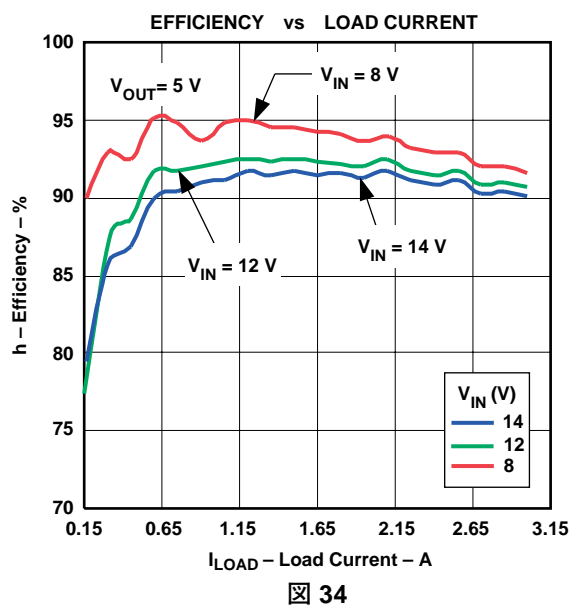
レギュレータ損失は、次のように見積もられます。

$$P_{REG} \approx I_{DD} \times V_{IN(max)} + I_{BP} \times (V_{IN(max)} - V_{BP})$$

$$= 5 mA \times 13.2 V = 66 mW \quad (56)$$

デバイスの合計消費電力は、両方のチャンネルの導通損失とスイッチング損失の和に、レギュレータ損失を加えたものであり、合計で1.2Wと見積もられます。

## 設計例 1 のテスト結果



QTY	REFERENCE DESIGNATOR	VALUE	DESCRIPTION	SIZE	PART NUMBER	MFR
2	C2, C14	22 $\mu F$	Capacitor, Ceramic, 6.3V, X5R, 20%	1206	C3216X5R0J226M	TDK
2	C3, C13	470 pF	Capacitor, Ceramic, 25V, X7R, 20%	0603	Std	Std
2	C4, C11	0.047 $\mu F$	Capacitor, Ceramic, 25V, X7R, 20%	0603	Std	Std
2	C5, C10	10 $\mu F$	Capacitor, Ceramic, 25V, X5R, 20%	1210	C3225X5R1E106M	TDK
1	C12	4.7 $\mu F$	Capacitor, Ceramic, 10V, X5R, 20%	0805	Std	Std
2	C9, C6	1.0 nF	Capacitor, Ceramic, 25V, X7R, 20%	0603	Std	Std
1	C8	47 pF	Capacitor, Ceramic, 25V, X7R, 20%	0603	Std	Std
1	C7	33 pF	Capacitor, Ceramic, 25V, X7R, 20%	0603	Std	Std
2	D1, D2	MBRS330T3	Diode, Schottky, 3-A, 30-V	SMC	MBRS330T3	OnSemi
2	L1, L2	8.2 $\mu H$	Inductor, SMT, 4.38A, 20milliohm	0.402 x 0.394 inch	MSS1048-822L	Coilcraft
1	R7	23.7 k $\Omega$	Resistor, Chip, 1/16W, 1%	0603	Std	Std
1	R6	38.3 k $\Omega$	Resistor, Chip, 1/16W, 1%	0603	Std	Std
2	R3, R12	20.5 k $\Omega$	Resistor, Chip, 1/16W, 1%	0603	Std	Std
2	R2, R11	10 $\Omega$	Resistor, Chip, 1/16W, 5%	0603	Std	Std
1	R4	3.83 k $\Omega$	Resistor, Chip, 1/16W, 1%	0603	Std	Std
1	R10	6.49 k $\Omega$	Resistor, Chip, 1/16W, 1%	0603	Std	Std
1	U1	TPS55386PWP	IC, Dual600kHz Non-Sync BUCK with Interl FET	HTSSOP-16	TPS55386PWP	TI

表 3. TPS55386の設計例の部品表

## 例2：カスケード構成： 2Aで24Vから12V、次に2Aで3.3V

この例は、カスケード構成を示しています。24Vから3.3Vの電源で低デューティ・サイクルを許容するために、PVDD1をVOUT2 (12V出力) に接続します。VOUT2は、VOUT1のソース電源として使用されます。シーケンス・ピンをBPに接続することで、3.3Vがオンになる前に12V電源がレギュレーションに達するようにしています。

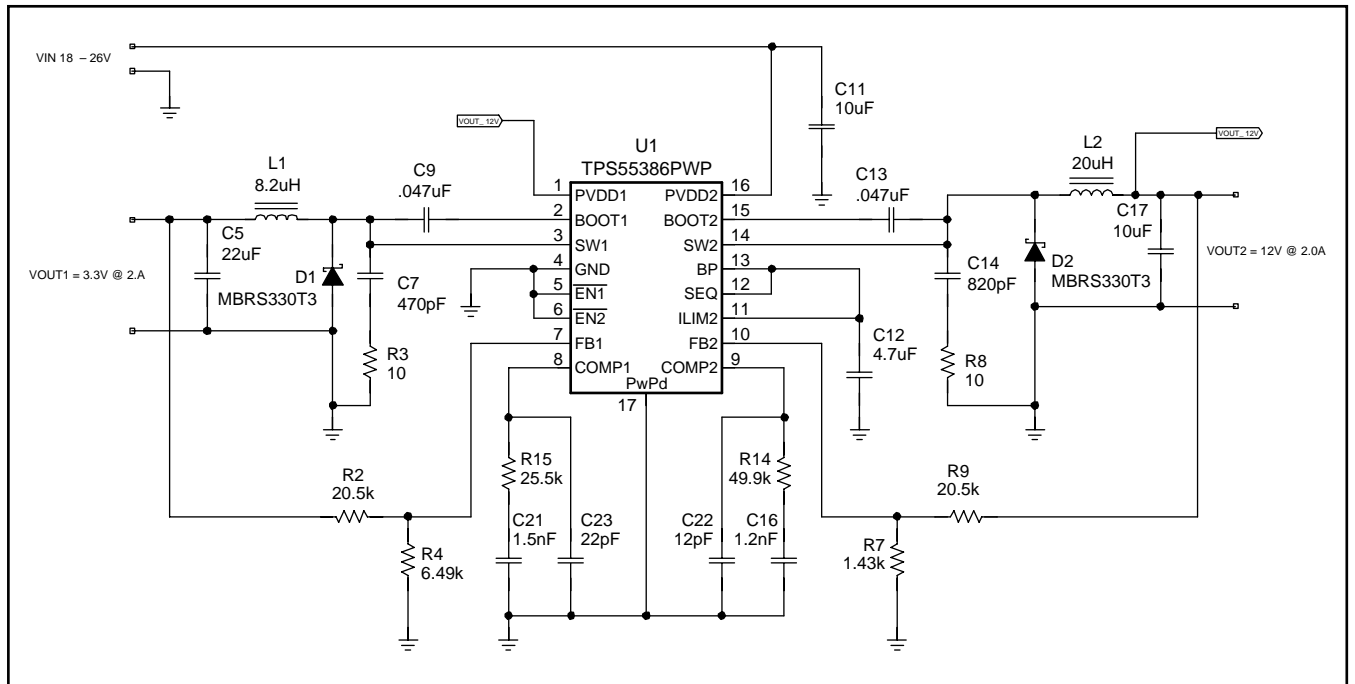


図 36. 設計例2、カスケード構成のTPS55386

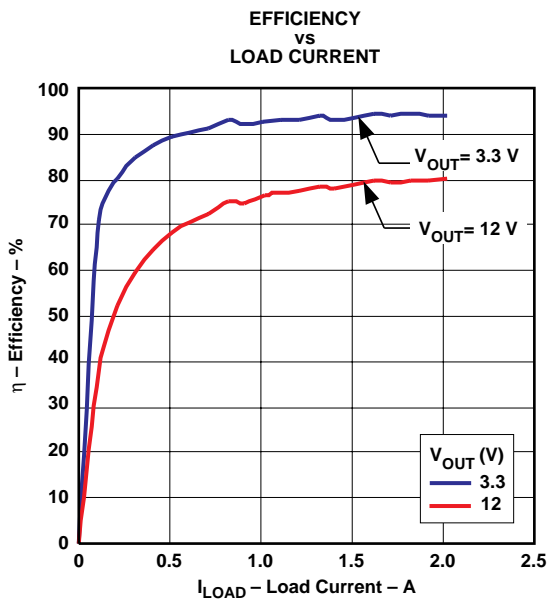


図 37

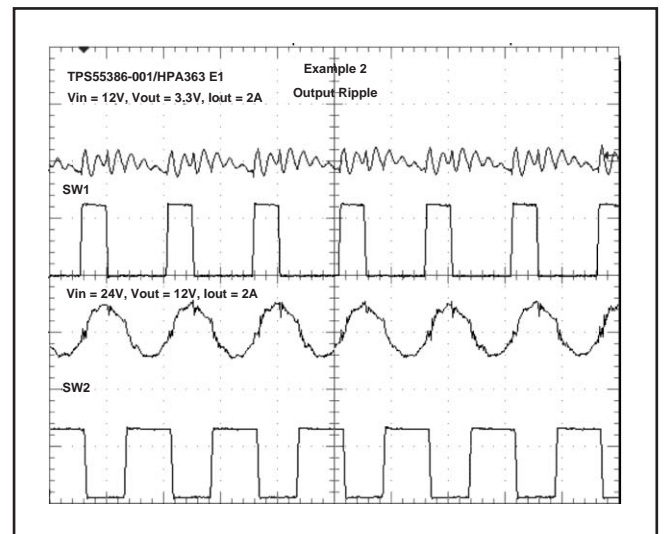


図 38. 設計例2、出力とスイッチ・ノード

### 例3：マルチフェーズ、6Aで12Vから5.0V

電流モード制御とトランスコンダクタンス増幅器の組み合わせにより、TPS55386は単一出力の2フェーズ電源として動作できます。この構成では、TPS55386は実効1.2MHzの6A非同期コンバータとして機能します。COMP2はCOMP1に接続し、FB2はBPに接続します。この例では実装されていませんが、軽負荷時には $\overline{EN2}$ を使用してチャネル2をディスエーブルにし、効率を高めることもできます。

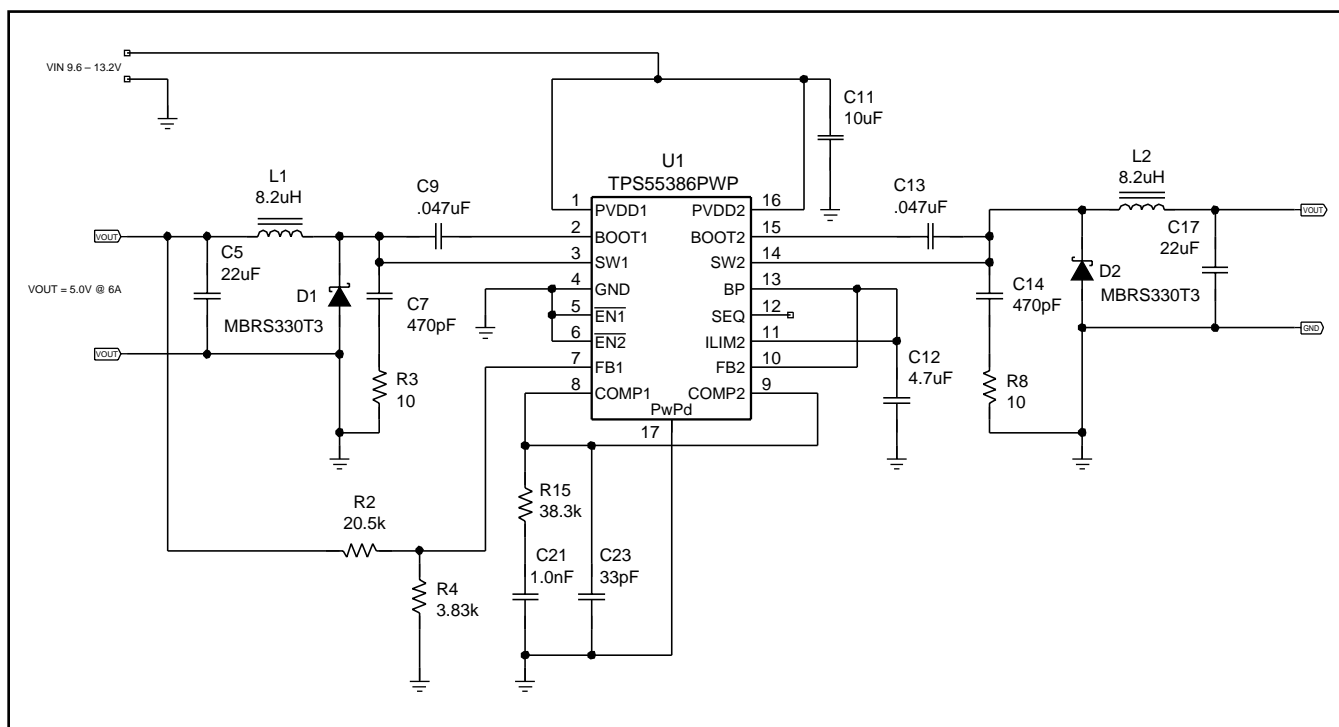


図 39. 設計例3、マルチフェーズ非同期バック・コンバータとしてのTPS55386

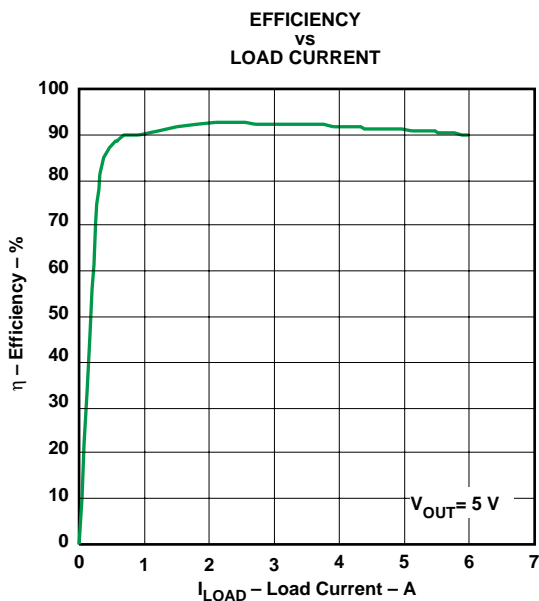


図 40

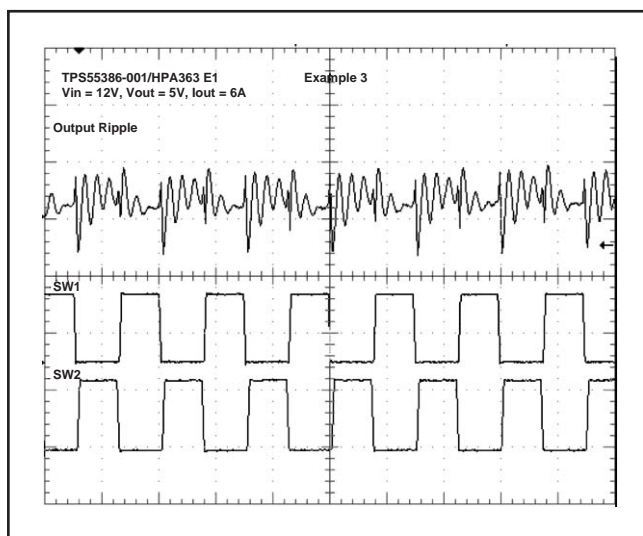


図 41. 設計例3、出力とスイッチ・ノード

## 参考資料 関連デバイス

以下のデバイスは、TPS55383/TPS55386と同様な特性を持っています。

TI LITERATURE NUMBER	デバイス	説明
<a href="#">SLUS642</a>	<a href="#">TPS40222</a>	5-V Input, 1.6-A Non-Synchronous Buck Converter
<a href="#">SLUS749</a>	<a href="#">TPS54283 / TPS54286</a>	2-A Dual Non-Synchronous Converter with Integrated High-Side MOSFET
<a href="#">SLUS774</a>	<a href="#">TPS54383 / TPS54386</a>	3-A Dual Non-Synchronous Converter with Integrated High-Side MOSFET
<a href="#">SLVS839</a>	<a href="#">TPS54331</a>	3.5 V to 28 V, Single 3-A Non-Synchronous Buck Converter with Integrated High-Side MOSFET

表 4. TPS55383およびTPS55386の関連デバイス

## 参考文献

以下の参考文献、設計ツール、および設計ソフトウェアを含む他の参考資料へのリンクが、<http://www.power.ti.com>で提供されています。

TI LITERATURE NUMBER	説明
<a href="#">SLMA002</a>	PowerPAD Thermally Enhanced Package Application Report
<a href="#">SLMA004</a>	PowerPAD™ MadeEasy
<a href="#">SLUP206</a>	Under The Hood Of Low Voltage DC/DC Converters. SEM1500 Topic5, 2002 Seminar Series
<a href="#">SLVA057</a>	Understanding Buck Power Stages in Switchmode Power Supplies
<a href="#">SLUP173</a>	Designing Stable Control Loops. SEM1400, 2001 Seminar Series

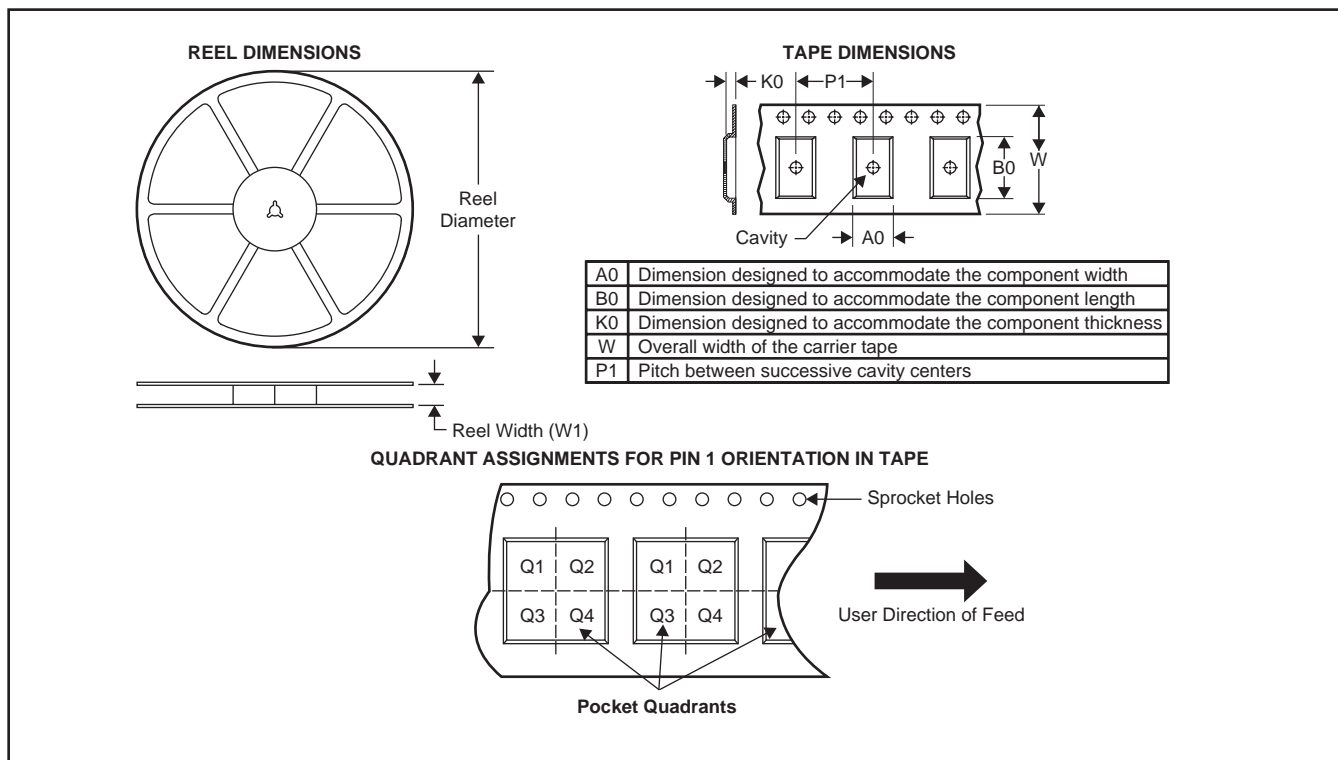
表 5. 参考文献

## パッケージ概要および推奨PCBフットプリント

以降のページに、16ピンPWPパッケージの機械的寸法の概要と、PCBレイアウトの推奨事項を記載しています。

# パッケージ・マテリアル情報

## テープおよびリール・ボックス情報

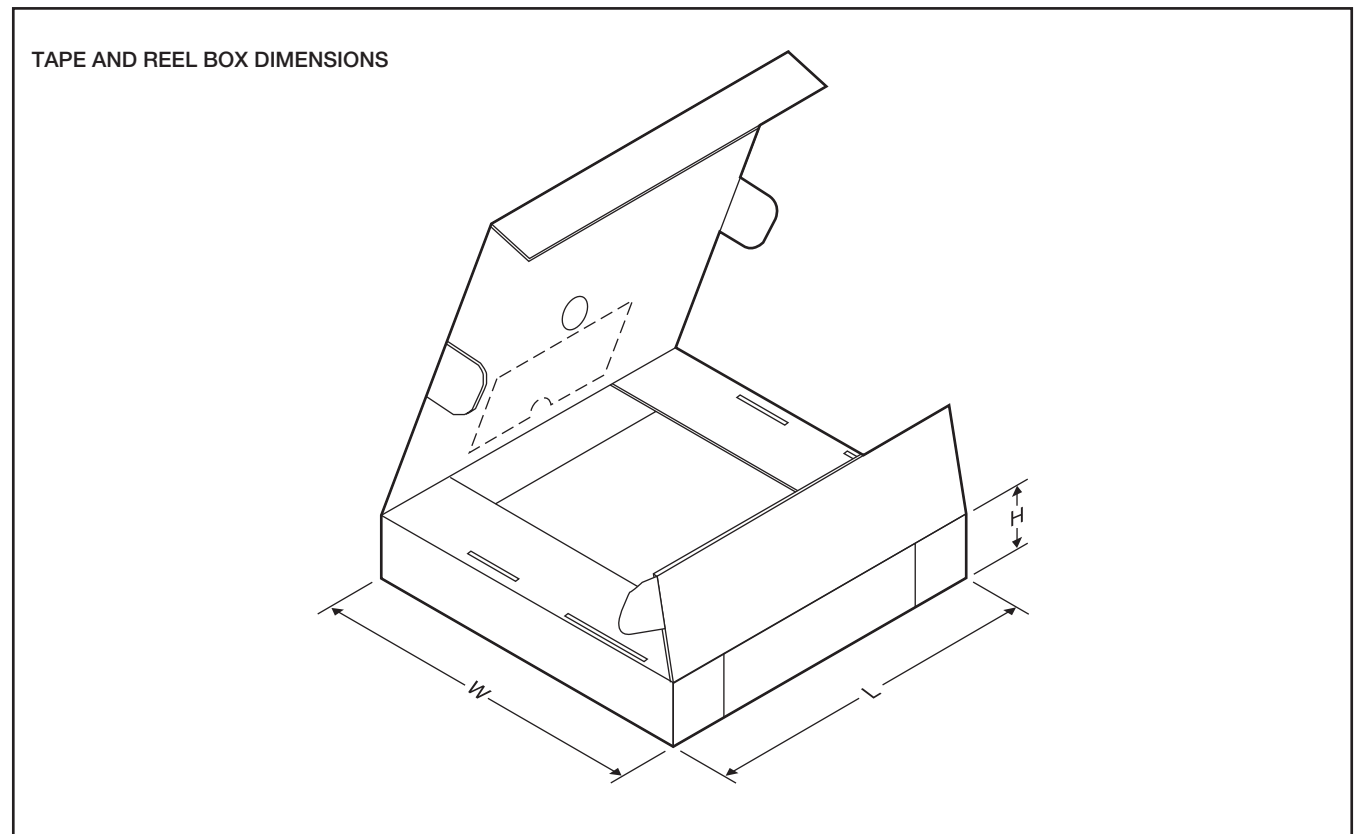


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS55383PWPR	HTSSOP	PWP	16	2000	330.0	12.4	7.0	5.6	1.6	8.0	12.0	Q1
TPS55386PWPR	HTSSOP	PWP	16	2000	330.0	12.4	7.0	5.6	1.6	8.0	12.0	Q1



## パッケージ・マテリアル情報



\*All dimensions are nominal

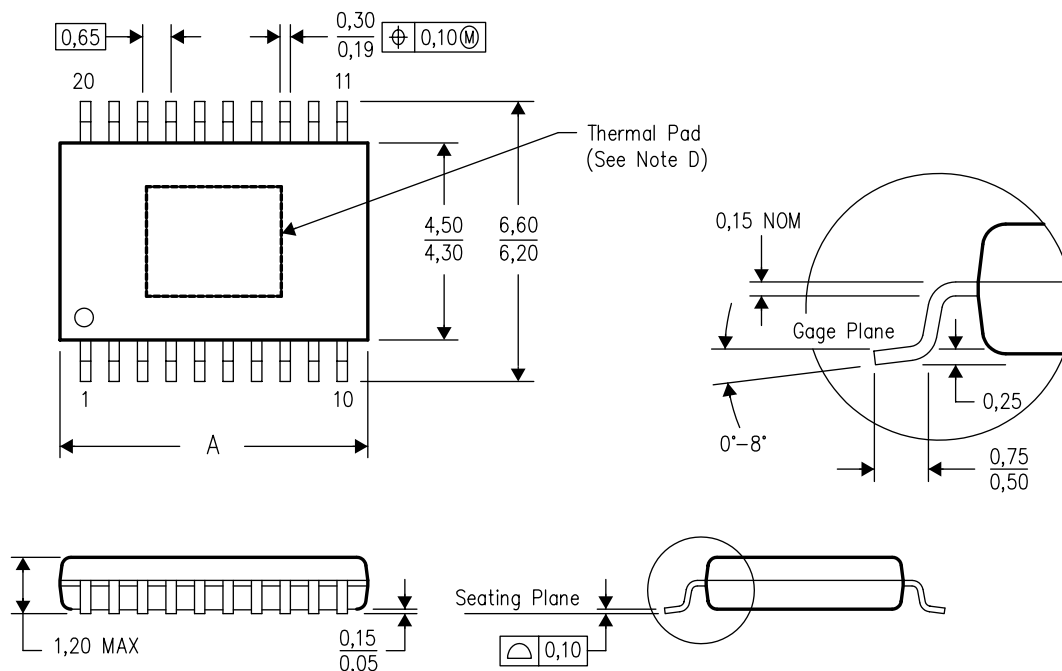
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS55383PWPR	HTSSOP	PWP	16	2000	346.0	346.0	29.0
TPS55386PWPR	HTSSOP	PWP	16	2000	346.0	346.0	29.0

# メカニカル・データ

PWP (R-PDSO-G\*\*)

20 PINS SHOWN

PowerPAD™ PLASTIC SMALL-OUTLINE PACKAGE



DIM \ PINS **	14	16	20	24	28
A MAX	5,10	5,10	6,60	7,90	9,80
A MIN	4,90	4,90	6,40	7,70	9,60

4073225/H 12/05

- 注： A. 全ての線寸法の単位はミリメートルです。  
 B. 図は予告なく変更することがあります。  
 C. 本体寸法にはバリや突起を含みません。バリおよび突起は、各辺0.15を超えてはなりません。  
 D. このパッケージは、基板上的サーマルパッドに半田付けされるように設計されています。推奨基板レイアウトについては、テクニカルブリーフ『PowerPAD Thermally Enhanced Package』（TI文献番号SLMA002）を参照してください。これらのドキュメントは、ホームページwww.ti.comで入手できます。  
 E. JEDEC MO-153に適合しています。

# サーマルパッド・メカニカル・データ

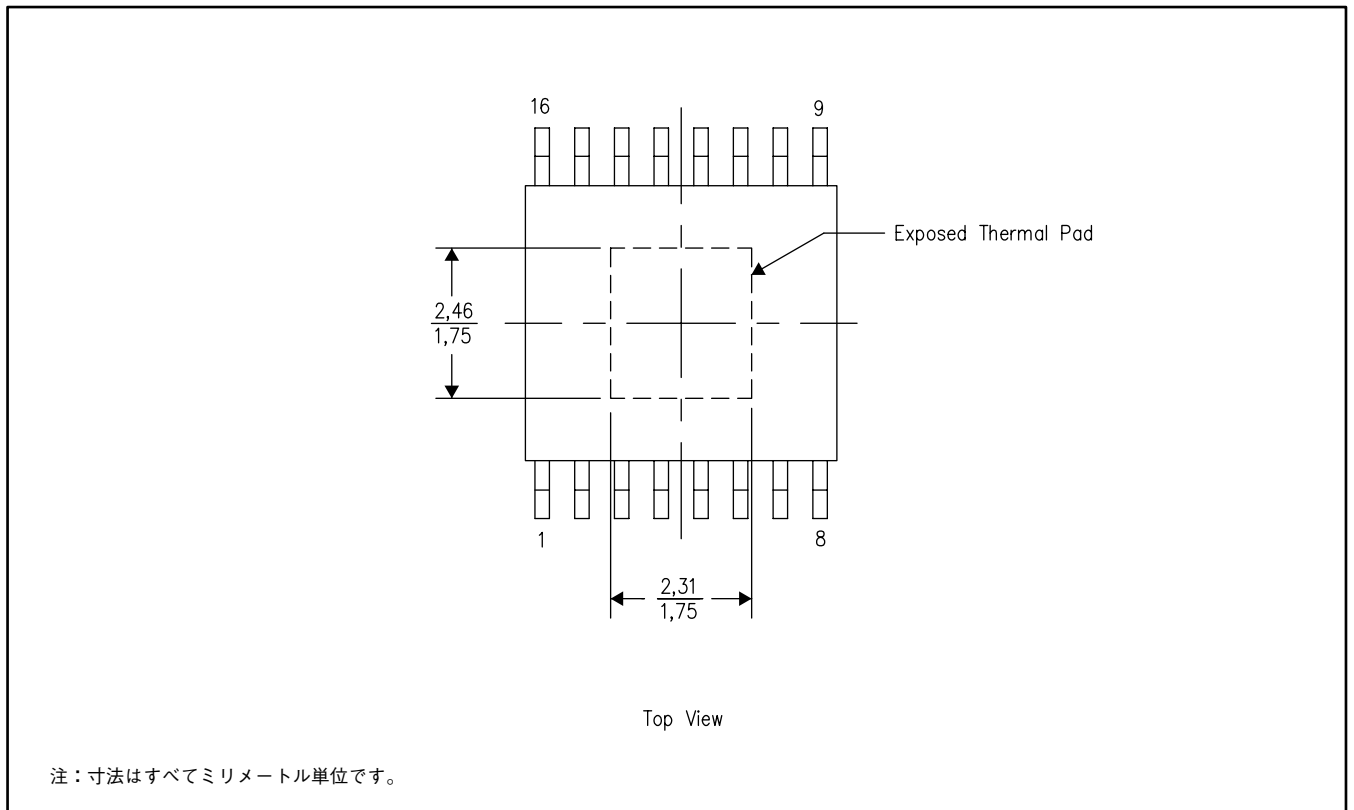
## PWP (R-PDSO-G16)

### 熱特性について

このPowerPAD™パッケージには、外部ヒートシンクに直接接続するように設計された、露出したサーマルパッドが装備されています。このサーマルパッドは、プリント基板(PCB)に直接半田付けする必要があります。半田付け後は、PCBをヒートシンクとして使用できます。また、サーマルビアを使用して、サーマルパッドをデバイスの回路図に示された適切な銅プレーンに直接接続するか、あるいはPCB内に設計された特別なヒートシンク構造に接続することができます。この設計により、ICからの熱伝導が最適化されます。

PowerPAD™パッケージについての追加情報及びその熱放散能力の利用法については、テクニカル・ブリーフ『PowerPAD Thermally Enhanced Package』(TI文献番号SLMA002)およびアプリケーション・ブリーフ『PowerPAD Made Easy』(TI文献番号SLMA004)を参照してください。いずれもホームページ [www.ti.com](http://www.ti.com) で入手できます。

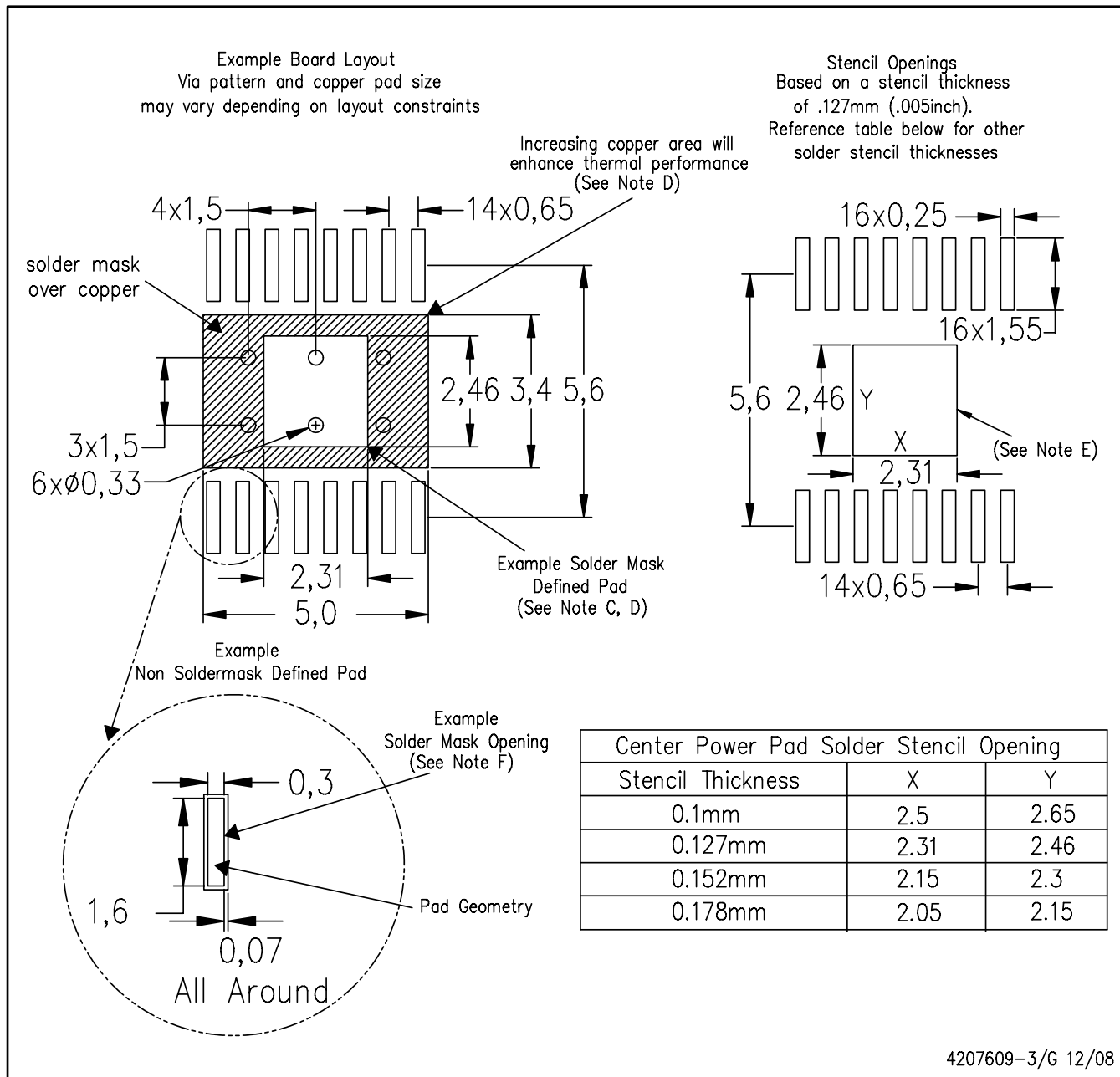
このパッケージの露出したサーマルパッドの寸法を次の図に示します。



露出サーマルパッドの寸法

# ランド・パターン

PWP (R-PDSO-G16) PowerPAD™



- 注： A. 全ての線寸法の単位はミリメートルです。  
 B. 図は予告なく変更することがあります。  
 C. 中央の半田マスク定義パッドを変更しないように、回路基板組み立て図に注記を書き込んでください。  
 D. このパッケージは、基板上のサーマル・パッドに半田付けされるように設計されています。推奨基板レイアウトについては、テクニカル・ブリーフ『PowerPAD Thermally Enhanced Package』（TI文献番号SLMA002）を参照してください。これらのドキュメントは、ホームページwww.ti.comで入手できます。代替設計については、資料IPC-7351を推奨します。  
 E. レーザ切断開口部の壁面を台形にし、角に丸みを付けることで、ペーストの離れがよくなります。ステンシル設計要件については、基板組み立て拠点にお問い合わせください。例に示したステンシル設計は、50%容積のメタルロード半田ペーストに基づいています。ステンシルに関する他の推奨事項については、IPC-7525を参照してください。  
 F. 信号パッド間および信号パッド周囲の半田マスク許容差については、基板組み立て拠点にお問い合わせください。

(SLUS818)

# ご注意

日本テキサス・インスツルメンツ株式会社(以下TIJといたします)及びTexas Instruments Incorporated(TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIJといたします)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIJは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIJが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメータに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIJは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIJは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIJが第三者の製品もしくはサービスについて情報を提供することは、TIJが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは承認をすることを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIJは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIJにより示された数値、特性、条件その他のパラメータと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIJは、そのような説明については何の義務も責任もありません。

TIJは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション(例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの)に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIJがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIJが特別に指定した製品である場合は除きます。TIJが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIJが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIJがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIJは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2009, Texas Instruments Incorporated  
日本語版 日本テキサス・インスツルメンツ株式会社

## 弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

### 1. 静電気

素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。

弊社出荷梱包単位(外装から取り出された内装及び個装)又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で(導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。

マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

### 2. 温・湿度環境

温度: 0 ~ 40 °C、相対湿度: 40 ~ 85%で保管・輸送及び取り扱いを行うこと。(但し、結露しないこと。)

直射日光があたる状態で保管・輸送しないこと。

### 3. 防湿梱包

防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。

### 4. 機械的衝撃

梱包品(外装、内装、個装)及び製品単品を落下させたり、衝撃を与えないこと。

### 5. 熱衝撃

はんだ付け時は、最低限260 °C以上の高温状態に、10秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)

### 6. 汚染

はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質(硫黄、塩素等ハロゲン)のある環境で保管・輸送しないこと。はんだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上