

4.5V~14V入力、 高電流同期バック・コンバータ

特 長

- 入力電圧範囲：4.5V~14V
- パワー・ブロック・テクノロジーを内蔵
- 最大出力電流：15A
- 固定周波数オプション：300kHz、500kHz、1MHz
- ハイサイドおよびローサイドMOSFETの $R_{DS(on)}$ センシング
- プログラミング可能なソフト・スタート
- リファレンス電圧：600mV、精度1%
- フィードフォワード付き電圧モード制御
- プリバイアス出力をサポート
- 過熱シャットダウン
- 22ピンの5mm × 6mm PQFN PowerPAD™パッケージ

アプリケーション

- ポイント・オブ・ロード (POL) 電源モジュール
- 通信およびネットワーク・アプリケーション用の高密度 DC-DCコンバータ

概 要

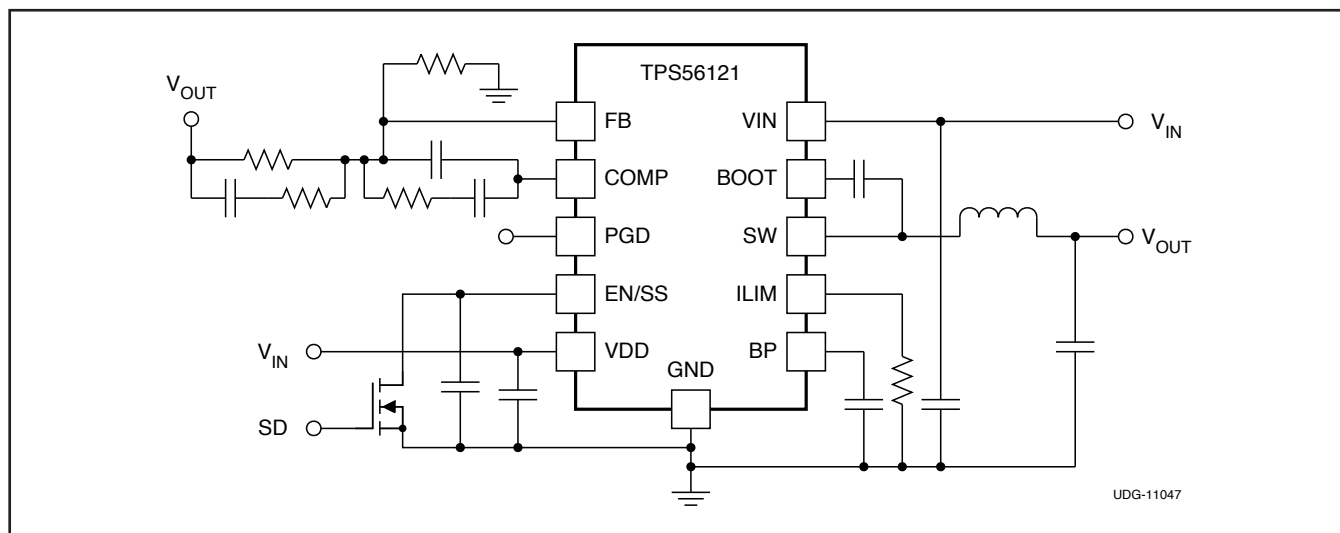
TPS56121は、4.5V~14Vの電源で動作するように設計された、高効率、高電流の同期バック・コンバータです。最大15Aの負荷で最小0.6Vの出力電圧を生成できます。NexFET™パワーMOSFETの内蔵により、省スペースと使いやすさを実現しています。

電圧モード制御を実装し、電圧フィードフォワード補償により入力電圧の変化に対して瞬時に応答します。

TPS56121は、熱特性強化型22ピンPQFN(DQP) PowerPAD™パッケージで供給されます。

ソフト・スタート、過電流保護 (OCP) レベル、ループ補償など、ユーザ・プログラミング可能な各種の機能により、設計の柔軟性が高まります。OCPレベルは、ILIMピンと回路のグラウンドとの間に接続される1個の外付け抵抗によってプログラミングできます。最初のパワーオン・シーケンス中、デバイスは校正サイクルに入り、ILIMピンの電圧を測定して、内部OCP電圧レベルを設定します。動作中、プログラミングされたOCP電圧レベルが、ローサイドFETのオン時の電圧降下と比較され、過電流状態が発生しているかどうか確認されます。過電流状態の場合は、シャットダウン/再起動サイクルに入り、障害が解消されるまでこのサイクルを繰り返します。

アプリケーション概略図



PowerPAD, NexFETは、テキサス・インスツルメンツの商標です。

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本TI) が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。



静電気放電対策

これらのデバイスは、限定的なESD(静電破壊)保護機能を内蔵しています。保存時または取り扱い時に、MOSゲートに対する静電破壊を防止するために、リード線どうしを短絡しておくか、デバイスを導電性のフォームに入れる必要があります。

製品情報

T _A	パッケージ	ピン	出荷形態	最小数量	型番
-40°C~150°C	プラスチックQFN(DQP)	22	テープ・リール	250	TPS56121DQPT
				2500	TPS56121DQPR

絶対最大定格

動作温度範囲内(特に記述のない限り)⁽¹⁾

		VALUE		単位
		MIN	TYP	
Voltage Range	VDD, VIN	-0.3	16.5	V
	SW	-3	25	
	SW (< 100 ns pulse width, 10 μJ)	-5		
	BOOT	-0.3	30	
	BOOT-SW (differential from BOOT to SW)	-0.3	7	
	COMP, PGOOD, FB, BP, EN/SS, ILIM	-0.3	7	
Electrostatic discharge	(HBM) QSS 009-105 (JESD22-A114A)		2	kV
	(CBM) QSS 009-147 (JESD22-C101B.01)		1.5	
Temperature	Junction, T _J	-40	150	°C
	Storage, T _{stg}	-55	150	

(1) 絶対最大定格以上のストレスは、製品に恒久的・致命的なダメージを与えることがあります。これはストレスの定格のみについて示してあり、このデータシートの「推奨動作条件」に示された値を越える状態での本製品の機能動作は含まれていません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。

熱特性について

THERMAL METRIC ⁽¹⁾		TPS56121	単位
		PQFN	
		22 PINS	
θ _{JA}	Junction-to-ambient thermal resistance	34.6	°C/W
θ _{JCtop}	Junction-to-case (top) thermal resistance	22.9	
ψ _{JT}	Junction-to-top characterization parameter	0.6	
ψ _{JB}	Junction-to-board characterization parameter	5.0	
θ _{JCbot}	Junction-to-case (bottom) thermal resistance	0.3	

(1) 従来の熱特性パラメータと新しい熱特性パラメータの詳細については、アプリケーション・レポート『IC Package Thermal Metrics』(SPRA953)を参照してください。

推奨動作条件

動作温度範囲内(特に記述のない限り)

		MIN	TYP	MAX	単位
V _{DD}	VIN Input voltage	4.5		14	V
T _J	Operating junction temperature	-40		125	°C

電気的特性

パラメータ	テスト条件	MIN	TYP	MAX	単位		
VOLTAGE REFERENCE							
V _{FB}	FB input voltage	T _J = 25°C, 4.5 V ≤ V _{VDD} ≤ 14 V		597	600	603	mV
		-40°C ≤ T _J ≤ 125°C, 4.5 V ≤ V _{VDD} ≤ 14 V		594	600	606	
INPUT SUPPLY							
V _{VDD}	Input supply voltage range			4.5		14	V
IV _{DDSD}	Shutdown supply current	V _{EN/SS} = 0.2 V			80	120	μA
IV _{DDQ}	Quiescent, non-switching	Let EN/SS float, V _{FB} = 1 V			2.5	5.0	mA
V _{UVLO}	UVLO ON Voltage			4.0		4.3	V
V _{UVLO(HYS)}	UVLO hysteresis			500		700	mV
ENABLE/SOFT-START							
V _{IH}	High-level input voltage, EN/SS			0.55	0.70	1.00	V
V _{IL}	Low-level input voltage, EN/SS			0.27	0.30	0.33	V
I _{SS}	Soft-start source current			8	10	12	μA
V _{SS}	Soft-start voltage level – Start of ramp			0.4	0.8	1.3	V
BP REGULATOR							
V _{BP}	Output voltage	I _{BP} = 10 mA		6.2	6.5	6.8	V
V _{DO}	Regulator dropout voltage, V _{VDD} – V _{BP}	I _{BP} = 25 mA, V _{VDD} = 4.5 V			70	125	mV
OSCILLATOR							
f _{sw}	Switching Frequency	R _{COMP} = 40.2 kΩ, 4.5 V ≤ V _{VDD} ≤ 14 V		270	300	330	kHz
		R _{COMP} = open, 4.5 V ≤ V _{VDD} ≤ 14 V		450	500	550	
		R _{COMP} = 13.3 kΩ, 4.5 V ≤ V _{VDD} ≤ 14 V		0.8	0.95	1.1	
V _{RAMP} ⁽¹⁾	Ramp amplitude			V _{VDD} /6.6	V _{VDD} /6	V _{VDD} /5.4	V
PWM							
D _{MAX} ⁽¹⁾	Maximum duty cycle	f _{sw} = 300 kHz, V _{FB} = 0 V, 4.5 V ≤ V _{VDD} ≤ 14 V		93%			
		f _{sw} = 500 kHz, V _{FB} = 0 V, 4.5 V ≤ V _{VDD} ≤ 14 V		90%			
		f _{sw} = 1 MHz, V _{FB} = 0 V, 4.5 V ≤ V _{VDD} ≤ 14 V		85%			
t _{ON(min)} ⁽¹⁾	Minimum controllable pulse width					100	ns
ERROR AMPLIFIER							
GBWP ⁽¹⁾	Gain bandwidth product			10	24		MHz
A _{OL} ⁽¹⁾	Open loop gain			60			dB
I _{IB}	Input bias current (current out of FB pin)	V _{FB} = 0.6 V				75	nA
I _{EAOP}	Output source current	V _{FB} = 0 V		1.5			mA
I _{EAOM}	Output sink current	V _{FB} = 1 V		1.5			mA
POWER GOOD							
V _{OV}	Feedback upper voltage limit for PGOOD			655	675	700	mV
V _{UV}	Feedback lower voltage limit for PGOOD			500	525	550	
V _{PGD-HYST}	PGOOD hysteresis voltage at FB				30	45	
R _{PGD}	PGOOD pull down resistance	V _{FB} = 0 V, I _{FB} = 5 mA			30	70	Ω
I _{PGDLK}	PGOOD leakage current	550 mV < V _{FB} < 655 mV, V _{PGOOD} = 5 V			10	20	μA

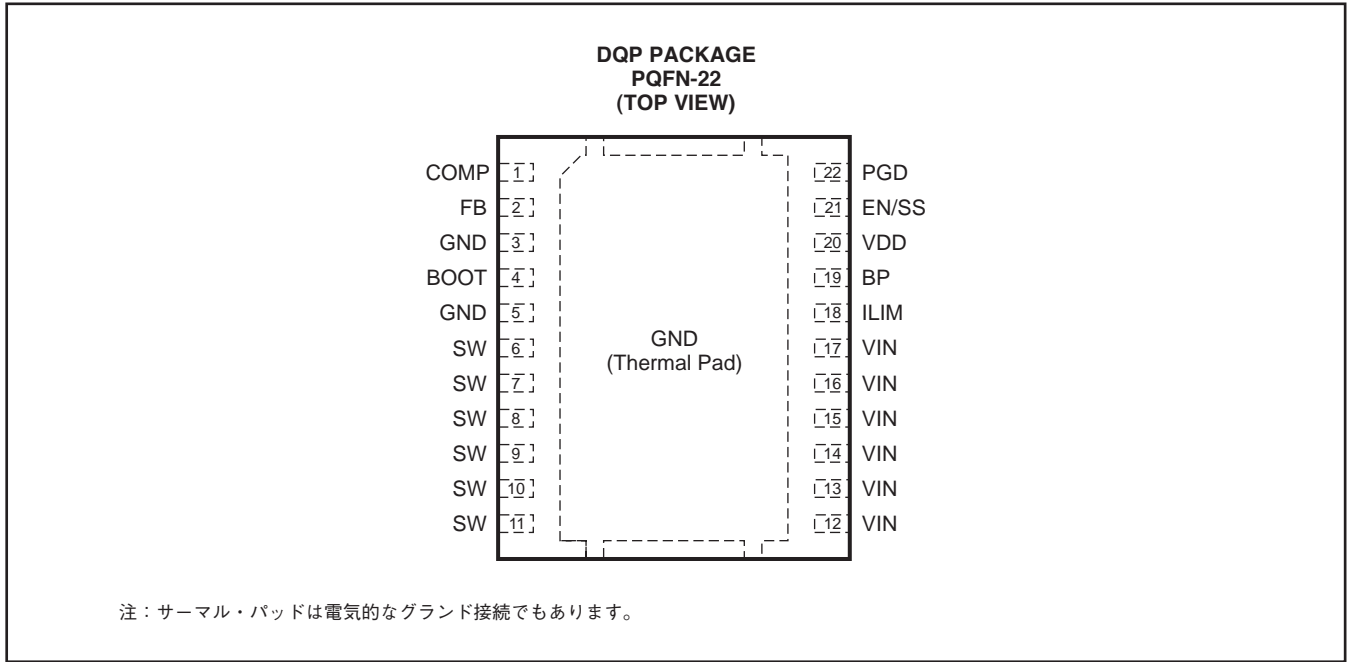
(1) 設計で確認されています。実製品のテストは行っていません。

電気的特性

パラメータ		テスト条件	MIN	TYP	MAX	単位
OUTPUT STAGE						
R_{HI}	High-side device resistance	$T_J = 25^\circ\text{C}, (V_{BOOT} - V_{SW}) = 5.5\text{ V}$		4.5	6.5	m Ω
R_{LO}	Low side device resistance	$T_J = 25^\circ\text{C}$		1.9	2.7	
OVERCURRENT PROTECTION (OCP)						
$t_{PSSC(min)}$ ⁽²⁾	Minimum pulse time during short circuit			250		ns
t_{BLNKH} ⁽²⁾	Switch leading-edge blanking pulse time (high-side detection)			150		
I_{OCH}	OC threshold for high-side FET	$T_J = 25^\circ\text{C}, (V_{BOOT} - V_{SW}) = 5.5\text{ V}$	27	34	39	A
I_{LIM}	ILIM current source	$T_J = 25^\circ\text{C}$		10.0		μA
V_{OCLPRO} ⁽²⁾	Programmable OC range for low side FET	$T_J = 25^\circ\text{C}$	12		100	mV
t_{OFF}	OC retry cycles on EN/SS pin			4		Cycle
BOOT DIODE						
V_{DFWD}	Bootstrap diode forward voltage	$I_{BOOT} = 5\text{ mA}$		0.8		V
THERMAL SHUTDOWN						
T_{JSD} ⁽²⁾	Junction shutdown temperature			145		$^\circ\text{C}$
T_{JSDH} ⁽²⁾	Hysteresis			20		$^\circ\text{C}$

(2) 設計で確認されています。実製品のテストは行っていません。

製品情報



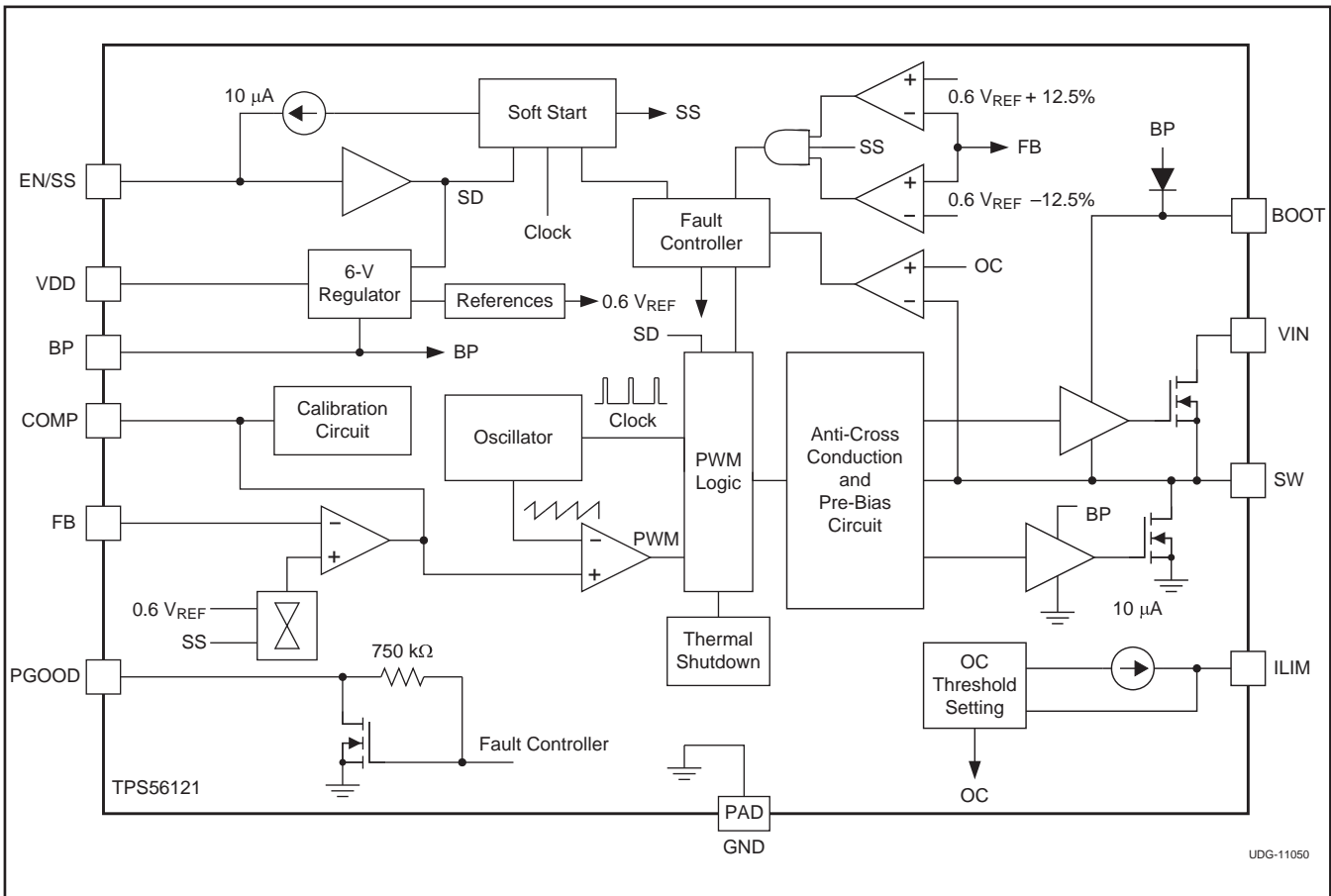
ピン機能

ピン		I/O	説明
名前	番号		
BOOT	4	O	ハイサイドFETのゲート駆動電圧。このピンとSWピンの間に、100nF(標準)のコンデンサを接続する必要があります。SWでの電圧スパイクを減らすには、BOOTコンデンサと直列に5Ω~10ΩのBOOT抵抗を配置して、ハイサイドFETのスタートアップを遅くすることができます。
BP	19	O	内部レギュレータの出力バイパス。このピンとGNDの間に1μF以上の低ESRバイパス・セラミック・コンデンサを接続します。
COMP	1	O	誤差増幅器の出力、ループ帰還部品の接続ノード。オプションで、このピンとGNDの間に40.2kΩの抵抗を配置することにより、スイッチング周波数をデフォルト値の500kHzではなく300kHzに設定できます。このピンとGNDの間に13.3kΩの抵抗を配置すると、スイッチング周波数を1MHzに設定できます。
EN/SS	21	I	外部ユーザ・コマンドによってコントローラを開始または停止するための論理レベル入力。このピンをフローティングにすると、コントローラがオンになります。このピンをLowにすると、コントローラがディスエーブルになります。これは、ソフト・スタート・プログラミング・ピンでもあります。このピンとGNDの間に接続するコンデンサによって、ソフト・スタート時間がプログラミングされます。コンデンサは、10μAの内部電流ソースによって充電されます。結果としてこのピンに生じる電圧ランプは、0.8V (typ) 低くレベル・シフトした後、誤差増幅器への第2の非反転入力としても使用されます。出力レギュレーションは、内部のレベル・シフトされた電圧ランプにより、この電圧が内部リファレンス電圧600mVに達するまで制御されます。このピンの電圧ランプは1.4V (typ) まで達します。
FB	2	I	誤差増幅器への反転入力。通常動作時、このピンの電圧は内部リファレンス電圧に等しくなります。
GND	3 5	-	デバイスのグラウンド・リファレンス
GND	サーマル・パッド	-	デバイスのグラウンド・リファレンス。これは、デバイスからの放熱に使用されるサーマル・パッドでもあります。この接続には、2つの目的があります。1つは、デバイスの電氣的グラウンド接続を提供することです。もう1つは、デバイスのダイからPCBへの熱インピーダンスの低いパスを提供することです。このパッドは、外部でグラウンド・プレーンに接続する必要があります。
ILIM	18	I	このピンとGNDの間に抵抗を接続することで、デバイス(ローサイドFET)の過電流スレッシュホールドが設定されます。
PGD	22	O	オープン・ドレインのパワー・グッド出力。
SW	6 7 8 9 10 11	I	適応型クロス導通防止回路のセンス・ライン。フライング・ハイサイドFETドライバのコモン接続として機能します。
VDD	20	I	コントローラへの電源入力。このピンからGNDの近くに1μFの低ESRバイパス・セラミック・コンデンサを接続する必要があります。

ピン機能

ピン		I/O	説明
名前	番号		
VIN	12	I	ハイサイドFETへの電源入力。
	13		
	14		
	15		
	16		
	17		

機能ブロック図



標準的特性

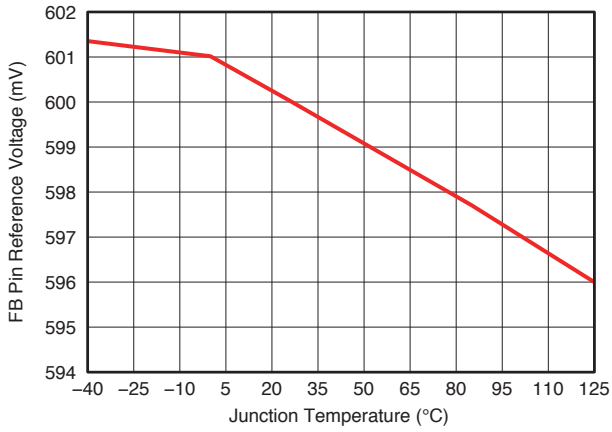


図 1. リファレンス電圧 対 接合部温度

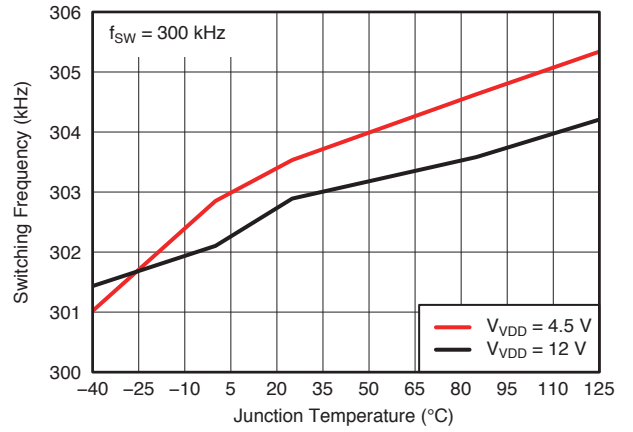


図 2. スイッチング周波数 対 接合部温度 (300kHz)

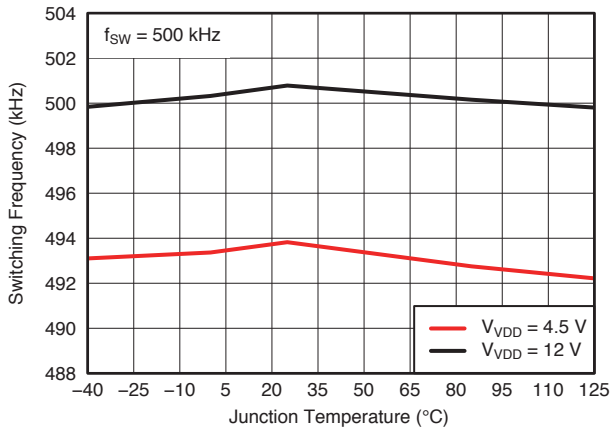


図 3. スイッチング周波数 対 接合部温度 (500kHz)

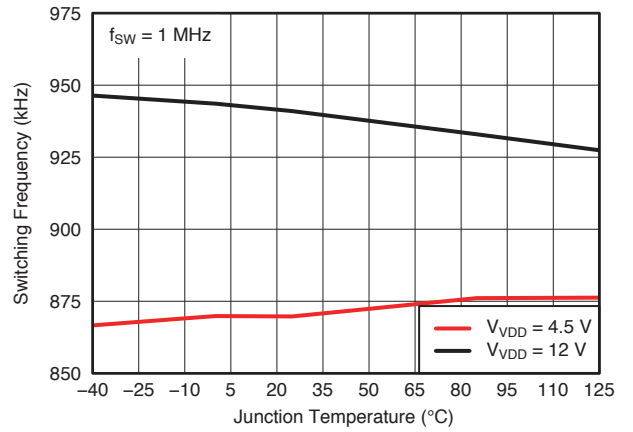


図 4. スイッチング周波数 対 接合部温度 (1MHz)

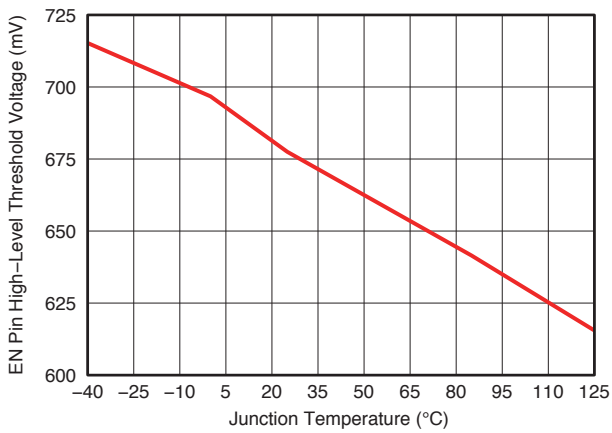


図 5. ENピンHighレベル・スレッシュヨルド電圧 対 接合部温度

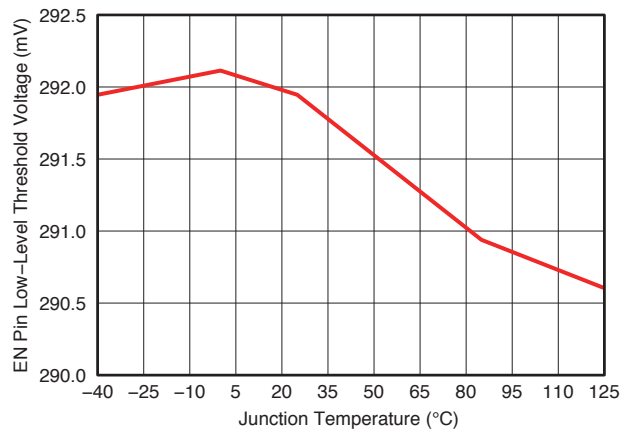


図 6. ENピンLowレベル・スレッシュヨルド電圧 対 接合部温度

標準的特性

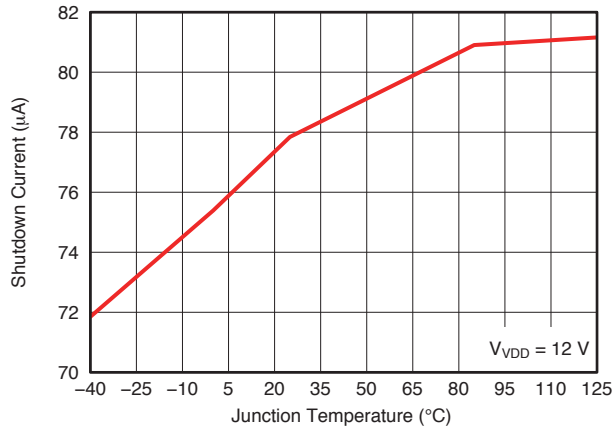


図 7. シャットダウン電流 対 接合部温度

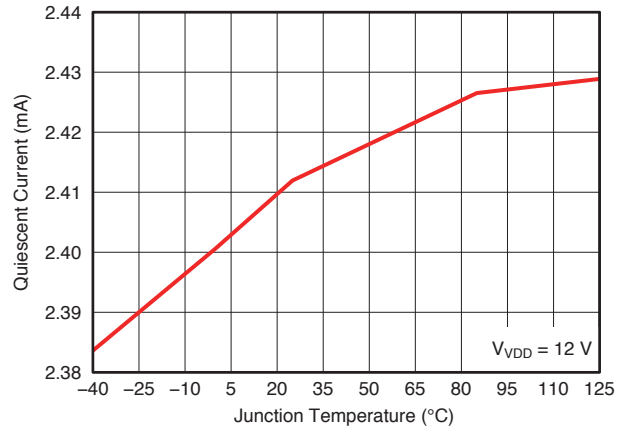


図 8. 静止電流 対 接合部温度

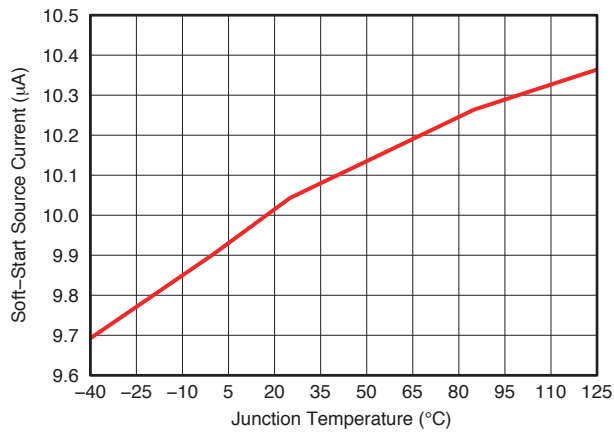


図 9. ソフト・スタート・ソース電流 対 接合部温度

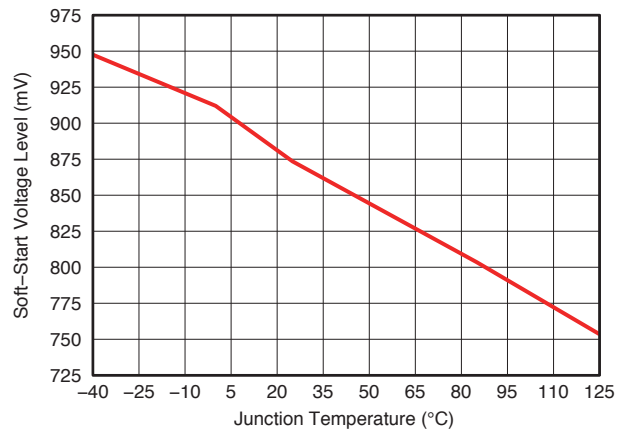


図 10. ソフト・スタート電圧レベル 対 接合部温度

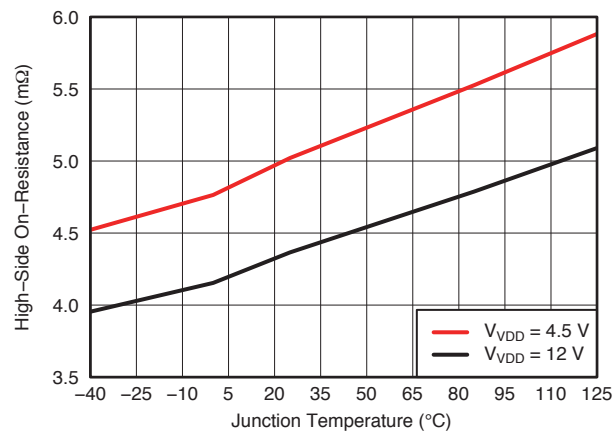


図 11. ハイサイド・オン抵抗 対 接合部温度

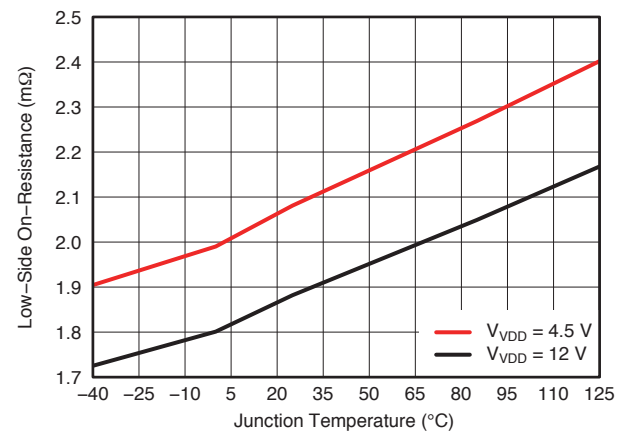


図 12. ローサイド・オン抵抗 対 接合部温度

標準的特性

図15の効率曲線は、0.5 μ Hの出カインダクタおよび0.75m Ω の最大DCRで測定されています。

図16の効率曲線は、0.3 μ Hの出カインダクタおよび0.54m Ω の最大DCRで測定されています。

図17および図18の電力ディレーティング曲線は、4"×3.25"、0.062"厚のFR4基板(6層、1オンス銅)上で測定されています。

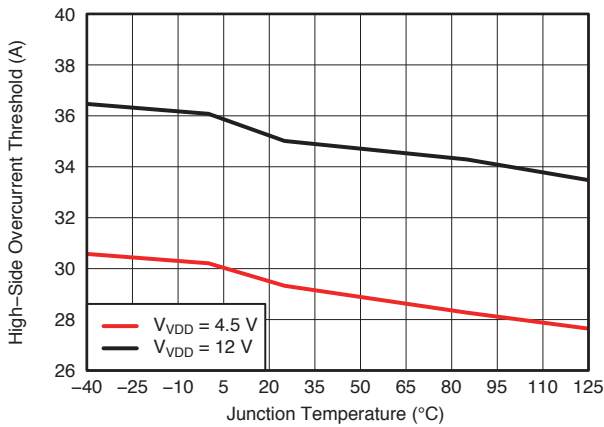


図 13. ハイサイド過電流スレッシュォルド
対 接合部温度

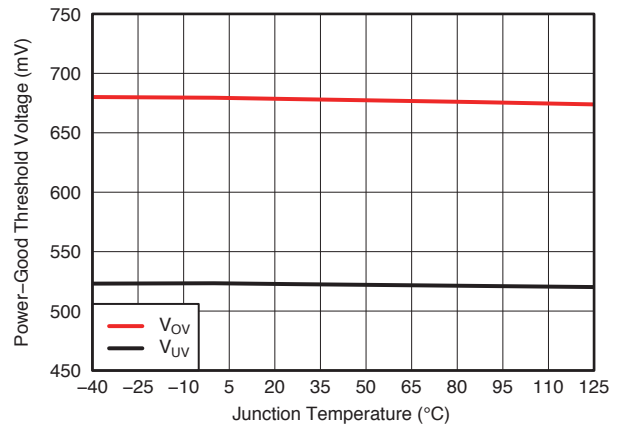


図 14. パワー・グッド・スレッシュォルド電圧
対 接合部温度

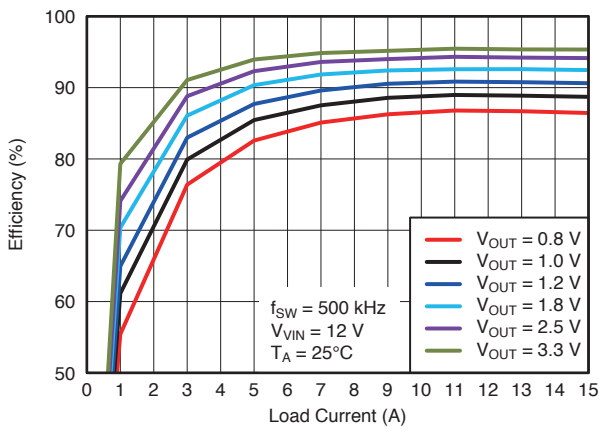


図 15. 効率 対 負荷電流 ($V_{VIN} = 12V$)

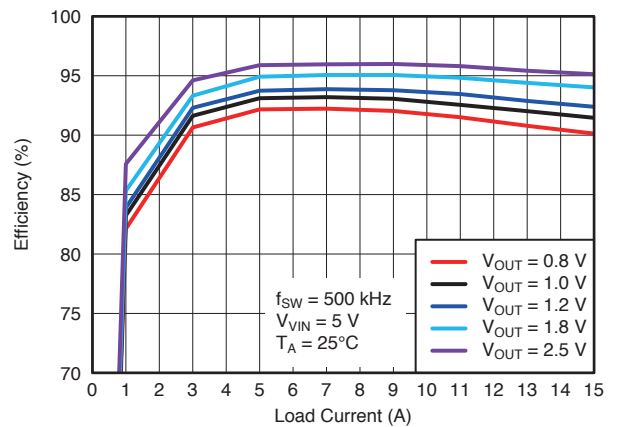


図 16. 効率 対 負荷電流 ($V_{VIN} = 5V$)

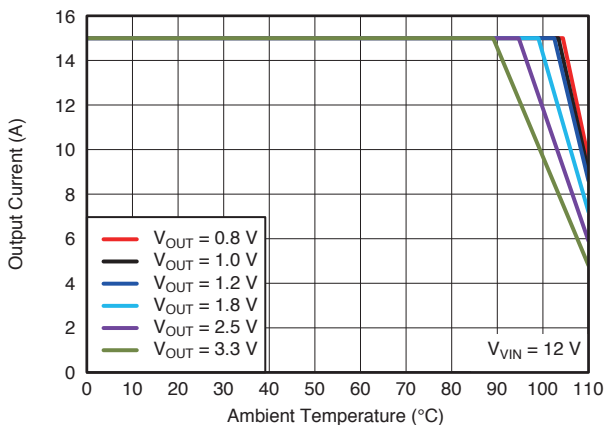


図 17. 出力電流 対 周囲温度 ($V_{VIN} = 12V$)

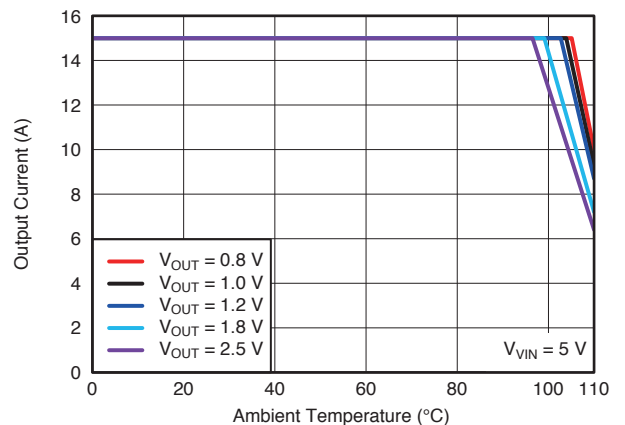


図 18. 出力電流 対 周囲温度 ($V_{VIN} = 5V$)

アプリケーション情報

概要

TPS56121は、2個のNチャネルNexFET™パワーMOSFETを内蔵した、15Aの高性能同期バック・コンバータです。電圧モード制御を実装し、電圧フィードフォワード補償により入力電圧の変化に対して瞬時に応答します。プリバイアス機能により、壊れやすい負荷に対して損傷を与える懸念がなくなります。

電圧リファレンス

600mVのバンド・ギャップ・セルが、内部で誤差増幅器の非反転入力に接続されています。リファレンス電圧は、ユニティ・ゲイン構成の誤差増幅器によって調整され、最終レギュレーション電圧から増幅器オフセットが除去されます。リファレンス電圧の公差は1%であり、ユーザは非常に正確な電源を設計することが可能です。

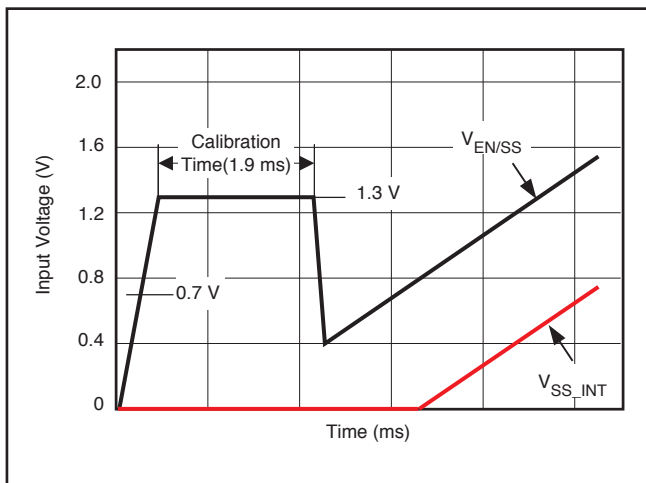


図 19. スタートアップ・シーケンスおよびタイミング

イネーブル機能、スタートアップ・シーケンスおよびタイミング

入力電源が印加されると、40 μ Aの内部電流ソースによって、EN/SSとGNDの間に接続されたソフト・スタート・コンデンサの充電が開始されます。コンデンサ両端の電圧が0.7Vまで上昇すると、内部BPレギュレータがイネーブルになり、校正が開始されます。合計校正時間は約1.9msです。図19を参照してください。校正中、デバイスは次の2つの機能を実行します。

COMPピンのインピーダンス・センス

デバイスはCOMPピンでのインピーダンスをサンプリングし、おおよその動作スイッチング周波数を決定します。COMPピンとGNDの間に抵抗を接続しない場合、スイッチング周波数はデフォルト値の500kHzに設定されます。COMPピンとGNDの間に40.2k Ω \pm 10%の抵抗を接続すると、スイッチング周波数は300kHzに設定されます。また、COMPピンとGNDの間に13.3k Ω \pm 10%の抵抗を接続すると、スイッチング周波数は1MHzに設定されます。

1.1msの期間が経過した後、COMPピンは0.8msの間Lowになります。これにより、スタートアップ時に帰還ループが適切に設定され、コンバータがスイッチングを開始するときに、コンバータの出力での急激な出力上昇が防止されます。

過電流保護 (OCP) 設定

デバイスは、ILIMピンとGNDの間に接続された抵抗に10 μ A (typ)をソースします。この抵抗に生じる電圧に係数2を乗じた値がサンプリングされ、入力のサイクルまたはEN/SSの切り替え時まで、ローサイドFETのOCPトリップ・レベルとして内部でラッチされます。

EN/SSの電圧は、校正前および校正中は内部で1.3Vにクランプされ、校正完了後の放電時間を最小限にしています。放電電流は140 μ Aの内部電流ソースから得られ、電圧を0.4Vまで降下させます。その後、10 μ Aの内部電流ソースを使用してコンデンサを充電することにより、ソフト・スタートを開始します。結果としてこのピンに生じる電圧ランプは、800mV (typ) 低レベル・シフトした後、誤差増幅器への第2の非反転入力として使用されます。したがって、実際のソフト・スタートは、このピンの電圧が800mVに達するまで開始されません。

EN/SSピンをフローティングにすると、コントローラは自動的に起動します。デバイスがシャットダウン・モードに入るようにするには、EN/SSを270mV未満にプルダウンする必要があります。

ソフト・スタート時間

TPS56121のソフト・スタート時間は、1個のコンデンサを選択することでユーザ・プログラミングできます。このコンデンサは、EN/SSピンから供給される10 μ Aの電流によって充電されます。実際の出力上昇時間は、600mVの範囲でこの10 μ Aによってコンデンサが充電されるまでにかかる時間です。校正と、実際のEN/SSピン電圧から誤差増幅器に印加される電圧との間のオフセット(800mV)により、ある程度の初期遅延があります。

ソフト・スタートは閉ループ内で行われます。つまり、誤差増幅器がソフト・スタート期間中全体にわたって出力電圧を制御し、デューティ・サイクル制限方式のソフト・スタートのように帰還ループが開になることはありません。誤差増幅器には2つの非反転入力があり、一方は600mVのリファレンス電圧、もう一方はオフセットされたEN/SSピン電圧に接続されています。誤差増幅器は、この2つのうち低い方の電圧にFBピンを制御します。EN/SSピンの電圧が約1.4V(800mVのオフセット電圧+600mVのリファレンス電圧)を過ぎて上昇すると、600mVのリファレンス電圧が支配的な入力となり、コンバータは最終レギュレーション電圧に到達しています。

出力電圧に対して特定のソフト・スタート上昇時間を設定するために必要な容量は、式 (1) で与えられます。

$$C_{SS} = \left(\frac{I_{SS}}{V_{FB}} \right) \times t_{SS} \quad (1)$$

ここで

- C_{SS} は、EN/SSピンの必要な容量 (nF) です。
- I_{SS} は、ソフト・スタート・ソース電流 (10 μ A) です。
- V_{FB} は、帰還リファレンス電圧 (0.6V) です。
- t_{SS} は、目的のソフト・スタート上昇時間 (ms) です。

発振回路

COMPピンとGNDの間に抵抗を接続しない場合、発振周波数は内部で500kHzに固定されます。オプションとして、COMPピンとGNDの間に40.2kΩの抵抗を接続すると、周波数が300kHzに設定されます。また、COMPピンとGNDの間に13.3kΩの抵抗を接続すると、周波数が1MHzに設定されます。

過電流保護 (OCP)

ILIMのプログラミング可能なOCPレベルは、6mV~50mVです。スケール・ファクタが2に設定され、ローサイドFETでの実際のOCトリップ点は、12mV~100mVの範囲内です。

校正中にR_{OCSET}での電圧降下が300mVに達した場合、OC保護がディスエーブルになります (R_{OCSET}抵抗は搭載されていません)。ディスエーブルになると、ローサイドおよびハイサイドの電流センスが行われません。

ハイサイドFETのOCPレベルは、34A (typ) に固定されています。ハイサイドOCPでは、パルス毎の電流制限が行われます。

ローサイドFETのOCPセンスは、サンプル/ホールドを使用した真のインダクタ・バレー電流検出です。R_{OCSET}は式 (2) で計算できます。

$$R_{OCSET} = \left(I_{OUT(max)} - \left(\frac{I_{P-P}}{2} \right) \right) \times 95 + 500 \quad (2)$$

ここで

- I_{P-P}は、ピーク・ツー・ピーク・インダクタ電流 (A) です。
- I_{OUT(max)}は、OCPのトリップ点 (A) です。
- R_{OC(set)}は、OCPレベル (Ω) の設定に使用される抵抗です。

過電流 (OC) 状態は、ローサイドFETおよびハイサイドFETでの電圧降下をセンスすることで検出されます。いずれかのFETでの電圧降下がOCスレッシュホールドを超えた場合、カウンタのカウン트가1増加します。いずれのFETでもOC状態が検出されない場合、カウン트는1減少します。3つのOCパルスが加算されると、障害状態が宣言され、ソフト・スタート機能がヒカップ・モードで繰り返されます。ヒカップ・モードでは、通常動作中に過電流状態が検出された場合には4回のダミーのソフト・スタート・タイムアウトに続いて真のタイムアウトが1回発生し、起動中に最初から過電流状態が検出された場合には、5回のダミーのソフト・スタート・タイムアウトに続いて真のタイムアウトが1回発生します。このサイクルが、障害状態が解消されるまで無制限に繰り返されます。

入力低電圧誤動作防止 (UVLO)

TPS56121は、固定の入力低電圧誤動作防止 (UVLO) 機能を備えています。デバイスがオンになるには、次の条件が満足されている必要があります。

- EN/SSピンの電圧がV_{IH}より高い
- 入力電圧がUVLOオン電圧 (V_{UVLO}) を超えている

UVLOには、最小500mVのヒステリシスが組み込まれています。

プリバイアス・スタートアップ

TPS56121には、出力がプリバイアスされている状態でのスタートアップ中に、出力から電流が流れ出すのを防ぐための、独自の回路が含まれています。出力がプリバイアスされている場合、内部ソフト・スタート電圧が誤差増幅器の入力 (FBピン) を上回るまで、PWMパルスは生成されません。ソフト・スタート電圧が誤差増幅器の入力を上回ると、コントローラは、短いオン時間で同期整流器を起動することにより、同期整流をゆっくりと開始します。次に、そのオン時間が (1-D) で示される時間と一致するまで (Dはコンバータのデューティ・サイクル)、オン時間をサイクル毎にインクリメントします。

このアプローチにより、プリバイアス出力から電流がシンクされるのを防ぎ、出力電圧のスタートアップとレギュレーションまでの上昇が円滑に制御されるようにしています。

パワー・グッド

TPS56121には、出力がコンバータに対して良好であることを示す機能があります。これは、オープン・ドレイン信号であり、電源の出力がレギュレーション範囲外である可能性を示す状況が存在する場合、Lowになります。これには、次のような状況が含まれます。

- V_{FB}が公称値から±12.5%以上外れている
- ソフト・スタートがアクティブである
- 短絡状況が検出された

注： デバイスに電源が供給されていない場合、パワー・グッド通知に補助電源が使われていると、PGOODはGND付近にプルダウンできません。この場合、PGOODプルダウン・デバイスのドレイン・ゲート間に接続されている内蔵抵抗により、PGOODピンはGNDに対するダイオードのように機能します。

過熱シャットダウン

デバイスの接合部温度が145°Cの過熱シャットダウン制限に達すると、PWMおよび発振回路がオフになります。ハイサイドFETとローサイドFETの両方がオフに保持されます。接合部が所定のレベル (標準125°C) まで冷却されると、PWMは、通常のパワーアップ・サイクル時と同様にソフト・スタートを開始します。

設計例

概要

この設計例は、TPS56121高電流統合バック・コンバータを使用した15A、12V入力から1.2V出力の設計を示しています。システム仕様を表1に示します。

パラメータ	測定条件	MIN	TYP	MAX	単位
V_{IN}	入力電圧	8.0		14	V
$V_{IN(ripple)}$	入力リップル			0.5	V
V_{OUT}	出力電圧	1.164	1.2	1.236	V
	ライン・レギュレーション			0.5%	
	ロード・レギュレーション			0.5%	
V_{RIPPLE}	出力リップル			24	mV
V_{OVER}	出力オーバーシュート		50		mV
V_{UNDER}	出力アンダーシュート		50		mV
I_{OUT}	出力電流	0		15	A
t_{SS}	ソフト・スタート時間		1.5		ms
I_{SCP}	短絡電流トリップ点	20			A
η	効率		90		%
f_{SW}	スイッチング周波数		500		kHz
	サイズ			0.6	in ²

表 1. TPS56121設計例のパラメータ

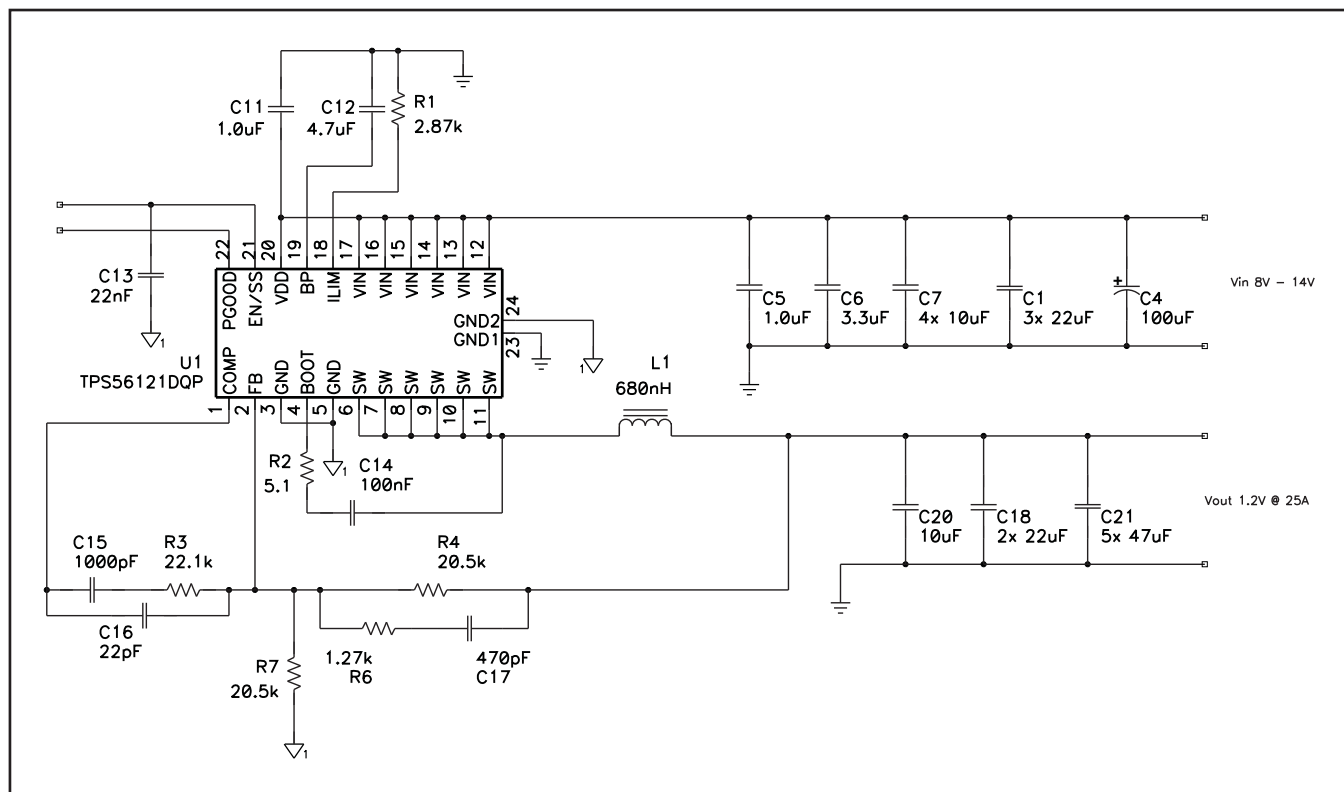


図 20. 設計例の回路図

設計手順

スイッチング周波数の選択

この設計では、小サイズと高効率のバランスを取るために、500kHzのスイッチング周波数を使用します。

インダクタの選択 (L1)

同期バック・パワー・インダクタは、一般に、約20%~40%のピーク・ツー・ピーク・リップル電流 (I_{RIPPLE}) に対してサイズが選択されます。

この目標リップル電流により、必要なインダクタ・サイズは式 (3) で計算できます。

$$L \approx \frac{V_{IN(max)} - V_{OUT}}{0.3 \times I_{OUT}} \times \frac{V_{OUT}}{V_{IN(max)}} \times \frac{1}{f_{SW}}$$

$$= \frac{14V - 1.2V}{0.3 \times 15A} \times \frac{1.2V}{14V} \times \frac{1}{500kHz} = 487nH \quad (3)$$

標準のインダクタ値として680nHを選択し、 $I_{RIPPLE} = 7.3A$ とします。

インダクタを流れるRMS電流は、式 (4) で近似されます。

$$I_{L(rms)} = \sqrt{\left(I_{L(avg)}\right)^2 + \left(\frac{1}{12} \times I_{RIPPLE}\right)^2}$$

$$= \sqrt{\left(I_{OUT}\right)^2 + \left(\frac{1}{12} \times I_{RIPPLE}\right)^2}$$

$$= \sqrt{\left(15\right)^2 + \left(\frac{1}{12} \times (3.2)\right)^2} = 15.03A \quad (4)$$

出力コンデンサの選択 (C18、C20、C23)

出力コンデンサは、一般に出力過渡応答に基づいて選択されます。

- ループ帯域幅遅延
- インダクタのスルーレート遅延
- 過渡スルーレート

$V_{IN(min)} > 2 \times V_{OUT}$ のアプリケーションに対する計算を式 (5) に示します。

$$C_{OUT(min)} = \frac{I_{TRAN(max)}}{3\pi \times BW \times V_{OVER}} + \frac{\left(I_{TRAN(max)}\right)^2 \times L}{2 \times \left(V_{OUT}\right) \times V_{OVER}} - \frac{I_{TRAN(max)} \times t_{FALL}}{V_{OVER}}$$

$$= \frac{5}{3\pi \times 60kHz \times 50mV} + \frac{(5)^2 \times 680nH}{2 \times 1.2 \times 50mV} - \frac{5A \times 1\mu s}{50mV}$$

$$= 177\mu F + 142\mu F - 50\mu F = 269\mu F \quad (5)$$

最小容量が決まると、最大許容ESRは最大リップル電圧によって決定され、式 (6) で近似されます。

$$ESR_{MAX} = \frac{V_{RIPPLE(tot)} - V_{RIPPLE(cap)}}{I_{RIPPLE}}$$

$$= \frac{V_{RIPPLE(tot)} - \left(\frac{I_{RIPPLE}}{8 \times C_{OUT} \times f_{SW}}\right)}{I_{RIPPLE}}$$

$$= \frac{24mV - \left(\frac{3.2A}{8 \times 269\mu F \times 500kHz}\right)}{3.2A} = 6.5m\Omega \quad (6)$$

この設計の低ESRおよび高容量要件を満たすため、5個の47 μ F、1210セラミック・コンデンサ、2個の22 μ F、1206セラミック・コンデンサ、および1個の10 μ F、0805セラミック・コンデンサを選択します。複数の種類のコンデンサおよび異なるサイズのセラミック・コンデンサを組み合わせることで、出力コンデンサのフィルタリング周波数に対して、より広い帯域が提供されます。

インダクタのピーク電流定格

出力容量を使用して、スタートアップ時の充電電流を計算し、インダクタの最小飽和電流定格を決定することが可能です。スタートアップ時の充電電流は、式 (7) で近似されます。

$$I_{CHARGE} = \frac{V_{OUT} \times C_{OUT}}{t_{SS}} = \frac{1.2V \times 275\mu F}{1.5ms} = 0.22A \quad (7)$$

$$I_{L(peak)} = I_{OUT(max)} + \left(\frac{1}{2} \times I_{RIPPLE}\right) + I_{CHARGE}$$

$$= 15A + \left(\frac{1}{2} \times 3.2A\right) + 0.22A = 16.8A \quad (8)$$

パラメータ	VALUE	単位
L	インダクタンス	680 nH
$I_{L(rms)}$	RMS電流(熱定格)	15.03 A
$I_{L(peak)}$	ピーク電流(飽和定格)	16.8 A

表 2. インダクタ要件一覧

24Aの飽和定格と19ARMSの熱定格を持つ、PG0871.681NL (680nH、2.3m Ω 、24A) インダクタを選択します。よりDCRの低い、物理的に大きなインダクタを選択して、効率をさらに高めることもできますが、この小さなインダクタは、0.6という最大PCB領域要件をより適切に満足します。

ブートストラップ・コンデンサ (C14)

ブートストラップ・コンデンサは、ハイサイド・スイッチのオン時間中に、ハイサイド・ドライバへの電力を維持します。内蔵MOSFETの要件に従い、C_{BOOT}には、最小10Vの定格を持つ100nFのコンデンサを使用します。

ブートストラップ抵抗 (R2)

ブートストラップ抵抗は、SW電圧の立ち上がりエッジを緩やかにすることで、リングングの低減とEMIの向上に役立ちます。データシートの推奨事項に従い、5.1Ωの抵抗を選択します。

VDDバイパス・コンデンサ (C11)

TPS56121の推奨ピン終端条件に従い、VDDは1.0μFのコンデンサでGNDにバイパスします。

BP5バイパス・キャパシタ (C12)

TPS56121の推奨ピン終端条件に従い、VDDは1.0μF以上のコンデンサでGNDにバイパスします。追加のフィルタリングとノイズ耐性向上のために、4.7μFのコンデンサを選択します。

ソフト・スタート・コンデンサ (C13)

ソフト・スタート・コンデンサは、制御されたスムーズなスタートアップを実現するため、誤差増幅器に一定のランプ電圧を供給します。ソフト・スタート・コンデンサの大きさは、式 (9) を使って計算します。

$$C_{SS} = \frac{I_{SS}}{V_{FB}} \times t_{SS} = \frac{10\mu A}{0.6V} \times 1.5ms = 25nF \approx 22nF \quad (9)$$

電流制限 (R1)

TPS56121は、オフ時間の終わりに内部ローサイドFETで生じる負の降下を使用して、インダクタ電流の谷を測定します。最大負荷から最小30%の超過を考慮し、プログラミング抵抗は式 (10) で選択されます。

$$\begin{aligned} R_{OCSET} &= 95 \times \left(1.3 \times I_{OUT(max)} - \left(\frac{I_{RIPPLE}}{2} \right) \right) + 500 \Omega \\ &= 95 \times \left(1.3 \times 15 A - \left(\frac{3.2 A}{2} \right) \right) + 500 \Omega \\ &= 2.20 k\Omega \approx 2.87 k\Omega \end{aligned} \quad (10)$$

帰還分圧抵抗 (R4、R7)

TPS56121コンバータでは、0.600Vの内部固定リファレンスを持つ完全なオペアンプが使用されます。帰還電流とノイズ耐性のバランスのために、R4は10kΩ~50kΩの範囲で選択されます。R4を20.5kΩに設定した場合、出力電圧は式 (11) で与えられる分圧抵抗によってプログラミングされます。

$$R_{BIAS} = \frac{V_{FB} \times R_{FB}}{(V_{OUT} - V_{FB})} = \frac{0.600V \times 20.5k\Omega}{1.2V - 0.600V} = 20.5k\Omega \approx 20.5k\Omega \quad (11)$$

補償 (C15、C16、C17、R3、R6)

TPS40kループ安定性ツールを、60kHzの帯域幅と60°の位相マージン、およびR4 = 20.5kΩに対して使用すると、以下の値が得られます。

- C17 = C₁ = 470pF
- C15 = C₂ = 1000pF
- C16 = C₃ = 22pF
- R6 = R₂ = 1.27kΩ
- R3 = R₃ = 22.1kΩ

設計例の特性

12V入力～1.2V出力、0A～15A出力電流

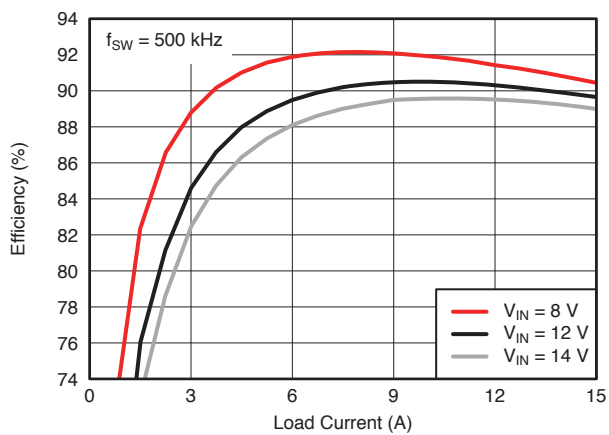


図 21. 効率 対 負荷電流

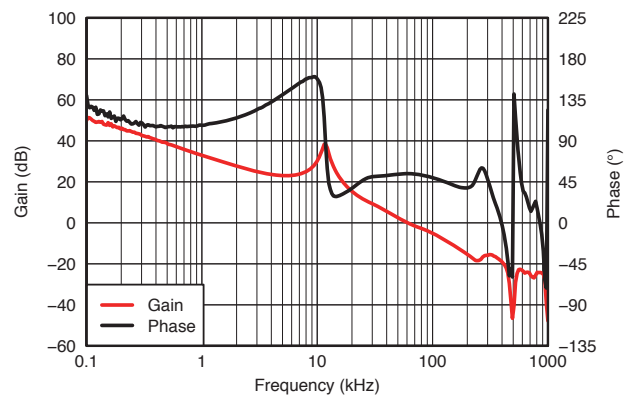


図 22. ループ応答、帯域幅60kHz、位相マージン54°

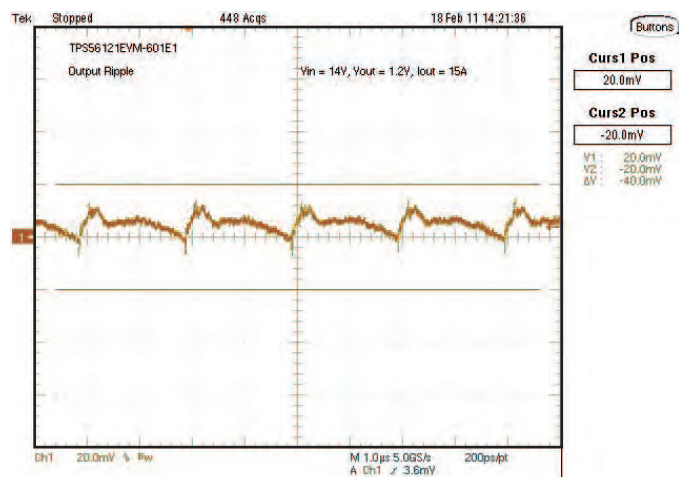
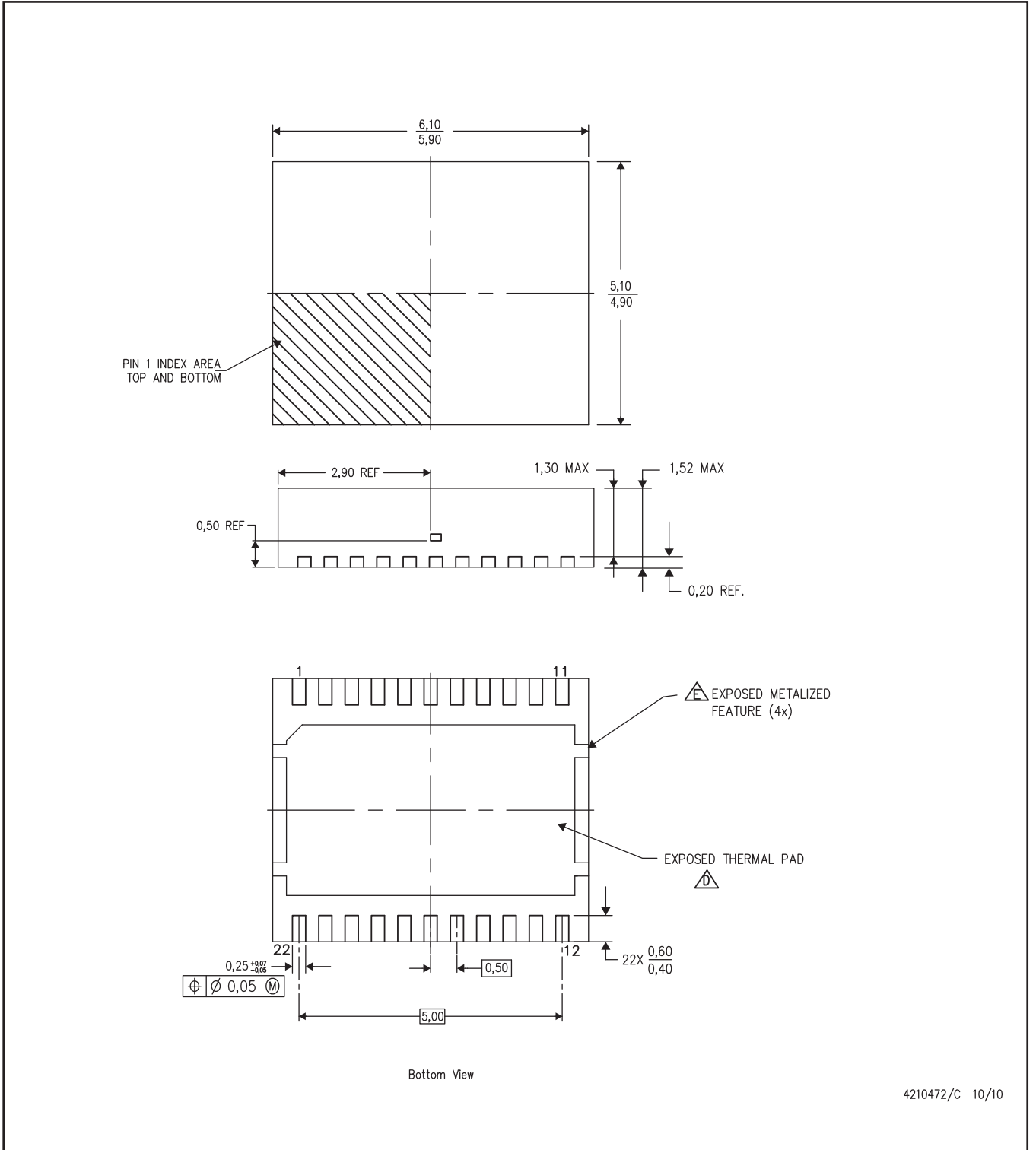


図 23. 出力リップル20mV/div、1.0µs/div、帯域幅20MHz、AC結合

記号	数量	値	説明	サイズ	部品番号	メーカー
C1	3	22 μ F	コンデンサ、セラミック、25V, X5R, 20%	1210	Std	Std
C4	1	100 μ F	コンデンサ、アルミ、16VDC, \pm 20%	D8	EEEEFP1C101AP	Panasonic
C5	1	1.0 μ F	コンデンサ、セラミック、25V, X7R, 20%	0805	Std	Std
C6	1	3.3 μ F	コンデンサ、セラミック、25V, X7R, 20%	0805	Std	Std
C7	4	10 μ F	コンデンサ、セラミック、25V, X7R, 20%	1206	Std	Std
C11	1	1.0 μ F	コンデンサ、セラミック、25V, X5R, 20%	0805	Std	Std
C12	1	4.7 μ F	コンデンサ、セラミック、10V, X5R, 20%	0805	Std	Std
C13	1	22 nF	コンデンサ、セラミック、16V, X7R, 20%	0402	Std	Std
C14	1	100 nF	コンデンサ、セラミック、16V, X7R, 20%	0402	Std	Std
C15	1	1000 pF	コンデンサ、セラミック、25V, X7R, 10%	0402	Std	Std
C16	1	22 pF	コンデンサ、セラミック、25V, C0G, 10%	0402	Std	Std
C17	1	470 pF	コンデンサ、セラミック、25V, C0G, 10%	0402	Std	Std
C18	2	22 μ F	コンデンサ、セラミック、6.3V, X5R, 20%	1206	Std	Std
C20	1	10 μ F	コンデンサ、セラミック、6.3V, X5R, 20%	0805	Std	Std
C21	5	47 μ F	コンデンサ、セラミック、6.3V, X5R, 20%	1210	Std	Vishay
L1	1	320 nH	インダクタ、SMTパワー、 \pm 15%	7.6 x 7.4 mm	PG0871.681NL	Pulse
R1	1	2.87 k Ω	抵抗、チップ、1/16W, 1%	0402	Std	Std
R2	1	5.1 Ω	抵抗、チップ、1/16W, 1%	0402	Std	Std
R3	1	22.1 k Ω	抵抗、チップ、1/16W, 1%	0402	Std	Std
R4	1	20.5 k Ω	抵抗、チップ、1/16W, 1%	0402	Std	Std
R6	1	1.27 k Ω	抵抗、チップ、1/16W, 1%	0402	Std	Std
R7	1	20.5 k Ω	抵抗、チップ、1/16W, 1%	0402	Std	Std
U1	1	TPS56121 DQP	15A、600kHz、同期バック・コンバータ	QFN-22 6 x 5 mm	TPS56121DQP	TI

表 3. TPS56121設計例の部品表



注：A. 全ての線寸法の単位はミリメートルです。寸法と許容差はASME Y14.5M- 1994に従っています。

B. 図は予告なく変更することがあります。

C. SON (Small Outline No-Lead) パッケージ構成

△ 最良の熱特性および機械的特性を得るには、パッケージのサーマル・パッドを基板に半田付けする必要があります。

△ 金属化はベンダのオプションで、パッケージには含まれていない場合があります。

サーマルパッド・メカニカル・データ

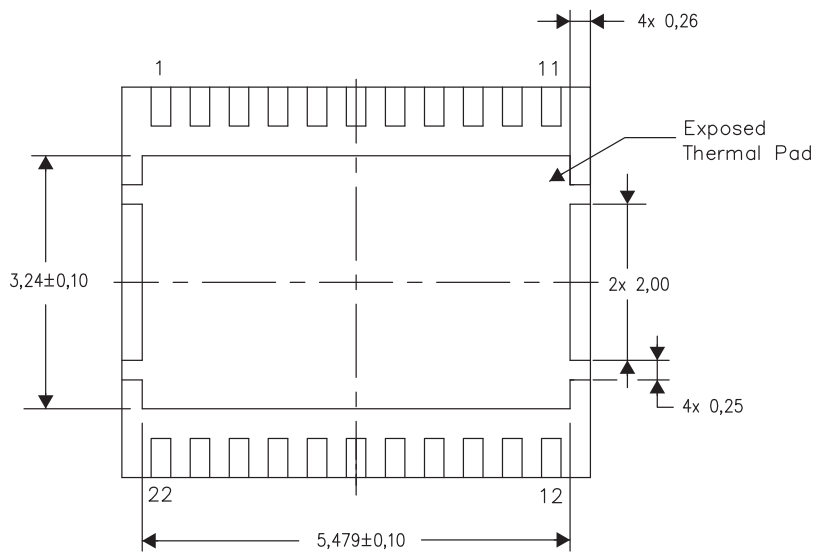
DQP(R-PSON-N22)

熱的特性に関する資料

このパッケージには、外部ヒートシンクに直接接続するように設計された、露出したサーマルパッドが装備されています。このサーマルパッドは、プリント基板 (PCB) をヒートシンクとして使用できるように、PCBに直接半田付けする必要があります。また、サーマルビアを使用して、サーマルパッドをグランドプレーンまたはPCB内に設計された特別なヒートシンク構造に直接接続することができます。この設計により、ICからの熱伝導が最適化されます。

QFN(Quad Flatpack No-Lead)パッケージとその利点については、アプリケーションレポート『Quad Flatpack No-Lead SON PCB』(Texas Instruments文献番号SLUA271)を参照してください。このドキュメントは、ホームページwww.ti.comで入手できます。

このパッケージの露出したサーマルパッドの寸法を次の図に示します。に設計された、露出したサーマルパッドが装備されています。

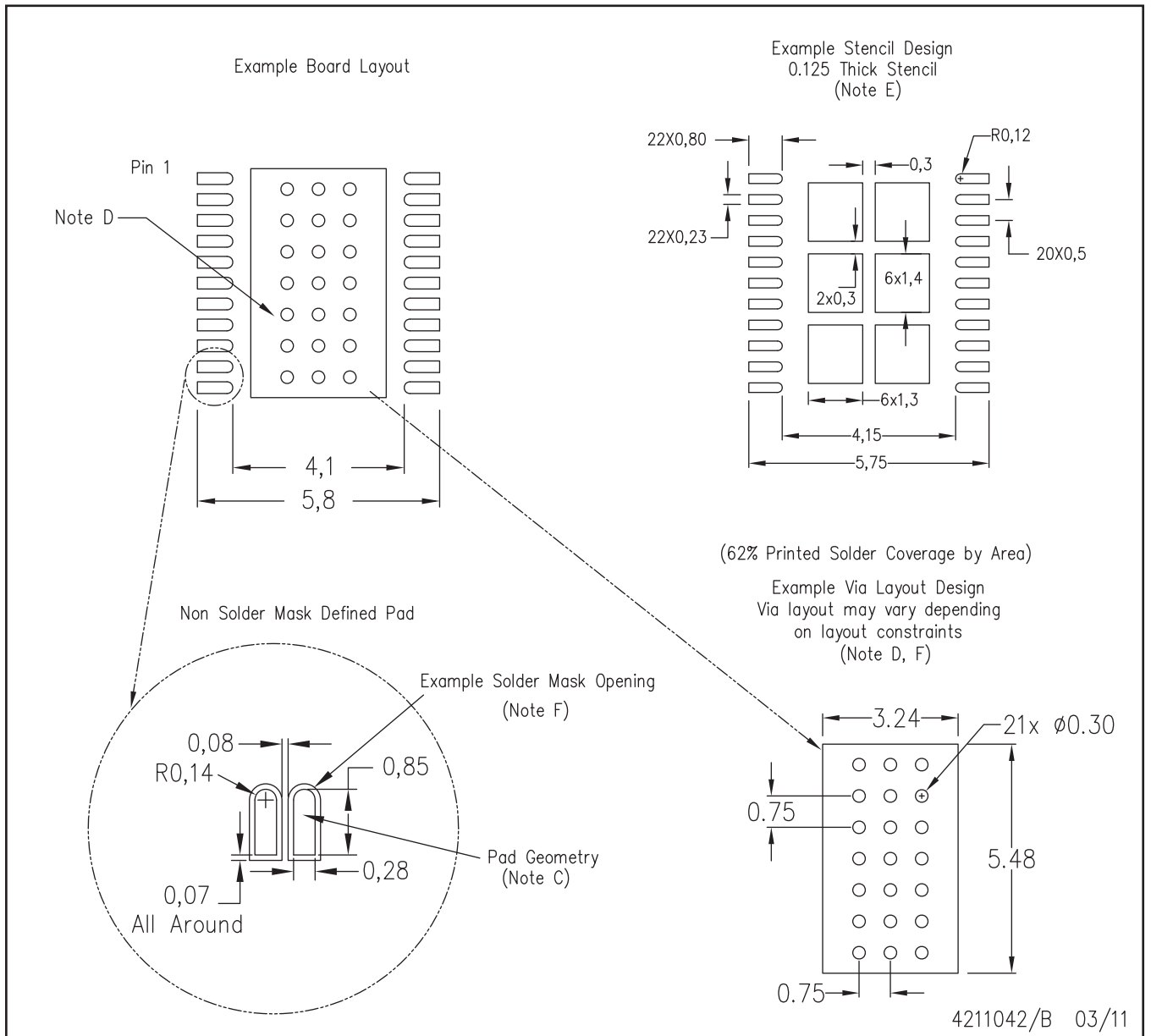


Top View

注：全ての線寸法の単位はミリメートルです。

4211024/C 04/11

サーマルパッド寸法図



- 注：A. 直線寸法はすべてミリメートル単位です。
 B. 本図は予告なしに変更することがあります。
 C. 代替設計には、IPC-7351規格を推奨します。
 D. 本パッケージは、サーマルパッドを基板に半田付けするように設計されています。具体的な熱的特性情報、ビア条件、および推奨基板レイアウトについては、アプリケーション・ノート「QFNパッケージ」テキサス・インスツルメンツ文献番号SLUA271および製品データシートも参照願います。これらの文献はwww.ti.com < http://www.ti.com > で入手できます。
 E. 台形壁面やラウンドコーナーにレーザー・カッティング・アパーチャを行うと、ペーストのリリースが容易になります。推奨のステンシル設計については、基板組立元に問合せ願います。ステンシル設計の検討については、IPC7525規格を参照願います。
 F. 半田マスク公差については、基板製造元に問合せ願います。

パッケージ情報

製品情報

Orderable Device	Status ⁽¹⁾	Package Type	Package Drawing	Pins	Package Qty	Eco Plan ⁽²⁾	Lead/Ball Finish	MSL Peak Temp ⁽³⁾	Samples (Requires Login)
TPS56121DQPR	ACTIVE	SON	DQP	22	2500	Pb-Free (RoHS Exempt)	CU SN	Level-2-260C-1 YEAR	
TPS56121DQPT	ACTIVE	SON	DQP	22	250	Pb-Free (RoHS Exempt)	CU SN	Level-2-260C-1 YEAR	

⁽¹⁾ マーケティング・ステータスは次のように定義されています。

ACTIVE: 製品デバイスが新規設計用に推奨されています。

LIFEBUY: TIによりデバイスの生産中止予定が発表され、ライフタイム購入期間が有効です。

NRND: 新規設計用に推奨されていません。デバイスは既存の顧客をサポートするために生産されていますが、TIでは新規設計にこの部品を使用することを推奨していません。

PREVIEW: デバイスは発表済みですが、まだ生産が開始されていません。サンプルが提供される場合と、提供されない場合があります。

OBSOLETE: TIによりデバイスの生産が中止されました。

⁽²⁾ エコ・プラン - 環境に配慮した製品分類プランであり、Pb-Free (RoHS)、Pb-Free (RoHS Expert) および Green (RoHS & no Sb/Br) があります。最新情報および製品内容の詳細については、<http://www.ti.com/productcontent> でご確認ください。

TBD: Pb-Free/Green変換プランが策定されていません。

Pb-Free (RoHS): TIにおける“Lead-Free”または“Pb-Free”(鉛フリー)は、6つの物質すべてに対して現在のRoHS要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が0.1%を超えないという要件も含まれます。高温で半田付けするように設計されている場合、TIの鉛フリー製品は指定された鉛フリープロセスでの使用に適しています。

Pb-Free (RoHS Exempt): この部品は、1) ダイとパッケージの間に鉛ベースの半田バンブ使用、または 2) ダイとリードフレーム間に鉛ベースの接着剤を使用、が除外されています。それ以外は上記の様にPb-Free (RoHS) と考えられます。

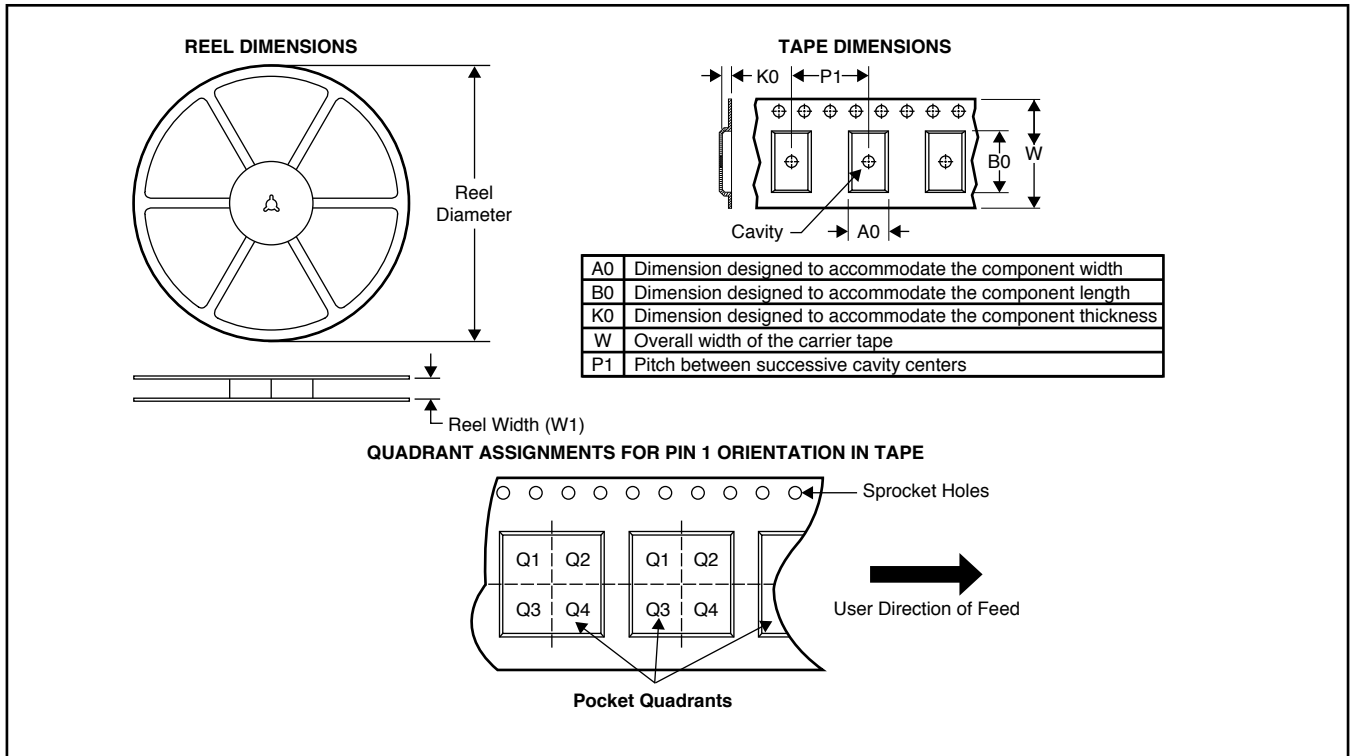
Green (RoHS & no Sb/Br): TIにおける“Green”は、“Pb-Free”(RoHS互換)に加えて、臭素 (Br) およびアンチモン (Sb) をベースとした難燃材を含まない (均質な材質中のBrまたはSb重量が0.1%を超えない) ことを意味しています。

⁽³⁾ MSL、ピーク温度 -- JEDEC業界標準分類に従った耐湿性レベル、およびピーク半田温度です。

重要な情報および免責事項: このページに記載された情報は、記載された日付時点でのTIの知識および見解を表しています。TIの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行いません。第三者からの情報をより良く統合するための努力は続けております。TIでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。TIおよびTI製品の供給者は、特定の情報を機密情報として扱っているため、CAS番号やその他の制限された情報が公開されない場合があります。

TIは、いかなる場合においても、かかる情報により発生した損害について、TIがお客様に1年間に販売した本書記載の問題となった TIパーツの購入価格の合計金額を超える責任を負いかねます。

パッケージ・材料情報
 テープおよびリール・ボックス情報

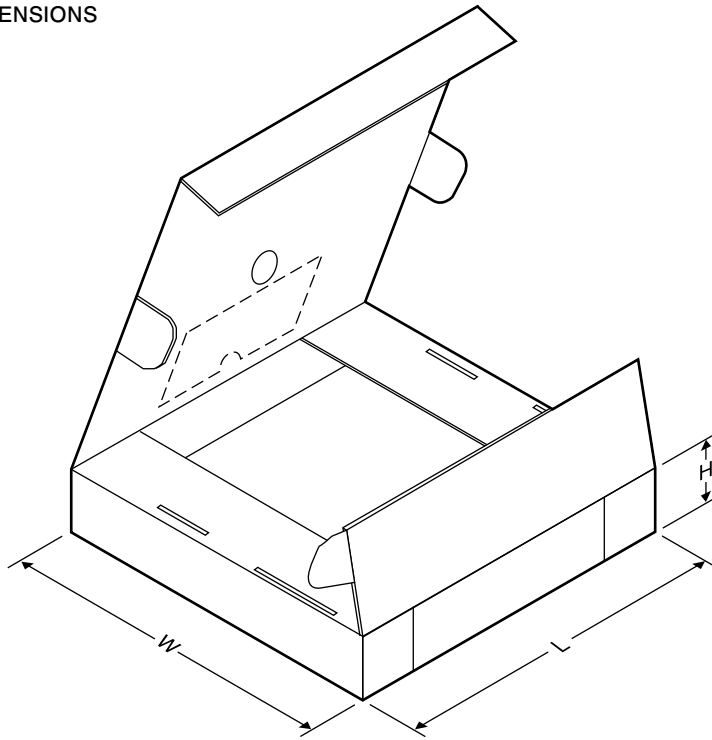


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS56121DQPR	SON	DQP	22	2500	330.0	12.4	5.3	6.3	1.8	8.0	12.0	Q1
TPS56121DQPT	SON	DQP	22	250	180.0	12.4	5.3	6.3	1.8	8.0	12.0	Q1

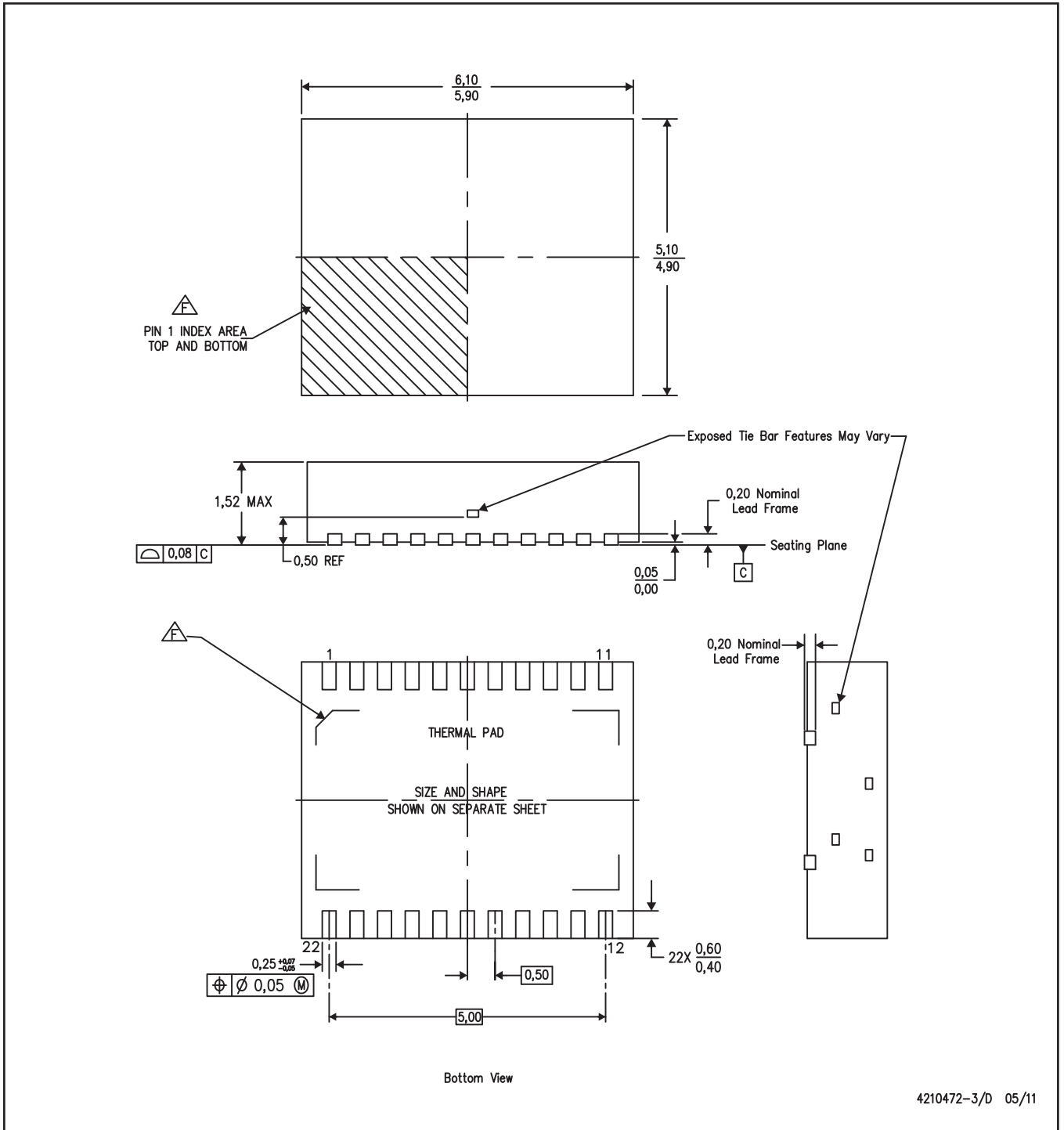
パッケージ・マテリアル情報

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS56121DQPR	SON	DQP	22	2500	346.0	346.0	29.0
TPS56121DQPT	SON	DQP	22	250	210.0	185.0	35.0



- 注：A. 寸法はすべてミリメートルです。
 B. 本図は予告なく変更することがあります。
 C. SON (Small Outline No-Lead) パッケージ構成
 D. 最良の熱特性および機械的特性を得るには、パッケージのサーマル・パッドを基板に半田付けする必要があります。
 E. 露出したサーマル・パッドの寸法に関する詳細は、製品データシートを参照してください。
- △ PIN1識別は、パッケージの上下両面の示された領域内にあります。
 PIN1識別は、モールド、マークまたは金属を使用して施されます。

ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated (TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかご確認下さい。全ての製品は、お客様とTIJとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えたり、保証もしくは是認するということを含みません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータブックもしくはデータシートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション(例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの)に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されておられません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されておられません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2012, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光があたる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上