

TPS61033-Q1 出力放電機能搭載、5.5V、5.5A、2.4MHz、完全統合型、同期整流式昇圧コンバータ

1 特長

- AEC-Q100 認定済み:
 - デバイス温度グレード 1:動作時周囲温度範囲: $-40^{\circ}\text{C} \sim +125^{\circ}\text{C}$
- 機能安全対応
 - 機能安全準拠のシステム設計に役立つ資料を利用可能
- 入力電圧範囲: 1.8V~5.5V
- 出力電圧範囲: 2.2V~5.5V (TPS61033)
 - FB を VIN に接続した場合、出力電圧は 5.0V に固定 (TPS61033X)
- 2つのバレー・スイッチング電流制限オプション
 - TPS61033-Q1: 代表値 5.5A
 - TPS610333-Q1: 代表値 1.85A
- 高効率と電力能力
 - 2つの 25mΩ (LS) / 46mΩ (HS) MOSFET
 - 小さい L-C で最大 2.4MHz をサポート
 - $V_{\text{IN}} = 3.3\text{V}$, $V_{\text{OUT}} = 5\text{V}$, $I_{\text{OUT}} = 1\text{A}$ で最高 93.42% の効率
 - $V_{\text{IN}} = 3.3\text{V}$, $V_{\text{OUT}} = 5\text{V}$, $I_{\text{OUT}} = 2\text{A}$ で最高 90.78% の効率
- システム動作時間を延長
 - V_{IN} ピンへの静止電流: 20μA (代表値)
 - V_{OUT} ピンへの静止電流: 5.3μA (代表値)
 - シャットダウン電流: 0.1μA (代表値)
- $-40^{\circ}\text{C} \sim +125^{\circ}\text{C}$ 範囲の基準電圧の精度: $\pm 1.5\%$
- パワー・グッド出力とウィンドウ・コンパレータ
- 軽負荷時の自動 PFM モードまたは強制 PWM モードをピン選択可能
- スペクトラム拡散周波数変調
- $V_{\text{IN}} > V_{\text{OUT}}$ 時のパススルー・モード
- 安全性と堅牢な動作機能
 - シャットダウン時の入力と出力の完全な切り離し
 - 出力過電圧およびサーマル・シャットダウン保護機能
 - 出力短絡保護機能
- 2.1mm × 1.6mm の SOT-5X3 8ピン パッケージ

2 アプリケーション

- タブレット (マルチメディア)
- スマート・スピーカ
- モバイル POS

3 概要

TPS61033-Q1 は、同期整流式昇圧コンバータです。このデバイスは、各種バッテリーおよびその他の電源で動作する携帯機器およびスマート デバイス用の電源ソリューションを提供します。全温度範囲において、TPS61033-Q1 のバレー スイッチ電流制限は 5.5A (代表値)、TPS610333-Q1 のバレー スイッチ電流制限は 1.85A (代表値) です。

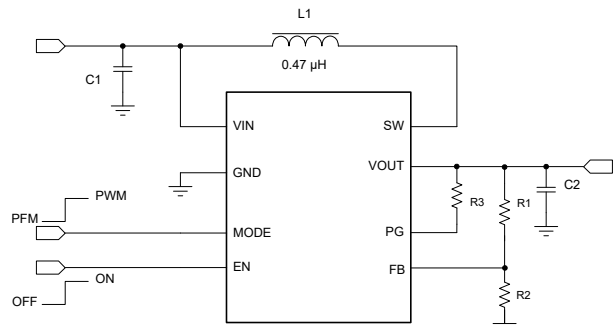
TPS61033-Q1 は、適応型のコンスタント オンタイム バレー電流制御トポロジを使用して出力電圧をレギュレートします。動作時のスイッチング周波数は 2.4MHz です。軽負荷時には、MODE ピンの設定により、自動 PFM モードと強制 PWM という 2つのオプションのモードがあります。これらのモードにより、軽負荷時の効率とノイズ耐性のバランスが維持されます。TPS61033-Q1 は、軽負荷状態において、 V_{IN} から 20μA の静止電流を消費します。シャットダウン中、TPS61033-Q は入力電源から完全に遮断されて消費電流が 0.1μA まで低下するため、長いバッテリー駆動時間を実現できます。TPS61033-Q1 は、5.75V の出力過電圧保護、出力短絡保護、およびサーマル シャットダウン保護機能を備えています。

TPS61033-Q1 は 2.1mm × 1.6mm の SOT-5X3 (8) パッケージで供給され、また外付け部品も少ないため、ソリューションを小型化できます。

製品情報

部品番号	パッケージ ⁽¹⁾	本体サイズ (公称)
TPS61033-Q1	SOT-5X3 (8)	2.10mm × 1.20mm
TPS610333-Q1	SOT-5X3 (8)	2.10mm × 1.20mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。



代表的なアプリケーション回路



目次

1 特長.....	1	7.4 デバイスの機能モード.....	14
2 アプリケーション.....	1	8 アプリケーションと実装.....	16
3 概要.....	1	8.1 アプリケーション情報.....	16
4 製品比較表.....	2	8.2 代表的なアプリケーション.....	16
5 ピン構成および機能.....	3	8.3 電源に関する推奨事項.....	21
6 仕様.....	4	8.4 レイアウト.....	21
6.1 絶対最大定格.....	4	9 デバイスおよびドキュメントのサポート.....	24
6.2 ESD 定格.....	4	9.1 デバイスのサポート.....	24
6.3 推奨動作条件.....	4	9.2 ドキュメントの更新通知を受け取る方法.....	24
6.4 熱に関する情報.....	4	9.3 サポート・リソース.....	24
6.5 電気的特性.....	6	9.4 商標.....	24
6.6 代表的特性.....	8	9.5 静電気放電に関する注意事項.....	24
7 詳細説明.....	10	9.6 用語集.....	24
7.1 概要.....	10	10 改訂履歴.....	24
7.2 機能ブロック図.....	10	11 メカニカル、パッケージ、および注文情報.....	24
7.3 機能説明.....	11		

4 製品比較表

表 4-1. 製品比較表

部品番号	バレー スイッチの電流制限 (標準値)	出力電圧 (標準値)	スペクトラム拡散
TPS61033-Q1	5.5A	2.2V ~ 5.5V	あり
TPS610333-Q1	1.85A	5V 固定	あり

5 ピン構成および機能

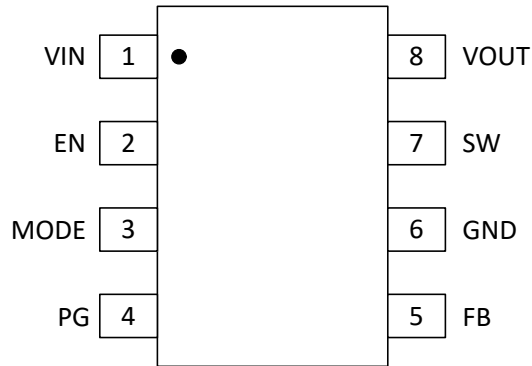


図 5-1. DRL パッケージ 8 ピン SOT583 上面図

表 5-1. ピンの機能

ピン		I/O	説明
名称	番号		
VIN	1	I	IC 電源入力
EN	2	I	イネーブル論理入力。High にすると、デバイスがイネーブルになります。Low にすると、デバイスがディスエーブルになり、シャットダウン モードに入ります。
モード	3	I	軽負荷状態での動作モード選択。ロジック High 電圧に接続すると、デバイスは強制 PWM モードで動作します。ロジック Low 電圧に接続すると、デバイスは自動 PFM モードで動作します。
PG	4	O	パワー グッド インジケータとオープンドレイン出力
FB	5	I	TPS61033-Q1: 可変出力電圧の電圧帰還。FB が VIN に接続されている場合、出力電圧は 5.0V 固定です。 TPS610333-Q1: 5.0V の固定出力電圧のみをサポートしているため、エンジニアは FB ピンを VIN ピンに接続する必要があります。
GND	6	PWR	IC のグラウンドピン
SW	7	電源	コンバータのスイッチ・ピン。内部ローサイド パワー MOSFET のドレインおよび内部ハイサイド パワー MOSFET のソースに接続されます。
VOUT	8	PWR	昇圧コンバータ出力

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位
ピンでの電圧範囲 ⁽²⁾	VIN, EN, FB, SW, VOUT	-0.3	7	V
	10ns での SW スパイク	-0.7	8	V
	1ns での SW スパイク	-0.7	9	V
動作時の接合部温度、T _J		-40	150	°C
保管温度、T _{stg}		-65	150	°C

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。
- (2) すべての電圧値は、回路のグランドを基準としたものです。

6.2 ESD 定格

		値	単位
V _(ESD)	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	±2000
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠 ⁽²⁾	±750

- (1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。必要な予防措置をとれば、HBM の ESD 耐圧が 500V 未満でも製造可能です。±2000V と記載されたピンは、実際にはそれよりも高い性能を持つ場合があります。
- (2) JEDEC のドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスで安全な製造が可能であると記載されています。必要な予防措置をとれば、CDM の ESD 耐圧が 250V 未満でも製造可能です。±500V と記載されたピンは、実際にはそれよりも高い性能を持つ場合があります。

6.3 推奨動作条件

自由空気での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位	
V _{IN}	入力電圧範囲	1.8		5.5	V	
V _{OUT}	出力電圧設定範囲	2.2		5.5	V	
L	実効インダクタンス範囲	0.33	0.47	1.3	μH	
C _{IN}	実効入力容量範囲	1.0	4.7		μF	
C _{OUT}	実効出力容量範囲	I _{out} ≤ 1A	4	10	1000	μF
		I _{out} > 1A	10	20	1000	μF
T _J	動作時接合部温度	-40		125	°C	

6.4 熱に関する情報

熱評価基準 ⁽¹⁾		TPS61033-Q1	TPS61033-Q1	単位
		DRL (SOT583)- 8 ピン	DRL (SOT583)- 8 ピン	
		標準	EVM ⁽²⁾	
R _{θJA}	接合部から周囲への熱抵抗	117.5	65.8	°C/W
R _{θJC}	接合部からケースへの熱抵抗	40.0	該当なし	°C/W
R _{θJB}	接合部から基板への熱抵抗	23.0	該当なし	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	2.8	1.0	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	22.9	28.4	°C/W

- (1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション・レポートを参照してください。

(2) TPS61033EVM、4層、2oz銅NA PCBで測定。

6.5 電気的特性

$T_J = -40^{\circ}\text{C} \sim 150^{\circ}\text{C}$, $V_{IN} = 3.3\text{V}$, $V_{OUT} = 5.0\text{V}$. 標準値は、特に記述のない限り、 $T_J = 25^{\circ}\text{C}$ での値です。

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源						
V_{IN}	入力電圧範囲		1.8		5.5	V
V_{IN_UVLO}	低電圧誤動作防止スレッシュホールド	V_{IN} 立ち上がり		1.7	1.79	V
		V_{IN} 立ち下がり		1.6		V
V_{IN_HYS}	V_{IN} UVLO ヒステリシス			65		mV
I_Q	V_{IN} ピンへの静止電流	IC イネーブル、無負荷、スイッチングなし $V_{IN} = 1.8\text{V} \sim 5.5\text{V}$, $V_{FB} = V_{REF} + 0.1\text{V}$, T_J 最大 125°C	13	20	25	μA
	V_{OUT} ピンへの静止電流	IC イネーブル、無負荷、スイッチングなし $V_{OUT} = 2.2\text{V} \sim 5.5\text{V}$, $V_{FB} = V_{REF} + 0.1\text{V}$, T_J 最大 125°C		5.3	9	μA
I_{SD}	V_{IN} および SW ピンへのシャットダウン電流	IC ディセーブル、 $V_{IN} = V_{SW} = 3.3\text{V}$, $T_J = 25^{\circ}\text{C}$		0.1	0.2	μA
出力						
V_{OUT}	出力電圧設定範囲		2.2		5.5	V
V_{OUT} (5V 固定)	固定出力電圧	FB が $V_{IN} < V_{OUT}$ に接続されている、PWM モード	4.93	5	5.07	V
V_{REF}	FB ピンでの基準電圧	PWM モード	591	600	609	mV
V_{REF}	FB ピンでの基準電圧	PFM モード		606		mV
V_{OVP}	出力過電圧保護スレッシュホールド	V_{OUT} 立ち上がり	5.5	5.75	6.0	V
V_{OVP_HYS}	過電圧保護ヒステリシス			0.11		V
I_{FB_LKG}	FB ピンでのリーク電流	$T_J = 25^{\circ}\text{C}$		4	25	nA
I_{FB_LKG}	FB ピンでのリーク電流	$T_J = 125^{\circ}\text{C}$		5	30	nA
I_{VOUT_LKG}	V_{OUT} ピンへのリーク電流	IC ディセーブル、 $V_{IN} = 0\text{V}$, $V_{SW} = 0\text{V}$, $V_{OUT} = 5.5\text{V}$, $T_J = 25^{\circ}\text{C}$		0.2	0.5	μA
t_{ss}	ソフト・スタートアップ時間	内部 SS ランプ時間		0.86		ms
パワー・スイッチ						
$R_{DS(on)}$	ハイサイド MOSFET オン抵抗	$V_{OUT} = 5.0\text{V}$		46		m Ω
$R_{DS(on)}$	ローサイド MOSFET オン抵抗	$V_{OUT} = 5.0\text{V}$		25		m Ω
f_{SW}	スイッチング周波数	$V_{IN} = 3.3\text{V}$, $V_{OUT} = 5.0\text{V}$, PWM モード	2.0	2.4	2.8	MHz
t_{ON_min}	最小オン時間		20	48	65	ns
t_{OFF_min}	最小オフ時間			35	70	ns
I_{LIM_SW}	バレー電流制限	$V_{IN} = 3.3\text{V}$, $V_{OUT} = 5.0\text{V}$, TPS61033-Q1, MODE=0	4.88	5.5	6.48	A
I_{LIM_SW}	バレー電流制限	$V_{IN} = 3.3\text{V}$, $V_{OUT} = 5.0\text{V}$, TPS61033-Q1, MODE=1	4.88	5.5	6.48	A
I_{LIM_SW}	バレー電流制限	$V_{IN} = 3.3\text{V}$, $V_{OUT} = 5.0\text{V}$, TPS610333-Q1, MODE=0	1.45	1.85	2.35	A
I_{LIM_SW}	バレー電流制限	$V_{IN} = 3.3\text{V}$, $V_{OUT} = 5.0\text{V}$, TPS610333-Q1, MODE=1	1.55	2.05	2.75	A
$I_{REVERSE}$	逆電流制限 (MODE=1)	$V_{IN} = 3.3\text{V}$, $V_{OUT} = 5.0\text{V}$, MODE = 1		-1.4		A
I_{LIM_CHG}	プリチャージ電流	$V_{IN} = 1.8 \sim 5.5\text{V}$, $V_{OUT} < 0.4\text{V}$		330		mA
$I_{LIM_CHG_max}$	最大プリチャージ電流	$V_{IN} = 2.4\text{V}$, $V_{OUT} > 0.4\text{V}$, TPS610333-Q1		800	1000	mA
ロジック・インターフェイス						
V_{EN_H}	EN のロジック High のスレッシュホールド	$V_{IN} > 1.8\text{V}$ または $V_{OUT} > 2.2\text{V}$			1.2	V
V_{EN_L}	EN のロジック Low のスレッシュホールド	$V_{IN} > 1.8\text{V}$ または $V_{OUT} > 2.2\text{V}$	0.4			V
V_{MODE_H}	MODE ロジック High のスレッシュホールド	$V_{IN} > 1.8\text{V}$ または $V_{OUT} > 2.2\text{V}$			1.2	V
V_{MODE_L}	MODE ロジック Low のスレッシュホールド	$V_{IN} > 1.8\text{V}$ または $V_{OUT} > 2.2\text{V}$	0.4			V
R_{DOWN}	EN ピン内部プルダウン抵抗			10		M Ω

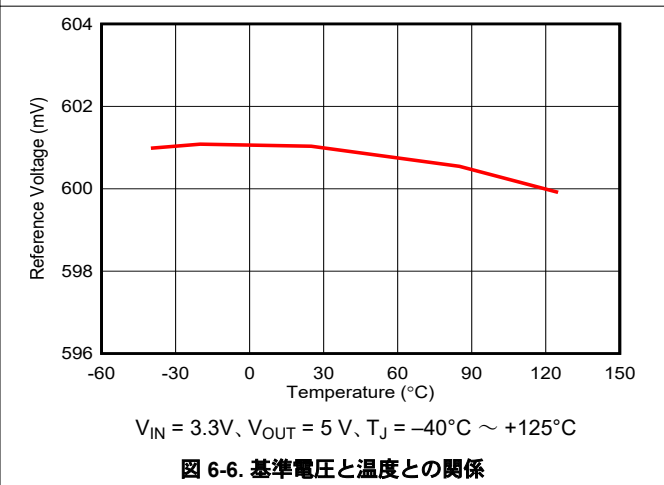
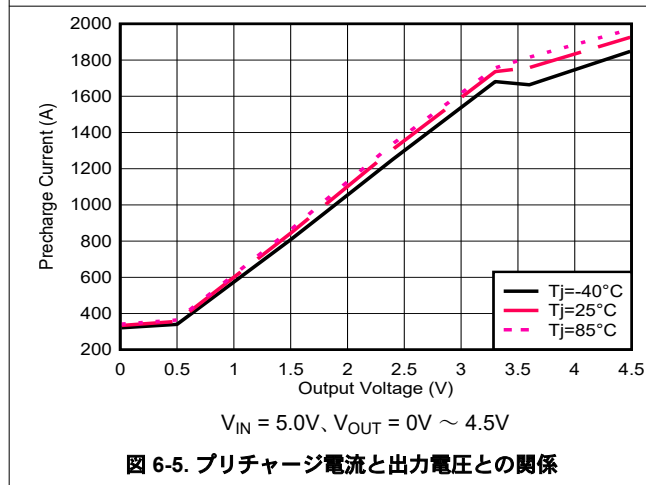
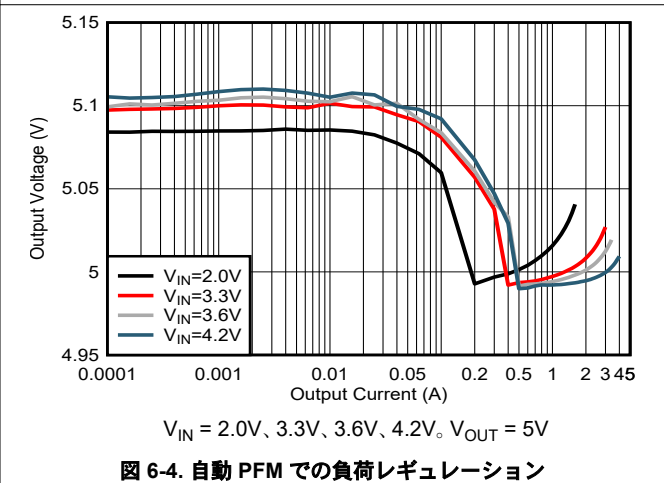
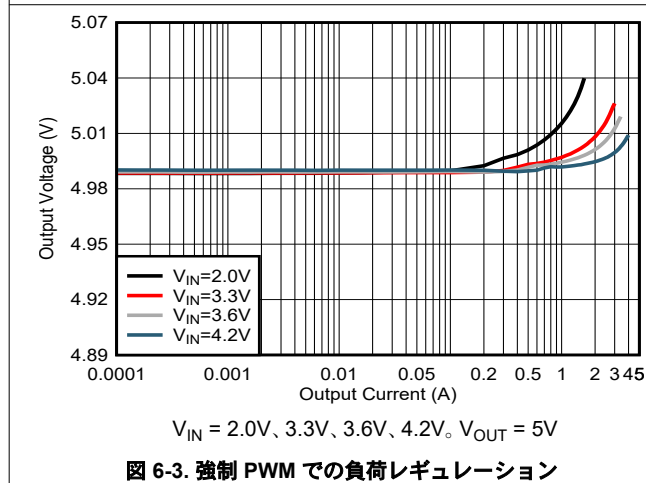
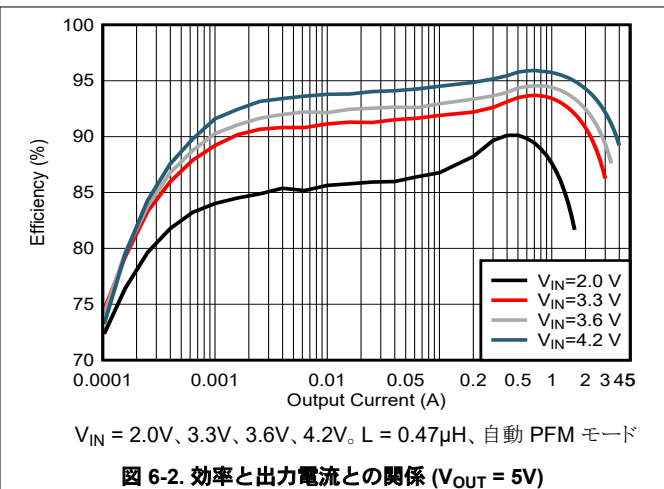
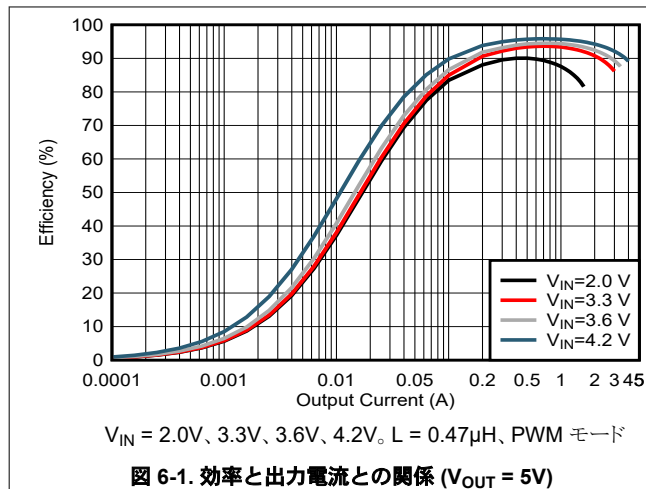
6.5 電気的特性 (続き)

$T_J = -40^{\circ}\text{C} \sim 150^{\circ}\text{C}$ 、 $V_{IN} = 3.3\text{V}$ 、 $V_{OUT} = 5.0\text{V}$ 。標準値は、特に記述のない限り、 $T_J = 25^{\circ}\text{C}$ での値です。

パラメータ	テスト条件	最小値	標準値	最大値	単位	
R_{DOWN}	MODE ピン内部プルダウン抵抗		1		MΩ	
パワー・グッド						
PGD_{OV}	PGOOD の上限スレッシュホールド	VOUT 設定の %	105	107	110	%
PGD_{UV}	PGOOD の下限スレッシュホールド	VOUT 設定の %	91	93	95	%
PGD_{HYST}	PGOOD の上限 (立ち上がりおよび立ち下がり)	VOUT 設定の %		2.5		%
$t_{PGDFLT(rise)}$	PGOOD High 信号までの遅延時間			1.3		ms
$t_{PGDFLT(fall)}$	PGOOD のグリッチ・フィルタ時間			33		μs
スペクトラム拡散						
F_{DITHER}		$V_{IN} = 3.3\text{V}$ 、 $V_{OUT} = 5.0\text{V}$		±6%		%
$F_{PATTERN}$		$V_{OUT} > 3.0\text{V}$		11		kHz
PROTECTION						
T_{SD}	サーマル・シャットダウンのスレッシュホールド	T_J 立ち上がり		170		°C
T_{SD}	サーマル・シャットダウンのスレッシュホールド	T_J 立ち下がり		155		°C
T_{SD_HYS}	サーマル・シャットダウン・ヒステリシス	T_J が T_{SD} を下回る		15		°C

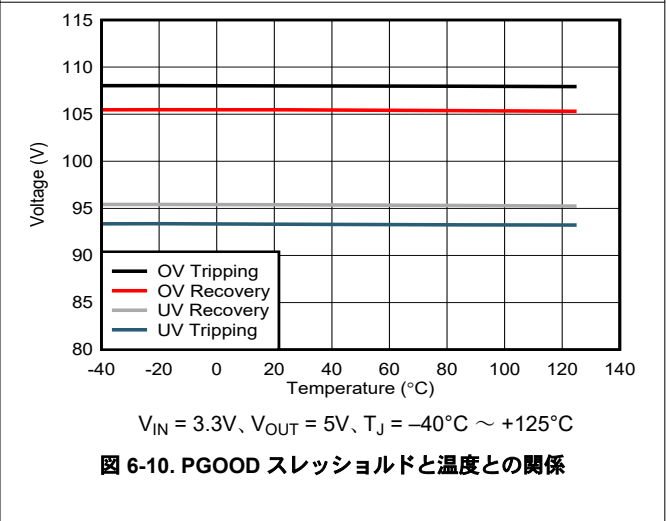
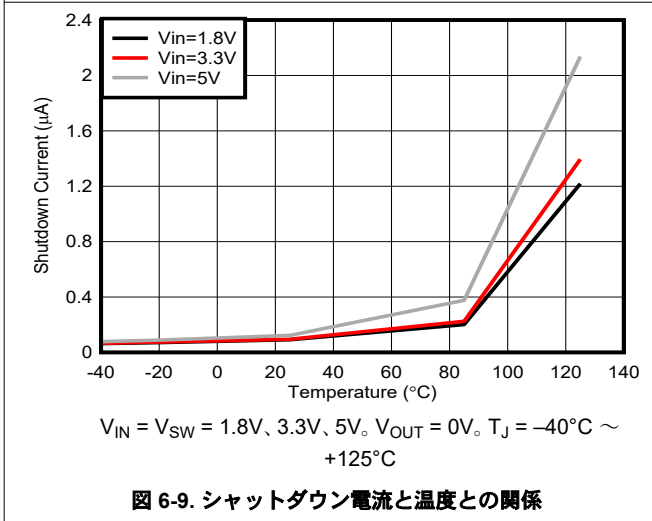
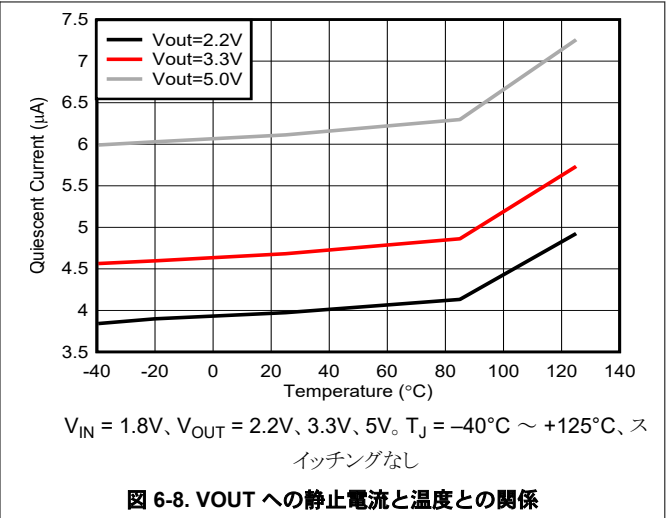
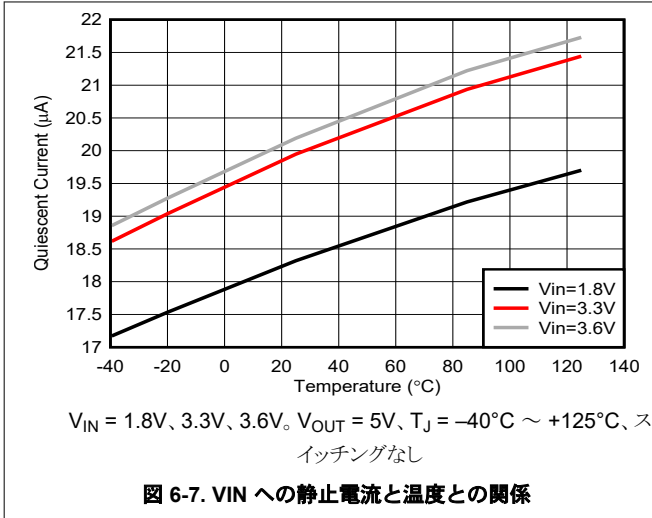
6.6 代表的特性

$V_{IN} = 3.3V$, $V_{OUT} = 5V$, $T_J = 25^\circ C$ 、特に記述の無い限り



6.6 代表的特性 (続き)

$V_{IN} = 3.3V$, $V_{OUT} = 5V$, $T_J = 25^\circ C$ 、特に記述の無い限り

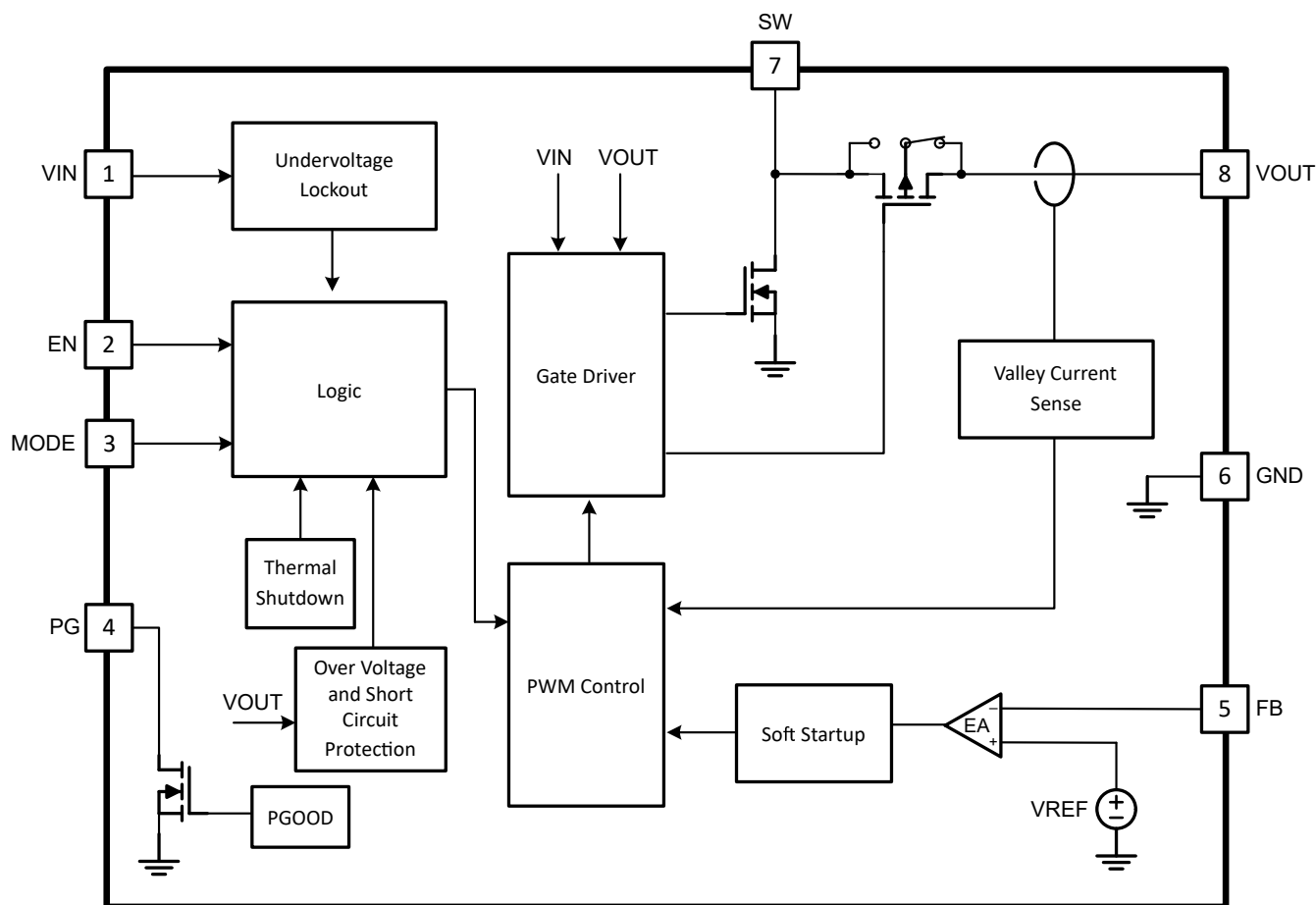


7 詳細説明

7.1 概要

TPS61033-Q1 は完全に統合された同期整流昇圧コンバータで、1.8V ~ 5.5V の入力電源電圧範囲で動作し、5.5A (標準値) のバレー スイッチ電流制限を備えています。TPS61033-Q1 は 2.4MHz のスイッチング周波数で動作します。軽負荷時には、MODE ピンを設定することで 2 つのモード (自動 PFM モード、強制 PWM モード) のどちらかを選択して、効率とノイズ耐性のバランスを取ることが可能です。TPS61033-Q1 は軽負荷状態において、VIN から 20 μ A の静止電流を消費します。シャットダウン中、TPS61033-Q は入力電源から完全に遮断されて消費電流が 0.1 μ A まで低下するため、長いバッテリー駆動時間を実現できます。PWM 動作時には、このコンバータは適応型コンスタント オンタイム バレー電流モード制御方式を使用して、優れたラインレギュレーションと負荷レギュレーションを実現し、小さいインダクタとセラミックコンデンサの使用を可能にします。内部ループ補償によって、設計プロセスが単純化され、外部部品数が最小限に抑えられます。

7.2 機能ブロック図



7.3 機能説明

7.3.1 低電圧誤動作防止

TPS61033-Q1 には低電圧誤動作防止 (UVLO) 回路が内蔵されており、デバイスの正常な動作を確保しています。入力電圧が UVLO 立ち上がりスレッシュホールドの 1.7V (標準値) を上回ったら、TPS61033-Q1 をイネーブルにして出力電圧を昇圧できます。VIN ピンの立ち下がり電圧が UVLO 立ち下がりスレッシュホールドである 1.6V (標準値) を下回ると、デバイスはディスエーブルになります。100mV (標準値) のヒステリシスが追加されているため、入力電圧が 1.7V (標準値) を超えるまでデバイスを再度イネーブルすることはできません。この機能は、入力電圧が UVLO の立ち上がりスレッシュホールドと立ち下がりスレッシュホールドの間にあるとき、デバイスの誤動作を防止するために実装されています。

7.3.2 イネーブルとソフト・スタート

入力電圧が UVLO 立ち上がりスレッシュホールドを上回り、EN ピンが 1.2 V を超えると、TPS61033-Q1 がイネーブルになり、起動します。起動時の突入電流を最小化するため、TPS61033-Q1 はソフト スタートアップ機能を備えています。TPS61033-Q1 は最初にプリチャージフェーズに入り、出力電圧が 0.4V より低いときに、約 330mA の電流で出力コンデンサを充電します。出力電圧が 0.4V を超えるまで充電されると、出力電流は 2Ω の抵抗負荷を駆動する出力電流能力を持つように変更されます。突入電流をさらに最小化するため、TPS61033-Q1 の最大プリチャージ電流は 900 mA (標準値) となっています。出力電圧が入力電圧に達すると、TPS61033-Q1 はスイッチングを開始し、リファレンス電圧が 0.8mV/μs で上昇します。EN ピンの電圧が 0.4V を下回ると、内部イネーブル コンパレータによってデバイスはシャットダウンモードになります。シャットダウンモードでは、デバイスは完全にオフになります。入力電源から出力が切断されます。

7.3.3 出力電圧の設定

TPS61033-Q1 の出力電圧を設定するには、可変と固定の 2 つの方法があります。FB が VIN に接続されている場合、TPS61033-Q1 は 5.0V 固定出力電圧バージョンとして動作し、TPS61033-Q1 は内部の抵抗デバイダを使用します。

出力電圧は、外付けの抵抗デバイダ (図 8-1 の R1、R2) でも設定できます。出力電圧がレギュレートされている場合、FB ピンの標準電圧は V_{REF} です。したがって、抵抗デバイダは式 5 で決定されます。

$$R1 = \left(\frac{V_{OUT}}{V_{REF}} - 1 \right) \times R2 \quad (1)$$

ここで、

- V_{OUT} はレギュレートされた出力電圧
- V_{REF} は FB ピンの内部基準電圧

TPS61033-Q1 は 5.0V の固定出力電圧のみをサポートできるため、エンジニアは FB ピンを外付けの抵抗デバイダではなく VIN ピンに接続する必要があります。

7.3.4 電流制限動作

TPS61033-Q1 は、バレー電流制限検出方式を採用しています。電流制限の検出は、オフ時間中に、同期整流器における電圧降下をセンスすることで行われます。

スイッチング サイクル時間全体にわたってインダクタ電流が電流制限を上回るように負荷電流が増加すると、次のオン時間が開始する前にインダクタ電流がこのスレッシュホールドまで減少できるよう、オフ時間が長くなります (いわゆる周波数フォールドバック メカニズム)。電流制限に達した後は、さらなる負荷の増加中に出力電圧が低下します。

電流制限 (CL) 動作に入る前の最大連続出力電流 ($I_{OUT(LC)}$) は、式 2 で定義できます。

$$I_{OUT(CL)} = (1-D) \times \left(I_{LIM} + \frac{1}{2} \Delta I_{L(P-P)} \right) \quad (2)$$

ここで、

- D はデューティ・サイクル

- $\Delta I_{L(P-P)}$ は、インダクタリップル電流
デューティサイクルは **式 3** で推定できます。

$$D = 1 - \frac{V_{IN} \times \eta}{V_{OUT}} \quad (3)$$

ここで、

- V_{OUT} は昇圧コンバータの出力電圧
- V_{IN} は昇圧コンバータの入力電圧
- η はコンバータの効率であり、ほとんどのアプリケーションで 90% を使用

インダクタリップル電流のピークツーピークは、式 4 で計算されます。

$$\Delta I_{L(P-P)} = \frac{V_{IN} \times D}{L \times f_{SW}} \quad (4)$$

ここで、

- L はインダクタのインダクタンス値
- f_{SW} はスイッチング周波数
- D はデューティ・サイクル
- V_{IN} は昇圧コンバータの入力電圧

7.3.5 パススルー動作

入力電圧が設定出力電圧よりも高く、出力電圧が目標レギュレーション電圧よりも高い場合、デバイスはパススルーモードで動作します。出力電圧が設定目標電圧の 101% になると、TPS61033-Q1 はスイッチングを停止し、ハイサイド PMOS FET を完全にオンにします。出力電圧は、入力電圧からインダクタの DCR と PMOS FET の $R_{DS(on)}$ 間の電圧降下を減算した値になります。入力電圧が低下するか負荷電流が増加して、出力電圧が設定目標電圧の 97% を下回ると、TPS61033-Q1 はスイッチングを再開して出力電圧をレギュレートします。

7.3.6 パワー・グッド・インジケータ

TPS61033-Q1 は、パワーグッドインジケータを備えており、シーケンシングと監視を簡素化できます。パワーグッド出力はオープンドレインの NMOS で構成されており、外付けプルアップ抵抗を適切な電圧源へ接続する必要があります。VOUT が目標出力電圧の 93% (標準値) ~ 107% (標準値) の間になった後、標準値 1.3ms の遅延時間で PG ピンが HIGH になります。出力電圧が目標の出力電圧ウィンドウから外れると、PG ピンは直ちに Low になり、33 μ s のデグリッチフィルタ遅延が発生します。このデグリッチフィルタは、過渡現象による PGOOD の誤ったプルダウンも防ぎます。EN が Low になると、PG ピンも強制的に Low になり、33 μ s のデグリッチフィルタ遅延が発生します。使用しない場合は、PG ピンをフロートのままにするか GND に接続します。

7.3.7 PG 機能による出力放電の実装

出力放電機能の目的は、出力電圧を確実に規定されたとおりに減少させ、デバイスがディセーブルになった時に出力電圧を素早く 0V に近づけることです。TPS61033-Q1 は、PG 機能により出力放電機能を実装できます。この機能では PG ピンと Vout ピンの間に R_{dummy} 抵抗を接続する必要があります。PG はオープンドレインの NMOS アーキテクチャで、最大 50mA の電流駆動能力があります。出力電圧が目標値に達すると PG ピンは論理 High になるため、通常動作中にダミー負荷抵抗によって電力損失が発生することはありません。EN ピンが Low になると、TPS61033-Q1 はディセーブルになり、一方、PG ピンは標準的なグリッチ時間 (t_{glitch}) である 33 μ s で Low になります。PG ピンが Low に維持されている場合、 R_{Dummy} はダミー負荷として動作し、出力電圧を放電します。 R_{Dummy} を変更すると、出力放電レートを調整できます。

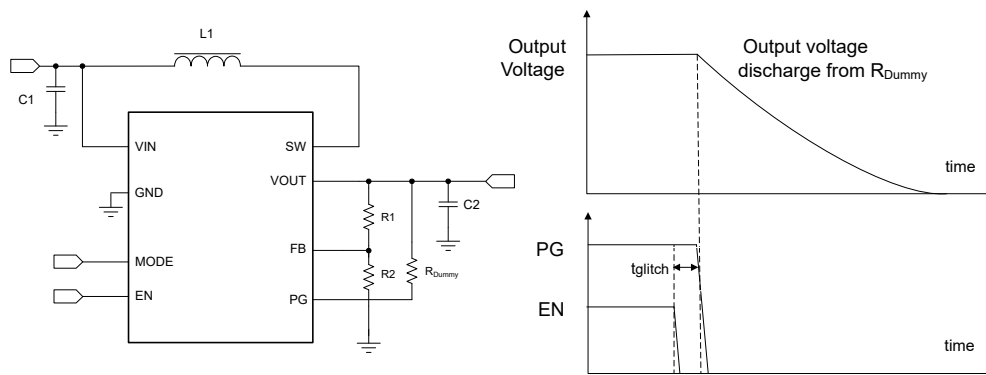


図 7-1. PG 機能による出力放電の実装

7.3.8 スペクトラム拡散周波数変調

TPS61033-Q1 にはスペクトラム拡散機能があり、広い周波数範囲にわたって電源の EMI を低減します。このデバイスは三角波ジッタを使用して、スイッチング周波数を通常周波数の $\pm 6\%$ で拡散します。三角波ジッタの周波数は通常 11KHz です。

7.3.9 過電圧保護

TPS61033-Q1 には出力過電圧保護 (OVP) があり、外付けの帰還抵抗分圧器が誤って実装された場合にデバイスを保護します。出力電圧が 5.75V を上回ると、通常、デバイスはスイッチングを停止します。出力電圧が OVP スレッシュホールドを 0.1V 下回ると、デバイスは動作を再開します。

7.3.10 グランドへの出力短絡保護

TPS61033-Q1 は、出力電圧が 1.8V を下回ると、出力電流の制限を開始します。出力電圧が低くなるほど、出力電流は小さくなります。VOUT ピンがグランドに短絡し、出力電圧が 0.4V 未満になると、出力電流は約 330mA に制限されます。短絡が解消されると、TPS61033-Q1 はソフト スタートアップを再び実行し、レギュレートされた出力電圧を供給します。

7.3.11 サーマル・シャットダウン

接合部温度が 170°C を超えると、TPS61033-Q1 はサーマル シャットダウンに移行します。接合部温度が、サーマル シャットダウン回復温度 (通常 155°C) を下回ると、デバイスは動作を再開します。

7.4 デバイスの機能モード

TPS61033-Q1 は、軽負荷時には、効率とノイズ耐性を両立させるため、MODE ピンを設定することで 2 つのモード (自動 PFM モード、強制 PWM モード) のどちらかを選択できます。

7.4.1 PWM モード

TPS61033-Q1 は中から高負荷電流時に、2.4MHz の疑似定周波数パルス幅変調 (PWM) となります。入力電圧と出力電圧の比に基づいて、回路は必要なオン時間を予測します。各スイッチング サイクルの開始時に、ローサイド NMOS FET のスイッチがオンになります。入力電圧がインダクタの両端に印加され、インダクタ電流が増加します。このフェーズでは、出力コンデンサが負荷電流によって放電されます。オン時間が経過すると、メイン スwitch の NMOS FET がオフになり、整流器の PMOS FET がオンになります。インダクタは蓄積したエネルギーを伝達して出力コンデンサを補充し、負荷に電力を供給します。出力電圧が入力電圧より高いため、インダクタ電流は減少します。インダクタ電流が、エラー アンプの出力によって決定されるバレー電流スレッシュホールドに達すると、次のスイッチング サイクルが再度開始します。

TPS61033-Q1 には補償回路が組み込まれており、広い範囲の入力電圧、出力電圧、インダクタ値、出力コンデンサ値に対して安定して動作します。

7.4.2 パワー・セーブ・モード

TPS61033-Q1 には PFM でのパワー セーブ モードが装備されており、軽負荷時の効率が向上します。負荷電流が減少すると、エラー アンプの出力によって設定されるインダクタのバレー電流は出力電圧をレギュレートしなくなります。インダクタのバレー電流が下限に達すると、負荷電流がさらに減少するため、出力電圧は設定電圧を超えます。FB 電圧が PFM の基準電圧に達すると、TPS61033-Q1 はパワーセーブ モードに移行します。パワー セーブ モードで FB 電圧が上昇して PFM 基準電圧に達すると、内部コンパレータの遅延時間のためデバイスは数サイクルにわたってスイッチングを継続し、その後スイッチングを停止します。負荷は出力コンデンサから供給され、出力電圧は低下します。FB 電圧が PFM 基準電圧を下回ると、コンパレータの遅延時間が経過した後で、デバイスは再度スイッチングを開始して出力電圧が上昇します。

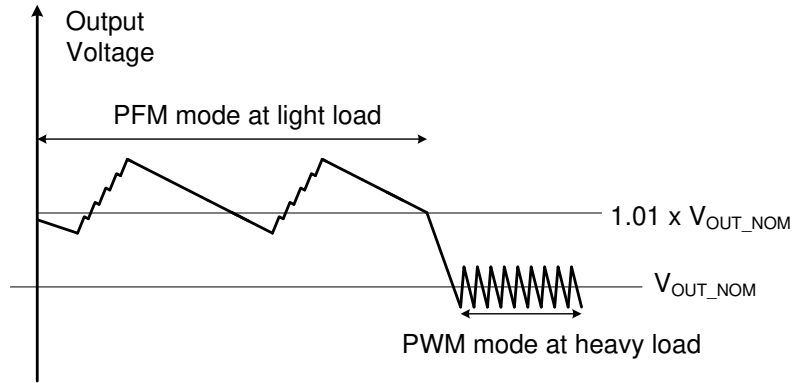


図 7-2. PWM モードおよび PFM モードでの出力電圧

8 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

TPS61033-Q1 は 1.8V ~ 5.5V の入力電源電圧範囲で動作するように設計された同期整流昇圧コンバータで、5.5A (標準値) のバレー スイッチ電流制限を備えています。TPS61033-Q1 は通常、中から高負荷電流時に 2.4MHz の擬似定周波数 PWM で動作します。TPS61033-Q1 コンバータは、軽負荷電流時には PFM のパワー セーブ モードで動作し、負荷電流範囲の全体にわたって高い効率を実現します。

8.2 代表的なアプリケーション

TPS61033-Q1 は、バッテリーで動作するポータブル デバイス用の電源ソリューションです。5.5A (標準値) のスイッチ電流能力を備えた TPS61033-Q1 は、3.3V の入力電圧で 5V/2A を出力できます。

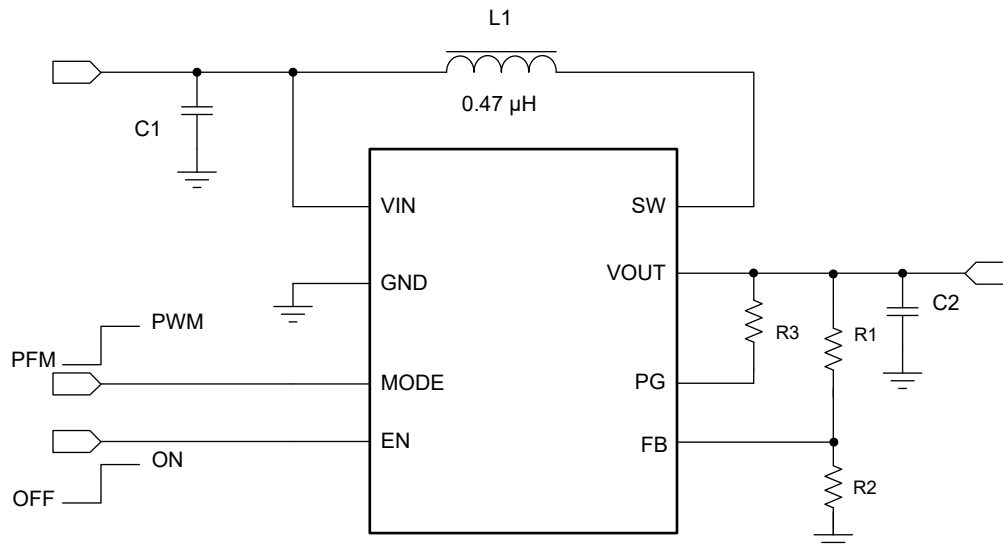


図 8-1. 5V 昇圧コンバータ

8.2.1 設計要件

設計パラメータを [表 8-1](#) に示します。

表 8-1. 設計パラメータ

パラメータ	値
入力電圧	3.0 V ~ 4.35 V
出力電圧	5V
出力電流	2.0A

8.2.2 詳細な設計手順

8.2.2.1 出力電圧の設定

出力電圧は、外付けの抵抗デバイダ (図 8-1 の R1、R2) によって設定されます。出力電圧がレギュレートされている場合、FB ピンの標準電圧は V_{REF} です。したがって、抵抗デバイダは 式 5 で決定されます。

$$R1 = \left(\frac{V_{OUT}}{V_{REF}} - 1 \right) \times R2 \quad (5)$$

ここで、

- V_{OUT} はレギュレートされた出力電圧
- V_{REF} は FB ピンの内部基準電圧

最高の精度を得るには、R2 を 300kΩ 未満に保ち、R2 を流れる電流が FB ピンのリーク電流の 100 倍以上になるようにします。R2 を小さい値にすると、ノイズ注入に対する耐性が高まります。R2 を大きい値にすると、静止電流が減少し、低負荷電流時に最大の効率を達成します。

8.2.2.2 インダクタの選択

インダクタの選択は、定常状態動作、過渡動作、ループ安定性に影響を及ぼすため、インダクタは、電源レギュレータ設計で最も重要な部品です。インダクタには、インダクタの値、飽和電流、DC 抵抗 (DCR) という 3 つの重要な仕様があります。

TPS61033-Q1 は、0.37μH から 2.9μH の間のインダクタ値で動作するよう設計されています。式 6 から 式 8 を使って、そのアプリケーションのインダクタのピーク電流を計算します。ワーストケースの電流を計算するには、アプリケーションの最小入力電圧、最大出力電圧、最大負荷電流を使用します。十分な設計マージンを確保するには、公差を -30% で、電力変換効率が低いインダクタ値を計算用に選択します。

昇圧レギュレータのインダクタ DC 電流は、式 6 で計算できます。

$$I_{L(DC)} = \frac{V_{OUT} \times I_{OUT}}{V_{IN} \times \eta} \quad (6)$$

ここで、

- V_{OUT} は昇圧コンバータの出力電圧
- I_{OUT} は、昇圧コンバータの出力電流
- V_{IN} は昇圧コンバータの入力電圧
- η は電力変換効率で、ほとんどのアプリケーションでは 90% を使用

インダクタのリプル電流は、式 7 で計算されます。

$$\Delta I_{L(P-P)} = \frac{V_{IN} \times D}{L \times f_{SW}} \quad (7)$$

ここで、

- D はデューティ サイクルで、式 3 で計算できます。
- L はインダクタのインダクタンス値
- f_{SW} はスイッチング周波数
- V_{IN} は昇圧コンバータの入力電圧

したがって、インダクタのピーク電流は 式 8 で計算されます。

$$I_{L(P)} = I_{L(DC)} + \frac{\Delta I_{L(P-P)}}{2} \quad (8)$$

通常、最大出力電流を得るために、インダクタのピーク ツー ピーク電流を平均インダクタ電流の 40% 未満とすることを推奨します。より大きい値のインダクタでリップルが小さいほど、インダクタ内の磁気ヒステリシス損失と EMI が減少します。ただし、同時に負荷過渡応答時間が長くなります。インダクタの飽和電流は、計算されたピーク インダクタ電流よりも大きくする必要があります。表 8-2 に、TPS61033-Q1 の推奨インダクタを示します。

表 8-2. TPS61033-Q1 の推奨インダクタ

部品番号 ⁽¹⁾	L (μH)	DCR 最大値 (mΩ)	飽和電流 (A)	サイズ (LxWxH)	メーカー
XGL4020-471MEC	0.47	5.1	6.1	4 x 4 x 2.1	Coilcraft
XGL4020-102MEC	1	9.0	3.8	4 x 4 x 2.1	Coilcraft

(1) サードパーティ製品の免責事項をご覧ください

8.2.2.3 出力コンデンサの選択

出力コンデンサは主に、出力リップルとループ安定性の要件を満たすように選択します。リップル電圧は、コンデンサの容量と、その等価直列抵抗 (ESR) に関係します。ESR がゼロのセラミック コンデンサを仮定した場合、あるリップル電圧に対して必要な最小容量は式 9 を使用して計算できます。

$$C_{OUT} = \frac{I_{OUT} \times D_{MAX}}{f_{SW} \times V_{RIPPLE}} \quad (9)$$

ここで、

- D_{MAX} は最大スイッチング デューティ サイクル
- V_{RIPPLE} はピーク ツー ピークの出力リップル電圧
- I_{OUT} は最大出力電流
- f_{SW} はスイッチング周波数

タンタルまたはアルミ電解コンデンサを使用する場合は、出力リップルに対する ESR の影響を考慮する必要があります。出力コンデンサの ESR に起因する出力ピーク ツー ピークリップル電圧は、式 10 を使用して計算できます。

$$V_{RIPPLE(ESR)} = I_{L(P)} \times R_{ESR} \quad (10)$$

DC バイアス電圧、経年劣化、AC 信号におけるセラミック コンデンサのデレーティングを評価する際には注意が必要です。たとえば、DC バイアス電圧により静電容量が大幅に低減される可能性があります。セラミック・コンデンサは、定格電圧で容量の 50% 以上を失う可能性があります。そのため、電圧定格には常にマージンを確保して、必要な出力電圧で十分な容量が得られるようにします。PWM モードでは、出力コンデンサを大きくすると、出力リップル電圧が小さくなります。

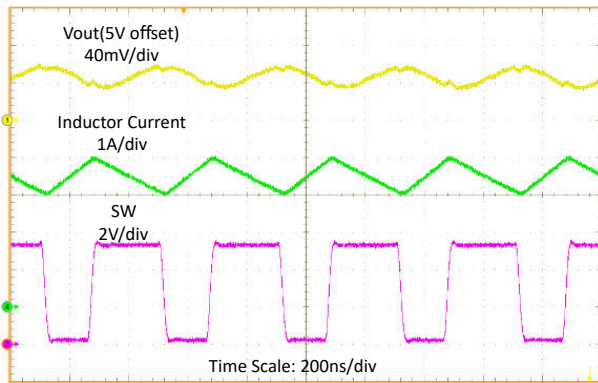
実効容量 4μF から 1000μF の範囲の X5R または X7R セラミック出力コンデンサの使用を推奨します。出力電流が 1A 未満の場合は 10μF の実効容量を、出力電流が 1A を超える場合は 20μF を使用します。出力コンデンサは、昇圧レギュレータの小信号制御ループの安定性に影響を及ぼします。出力コンデンサが範囲を下回ると、昇圧レギュレータが不安定になる可能性があります。PWM モードでは、出力コンデンサを大きくすると、出力リップル電圧が小さくなります。

8.2.2.4 入力コンデンサの選択

X5R または X7R の多層セラミック・コンデンサは、ESR が極めて低く、占有面積も小さいため、昇圧コンバータの入力カップリング用に優れた選択肢となります。入力コンデンサは、できる限りデバイスに近づけて配置する必要があります。ほとんどのアプリケーションでは 10μF の入力コンデンサで十分ですが、入力電流リップルを低減するために、さらに大きな値を制限なしで使用できます。セラミック入力コンデンサのみを使用する場合には注意が必要です。入力でセラミック・コ

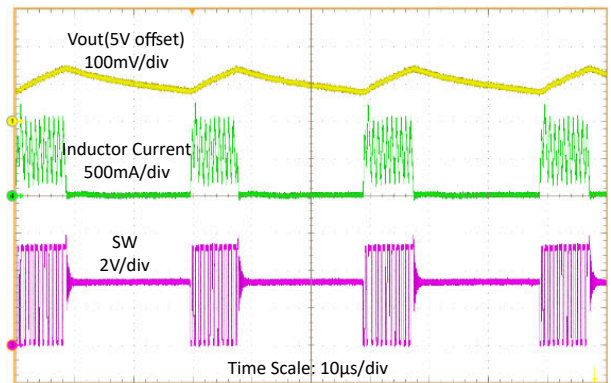
ンデンサを使用している場合に、長いワイヤを通して電源を供給すると、出力での負荷ステップにより VIN ピンでリングングが発生する可能性があります。このリングングは出力に結びつき、ループが不安定であると誤判定をしたり、部品の損傷を招くこともあります。この場合、セラミック入力コンデンサと電源の間に追加のバルク容量 (タンタルまたはアルミ電解コンデンサ) を配置して、電源リード線のインダクタンスとセラミック入力コンデンサの間で発生する可能性のあるリングングを低減します。

8.2.3 アプリケーション曲線



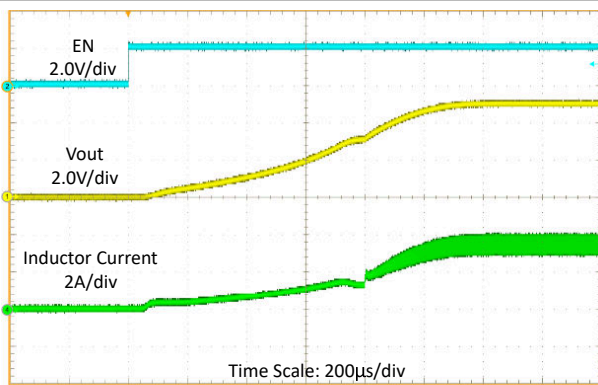
$V_{IN} = 3.3V$, $V_{OUT} = 5V$, $I_{OUT} = 2A$

図 8-2. 重負荷時のスイッチング波形



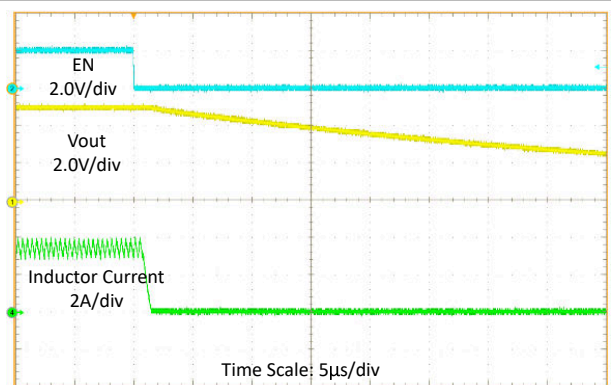
$V_{IN} = 3.3V$, $V_{OUT} = 5V$, $I_{OUT} = 100\text{ mA}$

図 8-3. 軽負荷時のスイッチング波形



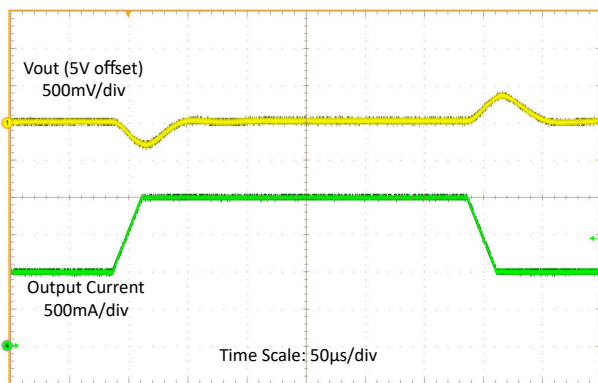
$V_{IN} = 3.3V$, $V_{OUT} = 5V$, 2.5Ω 抵抗負荷

図 8-4. スタートアップ波形



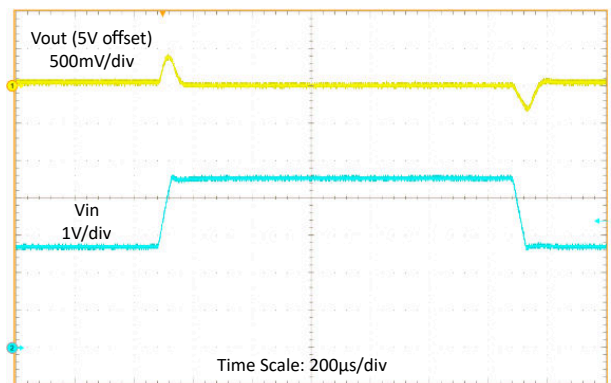
$V_{IN} = 3.3V$, $V_{OUT} = 5V$, 2.5Ω 抵抗負荷

図 8-5. シャットダウン波形



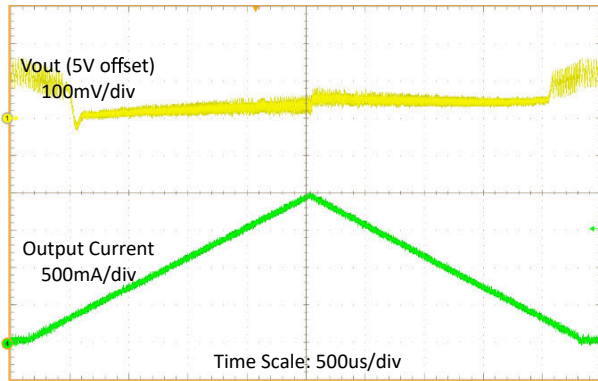
$V_{IN} = 3.3V$, $V_{OUT} = 5V$, $I_{OUT} = 1A \sim 2A$ (スルーレート 20µs)

図 8-6. 負荷過渡



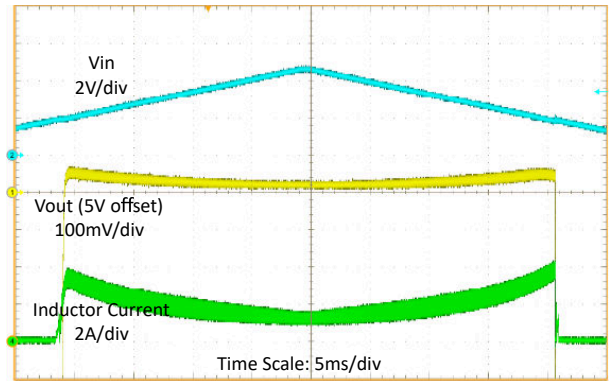
$V_{IN} = 2.7V \sim 4.5V$ (スルーレート 20µs), $V_{OUT} = 5V$, $I_{OUT} = 2A$

図 8-7. ライン過渡



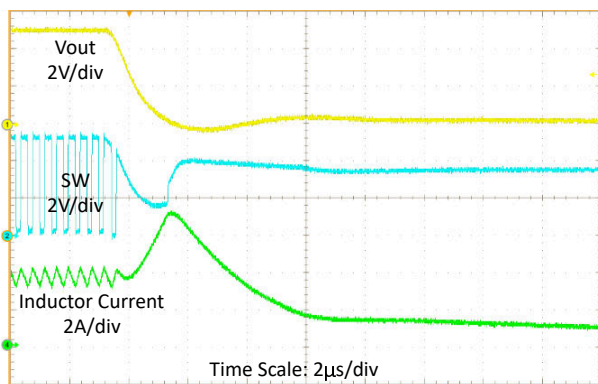
$V_{IN} = 3.3V$, $V_{OUT} = 5V$, $I_{OUT} = 50mA \sim 2A$ スweep

図 8-8. 負荷スweep



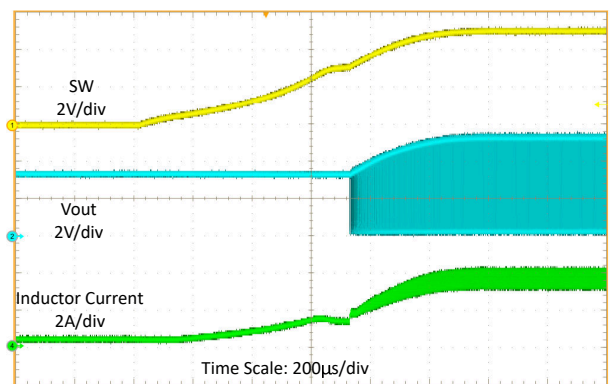
$V_{IN} = 1V \sim 4.5V$ スweep, $V_{OUT} = 5V$, $I_{OUT} = 1A$

図 8-9. ライン・スweep



$V_{IN} = 3.3V$, $V_{OUT} = 5V$, $I_{OUT} = 2A$

図 8-10. 出力短絡保護 (入力)



$V_{IN} = 3.3V$, $V_{OUT} = 5V$, $I_{OUT} = 2A$

図 8-11. 出力短絡保護 (回復)

8.3 電源に関する推奨事項

このデバイスは、1.8 V～5.5V の入力電圧範囲で動作するように設計されています。この入力電源を適切にレギュレートする必要があります。入力電源がコンバータから数インチ以上離れている場合は、セラミック・バイパス・コンデンサに加えて追加のバルク容量が必要となることがあります。一般的な選択肢は、100 μ F のタンタルまたはアルミ電解コンデンサです。入力電源の出力電流は、TPS61033-Q1 の電源電圧、出力電圧、出力電流に応じた定格である必要があります。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

すべてのスイッチング電源、特に高いスイッチング周波数と大電流で動作する電源については、設計プロセスの中でレイアウトが重要なステップになります。レイアウトが注意深く行われていないと、レギュレータは不安定性とノイズの問題を抱えます。効率を最大化するには、スイッチの立ち上がり時間と立ち下がり時間を非常に短くします。高周波ノイズ (EMI など) の放射を防止するには、高周波スイッチング経路を適切にレイアウトすることが重要です。SW ピンに接続されるすべての配線の長さや面積を最小限に抑え、スイッチングレギュレータの下には常にグランドプレーンを配置し、プレーン間のカップリングを最小限に抑えます。入力コンデンサは、入力電源リップルを低減するために VIN ピンの近くに配置するだけでなく、GND ピンの近くにも配置する必要があります。

すべての昇圧コンバータで最も重要な電流経路は、スイッチング FET から整流 FET および出力コンデンサを通してスイッチング FET のグランドへと戻る経路です。この大電流が流れる経路では、ナノ秒単位の立ち上がり時間や立ち下がり時間も必要になるので、できる限り短くする必要があります。したがって、出力コンデンサは VOUT ピンの近くに配置するだけでなく、GND ピンの近くにも配置して、SW ピンと VOUT ピンでのオーバーシュートを低減する必要があります。

放熱性能を向上させるため、各ピンに接続する銅端子 (ポリゴン) を大きくすることをお勧めします。

8.4.2 レイアウト例

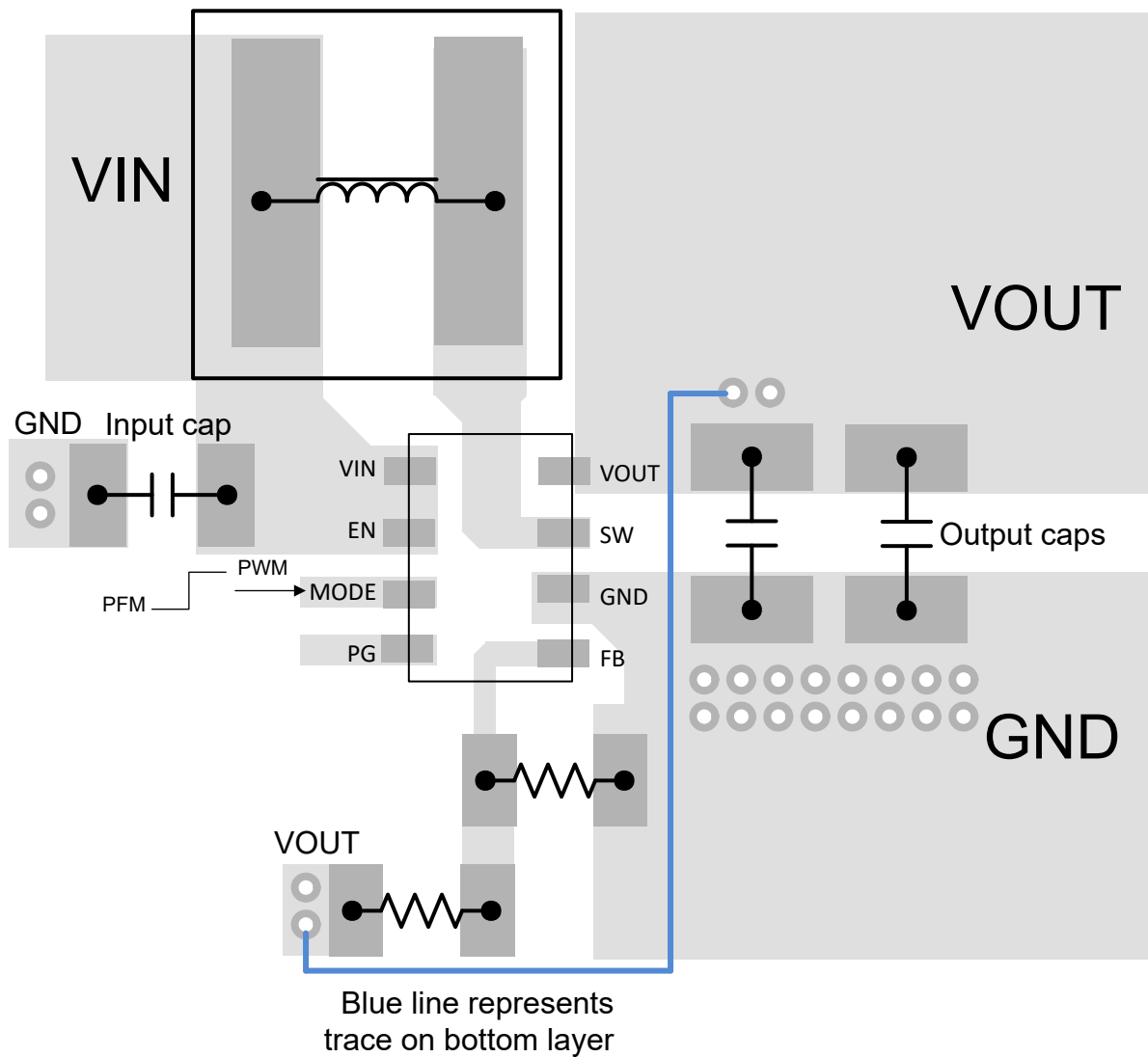


図 8-12. レイアウト例

8.4.3 熱に関する注意事項

通常の動作条件では、最大 IC 接合部温度が 125°C に制限されます。最大許容電力散逸 $P_{D(max)}$ を計算し、実際の電力散逸を $P_{D(max)}$ 以下に維持します。最大消費電力制限は、式 11 で決定されます。

$$P_{D(max)} = \frac{125 - T_A}{R_{\theta JA}} \quad (11)$$

ここで、

- T_A はアプリケーションの最大周囲温度
- $R_{\theta JA}$ は [セクション 8.4.3](#) で与えられる接合部から周囲への熱抵抗

TPS61033-Q1 は SOT583 パッケージで供給されます。パッケージの実際の接合部から周囲への熱抵抗は、PCB の種類とレイアウトに大きく依存します。放熱性能の向上のため、パワー パッド (GND、SW、VOUT) により大きく厚い PCB 銅箔を使用しています。また、より多くのビアを使用して半田マスクを使用せずに IC の最上層と最下層のグランド・プレートを接続しても、熱性能が向上します。

9 デバイスおよびドキュメントのサポート

9.1 デバイスのサポート

9.1.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	改訂	注
November 2023	*	初版

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用している場合は、画面左側のナビゲーションをご覧ください。

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
TPS610333QDRLRQ1	ACTIVE	SOT-5X3	DRL	8	4000	RoHS & Green	Call TI SN	Level-1-260C-UNLIM	-40 to 125	0333Q	Samples
TPS61033QDRLRQ1	ACTIVE	SOT-5X3	DRL	8	4000	RoHS & Green	Call TI SN	Level-1-260C-UNLIM	-40 to 125	033Q	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TPS61033-Q1 :

- Catalog : [TPS61033](#)

NOTE: Qualified Version Definitions:

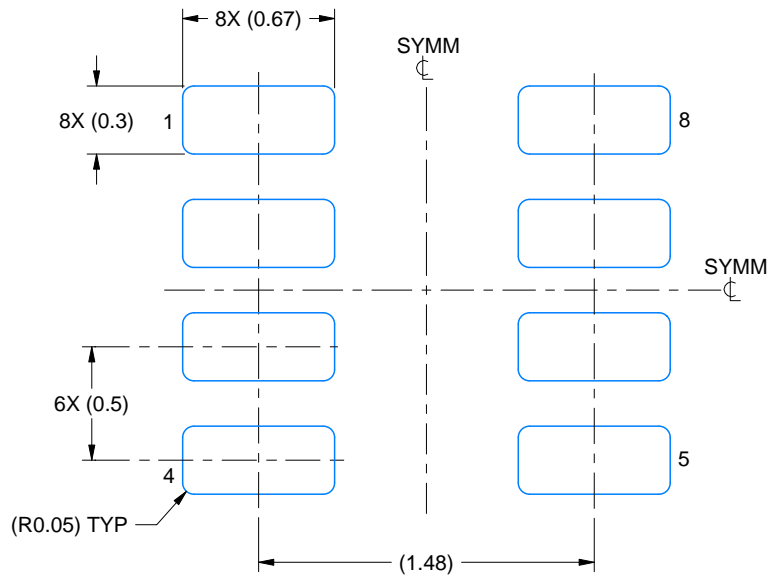
- Catalog - TI's standard catalog product

EXAMPLE BOARD LAYOUT

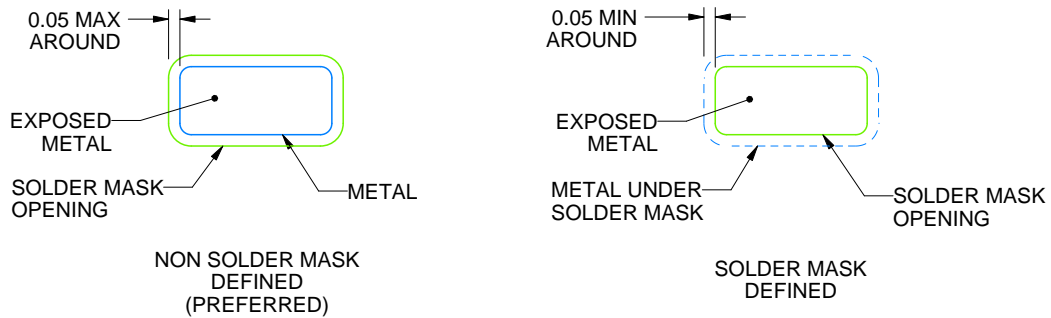
DRL0008A

SOT-5X3 - 0.6 mm max height

PLASTIC SMALL OUTLINE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:30X



SOLDERMASK DETAILS

4224486/E 12/2021

NOTES: (continued)

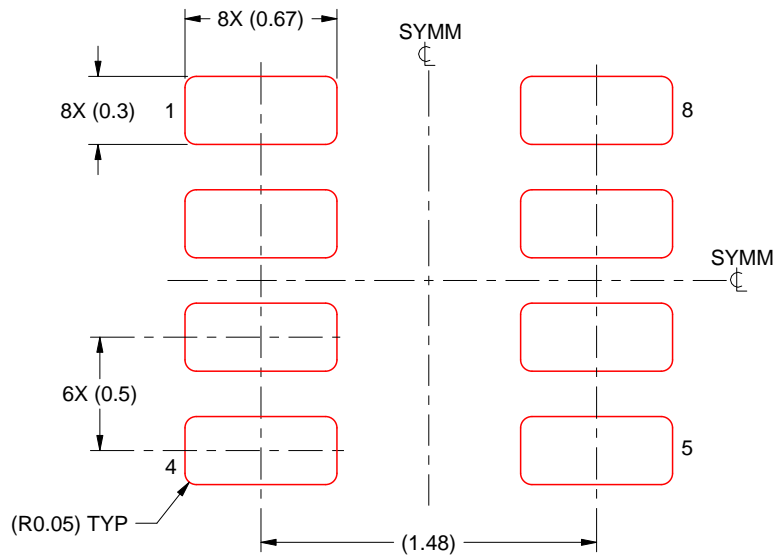
5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
7. Land pattern design aligns to IPC-610, Bottom Termination Component (BTC) solder joint inspection criteria.

EXAMPLE STENCIL DESIGN

DRL0008A

SOT-5X3 - 0.6 mm max height

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE:30X

4224486/E 12/2021

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](#) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated