

TRS213E マルチチャンネル 120kbps RS-232 ラインドライバおよびレシーバ、 ±9V 出力に対応、±15kV IEC ESD 保護機能搭載

1 特長

- RS-232 バスピン用 ESD 保護機能
 - ±15kV 人体モデル (HBM)
 - ±8kV IEC61000-4-2、接触放電
 - ±15kV IEC61000-4-2、気中放電
- TIA/EIA-232-F および ITU v.28 規格の要件に適合またはそれを上回る性能
- 5V V_{CC} 電源で動作
- 4 つのドライバと 5 つのレシーバ
- 最大 120kbit/s で動作
- シャットダウンモード時、
小さい電源電流: 15 μ A (標準値)
- 業界標準の '213 デバイスと交換可能
- JESD 78、Class II 準拠で 100mA 超のラッチアップ性能

2 アプリケーション

- バッテリー駆動システム
- PDA
- ノート PC
- ノート PC
- パームトップ PC
- ハンドヘルド機器

3 概要

TRS213E は、4 つのラインドライバ、5 つのラインレシーバ、1 つのデュアルチャージポンプ回路で構成されており、RS-232 バスピンに ±15kV IEC ESD 保護機能を備えています。このデバイスは、TIA/EIA-232-F の要件を満たし、非同期通信コントローラとシリアルポートコネクタの間の電気的インターフェイスとして機能します。チャージポンプと 4 つの小さな外付けコンデンサにより、5V の単一電源で動作できます。本デバイスは最大 120kbit/s のデータ信号速度、最大 30V/ μ s のドライバ出力スルーレートで動作します。

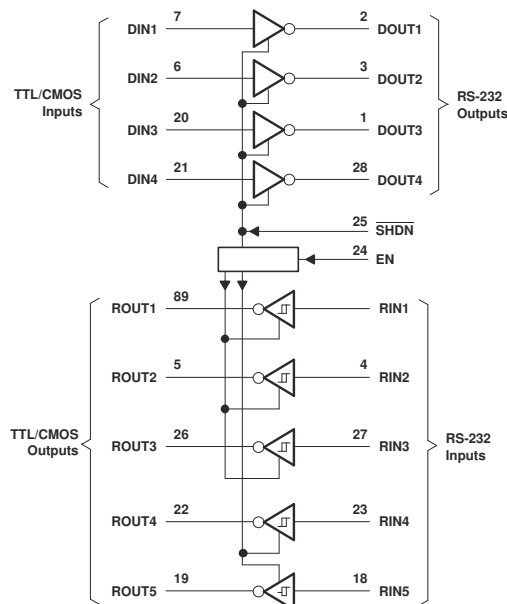
TRS213E には、アクティブ Low のシャットダウン ($\overline{\text{SHDN}}$) と、アクティブ High のイネーブル制御 (EN) があります。シャットダウンモードでは、チャージポンプがオフになり、 $V+$ が V_{CC} にプルダウンされ、 $V-$ が GND にプルされ、トランスミッタ出力はディセーブルになります。これにより、電源電流が 1 μ A (標準値) に減少します。シャットダウン中、TRS213E の 2 つのレシーバはアクティブです。

パッケージ情報

部品番号	パッケージ ⁽¹⁾	パッケージサイズ ⁽²⁾
TRS213E	SSOP (DB)	10.2mm × 7.8mm

(1) 詳細については、[セクション 11](#) を参照してください。

(2) パッケージサイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



論理図 (正論理)



Table of Contents

1 特長	1	6 Parameter Measurement Information	7
2 アプリケーション	1	7 Functional Modes	9
3 概要	1	8 Application and Implementation	10
4 Pin Configuration and Functions	3	8.1 Typical Application.....	10
5 Specifications	4	9 Device and Documentation Support	11
5.1 Absolute Maximum Ratings.....	4	9.1 ドキュメントの更新通知を受け取る方法.....	11
5.2 ESD Ratings.....	4	9.2 サポート・リソース.....	11
5.3 Recommended Operating Conditions.....	4	9.3 Trademarks.....	11
5.4 Thermal Characteristics.....	5	9.4 静電気放電に関する注意事項.....	11
5.5 Electrical Characteristics, Power and Status.....	5	9.5 用語集.....	11
5.6 Electrical Characteristics, Driver.....	5	10 Revision History	11
5.7 Electrical Characteristics, Receiver.....	6	11 Mechanical, Packaging, and Orderable Information	11
5.8 Switching Characteristics, Driver.....	6		
5.9 Switching Characteristics, Receiver.....	6		

4 Pin Configuration and Functions

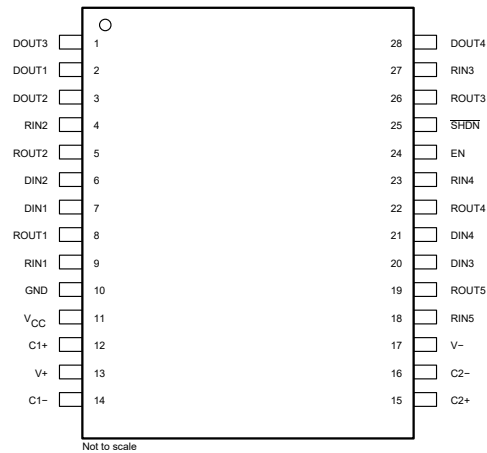


図 4-1. DB (SSOP) Package (Top View)

表 4-1. Pin Functions

PIN		TYPE ⁽¹⁾	DESCRIPTION
NAME ⁽²⁾	NO.		
DOUT3	1	O	RS-232 driver outputs
DOUT1	2		
DOUT2	3		
RIN2	4	I	RS-232 receiver input
ROUT2	5	O	Receiver output
DIN2	6	I	Driver inputs
DIN1	7		
ROUT1	8	O	Receiver output
RIN1	9	I	RS-232 receiver input
GND	10	-	Ground
V _{CC}	11	-	Supply voltage
C1+	12	-	Positive terminal of the voltage-doubler charge-pump capacitor
V+	13	-	Positive charge pump output voltage
C1-	14	-	Negative terminal of the voltage-doubler charge-pump capacitor
C2+	15	-	Positive terminal of the voltage-doubler charge-pump capacitor
C2-	16	-	Negative terminal of the voltage-doubler charge-pump capacitor
V-	17	-	Negative charge pump output voltage
RIN5	18	I	RS-232 receiver input
ROUT5	19	O	Receiver output
DIN3	20	I	Driver inputs
DIN4	21		
ROUT4	22	O	Receiver output
RIN4	23	I	RS-232 receiver input
EN	24	I	Active high enable
SHDN	25	I	Active low shutdown
ROUT3	26	O	Receiver output
RIN3	27	I	RS-232 receiver input
DOUT4	28	O	RS-232 driver output

(1) Signal Types: I = Input, O = Output, I/O = Input or Output.

(2) DIN pins have 400KΩ internal pull up to V_{CC}.

5 Specifications

5.1 Absolute Maximum Ratings

over operating free-air temperature range (unless otherwise noted) ⁽¹⁾

			MIN	MAX	UNIT
V _{CC}	Supply voltage ⁽²⁾		-0.3	6	V
V _{S+}	Positive output supply voltage ⁽²⁾		-0.6	14	V
V _{S-}	Negative output supply voltage ⁽²⁾		-0.3	-14	V
V _I	Input voltage	Driver, FORCEOFF, FORCEON, EN	-0.3	6.3	V
		Receiver	-25	25	
V _O	Output voltage	Driver	-14.3	14.3	V
		Receiver, INVALID	-0.3	6.3	
T _J	Operating virtual junction temperature			150	°C
T _{stg}	Storage temperature		-65	150	°C

- (1) Stresses beyond those listed under *Absolute Maximum Ratings* may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated under *Recommended Operating Conditions* is not implied. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.
- (2) All voltages are with respect to network GND.

5.2 ESD Ratings

			VALUE	UNIT
V _(ESD)	Electrostatic discharge	Human body model (HBM), per ANSI/ESDA/JEDEC JS-001, non bus (logic/supply) pins ⁽¹⁾	±2000	V
		Human body model (HBM), per ANSI/ESDA/JEDEC JS-001, RS-232 driver output/receiver input pins	±15000	
		Charged device model (CDM), per JEDEC specification JESD22-C101, all pins ⁽²⁾	±1000	
		IEC 61000-4-2, Contact Discharge, RS-232 driver output/receiver input pins ⁽³⁾	±8000	
		IEC 61000-4-2, Air-Gap Discharge, RS-232 driver output/receiver input pins ⁽⁴⁾	±15000	

- (1) JEDEC document JEP155 states that 500-V HBM allows safe manufacturing with a standard ESD control process.
- (2) JEDEC document JEP157 states that 250-V CDM allows safe manufacturing with a standard ESD control process.
- (3) For IEC ESD contact discharge test, 100 pF capacitor was connected to the DOUT3 pin to GND pin and recommended for given ESD performance.
- (4) For IEC ESD Air-Gap discharge test, 50Ω series resistor was connected to SHDN and EN pins for hard bound conditions and recommended for given ESD performance when not driven by the microcontroller.

5.3 Recommended Operating Conditions

			MIN	NOM	MAX	UNIT
V _{CC}	Supply voltage		4.5	5	5.5	V
V _{IH}	Driver and control high-level input voltage ⁽¹⁾	DIN, SHDN, EN	2			V
V _{IL}	Driver and control low-level input voltage ⁽¹⁾	DIN, SHDN, EN			0.8	V
V _I	Driver and control input voltage ⁽¹⁾	DIN, SHDN, EN	0		5.5	V
	Receiver input voltage ⁽¹⁾		-25		25	V

5.3 Recommended Operating Conditions (続き)

		MIN	NOM	MAX	UNIT
T _A	Operating free-air temperature	-40		85	°C

(1) Test conditions are C1–C4 = 0.1 μF at V_{CC} = 3.3 V ± 0.3 V; C1 = 0.047 mF, C2–μF, C2-C4 = 0.33 μF at V_{CC} = 5 V ± 0.5 V.

5.4 Thermal Characteristics

THERMAL METRIC ⁽¹⁾		DB (SSOP)	UNIT
		28 PINS	
R _{ΘJA}	Junction-to-ambient thermal resistance	66.1	°C/W
R _{ΘJC(top)}	Junction-to-case (top) thermal resistance	33.2	°C/W
R _{ΘJB}	Junction-to-board thermal resistance	37.0	°C/W
Ψ _{JT}	Junction-to-top characterization parameter	4.6	°C/W
Ψ _{JB}	Junction-to-board characterization parameter	36.5	°C/W
R _{ΘJC(bot)}	Junction-to-case (bottom) thermal resistance	-	°C/W

(1) For more information about traditional and new thermal metrics, see the [Semiconductor and IC Package Thermal Metrics](#) application report.

5.5 Electrical Characteristics, Power and Status

over recommended ranges of supply voltage and operating free-air temperature (unless otherwise noted)⁽¹⁾

PARAMETER		TEST CONDITIONS	MIN	TYP ⁽²⁾	MAX	UNIT
I _{CC}	Supply current	All outputs open		8	20	mA
I _{SHDN}	Supply current	T _A =25°C, EN=High or Low, SHDN=High		1	10	μA

(1) Test conditions are C1–C4 = 0.1 μF at V_{CC} = 5 V ± 0.5 V.

(2) All typical values are at V_{CC} = 5 V and T_A = 25°C.

5.6 Electrical Characteristics, Driver

over recommended ranges of supply voltage and operating free-air temperature (unless otherwise noted)⁽¹⁾

PARAMETER		TEST CONDITIONS		MIN	TYP ⁽²⁾	MAX	UNIT
V _{OH}	High-level output voltage	All DOUT at R _L = 3 kΩ to GND, DIN = GND		5	9		V
V _{OL}	Low-level output voltage	All DOUT at R _L = 3 kΩ to GND, DIN = V _{CC}			-9	-5	V
I _{IH}	Control high-level input current (EN and SHDN)	V _I = V _{CC}			3	10	μA
I _{IL}	Control low-level input current (EN and SHDN)	V _I at GND		-10	-3		μA
I _{IL}	Low-level input current (DIN pins) Internal pull up present	V _I at GND		-200	-15		μA
I _{OS}	Short-circuit output current ⁽³⁾	V _{CC} = 5.5 V, Pside ON	V _O = 0 V		10	60	mA
I _{OS}	Short-circuit output current ⁽³⁾	V _{CC} = 5.5 V, Nside ON	V _O = 0 V	-60	-10		mA
r _o	Output resistance	V _{CC} = 0 V, V _{S+} = 0 V, and V _{S-} = 0 V	V _O = ±2 V	300			Ω

(1) Test conditions are C1–C4 = 0.1 μF at V_{CC} = 5 V ± 0.5 V.

(2) All typical values are at V_{CC} = 5 V, and T_A = 25°C.

(3) Short-circuit durations must be controlled to prevent exceeding the device absolute power dissipation ratings, and not more than one output should be shorted at a time.

5.7 Electrical Characteristics, Receiver

over recommended ranges of supply voltage and operating free-air temperature (unless otherwise noted)⁽¹⁾

PARAMETER		TEST CONDITIONS	MIN	TYP ⁽²⁾	MAX	UNIT
V _{OH}	High-level output voltage	I _{OH} = -1 mA	3.5			V
V _{OL}	Low-level output voltage	I _{OH} = 1.6 mA			0.4	V
V _{IT+}	Positive-going input threshold voltage	V _{CC} = 5 V, T _A =25°C		1.7	2.4	V
V _{IT-}	Negative-going input threshold voltage	V _{CC} = 5 V, T _A =25°C	0.8	1.2		V
V _{hys}	Input hysteresis (V _{IT+} - V _{IT-})		0.2	0.5	1	V
r _I	Input resistance	V _I = ±3V to ±25V	3	5	7	kΩ
IOZ	Output leakage current	EN=0V, 0V<ROUT<VCC, R1-R3	-10	0.05	10	μA

(1) Test conditions are C1–C4 = 0.1 μF at V_{CC} = 5 V ± 0.5 V.

(2) All typical values are at V_{CC} = 5 V, and T_A = 25°C.

5.8 Switching Characteristics, Driver

over recommended ranges of supply voltage and operating free-air temperature(unless otherwise noted)⁽¹⁾

PARAMETER		TEST CONDITIONS		MIN	TYP ⁽²⁾	MAX	UNIT
	Maximum data rate	R _L = 3 kΩ to 7 kΩ One DOUT switching	C _L = 50pF to 1000 pF See Figure 1	120	250		kbps
t _{sk(p)}	Pulse skew ⁽³⁾	R _L = 3 kΩ to 7 kΩ	C _L = 150 pF to 2500 pF See Figure 2		300		ns
t _{PLH(D)}	Propagation delay time, low to high level output	R _L = 3 kΩ	C _L = 2500 pF, all outputs loaded See Figure 2		2		us
t _{PHL(D)}	Propagation delay time, high to low level output	R _L = 3 kΩ	C _L = 2500 pF, all outputs loaded See Figure 2		2		us
SR(tr)	Slew rate, transition region	R _L = 3 kΩ to 7 kΩ	C _L = 50pF to 1000 pF	3	6	30	V/us

(1) Test conditions are C1–C4 = 0.1 μF at V_{CC} = 5 V ± 0.5 V.

(2) All typical values are at V_{CC} = 5 V, and T_A = 25°C.

(3) Pulse skew is defined as |t_{PLH} - t_{PHL}| of each channel of the same device.

5.9 Switching Characteristics, Receiver

over recommended ranges of supply voltage and operating free-air temperature (unless otherwise noted)⁽¹⁾

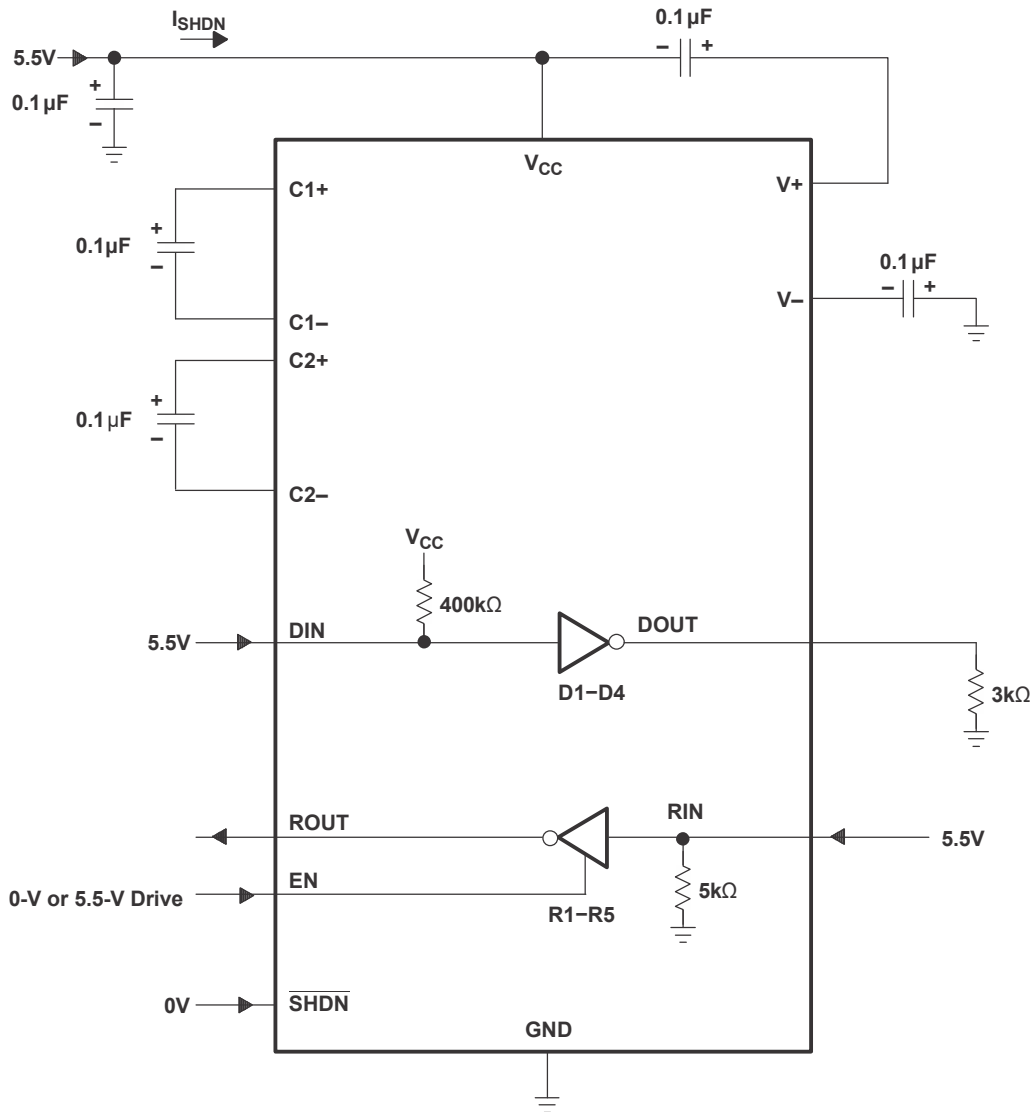
PARAMETER		TEST CONDITIONS	MIN	TYP ⁽²⁾	MAX	UNIT
t _{PLH}	Propagation delay time, low- to high-level output	C _L = 150 pF		0.5	10	us
t _{PHL}	Propagation delay time, high- to low-level output			0.5	10	us
t _{sk(p)}	Pulse skew ⁽³⁾	C _L = 150 pF, V _{CC} =5V, T _A =25°C		300		ns
t _{en}	Output enable time	C _L = 150 pF		600		ns
t _{dis}	Output disable time	C _L = 150 pF		200		ns

(1) Test conditions are C1–C4 = 0.1 μF at V_{CC} = 5 V ± 0.5 V.

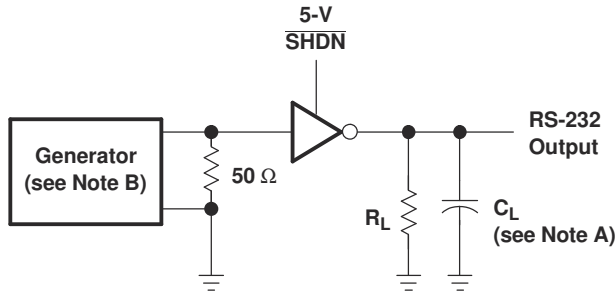
(2) All typical values are at V_{CC} = 5 V, and T_A = 25°C.

(3) Pulse skew is defined as |t_{PLH} - t_{PHL}| of each channel of the same device.

6 Parameter Measurement Information

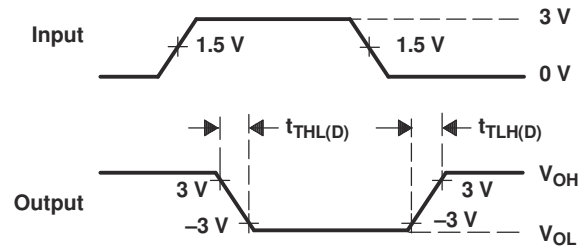


6-1. Shutdown Current Test Circuit



TEST CIRCUIT

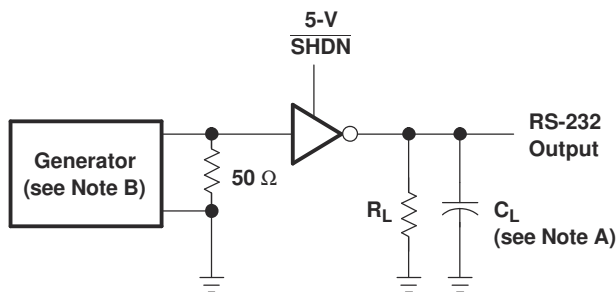
$$SR(tr) = \frac{6\text{ V}}{t_{THL(D)} \text{ or } t_{TLH(D)}}$$



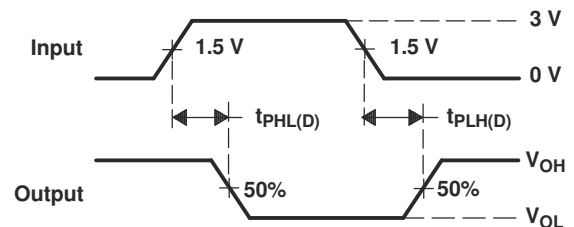
VOLTAGE WAVEFORMS

NOTES: A. C_L includes probe and jig capacitance.
 B. The pulse generator has the following characteristics: $Z_O = 50\ \Omega$, 50% duty cycle, $t_r \leq 10\text{ ns}$, $t_f \leq 10\text{ ns}$.

6-2. Driver Slew Rate



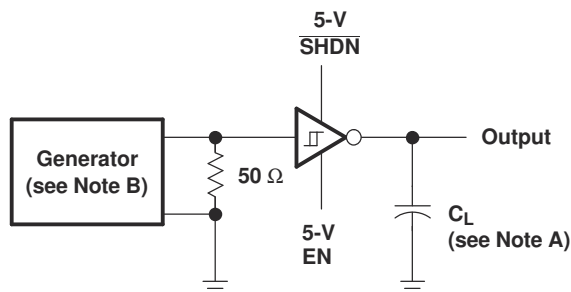
TEST CIRCUIT



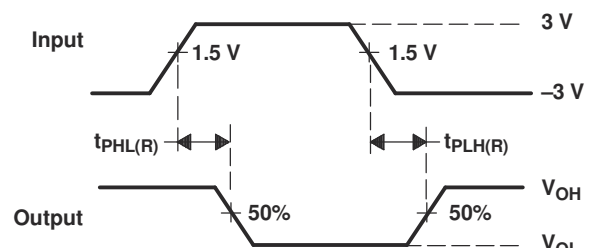
VOLTAGE WAVEFORMS

NOTES: A. C_L includes probe and jig capacitance.
 B. The pulse generator has the following characteristics: $Z_O = 50\ \Omega$, 50% duty cycle, $t_r \leq 10\text{ ns}$, $t_f \leq 10\text{ ns}$.

6-3. Driver Pulse Skew and Propagation Delay Times



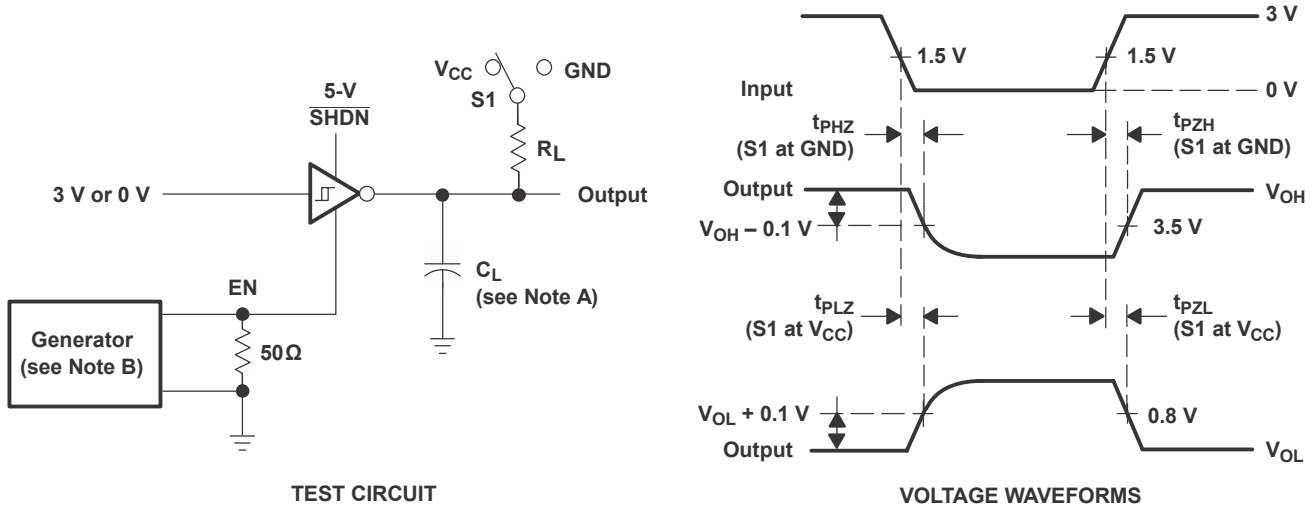
TEST CIRCUIT



VOLTAGE WAVEFORMS

NOTES: A. C_L includes probe and jig capacitance.
 B. The pulse generator has the following characteristics: $Z_O = 50\ \Omega$, 50% duty cycle, $t_r \leq 10\text{ ns}$, $t_f \leq 10\text{ ns}$.

6-4. Receiver Propagation Delay Times



- NOTES:
- A. C_L includes probe and jig capacitance.
 - B. The pulse generator has the following characteristics: $Z_O = 50\Omega$, 50% duty cycle, $t_r \leq 10$ ns, $t_f \leq 10$ ns.
 - C. t_{PLZ} and t_{PHZ} are the same as t_{dis} .
 - D. t_{PZL} and t_{PZH} are the same as t_{en} .

图 6-5. Receiver Enable and Disable Times

7 Functional Modes

表 7-1. Function Table

INPUTS		DRIVER D1–D4	RECEIVER		DEVICE STATUS
SHDN	EN		R1–R3	R4–R5	
L	L	Z	Z	Z	Shutdown
L	H	Z	Z	Active ⁽¹⁾	Shutdown
H	L	All active	Z	Z	Normal operation
H	H	All active	Active	Active	Normal operation

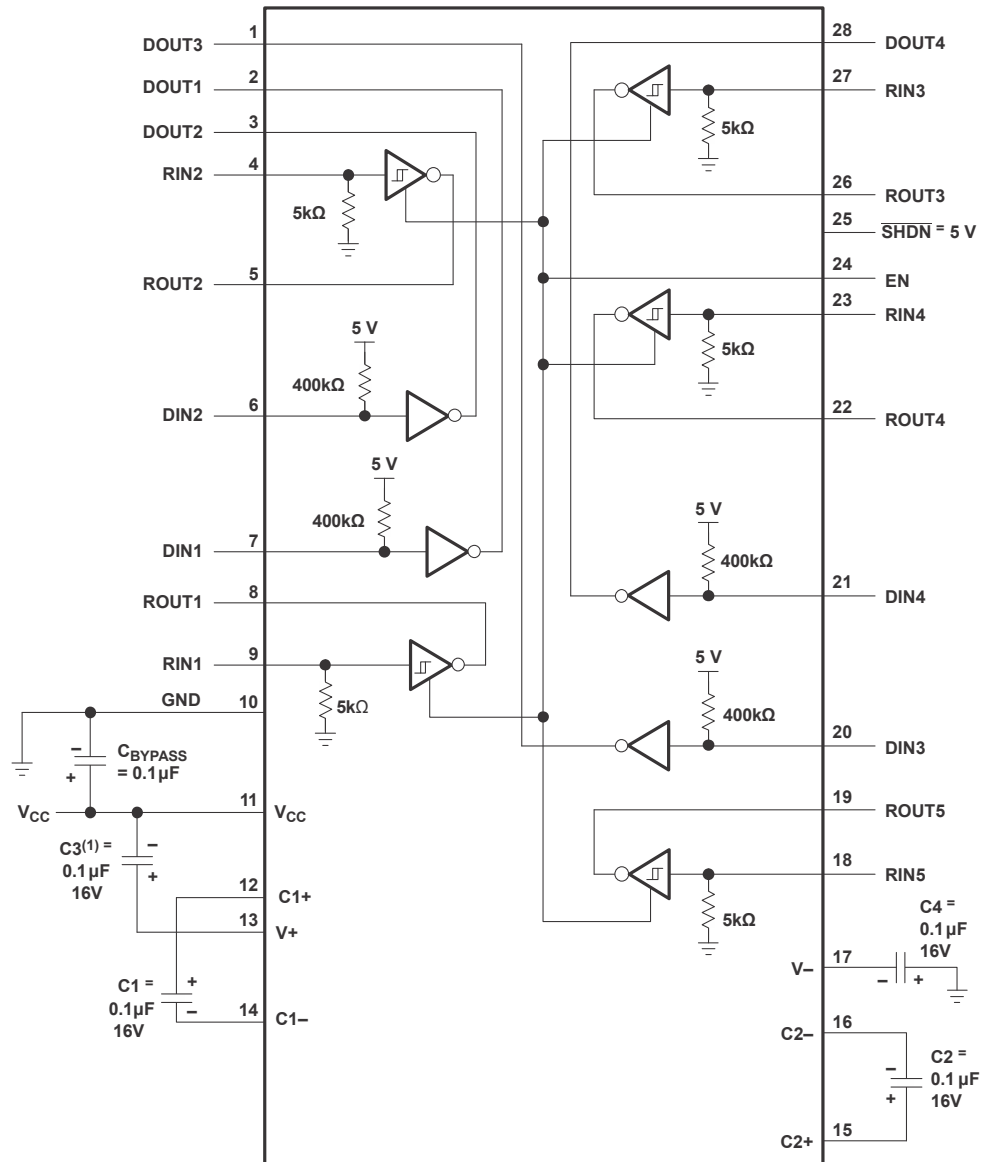
(1) See the V_{IT+} and V_{IT-} change in the *Electrical Characteristics* table.

8 Application and Implementation

注

Information in the following applications sections is not part of the TI component specification, and TI does not warrant its accuracy or completeness. TI's customers are responsible for determining suitability of components for their purposes, as well as validating and testing their design implementation to confirm system functionality.

8.1 Typical Application



- (1) C3 can be connected to VCC or GND.
 NOTES: A. Resistor values shown are nominal.
 B. Nonpolarized ceramic capacitors are acceptable. If polarized tantalum or electrolytic capacitors are used, they should be connected as shown.

8-1. Typical Operating Circuit and Capacitor Values

9 Device and Documentation Support

TI offers an extensive line of development tools. Tools and software to evaluate the performance of the device, generate code, and develop solutions are listed below.

9.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

9.3 Trademarks

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

9.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.5 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

10 Revision History

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

DATE	REVISION	NOTES
July 2024	*	Initial Release

11 Mechanical, Packaging, and Orderable Information

The following pages include mechanical, packaging, and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser-based versions of this data sheet, refer to the left-hand navigation.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2024, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
TRS213EIDBR	ACTIVE	SSOP	DB	28	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 85	TRS213I	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSELETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "-" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TRS213EIDBR	SSOP	DB	28	2000	330.0	16.4	8.2	10.5	2.5	12.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TRS213EIDBR	SSOP	DB	28	2000	356.0	356.0	35.0

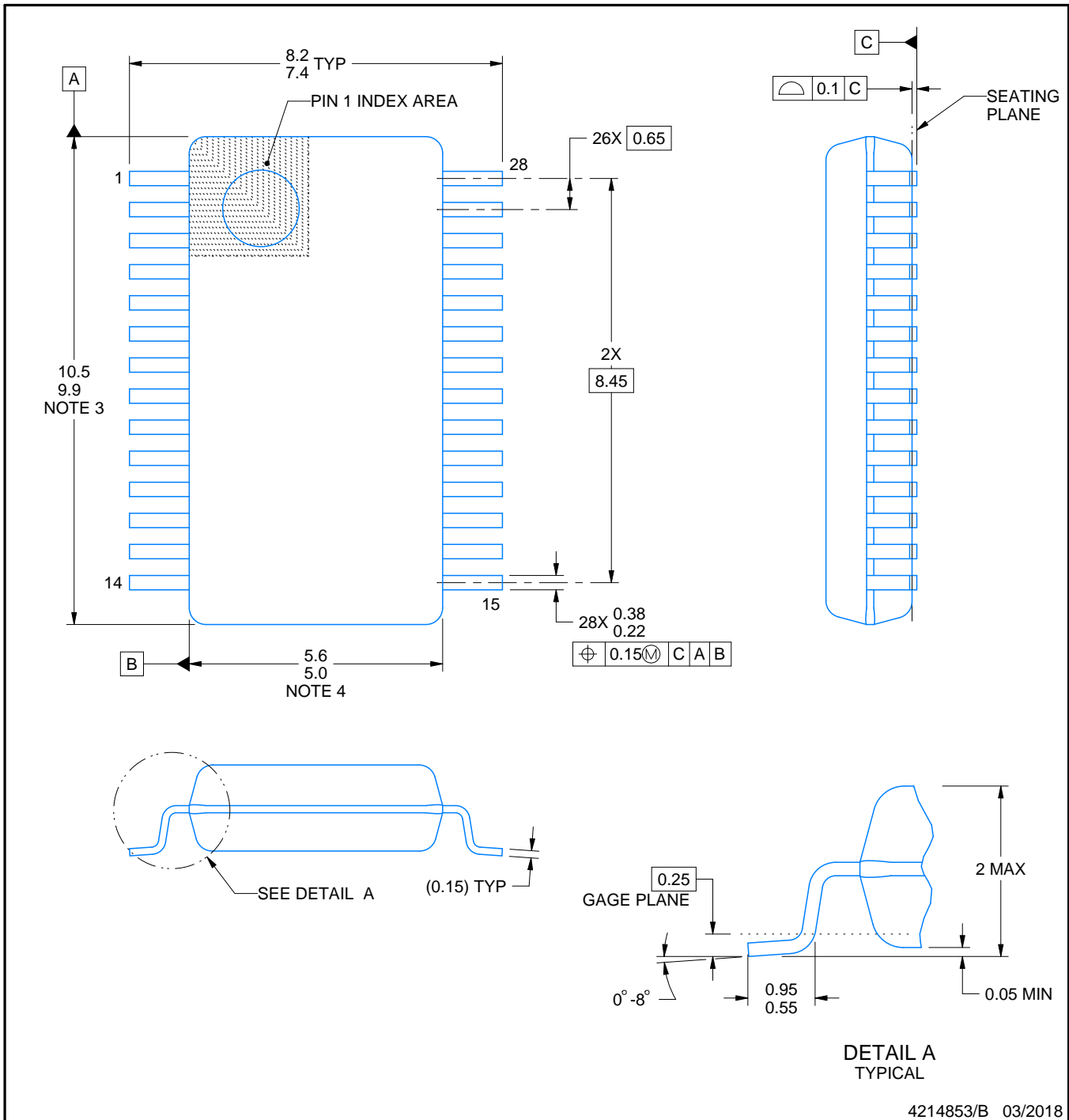
DB0028A



PACKAGE OUTLINE

SSOP - 2 mm max height

SMALL OUTLINE PACKAGE



4214853/B 03/2018

NOTES:

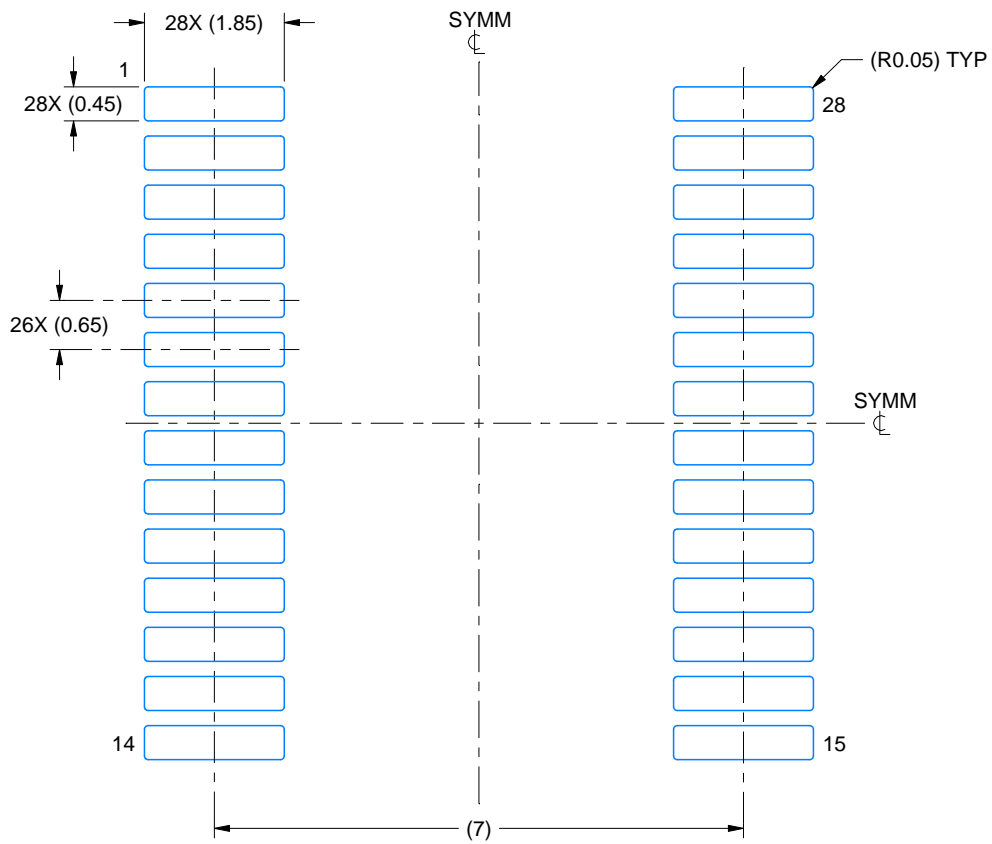
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-150.

EXAMPLE BOARD LAYOUT

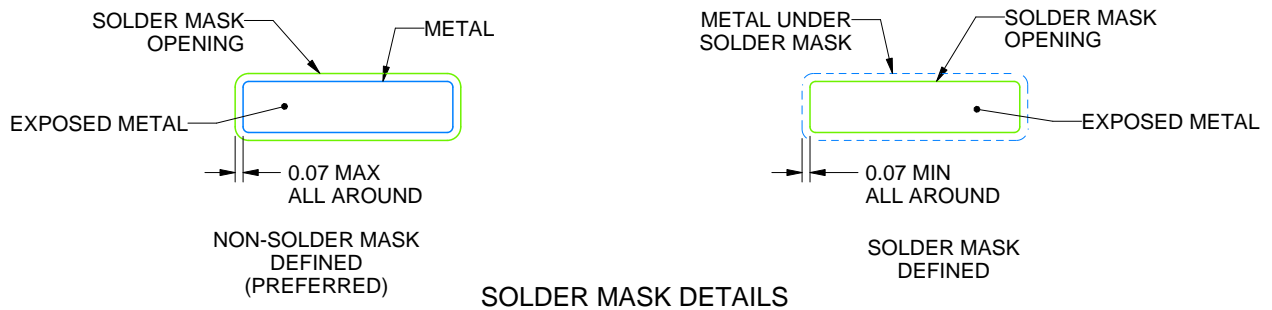
DB0028A

SSOP - 2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



4214853/B 03/2018

NOTES: (continued)

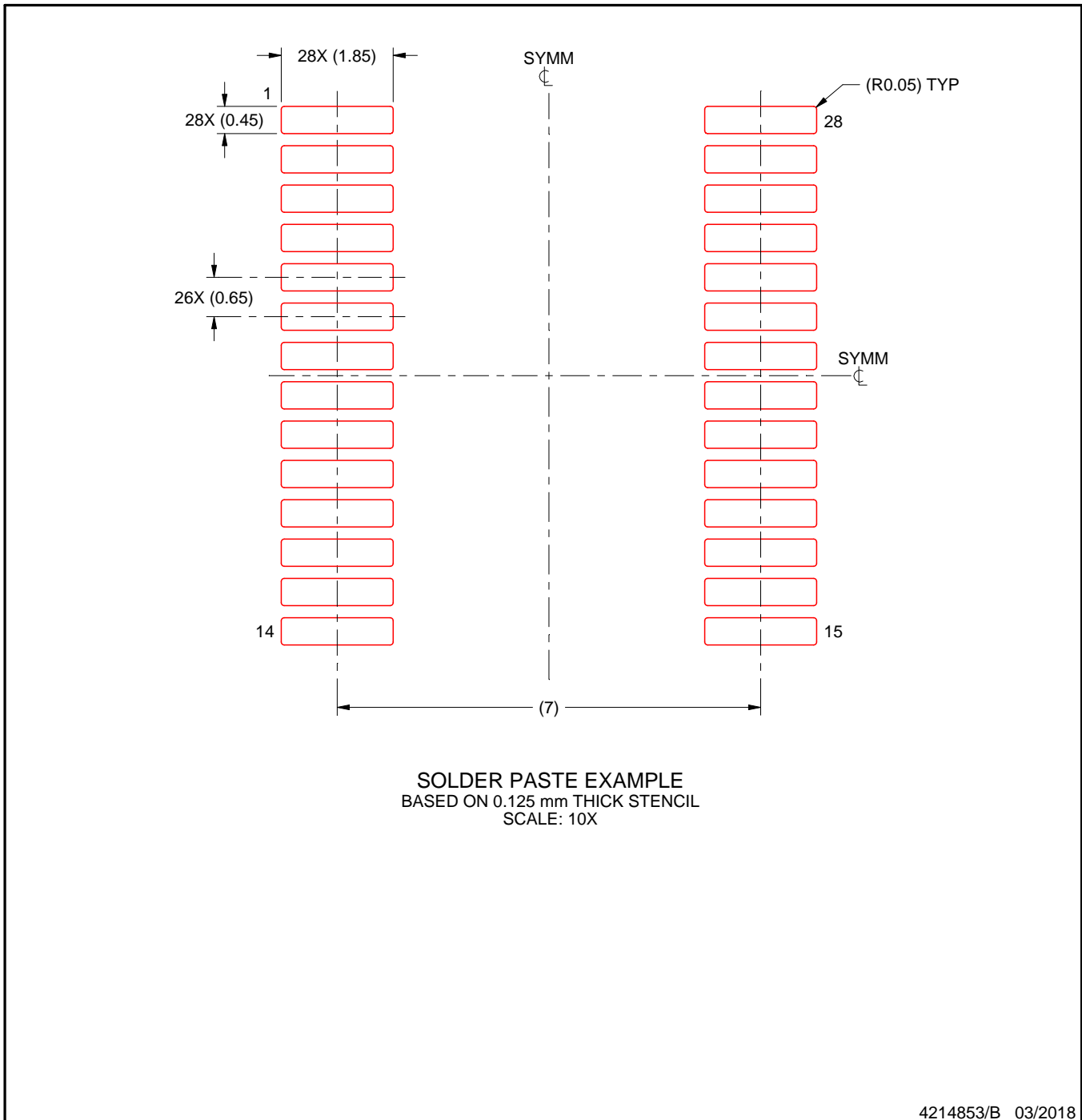
- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DB0028A

SSOP - 2 mm max height

SMALL OUTLINE PACKAGE



NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](#) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated