

デュアル・チャンネル、高電圧 - マルチレベル出力、 完全統合型超音波トランスミッタ

特長

- 出力電圧：
 - － 差動モードで最大200Vpp
- ピーク出力電流：±2.5A
- マルチレベル出力
 - － 差動：17レベル
 - － シングルエンド：5レベル
- 内蔵機能：
 - － レベル・トランスレータ
 - － ドライバ
 - － 高電圧出力段
 - － CW出力
- TX出力更新レート
 - － 最大100MSPS

- 最小限の外部部品
- 小さなパッケージ：BGA 13×13mm

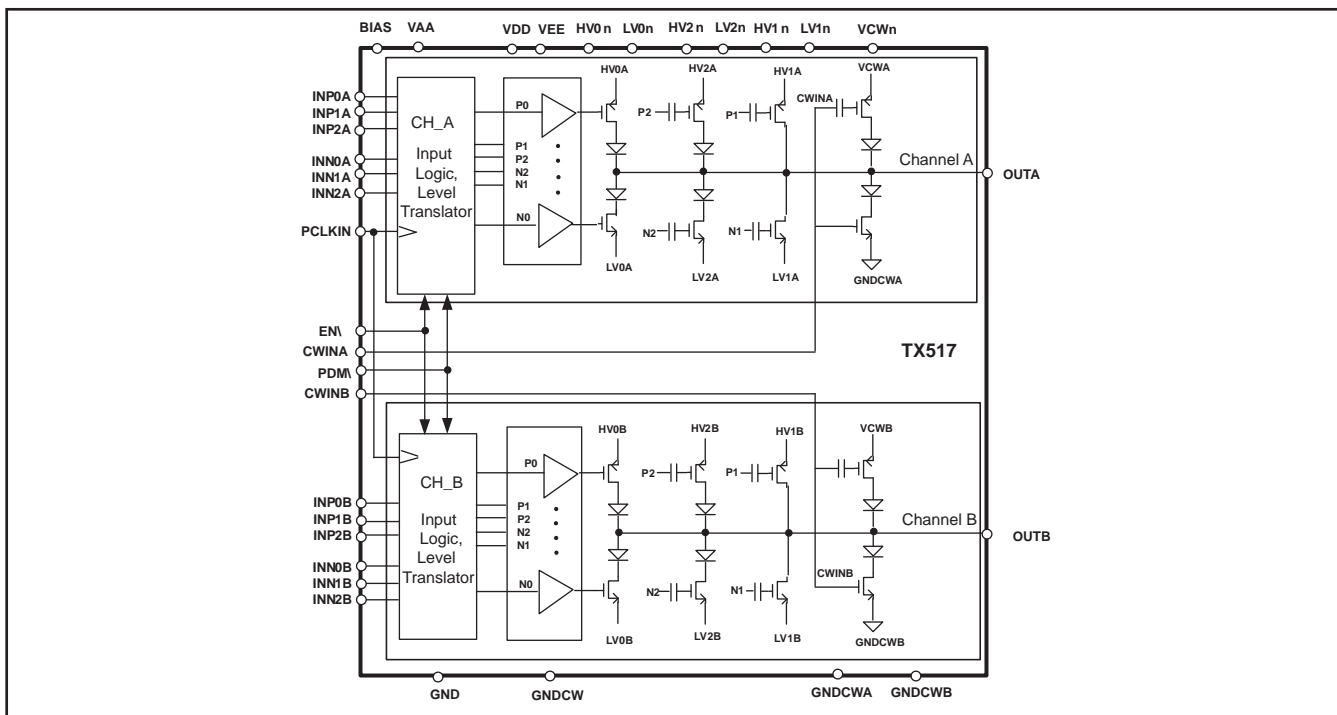
アプリケーション

- 医療用超音波機器
- 高電圧信号発生器

概要

TX517は、完全統合型のデュアル・チャンネル高電圧トランスミッタです。マルチレベルの高電圧パルス・パターンを必要とする、要求の厳しい医療用超音波アプリケーション向けに設計されています。出力段は、振幅200Vppで標準±2.5Aのピーク出力電流を供給するよう設計されています。

TX517は、各チャンネルに低電圧入力ロジック、レベル・ト



この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本TI) が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。

ランスレータ、ゲート・ドライバ、およびPチャネル/NチャネルMOSFETを備えた、完全なトランスミッタ・ソリューションです。



静電気放電対策

これらのデバイスは、限定的なESD（静電破壊）保護機能を内蔵しています。保存時または取り扱い時に、MOSゲートに対する静電破壊を防止するために、リード線どうしを短絡しておくか、デバイスを導電性のフォームに入れる必要があります。

また、TX517はCW出力段も内蔵しています。

TX517は、鉛フリー（RoHS準拠）でグリーン基準を満たしたBGAパッケージで供給されます。0℃～85℃の範囲で仕様が規定されています。

17レベルのバルサー・チップ：

チップは2つの5レベル・チャンネルから構成され、トランスとともに使用することで、1つの17レベル・トランスミッタ・セルを形成します。さまざまな出力レベルでトランスデューサを駆動するだけでなく、出力パルスの幅を変調することで、柔軟なパルス幅変調スペクトル整形を実現します。

製品情報⁽¹⁾

パッケージ・デバイス	パッケージの種類	パッケージ捺印	出荷形態、数量	エコ・ステータス ⁽²⁾
TX517IZCQ	BGA-144	TX517	トレイ	鉛フリー、グリーン

(1) 注：これらのパッケージは、鉛フリーおよびグリーン製造仕様に適合しています。

(2) エコ・ステータス情報：具体的な原材料を含む詳しい情報については、www.ti.com/leadfreeをご覧ください。

グリーン：TIにおける“グリーン”は、鉛(Pb)フリーに加えて、パッケージの材質にハロゲンを含まないことを意味しています。

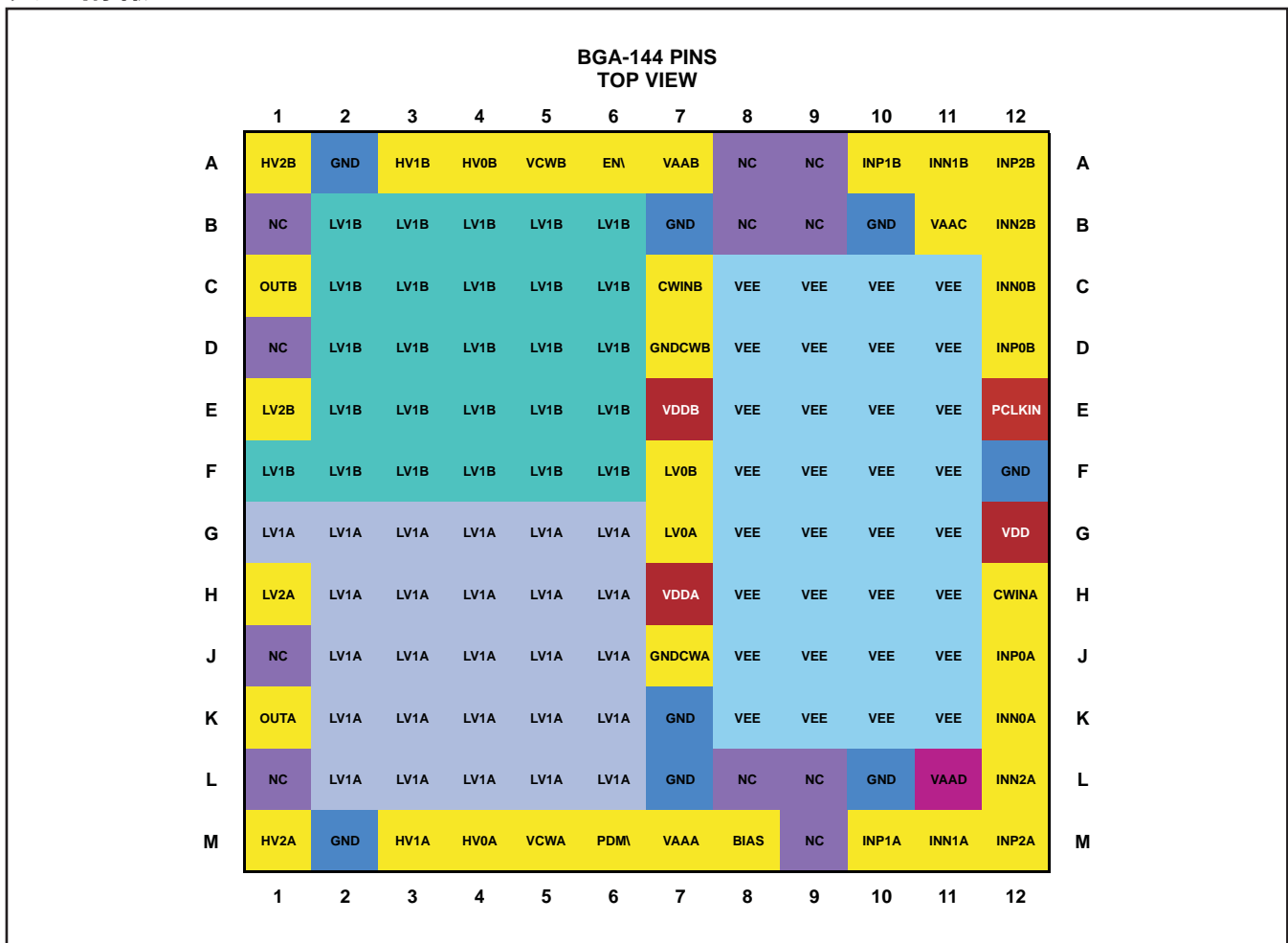
製品の全重量の0.1%を超える臭素(Br)またはアンチモン(Sb)を含まないという条件が含まれます。

N/A：鉛(Pb)フリー製品が未提供です。置き換え予定日については、www.ti.com/leadfreeをご覧ください。

鉛フリー：TIにおける“鉛(Pb)フリー”は、RoHS対応であり、鉛の使用度が製品総重量の0.1%以下であることを意味しています。

また、半田付けを行うよう設計されている場合は、指定の鉛フリー半田付けプロセスでの使用に適していることを意味します。

製品情報



ピン機能

ピン名	説明
電源	
VAAx	入力ロジック電源 (+2.5V)
VDD	+5Vドライバ電源
VEE	-5Vドライバ電源
HV0A, HV0B	低電圧FET出力段の正電源、チャンネルAおよびB
LV0A, LV0B	低電圧FET出力段の負電源、チャンネルAおよびB
HV2A, HV2B	中電圧FET出力段の正電源。この出力段には内部デグリッチャ回路が含まれます。チャンネルAおよびB
LV2A, LV2B	中電圧FET出力段の負電源。この出力段には内部デグリッチャ回路が含まれます。チャンネルAおよびB
HV1A, HV1B	高電圧FET出力段の正電源、チャンネルAおよびB
LV1A, LV1B	高電圧FET出力段の負電源、チャンネルAおよびB
VCWA, VCWB	CW FET出力段の電源接続、チャンネルAおよびB
GND	グランド接続、ドライバ
GNDCWA, GNDCWB	CW FET出力段のグランド接続、チャンネルAおよびB
BIAS	VAA(+2.5V)に接続、内部バイアスに使用、ハイ・インピーダンス入力
入力	
INP0A, INP0B	低電圧P-FET段の論理入力信号、チャンネルAおよびB、Low = オン、High = オフ。HV0A、HV0Bを制御。ハイ・インピーダンス入力。
INN0A, INN0B	低電圧N-FET段の論理入力信号、チャンネルAおよびB、Low = オン、High = オフ。LV0A、LV0Bを制御。ハイ・インピーダンス入力。
INP2A, INP2B	中電圧P-FET段の論理入力信号、チャンネルAおよびB、Low = オン、High = オフ。HV2A、HV2Bを制御。ハイ・インピーダンス入力。
INN2A, INN2B	中電圧N-FET段の論理入力信号、チャンネルAおよびB、Low = オン、High = オフ。LV2A、LV2Bを制御。ハイ・インピーダンス入力。
INP1A, INP1B	高電圧P-FET段の論理入力信号、チャンネルAおよびB、Low = オン、High = オフ。HV1A、HV1Bを制御。ハイ・インピーダンス入力。
INN1A, INN1B	高電圧N-FET段の論理入力信号、チャンネルAおよびB、Low = オン、High = オフ。LV1A、LV1Bを制御。ハイ・インピーダンス入力。
CWINA	A出力用のCWゲート入力信号。入力“1”は、OUTAから電流がシンクされることを意味します。入力“0”は、OUTAから電流がソースされることを意味します。このピンは、出力AのCW FETゲートに直接アクセスします。
CWINB	B出力用のCWゲート入力信号。入力“1”は、OUTBから電流がシンクされることを意味します。入力“0”は、OUTBから電流がソースされることを意味します。このピンは、出力BのCW FETゲートに直接アクセスします。
$\overline{\text{EN}}$	非CWパス用の論理入力。イネーブル・ピンを使用して、入力データのラッチまたは透過動作のいずれかを選択します。Low = 内部T&Hにより、PCLKINに印加されるクロックのレートで入力データのタイミングを再設定します。High = このモードは、TX517がクロックなしで動作する場合に使用します。High(1)の場合、入力データはT&Hをバイパスします。このピンは、チャンネルAおよびBに共通の制御です。ハイ・インピーダンス入力。
PDM	非CWパスのパワーダウン制御入力、Low = パワーダウン、High = 通常動作。PDMピンは、多少の静止電力を消費する電圧変換回路を制御します。このピンは、チャンネルAおよびBに共通の制御です。ハイ・インピーダンス入力。
PCLKIN	ラッチ(T&H)モードで使用するクロック入力。クロック信号がHighのとき、T&H回路はトラック・モードです。クロック信号がLowのとき、T&Hはホールド・モードです。このピンは、チャンネルAおよびBに共通のクロック入力です。ハイ・インピーダンス入力。
出力	
OUTA	出力チャンネルA
OUTB	出力チャンネルB

絶対最大定格

電圧はグラウンド電位 (GND = 0V) を基準、動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		VALUE	単位
V _{DS}	高電圧正電源HV1、2(OUTA/Bを基準)、最大デルタ電圧も参照	-0.3 ~ +80	V
	高電圧正電源HV0(OUTA/Bを基準)、最大デルタ電圧も参照	-0.3 ~ +6	V
	高電圧VCWA/B電源(GNDCWA/Bを基準)	-0.3 ~ +16	V
V _{DS}	高電圧負電源LV1、2(OUTA/Bを基準)、最大デルタ電圧も参照	-40 ~ +0.3	V
	高電圧負電源LV0(OUTA/Bを基準)、最大デルタ電圧も参照	-6 ~ +0.3	V
	最大デルタ電圧: HV1 - LV1およびHV2 - LV2	110	V
	最大デルタ電圧: HV0 - LV0	12	V
VDD	ドライバ電源、正	-0.3 ~ +6	V
VEE	ドライバ電源、負	-6 ~ +0.3	V
VAA	ロジック電源電圧	-0.3 ~ +6	V
	論理入力 (INPx、INN \bar{x} 、 \overline{EN} 、 \overline{PDM} 、PCLKIN、U)	-0.3 ~ +6	V
	CW入力 (CWINA、CWINB)	-0.3 ~ +11	V
	ピーク半田温度 ⁽²⁾	260	°C
TJ	最大接合部温度、任意の条件 ⁽³⁾	150	°C
TJ	最大接合部温度、連続動作、長期的信頼性 ⁽⁴⁾	125	°C
Tstg	保存温度範囲	-65 ~ 150	°C
ESD定格	HBM	500	V
	CDM	750	V
	MM	200	V

- (1) 絶対最大定格を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみに
ついて示してあり、このデータシートの「推奨動作条件」に示された値を越える状態での本製品の機能動作は含まれていません。
絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。
- (2) デバイスはJSTD-020Dに準拠しています。
- (3) 任意の条件における絶対最大接合部温度は、シリコン・プロセスの制約によって制限されます。
- (4) 連続動作での絶対最大接合部温度は、パッケージ制約によって制限されます。この温度で動作を行うと、デバイスの信頼性低下や寿命の
短縮につながるおそれがあります。

熱特性について

熱特性 ⁽¹⁾		TX517	単位
		BGA (144) (ZCQ) ピン	
θ_{JA}	接合部-周囲間熱抵抗	28	°C/W
θ_{JCTop}	接合部-ケース (上面) 間熱抵抗	3.8	
θ_{JB}	接合部-基板間熱抵抗	11.3	
ψ_{JT}	接合部-上面間特性パラメータ	0.2	
電力 定格 ⁽²⁾⁽³⁾ (TJ = 125°C)	TA = 25°C	3.57	W
	TA = 85°C	1.47	

- (1) 従来の熱特性パラメータと新しい熱特性パラメータの詳細については、アプリケーション・レポート「IC Package Thermal Metrics」
(SPRA953) を参照してください。
- (2) このデータは、JEDECのHigh-K試験PCB上で得られたものです。
- (3) 電力定格は、接合部温度125°Cで決定されます。この値を超えると、歪みが大幅に増加し始め、長期的な信頼性が低下し始めます。
最高の性能および信頼性を得るには、最終的なPCBの熱管理で接合部温度を125°C以下に保持するようにしてください。

推奨動作条件

	MIN	TYP	MAX	単位
VAA	2.38	2.5	3.3	V
VDD	4.75	5.0	5.25	V
VEE	-5.25	-5.0	-4.75	V
HV0A、HV0B	0	1.9	5	V
LV0A、LV0B	-5	-1.9	0	V
HV2A、HV2B	0	32	70	V
LV2A、LV2B	-30	-11.9	0	V
HV1A、HV1B	>HV0および>HV2	61	70	V
LV1A、LV1B	-30	-20.9	<LV0および<LV2	V
VCWA、VCWB	0	11	15	V
HV1 - LV1およびHV2 - LV2の最大デルタ			100	V
NNx、INPx、 \overline{EN} 、 \overline{PDM} 、PCLKIN、U	0		VAA	V
NCWA、INCWB	0	5	10	V
INNxx、INPxx入力サンプル・レート	1		100	MspS
INNxx、INPxx入力単位間隔	10		1000	ns
PCLKIN入力周波数	1		100	MHz
周囲温度、T _A	0		85	°C

電気的特性

すべての仕様は、 $T_A = 0 \sim 85^\circ\text{C}$ 、 $V_{AA} = 2.5\text{V}$ 、 $V_{DD} = 5\text{V}$ 、 $V_{EE} = -5\text{V}$ 、 $HV0 = 1.9\text{V}$ 、 $LV0 = -1.9\text{V}$ 、 $HV2 = 32\text{V}$ 、 $LV2 = -11.9\text{V}$ 、 $HV1 = +61.1\text{V}$ 、 $LV1 = -20.9\text{V}$ 、 $V_{CW} = 11\text{V}$ 、 $R_L = 100\Omega$ (対GND)(OUTA)、 $R_L = 100\Omega$ (対GND)(OUTB)での値です(特に記述のない限り)。各パラメータの結果はOUTAとOUTBの両方に適用可能であり、特に記述のない限り非ラッチ・モードを使用して測定されています。

パラメータ	測定条件	MIN	TYP	MAX	単位	テスト・レベル ⁽¹⁾
HV0/LV0信号パス - DC性能						
Pチャンネル						
実効抵抗、 $R_{DSon} + R_{diode}$	$HV0 = 2\text{V}$, $OUTX = -750\text{mV} \sim -1.25\text{V}$	6.5	9.5	13	Ω	A
実効抵抗変動	最大出力電力 ~ 最小出力電力、 負荷 = 100Ω (対0V)			12%		C
出力飽和電流	$R_L = 5\Omega \sim -30\text{V}$	-3.1	-1.3	-1	A	A
出力電圧			1.0		V	C
Nチャンネル						
実効抵抗、 $R_{DSon} + R_{diode}$	$LV0 = -2\text{V}$, $OUTX = 750\text{mV} \sim 1.25\text{V}$	2.5	5	8.5	Ω	A
実効抵抗変動	最大出力電力 ~ 最小出力電力、 負荷 = 100Ω (対0V)			5	%	C
出力飽和電流	$R_L = 5\Omega \sim +30\text{V}$	1.4	1.8	3.1	A	A
出力電圧			-1.2		V	C
HV0/LV0信号パス - AC性能						
シングル・トーン出力周波数		1		100	MspS	B
2次高調波歪 (トランス・ブリッジ使用時)	$f = 5.0\text{MHz}$ の方形波、 $R_L = 100\Omega$ で2次コイルにトランスを使用して測定		35		dBc	C
t_r 出力立ち上がり時間	0V ~ +Voutの10%~90%、 図8		4.5		ns	C
t_f 出力立ち下がり時間	0V ~ -Voutの10%~90%、 図8		1		ns	C
t_{pr} , t_{pf} 伝播遅延	入力50% ~ 出力50%、 図8		30		ns	B
HV2/LV2信号パス - DC性能						
Pチャンネル						
実効抵抗、 $R_{DSon} + R_{diode}$	$HV2 = 30\text{V} \sim HV2 = 20\text{V}$	4.5	9	12.5	Ω	A
実効抵抗変動	最大出力電力 ~ 最小出力電力、 負荷 = 100Ω (対0V)			12%		C
出力飽和電流	$HV2 = 60\text{V}$; $R_L = 5\Omega \sim \text{GND}$	-4.1	-2.3	-1.8	A	A
出力電圧			28.5		V	C
Nチャンネル						
実効抵抗、 $R_{DSon} + R_{diode}$	$LV2 = -10\text{V} \sim LV2 = -12\text{V}$	1.5	4.5	7.5	Ω	A
実効抵抗変動	最大出力電力 ~ 最小出力電力、 負荷 = 100Ω (対0V)			4%		C
出力飽和電流	$LV2 = -60\text{V}$; $R_L = 5\Omega \sim \text{GND}$	2.4	3.0	5.0	A	A
出力電圧			-10.5		V	C
HV2/LV2信号パス - AC性能						
シングル・トーン出力周波数		1		100	MspS	B
2次高調波歪 (トランス・ブリッジ使用時)	$f = 5.0\text{MHz}$ の方形波、 $R_L = 100\Omega$ で2次コイルにトランスを使用して測定		50		dBc	C
t_r 出力立ち上がり時間	0V ~ +Voutの10%~90%、 図8		7.5		ns	C
t_f 出力立ち下がり時間	0V ~ -Voutの10%~90%、 図8		3		ns	C
t_{pr} , t_{pf} 伝播遅延	入力50%~出力50%、 図8		25		ns	B

(1) テスト・レベル：(A) 100%を 25°C でテスト。過熱制限は特性とシミュレーションで設定。(B) 制限は特性とシミュレーションで設定。
(C) 標準値は参考情報。

電気的特性

すべての仕様は、 $T_A = 0 \sim 85^\circ\text{C}$ 、 $V_{AA} = 2.5\text{V}$ 、 $V_{DD} = 5\text{V}$ 、 $V_{EE} = -5\text{V}$ 、 $HV0 = 1.9\text{V}$ 、 $LV0 = -1.9\text{V}$ 、 $HV2 = 32\text{V}$ 、 $LV2 = -11.9\text{V}$ 、 $HV1 = +61.1\text{V}$ 、 $LV1 = -20.9\text{V}$ 、 $VCW = 11\text{V}$ 、 $R_L = 100\Omega$ (対GND)(OUTA)、 $R_L = 100\Omega$ (対GND)(OUTB)での値です(特に記述のない限り)。各パラメータの結果はOUTAとOUTBの両方に適用可能であり、特に記述のない限り非ラッチ・モードを使用して測定されています。

パラメータ	測定条件	MIN	TYP	MAX	単位	テストレベル ⁽¹⁾
HV1/LV1信号バス - DC性能						
Pチャンネル						
実効抵抗、RDSon + Rdiode	HV1 = 60 V ~ HV1 = 50 V	2.5	7	12.5	Ω	A
実効抵抗変動	最大出力電力 ~ 最小出力電力、 負荷 = 100 Ω (対GND)			11%		C
出力飽和電流	HV1 = 60 V; $R_L = 5 \Omega \sim \text{GND}$	-4.1	-2.5	-2	A	A
出力電圧			58		V	C
Nチャンネル						
実効抵抗、RDSon + Rdiode	LV1 = -20 V ~ -10 V	1	2	4.5	Ω	A
実効抵抗変動	最大出力電力 ~ 最小出力電力、 負荷 = 100 Ω (対0V)			3%		C
出力飽和電流	LV1 = -60 V; $R_L = 5 \Omega \sim \text{GND}$	2.9	3.4	4.1	A	A
出力電圧			-20		V	C
HV1/LV1信号バス - AC性能						
シングル・トーン出力周波数		1		100	Msps	B
2次高調波歪(トランス・ブリッジ使用時)	f = 5.0MHzの方形波、 $R_L = 100\Omega$ で2次コイルにトランスを使用して測定		60		dBc	C
t_r 出力立ち上がり時間	0V ~ +Voutの10% ~ 90%、 図8		6.5		ns	C
t_f 出力立ち下がり時間	0V ~ -Voutの10% ~ 90%、 図8		3		ns	C
t_{pr} , t_{pf} 伝播遅延	入力50% ~ 出力50%、 図8		25		ns	B

(1) テスト・レベル：(A) 100%を25°Cでテスト。過熱制限は特性とシミュレーションで設定。(B) 制限は特性とシミュレーションで設定。
(C) 標準値は参考情報。

電気的特性

すべての仕様は、 $T_A = 0 \sim 85^\circ\text{C}$ 、 $V_{AA} = 2.5\text{V}$ 、 $V_{DD} = 5\text{V}$ 、 $V_{EE} = -5\text{V}$ 、 $HV0 = 1.9\text{V}$ 、 $LV0 = -1.9\text{V}$ 、 $HV2 = 32\text{V}$ 、 $LV2 = -11.9\text{V}$ 、 $HV1 = +61.1\text{V}$ 、 $LV1 = -20.9\text{V}$ 、 $VCW = 11\text{V}$ 、 $R_L = 100\Omega$ (対GND)(OUTA)、 $R_L = 100\Omega$ (対GND)(OUTB)での値です(特に記述のない限り)。各パラメータの結果はOUTAとOUTBの両方に適用可能であり、特に記述のない限り非ラッチ・モードを使用して測定されています。

パラメータ	測定条件	MIN	TYP	MAX	単位	テストレベル ⁽¹⁾
CW信号バス - DC性能						
Pチャンネル						
実効抵抗、RDSon + Rdiode	VCW = 4.5 V ~ 5.5 V	9	21	31	Ω	A
実効抵抗変動	最大出力電力 ~ 最小出力電力、 負荷 = 100 Ω (対0V)			30%		C
出力飽和電流	$R_L = 5 \Omega \sim -20 \text{ V}$	-0.16	-0.12	-0.06	A	A
出力電圧Voltage			8		V	C
Nチャンネル						
実効抵抗、RDSon + Rdiode	OUTX = 1 V ~ 2 V	9	14	18	Ω	A
実効抵抗変動	最大出力電力 ~ 最小出力電力、 負荷 = 100 Ω (対0V)			10%		C
出力飽和電流	$R_L = 5 \Omega \sim 20 \text{ V}$	0.29	0.35	0.44	A	A
出力電圧			30		mV	C

(1) テスト・レベル：(A) 100%を25°Cでテスト。過熱制限は特性とシミュレーションで設定。(B) 制限は特性とシミュレーションで設定。
(C) 標準値は参考情報。

電気的特性

すべての仕様は、 $T_A = 0 \sim 85^\circ\text{C}$ 、 $V_{AA} = 2.5\text{V}$ 、 $V_{DD} = 5\text{V}$ 、 $V_{EE} = -5\text{V}$ 、 $HV0 = 1.9\text{V}$ 、 $LV0 = -1.9\text{V}$ 、 $HV2 = 32\text{V}$ 、 $LV2 = -11.9\text{V}$ 、 $HV1 = +61.1\text{V}$ 、 $LV1 = -20.9\text{V}$ 、 $V_{CW} = 11\text{V}$ 、 $R_L = 100\Omega$ (対GND)(OUTA)、 $R_L = 100\Omega$ (対GND)(OUTB)での値です(特に記述のない限り)。各パラメータの結果はOUTAとOUTBの両方に適用可能であり、特に記述のない限り非ラッチ・モードを使用して測定されています。

パラメータ	測定条件	MIN	TYP	MAX	単位	テストレベル ⁽¹⁾
CW信号バス - AC性能⁽²⁾						
シングル・トーン出力周波数		0.5		10	MHz	B
2次高調波歪	$f = 1\text{MHz}$ 、 $R_L = 100\Omega$ で2次コイルにトランスを使用して測定		47		dBc	C
	$f = 5\text{MHz}$ 、 $R_L = 100\Omega$ で2次コイルにトランスを使用して測定		33		dBc	C
スルー・レート+ (正エッジ)	V_{outpp} の20%~80%、 $R_L = 100\Omega$ で2次コイルにトランスを使用して測定		0.6		V/ns	C
スルー・レート- (負エッジ)			0.45		V/ns	C
t_r 出力立ち上がり時間	0V ~ +Voutの10% ~ 90%、 図8		30		ns	C
t_f 出力立ち下がり時間	0V ~ -Voutの10% ~ 90%、 図8		10		ns	C
t_{pr} , t_{pf} 伝播遅延 Delay	入力50% ~ 出力50%、 図8		25		ns	B
PチャンネルのAC結合ゲート駆動時定数		10	20	30	μs	C
CW入力特性						
High入力電圧		1.05			V	B
Low入力電圧			0.35		V	B
Low入力電流	$CW_{INX} = 0\text{V}$		0	1	μA	B
High入力電流	$CW_{INX} = 5.0\text{V}$		25	40	μA	B
入力ゲート電荷	$CW_{INX} = 0\text{V} \sim 5.0\text{V}$ または $5.0\text{V} \sim 0\text{V}$		550		pC	C
論理特性 - INNxx、INPxx、EN\、PDM\、PCLKINピン						
入力容量	INNxx, INPxx, PCLKIN @ 10 MHz		6		pF	C
	EN @ 10 MHz		9			
	PDM\ @ 10 MHz		4			
論理High入力電圧	$V_{AA} = 2.375\text{V} \sim 3.6\text{V}$	$0.55 \cdot V_{AA}$		V_{AA}	V	B
論理Low入力電圧	$V_{AA} = 2.375\text{V} \sim 3.6\text{V}$	0		0.8	V	B
論理Low入力電流			0.2	10	μA	B
論理High入力電流			0.2	10	μA	B
最小クロック周期、 t_{per}	図9、PCLKIN		10		ns	B
最小クロックHigh時間、 t_{min}	図9、PCLKIN		2.0		ns	B
t_s セットアップ時間	図9、PCLKIN、INNxx、INPxx		0		ns	B
t_h ホールド時間	図9、PCLKIN、INNxx、INPxx		1.5		ns	B
出力特性						
出力抵抗	パワーダウン・モード(Hi-Z出力)、 $V_{TEST} = 20\text{V}$		1		G Ω	C
出力容量	パワーダウン・モード(Hi-Z出力)、 @1~100MHz		165		pF	C
リーク電流	パワーダウン・モード(Hi-Z出力)、 $V_{TEST} = 0\text{V}$		0.001	10	μA	A
内部ゲート電荷特性						
入力ゲート電荷 ⁽³⁾	HV0/LV0内部FETゲートをVEEからVDD、 またはVDDからVEEに駆動		3.5		nC	C
	HV1/LV1内部FETゲートをVEEからVDD、 またはVDDからVEEに駆動		4.6		nC	C
	HV2/LV2内部FETゲートをVEEからVDD、 またはVDDからVEEに駆動		7		nC	C

(1) テスト・レベル：(A) 100%を25°Cでテスト。過熱制限は特性とシミュレーションで設定。(B) 制限は特性とシミュレーションで設定。

(C) 標準値は参考情報。

(2) TX517のCW出力は相補型です。したがって、CW出力をイネーブルにするにはトランスが必要です。

(3) 入力ゲート電荷は、特定の出力の内部FETゲートをLowからHigh状態またはHighからLow状態へと変化させるのに必要な電荷の量です。各ゲート電荷値は、出力のP型FETとN型FETの両方に適用されます。これらの値を使用して、内部FETを特定のサンプリング・レートでスイッチングするためにVDDおよびVEE電源に供給する必要がある、動的電流の大きさを見積もることができます。

電気的特性

すべての仕様は、 $T_A = 0 \sim 85^\circ\text{C}$ 、 $V_{AA} = 2.5\text{V}$ 、 $V_{DD} = 5\text{V}$ 、 $V_{EE} = -5\text{V}$ 、 $HV0 = 1.9\text{V}$ 、 $LV0 = -1.9\text{V}$ 、 $HV2 = 32\text{V}$ 、 $LV2 = -11.9\text{V}$ 、 $HV1 = +61.1\text{V}$ 、 $LV1 = -20.9\text{V}$ 、 $V_{CW} = 11\text{V}$ 、 $R_L = 100\Omega$ (対GND)(OUTA)、 $R_L = 100\Omega$ (対GND)(OUTB)での値です(特に記述のない限り)。各パラメータの結果はOUTAとOUTBの両方に適用可能であり、特に記述のない限り非ラッチ・モードを使用して測定されています。

パラメータ	測定条件	MIN	TYP	MAX	単位	テスト・レベル ⁽¹⁾
電源						
合計静止電流(PWモード)、電源VDD	INPxx = 1, INNxx = 0, PCLKIN = 0または1		13	15	mA	A
合計静止電流(PWモード)、電源VEE	INPxx = 1, INNxx = 0, PCLKIN = 0または1	-10	-8		mA	A
合計静止電流(PWモード)、電源VAA	INPxx = 1, INNxx = 0, PCLKIN = 0または1	-3	-2		mA	A
動的消費電流(PWモード)、電源VDD	入力パターン = 10サイクルの方形波、該当信号パス上で10Msps(5MHz)、デューティ・サイクル5%。負荷 = トランスおよび100Ωの差動負荷、図10を参照。	HV0/LV0	17	23	mA	B
		HV1/LV1	18	23		
		HV2/LV2	20.5	23		
動的消費電流(PWモード)、電源VEE	入力パターン = 10サイクルの方形波、該当信号パス上で10Msps(5MHz)、デューティ・サイクル5%。負荷 = トランスおよび100Ωの差動負荷、図10を参照。	HV0/LV0	-15	-10	mA	B
		HV1/LV1	-15	-10.5		
		HV2/LV2	-15	-12.5		
動的消費電流(PWモード)、電源VAA	入力パターン = 10サイクルの方形波、該当信号パス上で10Msps(5MHz)、デューティ・サイクル5%。負荷 = トランスおよび100Ωの差動負荷、図10を参照。	HV0/LV0	-4	-2.3	mA	B
		HV1/LV1	-4	-2.5		
		HV2/LV2	-4	-2.5		
動的消費電流(PWモード)、電源HV0	入力パターン = 10サイクルの方形波、該当信号パス上で10Msps(5MHz)、デューティ・サイクル5%。負荷 = トランスおよび100Ωの差動負荷、図10を参照。		2	4	mA	B
動的消費電流(PWモード)、電源LV0	入力パターン = 10サイクルの方形波、該当信号パス上で10Msps(5MHz)、デューティ・サイクル5%。負荷 = トランスおよび100Ωの差動負荷、図10を参照。	-3.5	-2		mA	B
動的消費電流(PWモード)、電源HV1	入力パターン = 10サイクルの方形波、該当信号パス上で10Msps(5MHz)、デューティ・サイクル5%。負荷 = トランスおよび100Ωの差動負荷、図10を参照。		41	60	mA	B
動的消費電流(PWモード)、電源LV1	入力パターン = 10サイクルの方形波、該当信号パス上で10Msps(5MHz)、デューティ・サイクル5%。負荷 = トランスおよび100Ωの差動負荷、図10を参照。	-55	-41		mA	B
動的消費電流(PWモード)、電源HV2	入力パターン = 10サイクルの方形波、該当信号パス上で10Msps(5MHz)、デューティ・サイクル5%。負荷 = トランスおよび100Ωの差動負荷、図10を参照。		22	60	mA	B
動的消費電流(PWモード)、電源LV2	入力パターン = 10サイクルの方形波、該当信号パス上で10Msps(5MHz)、デューティ・サイクル5%。負荷 = トランスおよび100Ωの差動負荷、図10を参照。	-35	-22		mA	B
デバイスのみの合計消費電力(PWモード)	入力パターン = 10サイクルの方形波、該当信号パス上で10Msps、デューティ・サイクル5%。負荷 = トランスおよび100Ωの差動負荷、図10を参照。	HV0/LV0	0.15	0.25	W	B
		HV1/LV1	1.1	1.7		
		HV2/LV2	0.6	0.8		
動的消費電流(CWモード)、電源VCWA + VCWB	入力パターン = 10サイクルの方形波、CW信号パス上で10Msps、デューティ・サイクル100%。負荷 = トランスおよび100Ωの差動負荷、図10を参照。EN\ = 0または1, PCLKIN = 0または1		62	100	mA	B
デバイスのみの合計消費電力(CWモード)	入力パターン = 10サイクルの方形波、該当信号パス上で10Msps(5MHz)、デューティ・サイクル100%。負荷 = トランスおよび100Ωの差動負荷、図10を参照。EN\ = 0または1, PCLKIN = 0または1		310	400	mW	B
電源(HVx、LVx)スルー・レート制限				10	V/ms	B
パワーダウン特性						
パワーダウン時消費電力	パワーダウン・モード(Hi-Z出力)、PDM\ = 0, INPxx = 1, INNxx = 0, PCLKIN = 0または1		3	15	mW	A

(1) テスト・レベル：(A)100%を25°Cでテスト。過熱制限は特性とシミュレーションで設定。(B)制限は特性とシミュレーションで設定。(C)標準値は参考情報。

電気的特性(任意のレベルから任意のレベルへの遷移 - 17レベル出力、289通りの遷移⁽¹⁾)

すべての仕様は、 $T_A = 0\sim 85^\circ\text{C}$ 、 $V_{AA} = 2.5\text{V}$ 、 $V_{DD} = 5\text{V}$ 、 $V_{EE} = -5\text{V}$ 、 $HV0 = 1.9\text{V}$ 、 $LV0 = -1.9\text{V}$ 、 $HV2 = 32\text{V}$ 、 $LV2 = -11.9\text{V}$ 、 $HV1 = +61.1\text{V}$ 、 $LV1 = -20.9\text{V}$ 、 $V_{CW} = 11\text{V}$ 、 $R_L = 100\Omega$ (対GND)(OUTA)、 $R_L = 100\Omega$ (対GND)(OUTB)での値です(特に記述のない限り)。

パラメータ	測定条件	MIN	TYP	MAX	単位	テスト・レベル ⁽²⁾
パワーアップ/ダウン・タイミング						
パワーダウン時間			100		ns	C
パワーアップ時間			100		ns	C
HVX/LVX信号バス - AC性能						
平均正規化出力立ち上がり時間	0~1の10%~90%、20MHz		5		ns	C
平均遅延 (最初のサンプルのクロック・エッジを基準)	0-20 MHz		23		ns	C
遅延の標準偏差	0-20 MHz		1.2		ns	C
位相の標準偏差	5 MHz		0.01		サイクル	C
	20 MHz		0.03		サイクル	C
ゲインの標準偏差	5 MHz		4		%	C
	20 MHz		8		%	C

(1) これらのパラメータは、17の可能な状態のうちの一つから、他のすべての可能な状態までの間、差動出力上で測定されます。したがって、 $17 \times 17 = 289$ 通りの遷移があります。

(2) テスト・レベル：(A)100%を25°Cでテスト。過熱制限は特性とシミュレーションで設定。(B)制限は特性とシミュレーションで設定。(C)標準値は参考情報。

標準的特性

すべての仕様は、 $T_A = 25^\circ\text{C}$ 、 $V_{AA} = +2.5\text{V}$ 、 $V_{DD} = +5\text{V}$ 、 $V_{EE} = -5\text{V}$ 、 $HV0 = 1.9\text{V}$ 、 $LV0 = -1.9\text{V}$ 、 $HV2 = 32\text{V}$ 、 $LV2 = -11.9\text{V}$ 、 $HV1 = +61.1\text{V}$ 、 $LV1 = -20.9\text{V}$ 、 $V_{CW} = 11\text{V}$ 、 $R_L = 100\Omega$ (対GND)(OUTA)、 $R_L = 100\Omega$ (対GND)(OUTB)での値です(特に記述のない限り)。

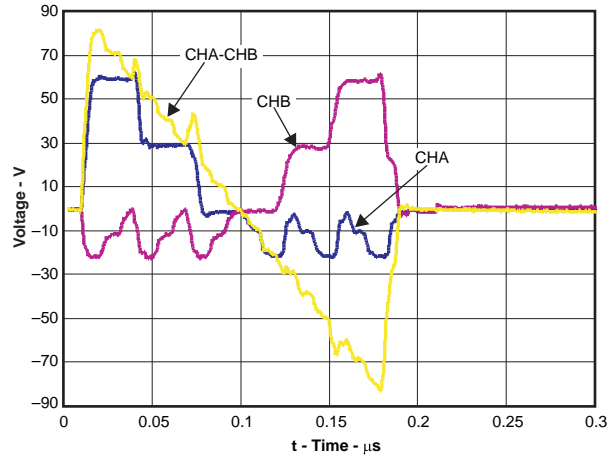


図 1. 17レベル出力、パルス幅10ns (100MSPS)

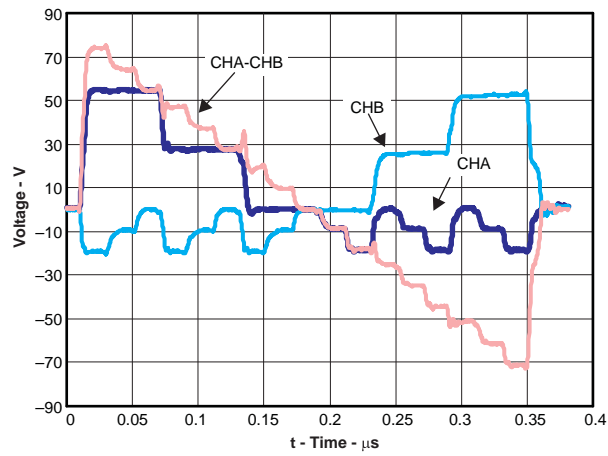


図 2. 17レベル出力、パルス幅20ns (50MSPS)

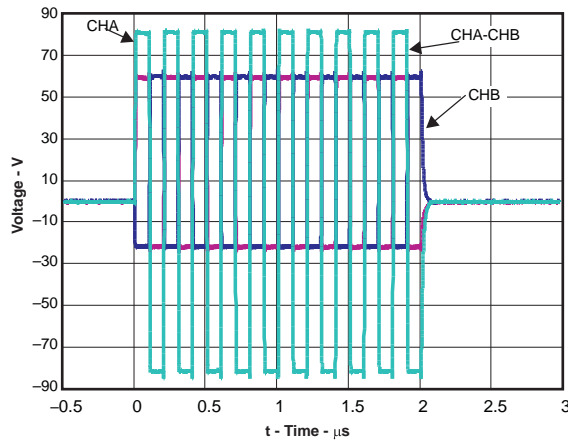


図 3. 5MHz、3レベル、10サイクル出力

標準的特性

すべての仕様は、 $T_A = 25^\circ\text{C}$ 、 $V_{AA} = +2.5\text{V}$ 、 $V_{DD} = +5\text{V}$ 、 $V_{EE} = -5\text{V}$ 、 $HV0 = 1.9\text{V}$ 、 $LV0 = -1.9\text{V}$ 、 $HV2 = 32\text{V}$ 、 $LV2 = -11.9\text{V}$ 、 $HV1 = +61.1\text{V}$ 、 $LV1 = -20.9\text{V}$ 、 $V_{CW} = 11\text{V}$ 、 $R_L = 100\Omega$ (対GND)(OUTA)、 $R_L = 100\Omega$ (対GND)(OUTB)での値です(特に記述のない限り)。

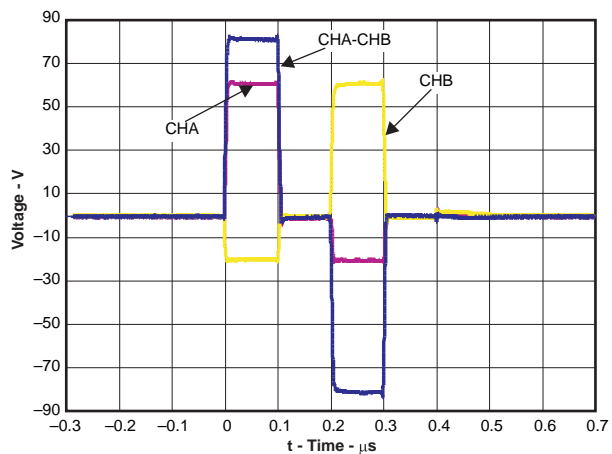


図 4. 3レベル出力、パルス幅100ns(10MSPS)

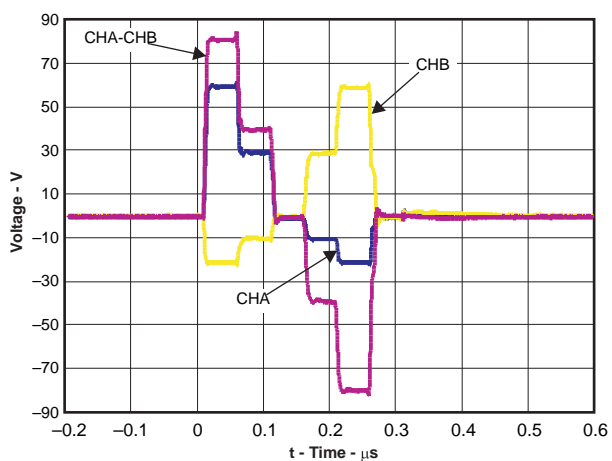


図 5. 5MHz、5レベル出力

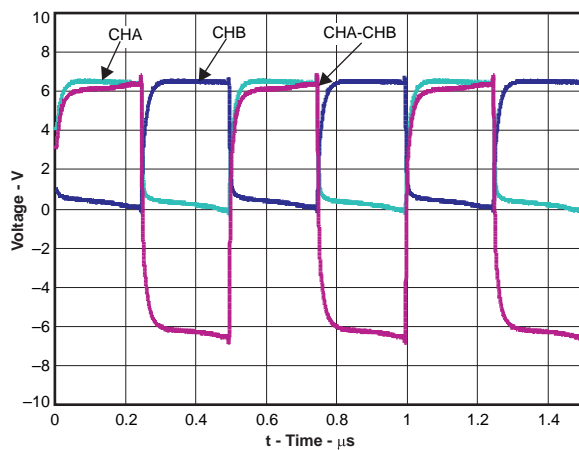


図 6. 2MHz、CW出力

アプリケーション情報

説明	\overline{EN}	\overline{PDM}	PCLKIN	CWINA	CWINB	INPxx ⁽¹⁾	INNxx ⁽¹⁾
パワーダウン (Hi-Z出力)	1	0	x ⁽²⁾	0	0	1	0
CWモード	x	0	x	0/1	1/0	1	0
非ラッチ・モード	1	1	x	0	0	0/1	0/1
ラッチ・モード	0	1	0/1	0	0	0/1	0/1

表 1. 真理値表

- TX517の入力を駆動するロジック・デバイスは、貫通障害状態を防止する手段を備えている必要があります。同じ出力(OUTAまたはOUTB)上で同時に、INP入力がLow(0)、INN入力がHigh(1)になるような入力組み合わせは、TX517に恒久的な損傷を与える可能性があります。禁止論理状態の表も参照してください。表3は、TX517のデータ入力INPxxおよびINNxxを適切に駆動する方法の例を示しています。
- X = Don't care状態。ただし、過度の電力消費を防ぐため、未使用の入力はすべてHighまたはLowに固定することを推奨します。デバイスの論理入力は、内部に固定接続を備えていません。

説明	\overline{EN}	\overline{PDM}	PCLKIN	CWINA	CWINB	INPxA	INNxA	INPxB	INNxB
禁止モード1 ⁽¹⁾	x	x	x	x	x	0	1	x	x
禁止モード2 ⁽¹⁾	x	x	x	x	x	x	x	0	1
禁止モード3 ⁽²⁾	x	0	x	x	x	x	1	x	x
禁止モード4 ⁽²⁾	x	0	x	x	x	x	x	x	1
禁止モード5 ⁽²⁾	x	0	x	x	x	0	x	x	x
禁止モード6 ⁽²⁾	x	0	x	x	x	x	x	0	x
禁止モード7 ⁽³⁾	0	x	0	x	x	x	x	x	x

表 2. 禁止論理状態

- この論理状態は、貫通障害状態を引き起こし、TX517に恒久的な損傷を与える可能性があります。
- この論理状態は、TX517の内部論理回路に高消費電力状態を生じさせ、TX517の長期的な信頼性を損ねる可能性があります。
- この禁止論理状態は、DC状態にのみ有効です。つまり、 \overline{EN} がLowのときにPCLKINをLowに保持することはできません。その場合、TX517の内部論理回路に高消費電力状態が生じます。ただし、 \overline{EN} をLowにして、PCLKINに対する推奨動作条件下でクロック波形によりPCLKINを駆動することは可能です。

出力レベル	INP0A	INP2A	INP1A	INP1B	INP2B	INP0B	INN0A	INN2A	INN1A	INN1B	INN2B	INN0B
8	0	0	1	0	0	0	0	0	0	1	0	0
7	0	0	1	0	0	0	0	0	0	0	1	0
6	0	0	1	0	0	1	0	0	0	0	0	1
5	0	1	0	0	0	0	0	0	0	1	0	0
4	0	1	0	0	0	0	0	0	0	0	1	0
3	0	1	0	0	0	1	0	0	0	0	0	1
2	1	0	0	0	0	0	1	0	0	1	0	0
1	1	0	0	0	0	0	1	0	0	0	1	0
0	1	0	0	0	0	1	1	0	0	0	0	1
-1	0	0	0	0	0	1	0	1	0	0	0	1
-2	0	0	0	0	0	1	0	0	1	0	0	1
-3	1	0	0	0	1	0	1	0	0	0	0	0
-4	0	0	0	0	1	0	0	1	0	0	0	0
-5	0	0	0	0	1	0	0	0	1	0	0	0
-6	1	0	0	1	0	0	1	0	0	0	0	0
-7	0	0	0	1	0	0	0	1	0	0	0	0
-8	0	0	0	1	0	0	0	0	1	0	0	0
オフ状態	0	0	0	0	0	0	0	0	0	0	0	0

表 3. 17レベル出力の入力データ・セットの例⁽¹⁾

- 表に記載の各レベルはアクティブ・ハイです。チップを駆動する前に、P信号を反転する必要があります。この注記は、この「17レベル出力の入力データ・セットの例」の表にのみ該当するものです。

	1	2	3	4
パワーアップ	Driver Supplies(V _{EE} , V _{AA} , V _{DD})	LV1	HV1	ドライバ電源 (V _{EE} , V _{AA} , V _{DD})
パワーダウン	VCW, HV2, HV0, LV0, LV2	HV1	LV1	ドライバ電源 (V _{DD} , V _{AA} , V _{EE})

表 4. 電源シーケンス

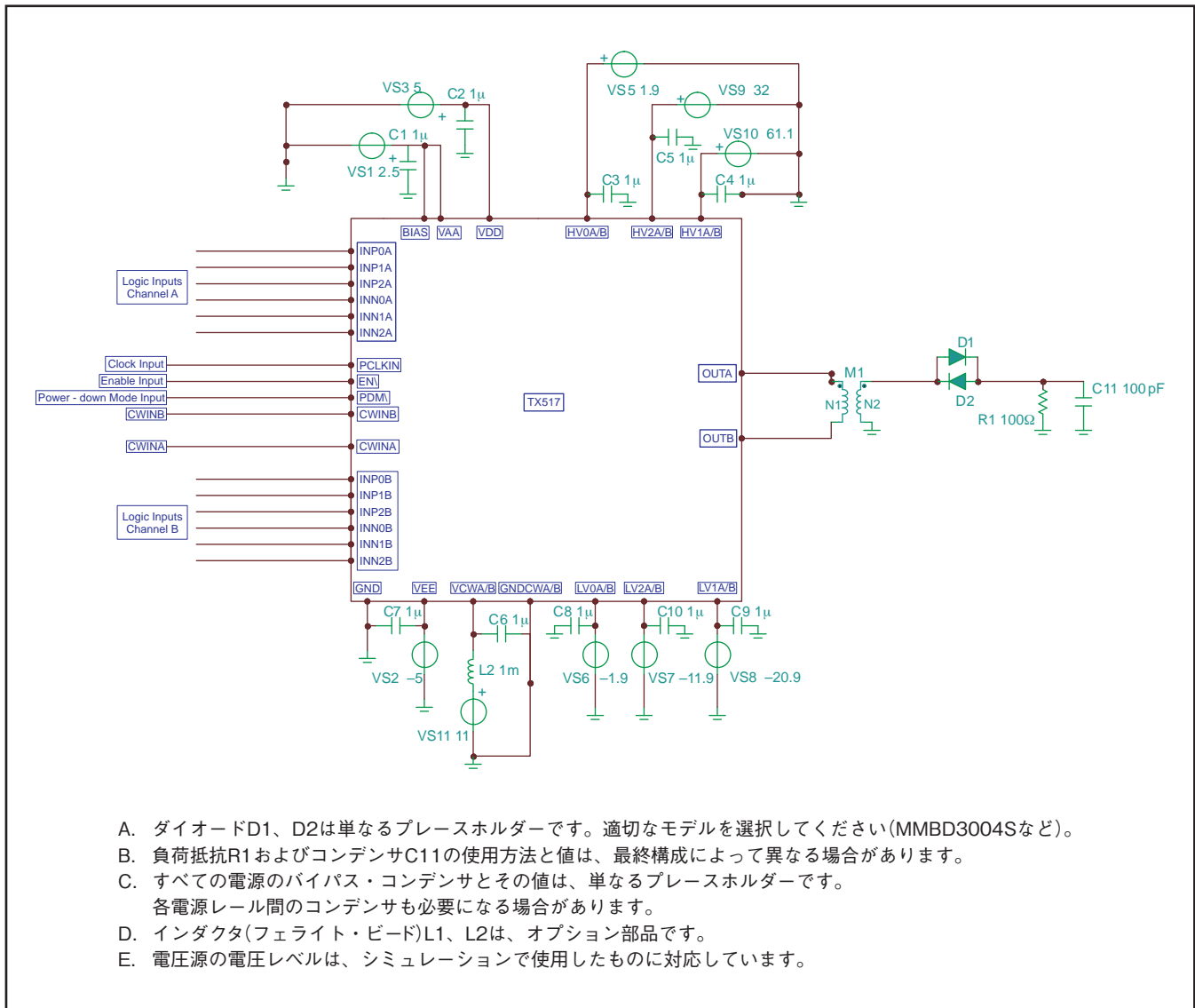
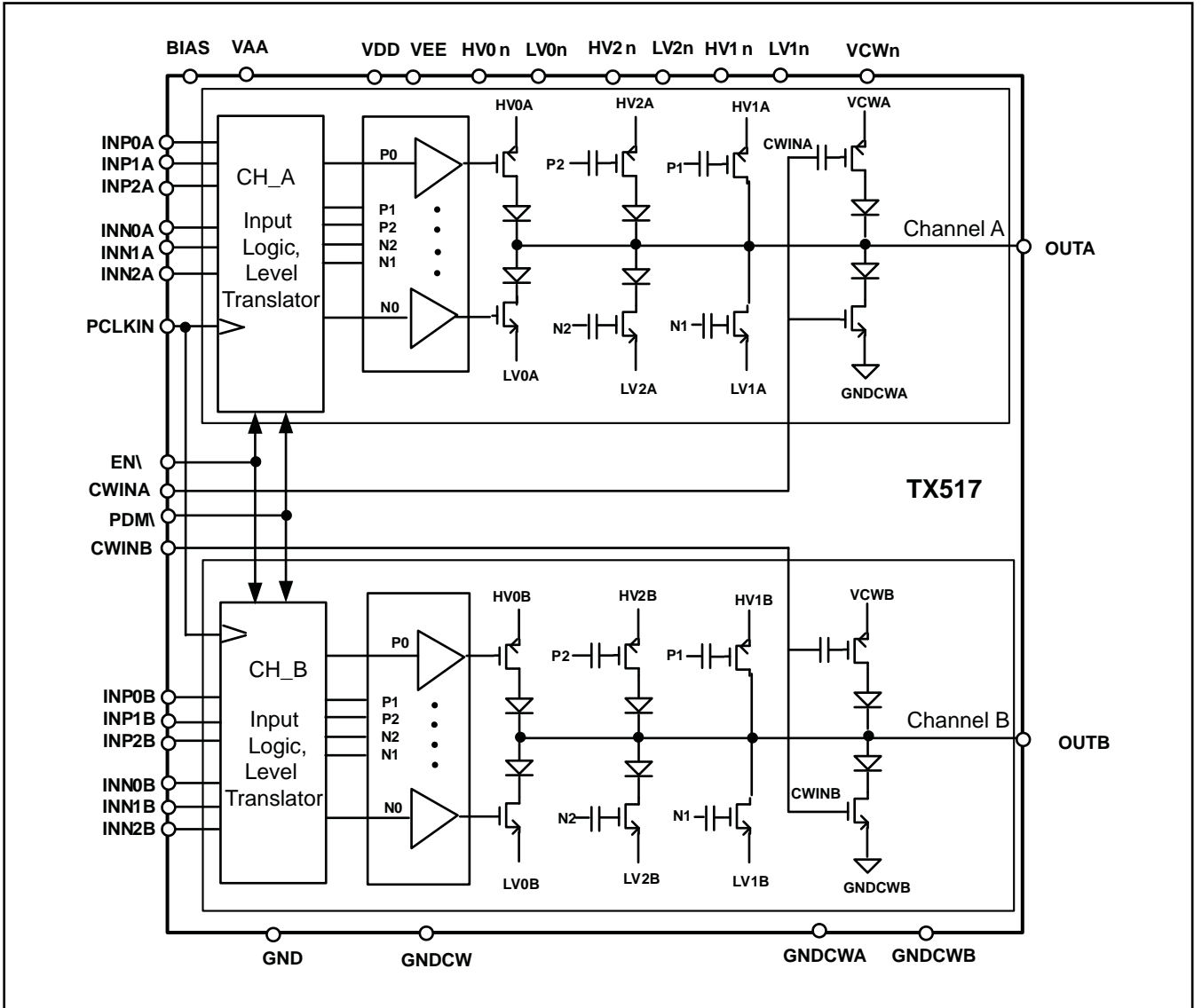


図 7. 標準デバイス構成

ブロック図



タイミング関連情報

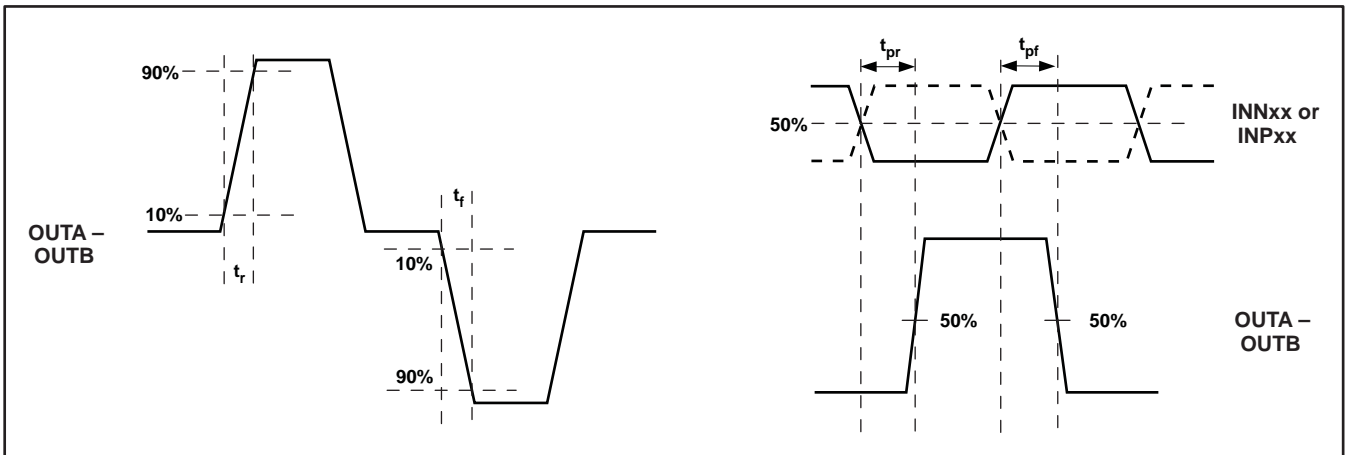


図 8. 出力タイミング情報

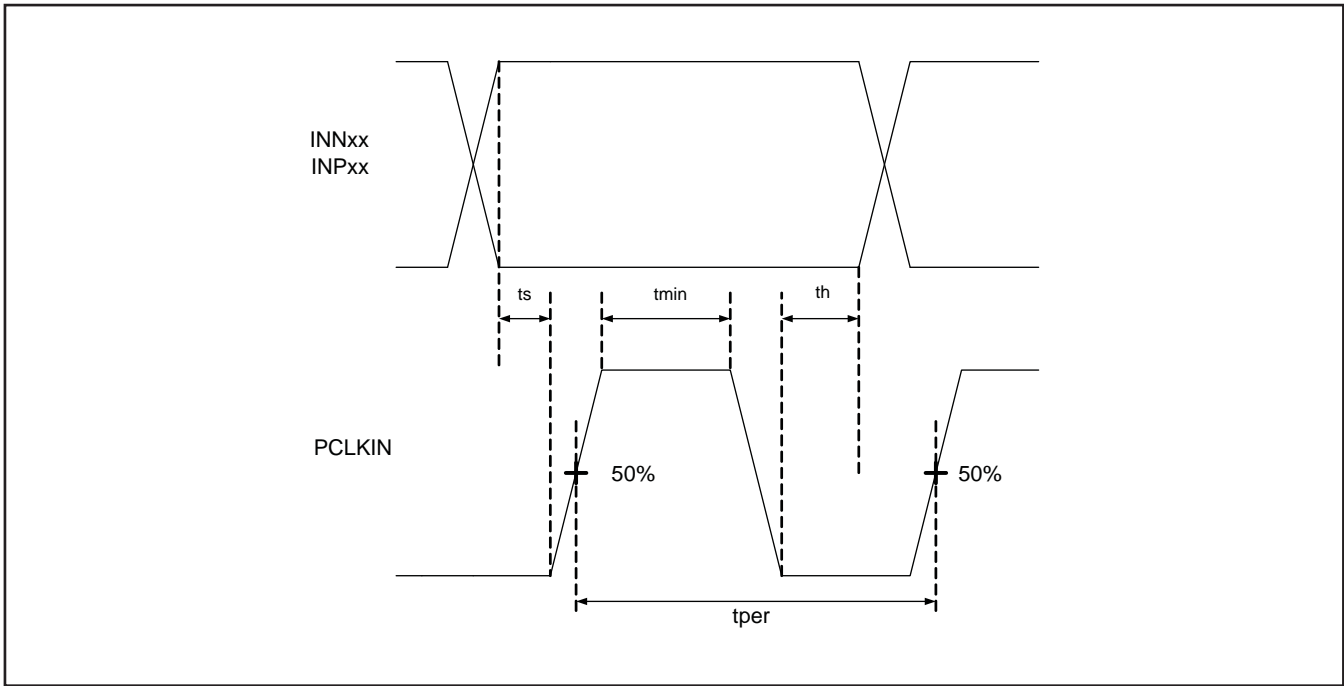
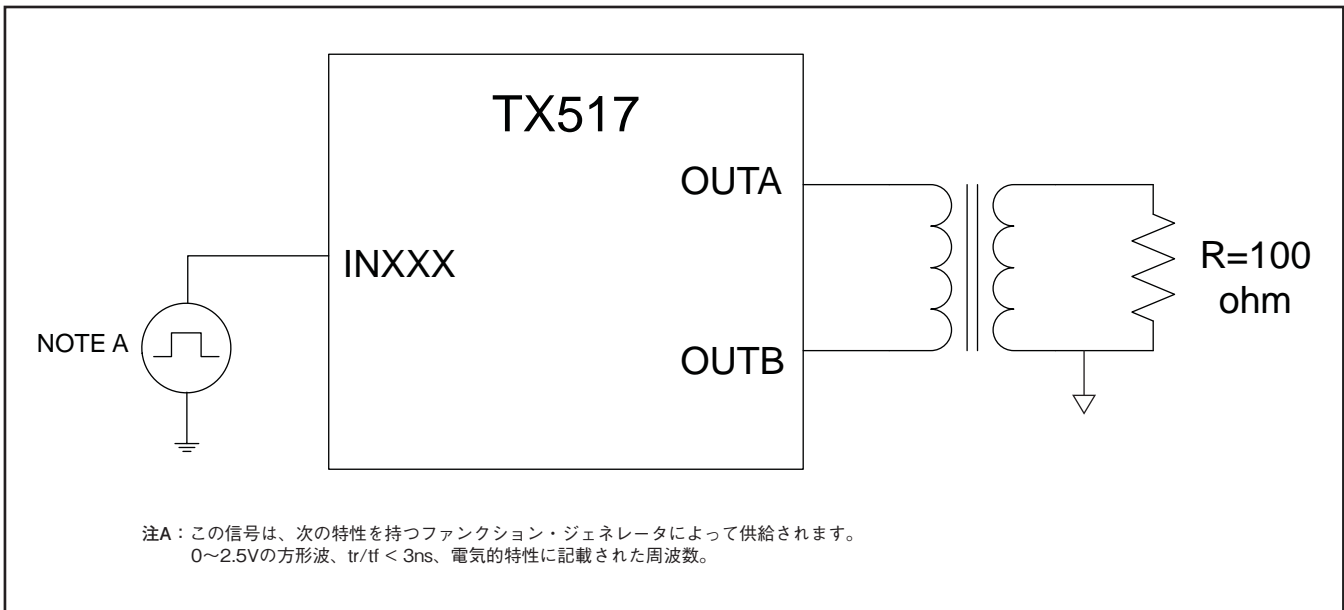


図 9. ラッチ・モードのタイミング波形



注A: この信号は、次の特性を持つファンクション・ジェネレータによって供給されます。
 0~2.5Vの方形波、tr/tf < 3ns、電気的特性に記載された周波数。

図 10. 消費電力テスト用の負荷

パッケージ情報

製品情報

Orderable Device	Status ⁽¹⁾	Package Type	Package Drawing	Pins	Package Qty	Eco Plan ⁽²⁾	Lead/Ball Finish	MSL Peak Temp ⁽³⁾	Samples (Requires Login)
TX517IZCQ	ACTIVE	NFBGA	ZCQ	144	160	Green (RoHS & no Sb/Br)	SNAGCU	Level-3-260C-168 HR	

⁽¹⁾ マーケティング・ステータスは次のように定義されています。

ACTIVE: 製品デバイスが新規設計用に推奨されています。

LIFEBUY: TIによりデバイスの生産中止予定が発表され、ライフタイム購入期間が有効です。

NRND: 新規設計用に推奨されていません。デバイスは既存の顧客をサポートするために生産されていますが、TIでは新規設計にこの部品を使用することを推奨していません。

PREVIEW: デバイスは発表済みですが、まだ生産が開始されていません。サンプルが提供される場合と、提供されない場合があります。

OBSOLETE: TIによりデバイスの生産が中止されました。

⁽²⁾ エコ・プラン - 環境に配慮した製品分類プランであり、Pb-Free (RoHS)、Pb-Free (RoHS Expert) および Green (RoHS & no Sb/Br) があります。最新情報および製品内容の詳細については、<http://www.ti.com/productcontent> でご確認ください。

TBD: Pb-Free/Green 変換プランが策定されていません。

Pb-Free (RoHS): TIにおける“Lead-Free”または“Pb-Free”(鉛フリー)は、6つの物質すべてに対して現在のRoHS要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が0.1%を超えないという要件も含まれます。高温で半田付けするように設計されている場合、TIの鉛フリー製品は指定された鉛フリープロセスでの使用に適しています。

Pb-Free (RoHS Exempt): この部品は、1) ダイとパッケージの間に鉛ベースの半田バンプ使用、または 2) ダイとリードフレーム間に鉛ベースの接着剤を使用、が除外されています。それ以外は上記の様にPb-Free (RoHS) と考えられます。

Green (RoHS & no Sb/Br): TIにおける“Green”は、“Pb-Free”(RoHS互換)に加えて、臭素 (Br) およびアンチモン (Sb) をベースとした難燃材を含まない (均質な材質中のBrまたはSb重量が0.1%を超えない) ことを意味しています。

⁽³⁾ MSL、ピーク温度 -- JEDEC業界標準分類に従った耐湿性レベル、およびピーク半田温度です。

重要な情報および免責事項: このページに記載された情報は、記載された日付時点でのTIの知識および見解を表しています。TIの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行わないものではありません。第三者からの情報をより良く統合するための努力は続けております。TIでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。TIおよびTI製品の供給者は、特定の情報を機密情報として扱っているため、CAS番号やその他の制限された情報が公開されない場合があります。

TIは、いかなる場合においても、かかる情報により発生した損害について、TIがお客様に1年間に販売した本書記載の問題となった TIパーツの購入価格の合計金額を超える責任を負いかねます。

(SBOS564A)

ご注意

Texas Instruments Incorporated 及びその関連会社 (以下総称して TI といいます) は、最新の JESD46 に従いその半導体製品及びサービスを修正し、改善、改良、その他の変更をし、又は最新の JESD48 に従い製品の製造中止またはサービスの提供を中止する権利を留保します。お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての半導体製品は、ご注文の受諾の際に提示される TI の標準販売契約約款に従って販売されます。

TI は、その製品が、半導体製品に関する TI の標準販売契約約款に記載された保証条件に従い、販売時の仕様に対応した性能を有していることを保証します。検査及びその他の品質管理技法は、TI が当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、適用される法令によってそれ等の実行が義務づけられている場合を除き、必ずしも行なわれておりません。

TI は、製品のアプリケーションに関する支援又はお客様の製品の設計について責任を負うことはありません。TI 製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI 製部品を使用したお客様の製品及びアプリケーションに関連する危険を最小のものとするため、適切な設計上及び操作上の安全対策は、お客様にてお取り下さい。

TI は、TI の製品又はサービスが使用されている組み合わせ、機械装置、又は方法に関連している TI の特許権、著作権、回路配置利用権、その他の TI の知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TI が第三者の製品もしくはサービスについて情報を提供することは、TI が当該製品又はサービスを使用することについてライセンスを与えるとか、保証又は是認するということを含みません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない、又は TI の特許その他の知的財産権に基づき TI からライセンスを得なければならない場合があります。

TI のデータ・ブック又はデータ・シートの中にある情報の重要な部分の複製は、その情報に一切の変更を加えること無く、且つその情報と関連する全ての保証、条件、制限及び通知と共になされる限りにおいてのみ許されるものとします。TI は、変更が加えられて文書化されたものについては一切責任を負いません。第三者の情報については、追加的な制約に服する可能性があります。

TI の製品又はサービスについて TI が提示したパラメーターと異なる、又は、それを超えてなされた説明で当該 TI 製品又はサービスを再販売することは、関連する TI 製品又はサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、且つ不公正で誤認を生じさせる行為です。TI は、そのような説明については何の義務も責任も負いません。

TI からのアプリケーションに関する情報提供又は支援の一切に拘わらず、お客様は、ご自身の製品及びご自身のアプリケーションにおける TI 製品の使用に関する法的責任、規制、及び安全に関する要求事項の全てにつき、これをご自身で遵守する責任があることを認め、且つそのことに同意します。お客様は、想定される不具合がもたらす危険な結果に対する安全対策を立案し実行し、不具合及びその帰結を監視し、害を及ぼす可能性のある不具合の可能性を低減し、及び、適切な治癒措置を講じるために必要な専門的知識の一切を自ら有することを表明し、保証します。お客様は、TI 製品を安全でないことが致命的となるアプリケーションに使用したことから生じる損害の一切につき、TI 及びその代表者にその全額の補償をするものとします。

TI 製品につき、安全に関連するアプリケーションを促進するために特に宣伝される場合があります。そのような製品については、TI が目的とするところは、適用される機能上の安全標準及び要求事項を満たしたお客様の最終製品につき、お客様が設計及び製造ができるようお手伝いをすることにあります。それにも拘わらず、当該 TI 製品については、前のパラグラフ記載の条件の適用を受けるものとします。

FDA クラス III (又は同様に安全でないことが致命的となるような医療機器) への TI 製品の使用は、TI とお客様双方の権限ある役員の間で、そのような使用を行う際について規定した特殊な契約書を締結した場合を除き、一切認められていません。

TI が軍需対応グレード品又は「強化プラスチック」製品として特に指定した製品のみが軍事用又は宇宙航空用アプリケーション、若しくは、軍事的環境又は航空宇宙環境にて使用されるように設計され、かつ使用されることを意図しています。お客様は、TI がそのように指定していない製品を軍事用又は航空宇宙用に使う場合は全てご自身の危険負担において行うこと、及び、そのような使用に関して必要とされるすべての法的要求事項及び規制上の要求事項につきご自身のみの責任により満足させることを認め、且つ同意します。

TI には、主に自動車用に使われることを目的として、ISO/TS 16949 の要求事項を満たしているとして特別に指定した製品があります。当該指定を受けていない製品については、自動車用に使われるようには設計されてもいませんし、使用されることを意図しておりません。従いまして、前記指定品以外の TI 製品が当該要求事項を満たしていなかったことについては、TI はいかなる責任も負いません。

Copyright © 2014, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位 (外装から取り出された内装及び個装) 又は製品単体で取り扱いを行う場合は、接地された導電性のテーブル上で (導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。(但し、結露しないこと。)

- 直射日光が当たる状態で保管・輸送しないこと。

3. 防湿梱包

- 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。

4. 機械的衝撃

- 梱包品 (外装、内装、個装) 及び製品単体を落下させたり、衝撃を与えないこと。

5. 熱衝撃

- はんだ付け時は、最低限 260℃ 以上の高温状態に、10 秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)

6. 汚染

- はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質 (硫黄、塩素等ハロゲン) のある環境で保管・輸送しないこと。
- はんだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上