

## uA9638C、デュアル、高速、差動ラインドライバ

### 1 特長

- ANSI 規格 EIA/TIA-422-B を満たすか上回る
- 5V 単一電源で動作
- 最小 50Ω の負荷を最大 15Mbps で駆動
- TTL および CMOS 入力互換
- 出力短絡保護
- DS9638 と交換可能

### 2 アプリケーション

- ファクトリオートメーション
- ATM / キャッシュカウンタ
- スマートグリッド
- AC / サーボモータードライブ

### 3 概要

uA9638 は、ANSI 標準 EIA/TIA-422-B を満たすように設計されたデュアル高速差動ラインドライバです。入力は TTL および CMOS 互換であり、入力クランプダイオードを備えています。伝搬遅延時間を最小化するため、ショットキーダイオードでクランプされたトランジスタを使用しています。このデバイスは 5V 単一電源で動作し、8 ピンパッケージで供給されます。

uA9638 は、低インピーダンス負荷を高速で駆動するために必要な電流を出力します。通常、ツイストペアケーブルおよび差動レシーバと組み合わせて使用することで、適切に設計されたシステムにおいて、最大 15Mbps 以上のベースバンドデータ伝送を達成できます。通常、uA9637A デュアルラインレシーバが、レシーバとして使用されません。同じピン構成でさらに高速なスイッチング速度が必要な場合、SN75ALS191 を参照してください。

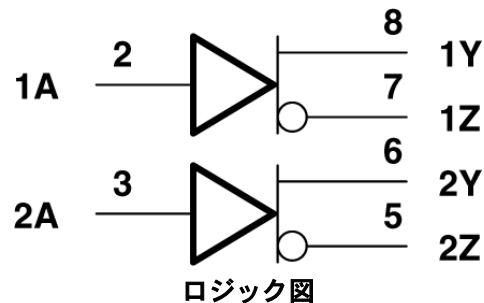
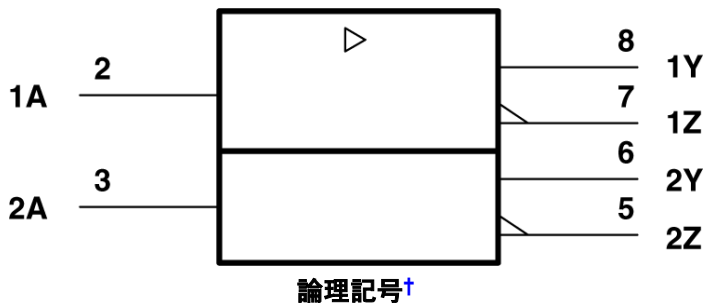
uA9638 は、0°C ~ 70°C で動作特性が規定されています。

#### パッケージ情報

部品番号	パッケージ(1)	パッケージサイズ(2)
uA9638	SOIC (D, 8)	4.9mm × 6mm
	PDIP (P, 8)	9.81mm × 9.43mm

(1) 詳細については、[セクション 10](#) を参照してください。

(2) パッケージサイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



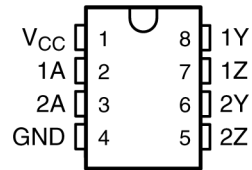
† この記号は ANSI/IEEE 規格 91-1984 と IEC Publication 617-12 に準拠しています。



## Table of Contents

<b>1 特長</b> .....	<b>1</b>	<b>6 Parameter Measurement Information</b> .....	<b>6</b>
<b>2 アプリケーション</b> .....	<b>1</b>	<b>7 Device Functional Modes</b> .....	<b>7</b>
<b>3 概要</b> .....	<b>1</b>	<b>8 Device and Documentation Support</b> .....	<b>8</b>
<b>4 Pin Configuration and Functions</b> .....	<b>3</b>	8.1 サポート・リソース.....	8
<b>5 Specifications</b> .....	<b>4</b>	8.2 商標.....	8
5.1 Absolute Maximum Ratings.....	4	8.3 静電気放電に関する注意事項.....	8
5.2 Dissipation Rating Table.....	4	8.4 用語集.....	8
5.3 Recommended Operating Conditions.....	4	<b>9 Revision History</b> .....	<b>8</b>
5.4 Thermal Information.....	4	<b>10 Mechanical, Packaging, and Orderable Information</b> .....	<b>8</b>
5.5 Electrical Characteristics.....	5		
5.6 Switching Characteristics.....	5		

## 4 Pin Configuration and Functions




**4-1. D (SOIC) or P (PDIP) Package  
(Top View)**

**表 4-1. Pin Functions**

PIN		TYPE <sup>(1)</sup>	DESCRIPTION
NAME	NO.		
V <sub>CC</sub>	1	P	5V Supply Positive Terminal Connection
1A	2	I	Single Ended Data Input for Channel 1
2A	3	I	Single Ended Data Input for Channel 2
GND	4	GND	Device Ground
2Z	5	O	Inverting Output of Differential Driver for Channel 2
2Y	6	O	Non-Inverting Output of Differential Driver for Channel 2
1Z	7	O	Inverting Output of Differential Driver for Channel 1
1Y	8	O	Non-Inverting Output of Differential Driver for Channel 1

(1) Signal Types: I = Input, O = Output, I/O = Input or Output, P = Power, GND = GND.

## 5 Specifications

### 5.1 Absolute Maximum Ratings

over operating free-air temperature range (unless otherwise noted) <sup>(1)</sup>

		MIN	MAX	UNIT
$V_{CC}$	Supply voltage range	-0.5	7	V
$V_I$	Input voltage range	-0.5	7	V
	Continuous total power dissipation	See Dissipation Rating Table		
$T_A$	Operating free-air temperature range	0	70	°C
$T_{stg}$	Storage temperature range	-65	150	°C
	Lead temperature 1,6 mm (1/16 inch) from 10 seconds		260	°C

- (1) Stresses beyond those listed under “absolute maximum ratings” may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated under “recommended operating conditions” is not implied. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability. NOTE 1: Voltage values except differential output voltages are with respect to network GND.

### 5.2 Dissipation Rating Table

PACKAGE	$T_A = 25\text{ °C}$ POWER RATING	DERATING FACTOR ABOVE $T_A = 25\text{ °C}$	$T_A = 70\text{ °C}$ POWER RATING
D	725 mW	5.8 mW/°C	464 mW
P	1000 mW	8.0 mW/°C	640 mW

### 5.3 Recommended Operating Conditions

	MIN	NOM	MAX	UNIT
Supply voltage, $V_{CC}$	4.75	5	5.25	V
High-level input voltage, $V_{IH}$	2			V
Low-level input voltage, $V_{IL}$			0.8	V
High-level output current, $I_{OH}$			-50	mA
Low-level output current, $I_{OL}$			50	mA
Operating free-air temperature, $T_A$	0		70	°C

### 5.4 Thermal Information

THERMAL METRIC <sup>(1)</sup>		D (SOIC)	P (PDIP)	UNIT
		8-Pins		
$R_{\theta JA}$	Junction-to-ambient thermal resistance	116.7	84.3	°C/W
$R_{\theta JC(top)}$	Junction-to-case (top) thermal resistance	56.3	65.4	°C/W
$R_{\theta JB}$	Junction-to-board thermal resistance	63.4	62.1	°C/W
$\Psi_{JT}$	Junction-to-top characterization parameter	8.8	31.3	°C/W
$\Psi_{JB}$	Junction-to-board characterization parameter	62.6	60.4	°C/W
$R_{\theta JC(bot)}$	Junction-to-case (bottom) thermal resistance	N/A	N/A	°C/W

- (1) For more information about traditional and new thermal metrics, see the [Semiconductor and IC package thermal metrics](#) application report.

## 5.5 Electrical Characteristics

over operating free-air temperature range (unless otherwise noted)

PARAMETER		TEST CONDITIONS			MIN	TYP <sup>(1)</sup>	MAX	UNIT	
$V_{IK}$	Input clamp voltage	$V_{CC} = 4.75V$ ,	$I_I = -18mA$		-1		-1.2	V	
$V_{OH}$	High-level output voltage	$V_{CC} = 4.75V$ ,	$V_{IH} = 2V$ ,	$I_{OH} = -10mA$	2.5	3.5		V	
		$V_{IL} = 0.8V$		$I_{OH} = -40mA$	2				
$V_{OL}$	Low-level output voltage	$V_{CC} = 4.75V$ , $I_{OL} = 40mA$	$V_{IH} = 2V$ ,	$V_{IL} = 0.8V$ ,			0.5	V	
$ V_{OD1} $	Magnitude of differential output voltage	$V_{CC} = 5.25V$ ,	$I_O = 0$				$2V_{OD2}$	V	
$ V_{OD2} $	Magnitude of differential output voltage	$V_{CC} = 4.75V$ to $5.25V$ , See <a href="#">Figure 6-1</a>	$R_L = 100\Omega$		2			V	
$\Delta V_{OD} $	Change in magnitude of differential output voltage <sup>(2)</sup>					$\pm 0.4$		V	
$V_{OC}$	Common-mode output voltage <sup>(3)</sup>						3		V
$\Delta V_{OC} $	Change in magnitude of common-mode output voltage <sup>(2)</sup>						$\pm 0.4$		V
$I_O$	Output current with power off	$V_{CC} = 0$	$V_O = 6V$		0.1		100	$\mu A$	
			$V_O = -0.25V$		-0.1		-100		
			$V_O = -0.25V$ to $6V$				$\pm 100$		
$I_I$	Input current	$V_{CC} = 5.25V$ ,	$V_I = 5.5V$				50	$\mu A$	
$I_{IH}$	High-level input current	$V_{CC} = 5.25V$ ,	$V_I = 2.7V$				25	$\mu A$	
$I_{IL}$	Low-level input current	$V_{CC} = 5.25V$ ,	$V_I = 0.5V$				-200	$\mu A$	
$I_{OS}$	Short-circuit output current <sup>(4)</sup>	$V_{CC} = 5.25V$ ,	$V_O = 0$		-50		-150	mA	
$I_{CC}$	Supply current (both drivers)	$V_{CC} = 5.25V$ ,	No load,	All inputs at 0V	45		65	mA	

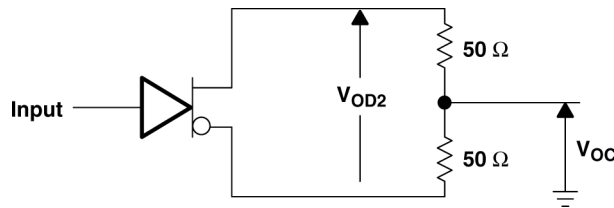
- (1) All typical values are at  $V_{CC} = 5V$  and  $T_A = 25^\circ C$ .
- (2)  $\Delta|V_{OD}|$  and  $\Delta|V_{OC}|$  are the changes in magnitude of  $V_{OD}$  and  $V_{OC}$ , respectively, that occur when the input is changed from a high level to a low level or vice versa.
- (3) In Standard EIA-422-A,  $V_{OC}$ , which is the average of the two output voltages with respect to ground, is called output offset voltage,  $V_{OS}$ .
- (4) Only one output at a time should be shorted, and duration of the short circuit should not exceed one second.

## 5.6 Switching Characteristics

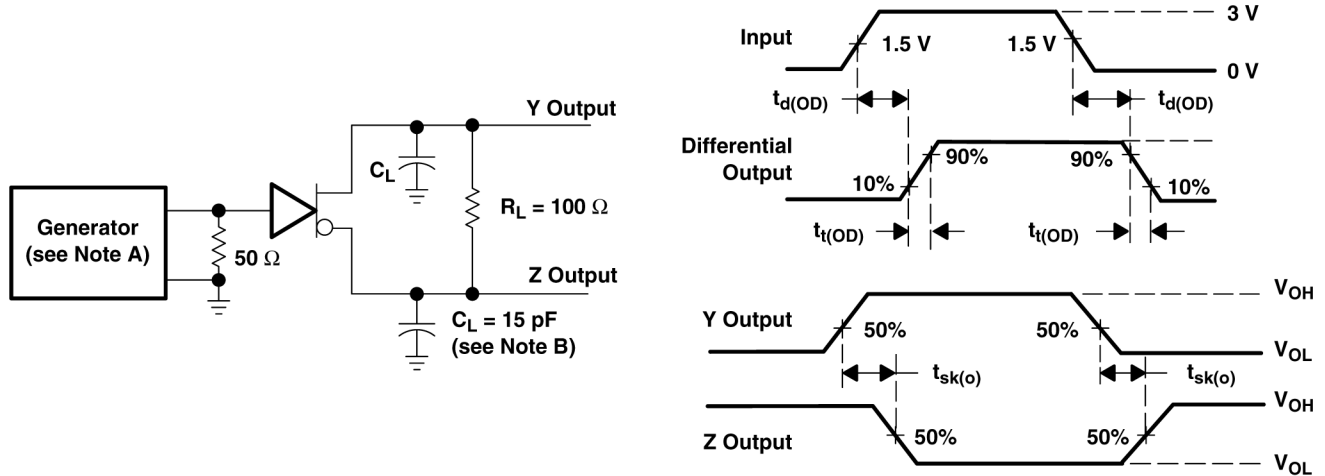
$V_{CC} = 5V$ ,  $T_A = 25^\circ C$

PARAMETER		TEST CONDITIONS			MIN	TYP	MAX	UNIT
$t_{d(OD)}$	Differential output delay time	$C_L = 15pF$ ,	$R_L = 100$	See <a href="#">Figure 6-2</a>		10	20	ns
$t_{t(OD)}$	Differential output transition time					10	20	ns
$t_{sk(o)}$	Output skew	See <a href="#">Figure 6-2</a>						1

## 6 Parameter Measurement Information



**6-1. Differential and Common-Mode Output Voltages**



**TEST CIRCUIT**

**VOLTAGE WAVEFORMS**

- A. The input pulse generator has the following characteristics:  $Z_O = 50\Omega$ ,  $PRR \leq 500\text{kHz}$ ,  $t_w = 100\text{ns}$ ,  $t_r = \leq 5\text{ns}$ .
- B.  $C_L$  includes probe and jig capacitance.

**6-2. Test Circuit and Voltage Waveforms**

## 7 Device Functional Modes

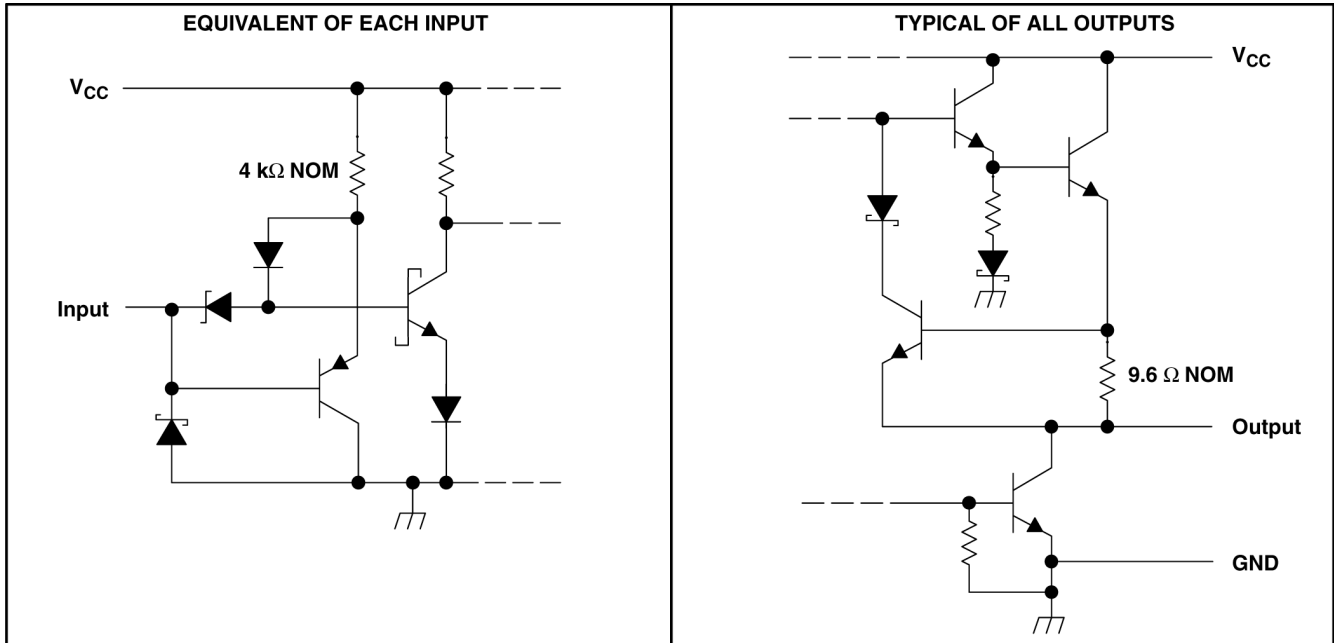


図 7-1. Schematics of Inputs and Outputs

## 8 Device and Documentation Support

### 8.1 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの [使用条件](#) を参照してください。

### 8.2 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

### 8.3 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

### 8.4 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

## 9 Revision History

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision C (April 1994) to Revision D (March 2024)	Page
ドキュメント全体にわたって表、図、相互参照の採番方法を変更.....	1

## 10 Mechanical, Packaging, and Orderable Information

The following pages include mechanical, packaging, and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser-based versions of this data sheet, refer to the left-hand navigation.



## 重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適したテキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されているテキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかるテキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265  
Copyright © 2024, Texas Instruments Incorporated

## PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
UA9638CD	OBSOLETE	SOIC	D	8		TBD	Call TI	Call TI	0 to 70	9638C	
UA9638CDR	ACTIVE	SOIC	D	8	2500	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	0 to 70	9638C	<a href="#">Samples</a>
UA9638CDRG4	ACTIVE	SOIC	D	8	2500	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	0 to 70	9638C	<a href="#">Samples</a>
UA9638CP	ACTIVE	PDIP	P	8	50	RoHS & Green	NIPDAU	N / A for Pkg Type	0 to 70	UA9638CP	<a href="#">Samples</a>
UA9638CPE4	ACTIVE	PDIP	P	8	50	RoHS & Green	NIPDAU	N / A for Pkg Type	0 to 70	UA9638CP	<a href="#">Samples</a>

(1) The marketing status values are defined as follows:

**ACTIVE:** Product device recommended for new designs.

**LIFEBUY:** TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

**NRND:** Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

**PREVIEW:** Device has been announced but is not in production. Samples may or may not be available.

**OBSOLETE:** TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

**RoHS Exempt:** TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

**Green:** TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

**Important Information and Disclaimer:** The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and

continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

**TAPE AND REEL INFORMATION**

**QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE**


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
UA9638CDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
UA9638CDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1

## TAPE AND REEL BOX DIMENSIONS



\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
UA9638CDR	SOIC	D	8	2500	353.0	353.0	32.0
UA9638CDR	SOIC	D	8	2500	340.5	336.1	25.0

**TUBE**


\*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
UA9638CP	P	PDIP	8	50	506	13.97	11230	4.32
UA9638CPE4	P	PDIP	8	50	506	13.97	11230	4.32



D0008A

# PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4214825/C 02/2019

## NOTES:

- Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
- This drawing is subject to change without notice.
- This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed  $.006$  [0.15] per side.
- This dimension does not include interlead flash.
- Reference JEDEC registration MS-012, variation AA.

# EXAMPLE BOARD LAYOUT

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE  
 EXPOSED METAL SHOWN  
 SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



# EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE  
BASED ON .005 INCH [0.125 MM] THICK STENCIL  
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

P (R-PDIP-T8)

PLASTIC DUAL-IN-LINE PACKAGE



- NOTES:
- A. All linear dimensions are in inches (millimeters).
  - B. This drawing is subject to change without notice.
  - C. Falls within JEDEC MS-001 variation BA.

## 重要なお知らせと免責事項

TI は、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](#) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265  
Copyright © 2024, Texas Instruments Incorporated