

# 1次側レギュレーション、定電圧/定電流コントローラ

## 特長

- 30mW未満の無負荷時消費電力で5スターの定格に適合
- 1次側レギュレーション(PSR)によりフォトカプラが不要
- $\pm 5\%$ の電圧および電流レギュレーション
- 130kHzの最大スイッチング周波数により高密度のチャージャ設計が可能
- 擬似共振バレー・スイッチング動作で全体効率を最大化
- 特許出願中の周波数ジッタ方式によりEMI準拠を容易に実現
- 広いVDD範囲により小さなバイアス・コンデンサを使用可能
- MOSFET用の最大電圧をクランプしたゲート駆動出力
- 保護機能：過電圧、UVLO、過電流
- プログラミング可能なケーブル電圧降下補正(UCC28700のみ)
- ラインアップオプションは、固定ケーブル補正とNTC抵抗インターフェイス(UCC28701、UCC28702、UCC28703のみ)
- SOT23-6パッケージ

## アプリケーション

- コンシューマ・エレクトロニクス(携帯電話、タブレット、カメラ)向けのUSB準拠アダプタおよびチャージャ
- ACまたはDC電源

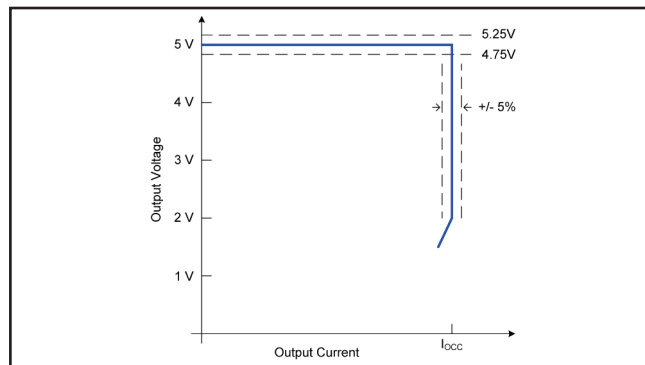
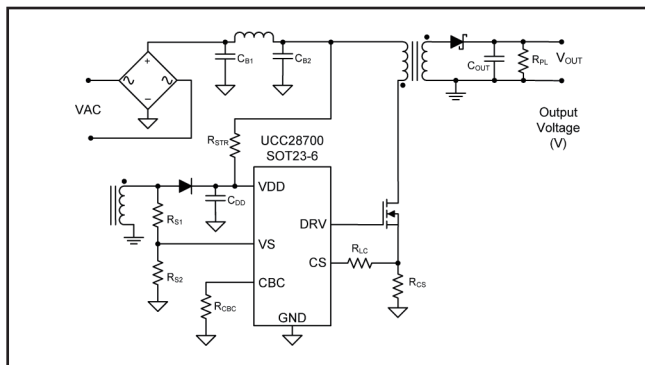
## 概要

UCC28700ファミリーのフライバック電源コントローラは、フォトカプラを使用せずに定電圧 (CV) および定電流 (CC) の出力レギュレーションを実現します。1次側電源スイッチおよび補助フライバック巻線からの情報を処理することで、出力電圧および電流を精密に制御します。低いスタートアップ電流、動的に制御される動作状態、および適切に調整されたSWモードにより、スタートアップ時間や出力過渡応答を犠牲にすることなく、非常に低いスタンバイ電力をサポートします。

UCC28700ファミリーでは、制御アルゴリズムによって、適用される規格を満足または上回る動作効率を実現できます。出力駆動部は、MOSFET用のドライブ回路が内蔵されています。バレー・スイッチングによる不連続導通モード(DCM)でスイッチング損失が低減されます。スイッチング周波数の変調(FM)および1次電流のピーク振幅の変調(AM)により、負荷およびライン範囲の全体にわたって高い変換効率を保持します。

最大スイッチング周波数は130kHzであり、トランスのピーク

## アプリケーション概略図および標準V-Iレギュレーション



この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本TI) が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。

1次電流の制御を常に維持します。1次および2次部品のストレスを抑制する保護機能も備えています。UCC28700では、ケーブル補正のレベルをプログラミングできます。UCC28701、UCC28702、およびUCC28703では、固定ケーブル補正機能を内蔵しておりバージョンごとに異なる補正値を提供しながら、負温度係数 (NTC) 抵抗を使用したりモート温度センサが可能です。



## 静電気放電対策

これらのデバイスは、限定的なESD(静電破壊)保護機能を内蔵しています。保存時または取り扱い時に、MOSゲートに対する静電破壊を防止するために、リード線どうしを短絡しておくか、デバイスを導電性のフォームに入れる必要があります。

### 製品情報 (1) (2)

部品番号	パッケージ・デバイス	バージョン
UCC28700	SOT23 6ピン(DBV)	プログラミング可能なケーブル補正
UCC28701		NTC、0mV(5V出力時)のケーブル補正オプション
UCC28702		NTC、150 mV(5V出力時)のケーブル補正オプション
UCC28703		NTC、300 mV(5V出力時)のケーブル補正オプション

(1) デバイス固有のオーダー情報については、付録を参照してください。

(2) 他の固定ケーブル補正オプションについては、工場までお問い合わせください。

### 絶対最大定格 (1)

動作温度範囲内(特に記述のない限り)

		MIN	MAX	単位
Bias supply voltage	$V_{VDD}$		38	V
Continuous gate current sink	$I_{DRV}$		50	mA
Continuous gate current source	$I_{DRV}$		Self-limiting	
Peak VS pin current	$I_{VS}$		-1.2	
Gate-drive voltage at DRV	$V_{DRV}$	-0.5	Self-limiting	V
Voltage range	VS	-0.75	7	
	CS, CBC (UCC28700), NTC (UCC28701/2/3)	-0.5	5	
Operating junction temperature range	$T_J$	-55	150	°C
Storage temperature	$T_{STG}$	-65	150	
Lead temperature 0.6 mm from case for 10 seconds			260	
ESD rating	Human-body model (HBM)		2000	V
	Charged-device model (CDM)		500	

(1) 絶対最大定格以上のストレスは、致命的なダメージを製品に与えることがあります。これはストレスの定格のみについて示しており、このデータシートの「推奨動作条件」に示された値を越える状態での本製品の機能動作は含まれていません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。すべての電圧はGNDを基準とします。電流は、指定されたピンに流れ込む方向が正、ピンから流れ出る方向が負です。特に記述のない限り、これらの定格は周囲温度範囲全体にわたって適用されます。

### 推奨動作条件

動作温度範囲内(特に記述のない限り)

		MIN	TYP	MAX	単位
VDD	Bias supply operating voltage	9		35	V
$C_{VDD}$	VDD bypass capacitor	0.047		1	$\mu F$
$R_{CBC}$	Cable-compensation resistance	10			$k\Omega$
$I_{VS}$	VS pin current	-1			mA
$T_J$	Operating junction temperature	-20		125	°C

## 熱特性について

THERMAL METRIC <sup>(1)</sup>		UCC28700/1/2/3	単位
		DBV	
		6 PINS	
$\theta_{JA}$	Junction-to-ambient thermal resistance <sup>(2)</sup>	180.0	°C/W
$\theta_{JCTop}$	Junction-to-case (top) thermal resistance <sup>(3)</sup>	71.2	
$\theta_{JB}$	Junction-to-board thermal resistance <sup>(4)</sup>	44.4	
$\Psi_{JT}$	Junction-to-top characterization parameter <sup>(5)</sup>	5.1	
$\Psi_{JB}$	Junction-to-board characterization parameter <sup>(6)</sup>	43.8	

- (1) 従来の熱特性パラメータと新しい熱特性パラメータの詳細については、アプリケーション・レポート『IC Package Thermal Metrics』(SPRA953)を参照してください。
- (2) 自然状態での接合部-周囲間熱抵抗は、JESD51-2aに記載の環境で、JESD51-7に規定されたJEDEC標準High-K基板上のシミュレーションによって求められます。
- (3) 接合部-ケース(上面)間の熱抵抗は、パッケージ上面での冷却板試験のシミュレーションによって求められます。指定のJEDEC標準試験はありませんが、類似した内容がANSI SEMI規格のG30-88で参照できます。
- (4) 接合部-基板間の熱抵抗は、JESD51-8の規定に従い、PCB温度を制御するリング型冷却板測定器を用いた環境でのシミュレーションによって求められます。
- (5) 接合部-上面間の特性化パラメータ $\Psi_{JT}$ は、実システムでのデバイスの接合部温度を見積もるために使用され、JESD51-2a(セクション6および7)に規定される手順を用いて $\theta_{JA}$ を求めるシミュレーション・データから抽出されます。
- (6) 接合部-基板間の特性化パラメータ $\Psi_{JB}$ は、実システムでのデバイスの接合部温度を見積もるために使用され、JESD51-2a(セクション6および7)に規定される手順を用いて $\theta_{JA}$ を求めるシミュレーション・データから抽出されます。

## 電気的特性

動作温度範囲内、VDD = 25V、R<sub>CBC</sub> = R<sub>NTC</sub> = オープン、-20°C ≤ T<sub>A</sub> ≤ 125°C、T<sub>J</sub> = T<sub>A</sub>(特に記述のない限り)

パラメータ	テスト条件	MIN	TYP	MAX	単位	
<b>Bias Supply Input</b>						
I <sub>RUN</sub>	Supply current, run	I <sub>DRV</sub> = 0, run state	2.1	2.65	mA	
I <sub>WAIT</sub>	Supply current, wait	I <sub>DRV</sub> = 0, wait state	85	110	μA	
I <sub>START</sub>	Supply current, start	I <sub>DRV</sub> = 0, V <sub>VDD</sub> = 18 V, start state	1.0	1.5	μA	
I <sub>FAULT</sub>	Supply current, fault	I <sub>DRV</sub> = 0, fault state	2.1	2.8	mA	
<b>Under-Voltage Lockout</b>						
V <sub>VDD(on)</sub>	VDD turn-on threshold	V <sub>VDD</sub> low to high	19	21	23	V
V <sub>VDD(off)</sub>	VDD turn-off threshold	V <sub>VDD</sub> high to low	7.7	8.1	8.45	
<b>VS Input</b>						
V <sub>VS</sub>	Regulating level	Measured at no-load condition, T <sub>J</sub> = 25°C	4.01	4.05	4.09	V
V <sub>VSNC</sub>	Negative clamp level	I <sub>VS</sub> = -300 μA, volts below ground	190	250	325	mV
I <sub>VS</sub>	Input bias current	V <sub>VS</sub> = 4 V	-0.25	0	0.25	μA
<b>CS Input</b>						
V <sub>CST(max)</sub>	Max CS threshold voltage	V <sub>VS</sub> = 3.7 V <sup>(1)</sup>	715	750	775	mV
V <sub>CST(min)</sub>	Min CS threshold voltage	V <sub>VS</sub> = 4.35 V <sup>(1)</sup>	230	250	270	
K <sub>AM</sub>	AM control ratio	V <sub>CST(max)</sub> / V <sub>CST(min)</sub>	2.75	3.0	3.15	V/V
V <sub>CCR</sub>	constant-current regulating level	CC regulation constant	310	319	329	mV
K <sub>LC</sub>	Line compensating current ratio	I <sub>VSLS</sub> = -300 μA, I <sub>VSLS</sub> / current out of CS pin	23	25	28	A/A
T <sub>CSLEB</sub>	Leading-edge blanking time	DRV output duration, V <sub>CS</sub> = 1 V	195	235	275	ns
<b>DRV</b>						
I <sub>DRS</sub>	DRV source current	V <sub>DRV</sub> = 8 V, V <sub>VDD</sub> = 9 V	20	25		mA
R <sub>DRVLS</sub>	DRV low-side drive resistance	I <sub>DRV</sub> = 10 mA		6	12	Ω
V <sub>DRCL</sub>	DRV clamp voltage	V <sub>VDD</sub> = 35 V		14	16	V
R <sub>DRVSS</sub>	DRV pull-down in start state		150	200	230	kΩ
<b>Timing</b>						
f <sub>SW(max)</sub>	Maximum switching frequency	V <sub>VS</sub> = 3.7 V <sup>(1)</sup>	120	130	140	kHz
f <sub>SW(min)</sub>	Minimum switching frequency	V <sub>VS</sub> = 4.35 V <sup>(1)</sup>	875	1000	1100	Hz
T <sub>ZTO</sub>	Zero-crossing timeout delay		1.8	2.1	2.45	μs

- (1) これらのデバイスは、EMI性能向上のために、制御周波数および電流センス・スレッシュホールドを自動的に変動させます。ここでは、スレッシュホールド電圧および周波数制限の平均レベルを示しています。

## 電気的特性

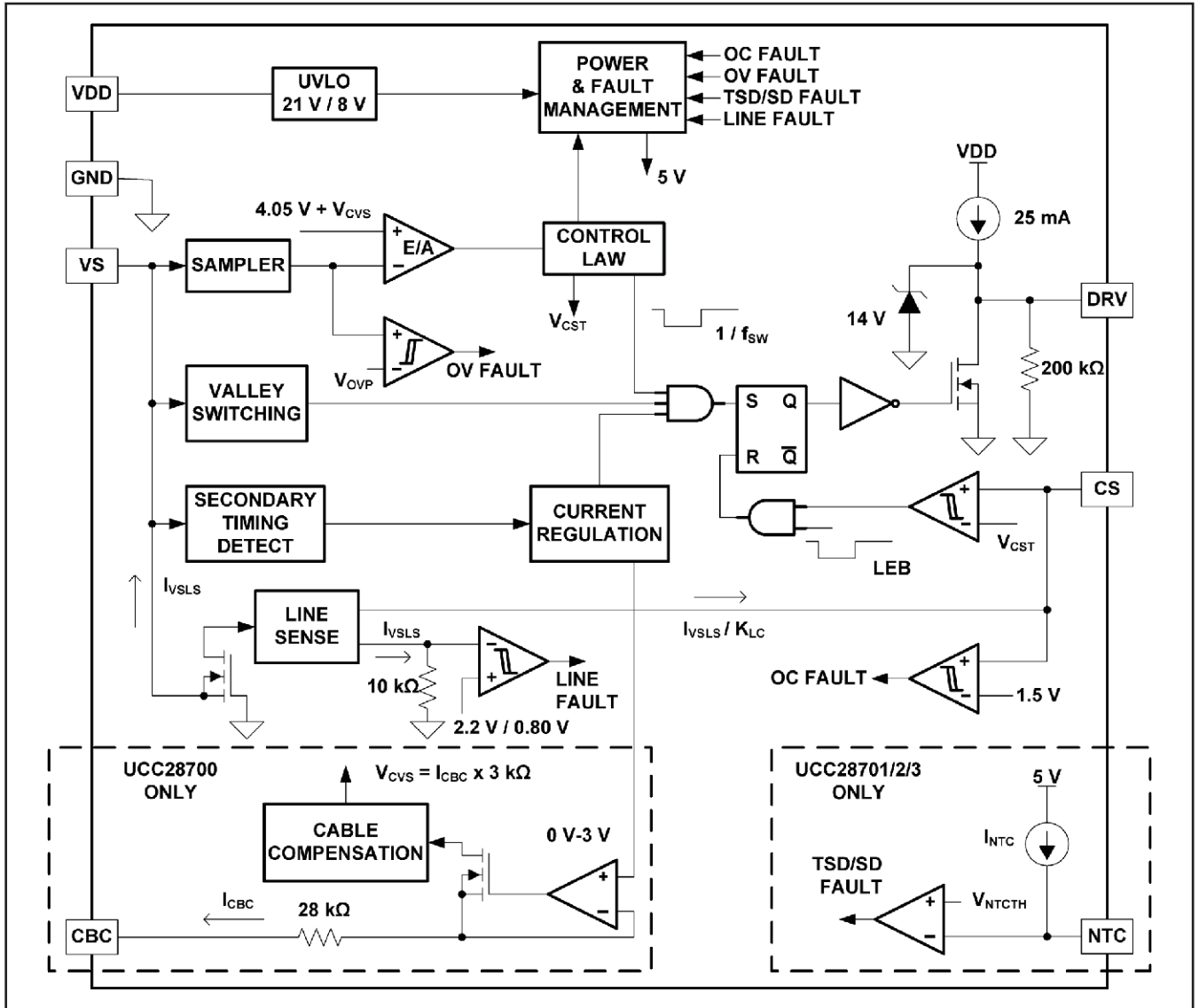
動作温度範囲内、VDD = 25V、R<sub>CBC</sub> = R<sub>NTC</sub> = オープン、-20°C ≤ T<sub>A</sub> ≤ 125°C、T<sub>J</sub> = T<sub>A</sub> (特に記述のない限り)

パラメータ		テスト条件	MIN	TYP	MAX	単位
<b>Protection</b>						
V <sub>OVP</sub>	Over-voltage threshold	At VS input, T <sub>J</sub> = 25°C	4.52	4.6	4.68	V
V <sub>OCP</sub>	Over-current threshold	At CS input	1.4	1.5	1.6	
I <sub>VSL(run)</sub>	VS line-sense run current	Current out of VS pin – increasing	190	220	260	μA
I <sub>VSL(stop)</sub>	VS line-sense stop current	Current out of VS pin – decreasing	70	80	95	
K <sub>VSL</sub>	VS line-sense ratio	I <sub>VSL(run)</sub> / I <sub>VSL(stop)</sub>	2.5	2.8	3.05	A/A
T <sub>J(stop)</sub>	Thermal shut-down temperature	Internal junction temperature		165		°C
<b>Cable Compensation (UCC28700 only)</b>						
V <sub>CBC(max)</sub>	Cable compensation maximum voltage	Voltage at CBC at full load	2.8	3.0	3.4	V
V <sub>CVS(min)</sub>	Compensation at VS	V <sub>CBC</sub> = open, change in VS regulating level at full load	-45	-15	25	mV
V <sub>CVS(max)</sub>	Maximum compensation at VS	V <sub>CBC</sub> = 0 V, change in VS regulating level at full load	275	320	365	
<b>Cable Compensation (UCC28701/2/3 only)</b>						
V <sub>CVS</sub>	Compensation at VS (UCC28701)	Change in VS regulating level at full load	-45	-15	25	mV
V <sub>CVS</sub>	Compensation at VS (UCC28702)	Change in VS regulating level at full load		100		
V <sub>CVS</sub>	Compensation at VS (UCC28703)	Change in VS regulating level at full load		200		
<b>NTC Input (UCC28701/2/3 only)</b>						
V <sub>NTCTH</sub>	NTC shut-down threshold	Fault UVLO cycle when below this threshold		0.95		V
I <sub>NTC</sub>	NTC pull-up current	Current out of pin		105		μA

(1) これらのデバイスは、EMI性能向上のために、制御周波数および電流センス・スレッシュホールドを自動的に変動させます。ここでは、スレッシュホールド電圧および周波数制限の平均レベルを示しています。

# 製品情報

## 機能ブロック図



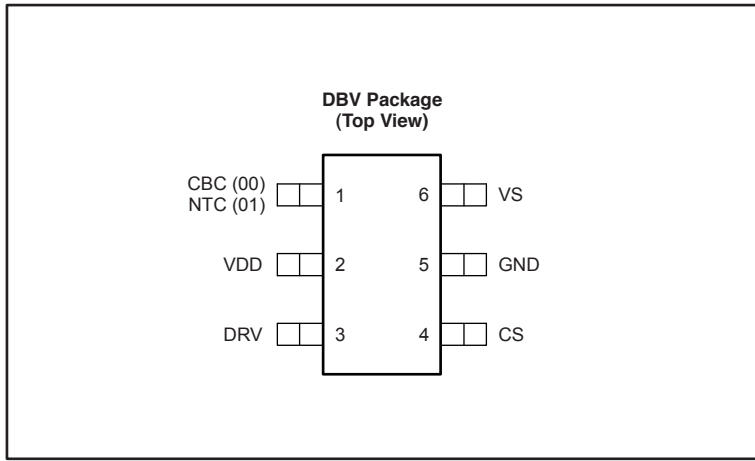


表 2. 端子機能

ピン			説明
名前	番号	I/O	
CBC (UCC28700)	1	I	$\overline{\text{CaBle}}$ Compensation: ケーブルでの電圧降下の補正用のプログラミング・ピンです。ケーブル補正は、GNDとの間に接続した抵抗によってプログラミングします。
CS	4	I	$\overline{\text{Current Sense}}$ : 電源スイッチと直列に接続されたグランド基準の電流センス抵抗に接続する入力です。結果の電圧を使用して、ピーク1次電流の監視と制御を行います。このピンに直列抵抗を追加することで、AC電源入力の変動時にピーク・スイッチ電流レベルを補正できます。
DRV	3	O	$\overline{\text{DRriVe}}$ : 外部の高電圧MOSFETスイッチング・トランジスタのゲートを駆動する出力です。
GND	5	—	$\overline{\text{GrouND}}$ : コントローラのリファレンス・ピンであり、駆動出力のLow側リターンです。すべてのACデカップリング・コンデンサのリターンをこのピンにできる限り近づけて配置し、また、アナログ信号リターン・パスと共通のパターン長は避ける必要があります。
NTC (UCC28701/2/3)	1	I	$\overline{\text{NTC}}$ : リモート温度センス用の外部NTC(負温度係数)抵抗へのインターフェイスです。このピンをLowにすると、PWM動作がシャットダウンされます。
VDD	2	—	$\overline{\text{VDD}}$ : コントローラへのバイアス電源入力ピンです。このピンとGNDの間に、バイパス・コンデンサを注意深く配置する必要があります。
VS	6	I	$\overline{\text{Voltage Sense}}$ : コントローラに電圧およびタイミングのフィードバックを提供するための入力です。このピンは、補助巻線とGNDの間の分圧抵抗回路に接続します。この分圧抵抗回路の上側抵抗の値を使用して、AC電源の稼働/停止スレッシュホールドおよびCSピンのライン補正をプログラミングします。

## ピンの詳細説明

**VDD (デバイスのバイアス電圧源)**: VDDピンは、バイアス・コンデンサを介してグラウンドに接続し、スタートアップ抵抗を介して入力パルク・コンデンサの (+) 端子に接続します。VDDのターンオンUVLOスレッシュホールドは21V、ターンオフUVLOスレッシュホールドは8.1Vであり、使用可能な動作範囲は最大35Vです。USB充電仕様に従って、出力電流は5Vから最小2Vまで定電流モードで動作する必要があります。これは、約25Vの公称VDDで簡単に実現されます。VDDには最大35Vまで追加のヘッドルームがあるため、高負荷状態でVDDコンデンサに供給されるリーク・エネルギーによるVDDの上昇が許容されます。また、広いVDD範囲により、比較的小さいVDDコンデンサおよび大きな値のスタートアップ抵抗を選択できる利点があり、スタートアップ抵抗における無負荷時のスタンバイ電力損失が最小限に抑えられます。

**GND (グラウンド)**: これは、デバイス外部の単一のグラウンド・リファレンスとして、ゲート駆動電流およびアナログ信号リファレンスに使用されます。VDDのバイパス・コンデンサはGNDおよびVDDの近くに短いパターンで接続し、VSおよびCS信号ピンに加わるノイズを最小限に抑える必要があります。

**VS (電圧センス)**: VSピンは、補助巻線とグラウンドの間の分圧抵抗回路に接続します。トランスのリセット時間の終わりに出力電圧の帰還情報がサンプリングされることで、出力電圧の正確な値が得られます。バレー・スイッチングを実現して2次側トランス電流のデューティ・サイクルを制御するためのタイミング情報は、VSピンの波形によって決定されます。この波形の正確な検出に影響するため、この入力にフィルタ・コンデンサを配置することは避けてください。

VSピンは、パルク・コンデンサの電圧もセンスすることで、AC入力の稼働および停止スレッシュホールドを提供し、AC入力範囲全体にわたって電流センス・スレッシュホールドの補正を行います。この情報は、MOSFETのオン時間中にセンスされます。AC入力の稼働/停止機能について、VSでの稼働スレッシュホールドは220 $\mu$ A、停止スレッシュホールドは80 $\mu$ Aです。補助分圧回路の上側抵抗 $R_{S1}$ と下側抵抗 $R_{S2}$ の値は、以下の式 (1)、式 (2) で決定できます。

$$R_{S1} = \frac{V_{IN(run)} \times \sqrt{2}}{N_{PA} \times I_{VSL(run)}} \quad (1)$$

ここで

- $N_{PA}$ は、トランスの1次/補助巻線比です。
- $V_{IN(run)}$ は、コントローラのターンオン (稼働) をイネーブルにするAC RMS電圧です。
- $I_{VSL(run)}$ は、MOSFETのオン時間中にVSピンから流れ出る電流に対する稼働スレッシュホールドです。(電気的特性を参照)

$$R_{S2} = \frac{R_{S1} \times V_{VSR}}{N_{AS} \times (V_{OCV} + V_F) - V_{VSR}} \quad (2)$$

ここで

- $V_{OCV}$ は、コンバータのレギュレーション出力電圧です。
- $V_F$ は、ゼロに近い電流での出力整流器の順方向降下電圧です。
- $N_{AS}$ は、トランスの補助/2次巻線比です。
- $R_{S1}$ は、VS分圧回路のハイサイド抵抗です。
- $V_{VSR}$ は、VS入力でのCVレギュレーション・レベルです。(電気的特性を参照)

**DRV (ゲート駆動)**: DRVピンは、通常は直列抵抗を介して、MOSFETのゲート・ピンに接続されます。ゲート・ドライバは、14Vに制限されたゲート駆動信号を提供します。ドライバのターンオン特性は25mAの電流ソースであり、それによってMOSFETドレインのターンオン時の $dv/dt$ が制限され、先行エッジの電流スパイクが低減されますが、ミラー・効果部を越えるだけのゲート駆動電流は供給されます。ゲート駆動のターンオフ電流は、ローサイド・ドライバの $R_{DS(on)}$ および外部のゲート駆動抵抗によって決定されます。ユーザは外部ゲート抵抗を追加することで、MOSFETドレインのターンオフ時の $dv/dt$ を低減できます。



**CS (電流センス)：**電流センス・ピンは、直列抵抗 ( $R_{LC}$ ) を介して電流センス抵抗 ( $R_{CS}$ ) に接続します。電流センス・スレッシュホールドは、 $I_{PP(max)}$  に対して0.75V、 $I_{PP(min)}$  に対して0.25V です。この直列抵抗RLCは、フィードフォワード・ライン補正の機能を提供し、 $di/dt$  の変化や内部コンパレータの伝播遅延およびMOSFETターンオフ時間による $I_{PP}$  の変動を防ぎます。MOSFETのターンオン電流スパイクによる影響を防ぐため、内部で235nsの先行エッジ・ブランキング時間が確保されています。CSピンにバイパス・コンデンサを配置する必要はありません。 $R_{CS}$  の値は、定電流 (CC) レギュレーション時の目標出力電流によって決定されます。 $R_{CS}$  および $R_{LC}$  の値は以下の式で求められます。項 $\eta_{XFMR}$  は、トランス内に蓄積されて2次側に供給されないエネルギーを考慮したものです。この項は、トランスの抵抗およびコアでの損失、バイアス電力、および1次/2次リーク比から決定されます。

**例：**トランスのコアおよび巻線での損失を5%、1次/2次リーク・インダクタンスを3.5%、バイアス電力と出力電力の比を1.5%とします。 $\eta_{XFMR}$  の概算値は、 $1 - 0.05 - 0.035 - 0.015 = 0.9$  となります。

$$R_{CS} = \frac{V_{CCR} \times N_{PS}}{2I_{OCC}} \times \eta_{XFMR} \quad (3)$$

ここで

- $V_{CCR}$  は、電流レギュレーション定数です (電気的特性を参照)。
- $N_{PS}$  は、トランスの1次/2次巻線比です (5V出力の場合、13~15の値を推奨)。
- $I_{OCC}$  は、定電流レギュレーション時の目標出力電流です。
- $\eta_{XFMR}$  は、トランスの効率です。

$$R_{LC} = \frac{K_{LC} \times R_{S1} \times R_{CS} \times T_D \times N_{PA}}{L_P} \quad (4)$$

ここで

- $R_{S1}$  は、VSピンのハイサイド抵抗値です。
- $R_{CS}$  は、電流センス抵抗値です。
- $T_D$  は、MOSFETのターンオフ遅延を含む電流センス遅延時間であり、MOSFET遅延に約50nsを加算します。
- $N_{PA}$  は、トランスの1次/補助巻線比です。
- $L_P$  は、トランスの1次側インダクタンスです。
- $K_{LC}$  は、電流スケール定数です (電気的特性を参照)。

**CBC (ケーブル補正)、ピン1、UCC28700：**ケーブル補正ピンは、抵抗を介してグラウンドに接続することで、ケーブル抵抗に対する出力電圧補正の大きさをプログラミングします。ケーブル補正ブロックは、 $0 \sim I_{OCC}$  の出力電流に対応してCBCピンに0V~3Vの電圧レベルを提供します。CBCピンに対して選択した抵抗により、VSの帰還分圧回路に加算される電流ミラーがプログラミングされ、 $I_{OUT}$  の増加につれて出力電圧が上昇します。CBCピンには28k $\Omega$ の内部直列抵抗があり、CBCがグラウンドに短絡されたときに5V出力の最大ケーブル補正を400mVに設定します。CBC抵抗の値は次の式で求められます。

$$R_{CBC} = \frac{V_{CBC(max)} \times 3 \text{ k}\Omega \times (V_{OCV} + V_F)}{V_{VSR} \times V_{OCBC}} - 28 \text{ k}\Omega \quad (5)$$

ここで

- $V_O$  は、出力電圧です。
- $V_F$  は、ダイオードの順方向電圧です。
- $V_{OCBC}$  は、出力端子の目標ケーブル補正電圧です。
- $V_{CBC(max)}$  は、最大のコンバータ出力電流におけるケーブル補正ピンの最大電圧です (電気的特性を参照)。
- $V_{VSR}$  は、VS入力でのCVレギュレーション・レベルです (電気的特性を参照)。

**NTC (NTCサーミスタ・シャットダウン)、ピン1、UCC28701/2/3：**これらのUCC28700ファミリー製品では、ピン1を外部NTCサーミスタ用に使用して、外部過熱シャットダウンのユーザー・プログラミングを可能にしています。内部の105 $\mu$ A電流源によるシャットダウン・スレッシュホールドは0.95Vであり、結果としてサーミスタのシャットダウン・スレッシュホールドが9.05k $\Omega$ になります。これらのコントローラでは、内部ケーブル補正が0または固定されています。



# 標準的特性

VDD = 25V (特に記述のない限り)

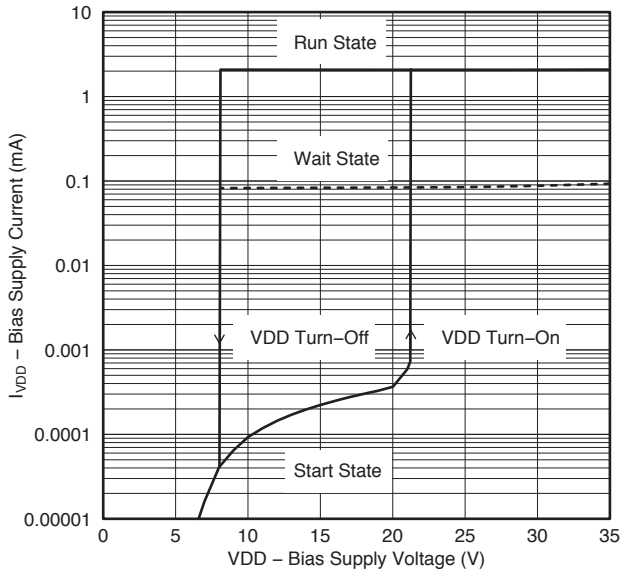


図 1. バイアス消費電流 対 バイアス電源電圧

G001

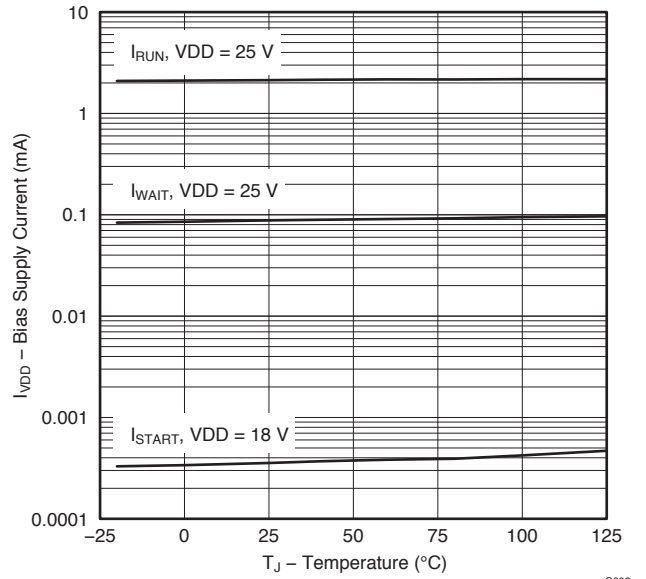


図 2. バイアス消費電流 対 温度

G002

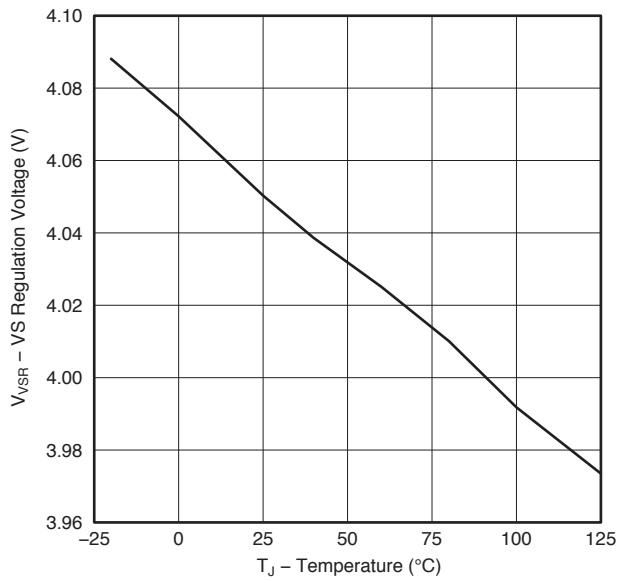


図 3. VSレギュレーション電圧 対 温度

G003

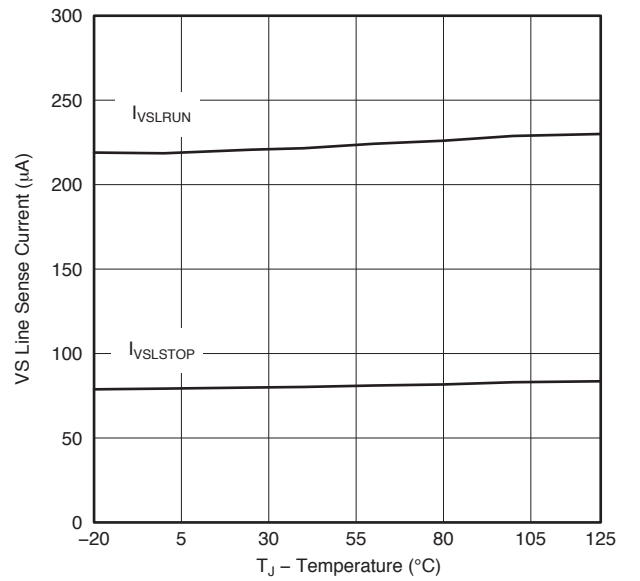


図 4. ライン・センス電流 対 温度

G004

# 標準的特性

VDD = 25V (特に記述のない限り)

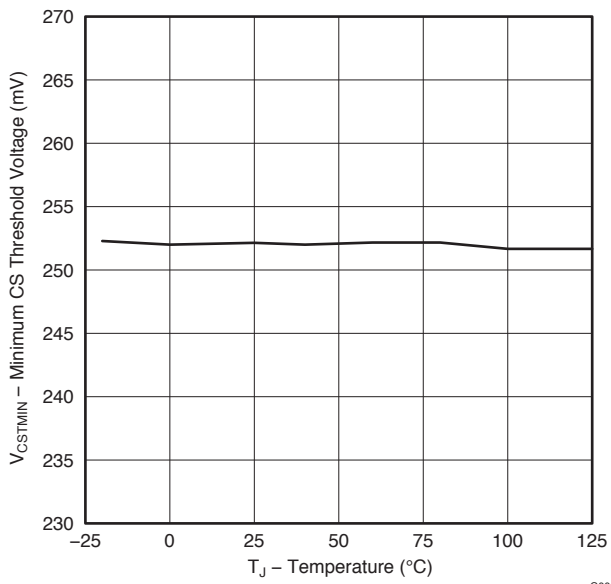


図 5. 最小CSスレッシュホールド電圧 対 温度

G005

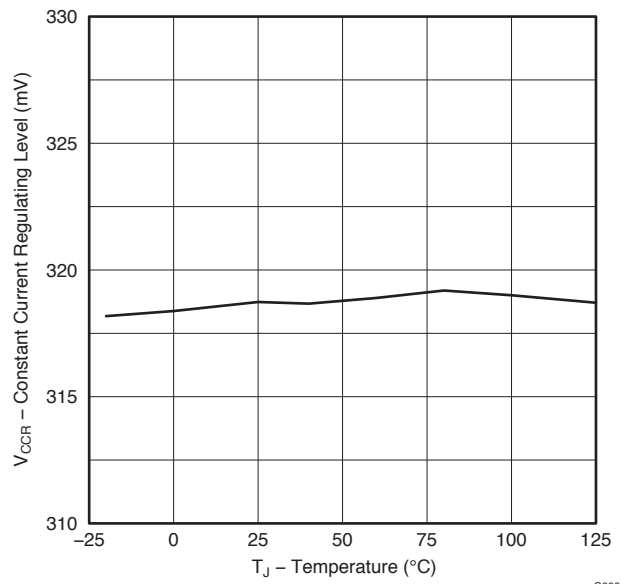


図 6. 定電流レギュレーション・レベル 対 温度

G006

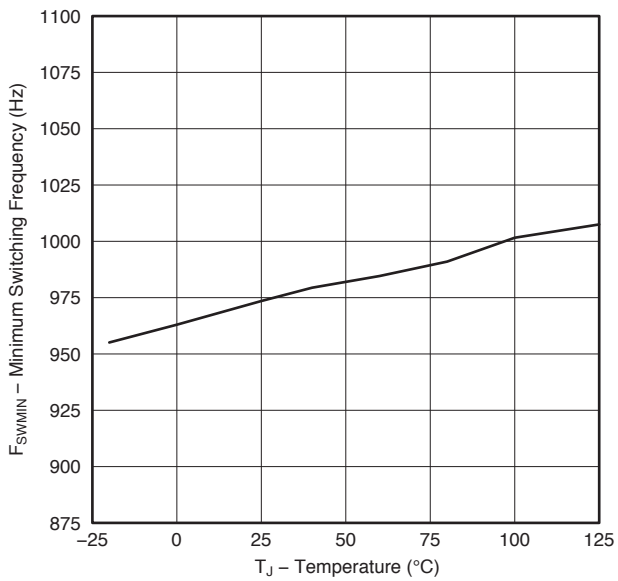


図 7. 最小スイッチング周期 対 温度

G007

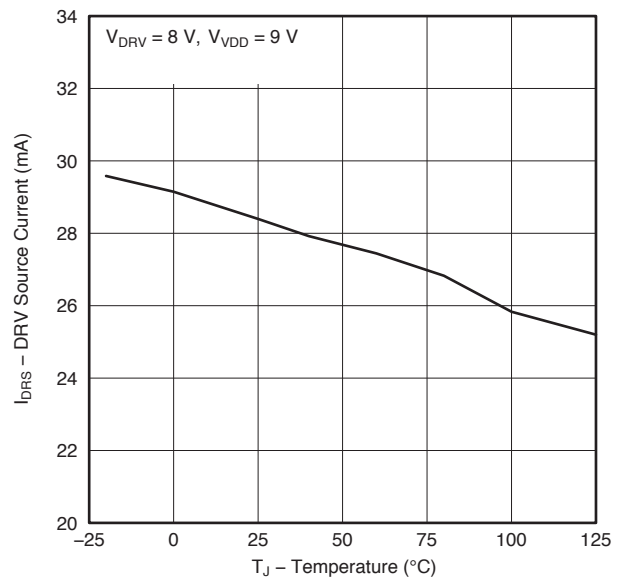


図 8. DRVソース電流 対 温度

G008

## 標準的特性

VDD = 25V(特に記述のない限り)

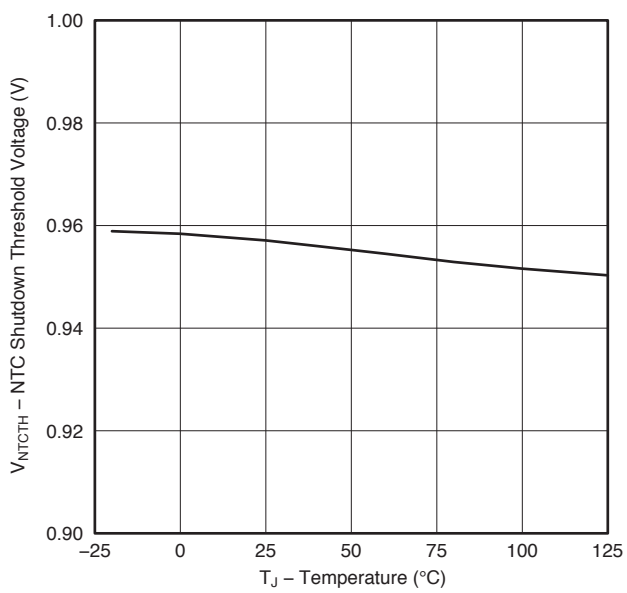


図 9. NTCシャットダウン・スレッシュホールド電圧 対 温度

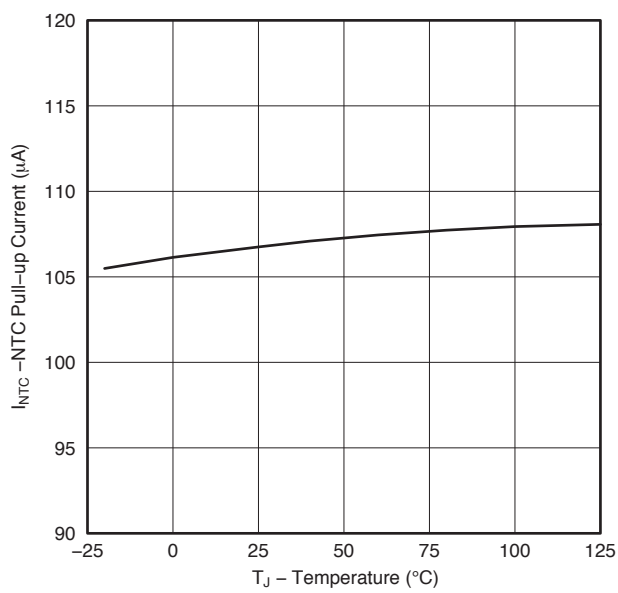


図 10. NTCプルアップ電流 対 温度

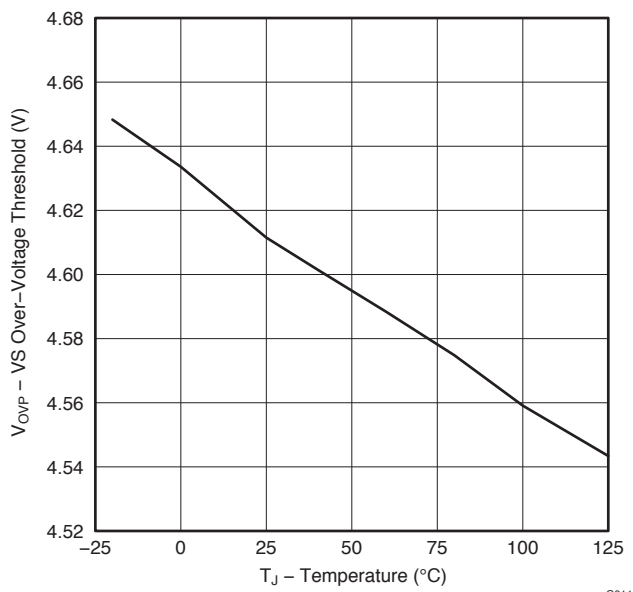


図 11. 過電圧スレッシュホールド 対 温度

## 機能説明

UCC28700は、1次側帰還によって正確な電圧および定電流レギュレーションを提供するフライバック電源コントローラであり、フォトカプラ帰還回路は不要です。パレー・スイッチングによる不連続導通モードで動作し、スイッチング損失を最小限に抑えます。変調方式として、周波数変調と1次側ピーク電流変調を組み合わせることにより、負荷範囲全体にわたって高い変換効率を実現します。出力電力の幅広いダイナミック動作範囲によって、スタンバイ電力要件を30mW未満に抑えています。

短いスタートアップ時間で低いスタンバイ電力を実現するのに役立つもう1つの特徴として、動作VDD範囲が幅広いため、高いVDDスタートアップ抵抗と低いVDD容量を使用できます。低電力動作範囲内では、電力管理機能によって、動作周波数が44kHz未満のときにデバイスの動作電流を低減します。UCC28700コントローラでは、基本スイッチング周波数と高調波のEMIピーク・エネルギーを低減する機能が変調回路に内蔵されています。1次側制御によって、正確な電圧および定電流レギュレーション、高速な動的応答、および障害保護が提供されます。直観的な設計プロセス、低コスト、および少ない部品数で、包括的なチャージャ・ソリューションを実現できます。

## 1次側電圧レギュレーション

図12に、単純化されたフライバック・コンバータをデバイスのメイン電圧レギュレーション・ブロックとともに示しています。パワー・トレイン動作は他のDCMフライバック回路と同じですが、出力電圧および電流の正確なセンシングが1次側制御の鍵となります。

1次側制御では、トランスのエネルギーが2次側に伝達される間に、補助巻線上で出力電圧がセンスされます。図13に示されるように、2次側電流が0まで低下する間に、整流器の $V_F$ と抵抗での電圧降下 ( $I_S R_S$ ) の合計分の減少を示す下向き勾配が見られます。補助巻線で2次側出力電圧の正確な検出を実現するために、識別器でリーク・インダクタンスのリセットとリングングを確実にブロックし、リングング抑制後の下向き勾配中に補助電圧を連続的にサンプリングして、2次側巻線がゼロ電流に達した時点で誤差信号を捕捉します。VSの内部リファレンスは4.05Vです。分圧抵抗は、VSピンの説明で示したとおりに選択します。

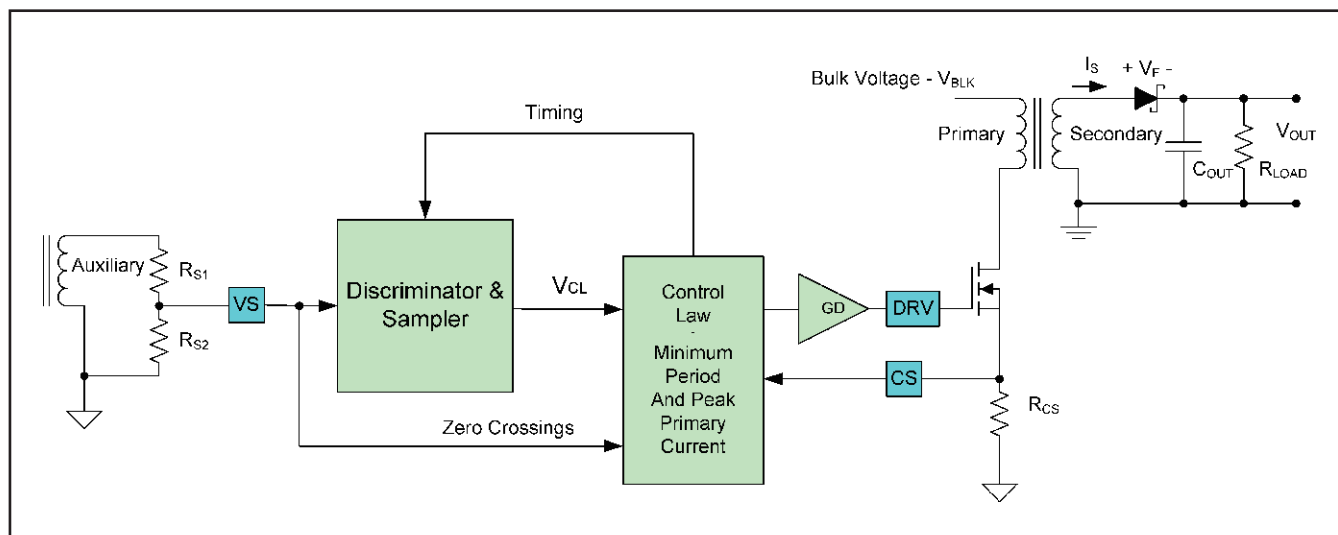


図 12. 単純化されたフライバック・コンバータ(およびメイン電圧レギュレーション・ブロック)

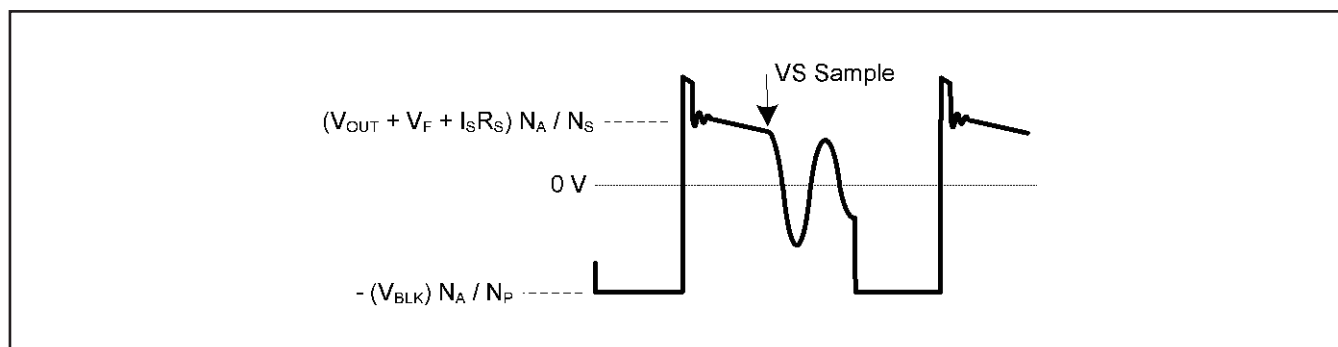


図 13. 補助巻線電圧

UCC28700のVS信号サンプラーでは、補助巻線から出力電圧を正確にサンプリングできるようにする信号識別方法を採用しています。ただし、確実な動作を保証するために、補助巻線信号波形のいくつかの詳細に注目する必要があります。具体的には、リーク・インダクタンスのリセット時間と、それに続くリーク・インダクタンスのリングングの期間です。VSピンでの確実なサンプリングのための波形条件の詳細は、図14を参照してください。最初に調べる詳細は、リーク・インダクタンスのリセット時間(図14の $T_{LK\_RESET}$ )の長さです。これは2次側電流の減少の波形を模倣した後、急激な下降となるため、リーク・リセット時間は最小 $I_{PRI}$ に対して500ns未満、最大 $I_{PRI}$ に対して1.5 $\mu$ s未満に保持することが重要です。2番目の詳細は、 $T_{LK\_RESET}$ に続く $V_{AUX}$ 波形上でのリングングの振幅です。VSピンのピーク・ツー・ピーク電圧は、リセット時間 $t_{DM}$ の終わりよりも200ns以上前に、約100mV<sub>p-p</sub>未満になっている必要があ

ります。過度なリングングの懸念がある場合、それは通常、軽負荷または無負荷状態で $t_{DM}$ が最小であるときに発生します。VSで許容されるリップルは、 $R_{S1}$ および $R_{S2}$ によって補助巻線電圧へとスケールリングされ、 $100\text{mV} \times (R_{S1} + R_{S2})/R_{S2}$ に等しくなります。

電圧レギュレーション中、コントローラは下の図15に示されるように、周波数変調モードおよび振幅変調モードで動作します。デバイスの内部動作周波数制限は、最大130kHz、最小1kHzです。トランスの1次側インダクタンスと1次側ピーク電流の選択によって、コンバータの最大動作周波数が設定されます。出力ダミー抵抗および低電力時の効率により、コンバータの最小動作周波数が決まります。UCC28700コントローラには、安定性補正は必要ありません。

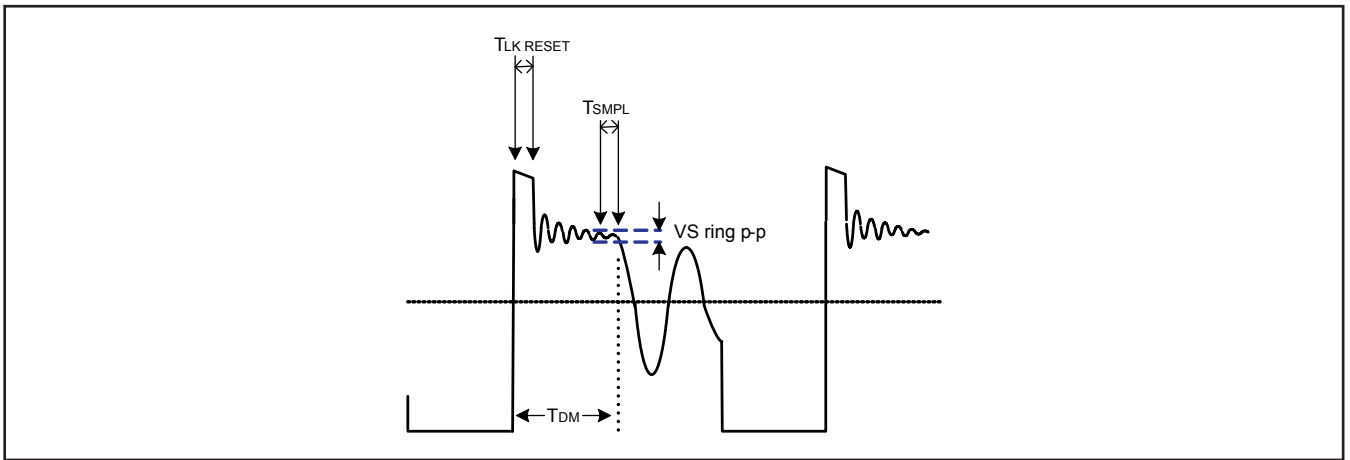


図 14. 補助巻線波形の詳細

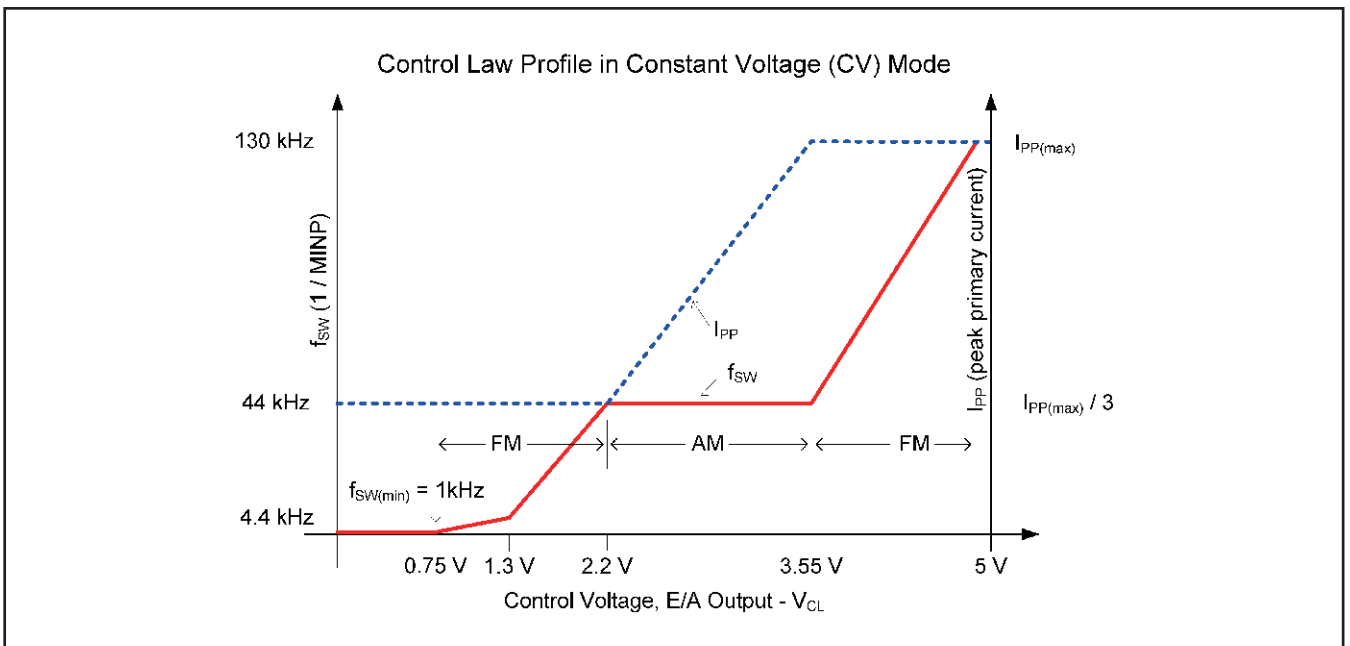


図 15. 周波数変調および振幅変調モード(電圧レギュレーション中)

## 1次側電流レギュレーション

VSピンのタイミング情報とCSピンの電流情報によって、2次側平均電流の正確なレギュレーションが可能になります。CVレギュレーションで電力が上昇し、CCレギュレーションに近づくと、1次側ピーク電流が $I_{PP(max)}$ となります。下の図16に従い、1次側ピーク電流、巻線比、2次側リセット時間 ( $t_{DM}$ )、およびスイッチング周期 ( $T_{SW}$ ) によって、2次側の平均出力電流が決定されます。リーク・インダクタンスの影響を無視すると、平均出力電流は式 (6) で与えられます。平均出力電流が電流制御ブロックのレギュレーション・リファレンスに達すると、

コントローラは周波数変調モードで動作し、出力電流を電圧レギュレーション目標以下の任意の出力電圧で制御します (補助巻線によってVDDをUVLOターンオフ・スレッシュホールド以上に保持できる限り)。

$$I_{OUT} = \frac{I_{PP}}{2} \times \frac{N_P}{N_S} \times \frac{t_{DM}}{T_{SW}} \quad (6)$$

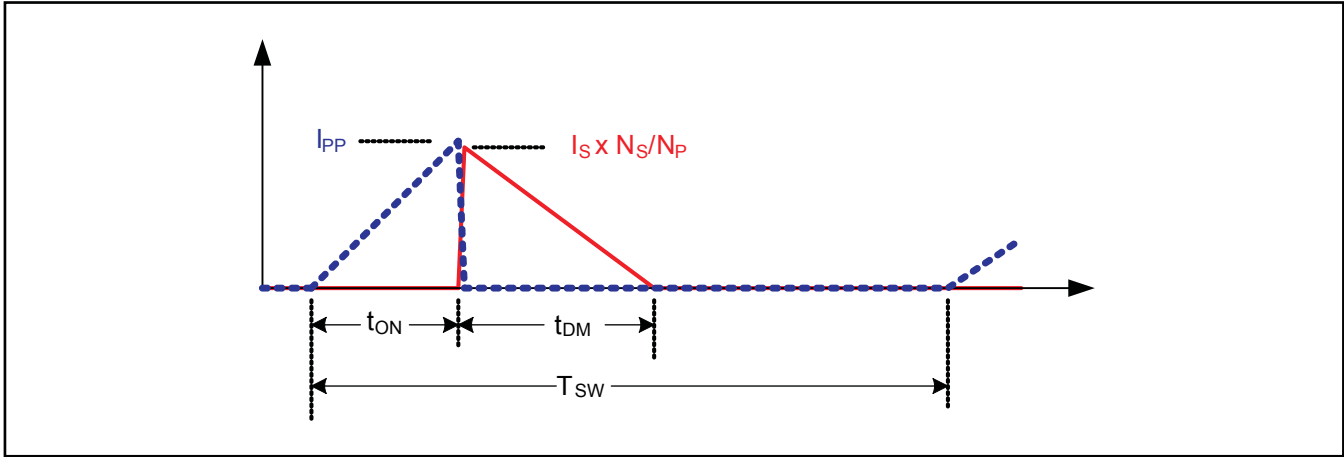


図 16. トランスの電流

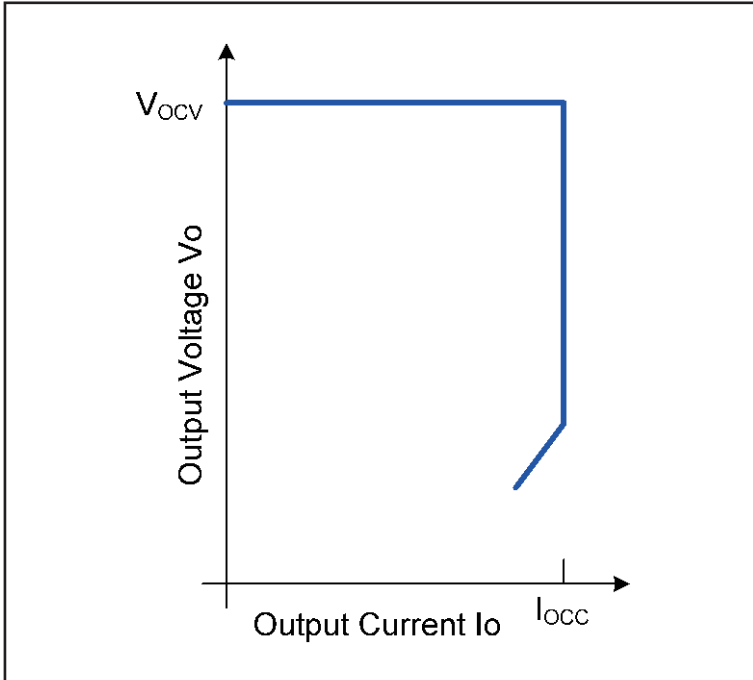


図 17. 標準的な目標出力V-I特性

## バレー・スイッチング

UCC28700は、バレー・スイッチングを利用して、MOSFET内のスイッチング損失を低減し、誘起されるEMIを低減し、センス抵抗でのターンオン電流スパイクを最小限に抑えます。VDSのリングングが抑制されていなければ、コントローラはすべての負荷状態でバレー・スイッチングによる動作を行います。

下の図18を参照してください。UCC28700は、ほとんどの負荷状態においてバレー・スキップ・モードで動作することにより、正確な電圧または電流レギュレーション点を保持しながら、可能な最小のVDS電圧でスイッチングを行います。

## スタートアップ動作

コンバータに入力電圧が印加されると、VDDとバルク・コンデンサ電圧 ( $V_{BLK}$ ) の間に接続されたスタートアップ抵抗によって、VDDコンデンサが充電されます。VDDコンデンサの充電中は、デバイスのバイアス消費電流が $1.5\mu\text{A}$ 未満となります。VDDが21VのUVLOターンオン・スレッシュホールドに達すると、コントローラがイネーブルになり、コンバータがスイッチングを開始します。最初の3サイクルは、 $I_{PP(\text{min})}$ に制限されます。これにより、最小限の電力供給で初期の入力または出力障害を検知できます。最小 $I_{PP(\text{min})}$ の最初の3サイクルの後、コントローラは制御方式で規定される状態へと遷移します。コンバータは出力コンデンサの充電中は不連続モードに留まり、出力電圧がレギュレーション状態になるまで一定の出力電流を維持します。

## 障害保護

UCC28700には、包括的な障害保護が内蔵されています。以下の保護機能があります。

- 出力過電圧
- 入力低電圧
- 内部過熱
- 1次側過電流障害
- CSピン障害
- VSピン障害

すべての障害保護イベントに対して、UVLOのリセットおよび再起動シーケンスが適用されます。

出力過電圧機能は、VSピン上の電圧帰還によって決定されます。VSの電圧サンプルが公称 $V_{OUT}$ の115%を超えた場合、デバイスはスイッチングを停止し、内部回路をイネーブルに保持して、VDDコンデンサをUVLOターンオフ・スレッシュホールドまで放電します。その後、デバイスは開始状態に戻り、スタートアップ・シーケンスが実行されます。

UCC28700は常に、サイクル毎の1次側ピーク電流制御によって動作します。CSピンの通常動作範囲は $0.75\text{V} \sim 0.25\text{V}$ です。CSピンが $1.5\text{V}$ に達した場合には、追加の保護があります。その結果、UVLOのリセットおよび再起動シーケンスが行われます。CSの $1.5\text{V}$ スレッシュホールドには、先行エッジ・ブランキングはありません。

ライン入力の稼働/停止スレッシュホールドは、MOSFETオン時間中のVSピンの電流情報によって決定されます。MOSFETオン時間中にVSピンがGND付近でクランプされている間、 $R_{S1}$ を流れる電流が監視され、バルク・コンデンサ電圧のサンプルが決定されます。稼働スレッシュホールドと停止スレッシュホールドの間が大きく離れていることで、ライン電圧による電源のクリーンなスタートアップとシャットダウンを行えます。稼働電流スレッシュホールドは $220\mu\text{A}$ 、停止電流スレッシュホールドは $80\mu\text{A}$ です。

内部の過熱保護スレッシュホールドは $165^\circ\text{C}$ です。接合部温度がこのスレッシュホールドに達した場合、デバイスはUVLOリセット・サイクルを開始します。UVLOサイクルの終わりに温度がまだ高い場合は、保護サイクルが繰り返されます。

VSピンに部品障害が発生した場合にも保護が用意されています。VSピンの帰還情報が完全に失われた場合、コントローラはスイッチングを停止し、再起動します。

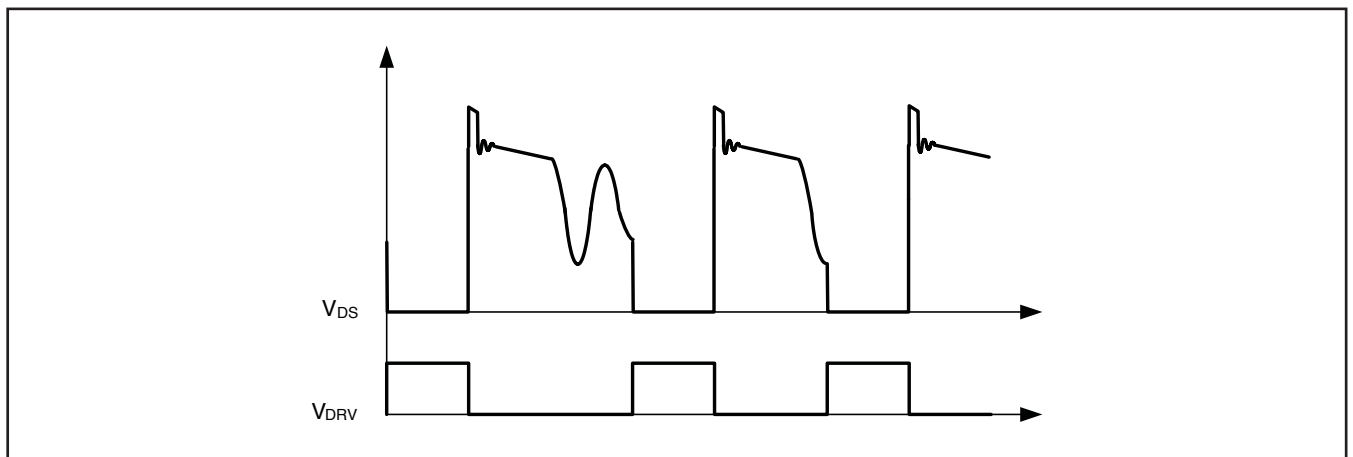


図 18. バレー・スキップ・モード





## 電圧項目 (単位: V)

- $V_{BLK}$ : スタンバイ電力測定用の最大バルク・コンデンサ電圧
- $V_{BULK(min)}$ : 最大電力時の $C_{B1}$ および $C_{B2}$ の最小電圧
- $V_{OCBC}$ : 出力端子の目標ケーブル補正電圧
- $V_{CBC(max)}$ : 最大コンバータ出力電流でのCBCピンの最大電圧 (電気的特性を参照)
- $V_{CCR}$ : 定電流レギュレーション電圧 (電気的特性を参照)
- $V_{CST(max)}$ : CSピンの最大電流センス・スレッショルド (電気的特性を参照)
- $V_{CST(min)}$ : CSピンの最小電流センス・スレッショルド (電気的特性を参照)
- $V_{DD(off)}$ : UVLOターンオフ電圧 (電気的特性を参照)
- $V_{DD(on)}$ : UVLOターンオン電圧 (電気的特性を参照)
- $V_{O\Delta}$ : 負荷過渡ステップ中に許容される出力電圧降下
- $V_{DSPK}$ : 高ラインでのピークMOSFETドレイン-ソース電圧
- $V_F$ : ゼロに近い電流での2次側整流器の順方向電圧降下
- $V_{FA}$ : 補助整流器の順方向電圧降下
- $V_{LK}$ : リーク・インダクタンス・エネルギー・リセット電圧の見積もり値
- $V_{OCV}$ : コンバータのレギュレーション出力電圧
- $V_{OCC}$ : 定電流レギュレーションでの目標最小コンバータ出力電圧
- $V_{REV}$ : 2次側整流器でのピーク逆方向電圧
- $V_{RIPPLE}$ : 全負荷での出力ピーク・ツー・ピーク・リップル電圧
- $V_{VSR}$ : VS入力でのCVレギュレーション・レベル (電気的特性を参照)

## AC電圧項目 (単位: $V_{RMS}$ )

- $V_{IN(max)}$ : コンバータの最大入力電圧
- $V_{IN(min)}$ : コンバータの最小入力電圧
- $V_{IN(run)}$ : コンバータの入力スタートアップ (稼働)電圧

## 効率項目

- $\eta_{SB}$ : 無負荷状態でのコンバータの見積もり効率。スタートアップ抵抗損失およびバイアス損失を含みません。5V USBチャージャ・アプリケーションの場合は、60%~65%が初期の見積もりとして適切です。
- $\eta$ : コンバータの全体効率
- $\eta_{XFMR}$ : トランスの1次/2次電力伝達効率

## スタンバイ電力の見積もり

無負荷時のスタンバイ電力が重要な設計パラメータであると仮定し、コンバータの目標最大スイッチング周波数および出力電力定格に基づいて、無負荷時電力の見積もりを決定します。コンバータのスタンバイ電力は、次の式で見積もられます。

$$P_{SB\_CONV} = \frac{P_{OUT} \times f_{MIN}}{\eta_{SB} \times K_{AM}^2 \times f_{MAX}} \quad (7)$$

標準的なUSBチャージャ・アプリケーションの場合、無負荷時のバイアス電力は約2.5mWです。これは、25VのVDDおよび100 $\mu$ Aのバイアス電流に基づいています。出力ダミー抵抗は、 $V_{OCV}$ 、およびコンバータのスタンバイ電力とバイアス電力の差によって見積もることができます。出力ダミー抵抗の式で、バイアス電力の見積もりとして2.5mWを使用します。

$$R_{PL} = \frac{V_{OCV}^2}{P_{SB\_CONV} - 2.5 \text{ mW}} \quad (8)$$

1秒のスタートアップ時間を実現するための $R_{STR}$ の標準スタートアップ抵抗値は13M $\Omega$ ~20M $\Omega$ です。損失見積もり用のコンデンサ・バルク電圧は、スタンバイ電力測定に対する最大電圧であり、標準で325V<sub>DC</sub>です。

$$P_{RSTR} = \frac{V_{BLK}^2}{R_{STR}} \quad (9)$$

合計スタンバイ電力の見積もりとして、スタートアップ抵抗損失およびコンバータのスタンバイ電力損失にスナバ損失の見積もり2.5mWを加算します。

$$P_{SB} = P_{SB\_CONV} + P_{RSTR} + 2.5 \text{ mW} \quad (10)$$

## 入力バルク容量および最小バルク電圧

トランスの最大 $N_p/N_s$ 巻線比を決定するため、入力容量( $C_{B1}$ と $C_{B2}$ の合計)における最小電圧を決定します。目標全負荷効率に基づくコンバータの入力電力、最小入力RMS電圧、および最小AC入力周波数を使用して、入力容量要件を決定します。

最大入力電力は、 $V_{OCV}$ 、 $I_{OCC}$ 、および全負荷効率目標に基づいて決定されます。

$$P_{IN} = \frac{V_{OCV} \times I_{OCC}}{\eta} \quad (11)$$

次の式は、目標最小バルク・コンデンサ電圧に基づいて入力容量の正確な解を提供します。与えられた入力容量を目標とする場合は、最小コンデンサ電圧を繰り返し適用しながら目標容量を実現します。

$$C_{BULK} = \frac{2P_{IN} \times \left( 0.25 + \frac{1}{2\pi} \times \arcsin \left( \frac{V_{BULK(min)}}{\sqrt{2} \times V_{IN(min)}} \right) \right)}{\left( 2V_{IN(min)}^2 - V_{BULK(min)}^2 \right) \times f_{LINE}} \quad (12)$$

## トランスの巻線比、インダクタンス、1次側ピーク電流

最大1次/2次巻線比は、全負荷での目標最大スイッチング周波数、最小入力コンデンサ・バルク電圧、およびDCM擬似共振時間の見積もりによって決定できます。

最初に、目標スイッチング周波数およびDCM共振時間に基づいて、オン時間と2次側導通時間の可能な最大の合計デューティ・サイクルを決定します。DCM共振時間に対して、以前の設計で得られた見積もりがない場合は、500kHzを仮定します。遷移モードの動作制限に対して、2次側電流導通の終わりから $V_{DS}$ 電圧の最初のバレーまでに必要な期間は、DCM共振周期の1/2であり、500kHzの共振周波数を仮定すると1 $\mu$ sです。 $D_{MAX}$ は、次の式で決定できます。

$$D_{MAX} = 1 - \left( \frac{T_R}{2} \times f_{MAX} \right) - D_{MAGCC} \quad (13)$$

$D_{MAX}$ が決まれば、最大1次/2次巻線比は下の式で計算できます。 $D_{MAGCC}$ は、定電流(CC)動作中の2次側ダイオード導通デューティ・サイクルとして定義されます。これは、UCC28700の内部で0.425に設定されています。2次側巻線の合計電圧を決定する必要があり、これは $V_{OCV}$ 、2次側整流器の $V_F$ 、およびケーブル補正電圧( $V_{OCBC}$ )の和です。5VのUSBチャージャ・アプリケーションの場合は、標準で13~15の巻線比が使用されます。

$$N_{PS(max)} = \frac{D_{MAX} \times V_{BULK(min)}}{D_{MAGCC} \times (V_{OCV} + V_F + V_{OCBC})} \quad (14)$$

トランスの詳細設計から最適な巻線比が決定されたら、この比を以下のパラメータに対して使用します。

UCC28700コントローラの定電流レギュレーションは、最大の1次側電流設定で0.425の最大 $D_{MAG}$ デューティ・サイクルを保持することで実現されます。トランスの巻線比および定電流レギュレーション電圧によって、目標定電流に対する電流センス抵抗が決定されます。

トランスに蓄積されたエネルギーがすべて2次側に伝達されるわけではないため、トランスの効率項目が含まれます。この効率値には、コアおよび巻線損失、リーク・インダクタンス比、および定格出力電力に対するバイアス電力比が含まれています。5V、1Aのチャージャ例に対しては、1.5%のバイアス電力が見積もりとして適切です。3.5%のリーク・インダクタンス、5%のコアおよび巻線損失、および1.5%のバイアス電力から、0.9の全体トランス効率が適切な見積もりとなります。

$$R_{CS} = \frac{V_{CCR} \times N_{PS}}{2I_{OCC}} \times \eta_{XFMR} \quad (15)$$

1次側トランス・インダクタンスは、フライバック・トランス用の標準のエネルギー蓄積式を使用して計算できます。下の式には、1次側電流、最大スイッチング周波数、出力およびトランス電力損失が含まれています。最初に、トランスの1次側電流を決定します。

1次側電流は単純に、最大電流センス・スレッシュホールドを電流センス抵抗で割ったものです。

$$I_{PP(max)} = \frac{V_{CST(max)}}{R_{CS}} \quad (16)$$

$$L_P = \frac{2(V_{OCV} + V_F + V_{OCBC}) \times I_{OCC}}{\eta_{XFMR} \times I_{PP(max)}^2 \times f_{MAX}} \quad (17)$$

2次側巻線と補助巻線のトランス巻線比( $N_{AS}$ )は、定電流レギュレーション中の最小目標動作出力電圧およびUCC28700のVDD UVLOによって決定されます。トランスのリーク・インダクタンス・エネルギーからVDDに供給される追加エネルギーがあるため、多くの設計では、より低い巻線比を使用できます。

$$N_{AS} = \frac{V_{DD(off)} + V_{FA}}{V_{OCC} + V_F} \quad (18)$$

## トランス・パラメータの検証

選択したトランスの巻線比は、MOSFETの $V_{DS}$ および2次側整流器の逆方向電圧に影響を与えるため、これらについて検討する必要があります。UCC28700コントローラでは、高ライン、最小負荷状態でのMOSFETの最小オン時間 ( $T_{ON}$ ) および2次側整流器の最小 $D_{MAG}$ 時間 ( $T_{DMAG}$ ) が必要となります。 $F_{MAX}$ 、 $L_P$ 、および $R_{CS}$ の選択は、 $T_{ON}$ および $T_{DMAG}$ の最小値に影響を与えます。

2次側整流器およびMOSFETの電圧ストレスは、以下の式で決定できます。

$$V_{REV} = \frac{V_{IN(max)} \times \sqrt{2}}{N_{PS}} + V_{OCV} + V_{OCBC} \quad (19)$$

MOSFETの $V_{DS}$ 電圧ストレスについては、リーク・インダクタンス電圧スパイク ( $V_{LK}$ ) の見積もりを含める必要があります。

$$V_{DSPK} = (V_{IN(max)} \times \sqrt{2}) + (V_{OCV} + V_F + V_{OCBC}) \times N_{PS} + V_{LK} \quad (20)$$

以下の式を使用して、最小 $T_{ON}$ 目標の300nsおよび最小 $T_{DMAG}$ 目標の1.1 $\mu$ sが実現されるかどうかを確認します。

$$T_{ON(min)} = \frac{L_P}{V_{IN(max)} \times \sqrt{2}} \times \frac{I_{PP(max)} \times V_{CST(min)}}{V_{CST(max)}} \quad (21)$$

$$T_{DMAG(min)} = \frac{T_{ON(min)} \times V_{IN(max)} \times \sqrt{2}}{N_{PS} \times (V_{OCV} + V_F)} \quad (22)$$

## 出力容量

出力容量値は、一般に無負荷時の過渡応答要件によって決定されます。たとえば、いくつかのUSBチャージャ・アプリケーションでは、0mAから500mAへのロードトランジェントステップで4.1Vの最小 $V_O$ を保持する要件があります。次の式では、スイッチング周波数をUCC28700の最小値 $f_{SW(min)}$ に設定できると仮定しています。

$$C_{OUT} = \frac{I_{TRAN} \left( \frac{1}{f_{SW(min)}} + 150 \mu s \right)}{V_{OA}} \quad (23)$$

出力コンデンサに関するもう1つの考慮事項は、リップル電圧要件であり、これは2次側ピーク電流およびESRに基づいて検討します。次の式では、コンデンサのESR要件に20%の余裕を付加しています。

$$R_{ESR} = \frac{V_{RIPPLE} \times 0.8}{I_{PP(max)} \times N_{PS}} \quad (24)$$

## VDD容量、 $C_{DD}$

VDDの容量は、定電流レギュレーション中にコンバータの出力が目標最小動作電圧に達するまでの間、デバイスの動作電流を供給する必要があります。目標最小電圧に達した時点で、補助巻線がUCC28700への電圧を維持できます。負荷および出力コンデンサの充電に対して使用できる合計出力電流が、定電流レギュレーションの目標値です。下の式では、最小出力電圧が実現されるまでの間、フライバックの出力電流で出力容量を充電できると仮定しています。式にはゲート駆動電流の見積もり値1mAが含まれ、VDDに1Vの余裕が付加されています。

$$C_{DD} = \frac{(I_{RUN} + 1 \text{ mA}) \times \frac{C_{OUT} \times V_{OCC}}{I_O}}{(V_{DD(on)} - V_{DD(off)}) - 1 \text{ V}} \quad (25)$$

## VDDスタートアップ抵抗、 $R_{STR}$

VDD容量が決まれば、ターンオン時間目標を実現するための $V_{BULK}$ からのスタートアップ抵抗を決定できます。

$$R_{STR} = \frac{\sqrt{2} \times V_{IN(min)}}{I_{START} + \frac{V_{DD(on)} \times C_{DD}}{T_{STR}}} \quad (26)$$

## VS分圧抵抗、ライン補正、およびケーブル補正

VS分圧抵抗は、フライバック・コンバータの出力電圧レギュレーション点を決定します。また、ハイサイドの分圧抵抗 ( $R_{S1}$ ) によって、コントローラで連続DRV動作がイネーブルになるライン電圧が決定されます。最初に  $R_{S1}$  が、トランスの補助/1次巻線比および目的の入力電圧動作スレッシュホールドに基づいて決定されます。

$$R_{S1} = \frac{V_{IN(run)} \times \sqrt{2}}{N_{PA} \times I_{VSL(run)}} \quad (27)$$

ローサイドのVSピン抵抗は、目的の  $V_O$  レギュレーション電圧に基づいて選択されます。

$$R_{S2} = \frac{R_{S1} \times V_{VSR}}{N_{AS} \times (V_{OCV} + V_F) - V_{VSR}} \quad (28)$$

UCC28700は、ライン補正機能を利用して、入力ライン上に厳密な定電流レギュレーションを維持できます。ライン補正抵抗 ( $R_{LC}$ ) の値は、 $R_{S1}$  を流れる電流と、予想されるゲート駆動およびMOSFETのターンオフ遅延時間によって決定されます。UCC28700では、50nsの内部遅延を仮定します。

$$R_{LC} = \frac{K_{LC} \times R_{S1} \times R_{CS} \times T_D \times N_{PA}}{L_p} \quad (29)$$

ケーブル補正を調整可能なUCC28700では、出力端子での目的の補正レベルに対する抵抗を、次の式によって決定できます。

$$R_{CBC} = \frac{V_{CBC(max)} \times 3 \text{ k}\Omega \times (V_{OCV} + V_F)}{V_{VSR} \times V_{OCBC}} - 28 \text{ k}\Omega \quad (30)$$

# パッケージ情報

## 製品情報

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead/Ball Finish	MSL Peak Temp (3)	Op Temp (°C)	Device Marking(4/5)	Samples
UCC28700DBVR	ACTIVE	SOT-23	DBV	6	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	-20 to 125	U700	<a href="#">Samples</a>
UCC28700DBVT	ACTIVE	SOT-23	DBV	6	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	-20 to 125	U700	<a href="#">Samples</a>
UCC28701DBVR	ACTIVE	SOT-23	DBV	6	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	-20 to 125	U701	<a href="#">Samples</a>
UCC28701DBVT	ACTIVE	SOT-23	DBV	6	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	-20 to 125	U701	<a href="#">Samples</a>
UCC28702DBVR	ACTIVE	SOT-23	DBV	6	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	-20 to 125	U702	<a href="#">Samples</a>
UCC28702DBVT	ACTIVE	SOT-23	DBV	6	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	-20 to 125	U702	<a href="#">Samples</a>
UCC28703DBVR	ACTIVE	SOT-23	DBV	6	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	-20 to 125	U703	<a href="#">Samples</a>
UCC28703DBVT	ACTIVE	SOT-23	DBV	6	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	-20 to 125	U703	<a href="#">Samples</a>

(1) マーケティング・ステータスは次のように定義されています。

**ACTIVE**: 製品デバイスが新規設計用に推奨されています。

**LIFEBUY**: TIによりデバイスの生産中止予定が発表され、ライフタイム購入期間が有効です。

**NRND**: 新規設計用に推奨されていません。デバイスは既存の顧客をサポートするために生産されていますが、TIでは新規設計にこの部品を使用することを推奨していません。

**PREVIEW**: デバイスは発表済みですが、まだ生産が開始されていません。サンプルが提供される場合と、提供されない場合があります。

**OBSOLETE**: TIによりデバイスの生産が中止されました。

(2) エコ・プラン - 環境に配慮した製品分類プランであり、Pb-Free (RoHS)、Pb-Free (RoHS Expert) および Green (RoHS & no Sb/Br) があります。最新情報および製品内容の詳細については、<http://www.ti.com/productcontent> でご確認ください。

**TBD**: Pb-Free/Green変換プランが策定されていません。

**Pb-Free (RoHS)**: TIにおける“Lead-Free”または“Pb-Free” (鉛フリー) は、6つの物質すべてに対して現在のRoHS要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が0.1%を超えないという要件も含まれます。高温で半田付けするように設計されている場合、TIの鉛フリー製品は指定された鉛フリープロセスでの使用に適しています。

**Pb-Free (RoHS Exempt)**: この部品は、1) ダイとパッケージの間に鉛ベースの半田バンプ使用、または 2) ダイとリードフレーム間に鉛ベースの接着剤を使用、が除外されています。それ以外は上記の様にPb-Free (RoHS) と考えられます。

**Green (RoHS & no Sb/Br)**: TIにおける“Green”は、“Pb-Free” (RoHS互換) に加えて、臭素 (Br) およびアンチモン (Sb) をベースとした難燃材を含まない (均質な材質中のBrまたはSb重量が0.1%を超えない) ことを意味しています。

(3) MSL、ピーク温度 -- JEDEC業界標準分類に従った耐湿性レベル、およびピーク半田温度です。

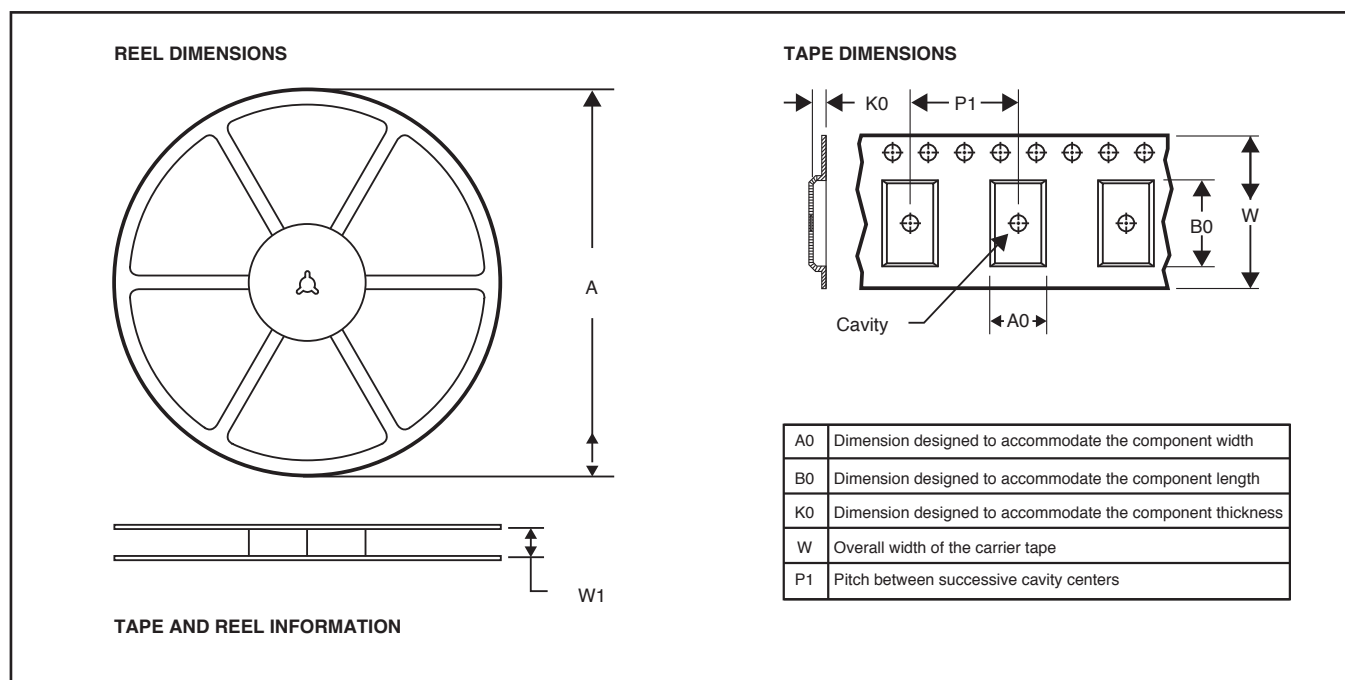
**重要な情報および免責事項**: このページに記載された情報は、記載された日付時点でのTIの知識および見解を表しています。TIの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行いません。第三者からの情報をより良く統合するための努力は続けております。TIでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。TIおよびTI製品の供給者は、特定の情報を機密情報として扱っているため、CAS番号やその他の制限された情報が公開されない場合があります。

TIは、いかなる場合においても、かかる情報により発生した損害について、TIがお客様に1年間に販売した本書記載の問題となった TIパーツの購入価格の合計金額を超える責任を負いかねます。



# パッケージ・マテリアル情報

## テープおよびリール・ボックス情報



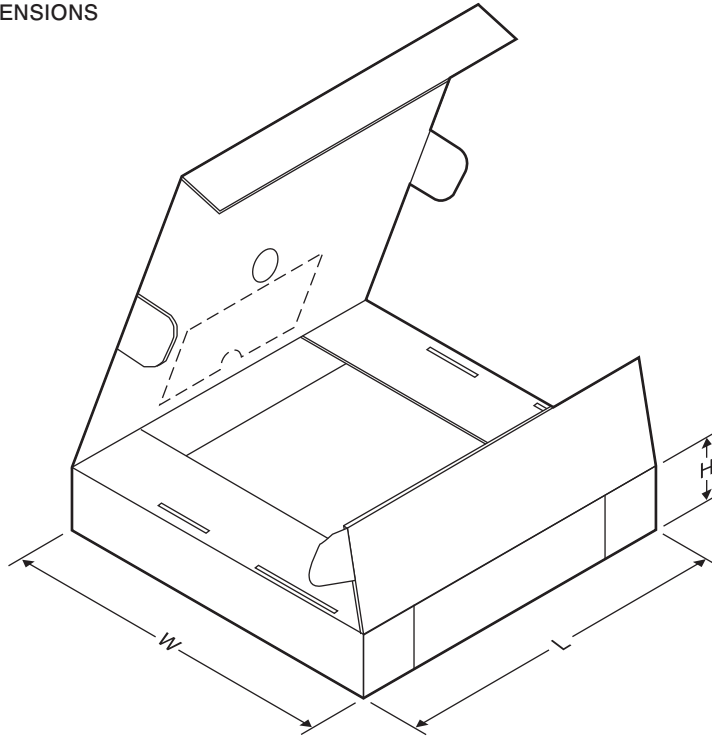
\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
UCC28700DBVR	SOT-23	DBV	6	3000	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
UCC28700DBVT	SOT-23	DBV	6	250	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
UCC28701DBVR	SOT-23	DBV	6	3000	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
UCC28701DBVT	SOT-23	DBV	6	250	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3



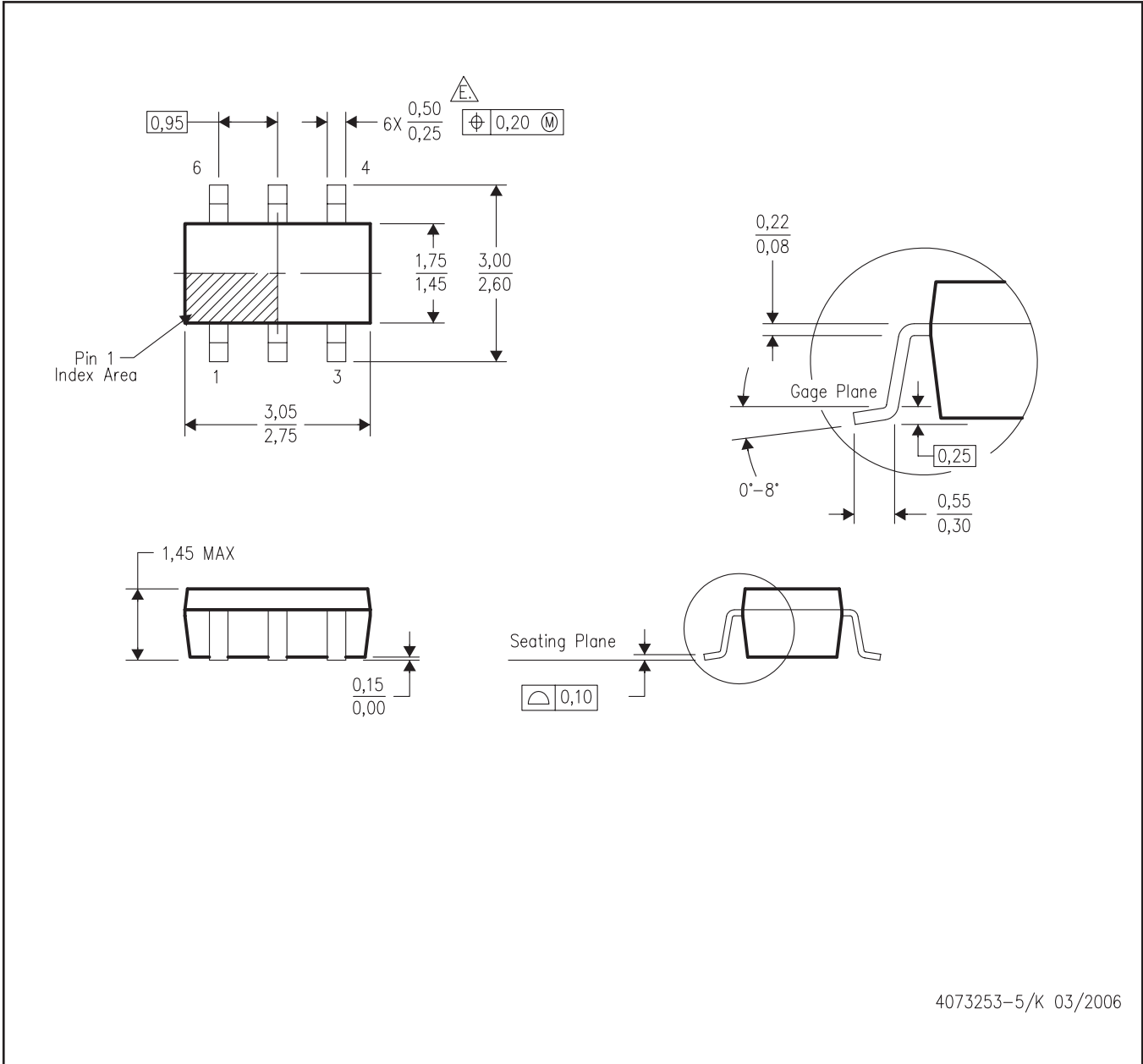
## パッケージ・マテリアル情報

### TAPE AND REEL BOX DIMENSIONS



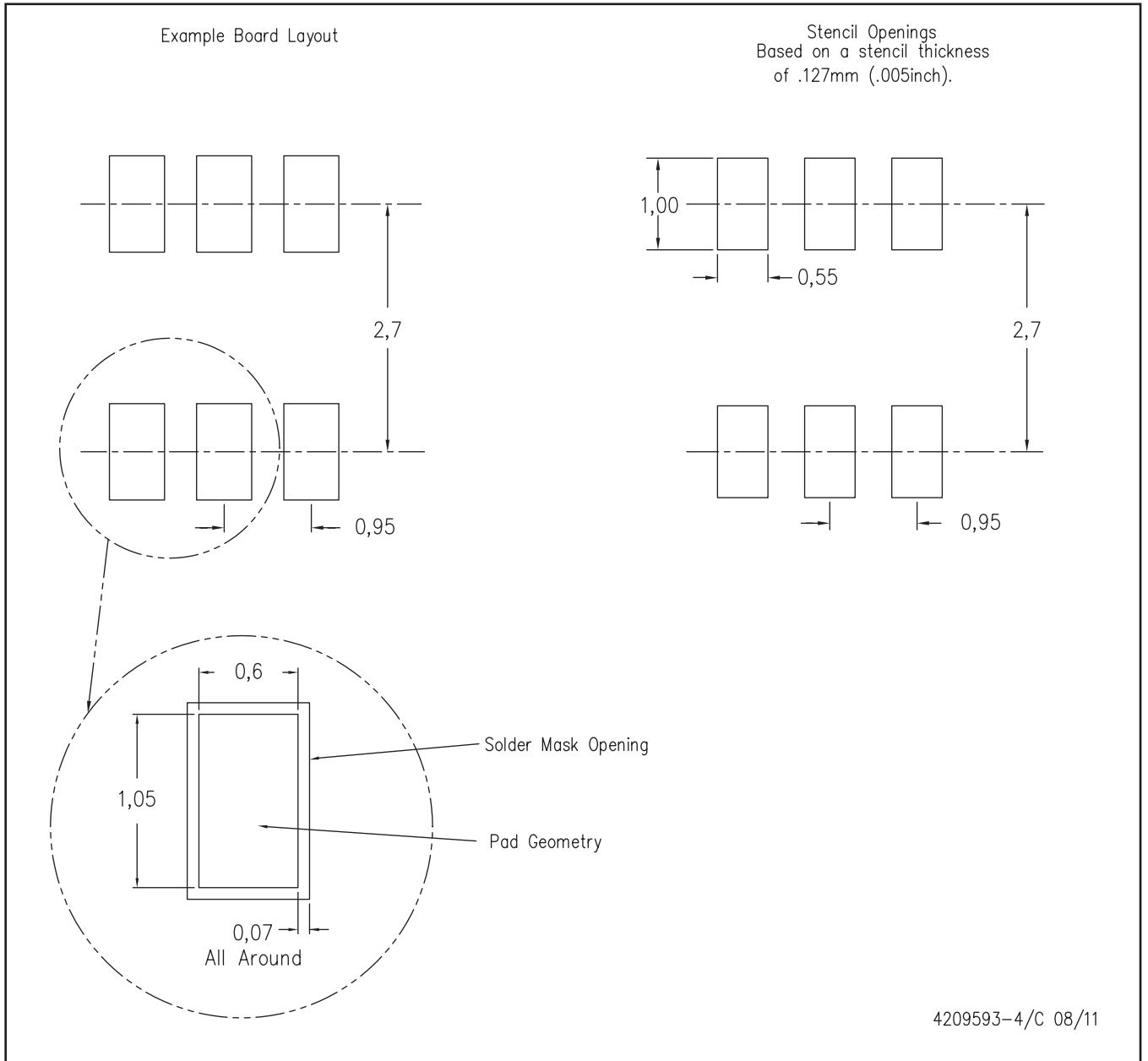
\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
UCC28700DBVR	SOT-23	DBV	6	3000	180.0	180.0	18.0
UCC28700DBVT	SOT-23	DBV	6	250	180.0	180.0	18.0
UCC28701DBVR	SOT-23	DBV	6	3000	180.0	180.0	18.0
UCC28701DBVT	SOT-23	DBV	6	250	180.0	180.0	18.0



4073253-5/k 03/2006

- 注：A. 直線寸法はすべてミリメートル単位です。  
 B. 本図は予告なしに変更することがあります。  
 C. ボディ寸法には、0.15mmを超えるモールド・フラッシュや突起は含まれません。  
 D. リード1,2,3は、パッケージ・オプションにより、リード4,5,6より幅が広がっています。  
 E. 最小リード幅を除き、JEDEC MO178 Variation ABに適合します。



- 注：A. 全ての線寸法の単位はミリメートルです。  
 B. 図は予告なく変更することがあります。  
 C. 中央の半田マスク定義パッドを変更しないように、回路基板組み立て図に注記を書き込んでください。  
 D. 代替設計については、資料IPC-7351を推奨します。  
 E. レーザ切断開口部の壁面を台形にし、角に丸みを付けることで、ペーストの離れがよくなります。ステンシル設計要件については、基板組み立て拠点にお問い合わせください。例に示したステンシル設計は、50%容積のメタルロード半田ペーストに基づいています。ステンシルに関する他の推奨事項については、IPC-7525を参照してください。

# ご注意

Texas Instruments Incorporated 及びその関連会社 (以下総称して TI といいます) は、最新の JESD46 に従いその半導体製品及びサービスを修正し、改善、改良、その他の変更をし、又は最新の JESD48 に従い製品の製造中止またはサービスの提供を中止する権利を留保します。お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかご確認下さい。全ての半導体製品は、ご注文の受諾の際に提示される TI の標準販売契約約款に従って販売されます。

TI は、その製品が、半導体製品に関する TI の標準販売契約約款に記載された保証条件に従い、販売時の仕様に対応した性能を有していることを保証します。検査及びその他の品質管理技法は、TI が当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、適用される法令によってそれ等の実行が義務づけられている場合を除き、必ずしも行なわれておりません。

TI は、製品のアプリケーションに関する支援又はお客様の製品の設計について責任を負うことはありません。TI 製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI 製部品を使用したお客様の製品及びアプリケーションに関連する危険を最小のものとするため、適切な設計上及び操作上の安全対策は、お客様にてお取り下さい。

TI は、TI の製品又はサービスが使用されている組み合わせ、機械装置、又は方法に関連している TI の特許権、著作権、回路配置利用権、その他の TI の知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TI が第三者の製品もしくはサービスについて情報を提供することは、TI が当該製品又はサービスを使用することについてライセンスを与えるとか、保証又は是認するということを含みません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない、又は TI の特許その他の知的財産権に基づき TI からライセンスを得て頂かなければならない場合もあります。

TI のデータ・ブック又はデータ・シートの中にある情報の重要な部分の複製は、その情報に一切の変更を加えること無く、且つその情報と関連する全ての保証、条件、制限及び通知と共になされる限りにおいてのみ許されるものとします。TI は、変更が加えられて文書化されたものについては一切責任を負いません。第三者の情報については、追加的な制約に服する可能性があります。

TI の製品又はサービスについて TI が提示したパラメーターと異なる、又は、それを超えてなされた説明で当該 TI 製品又はサービスを再販売することは、関連する TI 製品又はサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、且つ不公正で誤認を生じさせる行為です。TI は、そのような説明については何の義務も責任も負いません。

TI からのアプリケーションに関する情報提供又は支援の一切に拘わらず、お客様は、ご自身の製品及びご自身のアプリケーションにおける TI 製品の使用に関する法的責任、規制、及び安全に関する要求事項の全てにつき、これをご自身で遵守する責任があることを認め、且つそのことに同意します。お客様は、想定される不具合がもたらす危険な結果に対する安全対策を立案し実行し、不具合及びその帰結を監視し、害を及ぼす可能性のある不具合の可能性を低減し、及び、適切な治療措置を講じるために必要な専門的知識の一切を自ら有することを表明し、保証します。お客様は、TI 製品を安全でないことが致命的となるアプリケーションに使用したことから生じる損害の一切につき、TI 及びその代表者にその全額の補償をするものとします。

TI 製品につき、安全に関連するアプリケーションを促進するために特に宣伝される場合があります。そのような製品については、TI が目的とするところは、適用される機能上の安全標準及び要求事項を満たしたお客様の最終製品につき、お客様が設計及び製造ができるようお手伝いすることにあります。それにも拘わらず、当該 TI 製品については、前のパラグラフ記載の条件の適用を受けるものとします。

FDA クラス III (又は同様に安全でないことが致命的となるような医療機器) への TI 製品の使用は、TI とお客様双方の権限ある役員の間で、そのような使用を行う際について規定した特殊な契約書を締結した場合を除き、一切認められていません。

TI が軍需対応グレード品又は「強化プラスチック」製品として特に指定した製品のみが軍事用又は宇宙航空用アプリケーション、若しくは、軍事的環境又は航空宇宙環境にて使用されるように設計され、かつ使用されることを意図しています。お客様は、TI がそのように指定していない製品を軍事用又は航空宇宙用に使う場合は全てご自身の危険負担において行うこと、及び、そのような使用に関して必要とされるすべての法的要求事項及び規制上の要求事項につきご自身のみの責任により満足させることを認め、且つ同意します。

TI には、主に自動車用に使われることを目的として、ISO/TS 16949 の要求事項を満たしていると特別に指定した製品があります。当該指定を受けていない製品については、自動車用に使われるようには設計されてもいませんし、使用されることを意図しておりません。従いまして、前記指定品以外の TI 製品が当該要求事項を満たしていなかったことについては、TI はいかなる責任も負いません。

Copyright © 2014, Texas Instruments Incorporated  
日本語版 日本テキサス・インスツルメンツ株式会社

## 弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

### 1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位 (外装から取り出された内装及び個装) 又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で (導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

### 2. 温・湿度環境

- 温度：0~40℃、相対湿度：40~85%で保管・輸送及び取り扱いを行うこと。(但し、結露しないこと。)

- 直射日光が当たる状態で保管・輸送しないこと。

### 3. 防湿梱包

- 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。

### 4. 機械的衝撃

- 梱包品 (外装、内装、個装) 及び製品単品を落下させたり、衝撃を与えないこと。

### 5. 熱衝撃

- はんだ付け時は、最低限 260℃ 以上の高温状態に、10 秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)

### 6. 汚染

- はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質 (硫黄、塩素等ハロゲン) のある環境で保管・輸送しないこと。
- はんだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上