

UCC28730、ゼロパワー・スタンバイ、 PSRフライバック・コントローラ CVCCおよびウェイクアップ監視付き

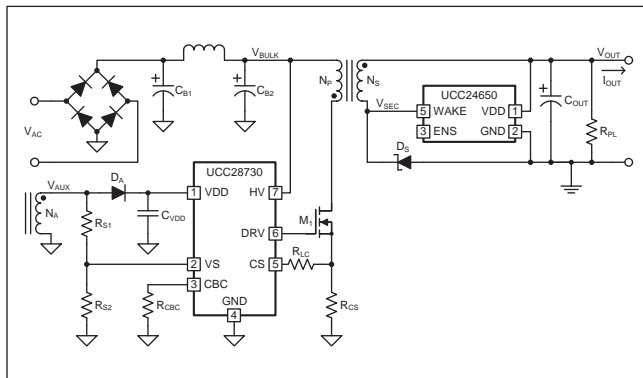
1 特長

- ゼロパワー：5mW未満の待機電力を実現
- スマートなウェイクアップ検出によって出力容量を最小化
- 1次側レギュレーション(PSR)によりフォトカプラが不要
- ラインおよび負荷に対する±5%の電圧レギュレーションおよび電流レギュレーション
- 700Vのスタートアップ・スイッチ
- 83kHzの最大スイッチング周波数により低待機電力のチャージャ設計が可能
- 共振リング・バレー・スイッチング動作で全体効率を最大化
- EMI準拠を容易にする周波数デザイン
- クランプされたMOSFETゲート駆動出力
- 過電圧、低ライン、および過電流保護機能
- プログラミング可能なケーブル補償
- SOIC-7パッケージ

2 アプリケーション

- スマートフォン、タブレットなど民生用電子機器向けのアダプタおよびチャージャ

概略回路図



- テレビおよびモニター用電源
- 家電および産業用オートメーション向けSMPS
- スタンバイ電源、補助電源

3 概要

UCC28730絶縁型フライバック電源コントローラは、定電圧 (CV) および定電流 (CC) 出力レギュレーションをフォトカプラなしで実現します。また、ウェイクアップ信号検出により、大きな負荷ステップに対する過渡応答が向上します。30Hzの最小スイッチング周波数により、5mW未満の無負荷時消費電力を容易に実現できます。1次側電源スイッチおよび補助フライバック巻線からの情報を処理することで、出力電圧および電流を精密に制御します。ウェイクアップ監視は、UCC24650などの2次側アラーム・デバイスとともに使用することで、大きな負荷ステップへの高速応答を最小限の出力容量で実現します。

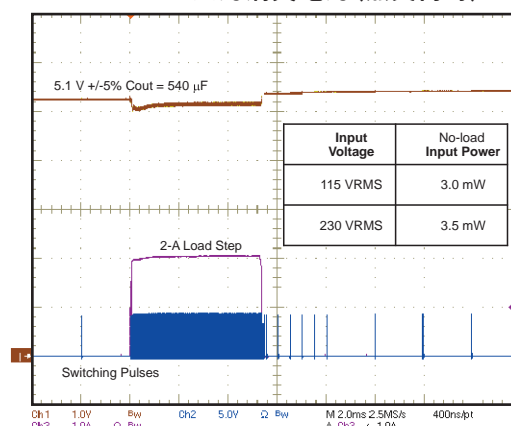
内部の700Vスタートアップ・スイッチ、動的に制御される動作状

デバイス情報⁽¹⁾

PART NUMBER	PACKAGE	BODY SIZE (NOM)
UCC28730	SOIC (7)	4.90 mm x 3.90 mm

(1) 提供されているすべてのパッケージについては、巻末の注文情報を参照してください。

ゼロパワー入力消費電力(無負荷時)



この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本TI) が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。

態、および適切に調整された変調プロファイルにより、スタートアップ時間や出力過渡応答を犠牲にすることなく、非常に低い待機電力をサポートします。UCC28730では、制御アルゴリズムによって、適用される規格を満足または上回る動作効率を実現できます。バレー・スイッチングによる不連続導通

モード(DCM)動作でスイッチング損失が低減されます。スイッチング周波数の変調(FM)および1次側電流のピーク振幅の変調(AM)により、負荷およびライン範囲の全体にわたって高い変換効率を保持します。

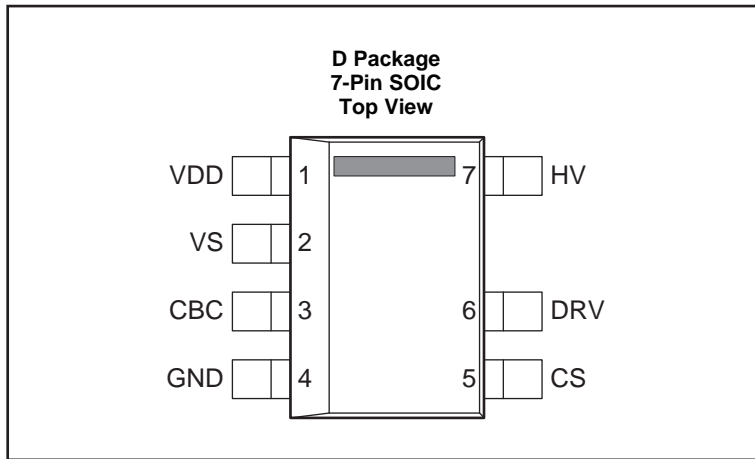
目次

<p>内 容</p> <p>1 特長 1</p> <p>2 アプリケーション 1</p> <p>3 概要 1</p> <p>4 改訂履歴 2</p> <p>5 ピン構成および機能 3</p> <p> 5.1 ピンの詳細説明 4</p> <p>6 仕様 6</p> <p> 6.1 絶対最大定格 6</p> <p> 6.2 ESD定格 6</p> <p> 6.3 推奨動作条件 6</p> <p> 6.4 熱特性について 6</p> <p> 6.5 電気的特性 7</p> <p> 6.6 タイミング要件 8</p> <p> 6.7 スwitching特性 8</p> <p> 6.8 代表的特性 9</p> <p>7 詳細説明 11</p> <p> 7.1 概要 11</p> <p> 7.2 機能ブロック図 11</p>	<p>7.3 機能説明 13</p> <p>7.4 デバイスの機能モード 19</p> <p>8 アプリケーションと実装 20</p> <p> 8.1 アプリケーション情報 20</p> <p> 8.2 代表的なアプリケーション 20</p> <p> 8.3 注意事項 27</p> <p>9 電源に関する推奨事項 27</p> <p>10 レイアウト 28</p> <p> 10.1 レイアウトのガイドライン 28</p> <p> 10.2 レイアウト例 28</p> <p>11 デバイスおよびドキュメントのサポート 29</p> <p> 11.1 デバイスのサポート 29</p> <p> 11.2 ドキュメントのサポート 30</p> <p> 11.3 商標 30</p> <p> 11.4 静電気放電に関する注意事項 30</p> <p> 11.5 用語集 30</p> <p>12 メカニカル、パッケージ、および注文情報 30</p>
--	---

4 改訂履歴

日付	改訂内容	注
2015年2月	*	初版

5 ピン構成および機能



ピン機能⁽¹⁾

PIN		I/O	DESCRIPTION
NAME	NO.		
VDD	1	P	VDD：コントローラへのバイアス電源入力ピンです。このピンとGNDの間に、バイパス・コンデンサを注意深く配置する必要があります。
VS	2	I	Voltage Sense：コントローラに電圧帰還および消磁タイミングを提供するための入力であり、出力電圧のレギュレーション、周波数制限、定電流制御、ライン電圧検出、出力過電圧検出などに使用されます。このピンは、補助巻線とGNDの間の分圧抵抗回路に接続します。この分圧抵抗回路の上側抵抗の値を使用して、AC電源の稼働/停止スレッシュホールドおよびCSピンのライン補償をプログラミングします。この入力は、待ち状態で動作しているときに、有効なウェイクアップ信号の検出にも使用されます。
CBC	3	I	CaBle Compensation：ケーブルでの電圧降下の補償用のプログラミング・ピンです。ケーブル補償は、GNDとの間に接続した抵抗によってプログラミングします。
GND	4	G	GrouND：コントローラのリファレンス・ピンであり、駆動出力のLow側リターンです。すべてのACデカップリング・コンデンサのリターンをこのピンにできる限り近づけて配置し、また、パワーおよび信号リターン・パスと共通のパターン長は避ける必要があります。
CS	5	I	Current Sense：電源スイッチと直列に接続されたグラウンド基準の電流センス抵抗に接続する入力です。結果の電圧を使用して、ピーク1次側電流の監視と制御を行います。このピンに直列抵抗を追加することで、整流されたバルク電圧の変動時にピーク・スイッチ電流レベルを補償できます。
DRV	6	O	DRiVe：外部の高電圧MOSFETスイッチング・トランジスタのゲートを駆動する出力です。
HV	7	I	High Voltage：整流されたバルク電圧に直接接続されるピンであり、電源のスタートアップ用VDDコンデンサに電荷を供給します。

(1) P = 電源、G = グランド、I = 入力、O = 出力、I/O = 入力/出力

5.1 ピンの詳細説明

5.1.1 VDD(デバイスのバイアス電圧源)

VDDピンは、バイパス・コンデンサを介してグラウンドに接続されます。ターンオンUVLOスレッショルドは21V、ターンオフUVLOスレッショルドは7.7Vであり、VDDの可能な動作範囲は最大35Vです。標準的なUSB充電仕様では、5Vから最低2Vまでの範囲で、出力電流が定電流モードで動作することが求められます。これは、公称約20Vの V_{VDD} で簡単に実現できます。さらにVDDの余裕を35Vまで広げることで、高負荷状態時にVDDコンデンサに供給されるリーク・エネルギーによる V_{VDD} の上昇を許容できます。

5.1.2 GND(グラウンド)

UCC28730は、デバイス外部に単一のグラウンド・リファレンスを備えており、ゲート駆動電流およびアナログ信号リファレンスに使用されます。VDDのバイパス・コンデンサはGNDおよびVDDの近くに短いパターンで接続し、VSおよびCS信号ピンに加わるノイズを最小限に抑える必要があります。

5.1.3 HV(高電圧スタートアップ)

HVピンは、バルク・コンデンサに直接接続され、VDDコンデンサへのスタートアップ電流を供給します。標準スタートアップ電流は約250 μ Aであり、VDDコンデンサの高速充電が可能です。内部のHVスタートアップ・デバイスは、 V_{VDD} がターンオンUVLOスレッショルドである21Vを超えるまでアクティブであり、21Vを超えるとオフになります。オフ状態では、HVのリーク電流が非常に低く、コントローラのスタンバイ損失が最小限に抑えられます。 V_{VDD} がUVLOターンオフ・スレッショルドである7.7Vを下回ると、HVスタートアップ・デバイスがオンになります。

5.1.4 DRV(ゲート駆動)

DRVピンは、通常は直列抵抗を介して、MOSFETのゲート・ピンに接続されます。ゲート・ドライバは、14Vに制限されたゲート駆動信号を提供します。ドライバのターンオン特性は29mAの電流ソースであり、それによってMOSFETドレインのターンオン時の dv/dt が制限され、先行エッジの電流スパイク

が低減されますが、ミラー・プラトーを越えるだけのゲート駆動電流は供給されます。ゲート駆動のターンオフ電流は、ローサイド・ドライバの $R_{DS(on)}$ および外部のゲート駆動抵抗(存在する場合)によって決定されます。必要に応じて、外部ゲート抵抗を追加すると、MOSFETドレインのターンオフ時の dv/dt が低減されます。通常、このような抵抗値は、共振を抑制するために一般的に使用される標準10 Ω よりも高い値です。ただし、特定の dv/dt を実現する外部抵抗値の計算には、このデータシートでは説明していないMOSFETパラメータを使用します。

5.1.5 CBC(ケーブル補償)

ケーブル補償ピンは、抵抗を介してグラウンドに接続することで、ケーブル抵抗の相殺に必要な出力電圧補償の大きさをプログラミングします。ケーブル補償回路は、0A~ I_{OCC} 最大出力電流に対応してCBCピンに0V~3.13Vの電圧レベルを生成します。CBCピンに対して選択した抵抗により、VSの帰還分圧回路に加算される電流ミラーがプログラミングされ、 I_{OUT} の増加につれてレギュレーション電圧が上昇します。CBCピンには28k Ω の内部直列抵抗があり、CBCがグラウンドに短絡されたときの5V出力に対する最大ケーブル補償を約400mVに設定します。CBC抵抗の値は式(1)で求められます。

$$R_{CBC} = \frac{V_{CBC(max)} \times (V_{OCV} + V_F) \times 3 \text{ k}\Omega}{V_{VSR} \times V_{OCBC}} - 28 \text{ k}\Omega \quad (1)$$

ここで

- $V_{CBC(max)}$ は、最大のコンバータ出力電流におけるケーブル補償ピンの最大電圧です(電気的特性を参照)。
- V_{OCV} は、レギュレーション出力電圧です。
- V_F は、ダイオードの順方向電圧です。
- V_{VSR} は、VS入力でのCVレギュレーション・レベルです。(電気的特性を参照)。
- V_{OCBC} は、出力端子の目標ケーブル補償電圧です。

ケーブル補償は過電圧保護(OVP)スレッショルド V_{OVP} (電気的特性を参照)には影響を与えないため、ケーブル補償の使用時はOVPまでの動作余裕が小さくなります。

5.1.6 VS (電圧センス)

VSピンは、補助巻線とグラウンドの間の分圧抵抗回路に接続され、入力電圧、出力電圧、イベント・タイミング、および待ち状態でのウェイクアップ信号の検出に使用されます。トランスの2次側電流の消磁時間の終わりに補助電圧波形がサンプリングされることで、出力電圧の正確な値が得られます。VSピン上の波形によって、バレー・スイッチングを行うためのタイミング情報、および定電流モードでトランスの2次側電流のデューティ・サイクルを制御するタイミングが決定されます。この波形の正確な検出に影響するため、この入力にフィルタ・コンデンサを配置することは避けてください。

このピンは、MOSFETのオン時間中には、バルク・コンデンサの反射電圧によって R_{S1} に生成されるVS電流も検知することで、AC入力の変動/停止スレッシュホールドを提供し、AC入力範囲全体にわたって電流センス・スレッシュホールドを補償します。AC入力の変動/停止機能について、VSでの変動スレッシュホールドは225 μ A、停止スレッシュホールドは80 μ Aです。

オフ時間中の消磁の終わりに、反射出力電圧をこのピンでサンプリングすることにより、レギュレーションと過電圧保護を実現します。補助分圧抵抗回路の上側抵抗 R_{S1} および下側抵抗 R_{S2} の値は、式 (2) および式 (3) によって決定されます。

$$R_{S1} = \frac{\sqrt{2} \times V_{IN(run)}}{N_{PA} \times I_{VSL(run)}} \quad (2)$$

ここで

- $V_{IN(run)}$ は、コントローラをオン(稼働)にするための目標 AC RMS電圧です (DC入力の場合は、式の $\sqrt{2}$ 項を除外します)。
- $I_{VSL(run)}$ は、スイッチのオン時間中にVSピンから流れる電流の変動スレッシュホールドです (電気的特性を参照)。
- N_{PA} は、トランスの1次/補助巻線比です。

$$R_{S2} = \frac{R_{S1} \times V_{VSR}}{N_{AS} \times (V_{OCV} + V_F) - V_{VSR}} \quad (3)$$

ここで

- V_{OCV} は、コンバータのレギュレーション出力電圧です。
- V_F は、ゼロに近い電流での出力整流器の順方向降下電圧です。
- N_{AS} は、トランスの補助/2次巻線比です。
- R_{S1} は、VS分圧回路のハイサイド抵抗値です。
- V_{VSR} は、VS入力でのCVレギュレーション・レベルです (電気的特性を参照)。

UCC28730が待ち状態で動作しているとき、VS入力はウェイクアップ信号に反応します。この信号は、補助巻線波形が2つの有効状態のいずれかを満足した後で波形に重畳されます。VS入力の振幅が $V_{WU(high)}$ (2V) を超えた場合には、高レベルのウェイクアップ信号が検出されたと見なされます。ただし、この場合、それまでのVS上の電圧が、消磁期間の後で t_{WDLY} (8.5 μ s) (ウェイクアップ有効遅延時間) にわたって連続的に $V_{WU(high)}$ を下回っていたことが条件となります。VS入力の振幅が $V_{WU(low)}$ (57mV) を超えた場合には、低レベルのウェイクアップが検出されたと見なされます。ただし、この場合、それ

までのVS上の電圧が、消磁期間の後で t_{WDLY} (8.5 μ s) (ウェイクアップ有効遅延時間) にわたって連続的に $V_{WU(low)}$ を下回っていたことが条件となります。高レベルのスレッシュホールドは、低インピーダンスの2次側ドライバによって生成される信号を検出し、低レベルのスレッシュホールドは高インピーダンス・ドライバによって生成される信号を検出します。

5.1.7 CS(電流センス)

電流センス・ピンは、直列抵抗 (R_{LC}) を介して電流センス抵抗 (R_{CS}) に接続されます。最大電流センス・スレッシュホールド ($V_{CST(max)}$) は $I_{PP(max)}$ に対して約0.74Vであり、最小電流センス・スレッシュホールド ($V_{CST(min)}$) は $I_{PP(min)}$ に対して約0.25Vです。 R_{LC} は、フィードフォワード・ライン補償機能を提供します。これは、内部補償回路の伝播遅延とMOSFETのターンオフ時間に起因する、入力電圧による I_{PP} の変化を相殺する機能です。MOSFETのターンオン電流スパイクによる影響を防ぐため、内部で225nsの先行エッジ・ブランキング時間が確保されています。CSピンにバイパス・コンデンサを配置する必要はありません。定電流 (CC) レギュレーション中の目標出力電流によって、 R_{CS} の値が決まります。 R_{CS} および R_{LC} の値は、式 (4) および式 (5) によって決定されます。項 V_{CCR} は、消磁定数0.432と $V_{CST(max)}$ の積です。 V_{CCR} は、それを構成するいずれの項よりも厳密な精度に保持されます。項 η_{XFMR} は、トランス内に蓄積されて2次側に供給されないエネルギーを考慮したものです。この項は、トランスの抵抗およびコアでの損失、バイアス電力、および1次/2次リーク比から決定されます。

例：トランスのコアおよび巻線での損失を5%、1次/2次リーク・インダクタンスを3.5%、バイアス電力と出力電力の比を0.5%とすると、最大電力での η_{XFMR} の値は、 $1 - 0.05 - 0.035 - 0.005 = 0.91$ となります。

$$R_{CS} = \frac{V_{CCR} \times N_{PS}}{2 \times I_{OCC}} \times \sqrt{\eta_{XFMR}} \quad (4)$$

ここで

- V_{CCR} は、定電流レギュレーション係数です (電気的特性を参照)。
- N_{PS} はトランスの1次/2次巻線比です (5V出力の場合、標準で13~15)。
- I_{OCC} は、定電流レギュレーション時の目標出力電流です。
- η_{XFMR} は、最大電力出力時のトランスの効率です。

$$R_{LC} = \frac{K_{LC} \times R_{S1} \times R_{CS} \times N_{PA} \times t_D}{L_P} \quad (5)$$

ここで

- K_{LC} は、ライン補償の電流スケール定数です (電気的特性を参照)。
- R_{S1} は、VSピンのハイサイド抵抗値です。
- R_{CS} は、電流センス抵抗値です。
- N_{PA} は、トランスの1次/補助巻線比です。
- t_D は、MOSFETのターンオフ遅延と約50nsの内部遅延から構成される、合計電流センス遅延時間です。
- L_P は、トランスの1次側インダクタンスです。

6 仕様

6.1 絶対最大定格

動作温度範囲内（特に記述のない限り）⁽¹⁾

		MIN	MAX	UNIT
Voltage	HV		700	V
	VDD		38	
	VS	-0.75	7	
	CS, CBC	-0.5	5	
	DRV	-0.5	Self-limiting	
Current	DRV, continuous sink		50	mA
	DRV, source		Self-limiting	
	VS, peak, 1% duty-cycle		-1.2	
T _{LEAD}	Lead temperature 0.6 mm from case for 10 seconds	-65	150	°C
T _{stg}	Storage temperature		260	

(1) 絶対最大定格以上のストレスは、致命的なダメージを製品に与えることがあります。これはストレスの定格のみについて示しており、このデータシートの「推奨動作条件」に示された値を越える状態での本製品の機能動作は含まれていません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。

6.2 ESD定格

		VALUE	UNIT
V _(ESD)	Electrostatic discharge	Human-body model (HBM), per ANSI/ESDA/JEDEC JS-001 ⁽¹⁾	±2000
		Charged-device model (CDM), per JEDEC specification JESD22-C101 ⁽²⁾	±500

(1) JEDECのドキュメントJEP155に、500V HBMでは標準のESD管理プロセスで安全な製造が可能であると規定されています。

(2) JEDECのドキュメントJEP157に、250V CDMでは標準のESD管理プロセスで安全な製造が可能であると規定されています。

6.3 推奨動作条件

動作温度範囲内（特に記述のない限り）

		MIN	NOM	MAX	UNIT
V _{VDD}	Bias-supply operating voltage	9		35	V
C _{VDD}	VDD by-pass capacitor	0.047			μF
R _{CBC}	Cable-compensation resistance	10			kΩ
I _{VS}	VS pin current, out of pin			1	mA
T _J	Operating junction temperature	-40		125	°C

6.4 熱特性について

THERMAL METRIC ⁽¹⁾		{PACKAGE}	UNIT
		{PIN COUNT} PINS	
R _{θJA}	Junction-to-ambient thermal resistance	141.5	°C/W
R _{θJC(top)}	Junction-to-case (top) thermal resistance	73.8	
R _{θJB}	Junction-to-board thermal resistance	89.0	
ψ _{JT}	Junction-to-top characterization parameter	23.5	
ψ _{JB}	Junction-to-board characterization parameter	88.2	

(1) 従来の熱特性パラメータと新しい熱特性パラメータの詳細については、アプリケーション・レポート「IC Package Thermal Metrics」(SPRA953)を参照してください。

6.5 電気的特性

動作温度範囲内、 $V_{VDD} = 25V$ 、 $HV = \text{オープン}$ 、 $R_{CBC} = \text{オープン}$ 、 $T_A = -40^\circ\text{C} \sim 125^\circ\text{C}$ 、 $T_J = T_A$ (特に記述のない限り)

PARAMETER		TEST CONDITION	MIN	TYP	MAX	UNIT
High-Voltage Start-Up						
I_{HV}	Start-up current out of VDD	$V_{HV} = 100\text{ V}$, $V_{VDD} = 0\text{ V}$, start state	100	250	500	μA
$I_{HVLKG25}$	Leakage current into HV	$V_{HV} = 400\text{ V}$, run state, $T_J = 25^\circ\text{C}$		0.01	0.5	μA
Bias Supply Input Current						
I_{RUN}	Supply current, run	Run state, $I_{DRV} = 0\text{ A}$		2.1	2.65	mA
I_{WAIT}	Supply current, wait	Wait state, $I_{DRV} = 0\text{ A}$, $V_{VDD} = 20\text{ V}$		52	75	μA
I_{START}	Supply current, start	Start state, $I_{DRV} = 0\text{ A}$, $V_{VDD} = 18\text{ V}$, $I_{HV} = 0\text{ A}$		18	30	μA
I_{FAULT}	Supply current, fault	Fault state, $I_{DRV} = 0\text{ A}$		54	75	μA
Under-Voltage Lockout						
$V_{VDD(on)}$	VDD turn-on threshold	V_{VDD} low to high	17.5	21	23	V
$V_{VDD(off)}$	VDD turn-off threshold	V_{VDD} high to low	7.3	7.7	8.1	V
VS Input and Wake-Up Monitor						
V_{VSR}	Regulating level ⁽¹⁾	Measured at no-load condition, $T_J = 25^\circ\text{C}$	4.00	4.04	4.08	$\text{V}^{(1)}$
V_{VSNC}	Negative clamp level below GND	$I_{VSLS} = -300\ \mu\text{A}$	190	250	325	mV
I_{VSB}	Input bias current	$V_{VS} = 4\text{ V}$	-0.25	0	0.25	μA
$V_{WU(high)}$	Wake-up threshold at VS, high ⁽²⁾	VS pin rising		2		$\text{V}^{(2)}$
$V_{WU(low)}$	Wake-up threshold at VS, low	VS pin rising	15	57	105	mV
CS Input						
$V_{CST(max)}$	CS maximum threshold voltage ⁽³⁾	$V_{VS} = 3.7\text{ V}$	710	740	770	$\text{mV}^{(3)}$
$V_{CST(min)}$	CS minimum threshold voltage	$V_{VS} = 4.35\text{ V}$	230	249	270	mV
K_{AM}	AM control ratio, $V_{CST(max)} / V_{CST(min)}$		2.75	2.99	3.20	V/V
V_{CCR}	Constant-current regulation factor		310	319	329	mV
K_{LC}	Line compensation current ratio, $I_{VSLS} / \text{current out of CS pin}$	$I_{VSLS} = -300\ \mu\text{A}$	24	25.3	28	A/A
Driver						
I_{DRS}	DRV source current	$V_{DRV} = 8\text{ V}$, $V_{VDD} = 9\text{ V}$	20	29	35	mA
R_{DRVLS}	DRV low-side drive resistance	$I_{DRV} = 10\text{ mA}$		6	12	Ω
V_{DRCL}	DRV clamp voltage	$V_{VDD} = 35\text{ V}$	13	14.5	16	V
R_{DRVSS}	DRV pull-down in start state		150	190	230	$\text{k}\Omega$

(1) VSでのレギュレーション・レベルとOVスレッショルドは、温度の上昇に伴って $1\text{mV}/^\circ\text{C}$ の割合で低下します。この温度に対する補償は、外部の出力整流器に関連した電源出力レギュレーションと過電圧検出における変動を低減するために組み込まれています。

(2) 精度が標準値の $\pm 10\%$ 以内となるよう設計されています。

(3) これらのスレッショルド電圧は、平均レベルを示しています。このデバイスは、EMI性能を高めるために、電流センス・スレッショルドを自動的に変化させます。

電気的特性

動作温度範囲内、 $V_{DD} = 25V$ 、 $HV = \text{オープン}$ 、 $R_{CBC} = \text{オープン}$ 、 $T_A = -40^{\circ}C \sim 125^{\circ}C$ 、 $T_J = T_A$ (特に記述のない限り)

PARAMETER		TEST CONDITION	MIN	TYP	MAX	UNIT
Protection						
V_{OVP}	Over-voltage threshold ⁽¹⁾	At VS input, $T_J = 25^{\circ}C$	4.52	4.62	4.71	V ⁽¹⁾
V_{OCP}	Over-current threshold	At CS input	1.4	1.5	1.6	V
$I_{VSL(run)}$	VS line-sense run current	Current out of VS pin increasing	190	225	275	μA
$I_{VSL(stop)}$	VS line-sense stop current	Current out of VS pin decreasing	70	80	100	μA
K_{VSL}	VS line-sense ratio, $I_{VSL(run)} / I_{VSL(stop)}$		2.45	2.8	3.05	A/A
$T_{J(stop)}$	Thermal shut-down temperature	Internal junction temperature		165		$^{\circ}C$
Cable Compensation						
$V_{CBC(max)}$	Cable compensation output maximum voltage	Voltage at CBC at full load	2.9	3.13	3.5	V
$V_{CVS(min)}$	Minimum compensation at VS	$V_{CBC} = \text{open}$, change in VS regulating level from no load to full load	-50	-15	20	mV
$V_{CVS(max)}$	Maximum compensation at VS	$V_{CBC} = 0 V$, change in VS regulating level from no load to full load	275	325	375	mV

6.6 タイミング要件

		MIN	NOM	MAX	UNIT
t_{WUDLY}	Wake-up qualification delay, $V_{VS} = 0 V$	7.0	8.5	11.0	μs
t_{CSLEB}	Leading-edge blanking time, DRV output duration, $V_{CS} = 1 V$	170	225	280	ns
t_{ZTO}	Zero-crossing timeout delay, no zero-crossing detected	1.6	2.2	2.9	μs

6.7 スイッチング特性

動作温度範囲内 (特に記述のない限り)

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
$f_{SW(max)}$	Maximum switching frequency ⁽¹⁾	$V_{VS} = 3.7 V$	76.0	83.3	90.0	kHz
$f_{SW(min)}$	Minimum switching frequency	$V_{VS} = 4.35 V$	25	32	37	Hz

(1) これらの周波数制限は、平均レベルを示しています。このデバイスは、EMI性能を高めるために、スイッチング周波数を自動的に変化させます。

6.8 代表的特性

$V_{DD} = 25V$ 、 $T_J = 25^\circ C$ (特に記述のない限り)

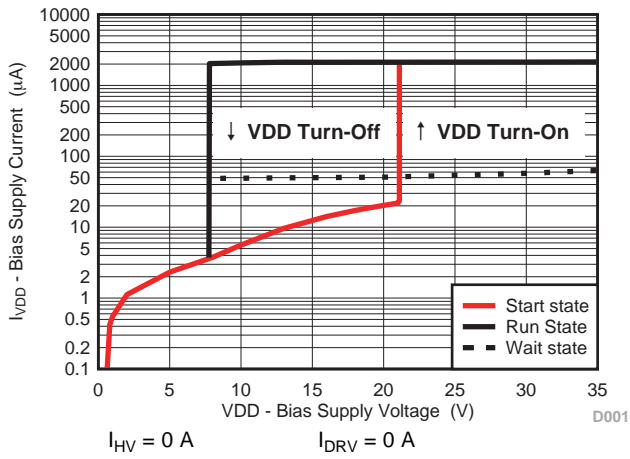


図 1. バイアス消費電流 対 バイアス電源電圧

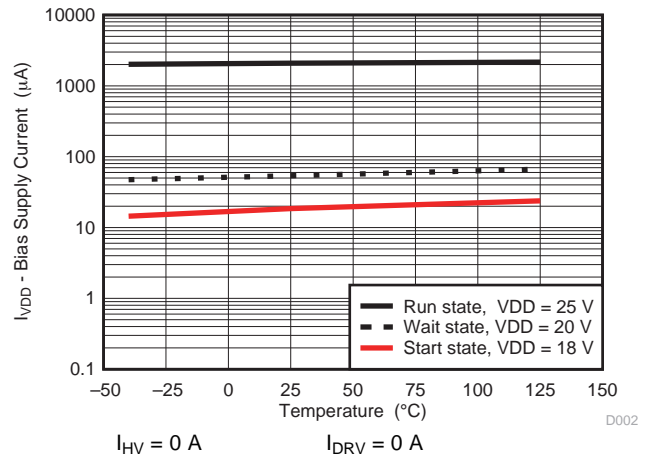


図 2. バイアス消費電流 対 温度

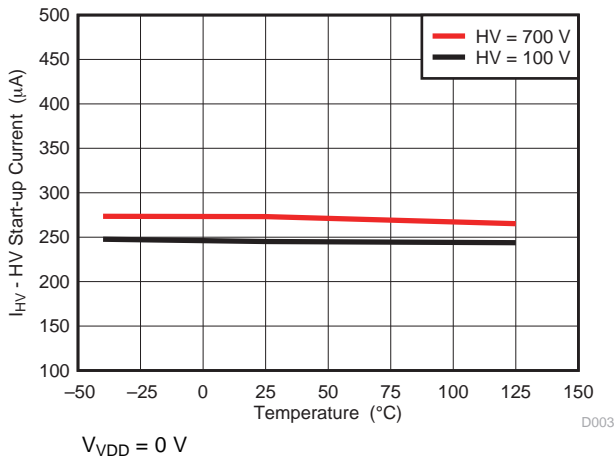


図 3. HVスタートアップ電流 対 温度

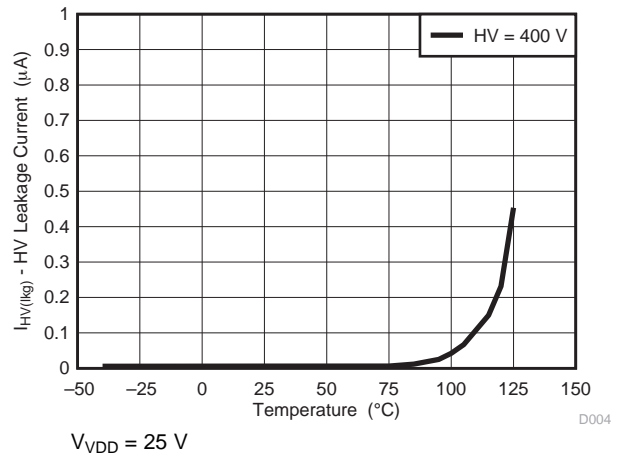


図 4. HVリーク電流 対 温度

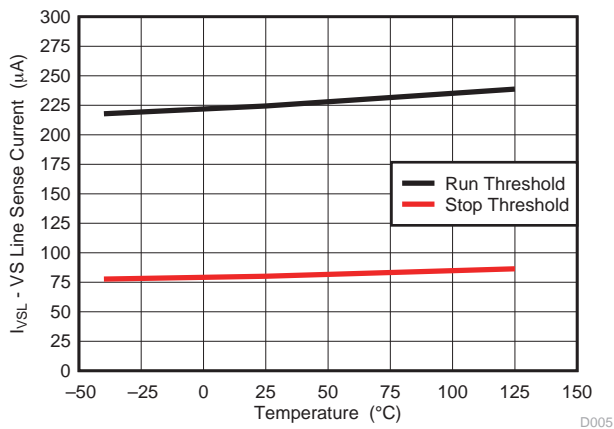


図 5. VSライン・センス電流 対 温度

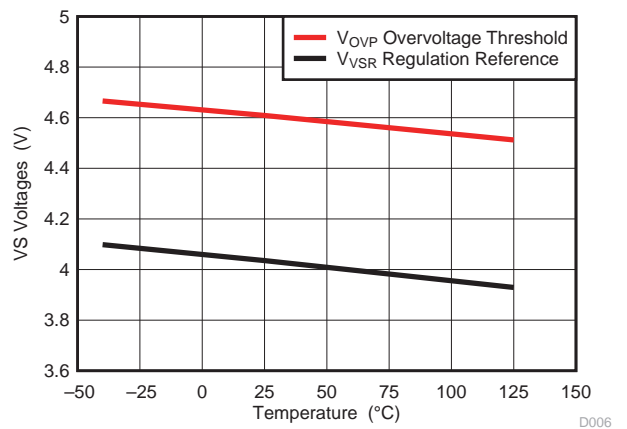


図 6. VS電圧 対 温度

代表的特性

$V_{DD} = 25V$ 、 $T_J = 25^\circ C$ (特に記述のない限り)

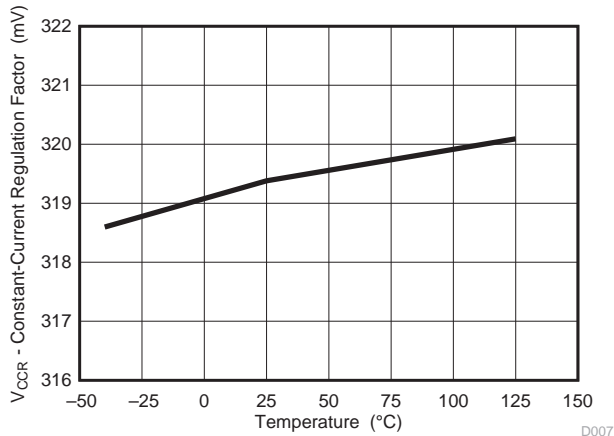


図 7. 定電流レギュレーション係数 対 温度

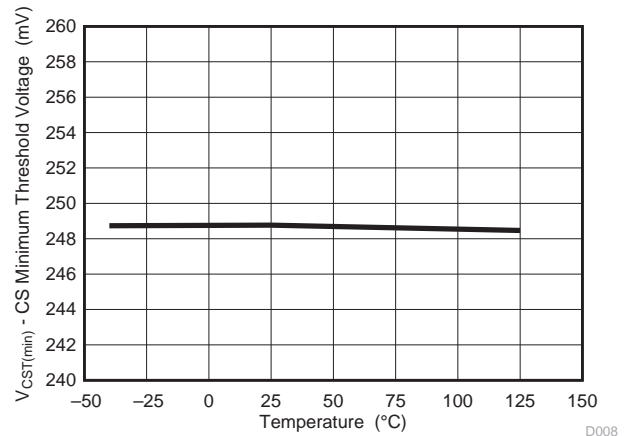
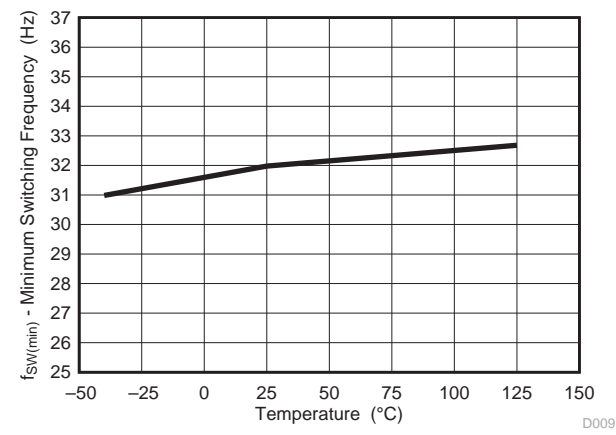
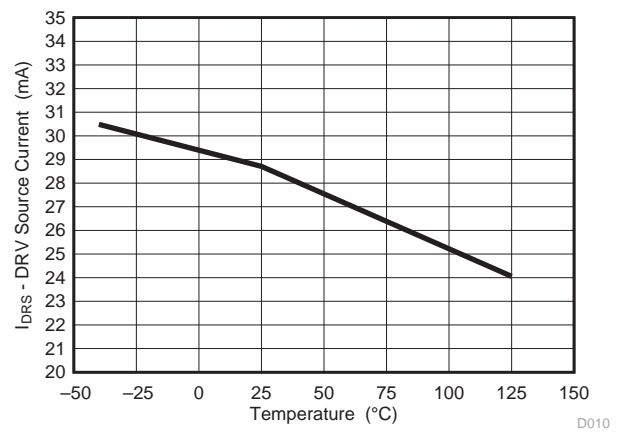


図 8. CS最小スレッショルド電圧 対 温度



$V_{VS} = 4.35 V$

図 9. 最小スイッチング周波数 対 温度



$V_{DD} = 9 V$

$V_{DRV} = 8 V$

図 10. DRVソース電流 対 温度

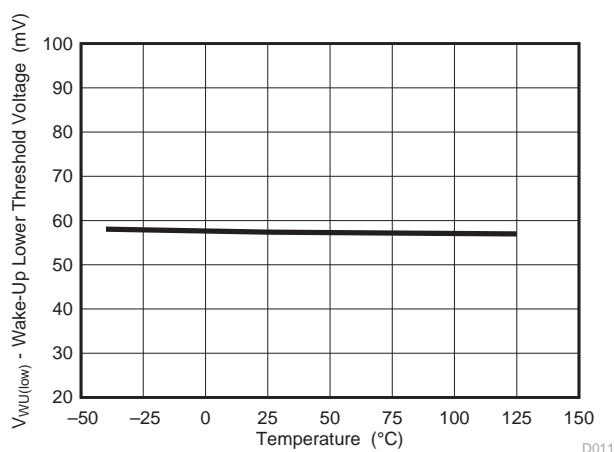
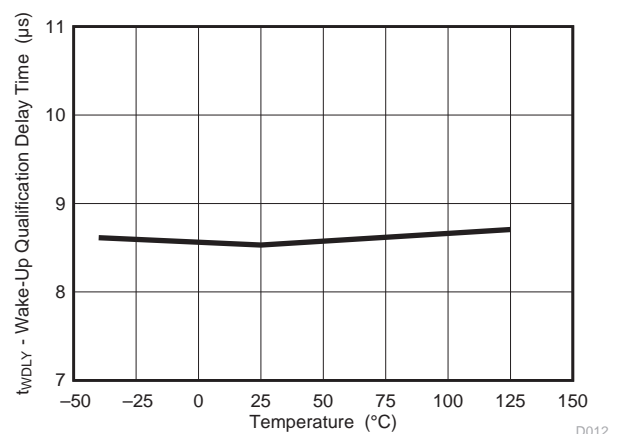


図 11. ウェイクアップ低スレッショルド電圧 対 温度



$V_{VS} = 0 V$

図 12. ウェイクアップ有効遅延時間 対 温度

7. 詳細説明

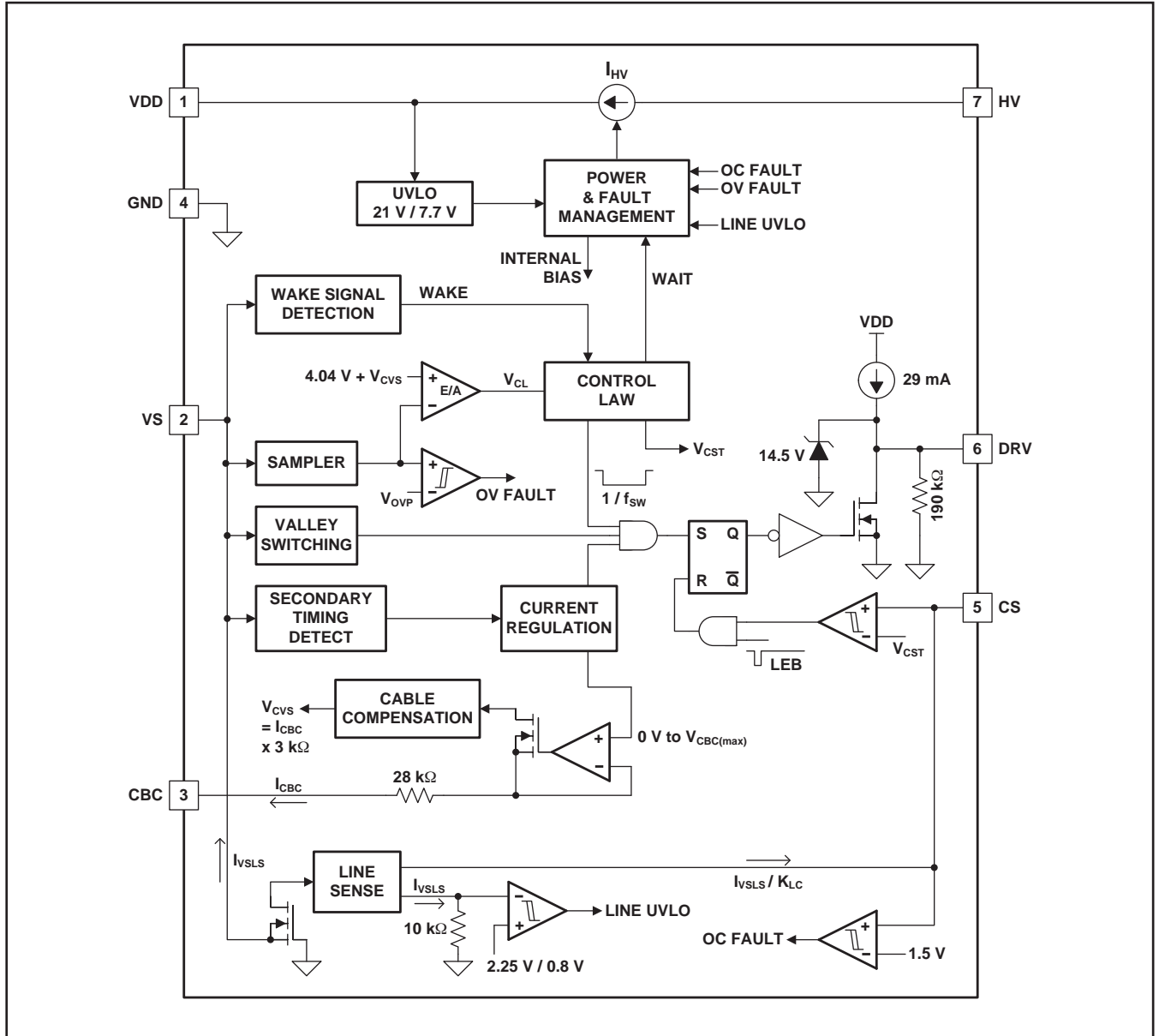
7.1 概要

UCC28730は、1次側巻線センシングを使用して正確な電圧および定電流レギュレーションを提供する絶縁型フライバック電源コントローラであり、フォトカプラ帰還回路は不要です。バレー・スイッチングによる不連続導通モードで動作し、スイッチング損失を最小限に抑えます。変調方式として、周波数変調と1次側ピーク電流変調を組み合わせることにより、負荷範囲全体にわたって高い変換効率を実現します。出力電力の幅

広いダイナミック動作範囲によって、5mW未満の待機電力を容易に実現できます。

低電力レベルでの動作時には、電力管理機能により、28kHz未満のスイッチング周波数でデバイスの動作電流を低減します。UCC28730では、基本スイッチング周波数とその高調波のEMIピーク・エネルギーを低減する機能がパルス幅変調回路に内蔵されています。1次側制御によって、正確な電圧および電流レギュレーション、高速な動的応答、および障害保護が提供されます。直観的な設計プロセス、低コスト、および少ない部品数で、包括的なチャージャ・ソリューションを実現できます。

7.2 機能ブロック図



7.3 機能説明

7.3.1 1次側レギュレーション (PSR)

図13に、フライバック・コンバータの概略図をデバイスの主要な電圧レギュレーション・ブロックとともに示しています。パワー・トレイン動作は他のDCMフライバック回路と同じですが、出力電圧および電流の正確なセンシングが1次側制御の鍵となります。出力電圧は、VS入力に接続された分圧回路を使用して、トランスの消磁時間中の反射電圧として検知されます。1次巻線電流は、CS入力で電流センス抵抗 R_{CS} を使用して検知されます。

1次側制御では、蓄積されたトランスのエネルギーが2次側に伝達された直後に、補助巻線上で出力電圧が間接的に検知されます。図14に示されるように、2次側電流が0まで減少する間に、整流器の V_F と抵抗での電圧降下の合計値が低下していることがわかります。補助巻線で2次側出力電圧の正確な検出を実現するために、弁別器でリーク・インダクタンスのリセットとリングングを確実にブロックし、リングング抑制後に低下していく補助電圧を連続的にサンプリングして、2次側巻線がゼロ電流に達した時点で誤差信号を捕捉します。VSの内部リファレンスは4.04Vです。VSリファレンス電圧には $-1\text{mV}/^\circ\text{C}$ の温度補償が適用され、出力整流器の順方向電圧の温度による変化を相殺します。分圧抵抗回路は、VSピンの説明に示したとおりに選択します。

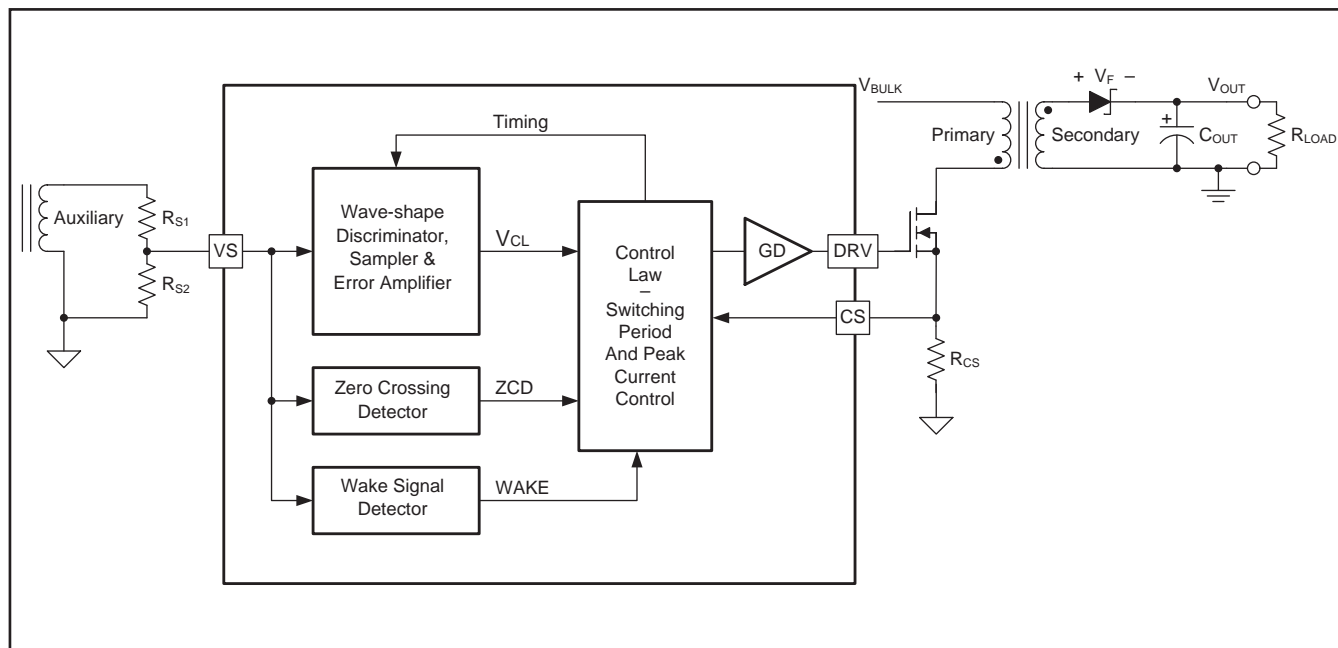


図 13. フライバック・コンバータの概略図 (および主要な電圧レギュレーション・ブロック)

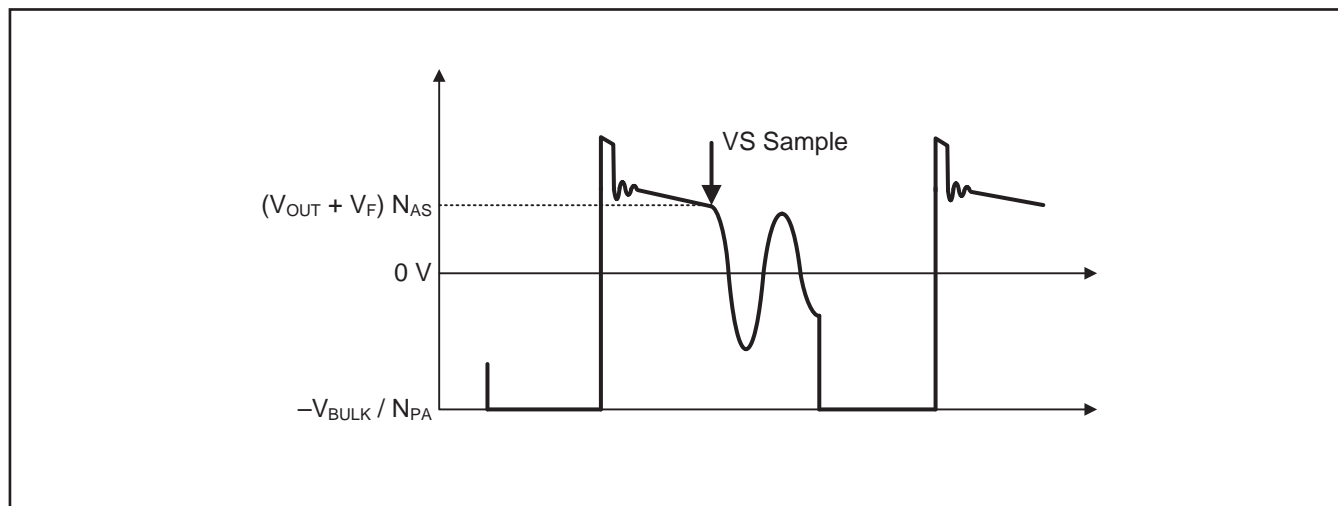


図 14. 補助巻線電圧

UCC28730のVS信号サンプラーでは、補助巻線から出力電圧を正確にサンプリングできるようにする信号識別方法を採用しています。ただし、確実な動作を保証するために、補助巻線信号波形のいくつかの詳細に注目する必要があります。具体的には、リーク・インダクタンスのリセット時間と、それに続くリーク・インダクタンスのリングングの期間です。VSピンでの確実なサンプリングのための波形条件の詳細は、図15を参照してください。

最初に調べる詳細は、リーク・インダクタンスのリセット時間 (図15の t_{LK_RESET})の長さです。これは2次側電流の減少の波形を模倣した後、急激な下降となるため、リーク・リセット時間は最小 I_{PRI} に対して750ns未満、最大 I_{PRI} に対して2.25 μ s未満に保持することが重要です。

2番目の詳細は、 t_{LK_RESET} に続く V_{AUX} 波形上でのリングングの振幅です。VSピンのピーク・ツー・ピーク電圧は、消磁時間 t_{DM} の終わりよりも200ns以上前に、125mV未満になっている必要があります。過度なリングングの懸念がある場合、それは通常、軽負荷または無負荷状態で t_{DM} が最小であるときに発生します。オシロスコープのプロブ容量によるVSでの信号波形の歪みを避けるため、VS波形の特性を見る際には補助巻線をプロブすることを推奨します。VSで許容されるリップルは、 R_{S1} および R_{S2} によって補助巻線電圧へとスケールされ、 $125\text{mV} \times (R_{S1} + R_{S2}) / R_{S2}$ に等しくなります。

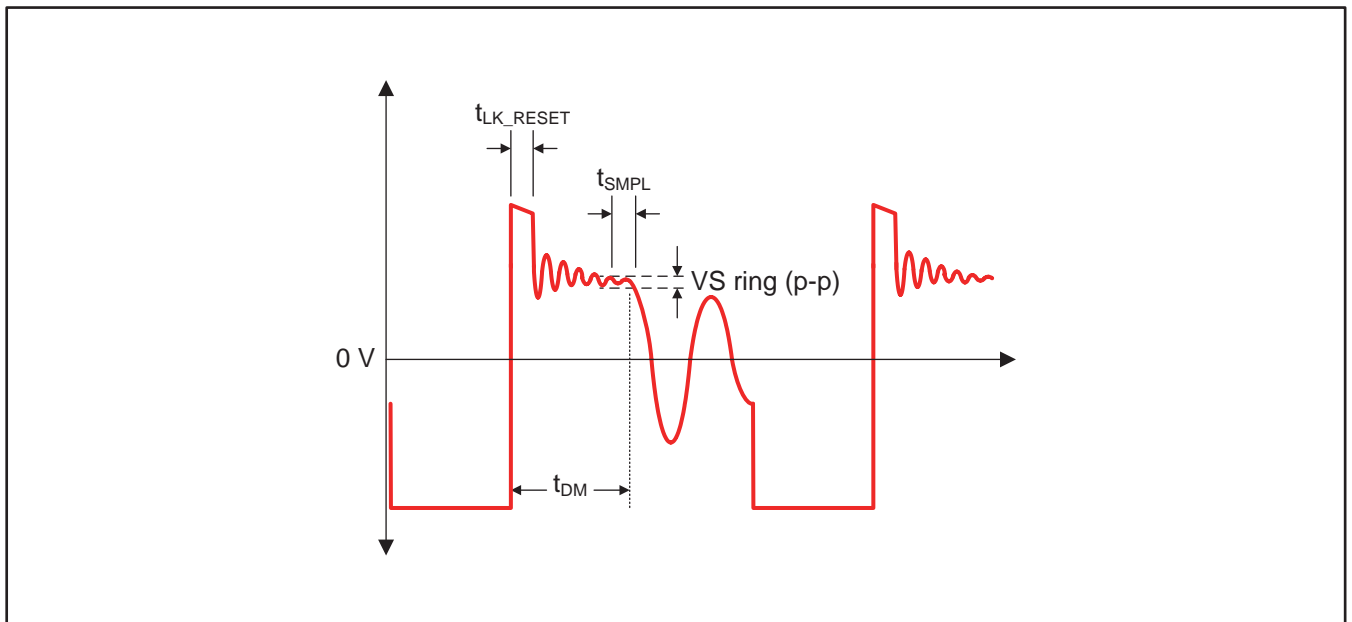


図 15. 補助巻線の詳細波形

7.3.2 1次側定電圧レギュレーション

電圧レギュレーション中は、図16に示す制御規則に従って、コントローラが周波数変調モードおよび振幅変調モードで動作します。制御規則電圧 V_{CL} は、電圧誤差増幅器の出力信号に基づく内部の動作レベルを反映します。これらの信号はいずれもユーザーがアクセスすることはできませんが、CS入力の電流センス信号の周波数と振幅から、 V_{CL} のおおよその値は推定できます。ラインおよび負荷の条件が変化すると、出力電圧のレギュレーションを維持するために、 V_{CL} によって動作周波数と振幅が必要に応じて調整されます。UCC28730は内部ループ補償を搭載しているため、安定性のための外部補償は不要です。

デバイスの内部動作周波数制限は $f_{SW(max)}$ および $f_{SW(min)}$ であり、それぞれ標準で83.3kHzおよび32Hzです。トランスの1次インダクタンスと1次ピーク電流の選択によって、コンバータの最大動作周波数が設定され、これは $f_{SW(max)}$ 以下となる必要があります。反対に、最大目標動作周波数と1次ピーク電流を選択することで、トランスの1次インダクタンス値が決まります。特定のコンバータに対する実際の最小スイッチング周波数は、

最小負荷レベル、リーク・インダクタンス損失、スイッチ・ノード容量損失、その他のスイッチングおよび導通損失、バイアス電源要件など、いくつかの要素に依存します。いずれの場合も、コンバータの最小定常状態周波数は常に $f_{SW(min)}$ を上回っている必要があります。そうしないと、出力電圧が過電圧保護レベル (OVP) まで上昇するおそれがあり、コントローラは「障害保護」で説明されるとおりに応答します。

定常状態の制御規則電圧 V_{CL} は、負荷に応じて1.3~4.85Vの範囲で変化しますが、負荷過渡状態時には0.75V未満または4.85V以上になる場合もあります。0.75Vを下回ると、軽負荷時にスイッチング周波数が低い範囲にシフトします。また、4.85Vを超えると、定電流モード動作に移行します。負荷が軽くなる段階に応じて、3つの低い動作周波数範囲が存在します。これらの各範囲は、それぞれ前の範囲と部分的に重なっていて、非常に低い周波数でも安定したレギュレーションを実現します。これらの低周波数レベルでは、ピーク1次側電流が常に $I_{PP(max)}/3$ に保持されます。レベル間の遷移は、内部の制御規則電圧 V_{CL} に応じて、コントローラによって自動的に行われます。

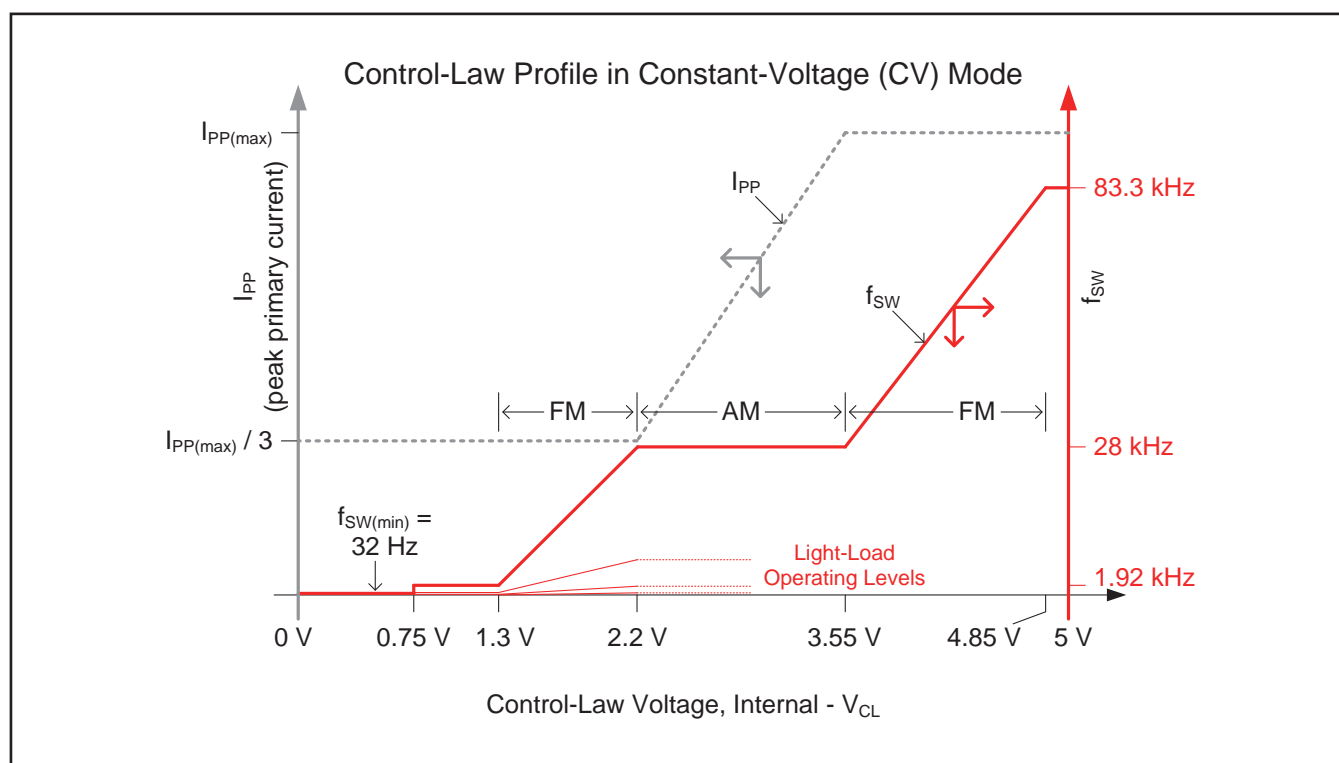


図 16. 周波数変調および振幅変調モード(電圧レギュレーション中)

7.3.3 1次側定電流レギュレーション

VSピンのタイミング情報とCSピンの電流情報によって、2次側平均電流の正確なレギュレーションが可能になります。CVレギュレーションで電力が上昇し、CCレギュレーションに近づくと、1次側ピーク電流が $I_{PP(max)}$ となります。下の図17に従い、1次側ピーク電流、巻線比、2次側消磁時間 (t_{DM})、およびスイッチング周期 (t_{SW})によって、2次側の平均出力電流が決定されます。リーク・インダクタンスの影響を無視すると、平均出力電流は式 (6) で与えられます。

$$I_{OUT} = \frac{I_{PP}}{2} \times \frac{N_P}{N_S} \times \frac{t_{DM}}{t_{SW}} \quad (6)$$

平均出力電流が電流制御ブロックのCCレギュレーション・リファレンス値に達すると、コントローラは周波数変調モードで動作し、出力電流 I_{OCC} を最小動作電圧目標 V_{OCC} (図18を参照)まで、またはそれを下回る任意の出力電圧で制御します(補助巻線によってVDDをUVLOターンオフ・スレッシュホールド以上に保持できる限り)。VDDをUVLOV以上に保持できないほど V_O が低下すると、デバイスはシャットダウンされます。

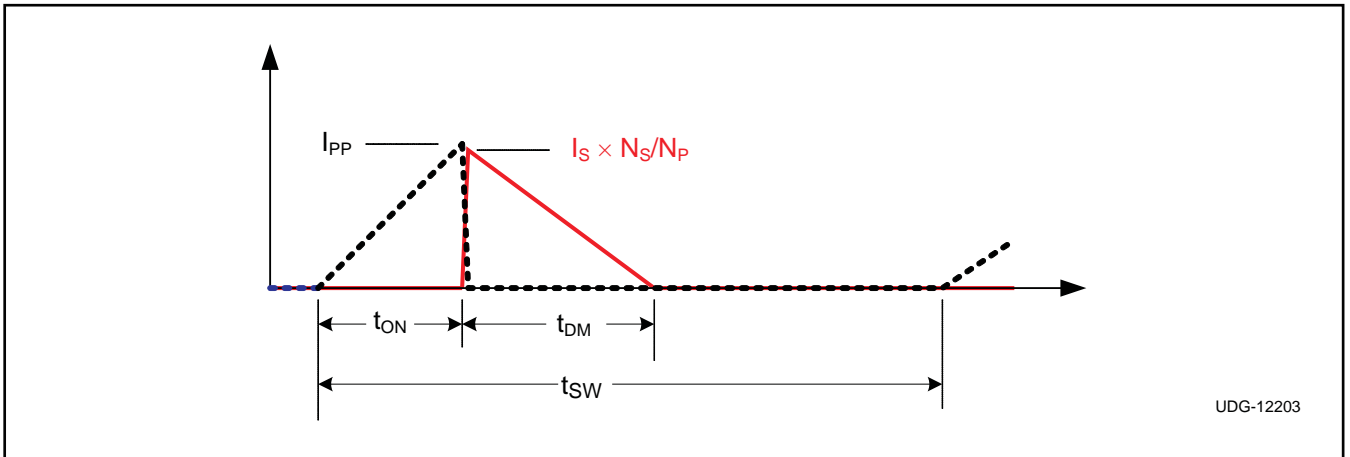


図 17. トランスの電流間関係

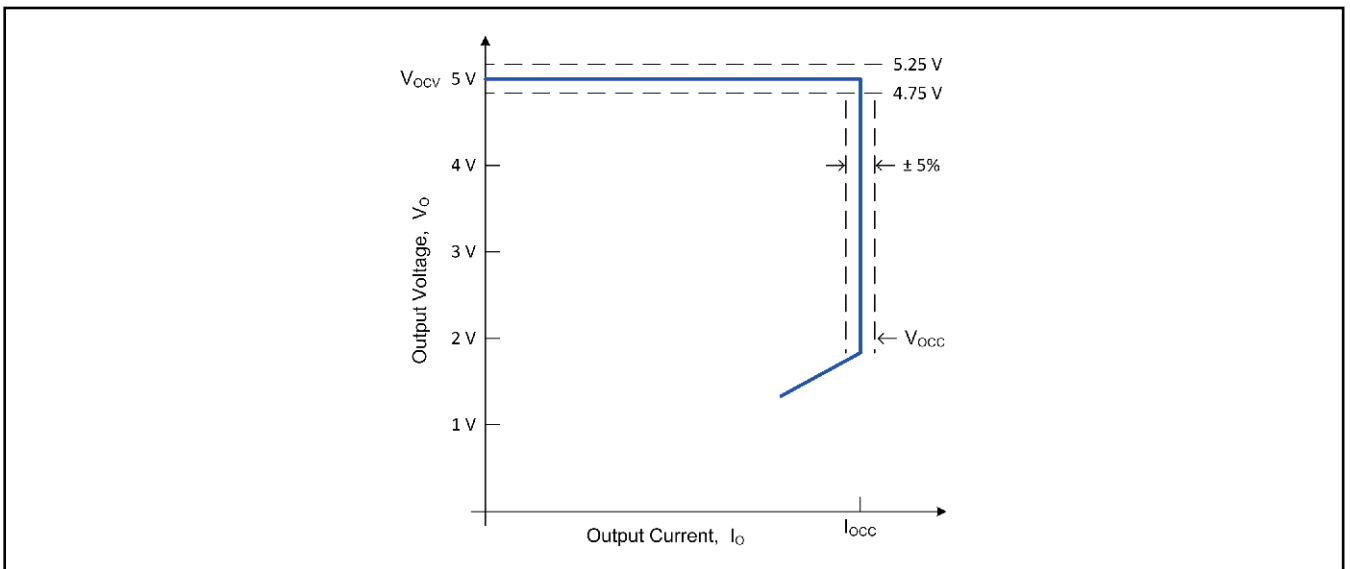


図 18. 標準の出力V-I目標特性

7.3.4 ウェイクアップ検出および機能

VSピンに備えられた主要な機能の1つがウェイクアップ機能であり、2次側のウェイクアップ・デバイス(UCC24650など)と連携して動作します。この機能により、軽負荷および無負荷時のスイッチング周波数を32Hzまで下げることによって損失を最小限に抑えながら、パワー・サイクル間に大きな負荷ステップが生じた場合には、UCC28730を待ち状態(スリープ・モード)から復帰させることができます。低い周波数でも、大きな出力容量を必要とせずに適切な過渡応答を維持できます。待ち状態の間、UCC28730はVS入力で連続的にウェイクアップ信号を監視し、信号が検出されると、いくつかの高周波数パワー・サイクルによって直ちに応答し、制御規則の要求どおりに動作を再開することで、負荷過渡ステップから回復し、出力電圧レギュレーションを再確立します。

ウェイクアップ機能は非常に低い周波数のスイッチング・サイクル間で待ち状態に割り込むため、ウェイクアップ機能なしで電圧を保持する場合と比較して必要な出力容量値がずっと小さくなります。また、コントローラは無負荷状態で極めて低いスイッチング周波数に切り替わるため、スイッチング損失が最小限に抑えられます。これにより、ゼロパワー待機要件を満足する5mW未満の入力電力を容易に実現できます。UCC28730コントローラを単独で使用するだけでは、ゼロパワー動作を保証できません。これは、他のシステム・レベルの制限も関係してくるためです。ただし、UCC28730とUCC24650を組み合わせることで、この目標を達成できます。

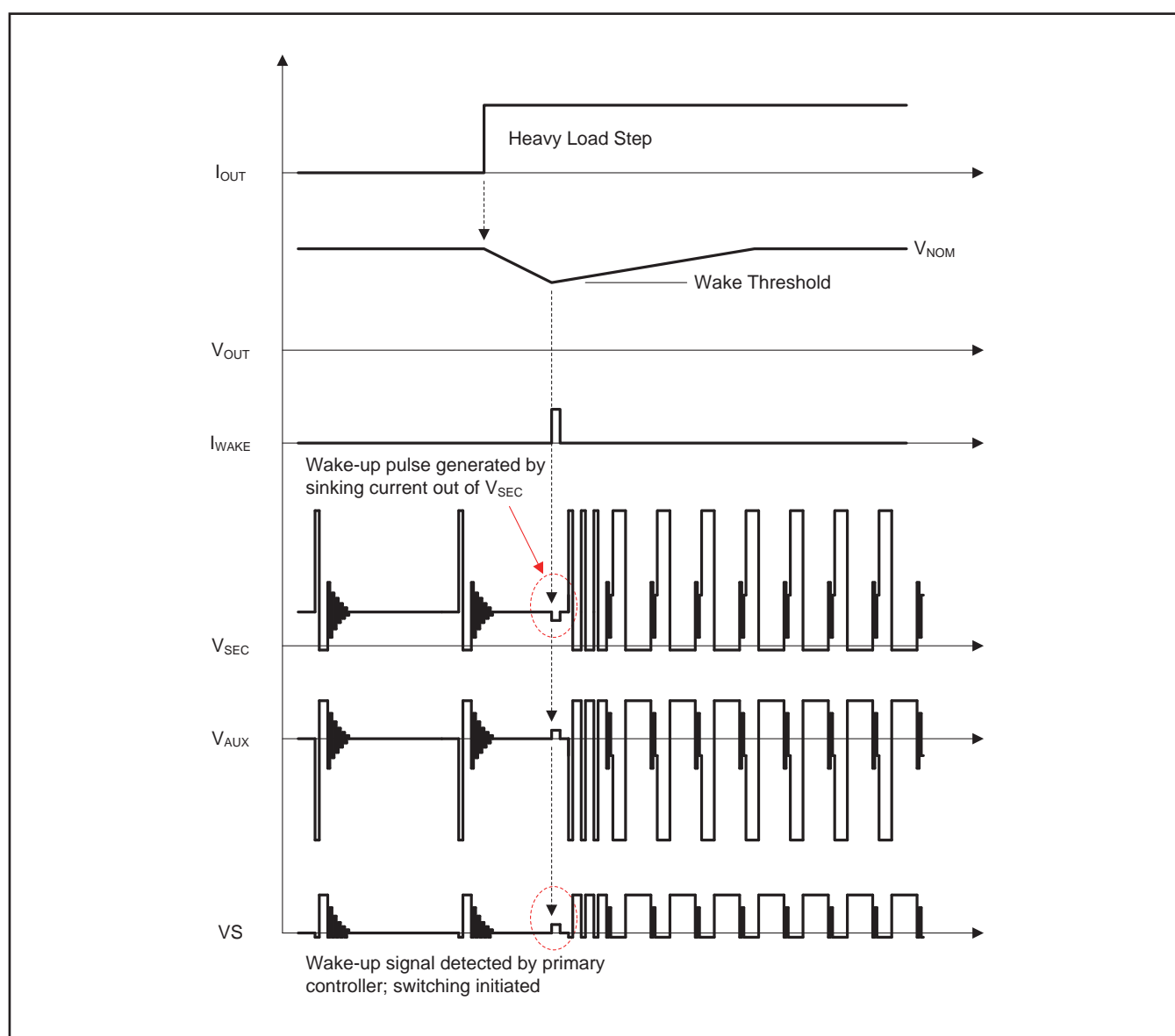


図 19. ウェイクアップ動作の概略図および波形

図19に示した信号は、このデータシートの先頭ページにある概略回路図中の回路ノードに対応しています。2次側ドライバによって供給されるウェイクアップ信号がUCC28730によって有効と見なされ、VS入力で認識されるためには、信号が特定の条件を満足している必要があります。この信号を、スイッチング・パワー・サイクルの後に残存する共振リングングと区別するには、共振リングングの振幅が減衰し、固定された有効時間 t_{WUDLY} にわたって、ウェイクアップ信号検出スレッショルド V_{WU} を下回る必要があります。

UCC28730には、そのようなスレッショルドが2つあり、1つは $V_{WU(low)}$ 、もう1つは $V_{WU(high)}$ です。低い方の $V_{WU(low)}$ スレッショルドは、ウェイクアップ信号に対して比較的高インピー

ダンスのドライバを含むコンバータで使用されます。高い方の $V_{WU(high)}$ スレッショルドは、低インピーダンスのウェイクアップ・ドライバを持つコンバータで使用される場合があります。この2つのスレッショルドは、まったく同じように機能します。高い方のスレッショルドの利点は、UCC28730が、共振リングングが低い方のスレッショルドを下回るまで余分な時間を待つ必要なしに、強いウェイクアップ信号を許容できることです。

図20は、低レベルのウェイクアップ信号に対する有効遅延期間とウェイクアップ応答を示しています。図21は、高レベルのウェイクアップ信号に対する有効遅延期間とウェイクアップ応答を示しています。

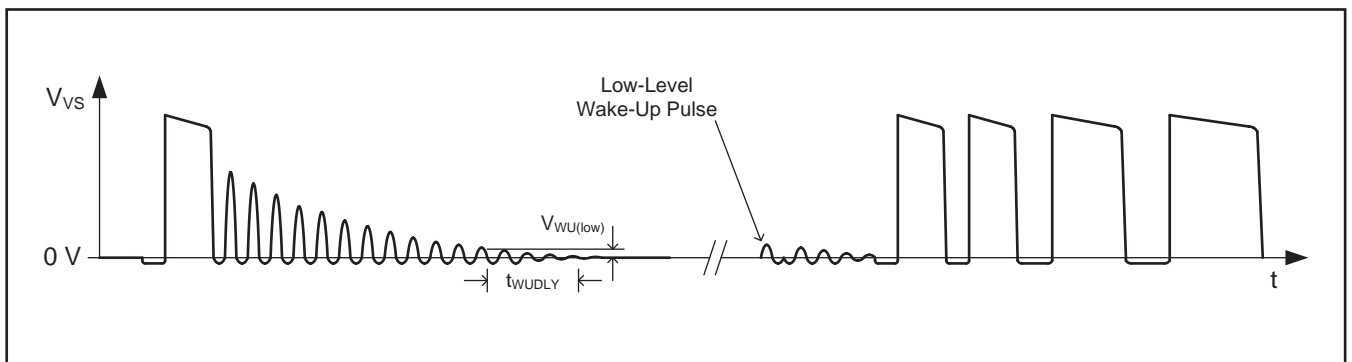


図 20. 低レベルのウェイクアップ信号に対するウェイクアップ有効条件とウェイクアップ応答

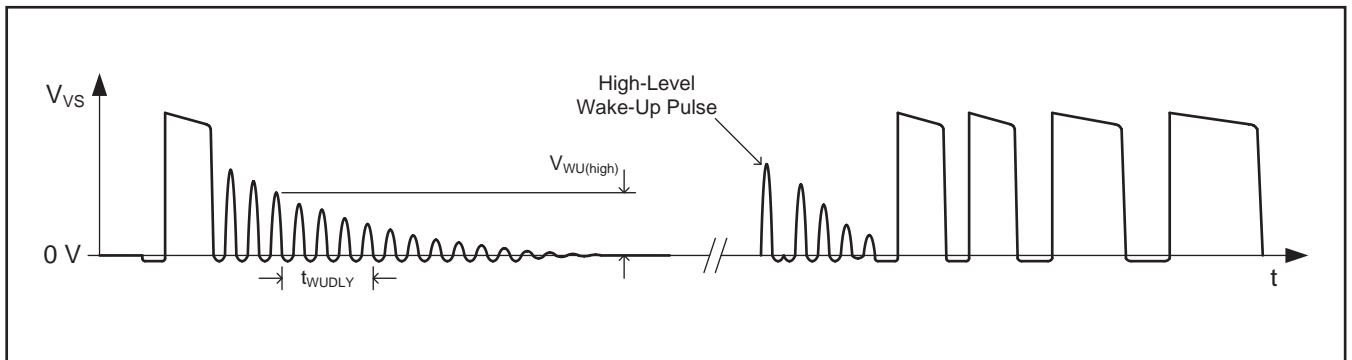


図 21. 高レベルのウェイクアップ信号に対するウェイクアップ有効条件とウェイクアップ応答

7.3.5 バレー・スイッチングとバレー・スキップ

UCC28730は、バレー・スイッチングを利用して、MOSFET内のスイッチング損失を低減し、誘起されるEMIを低減し、電流センス抵抗でのターンオン電流スパイクを最小限に抑えます。バレーが検出できなくなるまで V_{DS} のリングングが減衰しない限り、コントローラはすべての負荷条件でバレー・スイッチング動作を行います。

図22に示すように、UCC28730はほとんどの負荷条件でバレー・スキップ・モード(バレー・ホッピングとも呼ばれる)で動作することにより、正確な電圧または電流レギュレーション点を保持しながら、可能な最小の V_{DS} 電圧でスイッチングを行います。

バレー・スキップでは、各スイッチング・サイクルを個別の周期長へと変調します。FM動作中のスイッチング・サイクルは、エネルギーが固定パケットで出力に供給される周期であり、供給される電力はスイッチング周期に反比例して変化します。高負荷および低ラインなど、スイッチング周期が比較的短い動作条件では、サイクル毎に供給される平均電力はサイクル間でスキップされるバレーの数に基づいて大きく変動します。その結果、バレー・スキップによって、バルク電圧の変化率に応じた周波数を持つ低振幅のリップル電圧が出力に追加で印加されます。スキップされるバレー数の少ないサイクルと多いサイクルとの間の平均的な電力レベルの負荷に対しては、電圧制御ループによって制御規則電圧が変調され、必要な平均出力電力と一致するように長いスイッチング周期と短いスイッチング周期との間で切り替えが行われます。

7.3.6 スタートアップ動作

HVピンを通してバルク・コンデンサ電圧(V_{BULK})に接続されている内部の高電圧スタートアップ・スイッチによって、VDDコンデンサが充電されます。このスタートアップ・スイッチは、VDDコンデンサを充電するために標準250 μ Aを供給する電流源と同様に機能します。 V_{VDD} が21VのUVLOターンオン・スレッシュホールドに達すると、コントローラがイネーブルになり、コンバータがスイッチングを開始し、スタートアップ・スイッチはオフになります。

最初のターンオン時には、多くの場合、出力コンデンサは完全に放電された状態となっています。最初の4スイッチング・サイクルの電流ピークは $I_{PP(min)}$ に制限され、制限された電力供給のもとでの入力または出力の初期障害を監視します。この4サイクルの後、VSでサンプリングされた電圧が1.32V未満の場合、コントローラは特別なスタートアップ・モードで動作します。このモードでは、各スイッチング・サイクルの1次側電流ピーク振幅が約 $0.67 \times I_{PP(max)}$ に制限され、DMAGCCは0.432から0.650へと増加します。スタートアップ中の $I_{PP(max)}$ およびDMAGCCのこのような変化によって、出力コンデンサの高周波充電が可能になり、消磁電圧が低い間の可聴ノイズの発生を防ぎます。サンプリングされたVS電圧が1.36Vを超えると、DMAGCCは再び0.432となり、1次側電流ピークも $I_{PP(max)}$ に戻ります。出力コンデンサの充電中、コンバータはCCモードで動作し、出力電圧がレギュレーションに入るまでの間、定出力電流を維持します。その後、コントローラは制御規則で規定された状態に対して応答します。出力レギュレーションに達するまでの時間の長さは、VDDコンデンサが $V_{VDD(on)}$ まで充電されるのにかかる時間と、出力コンデンサの充電にかかる時間との和です。

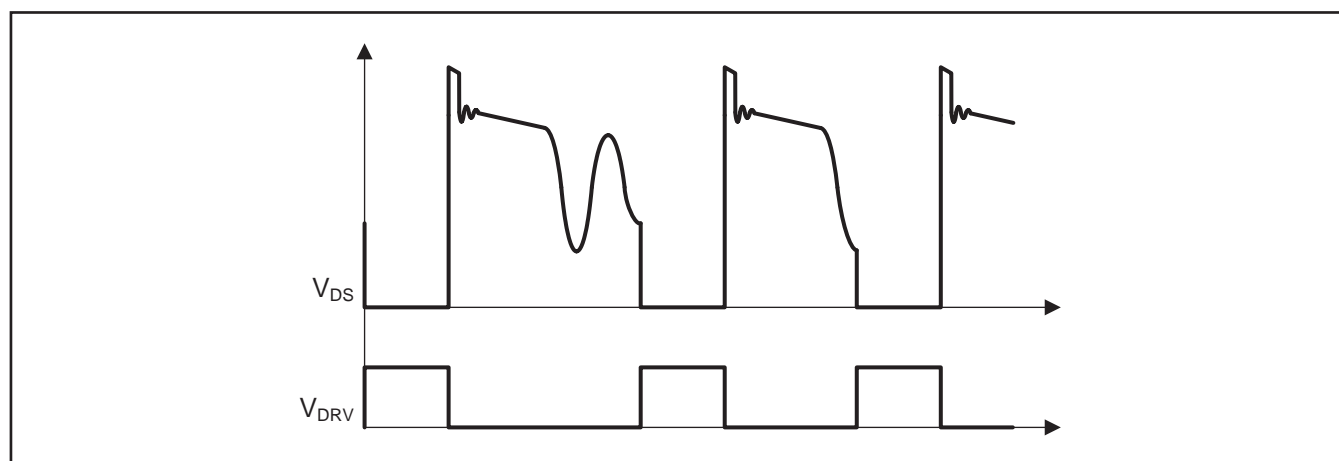


図 22. バレー・スキップ・モード

7.3.7 障害保護

UCC28730は、包括的な障害保護機能を備えています。これには、以下の機能が含まれます。

1. 出力過電圧
2. 入力低電圧
3. 内部過熱
4. 1次側過電流障害
5. CSピン障害
6. VSピン障害

すべての障害保護イベントに対して、UVLOのリセットおよび再起動シーケンスが適用されます。

出力過電圧機能は、VSピン上の電圧帰還によって決定されます。VSでサンプリングされた電圧が連続3スイッチング・サイクルにわたって4.6Vを超えた場合、デバイスはスイッチングを停止し、内部消費電流は I_{FAULT} となって、VDDコンデンサがUVLOターンオフ・スレッシュホールドまで放電されます。その後、デバイスは開始状態に戻り、スタートアップ・シーケンスが実行されます。

MOSFETのオン時間中にVSピンに流れる電流によって、ライン入力の稼働および停止電圧が決定されます。MOSFETのオン時間中にVSピンがGND付近でクランプされている間、 R_{S1} を流れる電流が監視され、 V_{BULK} のサンプルが決定されます。稼働スレッシュホールドと停止スレッシュホールドの間が大きく離れていることで、ライン電圧による電源のクリーンなスタートアップとシャットダウンを行えます。稼働電流スレッシュホールドは $225\mu A$ 、停止電流スレッシュホールドは $80\mu A$ です。スタートアップ前には C_{BULK} に負荷がないため、スタートアップ時に稼働する際の入力AC電圧は、常に整流ラインのピーク電圧に対応します。停止する際のAC入力電圧は負荷によって変化します。これは、 V_{BULK} の最小値が負荷および C_{BULK} の値に依存するためです。最大負荷では停止電圧が稼働電圧に近くなりますが、無負荷状態では停止電圧が稼働電圧の約1/3となる場合があります。

UCC28730は常に、サイクル毎の1次側ピーク電流制御によって動作します。CSピンの通常動作範囲は $0.74\sim 0.249V$ です。連続3サイクルの先行エッジ・プランキング間隔の後でCSピンが $1.5V$ に達した場合には、追加の保護が適用され、結果としてUVLOのリセットおよび再起動シーケンスが実行されます。

通常、最初のスタートアップ時には、最初の4パワー・サイクルの1次側電流のピーク・レベルが $V_{CST(min)}$ の最小値に制限されます。CS入力が短絡または低レベルに保持され、最初のサイクルで $4\mu s$ 以内に $V_{CST(min)}$ レベルに達しなかった場合は、CS入力がGNDに短絡していると見なされ、障害保護機能によってUVLOのリセットおよび再起動シーケンスが行われます。同様に、CS入力がオープンの場合は、内部電圧が連続3スイッチング・サイクルにわたって $1.5V$ にブルアップされ、障害保護機能によってUVLOのリセットおよび再起動シーケンスが行われます。

内部過熱保護スレッシュホールドは $165^{\circ}C$ です。接合部温度がこのスレッシュホールドに達すると、デバイスはUVLOリセット・サイクルを開始します。UVLOサイクルの終わりに温度がまだ高い場合は、保護サイクルが繰り返されます。

VSピンに部品障害が発生した場合にも保護が用意されています。VSピンの帰還情報が完全に失われた場合、コントローラはスイッチングを停止し、再起動します。

7.4 デバイスの機能モード

入力電圧、VDD電圧、および出力負荷条件に応じて、デバイスはいくつかの異なるモードで動作できます。

1. スタートアップ時、VDDが $V_{VDD(on)}$ ターンオン・スレッシュホールド未満のときには、HV内部電流源がオンになり、 $(I_{HV} - I_{START})$ のレートでVDDコンデンサを充電します。
2. VDDが $V_{VDD(on)}$ を超えると、HV電流源がオフになり、デバイスはスイッチングを開始してコンバータ出力に電力を供給します。負荷条件に応じて、コンバータはCCモードまたはCVモードで動作します。
 - (a) CCモードは、コンバータが出力電流を一定に保持することを意味します。出力電圧がレギュレーション・レベル未満の場合、コンバータはCCモードで動作することで、出力をレギュレーション電圧に復帰させます。
 - (b) CVモードは、コンバータが出力電圧を一定に保持することを意味します。負荷電流が電流制限レベル未満の場合、コンバータはCVモードで動作し、負荷範囲および入力ライン範囲の全体にわたって出力電圧をレギュレーション・レベルに保持します。
3. I_{PP} が $0.55 \times I_{PP(max)}$ を上回っていて、CVまたはCCモードで動作している場合、UCC28730は連続して稼働状態で動作します。この状態では、VDDバイアス電流が常に、 I_{RUN} と平均ゲート駆動電流の和になります。
4. I_{PP} が $0.55 \times I_{PP(max)}$ を下回っていて、CVモードで動作している場合、UCC28730はスイッチング・サイクル間は待ち状態、スイッチング・サイクル中は稼働状態で動作します。待ち状態では、各スイッチング・サイクル後にVDDバイアス電流が I_{WAIT} に減少し、軽負荷時の効率が向上します。
5. デバイスの動作は、以下のイベントによって停止することができます。
 - (a) VDDが $V_{VDD(off)}$ スレッシュホールドを下回った場合、デバイスはスイッチングを停止し、バイアス消費電流は I_{START} まで低下し、内部HV電流源はVDDが $V_{VDD(on)}$ スレッシュホールドを上回るまでの間、オンに保持されます。その後、デバイスはスイッチングを再開します。
 - (b) 障害状態が検出された場合、デバイスはスイッチングを停止し、バイアス消費電流は I_{FAULT} まで低下します。この電流レベルによってVDDがゆっくり $V_{VDD(off)}$ まで放電され、ここでバイアス電流は I_{FAULT} から I_{START} へと変化し、内部HV電流源はVDDが $V_{VDD(on)}$ スレッシュホールドを上回るまでの間、オンに保持されます。
6. 障害状態が持続している場合は、障害状態または入力電圧が除去されるまでの間、上記の動作シーケンスが反復されます。

8 アプリケーションと実装

注：以降のアプリケーション情報は、TIの製品仕様に含まれるものではなく、TIではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

UCC28730デバイスは、5W～25Wの絶縁型フライバックAC/DC単出力電源アプリケーション用に最適化されたPSRコントローラであり、定電圧 (CV) モード制御と定電流 (CC) モード制御によって精密な出力レギュレーションを実現します。より高電力の複数出力アプリケーションや他の種類のアプリケーションもサポートしています。非常に低い周波数でスイッチングできるため、待機時の入力消費電力を5mW未満に抑えることができます。

そのような低いスイッチング周波数で高速の過渡応答を維持するために、2次側の電圧監視デバイス(UCC24650)によってVS入力に生成されるウェイクアップ信号を認識します。

8.2 代表的なアプリケーション

UCC28730の代表的なアプリケーションとして、UCC24650 ウェイクアップ監視デバイスと連携することで、絶縁された低電圧DC出力を低い出力容量で制御できます。UCC28730が低周波数の待ち状態で動作しているときに、急激な負荷の増大が生じると、UCC24650からUCC28730に通知が送信されます。それにより、パワー・サイクル間で負荷を保持するために極度に大きい出力容量を使用しなくて済みます。図23に示すように、出力整流にはグラウンド基準のダイオードを使用することで、UCC24650を使用しやすくなっています。グラウンド基準の同期整流器を使用することもできます。

注：この図は、UCC28730の基本的なアプリケーションの説明用に単純化されているため、実際のコンバータ設計に必要な部品や回路、および可能な回路のバリエーションをすべて示しているわけではありません。

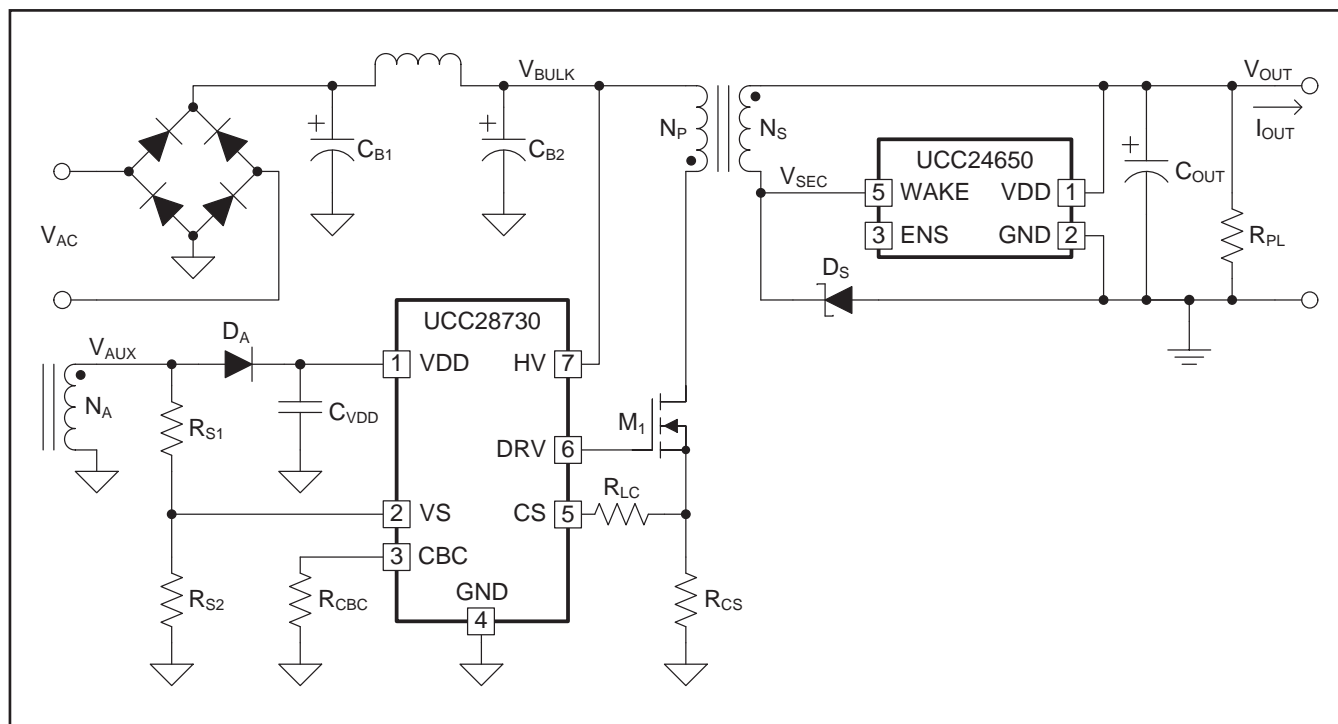


図 23. グラウンド基準ダイオードを使用したアプリケーションの概略図

表 1. グランド基準ダイオードを使用したアプリケーションの概略図

パラメータ		状態	MIN	NOM	MAX	単位
V _{IN}	ACライン入力電圧		85	115 / 230	264	V _{RMS}
f _{LINE}	ライン周波数		47	50 / 60	63	Hz
V _{OCV}	出力電圧、CVモード	V _{IN(min)} ≤ V _{IN} ≤ V _{IN(max)} , I _{OUT} ≤ I _{OCC}	4.75	5.0	5.25	V
I _{OCC}	出力電流、CCモード	V _{IN(min)} ≤ V _{IN} ≤ V _{IN(max)} , I _{OUT} = I _{OCC}	2.0	2.1	2.2	A
V _{RIPPLE}	出力電圧リップル	V _{IN(min)} ≤ V _{IN} ≤ V _{IN(max)} , I _{OUT} ≤ I _{OCC}			80	mV _{pp}
	出力過電圧制限			5.6		V
	出力過電流制限			2.1		A
V _{IN(run)}	スタートアップ入力電圧	I _{OUT} = I _{OCC}		72		V _{RMS}
V _{OCC}	最小出力電圧、CCモード	I _{OUT} = I _{OCC}			2	V
η _{AVG}	平均効率	Average of 25%, 50%, 75% 100% Load, at V _{IN} = 115 V _{RMS} and 230 V _{RMS}	80%			
η ₁₀	軽負荷効率	At 10 % Load, at V _{IN} = 115 V _{RMS} and 230 V _{RMS}	75%			
P _{STBY}	待機時入力消費電力	At V _{IN} = 115 V _{RMS} and 230 V _{RMS}			4.5	mW

8.2.1 設計要件

上の表には、特定のコンバータに対する全体的な設計要件の主要な項目が示されています。これらのパラメータ値の多くが、本節に示すさまざまな設計式で使用されています。

f_{MAX}、V_{BULK(min)}など、表に記載されていない他の必要な設計パラメータも多くあります。それらの値は、設計上の経験やその他の考慮事項に基づき、試行錯誤を通して最適な結果が得られるよう選択することができます。

8.2.2 詳細な設計手順

ここでは、UCC28730コントローラを使用して、定電圧、定電流のフライバック・コンバータを設計する手順の概要を示します。部品名および回路での配置については、図23を参照してください。設計手順内の各数式では、以下に定義される項目を使用しています。1次側および2次側のスナバやクランプは、この手順では設計しません。

8.2.2.1 待機電力の見積もり

UCC28730の非常に低い動作周波数および最小限のバイアス電力と、超低消費電力のウェイクアップ・デバイスであるUCC24650の組み合わせにより、無負荷状態で5mW未満という待機時入力消費電力が実現されます。これは、ゼロパワー・スタンバイとも呼ばれます。

無負荷時の待機電力が重要な設計パラメータであると仮定し、目標最大スイッチング周波数および最大出力電力に基づいて、無負荷時入力電力の見積もりを決定します。コンバータの待機電力は、次の式で見積もられます。

$$P_{STBY} = \frac{V_{OCV} \times I_{OCC} \times f_{MIN}}{\eta_{SB} \times K_{AM}^2 \times f_{MAX}} \quad (7)$$

標準的なフライバック・コンバータでは、η_{SB}の範囲が0.5~0.7ですが、最初の見積もりには低い方の値を使用します。また、可能なパラメータ調整を許容するために、f_{MIN}はf_{SW(min)}の3倍~4倍に見積もられます。

P_{STBY}の計算結果が5mWよりも十分に小さければ、実際のコンバータでゼロパワー・スタンバイを実現できる可能性が高くなります。結果が5mWに近い値の場合は、ゼロパワーを実現するために、f_{MAX}、f_{MIN}、およびη_{SB}に設計上の調整が必要になる場合があります。結果が5mWよりもかなり大きい場合は、追加の特別な回路や設計手順を適用しない限り、目標電力レベルでゼロパワーを実現できる可能性は低くなります。

8.2.2.2 入力バルク容量および最小バルク電圧

バルク容量は、並列に接続された1個以上のコンデンサから構成され、多くの場合は、差動モードの伝導ノイズを抑制するために、コンデンサ間にインダクタンスを配置します。EMIフィルタ設計については、ここでは説明しません。

トランスの最大N_P/N_S巻線比を決定するため、入力容量(C_{B1}とC_{B2}の合計)における最小電圧を決定します。目標全負荷効率に基づくコンバータの入力電力、最小入力RMS電圧、および最小AC入力周波数を使用して、入力容量値を決定します。

C_{BULK}の計算では最大入力電力を使用し、これはV_{OCV}、I_{OCC}、および全負荷効率の目標値によって決定されます。

$$P_{IN} = \frac{V_{OCV} \times I_{OCC}}{\eta} \quad (8)$$

下の式によって、最小バルク・バレー電圧目標V_{BULK(min)}の実現に必要な入力容量の正確な解を求めることができます。これは、ACラインのドロップアウト状態で所定の半サイクル数N_{HC}にわたってAC電力の途絶に耐えるための値です。または、特定の入力容量値が規定されている場合は、その目標容量が得られるまでV_{BULK(min)}値を繰り返し適用することにより、その容量に対して必要とされるV_{BULK(min)}を決定します。

$$C_{BULK} \geq \frac{2P_{IN} \times \left(0.25 + 0.5 N_{HC} + \frac{1}{2\pi} \times \arcsin \left(\frac{V_{BULK(min)}}{\sqrt{2} \times V_{IN(min)}} \right) \right)}{(2V_{IN(min)}^2 - V_{BULK(min)}^2) \times f_{LINE}} \quad (9)$$

8.2.2.3 トランスの巻線比、インダクタンス、1次側ピーク電流

最大1次/2次巻線比は、全負荷での目標最大スイッチング周波数、最小入力コンデンサ・バルク電圧、およびDCM擬似共振時間の見積もりによって決定できます。

最初に、目標最大スイッチング周波数 f_{MAX} 、2次側導通デューティ・サイクル D_{MAGCC} 、およびDCM共振周期 t_R に基づいて、MOSFETの最大デューティ・サイクルを決定します。経験や以前の設計から見積もることができない場合は、 t_R を $2\mu s$ （共振周波数500kHz）と仮定します。遷移モードの動作制限に対して、2次側電流導通の終わりから V_{DS} 電圧の最初の共振パレーまでの時間間隔は、DCM共振周期の1/2であり、500kHzを仮定すると $1\mu s$ です。実際の設計はそれぞれ異なります。 D_{MAX} は、次の式で決定できます。

$$D_{MAX} = 1 - D_{MAGCC} - \left(\frac{t_R}{2} \times f_{MAX} \right) \quad (10)$$

D_{MAGCC} は、定電流（CC）動作中の2次側ダイオード導通デューティ・サイクルとして定義されます。UCC28730では、内部で0.432に固定されています。 D_{MAX} が決まれば、理想的な1次/2次巻線比は下の式で計算できます。2次巻線上の合計電圧を決定する必要があり、これは V_{OCV} 、2次側整流器の電圧降下 V_F 、およびケーブル補償電圧 V_{OCBC} （使用される場合）の合計です。例えば、5VのUSBチャージャ・アプリケーションの場合は、標準で13~15の巻線比が使用されます。

$$N_{PS(ideal)} = \frac{D_{MAX} \times V_{BULK(min)}}{D_{MAGCC} \times (V_{OCV} + V_F + V_{OCBC})} \quad (11)$$

実際の巻線比は、トランスの各巻線の実際の巻数によって異なります。 $N_{PS} > N_{PS(ideal)}$ を選択すると、 $V_{IN(min)}$ での動作時に出力電力制限が（ $V_{OCV} \times I_{OCC}$ ）よりも低くなり、 V_{OUT} にライン周波数リップルが現れる場合があります。 $N_{PS} < N_{PS(ideal)}$ を選択すると、最小で $V_{IN(min)}$ までのフルパワー・レギュレーションが可能になりますが、導通損失および出力整流器への逆電圧ストレスが増加します。

トランスの詳細設計から実際の巻線比が決定されたら、この比を以下のパラメータ計算に対して使用します。

UCC28730コントローラの定電流レギュレーションは、最大の1次側電流設定で0.432の最大 D_{MAGCC} デューティ・サイクルを保持することにより実現されます。トランスの巻線比および定電流レギュレーション係数によって、レギュレーション定電流目標 I_{OCC} に対する電流センス抵抗 R_{CS} が決定されます。 R_{CS} の実際の実装は、電力定格および精度要件を満足するために、複数の並列抵抗から構成されます。

トランスに蓄積されたエネルギーがすべて2次側出力に伝送されるわけではないため、トランスの効率項 η_{XFMR} を使用して、コアおよび巻線損失比、リーク・インダクタンス損失比、および定格出力電力に関するバイアス電力比を考慮します。例えば、全負荷時のトランス全体の見積もり効率が0.91の場合、これには約3%のリーク・インダクタンス損失、約5%のコアおよび巻線損失、および約1%のバイアス電力が含まれます。実際の損失比は、この例とは異なる場合があります。

$$R_{CS} = \frac{V_{CCR} \times N_{PS}}{2I_{OCC}} \times \sqrt{\eta_{XFMR}} \quad (12)$$

1次側トランス・インダクタンスは、フライバック・トランス用の標準のエネルギー蓄積式を使用して計算できます。下の式には、1次側電流、最大スイッチング周波数、出力およびトランス電力損失が含まれています。

最初に、トランスのピーク1次側電流 $I_{PP(max)}$ を計算します。ピーク1次側電流は単純に、最大電流センス・スレッショルドを電流センス抵抗で割ったものです。

$$I_{PP(max)} = \frac{V_{CST(max)}}{R_{CS}} \quad (13)$$

次に、トランスの1次側インダクタンス L_P を計算します。

$$L_P = \frac{2 \times (V_{OCV} + V_F + V_{OCBC}) \times I_{OCC}}{I_{PP(max)}^2 \times f_{MAX} \times \eta_{XFMR}} \quad (14)$$

補助巻線と2次巻線との巻線比 N_{AS} は、定電流レギュレーション時の最小目標動作出力電圧、UCC28730のVDDターンオフ・スレッショルド、および各巻線回路での順方向ダイオード電圧降下によって決定されます。

$$N_{AS} = \frac{V_{VDD(off)} + V_{FA}}{V_{OCC} + V_F} \quad (15)$$

トランスのリーク・インダクタンス・エネルギーからVDDに供給される追加エネルギーがあるため、多くの設計では、より低い巻線比を使用できます。

8.2.2.4 トランスのパラメータの検証

選択したトランスの巻線比は、MOSFETの V_{DS} および2次側整流器の逆方向電圧 V_{REV} に影響を与えるため、これらについて検討する必要があります。

2次側整流器の逆電圧ストレスは、以下の式で決定できます。2次側リーク・インダクタンスによって V_{REV} に加わる電圧スパイクを抑制するために、2次側整流器の周囲にスナバが必要になる場合があります。

$$V_{REV} = \frac{V_{IN(max)} \times \sqrt{2}}{N_{PS}} + V_{OCV} + V_{OCBC} \quad (16)$$

MOSFETの V_{DS} ピーク・ストレスについては、リーク・インダクタンス電圧スパイク(V_{LK})の見積もりを含める必要があります。

$$V_{DSPK} = (V_{IN(max)} \times \sqrt{2}) + (V_{OCV} + V_F + V_{OCBC}) \times N_{PS} + V_{LK} \quad (17)$$

ライン電圧が高く、負荷が最小の状態では、UCC28730に対して、MOSFETの最小オン時間 ($t_{ON(min)}$) および2次側整流器の最小消磁時間 ($t_{DMAG(min)}$) が必要になります。 f_{MAX} 、 L_P 、および R_{CS} の選択は、実現される実際の最小 t_{ON} および t_{DMAG} に影響を与えます。以下の式を使用して、最小 t_{ON} が t_{CSLEB} より大きく、最小 t_{DMAG} 目標 (1.2 μ s以上) が実現されるかどうかを確認します。

$$t_{ON(min)} = \frac{L_P}{V_{IN(max)} \times \sqrt{2}} \times \frac{I_{PP(max)}}{K_{AM}} \quad (18)$$

$$t_{DMAG(min)} = \frac{t_{ON(min)} \times V_{IN(max)} \times \sqrt{2}}{N_{PS} \times (V_{OCV} + V_F)} \quad (19)$$

8.2.2.5 出力容量

通常のフライバック・コンバータの場合、出力容量値は一般に、特定の負荷ステップ I_{TRAN} (場合によっては無負荷状態からの)に対する過渡応答要件によって決定されます。例えば、いくつかのUSBチャージャ・アプリケーションでは、0mAから500mAへの負荷ステップで4.1Vの最小 V_O を保持する要件があります。式 (20) では、スイッチング周波数をUCC28730の最小値 $f_{SW(min)}$ に設定できると仮定しています。

$$C_{OUT(No_Wake)} \geq \frac{I_{TRAN} \left(\frac{1}{f_{SW(min)}} + 150 \mu s \right)}{V_{O\Delta}} \quad (20)$$

この結果、最小スイッチング周波数を高めるために大きなバリロードを使用しない限り、 C_{OUT} の値は17,000 μ Fを超えます。ただし、ウェイクアップ機能を使用することで、 C_{OUT} の値を

ずっと小さくすることができます。これは、ウェイクアップ応答によって待ち状態が直ちにキャンセルされ、高周波数のパワー・サイクルによって出力電圧を負荷過渡状態から回復できるためです。2次側電圧モニタのUCC24650は、出力電圧に-3%の降下を検出すると、UCC28730にウェイクアップ信号を送信します。

$$C_{OUT} \geq \frac{1.2 \times I_{TRAN}}{(dV_{OUT}/dt)} \quad (21)$$

ここで

- (dV_{OUT}/dt) は、UCC24650によって V_{OUT} の降下として検出される電圧勾配です。この計算では、勾配係数として3700V/s以下を使用します。

UCC28730は、内部に電圧ループ補償回路を備えているため、 C_{OUT} の値が十分に大きければ、外部補償は必要ありません。次の式により、全負荷範囲にわたって約40度の位相マージンを保持するために必要な C_{OUT} の最小値が決定されます。 K_{Co} は無次元係数であり、値は100です。

$$C_{OUT} \geq K_{Co} \times \frac{I_{OCC}}{V_{OCV} \times f_{MAX}} \quad (22)$$

出力コンデンサを選択する際のもう1つの考慮事項は、最大リップル電圧要件 $V_{RIPPLE(max)}$ です。これは、最大出力負荷、2次側ピーク電流、およびコンデンサの等価直列抵抗 (ESR) に基づいて検討します。出力リップル電圧に影響を与える2つの主要な要素は、各スイッチング・サイクル間での C_{OUT} の充放電による V_{OUT} の変化、および C_{OUT} のESRによる V_{OUT} のステップです。TIでは、最初に $V_{RIPPLE(max)}$ の33%をESR、33%を C_{OUT} に割り当て、残りの33%を、EMIデザイン、バレー・ホッピング、サンプリング・ノイズ、その他ランダムな要素による追加の低レベル・リップルに割り当てることを推奨します。式 (23) では、エージングを考慮するために、コンデンサのESR要件に50%のマージンを適用しています。式 (24) では、 $\Delta V_{CQ} = 0.33 \times V_{RIPPLE(max)}$ に設定して、リップル電圧制限に関する C_{OUT} の最小値を決定しています。許容可能なリップル電圧を他の方法で割り当てる場合は、各式を適宜調整する必要があります。

$$ESR \leq \frac{0.33 \times V_{RIPPLE(max)}}{I_{PP(max)} \times N_{PS}} \times 0.50 \quad (23)$$

$$C_{OUT} \geq \frac{I_{OCC}}{\Delta V_{CQ} \times f_{MAX}} \quad (24)$$

最小出力容量に対するこれまでの C_{OUT} の計算値の中で、最大の値を選択します。 C_{OUT} の値が大きすぎて厳密なリップル制限を満足できない場合は、単純なコンデンサのみのフィルタの代わりに、C-L-Cによる π フィルタの使用を検討できます。このようなフィルタは、このデータシートの説明範囲外です。

8.2.2.6 VDD容量C_{VDD}

以下の電流を供給するために、VDDにコンデンサを接続する必要があります。

1. スタートアップ中、VDDがUVLOへと低下していくときの稼働状態バイアス電流 (V_{OCC}に達するまで)
2. 定常状態の低周波数パワー・サイクル間の待ち状態バイアス電流
3. V_{OUT}が過渡オーバーシュートから回復している間の、最小周波数パワー・サイクル間の待ち状態バイアス電流

一般に、(3)を満足する値は(2)および(1)も満足しますが、コンバータがパワーアップ中にV_{OCC}未満の電圧で高出力電流を供給する必要がある場合は、(1)に対する値が最大となる可能性があります。

VDDの容量は、コンバータの出力が定電流レギュレーション時の目標最小動作電圧V_{OCC}に達するまでの間、デバイスの動作電流を供給する必要があります。その電圧に達した時点で、補助巻線により、UCC28730へのバイアス電圧をUVLOシャットダウン・スレッシュホールド以上に保持できます。出力コンデンサの充電と出力負荷への電力供給に使用できる合計電流が、定電流レギュレーション目標値I_{OCC}です。

式(25)では、最小出力電圧が実現されるまでの間、フライバックの全出力電流で出力容量を充電できると仮定しています。マージンのために、見積もり1mAの平均ゲート駆動電流が稼働電流に加算され、最小VDDに1Vが加算されます。

$$C_{VDD} \geq \frac{(I_{RUN} + 1\text{mA}) \times \frac{C_{OUT} \times V_{OCC}}{I_{OCC}}}{V_{VDD(\text{on})} - (V_{VDD(\text{off})} + 1\text{V})} \quad (25)$$

軽負荷時には、UCC28730はパワー・サイクル間に待ち状態に入ること、バイアス電力を最小限に抑え、効率を向上させます。式(26)は、待ち状態中にVDDに目標最大リップル電圧(例えば、V_{VDD(maxΔ)} < 1V)が得られるために必要な最小容量を見積もる式です。この電圧は、可能な最小のスイッチング周波数で生じます。

$$C_{VDD} \geq \frac{I_{WAIT}}{V_{VDD(\text{max}\Delta)} \times f_{SW(\text{min})}} \quad (26)$$

最小VDD容量に対するこれまでのC_{VDD}の計算値の中で、最大の値を選択します。

8.2.2.7 VS分圧抵抗、ライン補償、およびケーブル補償

VS分圧抵抗によって、フライバック・コンバータの出力電圧レギュレーション点が決定されます。また、ハイサイドの分圧抵抗R_{S1}によって、コントローラが連続的なDRV動作をイネーブルにするライン電圧が決まります。最初にR_{S1}が、トランスの1次/補助巻線比および目的の入力電圧動作スレッシュホールドに基づいて決定されます。

$$R_{S1} = \frac{\sqrt{2} \times V_{IN(\text{run})}}{N_{PA} \times I_{VSL(\text{run})}} \quad (27)$$

ローサイドのVS分圧抵抗R_{S2}は、目的の定電圧出力レギュレーション目標V_{OVCV}に基づいて選択されます。

$$R_{S2} = \frac{R_{S1} \times V_{VSR}}{N_{AS} \times (V_{OCV} + V_F) - V_{VSR}} \quad (28)$$

UCC28730は、ライン補償機能を利用して、入力ライン上に厳密な定電流レギュレーションを維持できます。ライン補償抵抗値R_{LC}は、各種のシステム・パラメータに加え、ゲート駆動ターンオフ遅延とMOSFETターンオフ遅延の合計値t_Dによって決定されます。UCC28730では、50nsの内部伝播遅延を仮定します。

$$R_{LC} = \frac{K_{LC} \times R_{S1} \times R_{CS} \times N_{PA} \times t_D}{L_P} \quad (29)$$

UCC28730では、CBCピンとGNDの間に抵抗を接続することにより、最大でV_{OVCV}の約+8%まで調整可能なケーブル補償を適用できます。この補償電圧V_{OVCBC}は、ケーブルの末端でケーブル抵抗によって生じる電圧降下を相殺または低減するために必要な、公称無負荷時出力電圧に加算する電圧を表します。コンバータの出力端子で目的のケーブル補償レベルを得るために必要な抵抗値は、下の式を使用して決定できます。負荷電流の変化に従って、ケーブル補償電圧も徐々に変化することで、メイン出力電圧の制御を維持します。負荷電流が急激に変化すると、ケーブル末端の出力電圧にステップ変化が生じますが、補償電圧によって必要なレベルに調整されます。ケーブル補償は過電圧保護(OVP)スレッシュホールドV_{OVP}(電気的特性を参照)には影響を与えないため、ケーブル補償の使用時はOVPまでの動作余裕が小さくなります。ケーブル補償が不要な場合は、CBCを未接続のままにしておくことができます。

$$R_{CBC} = \frac{V_{CBC(\text{max})}}{V_{OVCBC} \times \frac{V_{VSR}}{(V_{OCV} + V_F)}} \times 3\text{ k}\Omega - 28\text{ k}\Omega \quad (30)$$

8.2.2.8 VSウェイクアップ検出

VS入力でのウェイクアップ信号は、検出できるのに十分な大きさの振幅を持つ必要があります。2次巻線で生成されるこの信号は、ウェイクアップ信号ドライバのインピーダンスおよびトランス巻線のL-C共振タンクによって制限されます。さらに、この信号はVS分圧抵抗によって減衰します。ウェイクアップ信号の振幅を最大にするには、ウェイクアップ信号のパルス幅 t_{WAKE} をスイッチ・ノードの共振周波数 f_{RES} の1/4波長以上にする必要があります。この共振周波数は、1次側の励磁インダクタンスおよびスイッチング・ノード(1次側MOSFETのドレイン・ノード)の合計等価容量に依存します。スイッチ・ノード容量 C_{SWN} には、MOSFETの C_{OSS} 、トランスの巻線容量、およびMOSFETのドレインに接続された他のすべての寄生回路容量が含まれます。式(31)を使用して f_{RES} を決定します。逆に、経験または測定によって f_{RES} がわかっている場合は、 C_{SWN} を式(31)から導くことができます。

$$f_{RES} = \frac{1}{2\pi\sqrt{L_P \times C_{SWN}}} \quad (31)$$

通常、ウェイクアップ・パルス幅はドライバ・デバイス(UCC24650など)によって固定されているため、最大信号強度が得られるのは式(32)が成り立つ場合です。 L_P は一般に他のシステム要件によって固定されているため、必要に応じて f_{RES} を増加させる唯一の方法は、 C_{SWN} を小さくすることです。

$$f_{RES} \geq \frac{1}{4 \times t_{WAKE}} \quad (32)$$

式(33)を使用することで、ウェイクアップ機能を確実にトリガするために十分な振幅をVS入力に確保できます。ここで、 R_{WAKE_TOT} は、ウェイクアップ信号ドライバの2次側抵抗およびすべての直列抵抗の合計値です。余裕を得るために、15mVのオーバードライブをウェイクアップ・スレッシュホールド・レベルに追加しています。

$$\sqrt{\frac{L_P}{C_{SWN}}} \geq \frac{R_{WAKE_TOT} \times N_{PS}^2}{\left[\frac{V_{OUT} \times N_{AS}}{(V_{WU(low)} + 15\text{ mV}) \times \left(\frac{R_{S1}}{R_{S2}} + 1 \right)} - 1 \right]} \quad (33)$$

8.2.3 アプリケーション曲線

以下の図は、無負荷の待機状態で動作中に2Aのパルス・ステップ負荷が生じた場合の、5V/10Wフライバック・コンバータの過渡応答を示しています。図27は、このコンバータのAC

入力範囲全体にわたる無負荷時待機入力消費電力を示しています。全負荷ステップに対する高速過渡応答を維持しながら、ゼロパワー動作を実現しています。

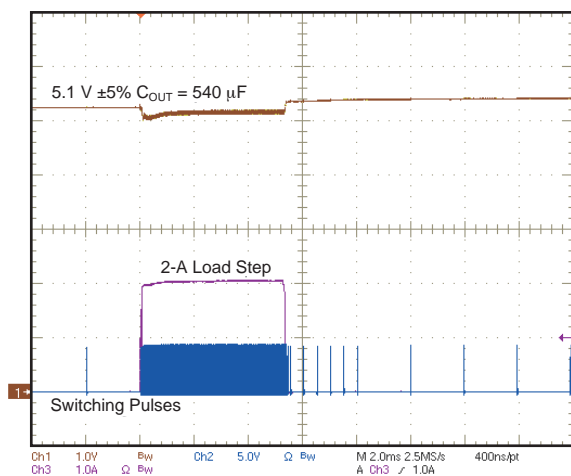


図 24. 待機動作中の2A負荷ステップ

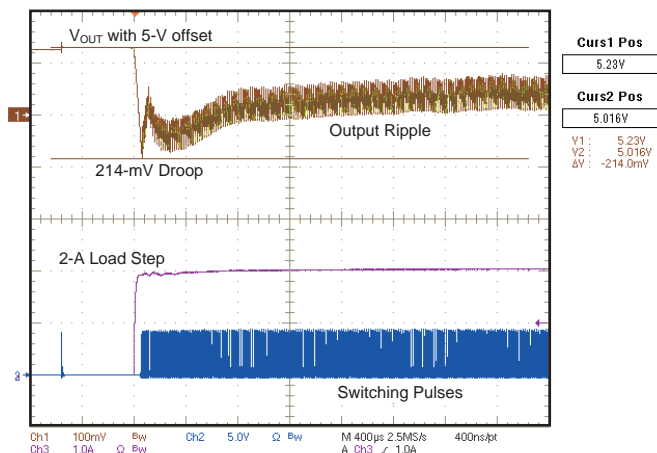


図 25. 2A負荷ステップに対する過渡応答詳細

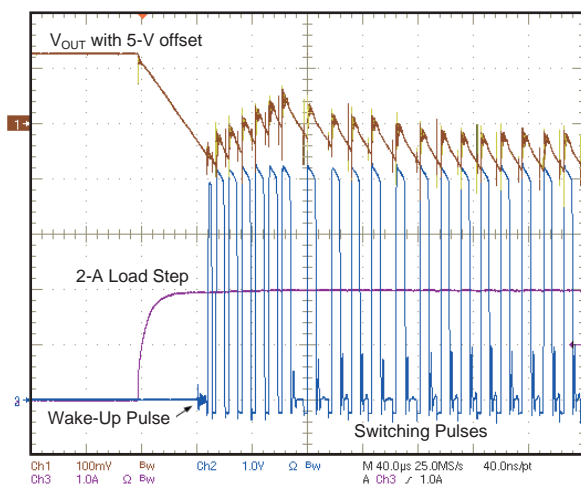


図 26. UCC28730 1次側コントローラからのウェイクアップ・パルス・トリガ応答

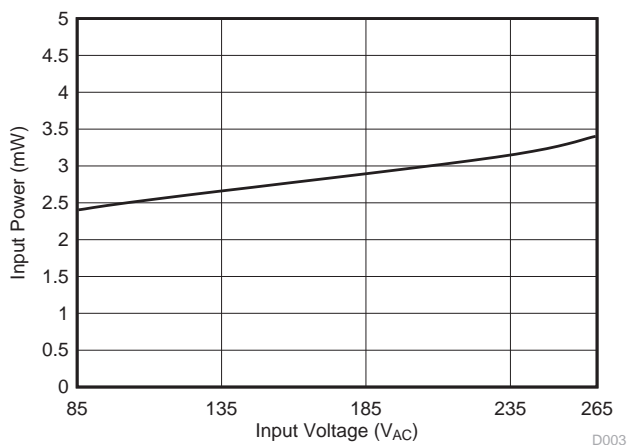


図 27. 5V/10Wフライバック・コンバータの無負荷時入力消費電力

8.3 注意事項

- 無負荷動作中は、UVLOシャットダウン・スレッシュホールドに達するのを避けるため、VDDレベルの変動に十分なマージンを確保してください。また、無負荷時には、出力電圧の上昇を避けるため、平均スイッチング周波数 f_{SW} を $f_{SW(min)}$ の2倍より大きな値に保持してください。
- 組み立て後、PCB上に残存しているフラックスなどの汚れを取り除いてください。VSからGNDに制御されないリーク電流が流れると、出力電圧が上昇します。一方、HVまたはVDDからVSへのリーク電流は、出力電圧を低下させます。
- VDDにセラミック・コンデンサを使用する場合は、DCバイアス電圧や温度の変動による容量の減少を最小限に抑えるために、X7RまたはX5R誘電体を使用した定格50V以上の高品質部品を使用してください。
- 5mW未満の待機時入力消費電力が設計要件である場合は、リークの多い部品を使用しないでください。
- VSノードを通常のオシロスコープのプロープで測定しないでください。プロープの容量によって信号が変化し、レギュレーションが損なわれるおそれがあります。VSを測定する際には、 R_{S1} で補助巻線電圧を測定し、VS分圧比によって波形をスケールリングすることで、間接的に測定します。

9. 電源に関する推奨事項

UCC28730は、フライバック・トポロジを使用し、 $85V_{AC(rms)} \sim 265V_{AC(rms)}$ の入力電圧範囲を持つAC/DCアダプタおよびチャージャ向けに設計されています。また、異なる入力電圧を持つ他のアプリケーションやコンバータ・トポロジにも使用できます。すべての電圧および電流がデバイスの推奨動作条件および絶対最大定格の範囲内であることを確認してください。

DRV出力では通常、VDDがターンオン・スレッシュホールド $V_{VDD(on)}$ を超えてから約 $55\mu s$ 後に、PWMパルスが開始されます。VDDに過度な dv/dt は避けてください。 $1V/\mu s$ を超える正の dv/dt が存在すると、PWMの開始が遅延する場合があります。UVLOターンオフ・スレッシュホールド $V_{VDD(off)}$ を下回らないVDDに、 $1V/\mu s$ を超える負の dv/dt があると、出力電圧が一時的に降下する場合があります。

11. デバイスおよびドキュメントのサポート

11.1 デバイスのサポート

11.1.1 デバイスの項目表記

11.1.1.1 容量項 (単位: F)

- C_{BULK} : C_{B1} と C_{B2} の合計入力容量
- C_{VDD} : VDDピンに必要な最小容量
- C_{OUT} : 必要な最小出力容量

11.1.1.2 デューティ・サイクル項

- D_{MAGCC} : CCモード中の2次側ダイオード導通デューティ・サイクル定数 = 0.432
- D_{MAX} : 許容される最大のMOSFETオン時間デューティ・サイクル
- N_{HC} : ライン・ドロップアウト中のACライン周波数の半サイクル数

11.1.1.3 周波数項 (単位: Hz)

- f_{LINE} : 最小ライン周波数
- f_{MAX} : コンバータの目標全負荷最大スイッチング周波数
- f_{MIN} : コンバータの実際の最小スイッチング周波数
- $f_{SW(max)}$: コントローラの最大スイッチング周波数能力 (電気的特性を参照)
- $f_{SW(min)}$: コントローラの最小スイッチング周波数能力 (電気的特性を参照)

11.1.1.4 電流項 (単位: A)

- I_{OCC} : コンバータの出力定電流目標
- $I_{PP(max)}$: トランスの最大1次側ピーク電流
- I_{START} : スタートアップ前のVDDバイアス電流 (電気的特性を参照)
- I_{TRAN} : 必要な正の負荷ステップ電流
- I_{WAIT} : 待ち状態中のVDDバイアス電流 (電気的特性を参照)
- $I_{VSL(run)}$: VSピン稼働電流 (電気的特性を参照)

11.1.1.5 電流および電圧のスケール項

- K_{AM} : 最大/最小1次側電流ピーク振幅比 (電気的特性を参照)
- K_{LC} : ライン補償の電流スケール定数 (電気的特性を参照)
- K_{Co} : C_{OUT} の計算に使用する安定性係数 = 100

11.1.1.6 トランス項

- L_P : トランスの1次側インダクタンス
- N_{AS} : トランスの補助/2次巻線比
- N_{PA} : トランスの1次/補助巻線比
- N_{PS} : トランスの1次/2次巻線比

11.1.1.7 電力項 (単位: W)

- P_{IN} : 全負荷時のコンバータの最大入力電力
- P_{OUT} : 全負荷時のコンバータの出力電力

- P_{STBY} : 待機状態でのコンバータの合計入力電力

11.1.1.8 抵抗項 (単位: Ω)

- R_{CS} : 1次電流プログラミング抵抗
- R_{ESR} : 出力コンデンサの合計ESR
- R_{PL} : コンバータの出力のプリロード抵抗
- R_{S1} : VS入力の高サイド抵抗
- R_{S2} : VS入力のローサイド抵抗

11.1.1.9 タイミング項 (単位: 秒)

- t_D : MOSFETのターンオフ遅延を含む合計電流センス遅延時間、MOSFET遅延に50nsを加算
- $t_{DMAG(min)}$: 2次側整流器の最小導通時間 (トランスの消磁時間)
- $t_{ON(min)}$: 最小MOSFETオン時間
- t_R : t_{DMAG} 後の共振リングング期間

11.1.1.10 DC電圧項 (単位: V)

- V_{BULK} : 待機電力測定用の最大バルク・コンデンサ電圧
- $V_{BULK(min)}$: フルパワー時のバルク・コンデンサ上の最小バレー電圧
- V_{OCBC} : 出力端子の目標ケーブル補償電圧
- $V_{CBC(max)}$: 最大出力電流時のCBCピン上の最大電圧 (電気的特性を参照)
- V_{CCR} : 定電流レギュレーション係数電圧電気的特性を参照)
- $V_{CST(max)}$: CSピンの最大電流センス・スレッシュールド (電気的特性を参照)
- $V_{CST(min)}$: CSピンの最小電流センス・スレッシュールド (電気的特性を参照)
- $V_{VDD(off)}$: UVLOターンオフ・スレッシュールド電圧 (電気的特性を参照)
- $V_{VDD(on)}$: UVLOターンオン・スレッシュールド電圧 (電気的特性を参照)
- $V_{VDD(max\Delta)}$: 待ち状態中のスイッチング・サイクル間でのVDD電圧の最大降下
- V_{OA} : 出力の負荷過渡中に許容される出力電圧降下
- V_{DSPK} : 高ラインでのピークMOSFETドレイン・ソース電圧
- V_F : ゼロに近い電流での2次側整流器の順方向電圧降下
- V_{FA} : 補助整流器の順方向電圧降下
- V_{LK} : 1次側リーク・インダクタンス・エネルギーの見積もりリセット電圧
- V_{OCV} : コンバータのレギュレーション出力電圧
- V_{OCC} : 定電流レギュレーション時の目標最低出力電圧
- V_{REV} : 2次側整流器でのピーク逆方向電圧
- V_{RIPPLE} : 全負荷時の出力ピーク・ツー・ピーク・リップル電圧
- V_{VSR} : VS入力での定電圧レギュレーション・レベル (電気的特性を参照)
- ΔV_{CQ} : スwitching・サイクル間の負荷放電によって C_{OUT} 電圧に許容される変化

11.1.1.11 AC電圧項 (単位: V)

- $V_{IN(max)}$: コンバータへの最大AC入力電圧
- $V_{IN(min)}$: コンバータへの最小AC入力電圧
- $V_{IN(run)}$: コンバータのスタートアップ(稼働)入力電圧

11.1.1.12 効率項

- η_{SB} : 無負荷状態でのフライバック・コンバータの見積もり効率。参考として、5V/2A出力に対しては、50%~70%が最初の見積もり範囲として適しています。
- η : 最大定格出力電力でのコンバータの全体効率
- η_{XFMR} : トランスの電力伝送効率

11.2 ドキュメントのサポート

11.2.1 関連ドキュメント

- UCC24650 200-V Wake-Up Monitor for Fast Transient PSR, SLUSBL6
- UCC28730EVM-552 EVMユーザーガイド: Using the UCC28730EVM-552, SLUUB75

11.3 商標

11.4 静電気放電に関する注意事項



静電気放電対策

これらのデバイスは、限定的なESD (静電破壊)保護機能を内蔵しています。保存時または取り扱い時は、MOSゲートに対する静電破壊を防止するために、リード線同士をショートさせておくか、デバイスを導電フォームに入れる必要があります。

11.5 用語集

SLYZ022 — TI用語集

この用語集には、用語や略語の一覧および定義が記載されています。

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。これらの情報は、指定のデバイスに対して提供されている最新のデータです。このデータは予告なく変更されることがあり、ドキュメントが改訂される場合もあります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

パッケージ情報

製品情報

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead/Ball Finish ⁽⁶⁾	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
UCC28730D	ACTIVE	SOIC	D	7	75	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	-40 to 85	U28730	Samples
UCC28730DR	ACTIVE	SOIC	D	7	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	-40 to 85	U28730	Samples

⁽¹⁾ マーケティング・ステータスは次のように定義されています。

ACTIVE : 製品デバイスが新規設計用に推奨されています。

LIFEBUY : TIによりデバイスの生産中止予定が発表され、ライフタイム購入期間が有効です。

NRND : 新規設計用に推奨されていません。デバイスは既存の顧客をサポートするために生産されていますが、TIでは新規設計にこの部品を使用することを推奨していません。

PREVIEW : デバイスは発表済みですが、まだ生産が開始されていません。サンプルが提供される場合と、提供されない場合があります。

OBsolete : TIによりデバイスの生産が中止されました。

⁽²⁾ エコ・プラン - 環境に配慮した製品分類プランであり、Pb-Free (RoHS)、Pb-Free (RoHS Expert) および Green (RoHS & no Sb/Br) があります。最新情報および製品内容の詳細については、<http://www.ti.com/productcontent> でご確認ください。

TBD : Pb-Free/Green 変換プランが策定されていません。

Pb-Free (RoHS) : TIにおける "Lead-Free" または "Pb-Free" (鉛フリー) は、6つの物質すべてに対して現在のRoHS要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が0.1%を超えないという要件も含まれます。高温で半田付けするように設計されている場合、TIの鉛フリー製品は指定された鉛フリー・プロセスでの使用に適しています。

Pb-Free (RoHS Exempt) : この部品は、1) ダイとパッケージの間に鉛ベースの半田バンブ使用、または 2) ダイとリードフレーム間に鉛ベースの接着剤を使用、が除外されています。それ以外は上記の様に Pb-Free (RoHS) と考えられます。

Green (RoHS & no Sb/Br) : TIにおける "Green" は、"Pb-Free" (RoHS互換) に加えて、臭素 (Br) およびアンチモン (Sb) をベースとした難燃材を含まない (均質な材質中のBrまたはSb重量が0.1%を超えない) ことを意味しています。

⁽³⁾ MSL、ピーク温度 -- JEDEC 業界標準分類に従った耐湿性レベル、およびピーク半田温度です。

⁽⁴⁾ ロゴ、ロット追跡コード情報、またはデバイスの環境カテゴリに関連した追加のマーキングが付与される場合があります。

⁽⁵⁾ 複数のデバイス・マーキングがある場合はカッコ内に示されます。デバイス上にはカッコ内の1つのデバイス・マーキングと区切り文字 " ~ " のみが表示されます。行がインデントされている場合は、前の行からの続きであり、2行あわせてそのデバイスのデバイス・マーキング全体を表します。

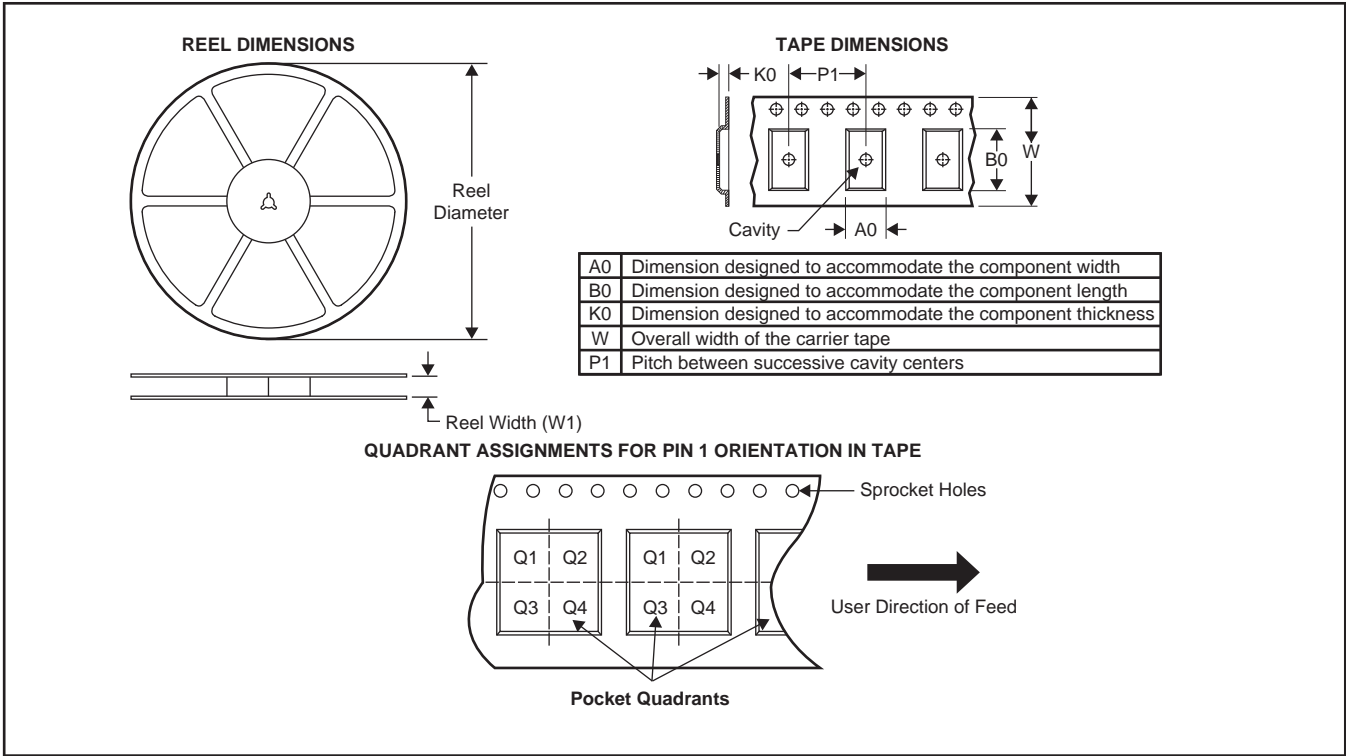
⁽⁶⁾ リード/ボール仕上げ - 注文可能なデバイスには、複数の材料仕上げオプションが用意されている場合があります。各仕上げオプションは、縦の罫線で区切られます。仕上げ値が列の最大幅を超えるときは、リード/ボール仕上げの値が2行にまたがる場合があります。

重要な情報および免責事項 : このページに記載された情報は、記載された日付時点でのTIの知識および見解を表しています。TIの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行いません。第三者からの情報をより良く統合するための努力は続けております。TIでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。TIおよびTI製品の供給者は、特定の情報を機密情報として扱っているため、CAS番号やその他の制限された情報が公開されない場合があります。

TIは、いかなる場合においても、かかる情報により発生した損害について、TIがお客様に1年間に販売した本書記載の問題となった TIパーツの購入価格の合計金額を超える責任を負いかねます。

パッケージ・材料情報

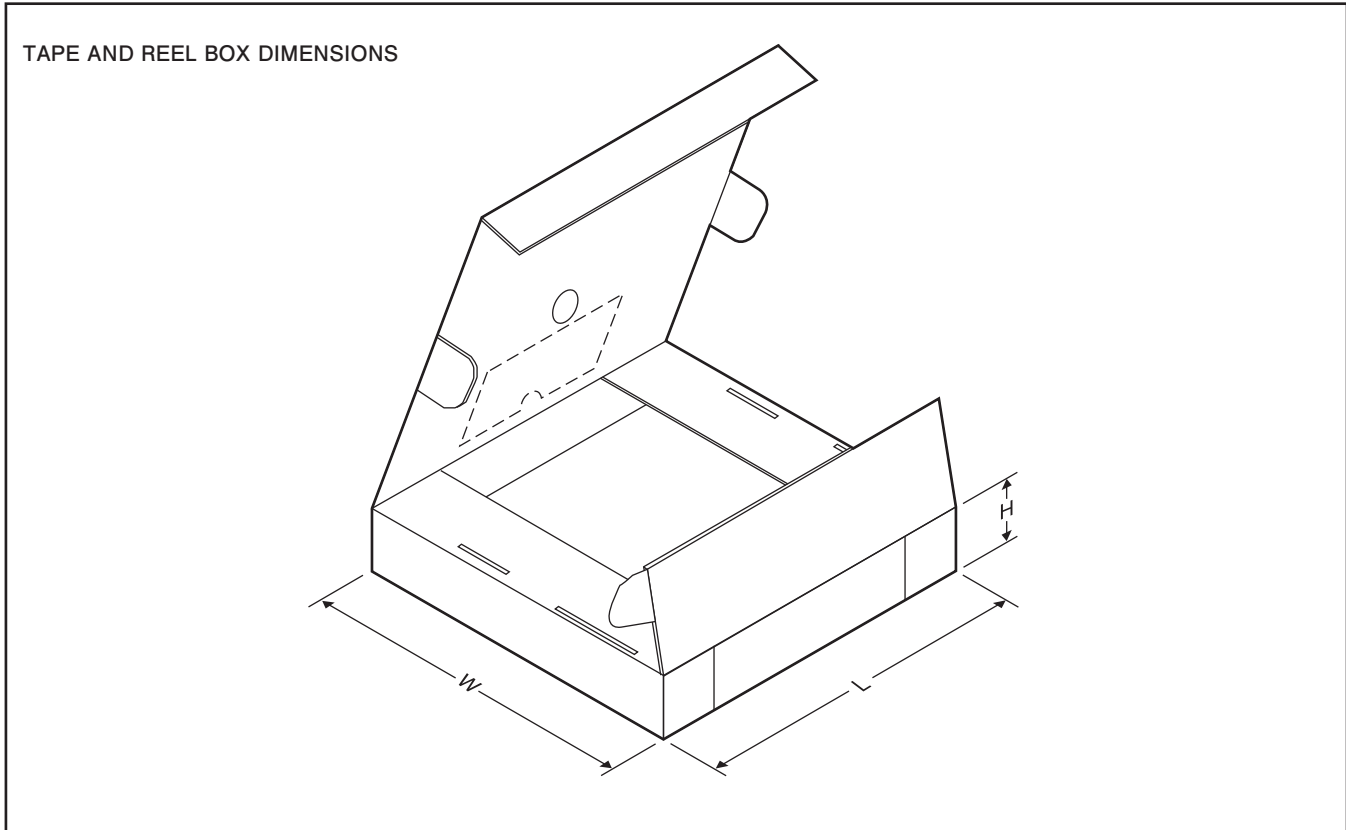
テープおよびリール・ボックス情報



*All dimensions are nominal

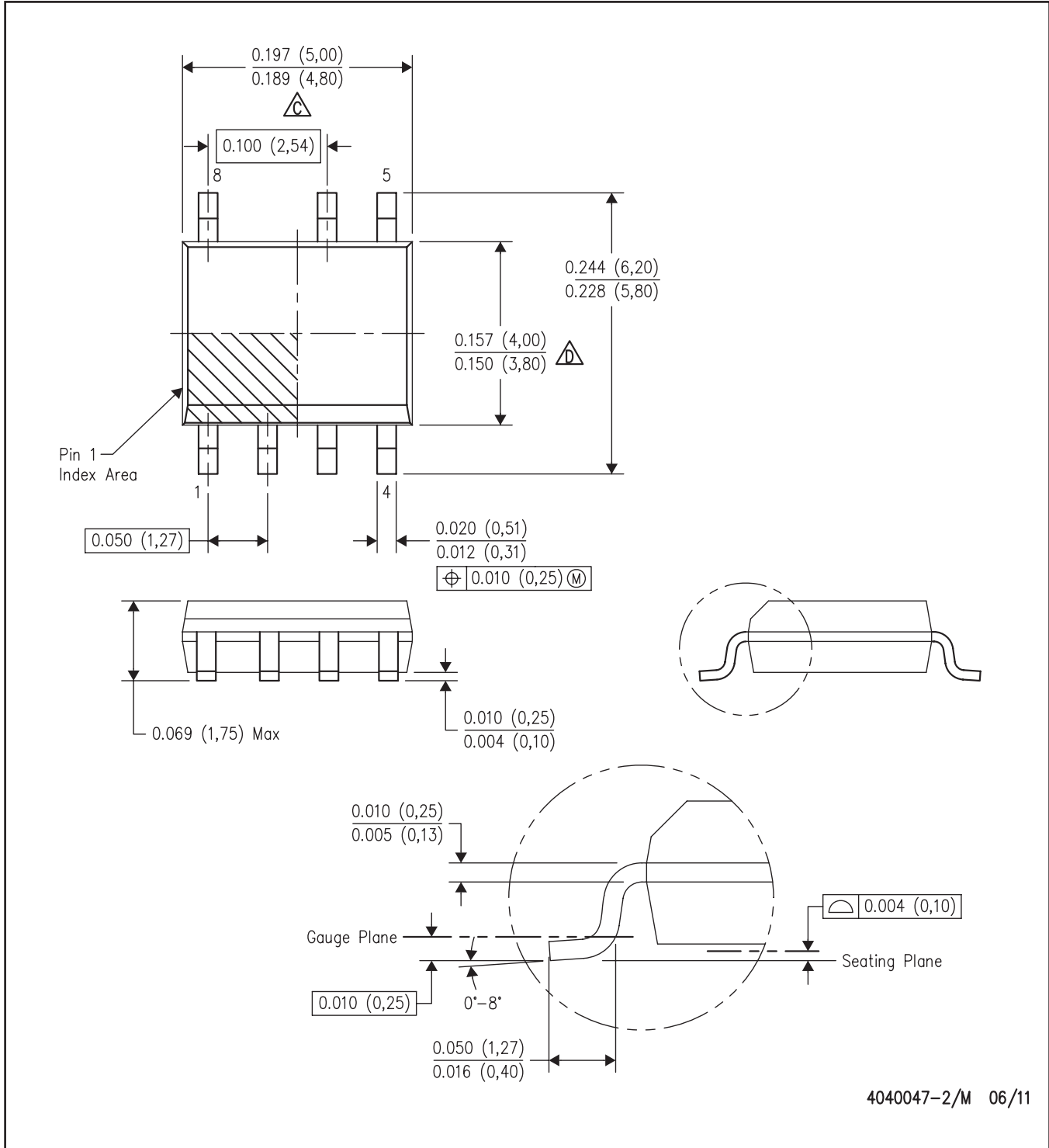
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
UCC28730DR	SOIC	D	7	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1

パッケージ・マテリアル情報



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
UCC28730DR	SOIC	D	7	2500	367.0	367.0	35.0



- 注：A. すべての直線寸法は、インチ(ミリメートル)表記です。
 B. この図は、通知なく変更されることがあります。
 C. 寸法には、モールドの突起や切り欠きは含まれません。モールドの突起や切り欠きは、0.006 インチ(0.15mm)を超えないものとします。
 D. リード肩幅の最大寸法には、ダムバー突起は含まれません。ダムバー突起は、0.017 インチ(0.43mm)を超えないものとします。
 E. JEDEC MS-012 Variation AAに適合します。

ご注意

Texas Instruments Incorporated 及びその関連会社 (以下総称して TI といいます) は、最新の JESD46 に従いその半導体製品及びサービスを修正し、改善、改良、その他の変更をし、又は最新の JESD48 に従い製品の製造中止またはサービスの提供を中止する権利を留保します。お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての半導体製品は、ご注文の受諾の際に提示される TI の標準販売契約約款に従って販売されます。

TI は、その製品が、半導体製品に関する TI の標準販売契約約款に記載された保証条件に従い、販売時の仕様に対応した性能を有していることを保証します。検査及びその他の品質管理技法は、TI が当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、適用される法令によってそれ等の実行が義務づけられている場合を除き、必ずしも行なわれておりません。

TI は、製品のアプリケーションに関する支援又はお客様の製品の設計について責任を負うことはありません。TI 製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI 製部品を使用したお客様の製品及びアプリケーションに関連する危険を最小のものとするため、適切な設計上及び操作上の安全対策は、お客様にてお取り下さい。

TI は、TI の製品又はサービスが使用されている組み合わせ、機械装置、又は方法に関連している TI の特許権、著作権、回路配置利用権、その他の TI の知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TI が第三者の製品もしくはサービスについて情報を提供することは、TI が当該製品又はサービスを使用することについてライセンスを与えるとか、保証又は是認するということを含みません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない、又は TI の特許その他の知的財産権に基づき TI からライセンスを得なければならない場合があります。

TI のデータ・ブック又はデータ・シートの中にある情報の重要な部分の複製は、その情報に一切の変更を加えること無く、且つその情報と関連する全ての保証、条件、制限及び通知と共になされる限りにおいてのみ許されるものとします。TI は、変更が加えられて文書化されたものについては一切責任を負いません。第三者の情報については、追加的な制約に服する可能性があります。

TI の製品又はサービスについて TI が提示したパラメーターと異なる、又は、それを超えてなされた説明で当該 TI 製品又はサービスを再販売することは、関連する TI 製品又はサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、且つ不公正で誤認を生じさせる行為です。TI は、そのような説明については何の義務も責任も負いません。

TI からのアプリケーションに関する情報提供又は支援の一切に拘わらず、お客様は、ご自身の製品及びご自身のアプリケーションにおける TI 製品の使用に関する法的責任、規制、及び安全に関する要求事項の全てにつき、これをご自身で遵守する責任があることを認め、且つそのことに同意します。お客様は、想定される不具合がもたらす危険な結果に対する安全対策を立案し実行し、不具合及びその帰結を監視し、害を及ぼす可能性のある不具合の可能性を低減し、及び、適切な治癒措置を講じるために必要な専門的知識の一切を自ら有することを表明し、保証します。お客様は、TI 製品を安全でないことが致命的となるアプリケーションに使用したことから生じる損害の一切につき、TI 及びその代表者にその全額の補償をするものとします。

TI 製品につき、安全に関連するアプリケーションを促進するために特に宣伝される場合があります。そのような製品については、TI が目的とするところは、適用される機能上の安全標準及び要求事項を満たしたお客様の最終製品につき、お客様が設計及び製造ができるようお手伝いをすることにあります。それにも拘わらず、当該 TI 製品については、前のパラグラフ記載の条件の適用を受けるものとします。

FDA クラス III (又は同様に安全でないことが致命的となるような医療機器) への TI 製品の使用は、TI とお客様双方の権限ある役員の間で、そのような使用を行う際について規定した特殊な契約書を締結した場合を除き、一切認められていません。

TI が軍需対応グレード品又は「強化プラスチック」製品として特に指定した製品のみが軍事用又は宇宙航空用アプリケーション、若しくは、軍事的環境又は航空宇宙環境にて使用されるように設計され、かつ使用されることを意図しています。お客様は、TI がそのように指定していない製品を軍事用又は航空宇宙用に使う場合は全てご自身の危険負担において行うこと、及び、そのような使用に関して必要とされるすべての法的要求事項及び規制上の要求事項につきご自身のみの責任により満足させることを認め、且つ同意します。

TI には、主に自動車用に使われることを目的として、ISO/TS 16949 の要求事項を満たしていると特別に指定した製品があります。当該指定を受けていない製品については、自動車用に使われるようには設計されてもいませんし、使用されることを意図しておりません。従いまして、前記指定品以外の TI 製品が当該要求事項を満たしていなかったことについては、TI はいかなる責任も負いません。

Copyright © 2015, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位 (外装から取り出された内装及び個装) 又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で (導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。(但し、結露しないこと。)

- 直射日光が当たる状態で保管・輸送しないこと。

3. 防湿梱包

- 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。

4. 機械的衝撃

- 梱包品 (外装、内装、個装) 及び製品単品を落下させたり、衝撃を与えないこと。

5. 熱衝撃

- はんだ付け時は、最低限 260℃ 以上の高温状態に、10 秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)

6. 汚染

- はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質 (硫黄、塩素等ハロゲン) のある環境で保管・輸送しないこと。
- はんだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上