

ULN2803C ダーリントン トランジスタ アレイ

1 特長

- 定格 500mA のコレクタ電流 (単一出力)
- 高電圧出力: 50V
- 出力クランプ ダイオード
- 各種のロジックと互換性のある入力

2 アプリケーション

- ファクトリ オートメーション / 制御
- ビル オートメーション
- 電化製品
- IP ネットワーク カメラ
- HVAC (空調) バルブおよびアクチュエータの制御
- リレー、ソレノイド、ランプの駆動
- ステップ モーターの駆動

3 概要

ULN2803C デバイスは、50V、500mA のダーリントン トランジスタ アレイです。このデバイスは、誘導性負荷スイッチング用の共通カソード クランプ ダイオード付きで高電圧出力が可能で、8 つの NPN ダーリントン ペアで構成されます。各ダーリントン ペアのコレクタ電流定格は 500mA です。ダーリントン ペアを並列接続すると、より大きな電流能力が得られます。

アプリケーションには、リレー ドライバ、ハンマードライバ、ランプドライバ、ディスプレイドライバ (LED、ガス放電)、ライン ドライバ、ロジック バッファなどがあります。ULN2803C デバイスは、TTL または 5V CMOS デバイスで直接駆動できるように、各ダーリントン ペアにつき 1 つの 2.7kΩ 直列ベース抵抗を内蔵しています。

パッケージ情報

部品番号	パッケージ ⁽¹⁾	パッケージ サイズ ⁽²⁾
ULN2803CDW	DW (SOIC, 20)	12.80mm × 10.3mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。

(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。

Logic Diagram

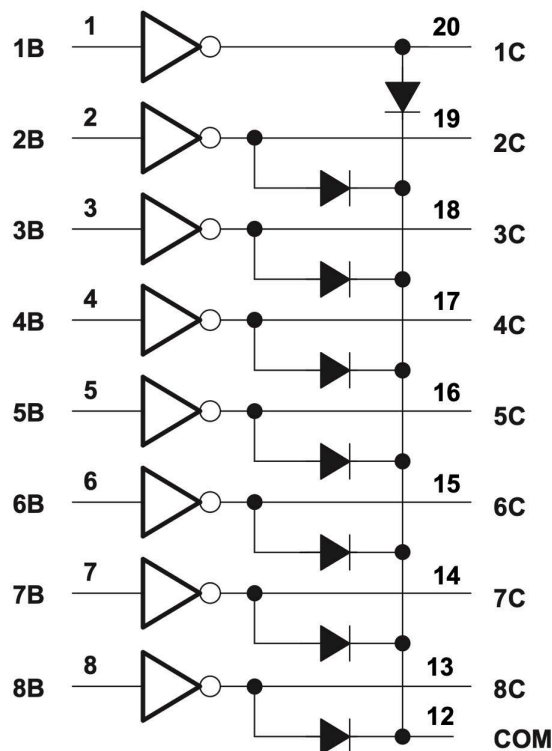


Table of Contents

1 特長	1	7.3 Feature Description.....	9
2 アプリケーション	1	7.4 Device Functional Modes.....	9
3 概要	1	8 Application and Implementation	10
4 Pin Configuration and Functions	3	8.1 Application Information.....	10
5 Specifications	4	8.2 Typical Application.....	10
5.1 Absolute Maximum Ratings.....	4	8.3 Power Supply Recommendations.....	12
5.2 ESD Ratings.....	4	8.4 Layout.....	12
5.3 Recommended Operating Conditions.....	4	9 Device and Documentation Support	14
5.4 Thermal Information.....	4	9.1 ドキュメントの更新通知を受け取る方法.....	14
5.5 Electrical Characteristics.....	4	9.2 サポート・リソース.....	14
5.6 Switching Characteristics.....	5	9.3 Trademarks.....	14
5.7 Typical Characteristics.....	5	9.4 静電気放電に関する注意事項.....	14
6 Parameter Measurement Information	6	9.5 用語集.....	14
7 Detailed Description	9	10 Revision History	14
7.1 Overview.....	9	11 Mechanical, Packaging, and Orderable Information	14
7.2 Functional Block Diagram.....	9		

4 Pin Configuration and Functions

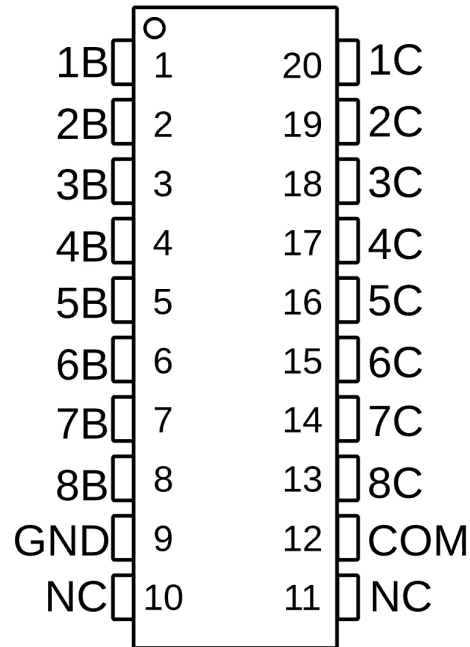


図 4-1. DW Package, 20-Pin SOIC (Top View)

表 4-1. Pin Functions

PIN		TYPE	DESCRIPTION
NAME	NO.		
1B	1	I	Channel 1 through 8 Darlington base input.
2B	2		
3B	3		
4B	4		
5B	5		
6B	6		
7B	7		
8B	8		
1C	20	O	Channel 1 through 8 Darlington collector output.
2C	19		
3C	18		
4C	17		
5C	16		
6C	15		
7C	14		
8C	13		
GND	9	—	Common emitter shared by all channels (typically tied to ground).
COM	12	I/O	Common cathode node for flyback diodes (required for inductive loads).
NC	10, 11	—	No connect pin.

5 Specifications

5.1 Absolute Maximum Ratings

over operating free-air temperature range (unless otherwise noted)⁽¹⁾

		MIN	MAX	UNIT
V _{CC}	Collector-emitter voltage		50	V
V _I	Input voltage		30	V
I _C	Peak collector current		500	mA
I _{OK}	Output clamp current		500	mA
I _{MAX}	Total substrate-terminal current		-2.5	A
T _J	Junction temperature	-65	150	°C
T _{STG}	Storage temperature	-65	150	°C

- (1) Stresses beyond those listed under *Absolute Maximum Rating* may cause permanent damage to the device. These are stress ratings only, which do not imply functional operation of the device at these or any other conditions beyond those indicated under *Recommended Operating Condition*. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.

5.2 ESD Ratings

			VALUE	UNIT
V _(ESD)	Electrostatic discharge	Human body model (HBM), per ANSI/ESDA/ JEDEC JS-001, all pins ⁽¹⁾	±2000	V
		Charged device model (CDM), per JEDEC specification JESD22-C101, all pins ⁽²⁾	±500	

- (1) JEDEC document JEP155 states that 500-V HBM allows safe manufacturing with a standard ESD control process.
 (2) JEDEC document JEP157 states that 250-V CDM allows safe manufacturing with a standard ESD control process. Manufacturing with less is possible with the necessary precautions. Pins listed may actually have higher performance.

5.3 Recommended Operating Conditions

over operating free-air temperature range (unless otherwise noted)

		MIN	TYP	MAX	UNIT
V _{CE}	Collector-emitter voltage	0		50	V
T _J	Junction temperature	-40		85	°C

5.4 Thermal Information

THERMAL METRIC ⁽¹⁾		ULN2803C			
		DW (SOIC)			UNIT
		20 PINS			
R _{θJA}	Junction-to-ambient thermal resistance	75.4		°C/W	
R _{θJC(top)}	Junction-to-case (top) thermal resistance	43.4		°C/W	
R _{θJB}	Junction-to-board thermal resistance	48.2		°C/W	
Ψ _{JT}	Junction-to-top characterization parameter	16.4		°C/W	
Ψ _{JB}	Junction-to-board characterization parameter	47.5		°C/W	

- (1) For more information about traditional and new thermal metrics, see the [Semiconductor and IC Package Thermal Metrics](#) application report.

5.5 Electrical Characteristics

Typical Values are at 25°C

PARAMETER	TEST CONDITIONS	T _A	MIN	TYP	MAX	UNIT
Datasheet Specs						

5.5 Electrical Characteristics (続き)

Typical Values are at 25°C

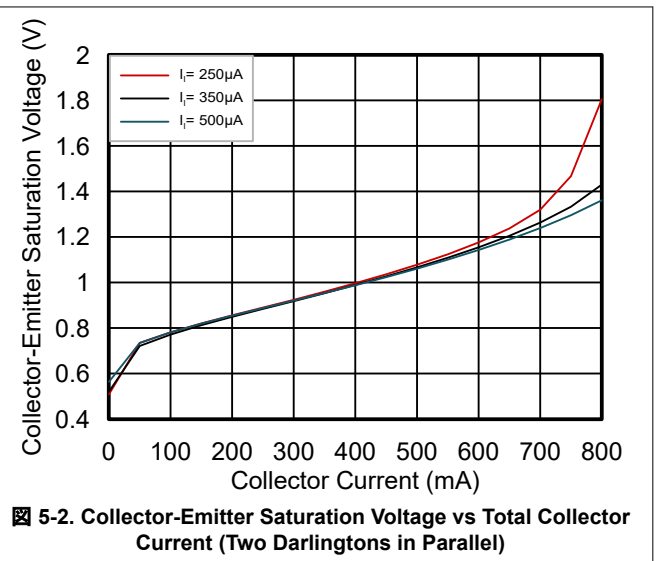
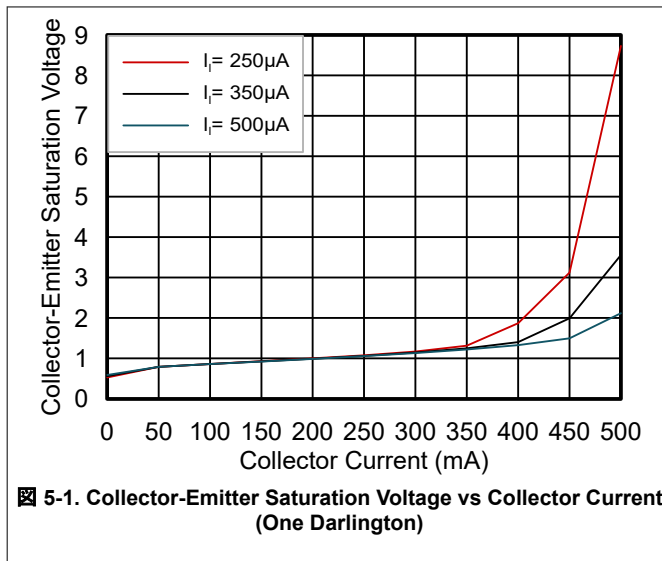
PARAMETER		TEST CONDITIONS	T _A	MIN	TYP	MAX	UNIT
V _{I(ON)}	ON-state input voltage	V _{CE} = 2V, I _C = 200mA	25°C			2.4	V
		V _{CE} = 2V, I _C = 250mA	25°C			2.7	V
		V _{CE} = 2V, I _C = 300mA	25°C			3	V
V _{CE(SAT)}	Collector-emitter saturation voltage	I _I = 250µA, I _C = 100mA	25°C		0.9	1.1	V
		I _I = 350µA, I _C = 200mA	25°C		1	1.3	V
		I _I = 500µA, I _C = 350mA	25°C		1.2	1.6	V
I _{CEX}	Collector cutoff current	V _{CE} = 50V, I _I = 0A	25°C			50	µA
V _F	Clamp forward voltage	I _F = 350mA	25°C		1.3	2	V
I _{I(OFF)}	OFF-state input current	V _{CE} = 50V, I _C = 500µA	70°C	50	65		µA
I _I	Input current	V _I = 3.85V	25°C		0.93	1.35	mA
I _R	Clamp reverse current	V _R = 50V	25°C			50	µA
C _I	Input capacitance	V _I = 0V, f = 1MHz	25°C		15	25	pF

5.6 Switching Characteristics

Unless otherwise noted, the typical characteristics in the following table applies at 25°C

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
t _{PLH}	Propagation delay time, low- to high-level output	V _S = 50 V, C _L = 15 pF, R _L = 163 Ω		130		ns
t _{PLH}	Propagation delay time, low- to high-level output	V _S = 50 V, C _L = 15 pF, R _L = 163 Ω		20		ns
V _{OH}	High-level output voltage after switching	V _S = 50 V, I _O = 300 mA	V _S - 20			mV

5.7 Typical Characteristics



6 Parameter Measurement Information

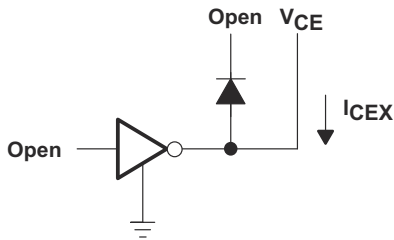


図 6-1. I_{CEX} Test Circuit

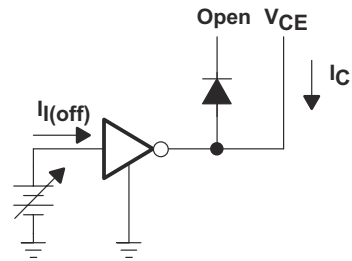


図 6-2. $I_{I(off)}$ Test Circuit

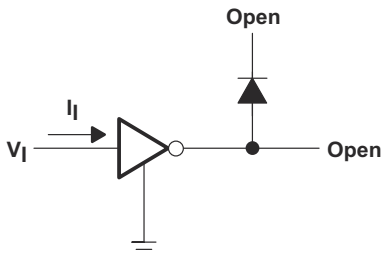


図 6-3. $I_{I(on)}$ Test Circuit

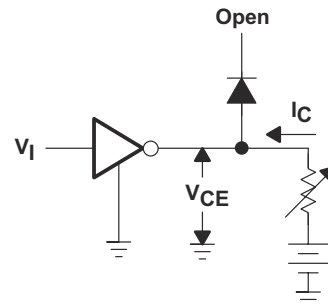


図 6-4. $V_{I(on)}$ Test Circuit

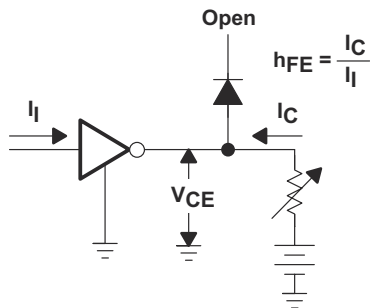


図 6-5. h_{FE} , $V_{CE(sat)}$ Test Circuit

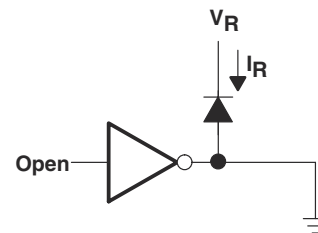


図 6-6. I_R Test Circuit

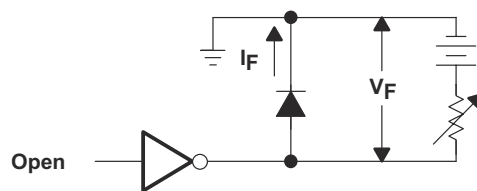
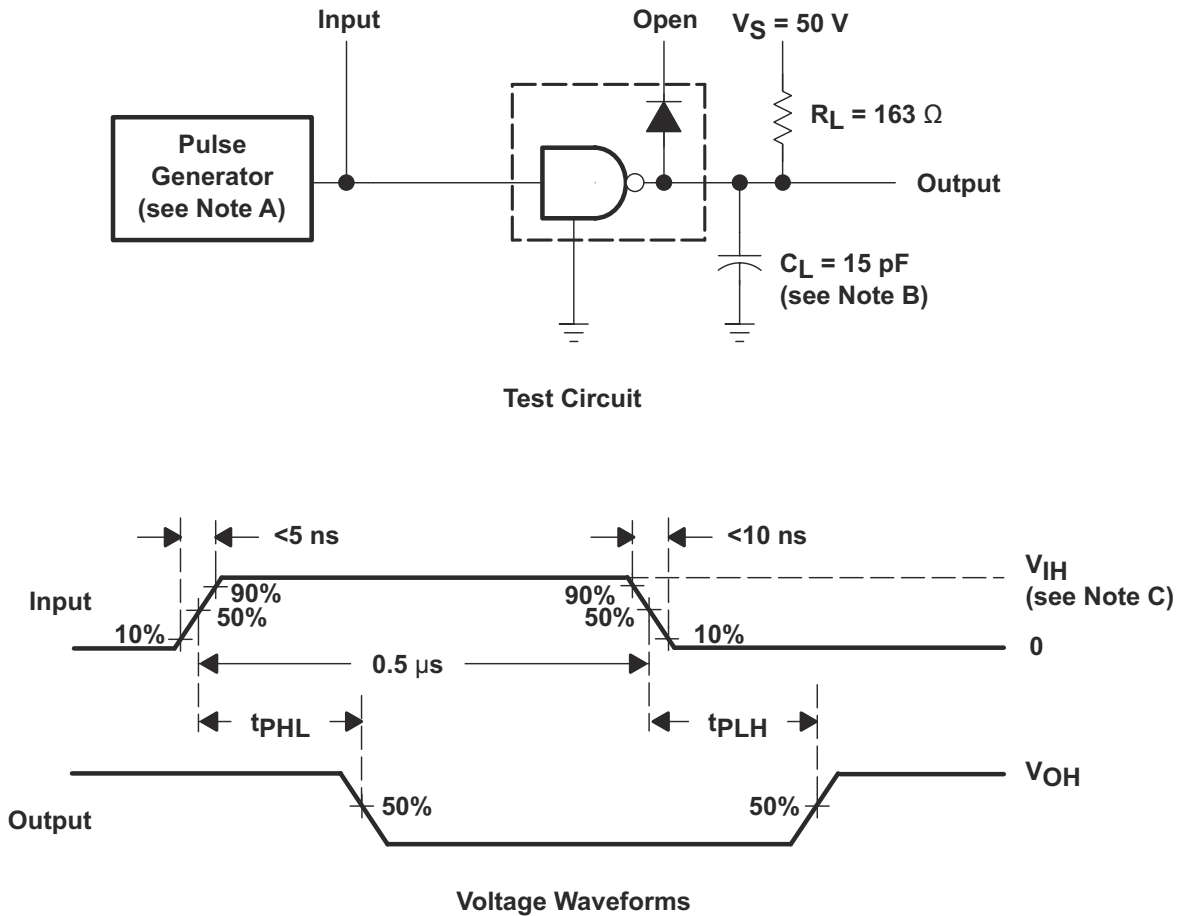
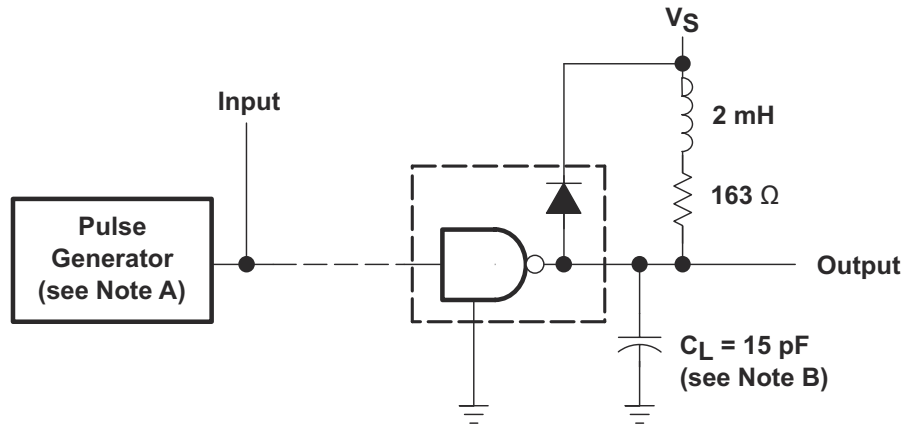


図 6-7. V_F Test Circuit

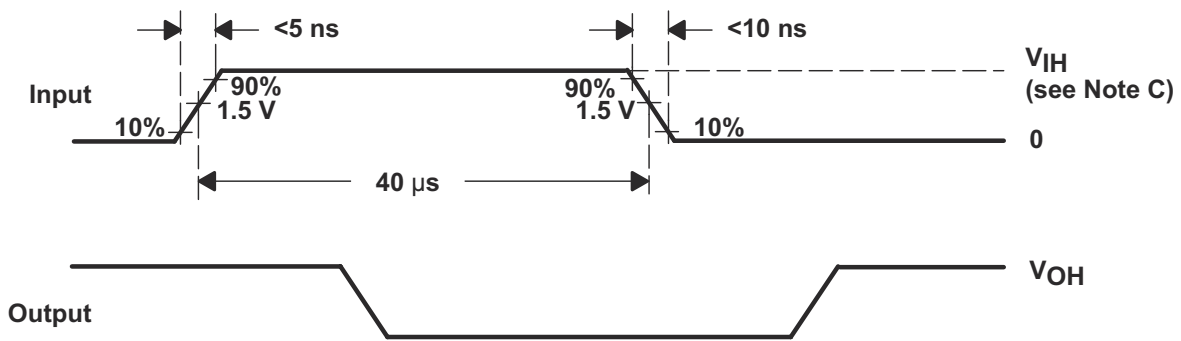


- A. The pulse generator has the following characteristics: PRR = 12.5 kHz, $Z_O = 50\ \Omega$.
- B. C_L includes probe and jig capacitance.
- C. $V_{IH} = 3\text{ V}$.

图 6-8. Propagation Delay Times



Test Circuit



Voltage Waveforms

- A. The pulse generator has the following characteristics: PRR = 12.5 kHz, $Z_O = 50 \Omega$.
- B. C_L includes probe and jig capacitance.
- C. $V_{IH} = 3 \text{ V}$.

図 6-9. Latch-Up Test

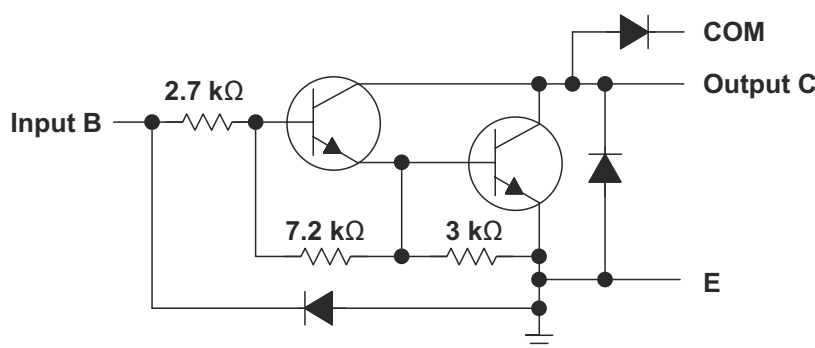
7 Detailed Description

7.1 Overview

This standard device has proven ubiquity and versatility across a wide range of applications. This feature is due to its integration of eight Darlington transistors that are capable of sinking up to 500 mA and wide GPIO range capability.

The ULN2803C is comprised of eight high voltage, high current NPN Darlington transistor pairs. All units feature a common emitter and open collector outputs. To maximize their effectiveness, these units contain suppression diodes for inductive loads. The ULN2803C has a series base resistor to each Darlington pair, thus allowing operation directly with TTL or CMOS operating at supply voltages of 5 V or 3.3 V. The ULN2803C offers solutions to a great many interface needs, including solenoids, relays, lamps, small motors, and LEDs. Applications requiring sink currents beyond the capability of a single output can be accommodated by paralleling the outputs.

7.2 Functional Block Diagram



7.3 Feature Description

Each channel of ULN2803C consists of Darlington connected NPN transistors. This connection creates the effect of a single transistor with a very-high current gain. The very high β allows for high output current drive with a very-low input current, essentially equating to operation with low GPIO voltages.

The GPIO voltage is converted to base current through the 2.7-k Ω resistor connected between the input and base of the predriver Darlington NPN.

The diodes connected between the output and COM pin are used to suppress the kickback voltage from an inductive load that is excited when the NPN drivers are turned off (stop sinking) and the stored energy in the coils causes a reverse current to flow into the coil supply through the kickback diode.

In normal operation, the diodes on base and collector pins to emitter are reverse biased. If these diodes are forward biased, internal parasitic NPN transistors draw (a nearly equal) current from other (nearby) device pins.

7.4 Device Functional Modes

7.4.1 Inductive Load Drive

When the COM pin is tied to the coil supply voltage, ULN2803C can drive inductive loads and suppress the kickback voltage through the internal free wheeling diodes.

7.4.2 Resistive Load Drive

When driving resistive loads, COM can be left unconnected or connected to the load voltage supply. If multiple supplies are used, connect to the highest voltage supply.

8 Application and Implementation

注

Information in the following applications sections is not part of the TI component specification, and TI does not warrant its accuracy or completeness. TI's customers are responsible for determining suitability of components for their purposes, as well as validating and testing their design implementation to confirm system functionality.

8.1 Application Information

ULN2803C is typically used to drive a high-voltage or current peripherals from an MCU or logic device that cannot tolerate these conditions. The following design is a common application of ULN2803C, driving inductive loads. This includes motors, solenoids, and relays. Each load type can be modeled by what is seen in [8-1](#).

8.2 Typical Application

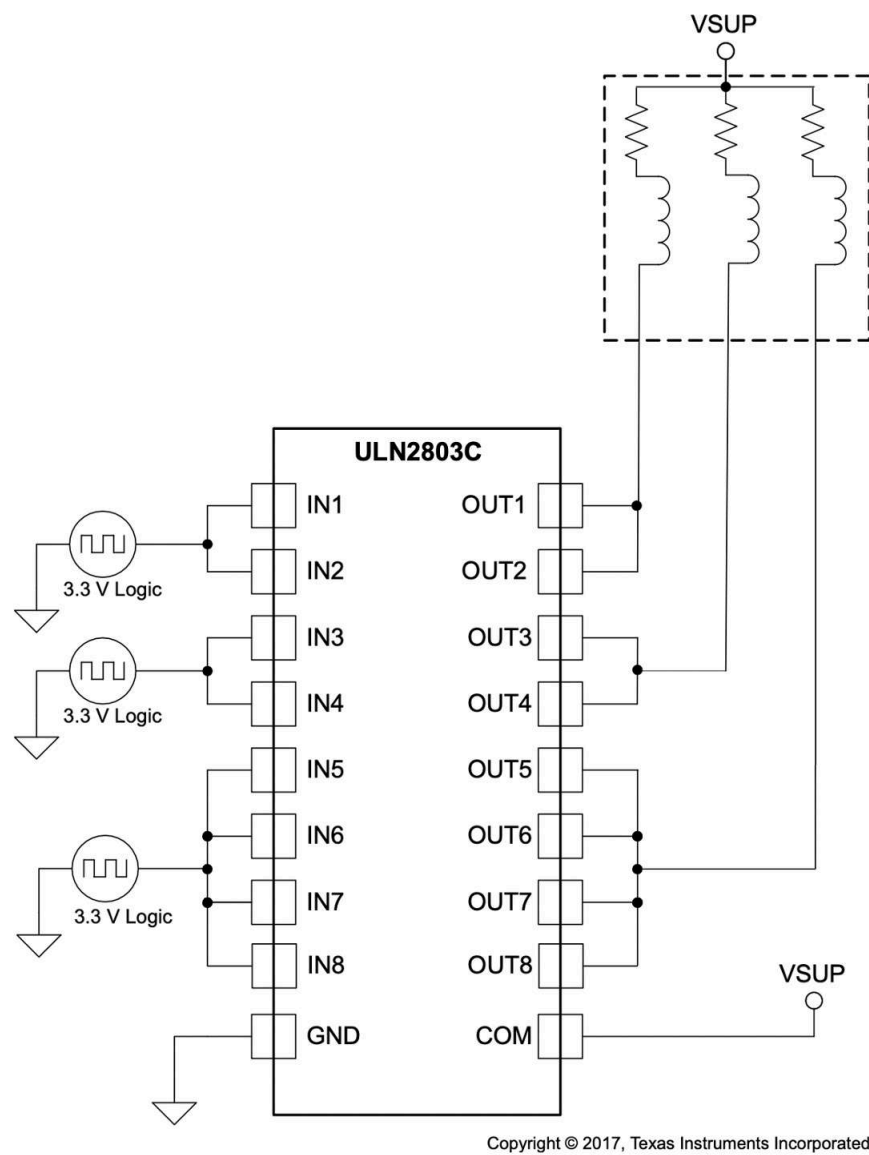


図 8-1. ULN2803C as Inductive Load Driver

8.2.1 Design Requirements

For this design example, use the parameters listed in [表 8-1](#) as the input parameters.

表 8-1. Design Parameters

DESIGN PARAMETER	EXAMPLE VALUE
GPIO voltage	3.3 or 5 V
Coil supply voltage	12 to 50 V
Number of channels	8
Output current (R_{COIL})	20 to 300 mA per channel
Duty cycle	100%

8.2.2 Detailed Design Procedure

When using ULN2803C in a coil driving application, determine the following:

- Input voltage range
- Temperature range
- Output and drive current
- Power dissipation

8.2.2.1 Drive Current

The coil current is determined by the coil voltage (V_{SUP}), coil resistance, and output low voltage (V_{OL} or $V_{CE(SAT)}$).

$$I_{COIL} = (V_{SUP} - V_{CE(SAT)}) / R_{COIL} \quad (1)$$

8.2.2.2 Output Low Voltage

The output low voltage (V_{OL}) is equivalent to $V_{CE(SAT)}$ and can be determined by [図 5-1](#), [図 5-2](#), or using [セクション 5.5](#).

8.2.2.3 Power Dissipation and Temperature

The number of coils driven is dependent on the coil current and on-chip power dissipation. To determine the number of coils possible, use [式 2](#) to calculate ULN2803C on-chip power dissipation P_D .

$$P_D = \sum_{i=1}^N V_{OLi} \times I_{Li} \quad (2)$$

where

- N is the number of channels active together.
- V_{OLi} is the OUT_i pin voltage for the load current I_{Li} . This is the same as $V_{CE(SAT)}$.

To ensure the reliability of ULN2803C and the system, the on-chip power dissipation must be lower than or equal to the maximum allowable power dissipation (P_D) dictated by [式 3](#).

$$P_{D(MAX)} = \frac{(T_{J(MAX)} - T_A)}{\theta_{JA}} \quad (3)$$

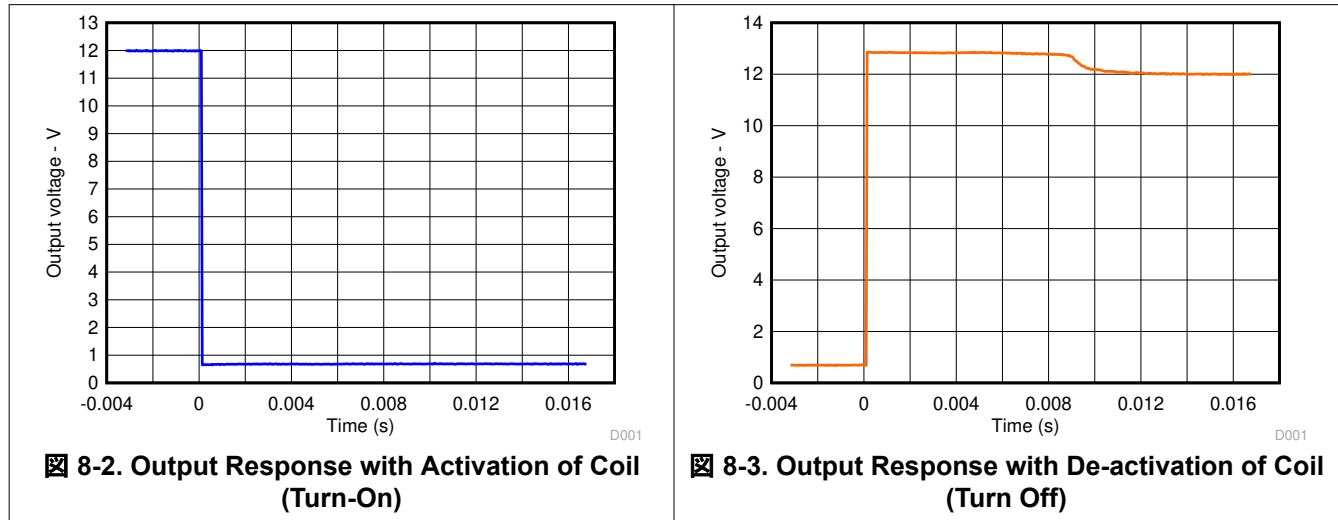
where

- $T_{J(MAX)}$ is the target maximum junction temperature.
- T_A is the operating ambient temperature.
- θ_{JA} is the package junction to ambient thermal resistance.

TI recommends to limit the ULN2803C IC die junction temperature to $< 125^{\circ}\text{C}$. The IC junction temperature is directly proportional to the on-chip power dissipation.

8.2.3 Application Curves

The following curves are generated with ULN2803C driving an OMRON G5NB relay – $V_{in} = 5.0\text{ V}$; $V_{sup} = 12\text{ V}$ and $R_{COIL} = 2.8\text{ k}\Omega$.



8.3 Power Supply Recommendations

This device does not need a power supply; however, the COM pin is typically tied to the system power supply. With this case, make sure that the output voltage does not heavily exceed the COM pin voltage. This action can heavily forward bias the flyback diodes and cause a large current to flow into COM, potentially damaging the on-chip metal or overheating the part.

8.4 Layout

8.4.1 Layout Guidelines

Thin traces can be used on the input due to the low current logic that is typically used to drive ULN2803C. Take care to separate the input channels as much as possible, as to eliminate crosstalk. TI recommends thick traces for the output to drive high currents as desired. Wire thickness can be determined by the trace material current density and desired drive current.

Because all of the channels currents return to a common emitter, size that trace width to be very wide. Some applications require up to 2.5 A.

8.4.2 Layout Example

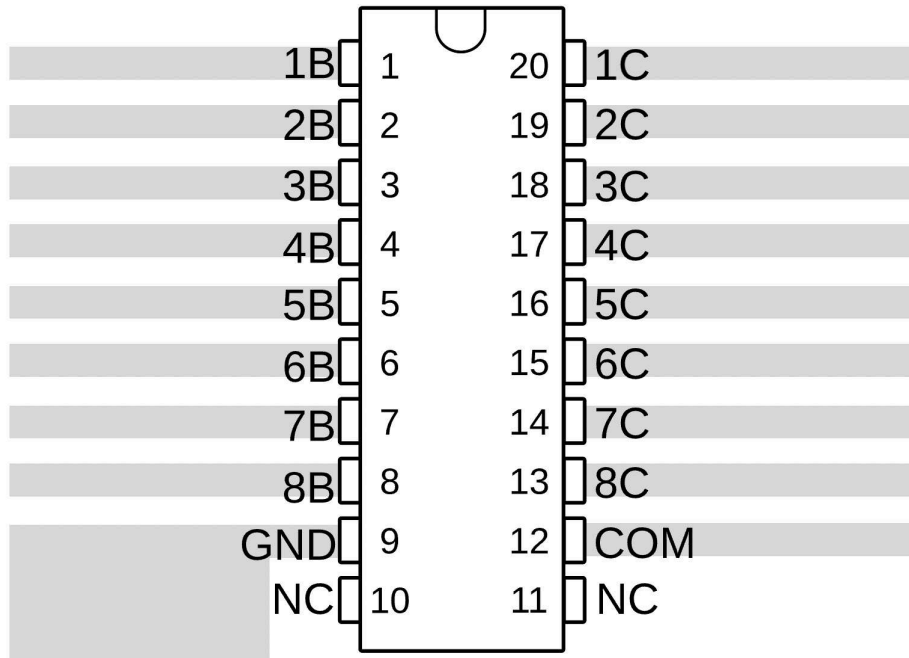


図 8-4. ULN2803C Layout Example

9 Device and Documentation Support

9.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

9.3 Trademarks

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

9.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.5 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

10 Revision History

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision A (March 2024) to Revision B (September 2024)	Page
• Changed part number from ULN2803A to ULN2803C in the <i>Thermal Information</i> section.....	4

Changes from Revision * (August 2022) to Revision A (March 2024)	Page
• Updated thermal parameters in the <i>Thermal Information</i> section.....	4
• Changed typical specification for V_F , Clamp forward voltage from 1.7V : to 1.3V in the <i>Electrical Characteristics</i> section.....	4
• Updated graphs in the <i>Typical Characteristics</i> section.....	4

11 Mechanical, Packaging, and Orderable Information

The following pages include mechanical, packaging, and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser-based versions of this data sheet, refer to the left-hand navigation.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2024, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
ULN2803CDWR	ACTIVE	SOIC	DW	20	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 85	ULN2803C	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSELETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "-" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
ULN2803CDWR	SOIC	DW	20	2000	330.0	24.4	10.9	13.3	2.7	12.0	24.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
ULN2803CDWR	SOIC	DW	20	2000	356.0	356.0	41.0

DW0020A



PACKAGE OUTLINE

SOIC - 2.65 mm max height

SOIC



4220724/A 05/2016

NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm per side.
5. Reference JEDEC registration MS-013.

EXAMPLE BOARD LAYOUT

DW0020A

SOIC - 2.65 mm max height

SOIC



LAND PATTERN EXAMPLE
SCALE:6X



SOLDER MASK DETAILS

4220724/A 05/2016

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DW0020A

SOIC - 2.65 mm max height

SOIC



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:6X

4220724/A 05/2016

NOTES: (continued)

- 8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
- 9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](#) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated