

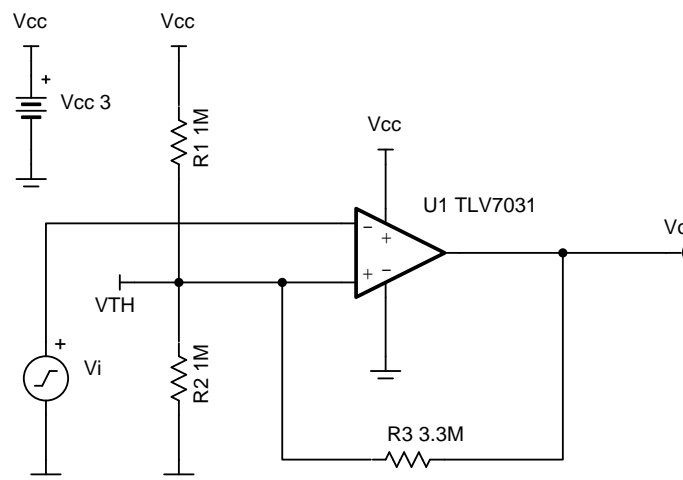
ヒステリシスを持つ反転コンパレータ回路

設計目標

出力		スレッシュホールド	ヒステリシス	電源	
$V_o = \text{HIGH}$	$V_o = \text{LOW}$	V_{TH}	V_{HYS}	V_{cc}	V_{ee}
$V_i < V_L$	$V_i > V_H$	1.5V	400mV	3V	0V

設計の説明

コンパレータは、2つの異なる信号レベルを区別するために使用されます。反転形式で構成している場合、選択したスレッシュホールドをアナログ入力の下回ると、コンパレータの出力はデジタル **HIGH** になります。比較スレッシュホールドに、ノイズ、信号偏差、低速で変化する信号が含まれている場合、出力に望ましくない遷移が観測されることがあります。上側と下側のヒステリシス・スレッシュホールドを設定すると、望ましくない出力遷移を除去できます。この回路例は、反転コンパレータ・アプリケーションに必要なヒステリシスを実現する正帰還抵抗回路の設計の手順を示すものです。



デザイン・ノート

- ヒステリシス・スレッシュホールド電圧の精度は、回路に使用される抵抗の公差、選択したコンパレータの入力オフセット電圧仕様、デバイスに既に適用されている内部ヒステリシスに関係します。
- TLV7031 の場合、 V_{OH} は V_{cc} より約 200mV 低く、 V_{OL} は V_{ee} よりも約 250mV 高い値です。
- TLV7031 にはプッシュプル出力段があるため、プッシュプル抵抗は必要ありません。

設計手順

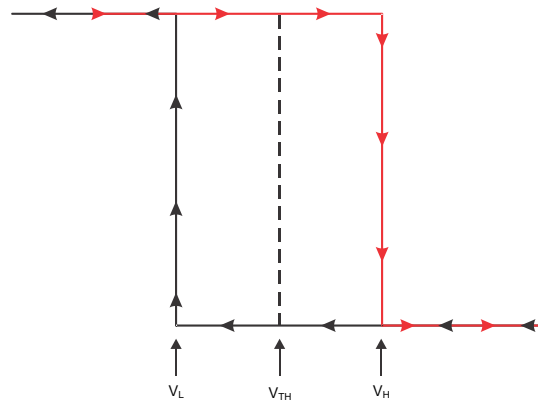
1. R_1 を選択します。デバイスの CMOS 入力の入力バイアス電流は非常に小さいため、この抵抗値は大きくてもかまいません。

$$R_1 = 1\text{M}\Omega \text{ (Standard Value)}$$

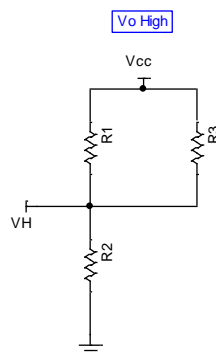
2. 必要なスレッショルド電圧に基づいて、 R_2 を求めます。バランスの良いヒステリシスとして、 V_{TH} は V_{CC} の 50% に設定します。

$$R_2 = \frac{R_1 \times V_{TH}}{V_{CC} - V_{TH}} = \frac{1\text{M}\Omega \times 1.5\text{V}}{3\text{V} - 1.5\text{V}} = 1\text{M}\Omega$$

3. 帰還抵抗回路の 2 つの可能な出力状態である HIGH と LOW に注目します。分圧器 (R_1 および R_2) により非反転ピンに印加されるスレッショルド電圧は、帰還抵抗 (R_3) を使用してさらに制御可能なことに注意してください。ヒステリシスのアイ・ダイアグラムを次に示します。



4. V_H の式を導出します。これは、 V_o が HIGH のときのスレッショルド電圧です。単純化のため、 V_o は $V_i < V_L$ のとき V_{CC} に切り替わると仮定します。このとき、 R_1 と R_3 は並列になります。



5. プッシュプル出力は次のようになります。

$$V_H = V_{CC} \times \frac{R_2}{(R_1 || R_3) + R_2}$$

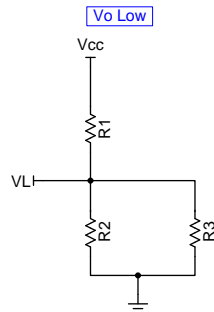
- a. 使用するコンパレータにオープン・ドレインまたはオープン・コレクタの出力段がある場合、 R_3 と直列にプルアップ抵抗 R_{pu} が接続されます。次の式は、 $V_{pu} = V_{CC}$ の場合に真になります。一部のアプリケーションでは、最終的な帰還抵抗の値がプルアップ抵抗よりもはるかに大きい (理想的には 10 倍) ため、 V_H の式でプルアップ抵抗は無視できる場合もあることに注意してください。

$$V_H = V_{CC} \times \frac{R_2}{[R_1 || (R_3 + R_{pu})] + R_2}$$

- b. $V_{pu} \neq V_{CC}$ のときは、 V_H に次の式を使用します。

$$V_H = \frac{(R_1 \times V_{pu} + (R_3 + R_{pu}) \times V_{CC}) \times R_2}{R_1 \times (R_2 + R_3 + R_{pu}) + R_2 \times (R_3 + R_{pu})}$$

6. V_L の式を導出します。これは、 V_o が LOW のときのスレッショルド電圧です。単純化のため、 V_o は $V_i > V_H$ のとき V_{EE} に切り替わると仮定します。このとき、 R_2 と R_3 は並列になります。



$$V_L = V_{cc} \times \frac{R_2 \parallel R_3}{R_1 + (R_2 \parallel R_3)}$$

7. V_{HYS} の式を導出します。

$$V_{HYS} = V_H - V_L = \frac{R_1 \times R_2 \times V_{cc}}{R_1 \times (R_2 + R_3) + (R_2 \times R_3)}$$

8. R_3 を求めます。

$$R_3 = \frac{R_1 \times R_2 \times (V_{cc} - V_{HYS})}{(R_1 + R_2) \times V_{HYS}} = \frac{1M\Omega \times 1M\Omega \times (3V - 0.4V)}{(1M\Omega + 1M\Omega) \times 0.4V} = 3.25M\Omega$$

$$R_3 = 3.3M\Omega \text{ (Standard Value)}$$

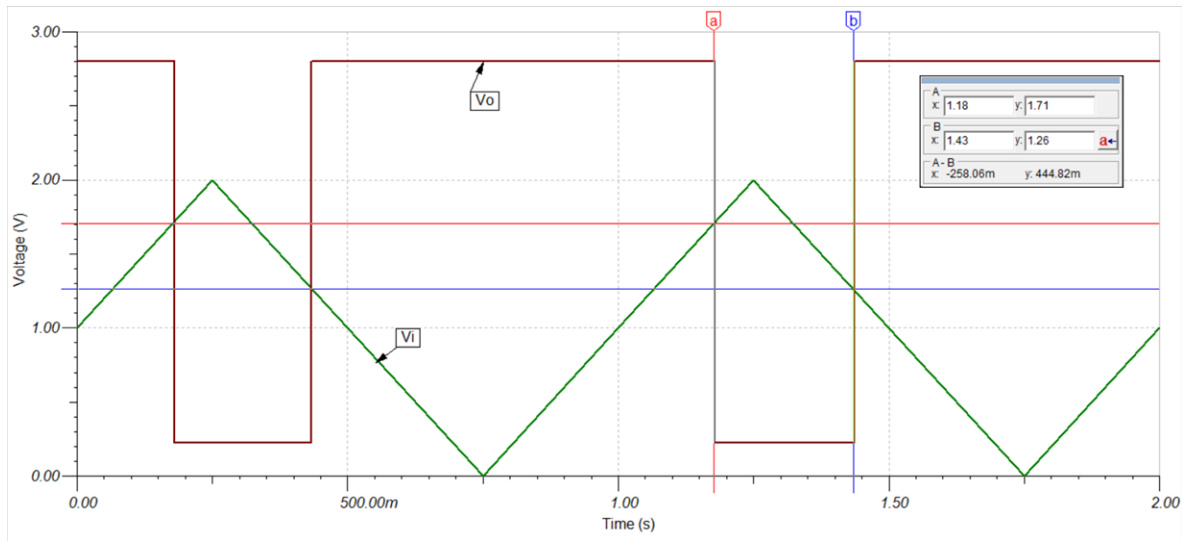
9. $V_{HYS} = 400mV$ で、 $V_H = 1.7V$ 、 $V_L = 1.3V$ であることを確認します。

$$V_H = V_{cc} \times \frac{R_2}{(R_1 \parallel R_3) + R_2} = 3V \times \frac{1M\Omega}{(1M\Omega \parallel 3.3M\Omega) + 1M\Omega} = 1.70V$$

$$V_L = V_{cc} \times \frac{R_2 \parallel R_3}{R_1 + (R_2 \parallel R_3)} = 3V \times \frac{(1M\Omega \parallel 3.3M\Omega)}{1M\Omega + (1M\Omega \parallel 3.3M\Omega)} = 1.30V$$

$$V_{HYS} = V_H - V_L = 1.70V - 1.30V = 400mV$$

過渡シミュレーション結果



設計の参照資料

TIの総合的な回路ライブラリについては、「[アナログ・エンジニア向け回路クックブック](#)」を参照してください。
 ヒステリシスを持つコンパレータのリファレンス・デザイン TIPD144 (www.ti.com/tipd144) を参照してください。
 回路 SPICE シミュレーション・ファイル SLVMCQ0 (<http://www.ti.com/lit/zip/slvmcq0>) を参照してください。
 ヒステリシス、伝播遅延、入力同相範囲など、コンパレータに関する多くのトピックの詳細については、
training.ti.com/ti-precision-labs-op-amps (英語) を参照してください。

設計で使用されているコンパレータ

TLV7031	
出力方式	プッシュプル
V_{CC}	1.6V~6.5V
V_{inCM}	レール・ツー・レール
V_{OS}	±100µV
V_{HYS}	7mV
I_q	335nA/Ch
t_{pd}	3µs
チャンネル数	1
www.ti.com/product/tlv7031	

設計の代替コンパレータ

TLV1701	
出力方式	オープン・コレクタ
V_{CC}	2.2V~36V
V_{inCM}	レール・ツー・レール
V_{HYS}	N/A
V_{OS}	±500µV
I_q	55µA/Ch
t_{pd}	560ns
チャンネル数	1, 2, 4
www.ti.com/product/tlv1701	

重要なお知らせと免責事項

TI は、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションが適用される各種規格や、その他のあらゆる安全性、セキュリティ、またはその他の要件を満たしていることを確実にする責任を、お客様のみが単独で負うものとします。上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、TI の販売条件 (www.tij.co.jp/ja-jp/legal/termsofsale.html)、または ti.com やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

Copyright © 2019, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

重要なお知らせと免責事項

TI は、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションが適用される各種規格や、その他のあらゆる安全性、セキュリティ、またはその他の要件を満たしていることを確実にする責任を、お客様のみが単独で負うものとします。上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、TI の販売条件 (www.tij.co.jp/ja-jp/legal/termssofsale.html)、または ti.com やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

Copyright © 2019, Texas Instruments Incorporated

日本語版 日本テキサス・インスツルメンツ株式会社