

# Für energieeffiziente integrierte Systeme mit AM62x-Prozessoren



*Kazunobu Shin, Systems & Architecture, Member Group of Technical Staff*

*Venkateswar Kowkutla, Senior Member of Technical Staff*

## Inhalt

|   |          |
|---|----------|
| <b>1 Einführung</b> .....   | <b>2</b> |
| <b>2 Power-Management-Funktionen – AM62x</b> .....                                      | <b>3</b> |
| 2.1 Energiesparmodi.....  | 3        |
| 2.2 Aktives Energiemanagement.....  | 4        |
| 2.3 Vereinfachung der Stromversorgungsdesigns.....                                      | 4        |
| 2.4 Stromversorgungslösungen.....   | 5        |
| <b>3 Überlegungen zur Architektur von Prozessoren für geringen Stromverbrauch</b> ..... | <b>6</b> |
| <b>4 Stromverbrauch des AM62x</b> .....   | <b>7</b> |
| <b>5 Tool zur Schätzung des Stromverbrauchs</b> .....                                   | <b>8</b> |
| <b>6 Fazit</b> .....  | <b>9</b> |

## Marken

All trademarks are the property of their respective owners.

# 1 Einführung

Integrierte Systeme erfreuen sich in einer Vielzahl von Anwendungen immer größerer Beliebtheit. Dies hat zur Folge, dass der Wunsch nach mehr Integration auf einem einzelnen SoC immer lauter wird. Ein hohes Maß an Integration hat größere Verlustleistung, erhöhte thermische Systemkosten, eine Beeinträchtigung der Leistung und eine verkürzte Batterielaufzeit zur Folge. Um diese Herausforderungen zu meistern, sollten SoCs gut definiert, gut konzipiert und im Kontext Ihres Verwendungszwecks im integrierten System entwickelt werden. Da jede Anwendung anders ist, ist es wichtig, die richtigen Betriebseinstellungen für den SoC auszuwählen, um ein optimales Verhältnis von Leistung und Stromverbrauch zu erreichen. In diesem Dokument werden neuartige Funktionen und Techniken, die auf den AM62x-Prozessoren entwickelt wurden, präsentiert; AM62x-Prozessoren sind Sitara MPU-Bausteine der nächsten Generation von Texas Instruments.

AM62x-Prozessoren zeichnen sich durch einen hochleistungsfähigen Quad-Core Cortex A53 mit 64-Bit-Architektur, einer leistungsfähigen 3D-Grafik-Engine, einen integrierten M4F-MCU-Kanal für vielseitige Nutzung oder Sicherheit mit freedom-from interface (FFI) von der Anwendungsdomäne, einem Dual-Core M4F für grundlegende Sicherheitsfunktionen und Sicherheitsfunktionen im Automobilbereich und in der Industrie, einem dedizierten R5F-Kern für Geräteresourcen und energieeffizientem Power-Management aus. Die modulare Architektur dieses Bausteins bietet Leistung mit Unterstützung für mehrere energieeffiziente Modi ohne kritische Systemressourcen wie Konnektivität, Strom, Sicherheit, Schutz und Kosten zu belasten. Abbildung 1 zeigt ein detailliertes Blockschaltbild eines AM62x-Prozessors.

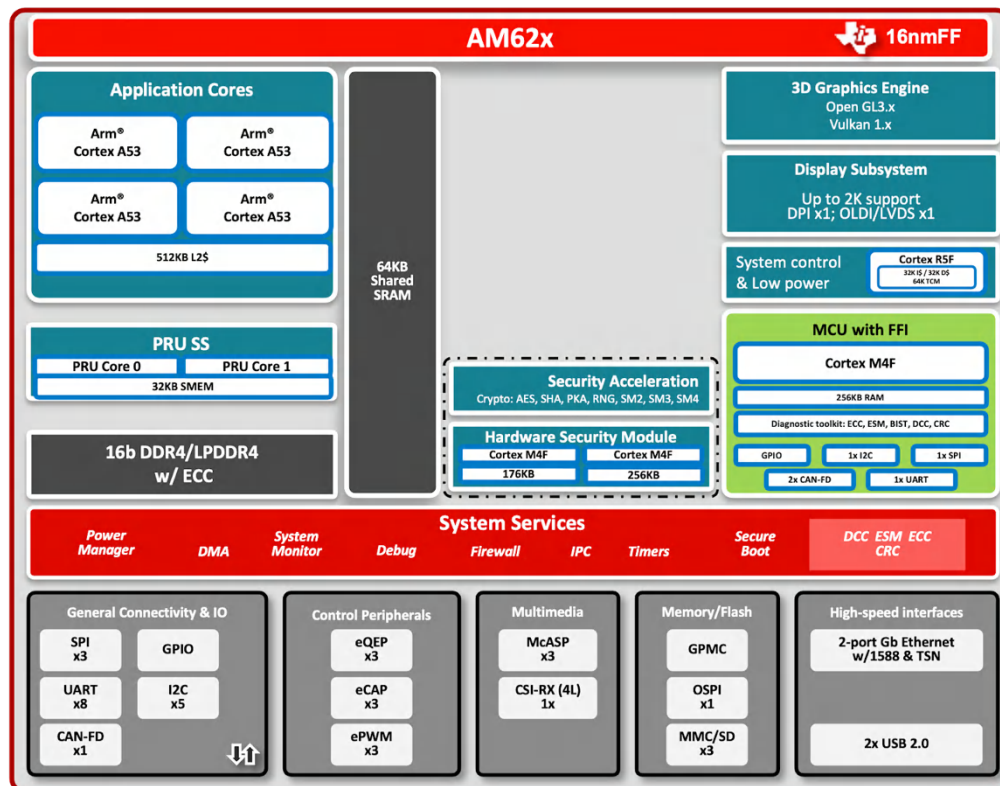


Abbildung 1-1. Blockschaltbild des AM62x-Prozessors Sitara™

## 2 Power-Management-Funktionen – AM62x

Der AM62-Prozessor wendet mehrere Techniken zur Reduzierung des aktiven und statischen Stromverbrauchs an. [Tabelle 2-1](#) zeigt die Funktionen und Vorteile des AM62x bezüglich des Power-Managements.

**Tabelle 2-1: Power-Management-Funktionen – AM62x**

| Wichtigste Merkmale                       | Power-Management – AM62x  | Vorteile  |
|---|---|---|
| Energiesparmodi                           | DeepSleep, Nur MCU, Standby, Partial I/O  | Längere Batterie-Betriebslebensdauer  |
| Aktives Energiemanagement                 | Niedriger Bus-Taktfrequenz-Betrieb bei 125 MHz (OPP low)  | Niedriger aktiver Stromverbrauch für Anwendungsfälle mit geringer Aktivität   |
|   | Dynamische Frequenzskalierung (DFS)   | Wärmemanagement   |
| Vereinfachung des Stromversorgungsdesigns | Bis zu 1,25 GHz; A53 bei 0,75 V<br>Bis zu 1,4 GHz; A53 bei 0,85 V   | Differenzierter niedriger Stromverbrauch mit 0,75-V-Kernstromversorgung<br>Höhere Leistung mit 0,75-V-Kernstromversorgung |
|   | Einzelkern-Stromversorgung<br>Einfachere Stromdomänen   | Lösung für kostengünstige Stromversorgung und weniger komplizierte Softwarekontrollen für das Power-Management            |
|   | Einfache Ein-/Ausschaltreihenfolge mit integriertem LDO für eine kostengünstige diskrete Stromversorgungslösung | Leichtere Optimierung einer Stromversorgungslösung für das gesamte System<br>Kostengünstige Stromversorgungslösung        |
| Begleitbauteil PMIC                       | Neuer kostengünstiger PMIC  | Kostenoptimierte PMIC, optimiert für AM62x-Prozessoren  |

### 2.1 Energiesparmodi

Der AM62x-Prozessor unterstützt optimierte energieeffiziente Modi mit unterschiedlichen Maßen an Verlustleistung: Partial I/O-Modus bis DeepSleep-Modus und Standby-Modus (Sub-mW bis zu wenigen mW). [Tabelle 2-2](#) zeigt eine allgemeine Beschreibung verschiedener Energiesparmodi, die von AM62x-Prozessoren unterstützt werden.

**Tabelle 2-2: AM62x Energiesparmodi**

| Energiesparmodi | Aufwachquellen  | Anwendungsstatus und Anwendungsfall   |
|-----------------|---|---|
| Partial I/O     | CANUART I/O Begrenzungsstifte   | Das gesamte SoC ist AUS, außer den I/O-Stiften in CANUART I/O-Bank, um die I/O-Aufwachfunktion von den CANUART I/O Bank I/O-Stiften aufrechtzuerhalten.   |
| DeepSleep       | GP Timer, RTC Timer, UART, I2C, MCU GPIO0, I/O Reihenschaltung, USB-Aufwacheignisse | Kerndomänen-Register-Informationen gehen verloren. Informationen des peripheren On-Chip-Registers (Kontext) von Kerndomänen müssen von der Anwendungen im DDR gespeichert werden, bevor dieser Modus angewendet werden kann. DDR im Selbstauffrischungsmodus. Boot-ROM wird ausgeführt und auf peripheren Kontext-Restore zum Aufwecken erweitert, gefolgt von der Systemfortsetzung. Dieser Modus wird vornehmlich für „Suspend to RAM“ für Batterielaufzeit- oder Backup-Betrieb genutzt. |
| Nur MCU         | DeepSleep Aufwach-Ereignisse, Interrupt-Ereignisse unterstützt von MCU-Kanal        | Das MCU-Subsystem läuft am MCU-PLL-Taktgeber. Der Rest der SoC ist im gleichen Zustand wie DeepSleep. DDR im Selbstauffrischungsmodus. MCU kann Anwendungen mit MCU-Domänenperipheriegeräten in diesem Energiesparmodus ausführen.  |
| Standby         | Jedes SoC Interrupt-Ereignis  | On-Chip-Inhalte bleiben voll erhalten. Jedes SoC-Interrupt-Ereignis kann ein Aufwach-Ereignis aus diesem Energiesparmodus veranlassen. A53 und MCU M4F sind im WFI- oder Abschaltmodus. DDR-Speicher befindet sich im Selbstauffrischungsmodus. Der Baustein kann Verarbeitung auf niedrigem Niveau mit Nicht-Aufwach-/MCU-Domänenperipheriegeräten ausführen und Aufwach-Ereignisse von diesen Peripheriegeräten unterstützen.   |

**Partial I/O:** I/O-Stifte und kleine Logik in der CANUART I/O-Bank sind aktiv, und der Rest der SoC ist ausgeschaltet. Der Benutzer kann die I/O-Stifte verwenden, um mehrere I/O-Aufwach-Ereignisse zu aggregieren und den PMIC\_LPM\_EN-Stift umzuschalten. So werden PMIC oder diskrete Stromversorgungslösungen ermöglicht, wenn ein I/O-Aufwach-Ereignis ausgelöst wird. Die Informationen zum I/O-Aufwach-Ereignis werden in der MMR in der CANUART I/O-Bank geloggt. Diese Informationen helfen der Software zwischen Kaltstart und Aufwach-Ereignissen zu unterscheiden und auf Aufwach-Ereignisse schneller zu reagieren. Dieser Modus kann zur Unterstützung von CAN- oder Ethernet-Aufwach-Ereignissen verwendet werden.

**DeepSleep:** Im DeepSleep-Modus kann der Stromverbrauch geringer als im Standby- oder Nur MCU-Modus sein. Der DeepSleep-Modus wird normalerweise bei Inaktivität verwendet; wenn der Benutzer nur sehr wenig Strom benötigt, während er zum Beispiel auf ein Ereignis wartet, das Verarbeitung oder größere Leistung erfordert. DeepSleep ist der Strommodus mit dem geringsten Stromverbrauch, der immer noch DDR im Selbstauffrischungsmodus bietet, sodass Aufwach-Ereignisse keinen vollständigen Kaltstart benötigen, was Latenzen beim Aufwecken merklich verringert. Der geringste Strom in diesem Modus kann durch die Deaktivierung beider Oszillatoren erreicht werden, wenn kein RTC oder keine andere Timer-Funktion benötigt wird.

**Nur MCU:** Nur MCU kann für Anwendungsfälle mit geringem Stromverbrauch verwendet werden, bei denen Verarbeitungsfunktionen auf niedrigem Niveau bei einem Energiesparmodus benötigt werden. Der Zustand des SoC ist mit dem DeepSleep-Modus vergleichbar, außer dass in diesem Fall der MCU-Kanal voll aktiv ist, um Anwendungen mit den Ressourcen des MCU-Kanals und Peripheriegeräten auszuführen. Jedes Interrupt-Ereignis im MCU-Kanal kann ein Aufwach-Ereignis aus Nur MCU initiieren, und die Aufwach-Ereignisse, die von DeepSleep unterstützt werden, können auch Aufwach-Ereignisse aus Nur MCU auslösen.

**Standby:** Der Baustein kann in den Standby-Modus versetzt werden, um den Stromverbrauch bei wenig Aktivität zu reduzieren. Diese erste Ebene des Energiemanagements ermöglicht es Ihnen, den Gerätekontext zu erhalten, was für kurze Wiederaufnahmezeiten sorgt. Im Standby-Modus wird weniger Strom verbraucht als im Aktiven Modus, aber der Benutzer muss den ausgeschalteten Stromdomänenkontext im On-Chip-Speicher oder DDR speichern und die Kontexte nach dem Aufwachen wiederherstellen, um einen geregelten Betrieb zu gewährleisten.

## 2.2 Aktives Energiemanagement

Dynamische Frequenzskalierung ist eine Power-Management-Technik, bei der die Betriebsfrequenz über Betriebsleistungspunkte (OPP) eines Geräts skaliert wird. Ein OPP ist ein Spannungs-Frequenz-Paar, das einen bestimmten Stromzustand definiert. Die Software kontrolliert die Taktfrequenz für jeden OPP, um dann die Leistung und den Strom so anzupassen, dass der Optimalwert erreicht wird. Der Baustein unterstützt nur DFS für Cortex-A53.

Der AM62x-Prozessor unterstützt niedrigere Busfrequenzen mit einem Betrieb als OPP Low. OPP Low muss beim Starten konfiguriert werden. Bei OPP Low wird die Haupttaktfrequenz CBASS um die Hälfte reduziert, um den aktiven Stromverbrauch bei geringerer Leistung zu senken. In diesem Betriebszustand ist die Leistung mancher peripherer Module entweder begrenzt oder gar nicht verfügbar.

## 2.3 Vereinfachung der Stromversorgungsdesigns

Wenn es um Stromversorgungsoptimierung geht, ist es besonders wichtig, Überlegungen dazu anzustellen, wie die SoC in einem vorhandenen System verwendet werden soll. Dabei muss die Optimierung des Energieverbrauchs des Gesamtsystems im Mittelpunkt stehen und nicht nur der SoC. Dies ist ein wichtiger Bestandteil einer holistischen Vorgehensweise bei der Optimierung des Energieverbrauchs. Eine Reduzierung der dedizierten Stromschienen, die vom Ladezustand benötigt werden, führt nicht nur zu einer Vereinfachung der Stromversorgungslösung. Der AM62x-Baustein enthält einen gemeinsamen Kern-VDD mit der Flexibilität, das Spannungslevel zu skalieren, um die Anforderungen einer Vielzahl von Anwendungen zu erfüllen.

Die Auswahl der richtigen Kernspannung für eine gegebene Anwendung führt zur Optimierung des System-Stromverbrauchs. Der AM62x-Baustein beweist, dass durch eine Skalierung der Kernstromversorgung von 0,8 V – der Standardkernspannung für den Verarbeitungsknoten – auf 0,75 V eine Reduzierung des aktiven Stromverbrauchs um 15 % erreicht werden kann. Andererseits kann für Anwendungen, in denen Leistung eine große Rolle spielt, durch die Skalierung der Kernstromversorgung von 0,8 V auf 0,85 V eine Steigerung der Leistung um 15 % beobachtet werden.

Der AM62x-Prozessor unterstützt einfache Kernstromversorgung ohne DVFS/AVS und ermöglicht 100K POH bei einer festen Spannung für den gesamten Ladezustand bei voller Leistung.

## 2.4 Stromversorgungslösungen

Durch die optimale Nutzung der oben aufgeführten vereinfachten Stromanforderungen entwickelte TI zwei Arten von kostengünstigen Stromlösungen für AM62x-Prozessoren. Der TPS65219 ist ein speziell für AM62x-Prozessoren entwickelter PMIC. Er nutzt die vereinfachten Stromanforderungen voll aus und bietet den kostengünstigsten PMIC für AM62x-Prozessoren. Eine diskrete Stromversorgungslösung kann die Skalierbarkeit und Flexibilität, die zur Anpassung der Stromversorgungslösung für die Optimierung der gesamten Systemanforderungen oder zur Erfüllung verschiedener Stromversorgungsanforderungen, die vom Kunden benötigt werden, bieten. [Tabelle 2-3](#) vergleicht die zwei kostengünstigen Stromversorgungslösungen für AM62x-Prozessoren.

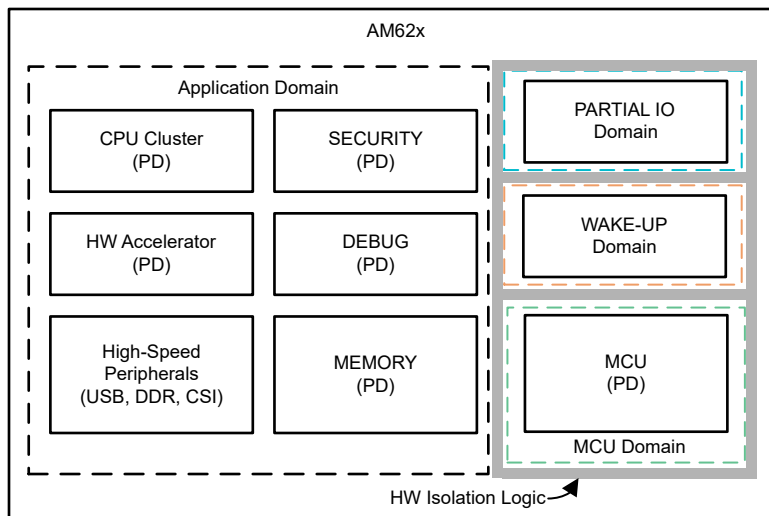
**Tabelle 2-3: AM62x-Stromversorgungslösungen**

|  | Diskrete Stromversorgung  | Einzelne PMIC-Lösung   |
|--|---|--|
| Verfügbarkeit                              | Nun: (TPS6282x, TPS745xx, TLV7103318, TLV75518)   | TPS65219   |
| Stromversorgungs-Merkmale                  | Nutzt die Analogintegrationsfunktion des AM62x zur Vereinfachung der Stromversorgung                                      | Eingangsversorgung von 2,7 bis 5,5 V   |
|  | Unterstützt mehrere Eingangs-Stromversorgungen: 3,3 V, 5 V  | Einzelne PMIC-Lösung speziell für AM62x-/AM64x-Prozessoren   |
|  | Skalierbarkeit zur Erfüllung verschiedener benutzerdefinierter Anforderungen wie Spannungskapazität und niedrigste Kosten | Unterstützung für Fahrzeuganwendungen  |
| Power-Management-Funktionen                | –   | Programmierbare Ein-/Ausschaltreihenfolge und Standardspannungen   |
| Funktionale Sicherheit                     | Kundengesteuerte Implementierung unter Nutzung der AM62x-Funktionen   | –  |
| Größenschätzung der Stromversorgungslösung | Skalierbar gemäß der Systemanforderungen  | 81,54 mm <sup>2</sup> mit 4 x 4 mm <sup>2</sup> QFN, Abstand 0,4 mm<br>69,66 mm <sup>2</sup> mit 5 x 5 mm <sup>2</sup> QFN, Abstand 0,5 mm |
| AM62x EVM                                  | AM62x SK  | AM62Q SK   |

### 3 Überlegungen zur Architektur von Prozessoren für geringen Stromverbrauch

Die gemeinsame Entwicklung von Hardware und Software ist extrem wichtig für die Optimierung von Stromverbrauch und Latenz. Dabei liegt der Schlüssel darin, schon so früh wie möglich im Entwicklungsprozess herauszufinden, was die richtige Hardware-Software-Boundary ausmacht und zu identifizieren, welche Funktionen in der Hardware und welche in der Software liegen sollen. Die Vereinfachung von Software-Sequenzen für energieeffiziente Eingangs- und Ausgangsmodi kann durch die Eliminierung der Konfigurationseinstellungen für Speichern und Wiederherstellen erreicht werden, mit Unterstützung durch neue innovative Funktionen wie USB und DDR-Reset-Isolierungs- und Erhaltungs-Schemata. Die Optimierung von I/O-Zuständen (Pull-Ups und Pull-Downs) – je nach Anwendungsfall und der Fähigkeit I/Os speichern zu können – verbessert die Robustheit und Zuverlässigkeit des Systems.

Schon zu Beginn der Entwicklungsphase wurden verschiedene HW/SW-Partitionen ausgewertet, um zu entscheiden, welche die beste Implementierung für die Erfüllung der gesamten Systemanwendungsfälle und -ziele (hinsichtlich Kosten, Leistung, Energie und Latenz) sind. Der AM62x-Prozessor wird hauptsächlich in 4 Domänen unterteilt, wie in [Abbildung 3-1](#) abgebildet.



**Abbildung 3-1. SoC-Partition**

Die **Anwendungsdomäne** besteht aus hochleistungsfähigen CPUs, HW-Beschleunigern und Hochgeschwindigkeits-Peripheriegeräten. Diese Domäne wird weiter in verschiedene Subsysteme mit internen Stromschaltern unterteilt. Je nach Systemanwendungsfällen können diese Subsysteme mit den internen Stromdomänenschaltern vollständig abgeschaltet werden. Zum Beispiel: Ungenutzte CPU-Kerne in einem Cluster, HW-Beschleuniger (Grafiken, Anzeigen) und so weiter. Zusätzlich dazu wird die Anwendungsdomäne in den Phasen von energiesparenden DeepSleep- und Nur-MCU-Modi mithilfe von Power Gating des internen Subsystems in einen Modus mit geringstmöglichem Stromverbrauch versetzt.

Die **MCU-Domäne** besteht aus CPUs und Peripheriegeräten in Echtzeit. Diese Domäne kann konfiguriert werden, um völlig unabhängig von der Anwendungsdomäne zu funktionieren; eines der wichtigsten Unterscheidungsmerkmale in verschiedenen Automobil-, Industrie- und batteriebetriebenen Anwendungen. Im DeepSleep-Modus kann die MCU-Domäne mit internen Stromschaltern abgeschaltet werden.

Die **Wake-up-Domäne** besteht aus der Power-Management-CPU und Systemkomponenten wie Taktgebern, Resets, Strom, und Wake-up. Diese Domäne sorgt für den Neustart des Geräts, Ressourcenkonfiguration und -verwaltung und Low-Power-Management. Um diese Domäne herum ist eine Hardwareisolierung aufgebaut, die sicherstellen soll, dass eine klare Trennung zwischen Anwendung und den MCU-Domäne besteht. Durch die vorsichtige Verteilung der Verantwortlichkeiten zwischen Hardware- und Software-Funktionen können Sitara-MPU-Bausteine einfachere und robuste Eingangs- und Ausgangssequenzen für energieeffiziente Modi bieten. Zusätzlich dazu, und um Eingangs- und Ausgangs-Latenzen für Energiesparmodi zu verbessern, wurden für Sitara-MPU-Bausteine innovative neue Funktionen wie USB und DDR-Reset-Isolierungs- und Erhaltungs-Schemata entwickelt, um komplexe Softwaresequenzen zu vermeiden, für die das Speichern und die Wiederherstellung für die Konfiguration von Peripheriegeräten benötigt wird.

## 4 Stromverbrauch des AM62x

**Tabelle 4-1** zeigt den Stromverbrauch in verschiedenen SoC-Zuständen und die Skalierbarkeit von Strom und Leistung. Durch die Nutzung von Energiesparmodi und verschiedener Energiespartechniken erreichen AM62-Prozessoren einen Stromverbrauch von weniger als 500 mW für einen einzelnen A53-Kern bei Betrieb bei 1 GHz. Der Stromverbrauch ist um fast die Hälfte geringer als der Stromverbrauch ähnlicher energieeffizienter und kostengünstiger Prozessoren früherer Prozessor-Generationen. Selbst bei einer belastenden Anwendung von Quad A53-Kernen auf allen vier Kernen bei 1,4 GHz kann der Stromverbrauch eines A62x-Prozessors bei weniger als 1 W liegen.

**Tabelle 4-1: Stromverbrauch des AM62x**

|                                 | Cortex A53 bei 1 GHz<br>0,75-V VDD_CORE |                           |                           | Cortex A53 bei 1,4 GHz<br>0,85-V VDD_CORE |                           |                           |
|---------------------------------|---|---------------------------|---------------------------|---|---------------------------|---------------------------|
|                                 | Idle<br>1xA53<br>(mW)                   | Dhystone<br>1xA53<br>(mW) | Dhystone<br>4xA53<br>(mW) | Idle<br>1xA53<br>(mW)                     | Dhystone<br>1xA53<br>(mW) | Dhystone<br>4xA53<br>(mW) |
| VDD_CORE                        | 343                                     | 395                       | 570                       | 466                                       | 565                       | 880                       |
| VDDR_CORE                       | 3                                       | 4                         | 7                         | 2   | 4                         | 8                         |
| VDDS_DDR                        | 45                                      | 45                        | 45                        | 45  | 45                        | 45                        |
| Gesamt (ohne E/A<br>und Analog) | 391                                     | 444                       | 622                       | 513                                       | 614                       | 933                       |

## 5 Tool zur Schätzung des Stromverbrauchs

TI bietet ein Tool zur Schätzung des Stromverbrauchs (Power Estimation Tool, PET) basierend auf dem Prozessor-Leistungs-Modell, das auf der Grundlage gemessener und simulierter Daten erstellt wurde. Entwickler erhalten so Erkenntnisse zum Stromverbrauch von AM62x-Prozessoren in verschiedenen Anwendungsszenarios, elektrischen Parametern, Silizium-Prozessvariationen und Umgebungsbedingungen, bevor sie mit der Entwicklung der Hardware und Software beginnen. Die Schätzungen zum Stromverbrauch, die das Tool bietet, können zur Entscheidung der Betriebsleistungspunkte (OPP) des AM62x-Prozessors, der Auswertung und Beurteilung des thermischen Designs oder zur Schätzung der Batterielaufzeit des Endprodukts herangezogen werden. Das Tool ermöglicht Entwicklern, verschiedene Betriebsbedingungen und Prozessorkonfigurationen auszuwählen und dann einen Kompromiss zwischen Betriebsleistung und Stromverbrauch mit diversen Stromspartechniken zu treffen. Dieses Tool ist zur Schätzung des Stromverbrauchs in realistischen Betriebsmodi gedacht. Es ist nicht für die Dimensionierung von Stromversorgungen vorgesehen.

**AM62x Power Estimation Tool**

Key:

- Modifiable fields
- Static Fields
- Calculated Power Outputs

| Operating Performance Point (OPP) |      | Processor Core Utilization (%) |      |
|-----------------------------------|------|--------------------------------|------|
| MPU-A530/L2/L3 Frequency (MHz)    | 1250 | MPU-A530                       | 100% |
| GPU Frequency (MHz)               | 500  | MPU-A531                       | 100% |
| MCU-M4F Frequency (MHz)           | 400  | MPU-A532                       | 100% |
| PRU-SS Frequency (MHz)            | 333  | MPU-A533                       | 100% |
| HSM Frequency (MHz)               | 333  | GPU                            | 100% |
| RSF Frequency (MHz)               | 400  | RSF                            | 100% |
|                                   |      | MCU-M4F                        | 100% |
|                                   |      | PRU-SS                         | 1%   |
|                                   |      | HSM                            | 100% |
|                                   |      | Security Accelerator           | 100% |

| UVCMD5 ID              | Mode                             | ID Utilization (%) | Peripheral    | Mode             | Utilization (%) |
|------------------------|----------------------------------|--------------------|---------------|------------------|-----------------|
| MCU UART               | 3m_3p3v                          | 1%                 | DOR Type/Rate | data_533_36      | 99%             |
| WKUP UART              | 112k_1p8v                        | 1%                 | DOR WR %      |                  | 50%             |
| MAIN UART              | 3p3m_1p8v                        | 1%                 | USB2 Port 0   | device_3         | 99%             |
| MCU SPI_0              | Slave_6.25_Mbaud_1p8v            | 99%                | USB2 Port 1   | host_5           | 1%              |
| MCU SPI_1              | Slave_2.083_Mbaud_1p8v           | 1%                 | MMC/SD0 (8b)  | db_200mbs        | 9%              |
| MCU SPI_2              | Slave_6.25_Mbaud_1p8v            | 1%                 | MMC/SD1 (4b)  | db_200mbs        | 99%             |
| QSPI                   | host_ddr_master_150_3p3v         | 99%                | MMC/SD2 (4b)  | str_50mbs        | 99%             |
| QPMC                   | 16b_80_MHz_3p3v                  | 99%                | QDI           | disabled         | 100%            |
| VDUT                   | 2K_1_2048x1080x60_fps_24b_1_1p8v | 99%                | CSI           | power_down_reset | 0%              |
| Ethernet (QPSW) Port 0 | off                              | 0%                 |               |                  |                 |
| Ethernet (QPSW) Port 1 | gmi_100_3p3v                     | 99%                |               |                  |                 |
| McASP0                 | 2Ch_TX_48_kbps_24b_1p8v          | 1%                 |               |                  |                 |
| McASP1                 | unused                           | 100%               |               |                  |                 |
| PRU-SS                 | off                              | 1%                 |               |                  |                 |

| Estimated Power |             |           | General                   |                       |
|-----------------|-------------|-----------|---------------------------|-----------------------|
| Power Supply    | Voltage (V) | Power (W) | Junction Temperature (°C) | Power Estimation Mode |
| VDD_CORE        | 0.75        | 892       | 28                        | Max                   |
| VDDAR_CORE      | 0.85        | 6         |                           |                       |
| VDDA_LVB        | 1.8         | 62        |                           |                       |
| VDD5_DOR        | 1.1         | 93        |                           |                       |
| SDC_DVDD1V8     | 1.8         | 16        |                           |                       |
| SDC_DVDD3V3     | 3.3         | 197       |                           |                       |
| Total           |             | 1270      |                           |                       |

Note: This power estimation spreadsheet provides power consumption estimates based on measured and simulated data. They are provided "as is" and are not guaranteed within a specified precision. Power consumption depends on electrical parameters, silicon process variations, environmental conditions, and use cases running on the processor during operation. Actual power consumption should be verified in the real system. The power estimates are meant for estimating power consumption during realistic operating modes; it is not intended for power supply sizing. The power estimates are preliminary and subject to change.

Abbildung 5-1. Tool zur Schätzung des Stromverbrauchs für AM62x-Prozessoren



## 6 Fazit

AM62-Prozessoren machen energieeffiziente integrierte Systeme für Edge-Geräte mit Analytik-Fähigkeiten oder Anwendungen für Mensch-Maschine-Schnittstellen möglich. Energiesparmodi und geringer aktiver Stromverbrauch ermöglichen eine Vielzahl an batteriebetriebenen Anwendungen und Produkten mit kleinem Formfaktor ohne Kühlkörper oder Ventilatoren. Hervorragende Leistung mit einem Betrieb bei 0,75 V Spannung und Power-Management-Funktionen, die Leistungs- und Stromfunktionen zur Optimierung jeder Kundenanwendung unterstützen und zur Implementierung einer einfachen und energieeffizienten Stromversorgungslösung beitragen, indem Sie fortschrittliche Analogintegrationstechniken nutzt.

## IMPORTANT NOTICE AND DISCLAIMER

TI PROVIDES TECHNICAL AND RELIABILITY DATA (INCLUDING DATA SHEETS), DESIGN RESOURCES (INCLUDING REFERENCE DESIGNS), APPLICATION OR OTHER DESIGN ADVICE, WEB TOOLS, SAFETY INFORMATION, AND OTHER RESOURCES "AS IS" AND WITH ALL FAULTS, AND DISCLAIMS ALL WARRANTIES, EXPRESS AND IMPLIED, INCLUDING WITHOUT LIMITATION ANY IMPLIED WARRANTIES OF MERCHANTABILITY, FITNESS FOR A PARTICULAR PURPOSE OR NON-INFRINGEMENT OF THIRD PARTY INTELLECTUAL PROPERTY RIGHTS.

These resources are intended for skilled developers designing with TI products. You are solely responsible for (1) selecting the appropriate TI products for your application, (2) designing, validating and testing your application, and (3) ensuring your application meets applicable standards, and any other safety, security, regulatory or other requirements.

These resources are subject to change without notice. TI grants you permission to use these resources only for development of an application that uses the TI products described in the resource. Other reproduction and display of these resources is prohibited. No license is granted to any other TI intellectual property right or to any third party intellectual property right. TI disclaims responsibility for, and you will fully indemnify TI and its representatives against, any claims, damages, costs, losses, and liabilities arising out of your use of these resources.

TI's products are provided subject to [TI's Terms of Sale](#) or other applicable terms available either on [ti.com](http://ti.com) or provided in conjunction with such TI products. TI's provision of these resources does not expand or otherwise alter TI's applicable warranties or warranty disclaimers for TI products.

TI objects to and rejects any additional or different terms you may have proposed.

Mailing Address: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265  
Copyright © 2022, Texas Instruments Incorporated