

モーター制御アプリケーションの電流計測用の、 ADS1202とFPGAデジタルフィルタの組み合わせ

概要

ADS1202は、高精度、80dBダイナミックレンジのデルタ-シグマ($\Delta\Sigma$)型モジュレータ(変調器)であり、+5Vの単一電源で動作します。その差動入力、シャント抵抗のようなトランスデューサや低電圧信号に直接接続するのに最適です。また、適当なデジタルフィルタおよび変調レートを

使用して、ADS1202はミッシング・コードなしの15ビットのアナログ-トゥ-デジタル(A/D)変換を実現できます。本アプリケーション・レポートは、ADS1202を適当なフィルタリング技術と組み合わせて、モーター制御における電流計測を行う方法について説明します。

内容

1	最初に	2
1.2	ADS1202の解説	2
2	$\Delta\Sigma$ 変調方式の特性	3
3	デジタルフィルタの設計	5
4	Sinc ^K フィルタ	6
5	Sinc ³ フィルタの実現	7
6	結論	10
	付録 A	11
	付録 B	12
	付録 C	13
	付録 D	14

解説図

図1.	ADS1202のブロック図	2
図2.	ADS1202の出力読み取り動作	2
図3.	アナログ入力 対 ADS1202の変調器出力	3
図4.	2次変調器のブロック図	3
図5.	1次および2次のデルタ-シグマ変調器の変調ノイズ	4
図6.	デルタ-シグマ・コンバータ用デシメーションの基本的なブロック図	5
図7.	2段デシメーション回路網(係数 N_1N_2) の単純な例	5
図8.	プログラマブルDSPを使用した多段デシメータ(デシメーション段間にFIFOを使用)	5
図9.	Sinc ³ デジタルフィルタのトポロジー	6
図10.	$M = 16$ のSinc ³ フィルタの周波数応答	6
図11.	ザイリンクス(Xilinx)社に実装の積分器	8
図12.	ザイリンクス(Xilinx)社に実装の微分器	8
図13.	ザイリンクス(Xilinx)社に実装のSinc ³ フィルタ	9
図14.	クロック・デバイダ入力	9

1 最初に

本文書は、ADS1202 $\Delta\Sigma$ (デルタ-シグマ)型変調器の動作および使用方法に関する情報と、ザイリックス (Xilinx) 社製フィールド・プログラマブル・ゲートアレイ (FPGA) に組み込むデジタルフィルタの設計に関する詳細な解説を提供します。この最新情報は、FPGAのファイルおよびソフトウェアとともに、テキサス・インスツルメンツのウェブサイト www.ti.com でご覧になれます。

本文書で説明するアプリケーションでは、ADS1202とFPGAはDSPボードと2つのSPITMポートでコミュニケーションします。また、そのユーザ・インターフェイス・ソフトウェアは、グラフィック表示および解析を制御します。フィルタ構成およびデータ読み取りは、ボード上のスイッチによって直接設定されます。ADS1202用のFPGAに組み込まれるデジタルフィルタに関するハードウェアおよびソフトウェアの特徴について、本アプリケーション・レポートは詳しく解説します。

1.2 ADS1202の解説

ADS1202は図1に示すような、+5V単一電源で動作する単チャンネル、2次のデルタ-シグマ変調器です。

デルタ-シグマ変調器は、アナログ信号を1と0のデジタル・データストリームに変換します。出力データストリームの1の密度は、入力アナログ信号に比例します。オーバーサ

ンプリングおよびノイズ・シェーピングを使用して、関心の対象となる周波数帯域における量子化ノイズを低減します。このデルタ-シグマ変調器には16ビット性能があり、デジタルフィルタをともに用いて、その最高分解能までの広ダイナミックレンジのA/D変換に使用できます。

デジタルフィルタの第1の目的は、信号のノイズをフィルタリングすることです。第2の目的は、高サンプリング・レートにおける1ビットのデータストリームを、低レートにおける高分解能のデータストリームに変換(デシメーション)することです。

ADS1202はモード3で評価目的の動作をします。入力制御信号のM0およびM1をハイレベルにするとこのモードになり、内部RC発振器がディスエーブルされます。このとき、入力信号MCLKが変調器に変換クロックを提供します。また、出力信号MDATの信号源は、デルタ-シグマ変調器から直接供給される信号になります。MCLK入力には、固定デューティサイクル約50%の500kHzから20MHzの周波数が可能です。本モードでは図2に示すように、出力MDATはMCLK入力の2つおきの立ち下がりエッジで読み取られます。

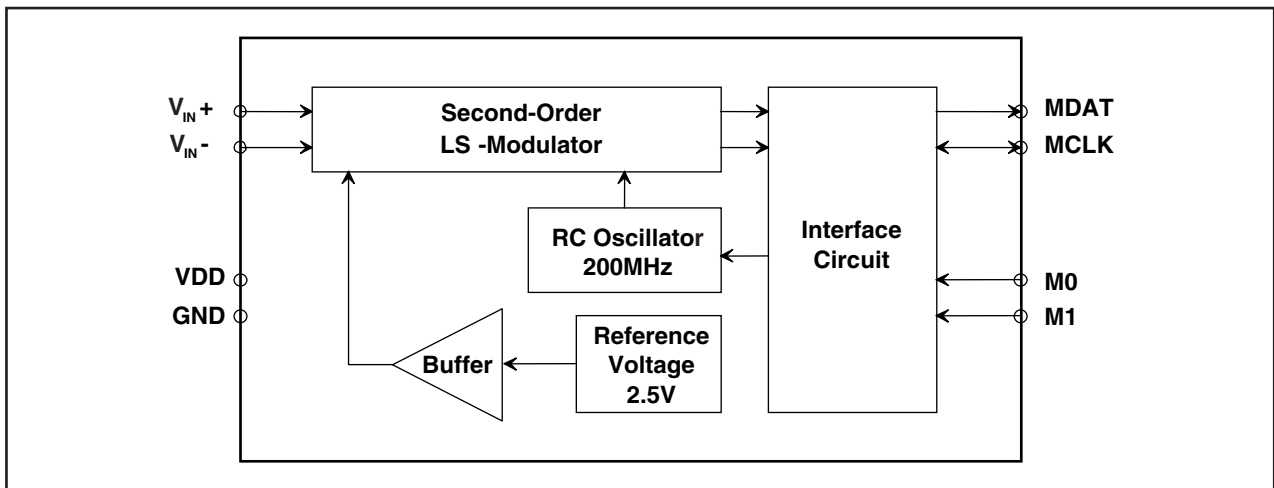


図1. ADS1202のブロック図

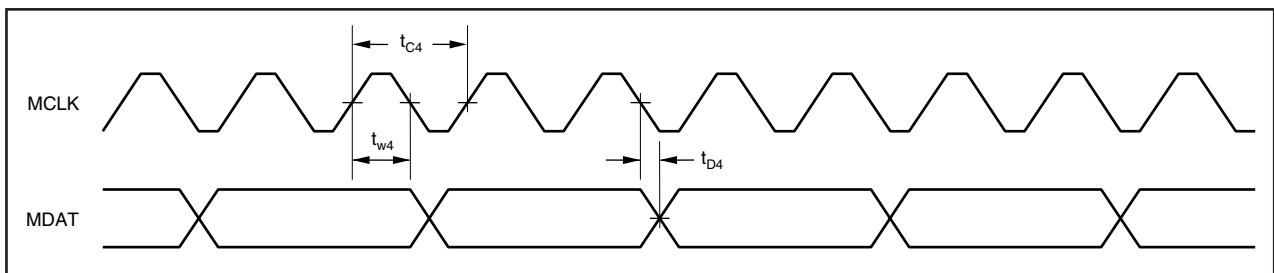


図2. ADS1202の出力読み取り動作

次に、変調器の出力は集められてデジタル・ローパスフィルタを通過します。その結果、出力ワードは間引きおよび切り捨てられ、所要のデータレートおよび実効分解能になります。また、デルタ・シグマ変調器とデジタル・デシメーション・フィルタの組み合わせは、デルタ・シグマ型A/Dコンバータを形成します。ADS1202変調器に関するより詳細な情報と仕様については、www.ti.comにあるADS1202のデータシートを参照願います。

MDAT信号はアナログ入力をデジタル化した表現です。MCLK信号とは違い、MDAT信号には固定の周波数あるいはデューティサイクルがありません。そのデューティサイクルは、図3に示すように入力アナログ信号の関数になります。

2 ΔΣ型変調器の特性

ADS1202がモード3の場合、変調器サンプリング周波数 f_s は数MHzから12MHzの範囲で動作可能です。MCLKの入力周波数は、アプリケーションのクロック条件に合わせる必要があります。また、MCLK入力は変調器周波数の2倍である必要があります。ADS1202が他のモードで動作する場合、変調器サンプリング周波数 f_s は名目値で10MHzであり、内部発振器によって決まります。

変調器トポロジーは、図4に概念化されるような2次の電荷平衡型A/Dコンバータです。アナログ入力電圧と1ビット・デジタル・トゥ・アナログ・コンバータ (DAC) は減算され、X2およびX3におけるアナログ電圧を供給します。次に、X2およびX3における電圧は、それらの積分器に送られます。

この各積分器の出力は、正負いずれの方向にも進行します。X4における信号の値がコンパレータ基準電圧と等しい場合、コンパレータの出力は元の状態によって、負から正あるいは正から負へ切り換わります。また、コンパレータの出力値がハイからローあるいはその逆に切り換わる場合、1ビットDACは次のクロックパルスにตอบสนองしてX6におけるアナログ出力電圧を変え、両方の積分器を逆の方向へ進行させます。積分器のフロントエンドへの変調器の帰還は、積分器出力の値を入力に追従するようにします。

無限の分解能を要するアナログ信号を有限の数値範囲システムに変換すると、そのアナログ信号をどのように近似したかに依存する誤差信号が発生します。デルタ・シグマ変調器のノイズ伝達関数は、次式のように表されます。

$$Q(f) = \frac{V_{LSB}}{\sqrt{12} \cdot f_s} \cdot \left(2 \cdot \sin \pi \frac{f}{f_s} \right)^K \tag{1}$$

ここで、Kは実現したデルタ・シグマ変調器の次数を表します。また、 f_s はサンプリング周波数であり、 V_{LSB} はコンバータの最下位ビットの値です。図5は、1次および2次のデルタ・シグマ変調器のナイキスト周波数までの量子化ノイズを示します。

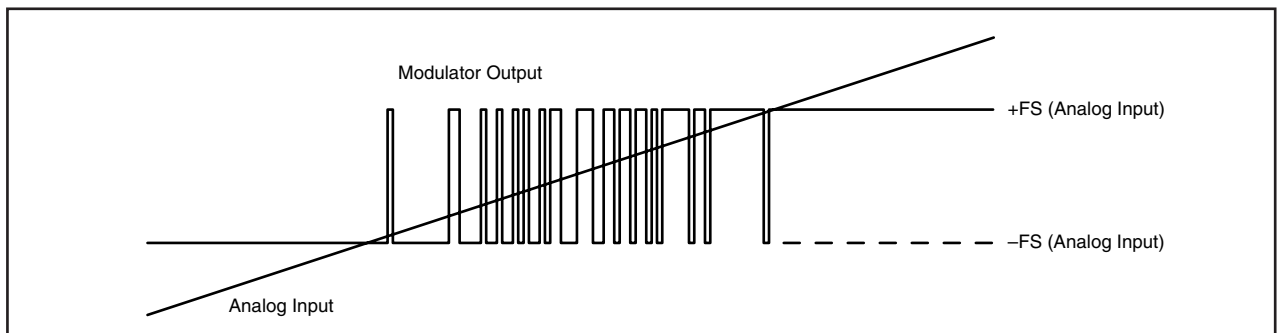


図3. アナログ入力 対 ADS1202の変調器出力

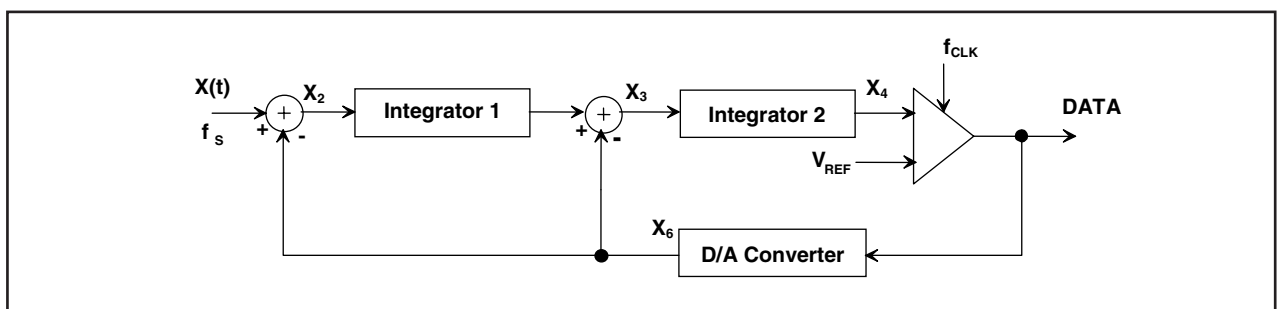


図4. 2次変調器のブロック図

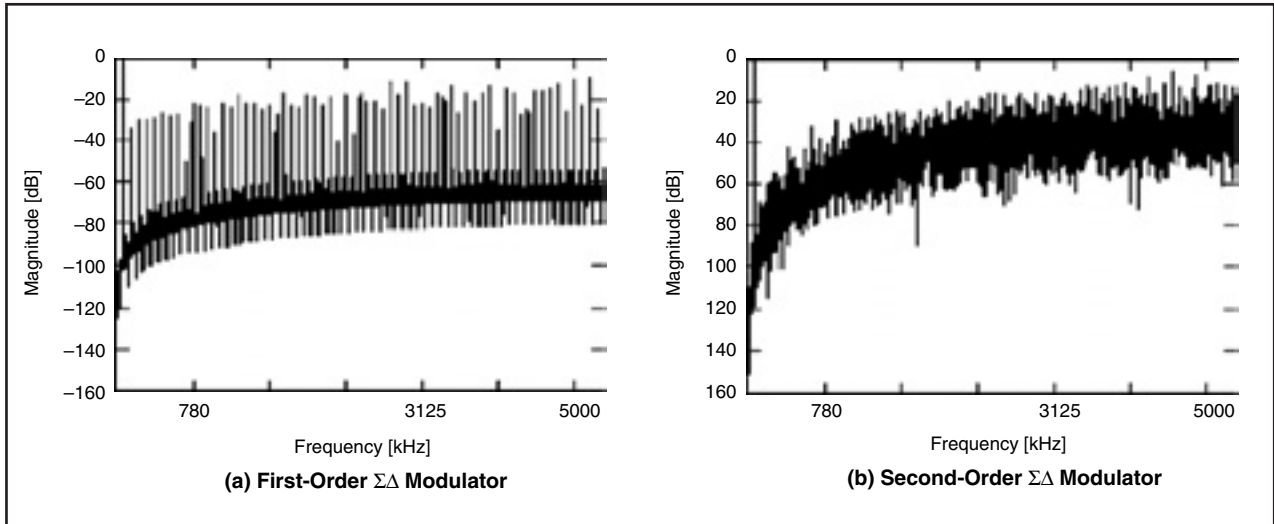


図5. 1次および2次のデルタ-シグマ変調器の変調ノイズ

デジタル・ローパスフィルタは、ベースバンドにある入力信号特性に影響せずに高周波の量子化ノイズを除去できます。また、1次および2次の変調器ともに、ノイズは周波数とともに増加します。変調器の次数が高いほど、量子化ノイズはナイキスト周波数に接近します。

ここで、オーバーサンプリング・レシオ (すなわちデルタ-シグマ変調器の出力信号に設定するデシメーション比) をMとすると、入力信号の最大帯域幅は次のように表されます。

$$B = \frac{f_s}{2 \cdot M} \quad (2)$$

このBの帯域幅内にある量子化ノイズの実効値は、式(1)と式(2)を組み合わせて次のように計算できます。

$$V_{Qe,RMS} = \sqrt{2 \cdot \int_0^B \frac{V_{LSB}^2}{12 \cdot f_s} \cdot \left[2 \cdot \sin \pi \frac{f}{f_s} \right]^{2K}} \quad (3)$$

式(3)を解いて、帯域幅Bのノイズの実効値は次のように書けます。

$$V_{Qe,RMS} = \frac{V_{LSB}}{\sqrt{12}} \cdot \frac{\pi^K}{\sqrt{2 \cdot K + 1}} \cdot \frac{1}{M^{K+1/2}} \quad (4)$$

ADS1202は2次変調器を実装しています。したがって、式(4)のKを2に置き換えて、帯域幅B内における量子化ノイズの実効値を次のように計算できます。

$$V_{Qe,RMS} = \frac{V_{LSB}}{\sqrt{12}} \cdot \frac{\pi^2}{\sqrt{5}} \cdot \frac{1}{M^{5/2}} \quad (5)$$

最後に、デルタ-シグマ変調器信号のノイズに対する理論的すなわち理想的な比 (SN比) は、式(6)を用いて得られます。

$$SNR_{ideal} = 20 \cdot \log \frac{V_P / \sqrt{2}}{V_{Qe,RMS}} = 6.02 \cdot N + 1.76 - 20 \cdot \log \left[\frac{\pi^K}{\sqrt{2 \cdot K + 1}} \right] + (20 \cdot K + 10) \cdot \log M \quad (6)$$

式(6)を様々な変調器の次数および様々なデシメーション比 (オーバーサンプリング・レシオ) に適用すると、理論的に実現し得るSN比をこのパラメータMの関数として示すことができます。(表1参照。) その結果、同一条件における有効ビット数 (ENOB) を決定するのが比較的容易になりました。

先述したように、ADS1202は2次の変調器です。したがって、64ビットのオーバーサンプリングの場合、理想的にはSN比は-85dB、有効ビット数は13.9になります。

Decimation Ratio (M)	Ideal SNR (dB)	Ideal ENOB (bits)
4	24.99	3.9
8	40.04	6.4
16	55.09	8.9
32	70.14	11.4
64	85.19	13.9
128	100.24	16.4
256	115.30	18.9

表1. 様々なデシメーション・レシオの2次デルタ-シグマ変調器の理想SN比と有効ビット数

3 デジタルフィルタ設計

デルタ-シグマ変調器の量子化ノイズ全体のエネルギーは、サンプルあたりのビット数が極端に低いため、非常に高くなります。しかし、ナイキスト帯域以上のスペクトルにおける不要なノイズのフィルタリングはデシメータに任されており、それゆえデシメーション処理によってノイズはベースバンドに侵入しません。

整数の係数Mのデシメーション(間引き)は、原理的にサンプリング周波数をその数Mだけ低減します。図6にこのフィルタの基本的なブロック図を示します。

デルタ-シグマ変調器から来る信号 $x(n)$ は、周波数 f_s のビット・ストリームです。最初に信号 $x(n)$ は、デジタル遮断周波数が π/M のローパスフィルタ $h(n)$ によってデジタル的にフィルタリングされます。ここで、 π はナイキスト周波数すなわちサンプリング周波数 f_s の半分に相当する正規化周波数(ラジアン)です。フィルタ $h(n)$ は信号 $x(n)$ から周波数 π/M 以上のすべてのエネルギーを除去し、信号 $w(n)$ がサンプリングレート・デシメータによって再度サンプリングされるデシメーション処理時のエイリアシングを防止します。この処理は式(7)に示すように、一般にデジタルフィルタのM個の出力から1個の出力だけ使用してなされます。

$$y(m) = \sum_{k=-\infty}^{\infty} h(k) \cdot x(Mm-k) \tag{7}$$

この式は各々の新しく計算された出力のために入力信号 $x(n)$ はMサンプル単位でシフトされることを表します。

コストを低く抑えるために最も重要な設計基準は、デシメータ動作で実現できる効率です。これは、実装されるデジタルフィルタの種類、次数およびアーキテクチャに直接関わります。逆に、ローパスフィルタの次数は、阻止帯域周波数に対する遮断周波数の比として、通過帯域と阻止帯域における所要のリプル特性の機能に直接関係します。

図7の2段デシメーション回路網の組み合わせたフィルタ次数は、図6の1段デシメーション回路網よりも数倍小さくなります。しかし、2段以上の実装について現実的に考慮すると、2段設計が最善であるという結論に至ります。

デルタ-シグマ変換の最も一般的なフィルタ・アーキテクチャには、高サンプリングレートの Sinc^K フィルタと、中間または低サンプリングレートの有限インパルス応答(FIR)フィルタあるいは無限インパルス応答(IIR)フィルタの組み合わせが必要です(図8参照)。ここで推奨する設計では、デシメーション処理が、大きい係数 N_1 (一般に64)でデシメーション(間引く)する Sinc^K フィルタ段と、それに続く小さい係数 N_2 (例えば2-8)でデシメーションするFIR(あるいはIIR)狭帯域フィルタ段に別れます。

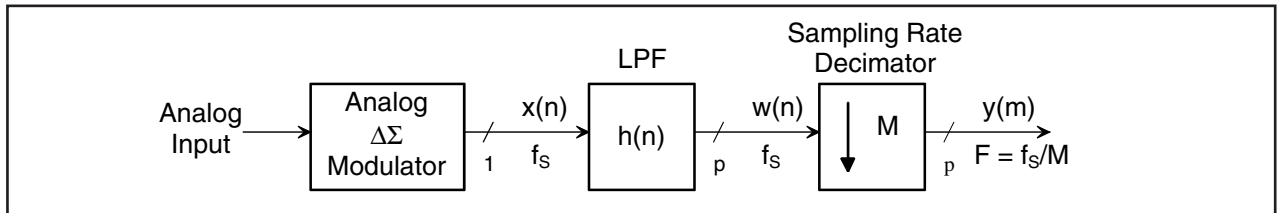


図6. デルタ-シグマ・コンバータ用デシメーションの基本的なブロック図

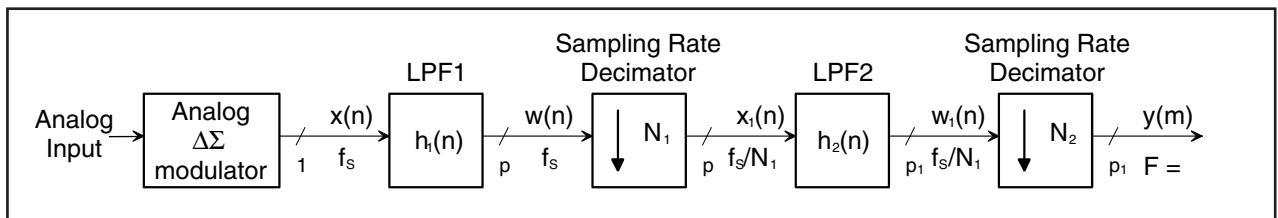


図7. 2段デシメーション回路網(係数 N_1N_2)の単純な例

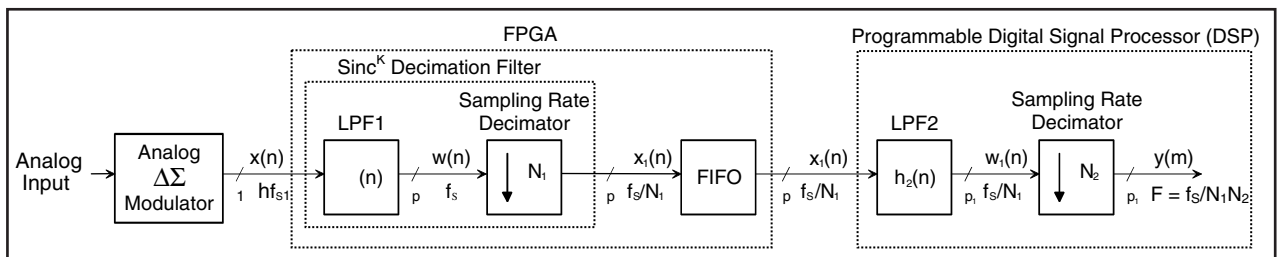


図8. プログラマブルDSPを使用した多段デシメータ(デシメーション段間にFIFOを使用)

Sinc^Kフィルタを実装するハードウェア構造は、アドレスとレジスタからなる非常に単純なアーキテクチャにできます。このような構造は比較的小さいチップ面積ですみます。この設計に関しては4節で議論します。

4 Sinc^Kフィルタ

設計の容易さと先に指定した基準を調和させる最も有効な実例のひとつに、高デシメーション・レート段にSinc^Kフィルタを使用することがあります。これらのフィルタはデジタル乗算器(マルチプライヤ)を使用しないので、ハードウェアの実装に非常に魅力的です。すなわち、高サンプリングレート(サンプリング周波数 f_s)で動作するK段のアクムレータ(累算器)をカスケード接続し、それに続いて低サンプリングレートの f_s/N_1 で動作するK段のデファレンシエータ(微分器)をカスケード接続することにより、これらのフィルタはより効率よく実装されます。このアーキテクチャはラップアラウンド演算を使用しており、本来安定したものです。3次Sincフィルタ(Sinc³)のブロック図を図9に示します。

式(8)はSinc^Kフィルタの伝達関数を表しています。ここで、Mはサンプリングレート・コンプレッサのデシメーション比です。

$$H(z) = \left(\frac{1}{M} \cdot \frac{1-z^{-M}}{1-z^{-1}} \right)^K \quad (8)$$

Zに $e^{j\omega}$ を代入すると、次の周波数応答が得られます。

$$\left| H(e^{j\omega}) \right| = \left(\frac{1}{M} \cdot \frac{\sin(\omega M/2)}{\sin(\omega/2)} \right)^K \quad (9)$$

ここで、

$$\omega = 2\pi \frac{f}{f_s} \quad (10)$$

図10は、図9におけるデシメーション係数 $M = 16$ のSinc³フィルタの周波数応答例を示します。スペクトルのゼロの部分は、デシメーションされたサンプリング周波数の倍数の周波数にあります。

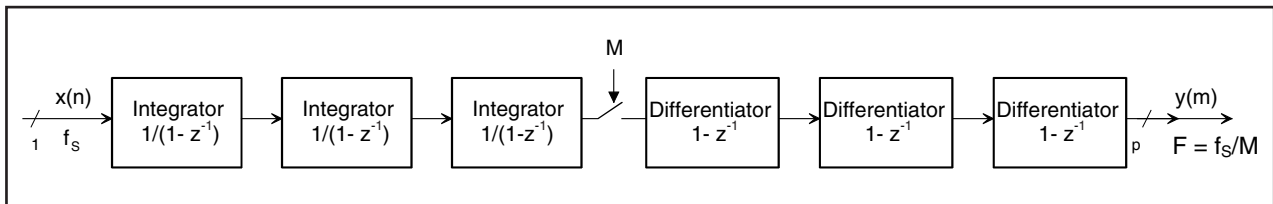


図9. Sinc³デジタルフィルタのトポロジー

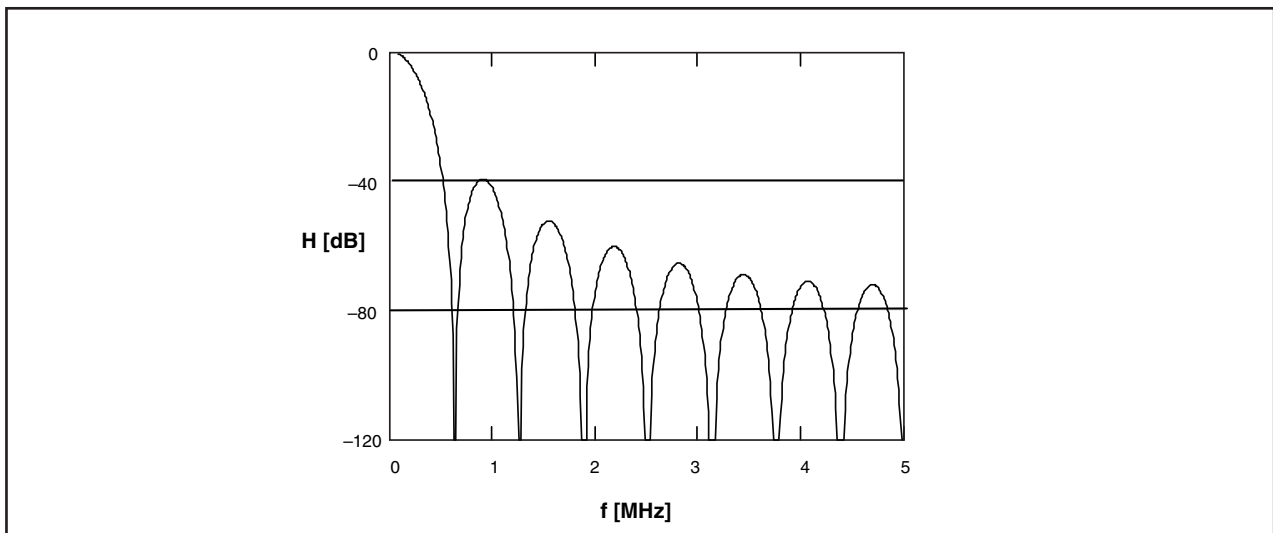


図10. $M = 16$ のSinc³フィルタの周波数応答

変調器クロック (すなわちサンプリング周波数 f_s) と、出力データレート (すなわち、第1ノッチ周波数) およびデシメーション比 M との関係は次のように与えられます。

$$\text{DataRate} = \frac{f_s}{M} \quad (11)$$

したがって、データレートはデジタルフィルタ応答におけるノッチ周波数の指定に使用できます。

Sincフィルタの次数の選択では、データを供給するデルタ-シグマ変調器の次数を知ることが必要です。Sinc^Kフィルタの次数 K は、変調器からの帯域外ノイズがベースバンドへ侵入する過剰なエイリアシングを防止するために、少なくともデルタ-シグマ変調器の次数+1である必要があります。

$$K \geq 1 + (\text{order} _ \Delta\Sigma) \quad (12)$$

すなわち、

Sinc^Kフィルタからの出力ワード・サイズは、その入力よりも係数 p だけ大きいです。この p はデシメーション係数 M

$$p = K \cdot \log_2 M \quad (13)$$

とフィルタ次数 K の関数です。すなわち、

式(9)を用いると、Sinc^Kフィルタ応答の-3dBポイントが求められます。このポイントはフィルタ次数 K により依存し、デシメーション比 M にはあまり依存しません。Sinc³フィルタの周波数応答の-3dBポイントは、データレートの0.262倍になります。

デルタ-シグマ変調器のサンプリング周波数 = 10MHzについて、式(7)から式(13)を適用すると、フィルタおよび4から256までのデシメーション比に関する結果を表2に示すように要約できます。

Decimation	Data Rate (kHz)	Output Word Size (bits)	Filter Response f-3dB (kHz)
4	2,500.0	6	655
8	1,250.0	9	327.5
16	625.0	12	163.7
32	312.5	15	81.8
64	156.2	18	40.9
128	78.1	21	20.4
256	39.1	24	10.2

表2. ADS1202に適用するSinc³フィルタの要約

5 Sinc^Kフィルタの実現

2次デルタ-シグマ変調器ADS1202の出力をデコードするのに選択されるデジタルフィルタの構造は、Sinc³デジタルフィルタです。Sinc³デジタルフィルタの機能は、各入力後に M ワードのサンプルを出力することです。この M ワードのサンプルは、最後の3 ($M-1$) +1入力サンプルの加重平均になります。また、このフィルタは、式(14)の線形たたみ込み(コンボリューション)を使用してソフトウェアでも実現できます。

$$y(k) = \sum_{n=0}^{3M-1} h(n) \cdot x(k-n) \quad (14)$$

ここで、 $x(i)$ は1と0からなる入力データ・ストリームであり、 $h(n)$ はフィルタ係数、 $y(k)$ はデシメーションされた出力データワード、および M はデシメーション比です。デジタルフィルタの係数 $h(n)$ は、以下のような所要のデシメーション比に基づいて計算されます。

$$h(n) = \frac{n \cdot (n+1)}{2} \quad (15)$$

$$0 \leq n \leq M-1$$

$$h(n) = \frac{M \cdot (M+1)}{2} + (n+M) \cdot (2 \cdot M - 1 - n) \quad (16)$$

$$M \leq n \leq 2 \cdot M - 1$$

$$h(n) = \frac{(3 \cdot M - n - 1) \cdot (3 \cdot M - n)}{2} \quad (17)$$

$$2 \cdot M \leq n \leq 3 \cdot M - 1$$

式(8)のフィルタ伝達関数は、図10に示すように3個の積分器と3個の微分器をカスケード接続して実現できます。これらの3個の積分器は、高い変調器クロック周波数 f_s/M で動作します。その3番目の積分器の出力はMだけデシメーションされて(間引かれて)、1番目の微分器の入力に供給されます。3個の微分器は低いクロック周波数 f_s/M で動作します。ここで、Mはデシメーション比です。図11および図12は、ザイリンクス(Xilinx)社のFPGAに組み込んだSinc³デジタルフィルタの詳細な図を示します。

DCにおけるSinc³フィルタのゲインは、式(18)で表されます。これはすなわち、例えば3次フィルタでデシメーション比が64の場合、入力が262,144倍されることを意味します。この場合、フィルタからの結果はスケール前で18ビットになります。

$$\text{Gain}_{\text{DC}} = M^K \quad (18)$$

フィルタ次数が1増えると、出力のワード・サイズが $\log_2 M$ だけ増加します。入力が1ビットでデシメーション比が64の場合、1次フィルタの出力は7ビットワードになります。2次フィルタならばさらに6ビット加算し、出力は13ビット、などとなります。また、Sincフィルタ、積分器および微分器の内部バスは、フィルタのDCゲインよりも1ビット広いバス幅を必要とします(式(19)参照)。Sinc³フィルタと4から256までのデシメーション比に関するバス幅の結果を表3に示します。

$$\text{Bus_Width} = 1 + K \cdot \log_2 M \quad (19)$$

Decimation Ratio (M)	Sinc ³		
	Gain _{DC}	Gain _{DC} (bits)	Bus Width (bits)
4	64	6	7
8	512	9	10
16	4,096	12	13
32	32,768	15	16
64	262,144	18	19
128	2,097,152	21	22
256	16,777,216	24	25

表3. Sinc³フィルタの様々な積分器の出力ワード・サイズ(1ビットの入力ワード時)

評価ボードには、ADS1202からの出力信号を最大256までデシメーションする能力があります。また、フィルタ出力の25ビットワードは出力レジスタにラッチされ、FIFOバッファに送られます。次に、同時に8ワードがSPIポート経由でDSPに伝送されます。

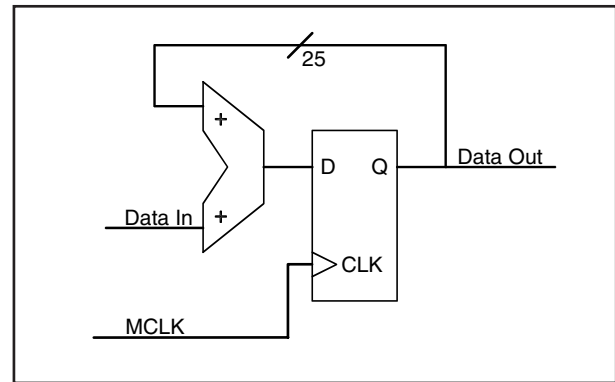


図11. ザイリンクス(Xilinx)社に実装の積分器

図11はザイリンクス(Xilinx)社のFPGAに実装した1個の積分器を示します。25ビット幅の入力データは、前の累積結果に連続的に加算されます。

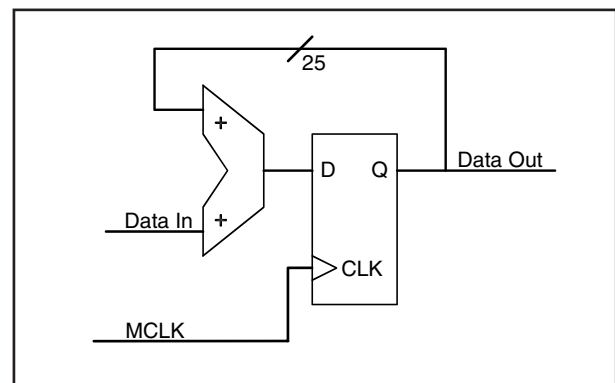


図12. ザイリンクス(Xilinx)社に実装の微分器

同様に、図12は実装した1個の微分器を示します。25ビット幅の入力データはDタイプのフリップフロップ・アレーにラッチされるとともに、前のラッチ結果から減算されます。

図11と図12を図9に統合すると、ザイリンクス(Xilinx)社のFPGAに実装したSinc³フィルタのブロック図を表すことができます。

図13は、付録AにてVHDLコードで記述したフィルタの最終形を示します。

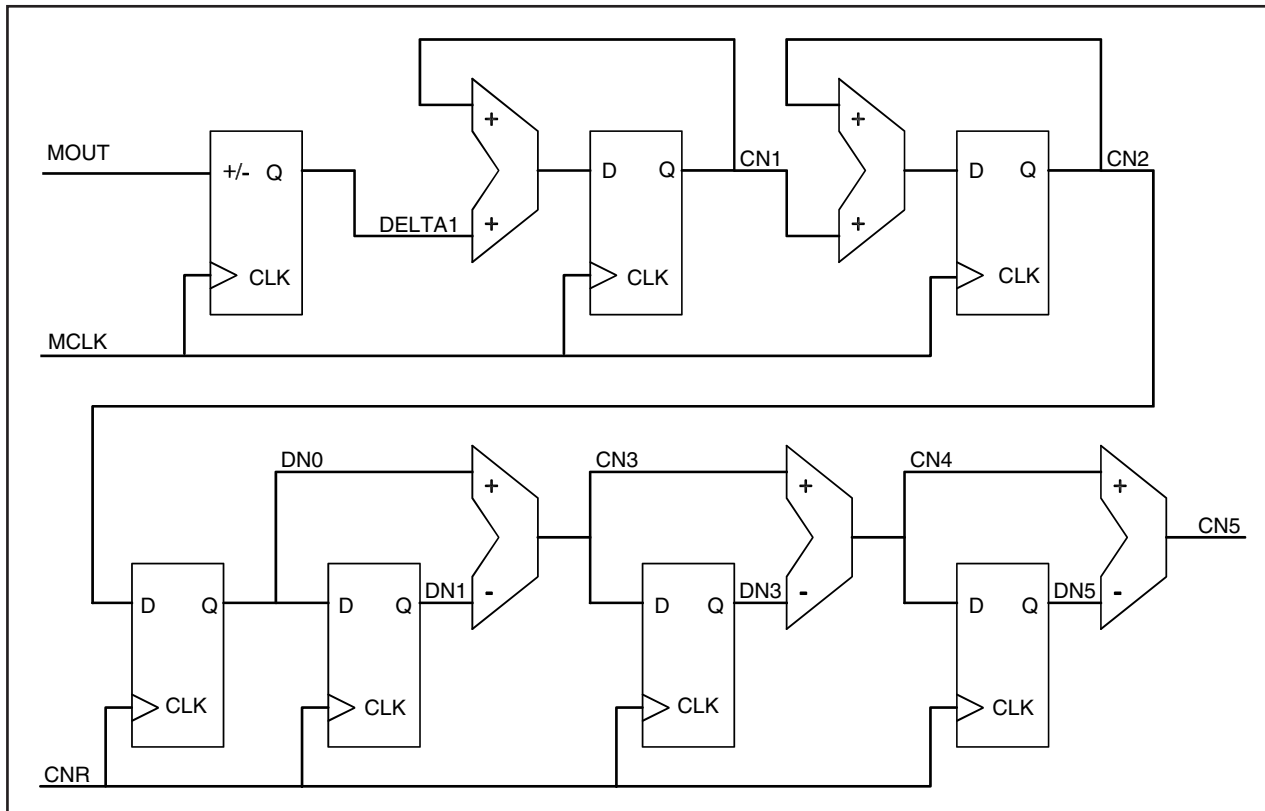


図13. ザイリンクス (Xilinx) 社に実装のSinc³フィルタ

図13のSinc³フィルタ回路のシミュレーションをExcelのスプレッドシートで行いました。その結果を、デシメーション比4について付録Bに、デシメーション比16について付録Cに示します。

評価ボードに実装のSinc³フィルタのデシメーション比は、評価ボード上のスイッチで設定されます。この3ビットデータは、図14に示すようにFPGA内部のコンフィギュレーションレジスタに送られ、変調器クロック周波数デバイダ

(MCLK)のプログラミングに使用されます。そこで除算されたクロックCNRは、Sinc³フィルタ内の微分器の結果をFIFOバッファへ移動するとともに、微分器の更新にも使用されます。この後、出力データレートが計算され、その適切な値がFPGA内のコンフィギュレーションおよびデシメーションレジスタにプログラムされます。また、3次Sincフィルタの場合、ステップ関数応答に3個のクロック周期が必要です。そこで、表4にクロックドライバの入力コード、

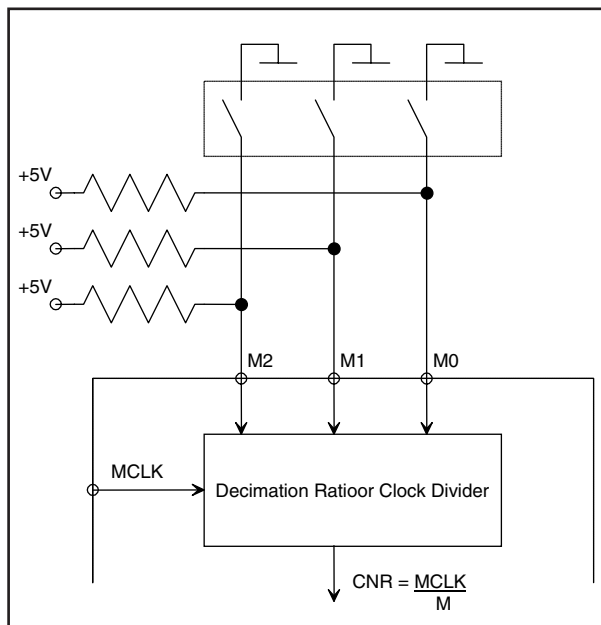


図14. クロック・デバイダ入力

Clock Divider Inputs			Decimation Ratio (M)	Data Rate (kHz)	Filter Response (os)
M2	M1	M0			
0	0	0	4	2,500.0	1.2
0	0	1	8	1,250.0	2.4
0	1	0	16	625.0	4.8
0	1	1	32	312.5	9.6
1	0	0	64	156.2	19.2
1	0	1	128	78.1	38.4
1	1	0	256	39.1	76.7

表4. クロック・デバイダの様々な入力に対するデシメーション比とフィルタ応答

デシメーション比、出力データレートおよびフィルタ応答を示します。

付録Dはデシメーション比が4、8、16、および32の場合の、ステップ関数入力へのフィルタ応答を示します。

ケーション・ノートは、モーター制御システムの設計者に3次Sincフィルタを容易に実現するソリューションを提供します。表5は、オーバー・サンプリングすなわちデシメーション比の関数として様々なパラメータの概要を示します。

6 結論

ADS1202は、モーター制御アプリケーションにおける電流計測用に設計されました。電流ループレギュレータは、一般に1から4kHzで動作します。この制御ループに使用される信号は、要求される分解能が12から16ビットの範囲で、10から最大40kHzの情報を含む必要があります。本アプリ

Decimation Ratio (M)	Ideal SNR (dB)	Ideal ENOB (Bits)	Data Rate (kHz)	Filter Response f-3dB (kHz)	Filter Response (os)	gain _{DC} (Bits)
4	24.99	3.9	2,500.0	655	1.2	6
8	40.04	6.4	1,250.0	327.5	2.4	9
16	55.09	8.9	625.0	163.7	4.8	12
32	70.14	11.4	312.5	81.8	9.6	15
64	85.19	13.9	156.2	40.9	19.2	18
128	100.24	16.4	78.1	20.4	38.4	21
256	115.30	18.9	39.1	10.2	76.7	24

表5. 3次Sincフィルタの特性

付録 A

図13を実現したフィルタのVHDLコード。

```

library IEEE;
use IEEE.std_logic_1164.all;
use IEEE.std_logic_unsigned.all;

entity FLT is
  port(RESN, MOUT, MCLK, CNR : in std_logic;
       CN5 : out std_logic_vector(24 downto 0));
end FLT;

architecture RTL of FLT is

  signal DN0, DN1, DN3, DN5 : std_logic_vector(24 downto 0);
  signal CN1, CN2, CN3, CN4 : std_logic_vector(24 downto 0);
  signal DELTA1 : std_logic_vector(24 downto 0);
begin

  process(MCLK, RESn)
  begin
    if RESn = '0' then
      DELTA1 <= (others => '0');
    elsif MCLK'event and MCLK = '1' then
      if MOUT = '1' then
        DELTA1 <= DELTA1 + 1;
      end if;
    end if;
  end process;

  process(RESN, MCLK)
  begin
    if RESN = '0' then
      CN1 <= (others => '0');
      CN2 <= (others => '0');
    elsif MCLK'event and MCLK = '1' then
      CN1 <= CN1 + DELTA1;
      CN2 <= CN2 + CN1;
    end if;
  end process;

  process(RESN, CNR)
  begin
    if RESN = '0' then
      DN0 <= (others => '0');
      DN1 <= (others => '0');
      DN3 <= (others => '0');
      DN5 <= (others => '0');
    elsif CNR'event and CNR = '1' then
      DN0 <= CN2;
      DN1 <= DN0;
      DN3 <= CN3;
      DN5 <= CN4;
    end if;
  end process;

  CN3 <= DN0 - DN1;
  CN4 <= CN3 - DN3;
  CN5 <= CN4 - DN5;

end RTL;

```

付録 B

デシメーション比4のときの図13のフィルタ回路の応答。

Data In			MCLK/M							Data Out		
K	MOUT	Delta1	CN1	CN2	CNR	DN0	DN1	CN3	DN3	CN4	DN5	CN5
0	0	0	0	0	0	0	0	0	0	0	0	0
1	0	0	0	0	0	0	0	0	0	0	0	0
2	0	0	0	0	0	0	0	0	0	0	0	0
3	0	0	0	0	0	0	0	0	0	0	0	0
4	0	0	0	0	0	0	0	0	0	0	0	0
5	1	1	0	0	1	0	0	0	0	0	0	0
6	1	2	1	0	1	0	0	0	0	0	0	0
7	1	3	3	1	1	0	0	0	0	0	0	0
8	1	4	6	4	1	0	0	0	0	0	0	0
9	1	5	10	10	2	4	0	4	0	4	0	4
10	1	6	15	20	2	4	0	4	0	4	0	4
11	1	7	21	35	2	4	0	4	0	4	0	4
12	1	8	28	56	2	4	0	4	0	4	0	4
13	1	9	36	84	3	56	4	52	4	48	4	44
14	1	10	45	120	3	56	4	52	4	48	4	44
15	1	11	55	37	3	56	4	52	4	48	4	44
16	1	12	66	92	3	56	4	52	4	48	4	44
17	1	13	78	30	4	92	56	36	52	112	48	64
18	1	14	91	108	4	92	56	36	52	112	48	64
19	1	15	105	71	4	92	56	36	52	112	48	64
20	1	16	120	48	4	92	56	36	52	112	48	64
21	1	17	8	40	5	48	92	84	36	48	112	64
22	1	18	25	48	5	48	92	84	36	48	112	64
23	1	19	43	73	5	48	92	84	36	48	112	64
24	1	20	62	116	5	48	92	84	36	48	112	64
25	1	21	82	50	6	116	48	68	84	112	48	64
26	1	22	103	4	6	116	48	68	84	112	48	64
27	1	23	125	107	6	116	48	68	84	112	48	64
28	1	24	20	104	6	116	48	68	84	112	48	64
29	1	25	44	124	7	104	116	116	68	48	112	64
30	1	26	69	40	7	104	116	116	68	48	112	64
31	1	27	95	109	7	104	116	116	68	48	112	64
32	1	28	122	76	7	104	116	116	68	48	112	64
33	1	29	22	70	8	76	104	100	116	112	48	64
34	1	30	51	92	8	76	104	100	116	112	48	64
35	1	31	81	15	8	76	104	100	116	112	48	64
36	1	32	112	96	8	76	104	100	116	112	48	64
37	1	33	16	80	9	96	76	20	100	48	112	64
38	1	34	49	96	9	96	76	20	100	48	112	64
39	1	35	83	17	9	96	76	20	100	48	112	64
40	1	36	118	100	9	96	76	20	100	48	112	64

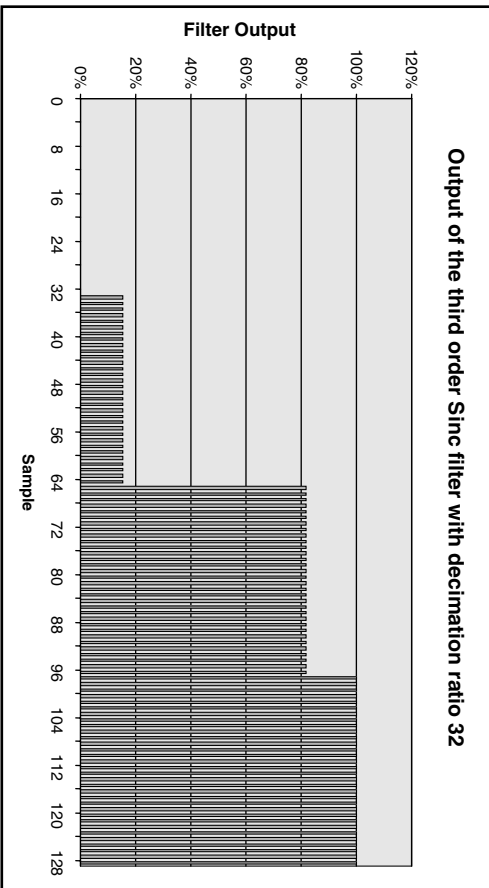
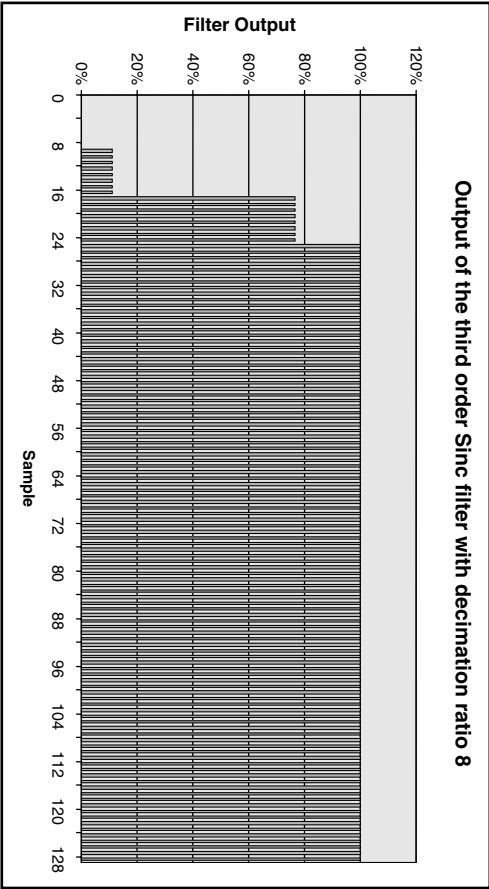
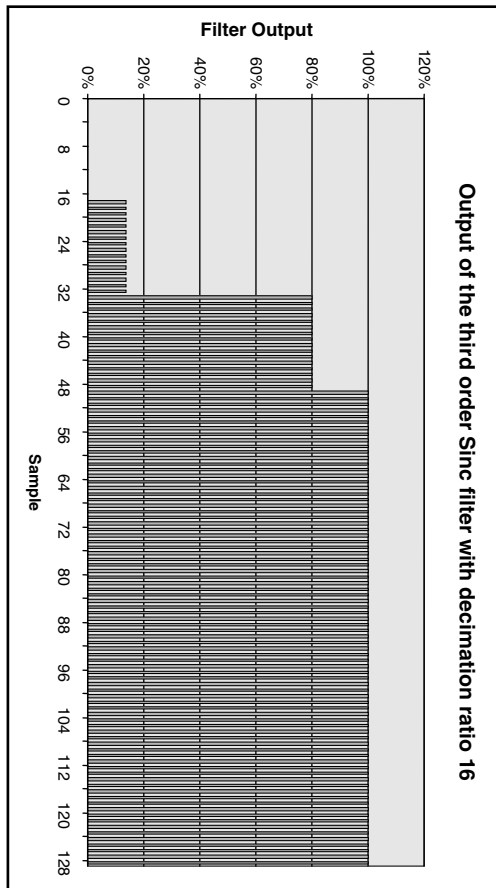
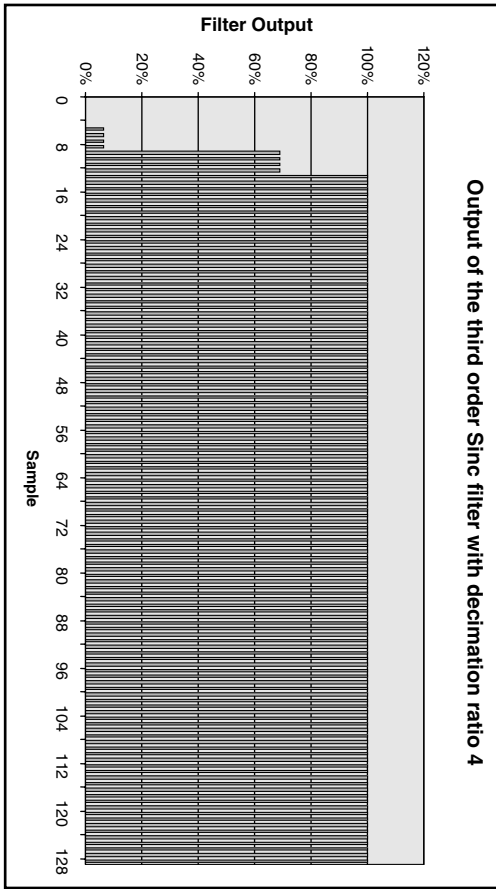
付録 C

デシメーション比8のときの図13のフィルタ回路の応答。

Data In					MCLK/M						Data Out	
K	MOUT	Delta1	CN1	CN2	CNR	DN0	DN1	CN3	DN3	CN4	DN5	CN5
0	0	0	0	0	0	0	0	0	0	0	0	0
1	0	0	0	0	0	0	0	0	0	0	0	0
2	0	0	0	0	0	0	0	0	0	0	0	0
3	0	0	0	0	0	0	0	0	0	0	0	0
4	0	0	0	0	0	0	0	0	0	0	0	0
5	1	1	0	0	0	0	0	0	0	0	0	0
6	1	2	1	0	0	0	0	0	0	0	0	0
7	1	3	3	1	0	0	0	0	0	0	0	0
8	1	4	6	4	0	0	0	0	0	0	0	0
9	1	5	10	10	1	4	0	4	0	4	0	4
10	1	6	15	20	1	4	0	4	0	4	0	4
11	1	7	21	35	1	4	0	4	0	4	0	4
12	1	8	28	56	1	4	0	4	0	4	0	4
13	1	9	36	84	1	4	0	4	0	4	0	4
14	1	10	45	120	1	4	0	4	0	4	0	4
15	1	11	55	165	1	4	0	4	0	4	0	4
16	1	12	66	220	1	4	0	4	0	4	0	4
17	1	13	78	286	2	220	4	216	4	212	4	208
18	1	14	91	364	2	220	4	216	4	212	4	208
19	1	15	105	455	2	220	4	216	4	212	4	208
20	1	16	120	560	2	220	4	216	4	212	4	208
21	1	17	136	680	2	220	4	216	4	212	4	208
22	1	18	153	816	2	220	4	216	4	212	4	208
23	1	19	171	969	2	220	4	216	4	212	4	208
24	1	20	190	116	2	220	4	216	4	212	4	208
25	1	21	210	306	3	116	220	920	216	704	212	492
26	1	22	231	516	3	116	220	920	216	704	212	492
27	1	23	253	747	3	116	220	920	216	704	212	492
28	1	24	276	1000	3	116	220	920	216	704	212	492
29	1	25	300	252	3	116	220	920	216	704	212	492
30	1	26	325	552	3	116	220	920	216	704	212	492
31	1	27	351	877	3	116	220	920	216	704	212	492
32	1	28	378	204	3	116	220	920	216	704	212	492
33	1	29	406	582	4	204	116	88	920	192	704	512
34	1	30	435	988	4	204	116	88	920	192	704	512
35	1	31	465	399	4	204	116	88	920	192	704	512
36	1	32	496	864	4	204	116	88	920	192	704	512
37	1	33	528	336	4	204	116	88	920	192	704	512
38	1	34	561	864	4	204	116	88	920	192	704	512
39	1	35	595	401	4	204	116	88	920	192	704	512
40	1	36	630	996	4	204	116	88	920	192	704	512

付録 D

様々なデジメーション比における、ステップ関数入力に対する3次Sincフィルタの応答。



参考文献

ADS1202製品データシート (SBAS275A)

ご注意

日本テキサス・インスツルメンツ株式会社(以下TIJといたします)及びTexas Instruments Incorporated(TIJの親会社、以下TIJおよびTexas Instruments Incorporatedを総称してTIといいます)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIの標準契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾することは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは是認することの意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、且つその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、且つ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

なお、日本テキサス・インスツルメンツ株式会社半導体集積回路製品販売用標準契約約款をご覧ください。

<http://www.tij.co.jp/jsc/docs/stdterms.htm>

Copyright © 2005, Texas Instruments Incorporated

日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位(外装から取り出された内装及び個装)又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で(導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。(但し、結露しないこと。)

- 直射日光があたる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品(外装、内装、個装)及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質(硫黄、塩素等ハロゲン)のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上