

TMS320DM644x DMSoCにおけるDDR2 PCBレイアウトの実装

アプリケーション技術統括部

アブストラクト

この文書には、TMS320DM644x デジタル・メディア・システム・オン・チップ (DMSoC) に搭載されているDDR2 インターフェイス用の実装方法の説明が含まれています。DDR2 インターフェイスに対してタイミングを規定するアプローチは、以前のデバイスと比べて実に困難なものです。以前のアプローチでは、データシートでの規定およびシミュレーション・モデルという点からデバイスのタイミングを規定していました。お客様は、互換性のあるメモリ・デバイスだけでなくそれらのデータシートおよびシミュレーション・モデルを入手する必要がありました。お客様は、この情報を手に入れ、システム・タイミングを満たすようにハイスピード・シミュレーションを使用し、お客様のプリント基板 (PCB) を設計していました。

DM644x DDR2 インターフェイスにおいては、お客様に対して互換性のあるDDR2 デバイスを指定し、PCB 配線ルールを提供するというアプローチをとっています。TI は、DDR2 インターフェイスのタイミングを満たすようにシミュレーションやシステム設計作業を行いました。この文章では、要求される配線ルールを述べています。

DM644x EVM が、これらの配線ルールに従った PCB レイアウトの一例であり、またこれは FCC EMI 条件をクリアしています。お客様は、このレイアウトのDDR2 部分を直接コピーできますが、ここでの目的は、他の PCB 要求事項を満たすための配線ルールの中で十分なフレキシビリティを持たせることです。

この資料は日本テキサス・インスツルメンツ(日本TI)が、お客様がTIおよび日本TI製品を理解するための一助としてお役に立てるよう、作成しております。製品に関する情報は随時更新されますので最新版の情報を取得するようお勧めします。TIおよび日本TIは、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。また、TI及び日本TIは本ドキュメントに記載された情報により発生した問題や障害等につきましては如何なる責任も負いません。

目次

1	前提条件	3
1.1	ハイスピード設計	3
1.2	JEDEC DDR2規格に対する熟知	3
2	DM644x DDR2サポート・デバイス	3
2.1	JEDEC DDR2 84と92ボールパッケージについて	3
2.2	DDR2パッケージ・サイズに関する注意	3
3	他の文献	3
4	回路図および電氣的接続	3
4.1	DM644x DDR2インターフェイスと典型的なPCアプリケーションとの違い	4
4.2	DDR2電源供給	5
4.3	信号終端	5
5	層構成（スタックアップ）	5
5.1	グラウンド参照プレーン	5
6	配置	5
6.1	PCBエリアの最小化	6
6.2	DDR2キープアウト領域	6
6.3	ディスクリート・デバイスの配置	6
7	配線	9
7.1	要求されるPCBの寸法	9
7.2	VREF	9
7.3	一般的なDDR2配線	10
7.4	信号配線ルール	11
7.5	ネットクラス配線ルール	12

図

図 1.	DM644x DDR2ハイレベル回路図	4
図 2.	DM644xとDDR2デバイスの配置仕様	6
図 3.	DDR2キープアウト領域の例	6
図 4.	DLLフィルタ例	7
図 5.	ディスクリート部品の配置	8
図 6.	VREF仕様	10
図 7.	一般的なアドレス、バンクアドレス、制御、クロック配線	10
図 8.	一般的なデータバイト0配線	10
図 9.	一般的なデータバイト1配線	11
図 10.	一般的なデータバイト2配線	11
図 11.	一般的なデータバイト3配線	11
図 12.	ADDR_CTRLとCKネットクラスにおける、配線間隔、マッチングおよびトポロジーに対する要求	14
図 13.	DQBnとDQBSnネットクラスにおける、配線間隔、マッチングおよびトポロジーに対する要求	15

表

表 1.	最小PCB層構成	5
表 2.	バイパスコンデンサの最小数量	7
表 3.	DDR2信号終端	9
表 4.	クロック・ネットクラス	12
表 5.	信号ネットクラス	12

1 前提条件

1.1 ハイスピード設計

この文章の目的は、システム・ソリューションを提供することによりお客様のシステム実装をより簡単にすることです。ハイスピードPCBに精通した設計者によってPCB設計作業が管理監督されていることを想定しており、またPCB設計者は確立されたハイスピード設計ルールを使用していると仮定します。グラウンド層をカットすることは、正しく行うのが困難でない限り、避けなければなりません。PCB設計に起因するクロストークやEMIの影響は、後での問題修正、設計作業の巻き戻しが困難ですので、PCB設計の進行とともに評価しなければなりません。綿密なブランニングが、設計サイクルの助けとなります。

1.2 JEDEC DDR2 規格に対する熟知

DM644x デバイスのDDR2 インターフェイスは、JEDEC JESD-79A DDR2規格に準拠するように設計されています。この文章の読者が、この規格およびこのインターフェイスの基本的な電氣的動作について熟知していることを仮定します。さらに、いくつかのメモリメーカは、DDR2動作に関する詳細なアプリケーション・ノートを提供しています。

2 DM644x DDR2 サポート・デバイス

DM644x DDR2 インターフェイスは、JEDEC DDR2 x16 デバイスをサポートします。サポートしている容量 (density) は、x16 デバイスの256Mb、512Mbおよび1Gbです。これらの容量でJEDEC DDR2-400 スピードグレードのすべてのデバイスは、DM644x データシートで示されたDDR2クロックにおいて、DM644xのDDR2コントローラで動作します。DM644xは、DDR2メモリの差動DQS機能を使用しておらず、すべてのDQS信号はシングルエンドです。TIは、特定のDDR2メーカ/デバイスと作業をしています。以下のJEDEC DDR2互換デバイスを推奨します。

MT47H64M16BT-5E – マイクロン1Gb DDR2-400 92
ボール パッケージ

MT47H32M16BT-5E – マイクロン512Mb DDR2-400 92
ボール パッケージ

MT47H32M16CC-5E – マイクロン512Mb DDR2-400 84
ボール パッケージ

MT47H16M16BG-5E – マイクロン256Mb DDR2-400 84
ボール パッケージ

EDE5116ABSE-4A-E – エルピーダ512Mb DDR2-400 84
ボール パッケージ

EDE5116AFSE-4A-E – エルピーダ512Mb DDR2-400 84
ボール パッケージ

EDE2516ABSE-4A-E – エルピーダ256Mb DDR2-400 84
ボール パッケージ

2.1 JEDEC DDR2 84 と 92 ボール パッケージに ついて

84と92ボールのDDR2 BGAパッケージは、電氣的に互換性があります。92ボール パッケージにおける追加の8ボールは、単なる支持ボールです。提供しているDDR2レイアウトでは、これらの支持ボール分の余裕があります。

2.2 DDR2 パッケージ・サイズに関する注意

JEDEC規格では一般的にパッケージ・サイズの最大サイズのみを示しているため、DDR2部品のキープアウトを決定するときに、気をつけてください。いくつかのメーカにおけるJEDEC互換DDR2部品は、この最大サイズより小さく、後で幅の広いパッケージの他のメーカに部品変更すると、実装時の干渉問題の原因となりえます。パッケージ・サイズ全体の決定にMO-207Jおよびメーカの文章に従うのが最善です。メーカの部品仕様より制約が厳しいと思われるので、MO-207Jで許される範囲に対してよく注意を払ってください。これにより、このデバイスでサポートされているすべてのJEDEC DDR2部品について物理的な配置の互換性を持つことができます。

3 他の文献

The Flip Chip Ball Grid Array Package Reference Guide ([SPRU811](#))は、PCB設計およびテキサス・インスツルメンツBGAパッケージに関するガイダンスを提供します。PCB設計ルール、PCB実装パラメータ、リワーク・プロセス、熱管理、トラブルシューティングおよびその他の重要な情報が含まれています。

JEDEC規格JESD-79Aには、JEDEC DDR2規格が含まれています。JEDEC規格MO-207Jには、JEDEC DDR2デバイスのパッケージ図面が含まれています。

興味のある方は、ハイスピード・ボード設計に関する追加の一般的な情報として *High Speed DSP Systems Design Guide* ([SPRU889](#))を参照ください。

4 回路図および電氣的接続

図 1は、DDR2インターフェイスのハイレベル (概念的) な回路図です。特定のピン番号は、DM644xおよびJEDEC DDR2データシートから得ることができます。DM644xの32bit DDR2インターフェイスは、2ヶの16bit DDR2デバイスに接続されます。したがって、クロック、アドレスおよび制御ラインは、3ポイント配線になり、データ・ラインはポイント・ツー・ポイント配線になります。

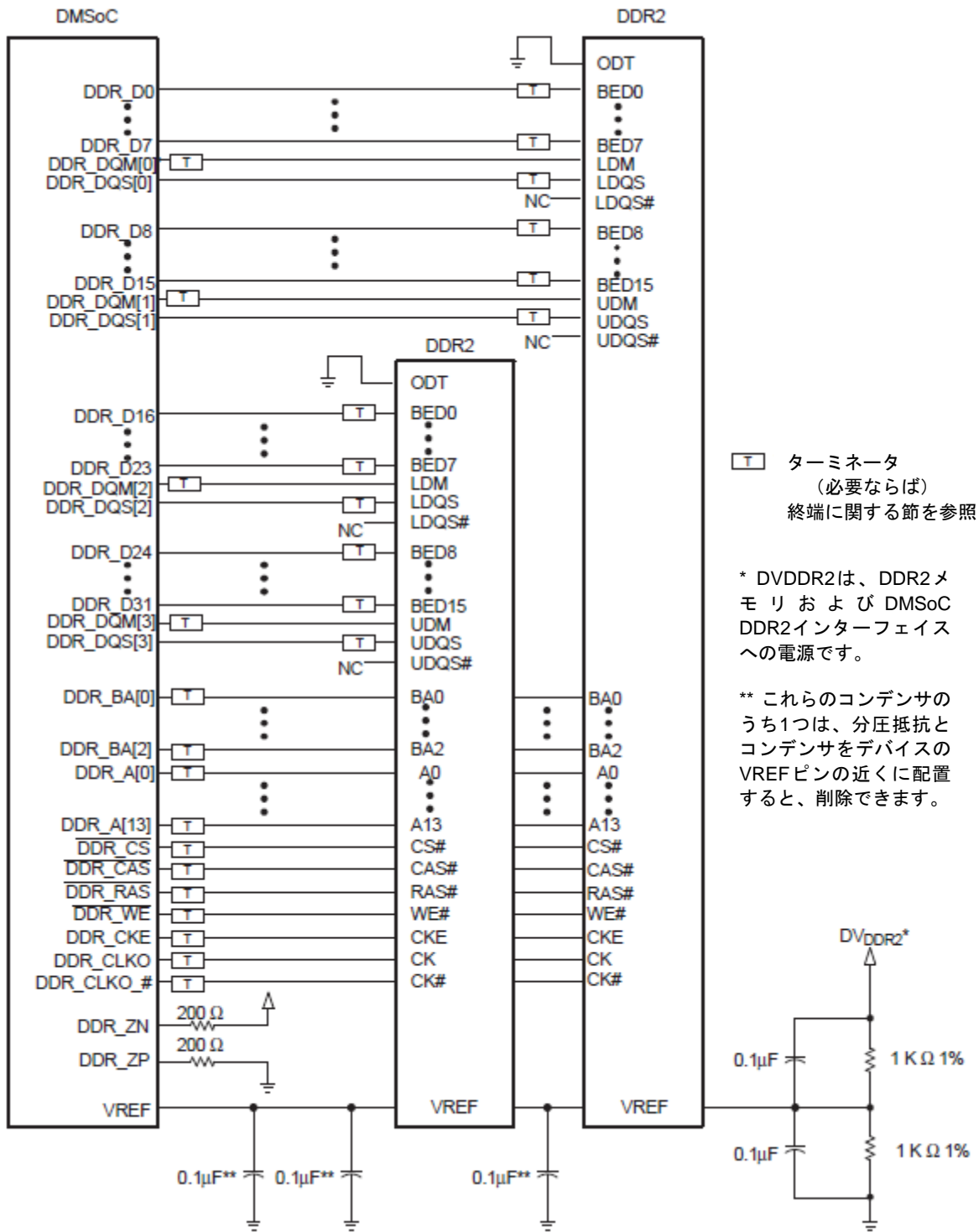


図 1. DM644x DDR2ハイレベル回路図

4.1 DM644x DDR2 インターフェイスと典型的な PC アプリケーションとの違い

DM644xが使用される組み込みDDR2アプリケーションと、典型的なPCマザーボード/DDR2 DIMMアプリケーションの間には、いくつかの微妙な違いがあります。DM644x

DDR2インターフェイスは、スタブ・シリーズ終端 (SSTL でのSST) は使用しません。スタブ・シリーズ・ターミネータは、並列ターミネータであり、電力消費が大きいためここでは使用しません。そのため、終端電圧 V_{tt} も使用せず、DM644x DDR2インターフェイスでは必要とされません。

図 1で示したターミネータは、シリーズ抵抗ターミネータです。

4.2 DDR2 電源供給

DDR2インターフェイスへの公称電源は、1.8Vです。この電源は、DM644x DDR2電源ピン (DV_{DDR2}) とJEDEC DDR2 デバイスに使用されます。VREFは、DDR2電源を抵抗分圧したもから供給されます。1.8VおよびVREF電源のバイパスについて、この文章で述べています。

4.3 信号終端

DM644x DDR2インターフェイスは、DDR2メモリを60%強度で動作させれば、オーバーシュート要求を満たすための終端は必要ありません。このことは、すべてのDDR2信号は、シリアル終端なしに入力オーバーシュートおよび反射に対する要求を満たされることを意味します。並列終端は、DM644xのDDR2インターフェイスではサポートされていません。EVMのPCBレイアウト例は、この終端に対する枠組みでEMI要求を満たしています。しかし、新規の設計で終端なしのアプローチにリスクがないわけではありません。

PCB上の終端は、DDR2信号をEMI認証の要求事項が満足するように調整することを可能にします。EMI認証に落ちた終端なしのPCBは、EMIの欠陥に対処するため、再設計しなければならないと思われる。EMI問題を修正するために、複数回PCBを再設計することになる可能性があります。終端

なしの密集したPCBレイアウトを再設計することは、終端用に物理的な余裕を作らなければならないため、非常に困難な努力となることに注意してください。これは、すべてのPCB設計をしないおさなければならぬかもしれないということを意味します。PCBがEMIに落ちていると分かった後で抵抗を追加するよりもむしろ、抵抗を削除することのほうが簡単です。

EMIに関連してコスト/スケジュールに敏感なお客様は、たとえ最終製品において終端なしの予定であっても、基板上に終端を入れることを望むかもしれません。この場合、終端は容易に0Ω抵抗に置き換え、EMI順守かをチェックすることができます。もしPCBがEMIに落ちたら、PCBを再設計することなしに、単純に必要な終端を導入します。終端方法がEMIをパスすると確認されれば、残った0Ω終端は、1回の再設計で慎重にPCBレイアウトから取り除くことができます。

5 層構成 (スタックアップ)

DM644xを配線するのに最小の層構成は、表 1に示す6層構成です。他の回路用やDM644x/DDR2 PCBフットプリントのサイズを小さくするために、追加の層がPCB層構成に追加されるかもしれません。

表 1. 最小PCB層構成

層	種類	説明
1	信号	トップ配線、主に平行
2	プレーン	グラウンド
3	プレーン	電源
4	信号	内部配線
5	プレーン	グラウンド
6	信号	ボトム配線、主に垂直

公称値50から70Ωになるようにインピーダンス制御されたシングルエンドが、DDR2インターフェイス用に使用可能です。DDR2インピーダンスは、10Ω以内に制御しなければなりません。CKネットクラスは、差動インピーダンスがDDR2インターフェイスのシングルエンド・インピーダンスの2倍でなければなりません。たとえば、PCBが公称50Ωであれば、CKの差動インピーダンスは100Ωにしなければなりません。

5.1 グランド参照プレーン

すべての信号配線層がグラウンド参照プレーンを持っていることが重要です。これは、各DDR2配線層の隣に完全にベタなグラウンド・プレーンがあるということを意味します。2つの配線層は、グラウンド・プレーンを共有することができます (グラウンド・プレーンの上に1つの配線層、下にもう1つの配線層)。グラウンド・プレーンをDDR2領域内でカットすることは許されません (グラウンド・プレーンをカットすることは

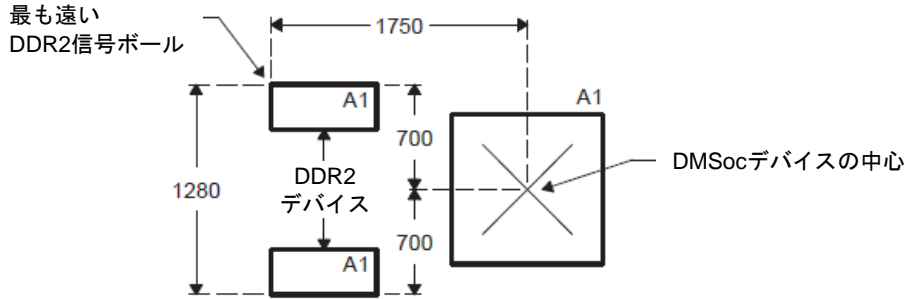
一般的に良くない考えです。また、PCBの他の領域で絶対に必要な場合にも、大変な注意を払いながら行うべきです)。グラウンド・プレーンの目的は、クロストークおよびEMIを最小化するために戻り電流の経路を確保することにあります。電源プレーンは、DDR2インターフェイスにおいて信号の戻り用に使うことはできません。不適切なグラウンド・プレーン層構成は、DDR2インターフェイスの誤動作または信頼できない動作を引き起こすでしょう。

6 配置

図 2は、DM644xデバイスとDDR2デバイスに要求される配置を示しています。ここでの距離は、最大値を示しており、デバイスを互いに近くすることについて制約はありません。一般的に、コストやシグナルインテグリティの観点から近いほど良いと言えますが、レイアウトを小さくすることは、信

号トレースに必要なスペースによって制限されるでしょう。最小の配置は、通常、トレース自身ではなく配線設計に必要なビアの数によって制限されることに注意してください。

PCB設計者は、配置を決定する際に配線に対する要求を考慮に入れる必要があります。



最大配置距離は、DMSocパッケージの中心から最も遠いDDR2信号ボールまでです。張り出し部分のDDR2 NCボールがあるかもしれませんが、そこまでの距離を含めてはいけません。すべての寸法はmil単位です。

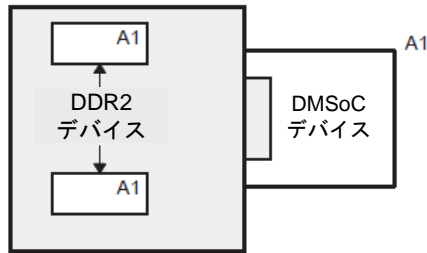
図 2. DM644xとDDR2デバイスの配置仕様

6.1 PCB エリアの最小化

最大配置と最小PCB層構成により、ローコストなPCBテクノロジーが使用でき、一般的に、DDR2インターフェイス用に最大のフットプリントとすることで最もローコストなPCBとなります。お客様は、お客様のシステムで信号層を追加しより小さな形状とすることとコスト/利益のトレードオフを評価する必要があります。最小の形状と層構成は、PCB上の他の回路によって制限されるかもしれないという点に注意してください。

6.2 DDR2 キープアウト領域

図 3は、DDR2キープアウト領域の例を示しています。このキープアウト領域は、各個別の設計において変化します。その目的は、DDR2インターフェイスと他の信号が干渉しないことを保障することです。DDR2信号層でのこの領域内で許される信号は、DDR2インターフェイス用のものだけです。1.8V電源プレーンは、少なくともDDR2キープアウト領域のすべてをカバーしていなければなりません。



DDR2キープアウト領域の例です。領域は、すべてのDDR2回路をカバーしていなければならない、配置に依存して変化します。DDR2信号以外の信号は、DDR2キープアウト領域内においてDDR2信号層で配線してはいけません。DDR2信号以外の信号は、この領域内において、グラウンド層に隣接したDDR2信号層とは別の層で配線することができます。この領域内で参照グラウンド層を分割することは許されません。さらに1.8V電源プレーンは、キープアウト領域のすべてをカバーしなければなりません。

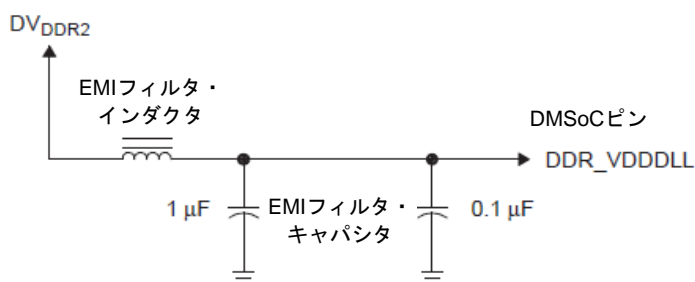
図 3. DDR2キープアウト領域の例

6.3 ディスクリット・デバイスの配置

DM644x DDR2インターフェイスは、抵抗、抵抗パック、キャパシタ、インダクタといった多くのディスクリット・デバイスを使用します。図 5は、DM644xおよびDDR2デバイス周辺のディスクリット・デバイスの配置例です。次節を読む際に、参照すると有用です。

6.3.1 PLL および DLL フィルタ

DM644xデバイスのDLL電源ピンは、微小な電流を吸い込みます。しかし、これはノイズに敏感です。DLL電源は、DV_{DDR2}電源から供給されます。図 4は、DLL電源の配置と配線ルールを示したものです。



EMIフィルタ・キャパシタは、関連するDMSoCのボールから350milより遠くに配置してはいけません。この図にあるネット用のトレースは、最低15mil幅にしなければなりません。BGA引き出し用に曲げるのは、かまいません。

図 4. DLLフィルタ例

6.3.2 抵抗および抵抗パック

DM644x DDR2インターフェイスは、VREFの生成に抵抗を使用し、信号終端に抵抗または抵抗パックを使用するかもしれません。これらの部品の配置に対する特定の要求は、VREFおよびインターフェイス用の他のネットクラスの配線ルールで指定されます。配線ルールについては、この文章の後で示します。

一般的に言って、終端抵抗はディスクリートの抵抗または抵抗パックであり、それらはDDR2メモリとDM644xの間に配置されます。VREF分圧抵抗は、DDR2デバイスとDM644xの間のどこかに配置します。

6.3.3 バイパスコンデンサ (キャパシタ)

バイパスコンデンサは、ハイスピードPCBの確実な動作に重要です。以下のガイドラインにしたがっているというを確認することに、非常に大きな注意を払わなければなりません。これらのガイドラインにしたがわない場合、不安定なシステムとなることがあります。

表 2は、DM644xおよびDDR2デバイス近傍で必要とされるバイパスコンデンサの最小数量を示しています。システムボードの残りの部分用に、追加のバイパスコンデンサが必要になるかもしれません。システムの残り部分用のバイパス設計については、システム設計者の責任です。小さなバイパスコンデンサ (0.1uF) は、0402サイズまたはそれより小さいものでなければなりません。22uF中間バルク・バイパスコンデンサは、入手性や便利さでサイズを決めることができます。表 2の容量値は、初期値を意図したものです。PCBがEMI順守で問題となった場合、この容量値の変更を行わなければならないかもしれません。

コンデンサの正確な位置は、問題ではありません。図 5は、配置例を示します。バイパスコンデンサは、バイパスするデバイスの近くに配置しなければなりません。バイパスする電源ピンとコンデンサの距離は、125milを超えてはいけません。

表 2. バイパスコンデンサの最小数量

電源	22uFの数量	0.1uFの数量
CV _{DD}	2	4
CV _{DDDSP}	2	3
DV _{DD18}	2	8
VDDQ DDR2 #1	1	8
VDDQ DDR2 #2	1	8
DV _{DDR2}	3	11
DV _{DD33}	1	4

6.3.3.1 バイパスコンデンサのビア、電源プレーンへの接続および配置

各バイパスコンデンサには、各ピンに1つで、計2つのビアが必要です。バイパスコンデンサでビアの共用は、許されません。これは、ビアのインダクタンスのためです。ビアの共用

は、インダクタンスのためにバイパスコンデンサの効果を大きく落とすこととなります。同じ理由から、DM644xおよびDDR2デバイスの電源、グランドピン用のビアを共用することも許されません。バイパスコンデンサおよびデバイスの電源接続用ビアのことを、電源ビアと呼びます。

インダクタンスを最小にするために、電源ビアはできるだけ大きくしなければなりません。電源ビアが、プレーンをカットするほど大きくならないように気をつけてください。電源ビアは、デバイスのパッドとできるだけ広く、短いトレースで接続しなければなりません。理想的には、電源ビアからデバイスのパッドまでのトレース長は、30milを超えてはいけません。電源ビアからバイパスコンデンサまでの最大トレース

ス長は、60milです。電源ビアから電源ボールのパッドまでの最大トレース長は、35milです。

図 5は、バイパスコンデンサの配置例を示しています。中間バルク・バイパスコンデンサ (22uF) の配置は、重要ではなく、より制約の厳しい配置配線要求がある他の回路が対応できるように配置することができます。PCB設計者は、バイパスコンデンサを配置するとき、この節のトレース長仕様に留意しなければなりません。

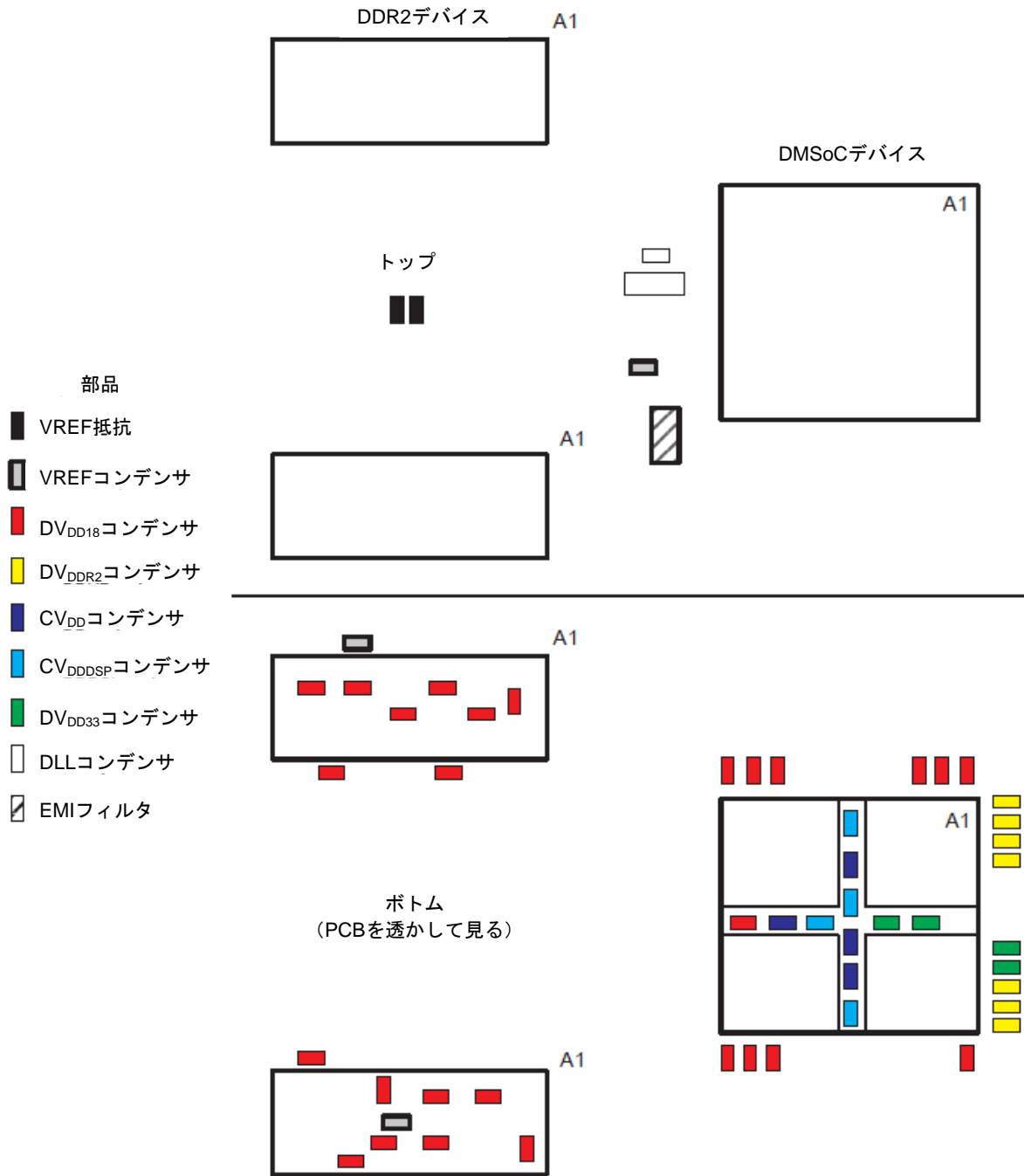


図 5. ディスクリート部品の配置

6.3.4 DDR2 信号終端

DDR2デバイスを60%強度で動作させることで、反射、オーバーシュート仕様を満たすための終端は、必要ありません。すべてのDDR2信号は、もし必要ならば終端することができます。

ます。推奨の終端を、表 3に示します。図 2に示した配置には、表 3の終端用のスペースがあります。EMI規制にパスさせるためにハードウェアが用意できた時点で、終端用の値を調整しなければならないかもしれません。

表 3. DDR2信号終端

ネットクラス	終端
CK	DMSoCの近くに10Ω抵抗/抵抗パックを配置
ADDR_CTRL	DMSoCの近くに22Ω抵抗/抵抗パックを配置
DQB0 (DDR_D0-DDR_D7)	DDR2の近くに22Ω抵抗/抵抗パックを配置
DQB0 (DDR_DQM[0])	DMSoCの近くに22Ω抵抗/抵抗パックを配置
DQSB0	DDR2の近くに22Ω抵抗/抵抗パックを配置
DQB1 (DDR_D8-DDR_D15)	DDR2の近くに22Ω抵抗/抵抗パックを配置
DQB1 (DDR_DQM[1])	DMSoCの近くに22Ω抵抗/抵抗パックを配置
DQSB1	DDR2の近くに22Ω抵抗/抵抗パックを配置
DQB2 (DDR_D16-DDR_D23)	DDR2の近くに22Ω抵抗/抵抗パックを配置
DQB2 (DDR_DQM[2])	DMSoCの近くに22Ω抵抗/抵抗パックを配置
DQSB2	DDR2の近くに22Ω抵抗/抵抗パックを配置
DQB3 (DDR_D24-DDR_D31)	DDR2の近くに22Ω抵抗/抵抗パックを配置
DQB3 (DDR_DQM[3])	DMSoCの近くに22Ω抵抗/抵抗パックを配置
DQSB3	DDR2の近くに22Ω抵抗/抵抗パックを配置

7 配線

7.1 要求される PCB の寸法

この文章中での参照されるPCBの最小寸法は、BGAパッケージ・サイズのために物理的にPCBの配線が可能な最大のもので、BGAエスケープ用のPCBトレース幅/スペースは、最大4milです。従来型のビアを使用する場合、ドッグボーン形状のBGAエスケープは、18milパッド、8milホール程度のビアサイズが必要になります。配線ルールに従う限り、PCB配線密度を向上させ、より小さな寸法を使用することができます。

7.1.1 BGA 寸法

PCB BGA寸法の選択は、PCBの歩留まりや信頼性にとって重要です。一般的に、BGAパッケージのパッドとPCBのパッドのサイズが同じであればベストです。レイアウトを始める前に、デバイスメーカ、PCB加工業者、PCB組立業者は、BGAパッドと他の重要なBGA PCB機械的詳細について相談しなければなりません。一般的な注意として、推奨のBGAパッドサイズは、一般的にBGAボールサイズと同じではありません。

DM644xデバイスでのPCB BGAパッドにたいする要求は、*Flip Chip Ball Grid Array Package Reference Guide*

([SPRU811](#))に記載されており、www.ti.comから手に入れることができます。DM644xは、0.8mmボールピッチ部品ですので、0.8mmのガイドラインにしたがわなければなりません。DDR2デバイスでのPCB BGAパッドに対する要求は、そのメーカのガイドラインにしたがわなければなりません。

7.2 VREF

VREFは、DDR2メモリの入力バッファと同様にDM644x DDR2インターフェイスで論理レベルを決定するために使用されます。VREFは、電源電圧の $\frac{1}{2}$ と定義され、2つの1KΩ 1%誤差抵抗からなる分圧器で生成されます(図 1参照)。VREFは、大電流を供給するわけではありませんが、インダクタンスをできる限り小さく保つことが重要です。VREFについて公称の最小幅は、20milです。BGAエスケープや密集して存在するビアを避けるために、VREFを曲げることは許されます。しかし、VREFの20mil幅をできるだけ保つように気をつけなければなりません。VREFは、DCのネットでありトレース遅延は重要ではありません。しかし、すべてのトレース長は、最小に保たなければなりません。VREFネットの4つまたは5つのバイパスコンデンサは、ACノイズを削減するためのものです。2つは分圧器の部分で使用され、各1つが3つのVREF入力(DDR2が2つとDM644x)に使用されます。図 6参照。

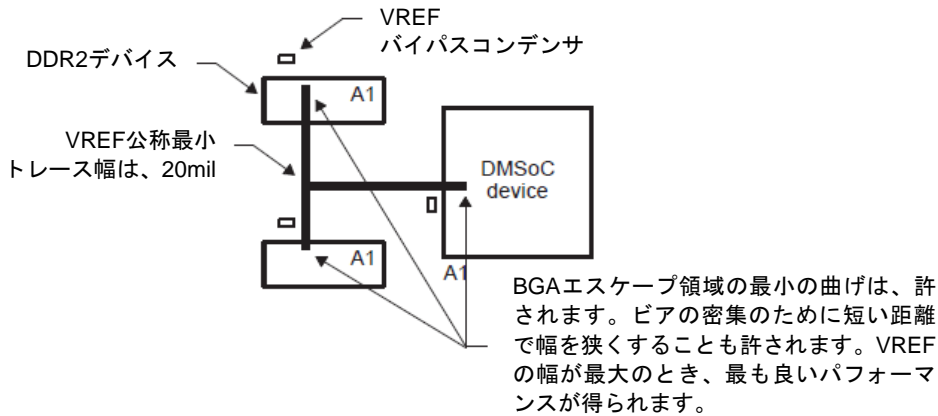


図 6. VREF仕様

7.3 一般的なDDR2配線

図 7から図 11では、DDR2インターフェИСの一般的な配線を示しています。アドレス、バンクアドレス、制御信号、DDR2クロックは、DM644xデバイスの中心からDDR2デバイスに向けて「Tバランス」状に配線されます。各データバイトは、ポイント・ツー・ポイントで配線されます。下位2バイトは下位側DDR2メモリに配線され、上位2バイトは上位側DDR2メモリに配線されます。図は最大のPCB配置を示しています。寸法を小さくするか、PCB層を追加し、DDR2

メモリを互いにまたはDM644xデバイスの近くに持つことで、より狭い配置が可能です。適切な配置をすれば、DDR2インターフェИСの配線は、これらと似た形になります。最も小さいDDR2デバイスの配置は、一方をトップで他方をボトムにし互いにオーバーラップするようにすることです。しかし、すべての配線ルールは、この場合も満たさなければなりません。このタイプの配置は、高度なPCBテクノロジーが要求されるでしょう。

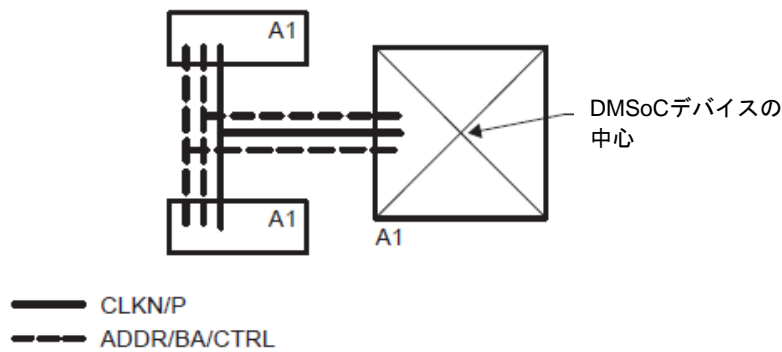


図 7. 一般的なアドレス、バンクアドレス、制御、クロック配線

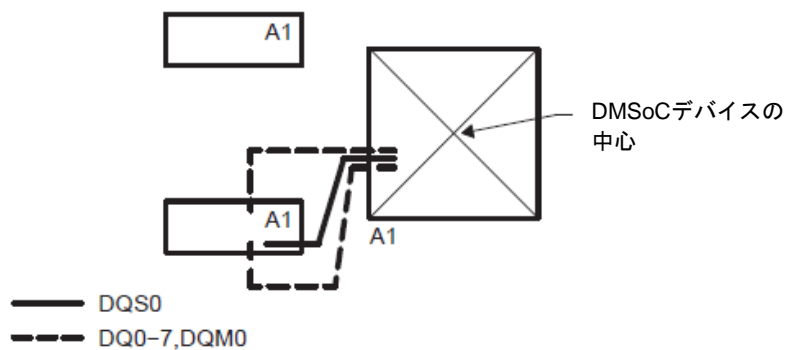


図 8. 一般的なデータバイト0配線

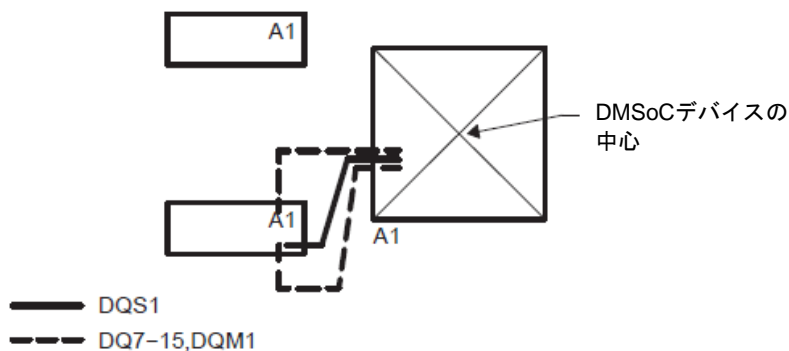


図 9. 一般的なデータバイト1配線

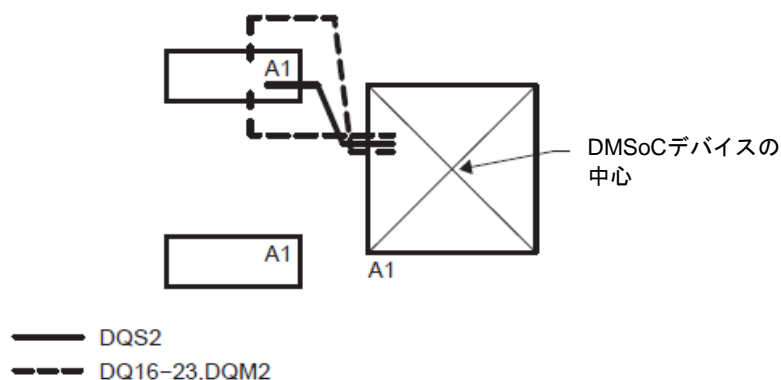


図 10. 一般的なデータバイト2配線

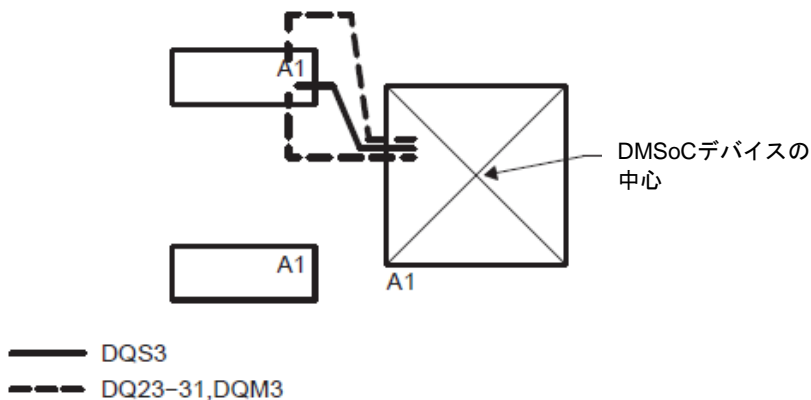


図 11. 一般的なデータバイト3配線

7.4 信号配線ルール

DM644x DDR2システム設計用の配線ルールは、ネットクラス毎に分けられています。各ネットクラスは、クロックドメイン内のすべての信号が含まれています。5つのクロックドメインがあります：CK、DQS0、DQS1、DQS2、DQS3。一般的な要求は、ドメイン内でスキューを合わせ、クロストークを最小化することです。ドメイン間のクロストークは、特に厄介であり、異なるドメインの信号間のカップリングを最小化するようにしなければなりません。

この文書の中のPCB配線ルールは、最小PCB配線幅および間隔を4milと仮定しています。後の配線ルールのところで説明する各種のネットクラス間の最小トレース間隔を定義するために、PCB配線トレース幅を w と定義します。したがって、PCBを最も広いトレースで設計した場合、トレース幅は $w = 4\text{mil}$ です。PCBが3milトレース/スペースで設計された場合、 w は3milとなります。

7.4.1 ネットクラス

7.4.1.1 クロックドメイン・ネットクラス

ネットクラスは、DDR2インターフェイスで互いにまたクロックドメインで類別されたネットの組として関連付けたものです。これらのネットクラスは、DDR2配線ルールで使用されます。DDR2インターフェイスは、5つのクロックドメ

インを持っており、それらのうち4つは双方向です。クロック・ネットクラスを に示します。

CKクロック・ネットクラスは、差動信号です。他の4つのクロックネットクラス（DQSB0-3）は、シングルエンドです。CKクロック・ネットクラスは、逆相、正相信号の長さがそろった差動信号として配線される必要があります。差動インピーダンスは、制御されなければなりません。

表 4. クロック・ネットクラス

クロック・ネットクラス	説明	DMSoCピン名
CK	DDR2インターフェイスのクロック	DDR_CLKO DDR_CLKO_#
DQSB0	バイト0用のDQS	DDR_DQS[0]
DQSB1	バイト1用のDQS	DDR_DQS[1]
DQSB2	バイト2用のDQS	DDR_DQS[2]
DQSB3	バイト3用のDQS	DDR_DQS[3]

7.4.1.2 信号ネットクラス

表 5に、ネットクラスを参照として使用する5つの追加のネットクラスを示します。一般的に言って、ネットクラス内の各ネットとそれに関連したクロック・ネットクラスは、互

いにスキューがあつていなければなりません。各クロックドメイン内で、スキューを最小化し、信号間のクロストーク、特に異なったクロックドメインの信号間のクロストークを最小化することが目的です。

表 5. 信号ネットクラス

ネットクラス	関連するクロック・ネットクラス	説明	DMSoCピン名
ADDR_CTRL	CK	バンクアドレス、アドレス、制御	DDR_BA[0-2] DDR_A[0-13] DDR_CS DDR_CAS DDR_RAS DDR_WE DDR_CKE
DQB0	DQSB0	バイト0用のDQ	DDR_D[0-7] DDR_DQM[0]
DQB1	DQSB1	バイト1用のDQ	DDR_D[8-15] DDR_DQM[1]
DQB2	DQSB2	バイト2用のDQ	DDR_D[16-23] DDR_DQM[2]
DQB3	DQSB3	バイト3用のDQ	DDR_D[24-31] DDR_DQM[3]

7.4.1.3 トレース間隔およびBGAエスケープについて

次節で述べるネットクラス配線ルールは、ネットクラスにおける最小トレース間隔に対する要求を与えるものです。BGAデバイスの近傍では、トレースは互いにごく近接して（多くの場合、最低トレース間隔で）配線しなければならないことは認識されています。最低間隔での配線は、最小にしなければならない、各ネットにおいて最小間隔で配線された長さがトータルで500milを超えないようにしなければなりません。

7.5 ネットクラス配線ルール

7.5.1 CKとADDR_CTRL

このネットクラスは、完全にDM644xからDDR2デバイスに向けてドライブされるものです。各ネットは「Tバランス」配線です（図 12参照）。理想的には、CKネットクラスのPCB遅延は、ADDR_CTRLネットクラスの遅延と同じです。CKネットクラスとADDR_CTRLネットクラスのすべてのネットは、互いに長さが100mil以内にマッチしていなければなりません。CKネットクラスのネットは、差動ペアとしてレイアウトされなければなりません。CKネットクラスの差動ペア間のトレース間隔は、必要な差動インピーダンス

を満足するようにしなければなりません。他のトレースは、CKネットクラスのトレースから、センター間で最低 $4w$ あけなければなりません（ここで、 w = 最低トレース幅/スペース）。ADDR_CTRLネットクラスのトレースは、互いにセンター間で最低 $3w$ あけなければなりません。他のネットクラスのトレースは、ADDR_CTRLネットクラスから $4w$ は離さなければなりません。Aセグメントの長さを最大化し、AからBおよびAからCに至る全長を最小化しなければなりません。

7.5.2 DQSBn と DQBn

4つのDQSと4つのDQバイトを構成する8つのネットクラスは、同じ配線ルールが適用されます。個別のバイト・ネットクラスでは、互いにスキューがマッチしなくてもかまわないことに注意してください。スキューのマッチは、DQBnネットクラスとそれに関連するDQSBnネットクラスの間だけで要求されます。図 13は、DQSBnとDQSBネットのトポロジーを示します。

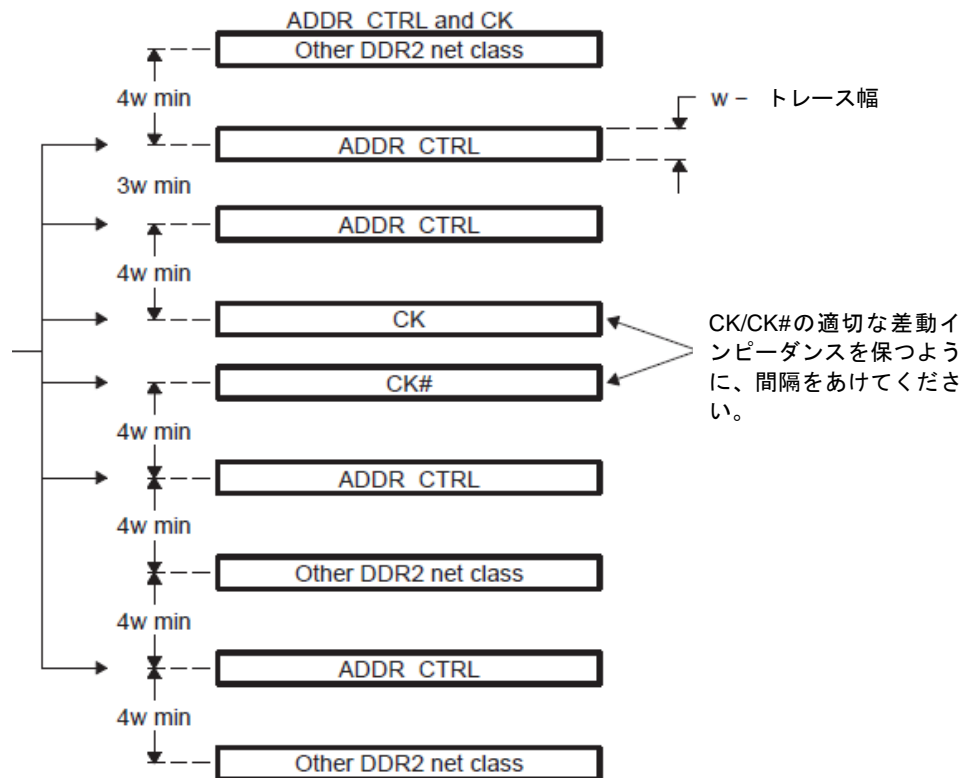
これらのネットクラスは、ライトのときはDM644xからドライブされ、リードのときはDDR2デバイスからドライブされます。DQSは、データストロープとして動作し、それは常

にDQと共にドライブされます。ライトサイクルの場合、DQのビット・セルの途中でDQSが変化します。リードサイクルの場合、DQSはDQと同じタイミングで変化します。このインターフェイスでは、リード中のDQS⇔DQ間のクロストークにより敏感です。データマスクビット(DDR_DQM[n])は、リード中、固定されています。そのため、リードでのクロストークのパフォーマンスを改善するために、これをDQとDQS間のシールドとして使用することができます。

理想的には、DQSBnネットクラスのPCB遅延は、DQBnネットクラスの遅延と同じです。DQSBnとDQBnネットクラスのすべてのネットは、互いに長さが100mil以内にマッチしていなければなりません。許容される最長トレースは、DQSBnとDQBnネットクラスの最長マンハッタン距離と同じです。他のトレースは、DQSBnネットクラスから、センター間で最低 $4w$ あけなければなりません（ここで、 w = 最低トレース幅/スペース）。DQBnネットクラスのトレースは、互いにセンター間最低 $3w$ あけなければなりません。他のネットクラスのトレースは、DQBnネットクラスから $4w$ は離さなければなりません。

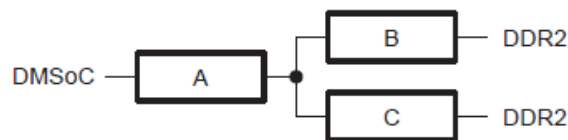
配線間隔に対する要求

これらのネットは、互いにスキューがマッチしていなければなりません。マッチングおよびトポロジーに対する要求を参照してください。



マッチングおよびトポロジーに対する要求

ADDR_CTRL and CK



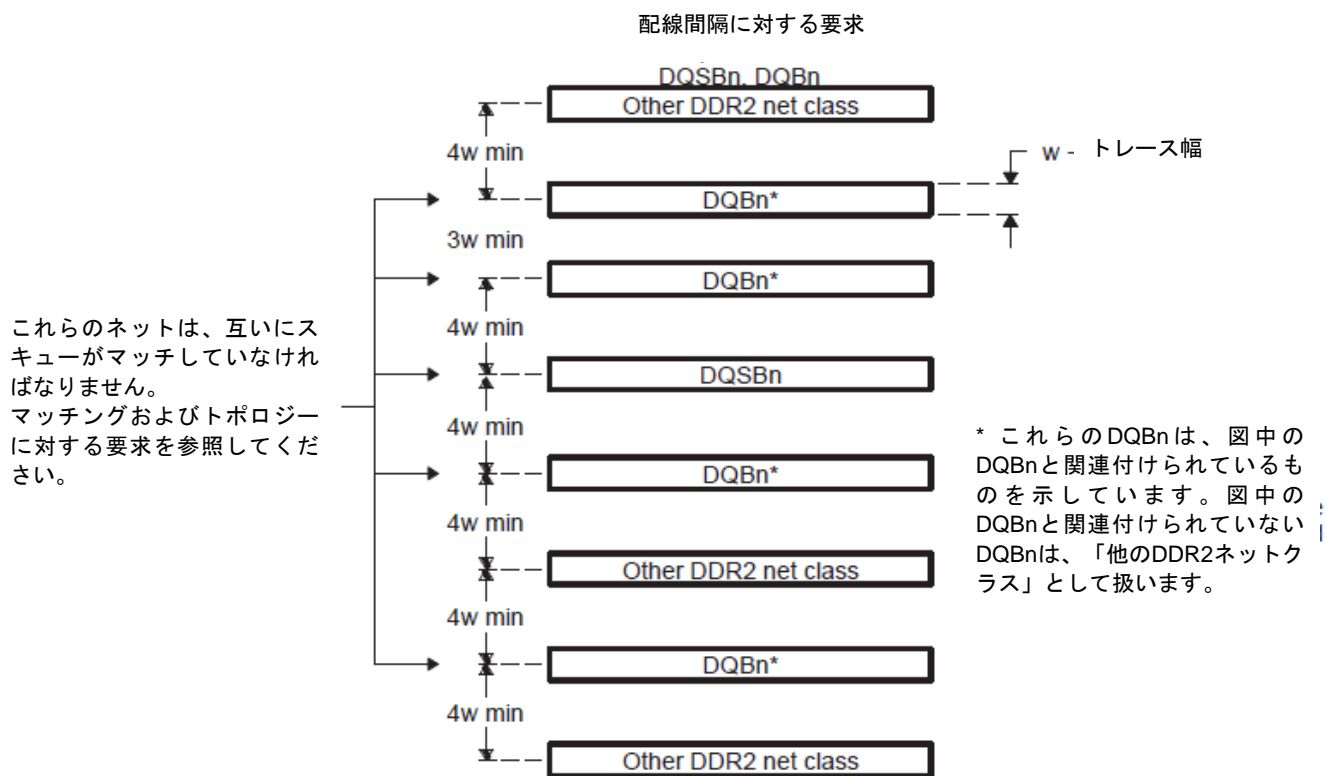
ADDR_CTRLとCKについて：

1. Bの長さCの長さは、100mil以内でマッチしていなければなりません。
2. ADDR_CTRLネットクラスにおいて、AからCへの長さとAからBへの長さは、100mil以内でマッチしていなければなりません。
3. 直列終端抵抗が必要ならば、それはDMSoCデバイスのできるだけ近くに配置しなければなりません。
4. 上記の仕様を満たす限り、Aの長さを最大化しなければなりません。

CKについての追加事項：

5. CKの長さは、CK#の長さ25mil以内でマッチしていなければなりません。

図 12. ADDR_CTRLとCKネットクラスにおける、配線間隔、マッチングおよびトポロジーに対する要求



DQBnとDQSBnについて：

1. DQSB0とDQB0ネットクラス内で、Eの長さは100mil以内でマッチしなければなりません。
2. DQSB1とDQB1ネットクラス内で、Eの長さは100mil以内でマッチしなければなりません。
3. DQSB2とDQB2ネットクラス内で、Eの長さは100mil以内でマッチしなければなりません。
4. DQSB3とDQB3ネットクラス内で、Eの長さは100mil以内でマッチしなければなりません。
5. 直列終端抵抗が必要ならば、データビット (DDR_D[n]) についてはできるだけDDR2の近くに、データマスク (DDR_DQM[n]) についてはできるだけDSPの近くに配置しなければなりません。

図 13. DQBnとDQSBnネットクラスにおける、配線間隔、マッチングおよびトポロジーに対する要求

ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJおよびTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかご確認下さい。全ての製品は、お客様とTIとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIの標準契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは是認するということの意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、且つその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、且つ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

なお、日本テキサス・インスツルメンツ株式会社半導体集積回路製品販売用標準契約約款をご覧ください。

<http://www.tij.co.jp/jsc/docs/stdterms.htm>

Copyright © 2006, Texas Instruments Incorporated

日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光が当たる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上