

CDCLVP110のPCBレイアウト・ガイドライン

Gerhard Kaser

High Performance Analog/CDC

概要

このアプリケーション・ノートでは、TI製品CDCLVP110の電氣的・熱的パフォーマンスの各種考慮事項について説明します。また、実際のシステム・アプリケーションでの電力消費を最適化する方法とともに、PCBレイアウトについての推奨事項も紹介します。最後に、ワースト・ケースのチップ温度を概算する方法の例をいくつか示します。

目次

1. はじめに.....	1
2. CDVLP110のPCBレイアウトを最適化する	1
2.1 電氣的パフォーマンスに関するPCBレイアウトの考慮事項	1
2.2 熱的パフォーマンスに関するPCBレイアウトの考慮事項.....	2
3. 電力消費とチップ温度.....	3
例1: 最大消費電力とワースト・ケースのチップ温度.....	3
例2: 3.3-V V_{CC} での標準的な消費電力	3
3.1 デバイスの消費電力を低減する方法.....	4
4. 要約.....	4
5. 参考文献.....	4

図目次

図 1 PCBレイアウトの提案例	2
図 2 出力段と終端の概略図	3

1. はじめに

クロックとデータ転送は、ギガビット範囲に近づきつつあります。ギガビットという条件を満たすために必要となるのが、最新のプロセスと、形状の小型化です。CDCLVP110は、SiGeプロセスで製造されています。外形サイズが小さいため、ダイのサイズも小さくなっています。ダイ領域が小さくなるほど、接合部(ジャンクション)から周囲への熱抵抗は増加します。PCBレイアウトを最適化すれば、3.5GHz動作に必須の高周波パフォーマンスが可能になるだけでなく、チップから周囲へ伝わる熱が抑えられることにもなります。

2. CDVLP110 の PCB レイアウトを最適化する

2.1 電氣的パフォーマンスに関する PCB レイアウトの考慮事項

一般的に、クロック速度が最大3.5GHz、標準的な立ち上がり/立下り時間が150psになるような高速システムには、高周波(RF)型のPCBレイアウトが必要です。50Ωを超える伝送線路同士のインピーダンス整合は、グラウンド・プレーンを使用して行うと最適な結果が得られます。また、電源接続のインピーダンスを低減するには、 V_{CC} プレーンが推奨されます。これは、デバイスの電源(V_{CC})と終端電圧($V_{CC} \cdot 2V$)をひとつのレイヤ内に配線するという「スプリット・プレーン」技法で実現できます。最高のクロック信号品質と高速な遷移時間を実現するには、高周波積層部品を信号レイヤで使用します。CLK0/CLK0z (CLK1/CLK1z)入力ペアの終端抵抗は、CDCLVP110デバイスのリード線に可能な限り近づけて配置する必要があります。Qn/Qnz出力は、LVP110に駆動されるレシーバの入力ピンの近くにある50Ω伝送線路端で終端接続するのが最適です。図1はCLK0、CLK0zの引き回し例と、Q4、Q4zの引き回し例です。インピーダンスが途切れないように、クロック信号線にはビアを設けないようにする必要があります。また高速信号の引き回しは、部品側(最上部または最下部のレイヤ)で行う必要があります。

す。これは、標準的なPCBレイアウトで、高速信号線を内部レイヤに配線したり、EMI(不要輻射)低減のために2つのグラウンド・レイヤ間に埋め込んだりすることが推奨されているのとは異なります。ただし、ここで述べる差動信号伝送ではこの影響(EMI)が打ち消されます。デカップリング・コンデンサ100nF(図1のC2とC4)と、(NPOまたはCOG等の)クラス1の誘電体型の低インダクタンス多層セラミック・チップ・コンデンサ100pF(図1のC1、C3、C5)を組み合わせ使用することが推奨されます。

2.2 熱的パフォーマンスに関するPCBレイアウトの考慮事項

TIのCDCLVP110は、-40°C~85°Cの範囲で動作するという性質を持っています。このデバイスは、周囲温度155°C(チップ温度約180°C)で240時間動作させるという耐用テストを誤動作なくパスしました。標準的なアプリケーション周囲温度を55°Cと仮定して、アレニウスの式を当てはめると、理論的な加速係数は325になります。これは、デバイスが78,000時間連続で駆動されるのと同じこととなります(活性化エネルギーを0.7eVとして計算した場合)。信頼性を保つために、チップ温度は可能な限り低く保つことが推奨されます。経験則として、平均的なチップの温度は、その耐用年数にわたって110°Cを超えないようにする必要があります。

CDCLVP110のデータ・シート(文書番号SCAS681)にある「パッケージの熱インピーダンス(package thermal impedance)」の表に記載された、接合部対周囲熱抵抗(θ_{JA})のワースト・ケース値は、JESD51-7仕様の高K基板、信号レイヤ2つ、プレーン・レイヤ2つ(2s2p)で構成されるモデリングにより生成されました。これらの値は、チップ温度の大まかな見積もりとしてのみ使用できます。周囲空気やPCB等の外部抵抗はパッケージの抵抗に対して直列に存在するため、パッケージ側から見て外部の要因が接合部温度に大きく影響することになります。JESD51-7仕様は、異なるパッケージ・タイプを比較するための、PCBレイアウト用の合意規格です。アプリケーションの熱抵抗は似ていることもあります、異なる場合もあります。図1は、最高の電気的・熱的パフォーマンスを実現するために最適化されたPCBレイアウトの例です。リード・フレーム(銅)の熱抵抗は、プラスチックの熱抵抗よりも大幅に低くなっています。Vccの接続部に指定された5本のリード線は、チップから熱を運び出すという付加的な利点も備えています。PCBのサーマル・ビアを利用すれば、熱はパワー・プレーンとグラウンド・プレーンを伝わり、特殊なエッジ・コネクタを通してデバイスから放出され、周辺環境に放散されます。0.3mm Φ のビアを使用してVcc、グラウンド(V_{EE})、Vtermに接続することにより、低インピーダンスと低熱抵抗の両方を備えた接続部が得られます。さらに、最上部レイヤと最下部レイヤが外部に露出していれば(つまりはんだマスクに覆われていなければ)、この両方のレイヤの配線を熱伝達に利用することもできます。必要に応じて、デバイス底部の銅エリアを露出させて熱グリスを塗布し、さらに θ_{JA} を低減させることもできます。これは、ファンの使用が不可能なシステムでの代替的な手段といえます。空気流が容易に利用できるシステムでは、 θ_{JA} が低減されるだけでなく、周囲温度も低下します。

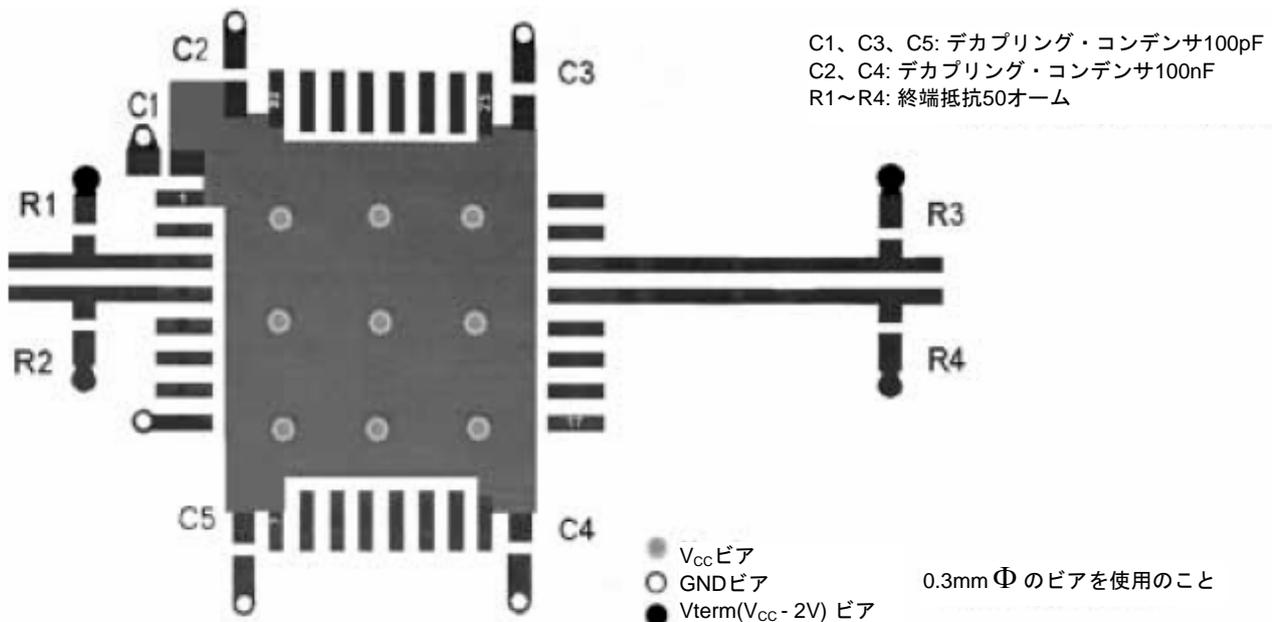


図1 PCBレイアウトの提案例

3. 電力消費とチップ温度

セクション2.1で述べた外部的な要因がすべて影響すると考えれば、チップ温度の見積もりは非常に困難な作業になります。パッケージ・データ、消費電力、環境温度等のワースト・ケース値のみを利用するという古典的な方法を使用した場合、予想される結果は悲観的なものにしかなりません。

例 1: 最大消費電力とワースト・ケースのチップ温度

データ・シート上の限界値は次の通りです。

1. 内部: I_{DD} の最大値 85mA
2. 出力 + 内部: I_{DD} の最大値 380 mA
3. 差分 (内部分を除く出力):
 $380\text{mA} - 85\text{mA} = 295\text{mA}$ つまり、1出力あたり最大15mA (出力数は20)

$$P_{\text{int}} = 3.8 \text{ V} \times 85\text{mA} = 323 \text{ mW}$$

すべての出力は、 $V_{CC} - 2\text{V}$ に対して 50Ω で終端接続する必要があります。

$$P_{\text{outputs}} = (295\text{mA} \times 2\text{V}) - 20(15 \text{ mA})^2 \times 50\Omega$$

$$P_{\text{outputs}} = 590 \text{ mW} - 225 \text{ mW} = 365 \text{ mW}$$

$$P_{\text{Device}} = 323 \text{ mW} + 365 \text{ mW} = 688 \text{ mW (ワースト・ケース値)}$$

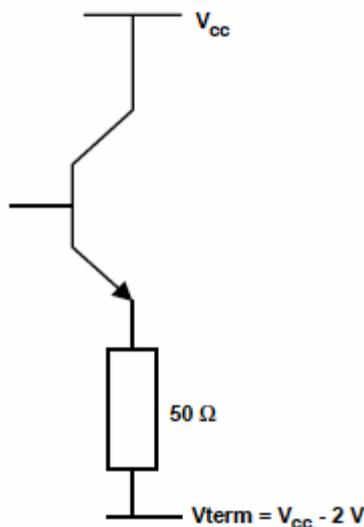


図 2 出力段と終端の概略図

θ_{JA} のワースト・ケース値(空気流なし): 78° C/W

$$\text{差分} T = 0.688 \text{ W} \times 78^\circ \text{ C/W} = 53.6^\circ \text{ C}$$

したがって、チップ温度は周囲温度よりも最大 54°C 高くなります。

例 2: 3.3-V V_{CC} での標準的な消費電力

内部: $I_{DD} = 60\text{mA}$

V_{term} と比較した標準的な V_{OL}/V_{OH} :

$$0.5 \text{ V}/0.9 \text{ V}$$

平均的な $I_{\text{Load}} = 0.7 \text{ V}/50\Omega = 1$ 出力あたり14mA

$$P_{\text{int}} = 3.3 \text{ V} \times 60 \text{ mA} \sim 200 \text{ mW}$$

$$P_{\text{outputs}} = 20(14 \text{ mA} \times 2\text{V}) - 20(14 \text{ mA})^2 \times 50\Omega$$

$$P_{\text{outputs}} = 560 \text{ mW} - 196 \text{ mW} \sim 360 \text{ mW}$$

$$P_{\text{Device}} = 200 \text{ mW} + 360 \text{ mW} = 560 \text{ mW}$$

差分 $T = 0.56 \text{ W} \times 78^\circ \text{C/W} = T_A$ より 44°C 高い値 (空気流がない場合)

差分 $T = 0.56 \text{ W} \times 68^\circ \text{C/W} = T_A$ より 38°C 高い値 (空気流500 LFMの場合)

3.1 デバイスの消費電力を低減する方法

10ペアの出力すべてを必要とするわけではないアプリケーションでは、未使用の出力を 50Ω で終端処理せず、オープンの状態にしておく必要があります。上記の計算例は、差動出力ペアひとつにつき、デバイス内部で 36 mW 、プラス終端抵抗上(デバイス外部)で 20 mW という範囲で省電力が可能になることを示しています。システムを 2.5 V で動作させた場合、内部の(出力トランジスタなしの)電力損失が標準値で $2.5 \text{ V} \times 56 \text{ mA}$ 、つまり 140 mW にまで低減されます。 3.3 V システムの標準値である 200 mW (例2)と比較すると、デバイスの消費電力は約 60 mW 低くなります。

4. 要約

ワースト・ケースの条件(例1)では、チップの最大温度が T_A より 54°C 高くなります。アプリケーションでの周囲温度が 60°C より低いかぎり、特殊なPCBレイアウトや空気流の必要は生じません。 3.3 V 環境(例2)では、 T_J が T_A より約 40°C 高くなるため、 70°C という温度でデバイスをその耐用年数にわたって使用することが可能になります。 T_A が継続的に 85°C になり、しかもファンが使用できないシステムでは、セクション2.2で提案されているPCBレイアウトを適用して、 θ_{JA} とチップ温度を $5^\circ \text{C} \sim 10^\circ \text{C}$ 分低減することが必須になります。

セクション2.1に記述されているようにデバイスの消費電力を低減することも、推奨される代替策として考慮する必要があります。

5. 参考文献

1. Filtering Techniques: Isolating Analog and Digital Power Supplies in TI's PLL-Based CDC Devices, Texas Instruments literature number SCAA048
2. How Not to Decouple High-Speed OP-Amps, Texas Instruments literature number SLOA069.
3. Package Thermal Characterization Methodologies, Texas Instruments literature number SZZA003.
4. Thermal Derating Curves for Logic-Products Packages, Texas Instruments literature number SZZA013A.
5. EIA/JEDEC STANDARD, JESD51-7: High Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages

ご注意

日本テキサス・インスツルメンツ株式会社(以下TIJといひます)及びTexas Instruments Incorporated(TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといひます)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従ひまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかご確認下さい。全ての製品は、お客様とTIJとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従ひ販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従ひ合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは承認をすることを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション(例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの)に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2009, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。

弊社出荷梱包単位(外装から取り出された内装及び個装)又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で(導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使用すること。

マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。

前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

温度: 0 ~ 40 °C、相対湿度: 40 ~ 85%で保管・輸送及び取り扱いを行うこと。(但し、結露しないこと。)

直射日光があたる状態で保管・輸送しないこと。

3. 防湿梱包

防湿梱包品は、開封後は個別推奨保管環境及び期間に従ひ基板実装すること。

4. 機械的衝撃

梱包品(外装、内装、個装)及び製品単品を落下させたり、衝撃を与えないこと。

5. 熱衝撃

はんだ付け時は、最低限260 °C以上の高温状態に、10秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)

6. 汚染

はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質(硫黄、塩素等ハロゲン)のある環境で保管・輸送しないこと。はんだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上