

CDCF5801を利用した位相アライメント/調整の一般的なガイドライン

Firoj Kabir

CDC/HPA

概要

通常のPLLとは異なり、CDCF5801にはフェーズ・アライナ(位相アライメント回路)という機能が実装されています。このフェーズ・アライナは、周波数が異なる2つのクロックに対しても位相のアライメントを可能にします。位相アライメントは次のような場合に有効です。

- ・ 2つのクロック・バッファ出力の位相が揃う必要のあるアプリケーション
- ・ SERDESとのデータ同期が必要となるアプリケーション
- ・ 静的にまたは動的に位相を調整する必要のあるアプリケーション

目次

1. はじめに.....	2
1.1 フェーズ・アライナの動作原理.....	2
2 アプリケーション.....	2
2.1 クロック逡倍回路としてのCDCF5801.....	2
2.2 ゼロ遅延クロック逡倍回路としてのCDCF5801.....	2
2.3 2つの異なるクロック・ドライバの出力の位相整合.....	3
2.4 クロック位相の前倒しと遅延.....	5
2.5 データとクロックの同期を取る.....	5
3 CDCF5801の出力の構成.....	7
4. 電源のデカップリング.....	8
5 結論.....	9
6 参考文献.....	9

図目次

図 1 単純なクロック逡倍回路とその波形.....	2
図 2 ゼロ遅延クロック逡倍回路とその波形 (CLKOUTBからの帰還).....	3
図 3 ゼロ遅延クロック逡倍回路とその波形(CLKOUTからの帰還).....	3
図 4 2つのクロック・バッファの出力位相の整合を取る.....	4
図 5 CDCF5801を使用した場合と使用しない場合の波形.....	4
図 6 マイクロコントローラを併用したCDCF5801.....	5
図 7 最初の出力位相を基準とした、CDCF5801の出力位相の位置.....	5
図 8 FPGAクロックでSERDESを駆動する.....	6
図 9 外部のクリーン・クロックを使用したSERDESの駆動、およびデータとクロックの同期.....	6
図 10 外部クロックによるジッタの除去とSERDESの駆動、およびその波形.....	7
図 11 CDCF5801を使用してLVCMOS/LVTTLレシーバを駆動する.....	7
図 12 CDCF5801を使用してLVPECLレシーバを駆動する.....	8
図 13 CDCF5801を使用してLVDSレシーバを駆動する.....	8
図 14 アナログ電源向けのデカップリング例.....	9

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本 TI) が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本 TI による和文資料は、あくまでも TI 正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討及びご採用にあたりましては、必ず正規英語版の最新資料をご確認下さい。TI 及び日本 TI は、正規英語版にて更新の情報を提供しているにも関わらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。

SCAA070B 翻訳版

最新の英語版
<http://www.ti.com/lit/scaa070>

1. はじめに

CDCF5801は、位相アライメント/調整機能を備えた低ジッタのクロック通倍器(×1、×2、×4、×8)であり、広い入力周波数範囲(12.5MHz~240MHz)ならびに出力周波数範囲(25MHz~280MHz)を備えています。入力はシングルエンド (LVPECL振幅も受信可能)、そして出力は差動出力(LVTTL、LVPECL、HSTL、LVDS等の信号レベルを構成可能)です。無風条件下で-40°C~85°Cの温度範囲で動作するように設計されています。フェーズ・アライナ用には2つの入力ピンが用意されており、これらのピンを使用して、出力クロックの位相を細かく制御することができます。

1.1 フェーズ・アライナの動作原理

CDCF5801は、基準クロック (REFCLK) 信号を通倍する機能を持ち、加えてフェーズ・アライナを利用してCLKOUT/CLKOUTBの位相を1.3 mUI以下の単位で進ませる、あるいは遅らせることができます。DLYCTRLの立ち上がりエッジのタイミングでLEADLAG入力にLowが検出されたとき、出力クロックはDLYCTRLピンの立ち上がりエッジごとに1.3 mUIあるいはそれよりも細かいステップ幅で遅れます。同様に、LEADLAGピンがHighのときは、DLYCTRLピンの立ち上がりエッジごとに、1.3 mUIあるいはそれよりも細かいステップ幅で出力クロックは進みます。このユニークな機能により、CDF5801は、入力クロックと出力クロック間、異なるバッファから出力される2つのクロック間、あるいはデータとクロック間で位相のアライメント(ゼロ遅延)を可能にします。また、LEADLAGピンをHighまたはLowに保ちながらDLYCTRLピンに適切な数のエッジを与えることにより、固定遅延を実現させることも可能です。

2 アプリケーション

CDCF5801は、アプリケーションに合わせた形で、様々な構成で利用することが可能です。

2.1 クロック通倍器としてのCDCF5801

CDCF5801は、外部にフィードバック経路を必要としないシンプルなクロック通倍器(×2、×4、×8)として動作させることができます。この場合、入力クロックと出力クロックとの間には位相の遅延が生じます。なお、入力クロックには発振回路(oscillator)などが使用されます。

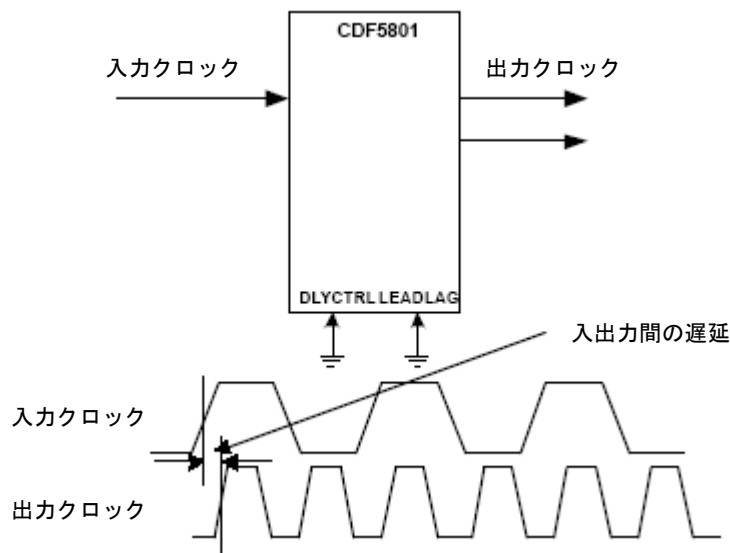


図1 シンプルなクロック通倍器とその波形

2.2 ゼロ遅延クロック通倍器としてのCDCF5801

フェーズ・アライナの2つの入力(LEADLAGとDLYCTRL)を使用し、それぞれの配線の長さを揃えることで、CDCF5801をゼロ遅延クロック通倍器として使用できます。この場合は、入力クロックと出力クロックがそれぞれDLYCTRLピンとLEADLAGピンに接続されます。

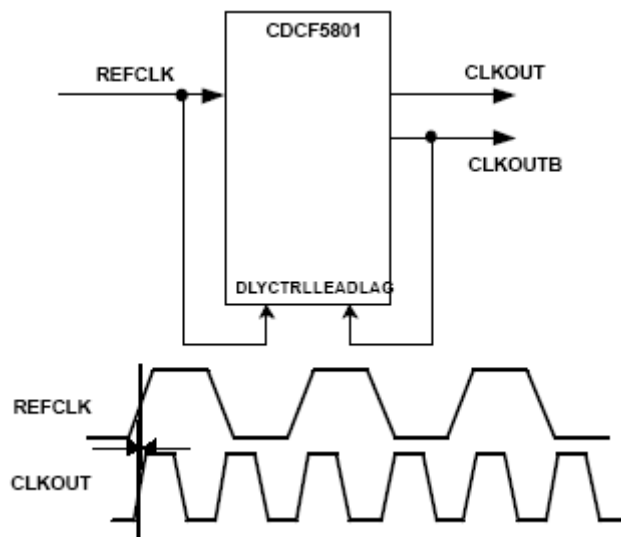


図 2 ゼロ遅延クロック遷倍器とその波形 (CLKOUTBからの帰還)

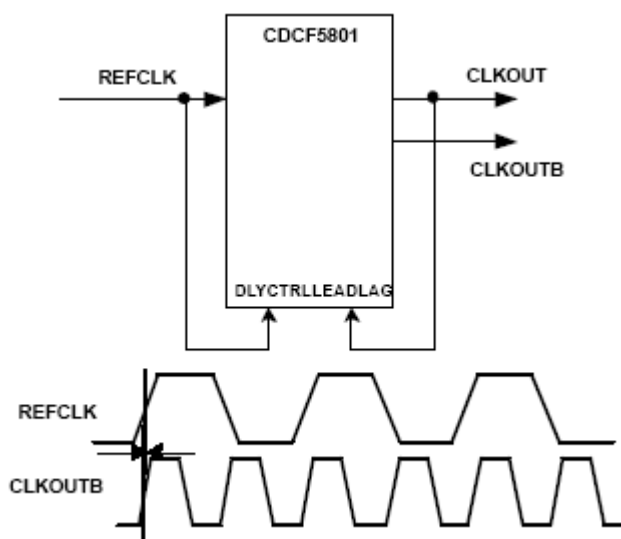


図 3 ゼロ遅延クロック遷倍器とその波形 (CLKOUTからの帰還)

2.3.2 つの異なるクロック・ドライバの出力間の位相アライメント

CDCF5801は、2つのクロック・バッファ間の位相を揃えることもできます。この機能は、2つのクロック・バッファが並列に使われ、バッファの持つ入出力間の遅延がアプリケーションの要件よりも大きい場合などに必要となります。

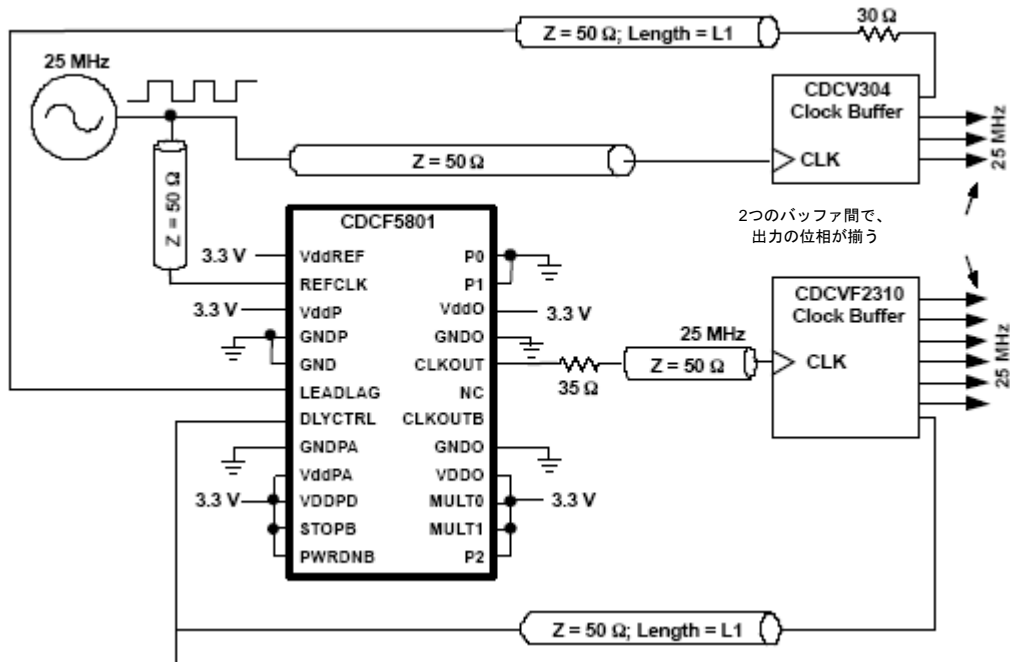


図4 2つのクロック・バッファの出力位相を揃える

図4では、CDCV304とCDCVF2310の2つのクロック・バッファが並列に配置されています。CDCF5801のフェーズ・アライナは、これらバッファ出力の2つの位相関係を(LEADLAG入力とDLYCTRL入力を使って)比較し、CDCF5801の出力位相(CDCVF2310の入力)を進めるか、あるいは遅らせます。その結果、2つのクロック・バッファの出力の位相は揃います。CDCF5801を使用した位相アライメントの利点は、比較的長い線路をフェーズ・アライナの入力に配置しても問題ないという点です。

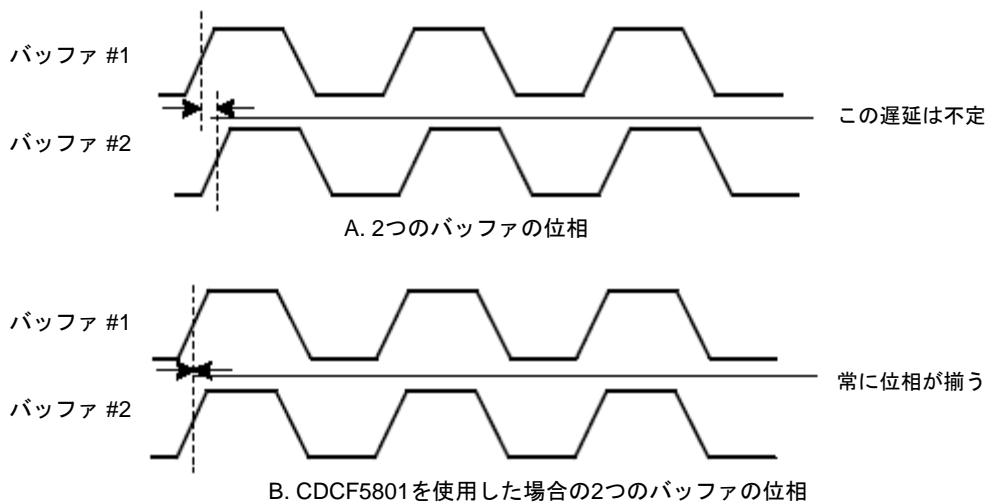


図5 CDCF5801を使用した場合と使用しない場合の波形

図4では、25MHzのクロック源がどちらのバッファにも使われています。しかしCDCF5801は、別々のクロック源が割り当てられている場合でもクロック・バッファ出力を揃えることが可能です。この場合は、両クロック間の周波数変動(variation)がppmオーダー程度に小さくしなければなりません。DLYCTRLとLEADLAGへ入力させるクロック信号の周波数関係は、互いに整数倍とすることもできます。CDCF5801で周波数を通倍する場合は、CDCF5801で駆動される側のバッファ出力(上の例ではCDCVF2310)を分周し、DLYCTRLピンに与える周波数をLEADLAGピンへ与える周波数と同じかそれ以下とする必要があります。

2.4 クロック位相を進ませる或いは遅らせる

電源投入後の入出力クロック間の遅延は不定です。ただし、このときの出力クロックの位置を基準として、クロックの出力位相を細かく進めたり遅らせたりすることが可能です。簡単なマイクロコントローラを使用して必要な数のクロック・パルスを生成し、出力のクロック位相を移動させることができます。例えば、電源投入直後の位置を基準として出力クロックの位相を90度(クロック周期の1/4)進める場合は、マイクロコントローラで、DLYCTRLピンへ198個のクロック・パルスを発生し(通倍比×1でクロック周波数200MHzであると仮定した場合、CDCF5801のデータ・シートの表1を参照)、同時にLEADLAGピンへHIGHを入力します。このステップ幅は、クロック出力周波数とデバイスの動作モードによって異なります。

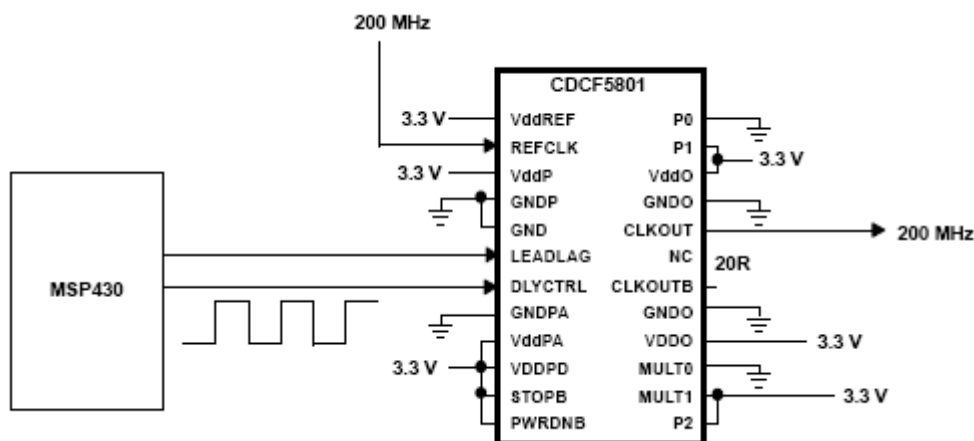


図6 マイクロコントローラを使用したCDCF5801の制御

必要なパルスを送信した後にリセット等は必要ありません。

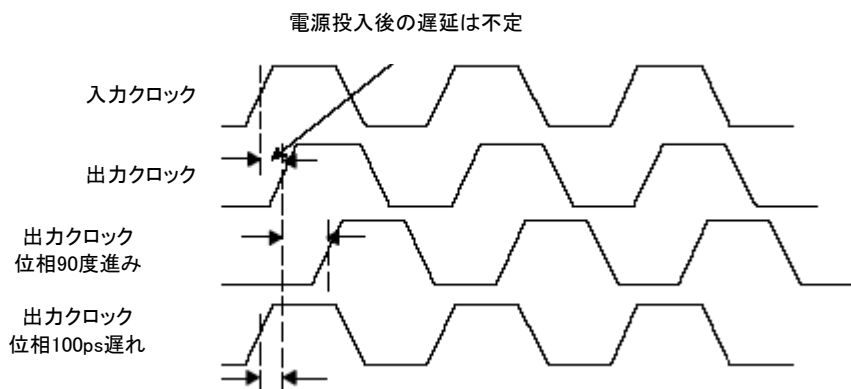


図7 電源投入直後の出力位相とCDCF5801の出力位相との関係

2.5 データとクロックの同期を取る

多くのアプリケーションでは、FPGAがSERDES(シリアライザとデシリアライザ)に接続されますが、SERDESを使ったシステムが正しく動作するためには、多くの場合、クロックにはクリーン*であることが要求されます。

*「クリーン」とはタイミングに影響を及ぼすジッタなどが少ないことを言う。

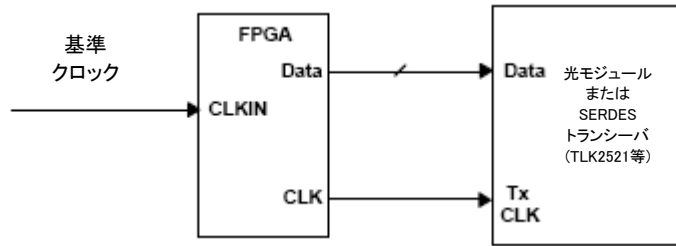


図 8 FPGAクロックでSERDESを駆動する

SERDESがクリーンなクロックを必要としない場合、あるいはFPGAからクリーンなクロックを供給することが可能な場合には、図8の構成は問題ありません。実際のアプリケーションでは、FPGAからの信号のスイッチングに伴うノイズと、長い伝送線路で生じるジッタがSERDESのTXCLKに影響し、結果、送信信号にアイ・パターンの劣化(transmit eye degradation)が発生します。

現実には、FPGAで発生させたクロックには、SERDESで使用するには大きすぎるノイズが含まれています。したがって、最良のビット・エラー・レートでSERDESを動作させるためには、FPGAからクリーンなクロックを供給するか、このFPGAのクロックを使わずに、別のクロック源からクリーンなクロックを供給する必要があります。そこで別のICからクロックを供給するとした場合は、データとクロックをSERDES端で同期させることが大きな課題となります。しかしCDCF5801の位相アライメント機能を使用すれば、この同期の問題は容易に解決できます。

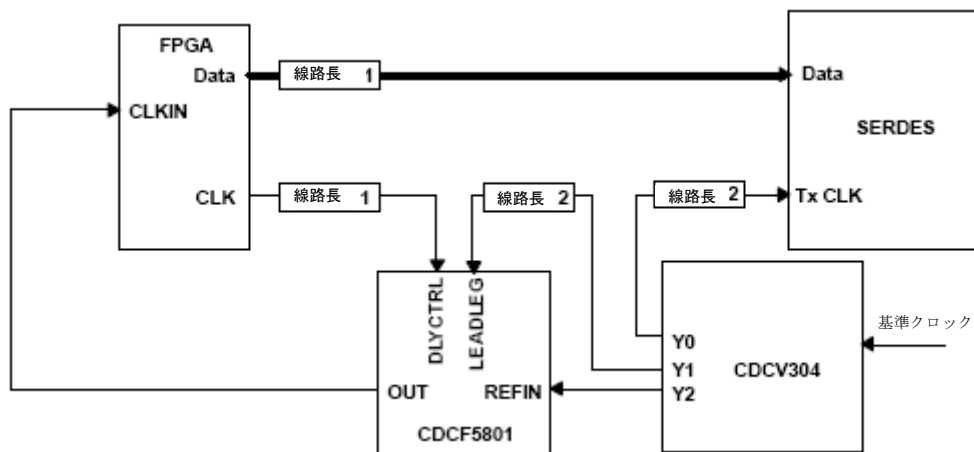


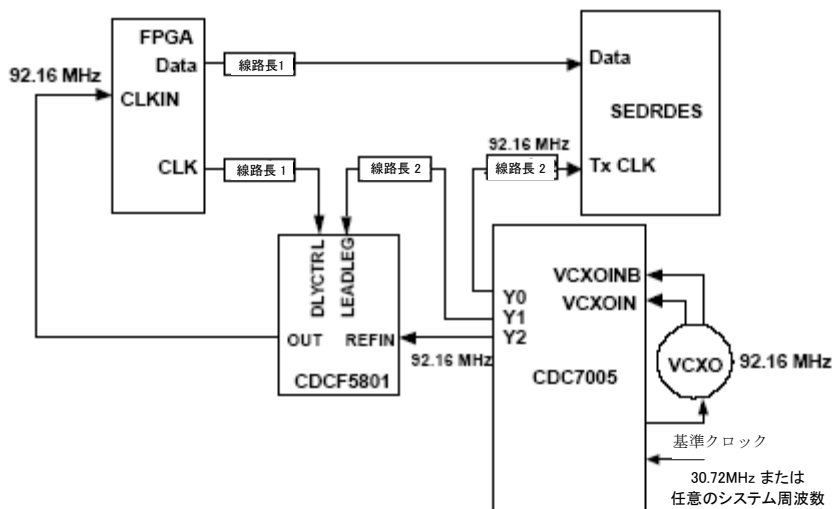
図 9 外部クロックを使用した場合のSERDESとの接続、およびデータとクロックの同期

図9では、クリーンなクロックがCDCV304(付加ジッタ (additive jitter) の少ないクロック・バッファ)からSERDESに供給されています。CDCF5801を使うことによって、データとクロックはSERDES端で位相の同期が取られますが、配線の長を揃えることも必要です。つまり、CDCF5801の位相アライメント動作により、LEADLAGピンのクロックとDLYCTRLピンのクロックは常に揃った状態となりますが、加えてデータ線路長(FPGAからSERDESまで)とクロック線路長(FPGAからDLYCTRLまで)を揃え、2つのクロック間(CDCV304～LEADLAG間、およびCDCV304～TXCLK間の)の線路も揃えることによって、データとクロックはSERDES端で位相の同期が取られることになります。

多くのアプリケーションでは、スキューの調整された高価なクロックが使用されています。しかしこの種のクロックのジッタの仕様は、必ずしもSERDESの要件を満たすものとは限りません。また、出力スキューが静的に固定されているため、温度や電源電圧やプロセスばらつき(process variations)が原因でFPGAのCLKIN～CLK間の遅延が変動したりばらついたりすると、正常な動作が期待できなくなります。

一方、CDCF5801はデータとクロック間の位相を動的に調節して同期を取ります。そのため、どのような遅延変動(delay variation)でも調整可能です。

ノイズの多いシステムの中でクロックを逡倍する必要がある場合は、PLLを利用したジッタ・クリーナ(外付けVCXOタイプのCDC7005など)を使用してSERDESに必要なクロック(の逡倍と、位相ノイズの低いクロック)を供給することが可能です。



データとTXCLKは同期が取れている

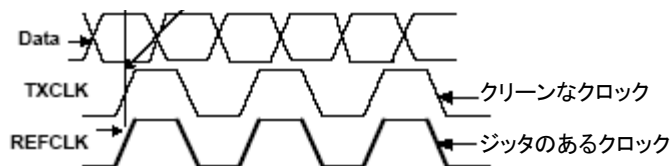


図 10 外部クロックによるジッタの除去とSERDESの駆動、およびその波形

3 CDCF5801 の出力の構成

CDCF5801の出力は差動形式です。この差動出力は相補的に構成されたもので、真の差動形式ではありません。したがって、出力はLVCMOS (CLKOUTとCLKOUTBは180度の位相差)、LVPECL、LVDS、その他様々な信号レベルを構成することができます。

次に示す例では、抵抗器を使用して各種信号レベルとそのコモン・モード電圧を実現するための方法を示します。

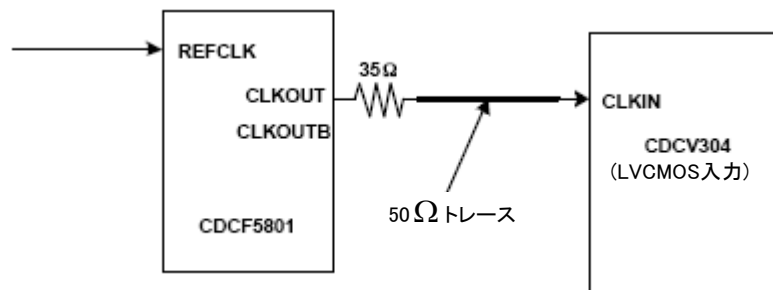


図 11 CDCF5801を使用してLVCMOS/LVTTLレシーバを駆動する

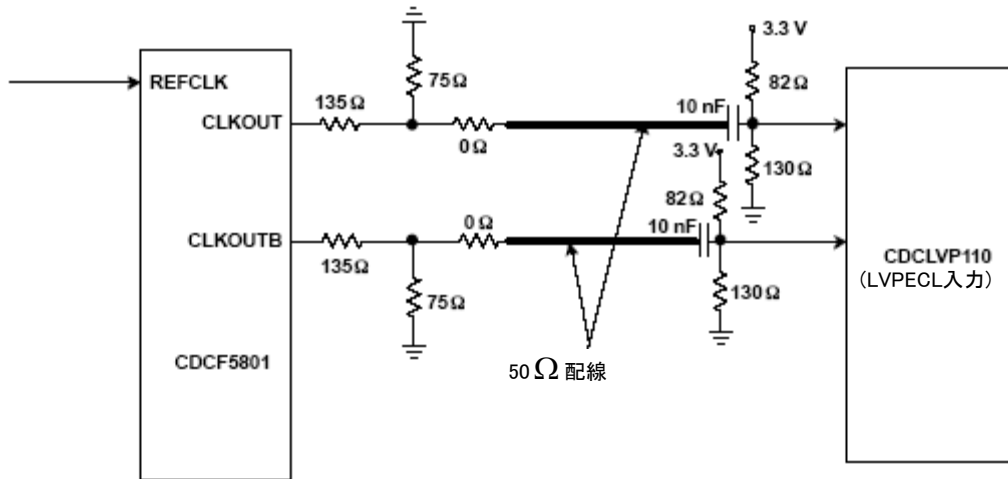


図 12 CDCF5801を使用してLVPECLレシーバを駆動する

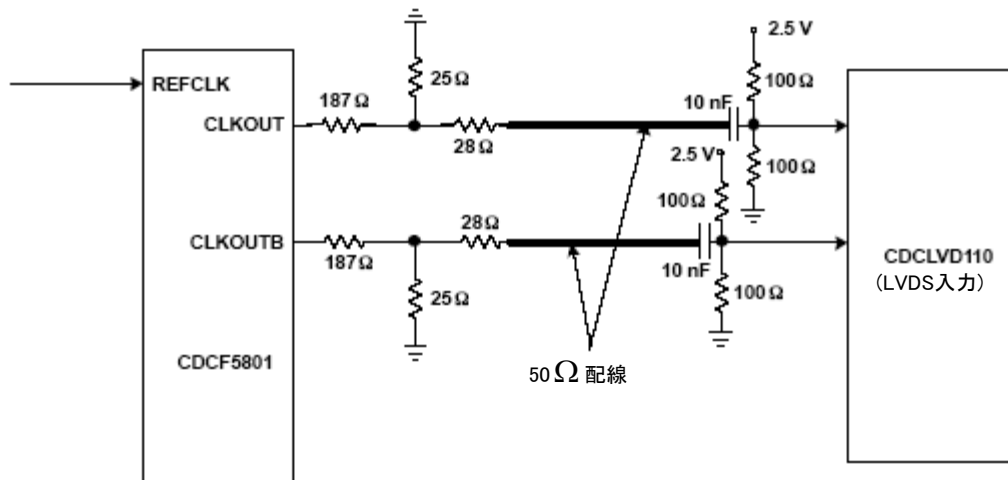


図 13 CDCF5801を使用してLVDSレシーバを駆動する

レシーバの要件(信号振幅やコモン・モード電圧等)を満たすために、分圧抵抗の値を変える必要があるかもしれません。信号品質(signal integrity)に起こる問題を避けるためには、適切な終端処理を行う必要があります。

4. 電源のデカップリング

PLLを利用したクロック・ドライバやクロック・ジェネレータは、電源ノイズに対し敏感です。電源ノイズが原因で、PLLのジッタが劇的に増加する可能性もあります。特にジッタがそのアプリケーションにとって非常に重要な要件となる場合は、システムの電源ノイズを低減することが必須となります。

フィルタ・コンデンサは、電源で生じる低周波ノイズを除去するために使用されます。これに対して、バイパス・コンデンサは高周波ノイズに対し低インピーダンス路を構成し、電源が変動するのを防ぎます。クロック・ドライバで生じる高周波のスイッチング・ノイズは、ボード電源とアナログVCCの間にフェライト・ビーズを挿入することでボード電源側との流れを遮断し隔離することができます。デジタル電源 (VCC)は、フィルタ・コンデンサを使用してデカップリングする必要があります。図14に、一般的なアナログ電源のデカップリングの推奨例を示します。

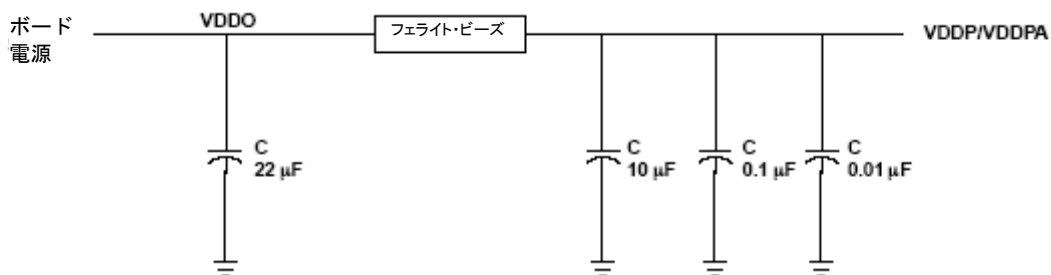


図 14 アナログ電源向けのデカップリング例

5 結論

CDCF5801は高い柔軟性を持ち、色々なアプリケーションに適用することが可能です。CDCF5801の位相アライメント機能はユニークで、様々なアプリケーションで有用なソリューションを提供します。

同等の位相アライメント/調整機能を持つデバイスにCDC5801があります。CDC5801は、さらに高い周波数を必要とするアプリケーションに最適化されています。

6 参考文献

1. CDCF5801 Clock Multiplier With Delay Control and Phase Alignment data sheet, Texas Instruments, (SCAS643)
2. CDC5801 Low Jitter Clock Multiplier and Divider With Programmable Delay and Phase Alignment data sheet, Texas Instruments, (SCAS682)

ご注意

日本テキサス・インスツルメンツ株式会社(以下TIJといひます)及びTexas Instruments Incorporated(TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといひます)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメータに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは承認をすることを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメータと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション(例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの)に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2009, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。

弊社出荷梱包単位(外装から取り出された内装及び個装)又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で(導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使用すること。

マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

温度: 0~40、相対湿度: 40~85%で保管・輸送及び取り扱いを行うこと。(但し、結露しないこと。)

直射日光があたる状態で保管・輸送しないこと。

3. 防湿梱包

防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。

4. 機械的衝撃

梱包品(外装、内装、個装)及び製品単品を落下させたり、衝撃を与えないこと。

5. 熱衝撃

はんだ付け時は、最低限260以上の高温状態に、10秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)

6. 汚染

はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質(硫黄、塩素等ハロゲン)のある環境で保管・輸送しないこと。はんだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上